

Faltungs- und Interpolations-Analog/Digitalumsetzer mit verteiltem Quantisierer

Von der Fakultät Informatik, Elektrotechnik und Informationstechnik der
Universität Stuttgart zur Erlangung der Würde eines Doktors der
Ingenieurwissenschaften (Dr.-Ing.) genehmigte Abhandlung

Vorgelegt von
Matthias Buck
aus Riedlingen

Hauptberichter: Prof. Dr.-Ing. Manfred Berroth
Mitberichter: Prof. Ph.D. Boris Murmann

Tag der mündlichen Prüfung: 22. April 2016

Institut für Elektrische und Optische Nachrichtentechnik
der Universität Stuttgart

2016

il miglior fabbro

Inhaltsverzeichnis

Abkürzungen und Konstanten	V
Zusammenfassung	VII
Abstract	VIII
1 Einführung	1
1.1 Motivation	1
1.2 Der ideale A/D-Umsetzer	1
1.3 Faltungs- und Interpolationsumsetzer	3
1.3.1 Die ideale Faltung	4
1.3.2 Motivation und prinzipieller Aufbau von F/I-A/D-Umsetzern	5
1.4 Spezifikation des zu realisierenden F/I-A/D-Umsetzers	8
1.4.1 Zielwerte	8
1.4.2 Zu verwendende Technologie	8
1.5 Beispiele realisierter F/I-A/D-Umsetzer	10
2 Systembetrachtungen	13
2.1 Notwendigkeit einer Folge/Halte-Schaltung	13
2.2 SFDR eines linearisierten Differenzverstärkers mit Bipolartransistoren	15
2.3 Verstärkungen im F/I-Umsetzer	18
2.3.1 Systemtheoretischer Ansatz	18
2.3.1.1 Zu geringe Verstärkung	19
2.3.1.2 Zu große Verstärkung	20
2.3.1.3 Spezialfall der später gewählten Architektur	21
2.3.2 Verstärkung eines linearisierten Differenzverstärkers mit Bipolartransistoren	22
2.4 Erreichbares SNDR und SFDR eines F/I-Kerns	23
2.5 Störeinflüsse	27
2.5.1 Temperatur	28

2.5.2	Parasitäre Elemente	30
2.5.3	Statistische Prozessvariation	31
2.5.4	Statistische Bauteilevariation	31
2.5.4.1	Widerstände	32
2.5.4.2	Bipolartransistoren	32
2.5.5	Thermisches Rauschen	33
3	Schaltungsentwurf	34
3.1	Folge/Halte-Schaltung und Schaltung zur Unterdrückung von Gleichtaktänderungen	34
3.1.1	Folge/Halte-Schaltung	34
3.1.2	Schaltung zur Unterdrückung von Gleichtaktänderungen	37
3.1.3	Takt-Timing	38
3.1.4	Aperturjitter	38
3.2	F/I-Kern	39
3.2.1	Widerstandsleiter	40
3.2.2	Faltung und Vergleich mit Referenzspannung	41
3.2.2.1	Faltverstärker	42
3.2.2.2	Vergleichende Vorverstärker mit Faltung	42
3.2.3	Aufbau und Anforderungen an eine Stufe	46
3.2.4	Funktionsweise des F/I-Kerns	47
3.2.5	Verjüngung des F/I-Kerns	49
3.2.6	Taktung im F/I-Kern	50
3.2.6.1	Der kapazitiv belastete Emitterfolger	51
3.2.6.2	Anpassung der Taktleitung	52
3.2.6.3	Taktverteilung in einer Stufe	54
3.2.6.4	Alternatives Taktkonzept	55
3.2.7	Unterdrückung der Schwingneigung auf den Versorgungsspannungen	56
3.3	Digitalteil	57
3.3.1	Dekodierungskonzept	57
3.3.2	Entscheider	58
3.3.3	Algorithmus	60
3.3.4	Schaltungstechnische Umsetzung des Digitalteils	63
3.3.4.1	Synchronisierung und Vorverarbeitung	64
3.3.4.2	Konvertierung von Basis-3 nach Basis-2	66

3.3.4.3	Addierer	66
3.4	Ausgangstreiber	68
3.5	Testgerechter Schaltungsentwurf	70
3.6	Versorgungsspannungen	71
3.7	Maskenentwurf	74
4	Aufbautechnik und Messsystem	76
4.1	Aufbautechnik	76
4.1.1	Schichtstapel des Aufbaus	76
4.1.2	Platinenentwurf	77
4.2	Messsystem	80
5	Simulation und Messung	82
5.1	Simulation	82
5.1.1	Anmerkungen zur Simulation	83
5.1.1.1	Mögliche Signalfrequenzen	83
5.1.1.2	DFT-Länge	84
5.1.1.3	Thermische Effekte in der Simulation	84
5.1.1.4	Unberücksichtigte Effekte in der Simulation	86
5.1.1.5	Standard-Simulationseinstellungen	86
5.1.2	Leistungsaufnahme	86
5.1.3	Schaltplan- und Layout-Simulationen	87
5.1.4	Simulationen unter Berücksichtigung extremer Prozessvariation	89
5.1.5	Simulationen unter Berücksichtigung statistischer Bauteilevariation	90
5.1.6	Rausch-Simulationen	92
5.1.7	Kombinierte Effekte	92
5.2	Messung	93
5.2.1	Leistungsaufnahme	94
5.2.2	Analoge Eingangsbandbreite	95
5.2.3	Dynamische Parameter	96
5.2.4	Integrale Nichtlinearität bei dynamischer Messung	98
5.2.5	Streuung bei verschiedenen Umsetzer-Aufbauten	101
5.2.6	Bestimmung des Aperturjitters	102
5.3	Rückschlüsse aus der Messung auf das Design-Kit	104
5.4	Vergleich mit dem Stand der Technik	104

6 Zusammenfassung und Ausblick	106
A Messequipment	109
Unterstützende Arbeiten	110
Literaturverzeichnis	112
Eigene Veröffentlichungen	117
Danksagung	118

Abkürzungen und Konstanten

Abkürzungen

<i>Abkürzung</i>	<i>Erklärung</i>
A/D	Analog/Digital
BiCMOS	Schaltungstechnologie basierend auf Bipolar- und Metall-Oxid-Halbleitertransistoren, <i>Bipolar Complementary Metal Oxide Semiconductor</i>
CML	Stromschalterlogik, <i>Current Mode Logic</i>
CMOS	Komplementäre Schaltungstechnologie basierend auf Metall-Oxid-Halbleitertransistoren, <i>Complementary Metal Oxide Semiconductor</i>
CMR	Gleichtaktunterdrückung, <i>Common-Mode Rejection</i>
DNL	Differenzielle Nichtlinearität
DFT	Zeitdiskrete Fouriertransformation, <i>Discrete Fourier Transform</i>
EF	Emitterfolger
ENOB	Effektive Auflösung, <i>Effective Number of Bits</i>
F/I	Faltung/Interpolation
F/H	Folge/Halte
FPGA	Programmierbare Gatter-Anordnung, <i>Field-Programmable Gate Array</i>
FS	Bezogen auf Vollaussteuerung, <i>Full Scale</i>
IHP	Leibniz-Institut für innovative Mikroelektronik, <i>Innovations for High Performance Microelectronics</i>
INL	Integrale Nichtlinearität
LSB	Niederstwertiges Bit, <i>Least Significant Bit</i>
MGT	Sender und Empfänger im Gbit/s-Bereich, <i>Multi-Gigabit Transceiver</i>
MSB	Höchstwertiges Bit, <i>Most Significant Bit</i>
PLL	Phasenregelschleife, <i>Phase-Locked Loop</i>
PRBS	Pseudozufällige Bitfolge, <i>Pseudo-Random Bit Sequence</i>
SEF	Geschalteter Emitterfolger, <i>Switched Emitter Follower</i>
SG25H1	0,25 μm SiGe-BiCMOS-Technologie des IHP

SFDR	Dynamikbereich ohne Störer, <i>Spurious-Free Dynamic Range</i>
SNDR	Signal-zu-Rausch- und Verzerrungsverhältnis, <i>Signal-to-Noise and Distortion Ratio</i>
SNR	Signal-zu-Rausch-Verhältnis, <i>Signal-to-Noise Ratio</i>

Konstanten

<i>Konstante</i>	<i>Erklärung</i>
c_0	Lichtgeschwindigkeit im Vakuum, $c_0 = 2,99 \dots \cdot 10^8 \frac{\text{m}}{\text{s}}$
e	Eulersche Zahl, $e = 2,71 \dots$
j	Komplexe Einheit, $j^2 = -1$
k_B	Boltzmann-Konstante, $k_B = 1,38 \dots \cdot 10^{-23} \frac{\text{J}}{\text{K}}$
π	Kreiszahl, $\pi = 3,14 \dots$
q	Elementarladung, $q = 1,60 \dots \cdot 10^{-19} \text{ C}$

Zusammenfassung

Die Verfügbarkeit kommerzieller Analog/Digital-Umsetzer (A/D-Umsetzer), die für Radaranwendungen geeignet sind, ist eingeschränkt, da Radaranwendungen nationalstaatliche Interessen betreffen. Eine Möglichkeit, diese Einschränkung zu umgehen, liegt in der Entwicklung eines eigenen A/D-Umsetzers. Diese Arbeit präsentiert die Entwicklung und Charakterisierung eines A/D-Umsetzers laut einer vorgegebenen Spezifikation.

Nachdem in Kapitel 1 die grundlegenden Eigenschaften eines A/D-Umsetzers erklärt wurden, wird das Prinzip der Faltung und Interpolation (F/I) eingeführt. Danach wird die Spezifikation anhand eines Vergleichs mit veröffentlichten F/I-A/D-Umsetzern diskutiert. Der Vergleich dient als Grundlage für Entscheidungen, die hinsichtlich der Architektur getroffen werden müssen.

Kapitel 2 konzentriert sich auf die Systemebene. Es beschäftigt sich mit Zusammenhängen zwischen erreichbarer Linearität und Auflösung des A/D-Umsetzers einerseits und Schaltungstopologien, deren Dimensionierung und physikalischen Effekten andererseits.

Das Hauptkapitel besteht aus der eingehenden Untersuchung des implementierten A/D-Umsetzers. Hierzu wird jeder analoge Block auf Schaltungsplanebene erklärt. Alternative Schaltungstopologien werden diskutiert, sodass getroffene Entscheidungen nachvollzogen werden können. Wegen der Eigenart des Quantisierungsprozesses wird ein spezieller Auswertungsalgorithmus entwickelt, der die Anforderungen an die Schnittstelle zwischen Analog- und Digitalteil relaxiert. Die logischen Funktionen des Algorithmus werden auf Schaltungsplanebene transferiert, um den Digitalteil zu erhalten.

Chip-interne Maßnahmen zur einfacheren Charakterisierung des A/D-Umsetzers werden erklärt, gefolgt von der Beschreibung der Platine zur Auswertung und dem Messaufbau. Der erste Teil des Kapitels 5 beschreibt die Simulationsbedingungen und untersucht per Simulation Störeinflüsse, die Auswirkungen auf die Kenndaten des A/D-Umsetzers haben. Der zweite Teil besteht aus diversen Messreihen. Abschließend werden Simulations- und Messergebnisse verglichen, gefolgt von einem Vergleich der erzielten Ergebnisse mit dem Stand der Technik.

Eine abschließende Zusammenfassung hebt die hervorragenden Ergebnisse dieser Arbeit noch einmal hervor.

Abstract

The availability of commercial analog-to-digital converters (ADC) needed for radar applications is restricted, since radar applications concern national defense. A way to overcome this limitation is the development of an own ADC. This work presents the development and characterization of a state-of-the-art ADC according to a given specification. This given specification does not only include performance values but also the converter's basic architecture and semiconductor technology.

After having explained basic properties of an ADC in the first chapter of this thesis, the principle of folding and interpolation (F/I) is introduced. Afterwards the specification is discussed by comparing it to published F/I-ADCs. The comparison serves as background for design choices which have to be made regarding the ADC's specific architecture.

The second chapter focusses on system level design, including the motivation of a track-and-hold circuit, the achievable linearity of a differential pair, effects of amplifier gain on performance values of the ADC, performance deterioration due to interpolation and finally the influence of physical effects like temperature, parasitic elements, statistical device mismatch and thermal noise on performance.

The main chapter gives an in-depth analysis of the implemented ADC. Starting with the track-and-hold circuit, each analog block is explained at circuit level. Design alternatives are discussed to enable the reader to understand the final decisions; issues that needed special attention during the design process are emphasized. Due to the nature of the ADC's quantizing process a special algorithm is developed. This algorithm allows for relaxed requirements of the interface between the analog and digital part. The logical functions of the algorithm are transferred to circuit level to obtain the digital part.

On-chip measures taken to allow for a simple characterization of the ADC are explained before the description of the evaluation board and the measurement setup follow.

The first part of Chapter 5 describes simulation conditions and investigates separated deteriorating effects on performance by circuit level simulations. The second part consists of a variety of measurements. Afterwards simulation and measurement results are compared, followed by a comparison of the achieved results to state-of-the-art ADCs.

A final summary stresses the excellent results of the work at hand.

1 Einführung

Das erste Kapitel führt zunächst in die Thematik der Analog/Digital-Umsetzer (A/D-Umsetzer) ein. Daraufhin wird auf die Unterklasse der Umsetzer eingegangen, die auf dem speziellen Prinzip der Faltung und Interpolation beruhen. Abschließend wird die dem Projekt zu Grunde liegende Spezifikation des zu entwickelnden Umsetzers mit veröffentlichten Umsetzern der gleichen Unterklasse verglichen, um den aussichtsreichsten Ansatz als Vorlage für den zu entwickelnden Umsetzer zu identifizieren.

1.1 Motivation

A/D-Umsetzer werden an der Schnittstelle zwischen analoger Natur und digitaler Rechnerwelt benötigt. Sie sitzen zwischen einem Sensor, der eine analoge Größe registriert und einem Rechenwerk zur digitalen Weiterverarbeitung der Daten. Die Anwendungsgebiete für Sensoren und A/D-Umsetzer sind weit gefächert. Je nach Signalcharakteristik der Sensor-Messgröße und dem Einsatzort des Systems gibt es unterschiedliche Anforderungen an den A/D-Umsetzer. Für den in dieser Arbeit entwickelten A/D-Umsetzer gibt es zwei Hauptanwendungsgebiete: Der Umsetzer eignet sich zur Verwendung

- in Oszilloskopen zur Aufzeichnung von Breitband-Signalen in Echtzeit und
- in Empfängern für den Mikrowellenbereich, wie sie zum Beispiel in Radargeräten oder für „Software Defined Radio“-Anwendungen eingesetzt werden.

1.2 Der ideale A/D-Umsetzer

Zur Einführung wird ein idealer A/D-Umsetzer betrachtet, um grundlegende Zusammenhänge aufzuzeigen und Kenngrößen zu definieren.

Abbildung 1.1 a) zeigt dessen Übertragungskennlinie. Der zulässige Eingangsspannungsbereich U_{QB} von U_{ref}^- bis U_{ref} wird in m ($m \in \mathbb{N}$) gleichmäßige Bereiche aufgeteilt. Jeder Bereich dehnt sich über den Spannungsbereich des niederwertigsten Bits U_{LSB} (engl.: least

significant bit) aus. Jedem dieser Bereiche wird ein fortlaufendes Ausgangscodewort zugeordnet.

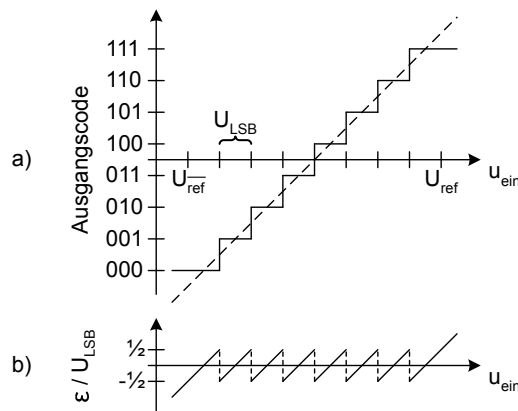


Abbildung 1.1: a) Ideale Übertragungskennlinie und b) Quantisierungsfehler eines 3 bit A/D-Umsetzers.

Die Differenz zwischen angelegter Eingangsspannung und den auf den Eingangsspannungsbereich normierten Ausgangscodewortbereich ist in Abbildung 1.1 b) dargestellt. Diese Differenz wird Quantisierungsfehler ϵ genannt. Er schlägt sich bei Anregung des Umsetzers mit einem Sinussignal geeigneter Frequenz als annähernd weißes Rauschen, das heißt Rauschen mit konstantem Leistungsdichtespektrum, nieder. Für sinusförmige Anregung bei Vollaussteuerung des idealen A/D-Umsetzers gilt die Formel

$$SNR = 1,76 \text{ dB} + 6,02 \text{ dB} \cdot n, \quad (1.1)$$

die das Verhältnis von Eingangssignalleistung zur Quantisierungsrauschleistung (SNR, engl.: signal-to-noise ratio) mit der Auflösung n des Umsetzers, die sich aus $n = \log_2(m)$ berechnen lässt, verknüpft [1].

Wie oben erwähnt, ist das Quantisierungsrauschen nur annähernd weiß. In Veröffentlichung [1] werden die Gründe hierfür erläutert und der maximal erreichbare, störfreie Dynamikbereich (SFDR, engl.: spurious-free dynamic range) simulativ ermittelt. Das SFDR berechnet sich als Verhältnis von Signalleistung zur Leistung des größten Störers. Abbildung 1.2 stellt die Simulationsergebnisse dar: Ein idealer A/D-Umsetzer weist ein begrenztes SFDR auf. Die zwei Formeln zur Abschätzung des SFDRs für Auflösungen bis 5 bit und darüber hinaus werden in [1] nicht analytisch berechnet, sondern stellen Näherungen basierend auf Simulationen dar.

Zu den bislang beschriebenen, quantisierungsbedingten Effekten kommen bei realen Umsetzern weitere Effekte hinzu, die das SNR und SFDR verkleinern, wie zum Beispiel ther-

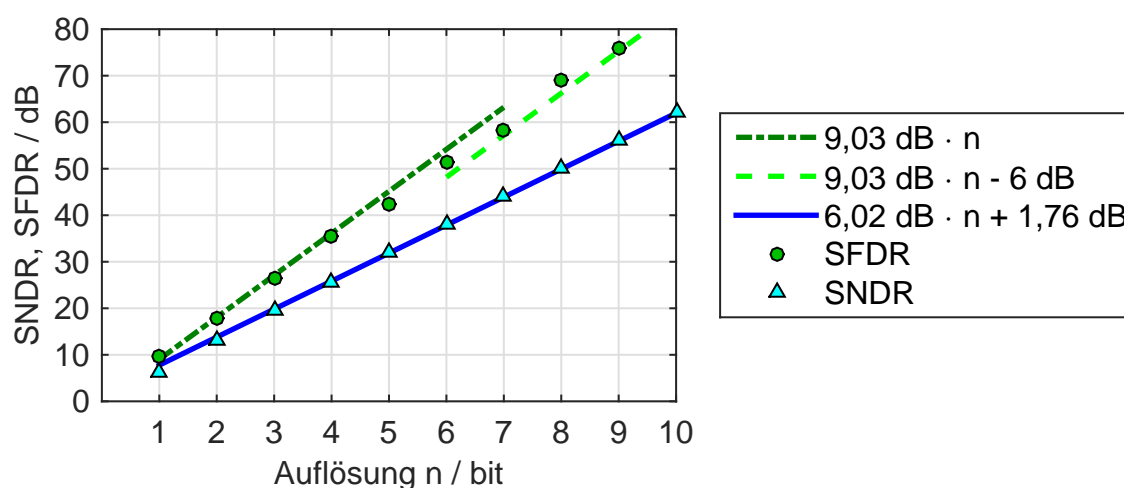


Abbildung 1.2: Auswertung des Ausgangssignals eines idealen A/D-Umsetzers mittels 2^{14} -DFT in Matlab nach [1].

misches Rauschen oder nichtlineare Bauelemente. Diese Effekte werden in einer weiteren Kennzahl, dem sogenannten SNDR (engl.: signal-to-noise-and-distortion ratio) zusammengefasst, welche sowohl die Leistung von Verzerrungen, als auch die gesamte Rauschleistung, ins Verhältnis zur Signalleistung setzt:

$$SNDR = 10 \cdot \log_{10} \left(\frac{P_{\text{Signal}}}{P_{\text{Verzerrungen}} + P_{\text{Rauschen}}} \right). \quad (1.2)$$

Bei realen Umsetzern sind SNDR, SFDR und SNR von Frequenz und Amplitude des angelegten Sinussignals abhängig. Die drei Kennwerte eines Umsetzers sind die Minimalwerte in einem spezifizierten Frequenzbereich bei einer konstanten Ausgangssignalleistung.

Aus dem SNDR wird die effektive Auflösung n_{eff} (ENOB, engl.: effective number of bits) zu

$$n_{\text{eff}} = \frac{SNDR - 1,76 \text{ dB}}{6,02 \text{ dB}} \quad (1.3)$$

berechnet.

1.3 Faltungs- und Interpolationsumsetzer

Es existiert eine Vielzahl an unterschiedlichsten A/D-Umsetzer-Architekturen [2], unter denen die Faltungs- und Interpolationsumsetzer (F/I-Umsetzer) eine Untergruppe darstellen. Die zugrunde liegende Faltung, deren Motivation und die Funktionsweise von F/I-Umsetzern wird in den kommenden Unterkapiteln geschildert.

1.3.1 Die ideale Faltung

Um die im nachfolgenden Unterkapitel 1.3.2 erklärte Funktionsweise eines F/I-Umsetzers zu verstehen, soll zunächst die mathematische Funktion, die im Faltverstärker schaltungstechnisch implementiert wird, näher betrachtet werden.

Die ideale, n -fache Faltung ($n \geq 2, n \in \mathbb{N}$), n ist der sogenannte Faltungsgrad, wird durch

$$f(x_1, \dots, x_n) = \sum_{i=1}^n (-1)^{i+1} g_i(x_i) \quad (1.4)$$

beschrieben, wobei die stückweise lineare Funktion $g_i(x)$ durch

$$g_i(x) = \begin{cases} -g_{\max} & , x < o_i - \frac{g_{\max}}{A} \\ A \cdot (x - o_i) & , o_i - \frac{g_{\max}}{A} \leq x \leq o_i + \frac{g_{\max}}{A} \\ g_{\max} & , x > o_i + \frac{g_{\max}}{A} \end{cases} \quad (1.5)$$

gegeben ist. An den Stellen o_i befinden sich sogenannte Nulldurchgänge. A steht für die Verstärkung der Faltfunktion, g_{\max} gibt den Maximalausschlag an. Abbildung 1.3 stellt den Verlauf von $g_i(x)$ graphisch dar.

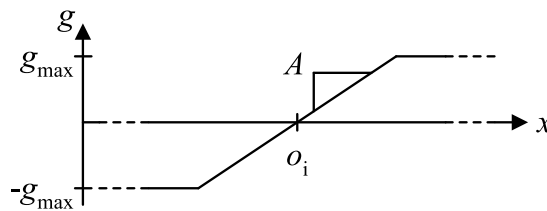


Abbildung 1.3: Verlauf von $g_i(x)$.

Der Übersichtlichkeit halber soll

$$o_1 < \dots < o_n \quad (1.6)$$

gelten. Da die Übertragungskennlinie des Umsetzers regelmäßig sein soll, das heißt, dass die Stufen aus Abbildung 1.1 alle gleich groß sind, folgt für die Positionierung der Nulldurchgänge für alle i von 1 bis $n - 2$ die Äquidistanzbedingung

$$o_{i+1} - o_i = o_{i+2} - o_{i+1}. \quad (1.7)$$

Damit sich die Flanken der Funktionen $g_i(x)$ nicht überlappen, muss

$$A \geq \frac{2 \cdot g_{\max}}{o_{i+1} - o_i} \quad (1.8)$$

gelten. Ein Überlappen der Flanken würde zu Quantisierungsfehlern im Umsetzer führen, da Information unwiederbringlich verloren ginge. Die Bedingung an die Verstärkung A wird im Laufe der Arbeit verfeinert.

Aus dem gleichen Grund dürfen bei gegebener Verstärkung A die Signale x_1, \dots, x_n nicht beliebig gewählt werden: Es darf maximal ein Eingangssignal x_i existieren, welches keinen Vollausschlag nach Formel (1.5) beim entsprechenden $g_i(x_i)$ erzeugt.

Die Faltung ist eine surjektive Abbildung, da der Eingangsspannungsbereich n -fach auf den Ausgangsspannungsbereich abgebildet wird. Surjektive Abbildungen sind im Gegensatz zur Übertragungsfunktion eines idealen A/D-Umsetzers nicht bijektiv. Wird die Faltung für einen Quantisierungsprozess verwendet, muss deshalb die relevante Information, die durch die surjektive Abbildung verlorengeht, festgehalten werden. Diese Information gibt an, welches der n Eingangssignale keinen Maximalausschlag verursacht.

1.3.2 Motivation und prinzipieller Aufbau von F/I-A/D-Umsetzern

Der F/I-A/D-Umsetzer lässt sich vom Parallelumsetzer her motivieren. Deshalb wird im Folgenden auf den Parallelumsetzer eingegangen, bevor zum F/I-Umsetzer übergeleitet wird.

Abbildung 1.4 zeigt das Blockschaltbild eines Parallelumsetzers. Ein mehrfacher Spannungsteiler erzeugt Referenzspannungen für die Komparatoren. Das Eingangssignal u_{ein} wird mit den Referenzspannungen verglichen: Die digitalen Komparatorausgänge geben an, ob die Differenz zwischen analogem Eingangssignal und der jeweiligen Referenzspannung größer oder kleiner Null ist. Das Ergebnis der Umsetzungsvorgänge erfolgt somit im Thermometer-Code.

Ein idealer Parallelumsetzer nach Abbildung 1.4 mit m Komparatoren besitzt eine Auflösung von

$$n = \log_2(m + 1) \text{ bit}, \quad (1.9)$$

das heißt, dass die Anzahl der Komparatoren, damit einhergehend die Leistungsaufnahme und die Eingangskapazität des Umsetzers exponentiell mit der Auflösung steigen. F/I-A/D-Umsetzer stellen eine Möglichkeit dar, das exponentielle Wachstum von Leistungsaufnahme und Eingangskapazität mit zunehmender Auflösung zu umgehen.

Abbildung 1.5 zeigt beispielhaft ein Blockschaltbild eines F/I-A/D-Umsetzers. Wie in Abschnitt 1.3.1 bereits erklärt, ist die Faltung eine surjektive Abbildung. Um trotzdem eindeutig zu sein, muss die entsprechende Information vor der Faltung festgehalten wer-

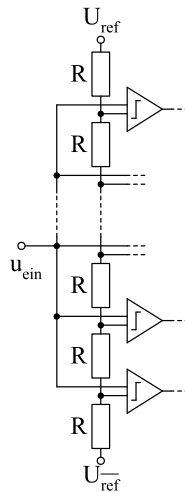


Abbildung 1.4: Blockschaltbild eines Parallelumsetzers.

den. Dazu dient der Grobquantisierer. Er unterteilt den Bereich zwischen U_{ref} und U_{ref} in gleich große Bereiche, im Beispiel sind es neun. Die Ausgangssignale des Grobquantisierers a_0 bis a_7 sind im Signalplan dargestellt. Die Auflösung des Grobquantisierers wird vom Aufbau des Faltungskerns bestimmt.

Ebenso wie Parallelumsetzer benötigen F/I-A/D-Umsetzer eine absolute Referenz; deshalb findet sich auch hier eine Referenzspannungsleiter. Die beiden in Abbildung 1.5 dargestellten Referenzspannungsleitern müssen aufeinander abgestimmt sein: Während der Grobquantisierer Bereichsgrenzen definiert, werden durch die vergleichenden Vorverstärker Nulldurchgänge festgelegt, die in der Mitte eines Bereichs liegen, weshalb die beiden äußeren Widerstände den Wert $\frac{R}{2}$ aufweisen.

Die vergleichenden Vorverstärker setzen u_{ein} in Relation zu den Referenzspannungen. Im Beispiel werden Dreifach-Faltverstärker verwendet, deshalb werden je drei Ausgangssignale der vergleichenden Vorverstärker einem Faltverstärker zugeführt. Die Übertragungsfunktionen der vergleichenden Vorverstärker finden sich in den Ausgangssignalen der Faltverstärker wieder; im Bild durch unterschiedliche Hintergründe sowohl im Blockschaltbild als auch im Signalplan dargestellt.

Die Verdrahtung von vergleichenden Vorverstärkersignalen mit Faltverstärkern, im Nachfolgenden auch von interpolierten Faltverstärkersignalen mit Faltverstärkern, muss so gewählt sein, dass sie Nulldurchgänge mit maximalen Abständen zueinander verknüpft, was eine eindeutige Verdrahtungsvorschrift ergibt. Die maximalen Abstände resultieren aus der Anforderung, dass maximal ein Eingangssignal eines Faltverstärkers keinen Vollausschlag nach Formel (1.5) beim entsprechenden $g_i(x_i)$ erzeugt.

Am Ende des Faltungsnetzwerkes kann ein Feinquantisierer, zum Beispiel ein Parallelum-

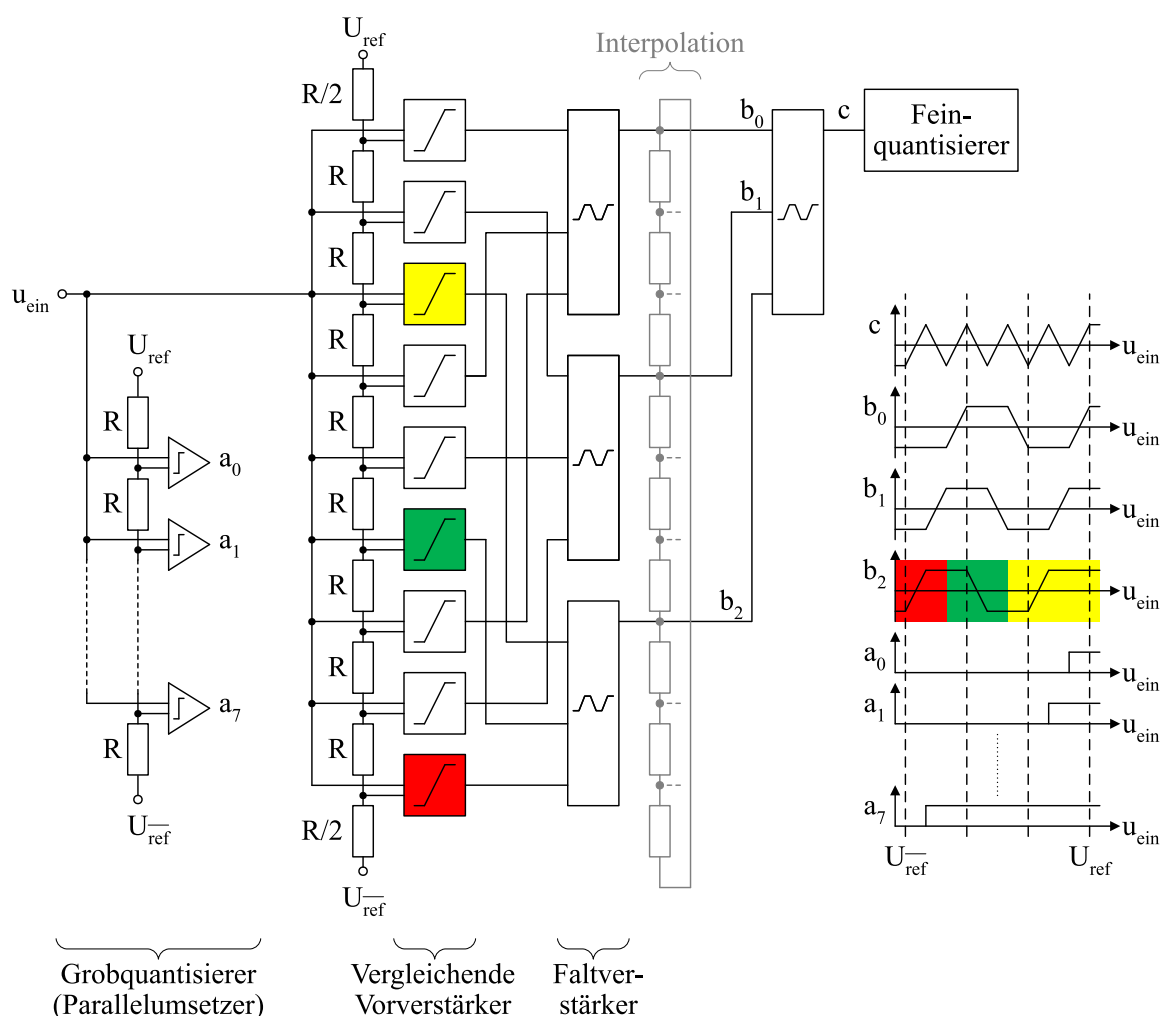


Abbildung 1.5: Blockschaltbild und Signalplan eines Faltungsumsetzers mit Grob- und Feinquantisierer.

setzer, angeschlossen werden, der das Ausgangssignal c des vorhergehenden Faltverstärkers quantisiert. Jeder zulässige Wert für c taucht im Beispiel neunmal auf. Um diese Mehrdeutigkeit aufzulösen, werden die Ausgangssignale des Grobquantisierers verwendet. Durch die Verwendung eines zusätzlichen Grobquantisierers, von vergleichenden Vorverstärkern und eines Faltungsnetzwerkes kann so die Auflösung des Feinquantisierers gesteigert werden, im Beispiel um das Achtefache. Dabei ist die Struktur der Schaltung vor dem Feinquantisierer unabhängig von dessen Auflösung.

Der in Abbildung 1.5 dargestellte Umsetzer dient als Beispiel, um die prinzipielle Funktionsweise eines F/I-A/D-Umsetzers zu demonstrieren. Der Übersichtlichkeit halber wird die Interpolation im Beispiel ausgeblendet, soll aber dennoch motiviert werden: Nach der n -fachen Faltung ist die Anzahl der Signale um das n -fache kleiner: Im Beispiel in Ab-

bildung 1.5 entstehen aus den neun Vorverstärkersignalen nach dreifacher Faltung drei faltverstärkersignale. Sollen zusätzliche nulldurchgänge erzeugt werden, um eine höhere auflösung zu erreichen, kann zwischen den ausgängen der faltverstärker interpoliert werden, in abbildung 1.5 in grau dargestellt. Die einfachste interpolationsmethode besteht darin, zwischen die zu interpolierenden spannungssignale einen resistiven spannungsteiler zu schalten. Nach einer interpolation mit dem interpolationsgrad m ist die anzahl der signale m -mal so groß. In abbildung 1.5 könnten nach der interpolation erneut drei faltverstärker angeschlossen werden. In diesem fall müsste der grobquantisierer erweitert werden.

Ein separater grobquantisierer ist nicht zwingend notwendig; Ebenso können innerhalb des faltungsnetzwerks die für den quantisierungsprozess notwendigen informationen gewonnen werden. Wichtig ist nur, dass die oben genannten mehrdeutigkeiten aufgelöst werden können.

1.4 Spezifikation des zu realisierenden F/I-A/D-Umsetzers

1.4.1 Zielwerte

Der präsentierten arbeit liegt ein durch einen industriepartner finanziertes projekt zugrunde. Im rahmen dieses projekts sollen ein a/d-umsetzer mit der spezifikation nach tabelle 1.1, die dazugehörige aufbautechnik und die messumgebung zur charakterisierung des umsetzers entwickelt werden.

Das vierjährige projekt umfasst fünf tape-outs; zwei davon für folge/halte-schaltungen, drei für a/d-umsetzer. In dieser arbeit wird nur auf den finalen umsetzer eingegangen. Erkenntnisse aus den beiden vorhergehenden umsetzer-versionen flossen jedoch unmittelbar in die entwicklung des dritten umsetzers mit ein.

1.4.2 Zu verwendende Technologie

Ob es möglich ist, einen umsetzer mit gegebener spezifikation zu realisieren, hängt wesentlich von der gewählten halbleiter-technologie ab. Aus firmenstrategischen gründen soll eine technologie des *Leibniz-Instituts für innovative Mikroelektronik (IHP)* verwendet werden, welches chips basierend auf SiGe:C-BiCMOS-technologien fertigt. Der auftraggeber entschied sich für die verwendung der technologie SG25H1 [3]; tabelle 1.2 zeigt

Tabelle 1.1: Spezifikation des F/I-A/D-Umsetzers in der Technologie SG25H1 vom IHP.

Eigenschaft	Minimum	Ziel
Abtastrate	5 GS/s	6 GS/s
Analoge Eingangsbandbreite	5 GHz	6 GHz
Nutzband (2. Nyquistzone)	2,5 - 5,0 GHz	3,0 - 6,0 GHz
Physikalische Auflösung	10 bit	12 bit
ENOB	7 bit	9 bit
SNDR (bezogen auf Vollasssteuerung)	44 dB	56 dB
SFDR (bezogen auf Vollasssteuerung)	50 dB	70 dB

wichtige Kenndaten für die Bipolartransistoren dieser Technologie.

Tabelle 1.2: Eigenschaften des npn1-Transistors der Technologie SG25H1 [4].

Eigenschaft	Wert
f_{\max}	190 GHz
f_T	190 GHz
Emitterfläche A_E	$0,21 \cdot 0,84 \mu\text{m}^2$
CE-Durchbruchspannung BV_{CE0}	1,9 V
CB-Durchbruchspannung BV_{CB0}	4,5 V
Early-Spannung V_A	40 V
Stromverstärkung β	270

Weitere wichtige Merkmale von SG25H1 sind:

- Die minimale Gate-Länge der MOSFETs beträgt $0,25 \mu\text{m}$. Somit entfällt die Möglichkeit eines geeigneten, praktikablen CMOS-Digitalteils.
- Die Technologie bietet fünf Metallisierungslagen, von denen die untersten zwei von den Bipolartransistoren mitverwendet werden. Die obersten zwei Metalllagen sind auf Grund ihrer groben Minimalmaße und ihrer Dicke für hochfrequente Signale eher ungeeignet.
- Die Gesamtfläche A_T eines Transistors beträgt $A_T = 7 \cdot 7 \mu\text{m}^2$. Daraus lässt sich folgern, dass der A/D-Umsetzer verhältnismäßig viel Chipfläche in Anspruch nehmen wird. Signale müssen unter Umständen relativ weite Strecken zurücklegen.

Die Auswirkungen der letzten drei Stichpunkte werden später ausführlicher erläutert.

1.5 Beispiele realisierter F/I-A/D-Umsetzer

Die Spezifikation fordert einen Umsetzer basierend auf Faltung und Interpolation; dies schränkt den Kreis potentieller Architekturen massiv ein. Innerhalb diesem muss nach vielversprechenden Architekturen gesucht und anschließend eine sorgfältige Wahl getroffen werden, da der Zeitaufwand für die Realisierung eines 10 bit-Umsetzers sehr hoch ist.

Tabelle 1.3: Ergänzte Übersicht über F/I-Umsetzer nach [5].

Referenz	Jahr	$l_{\min, \text{Gate}}$ MOSFET / nm	f_T npn-BJT / GHz	f_s / GHz	f_{in} / GHz	SNDR @ f_{in} / dB	Zeitverschachtelung	Faltungsgrad(e)	Interpolationsgrad(e)	Kalibrierung	Digitale Nachkorrektur
[6]	1999	600	7	0,025	0,012	49,3		7 3 4	2 4 4		
[7]	2001	180		0,03	0,015	39,0		9	2 8		
[8]	2001	500		0,04	0,015	66,0		3 5	5		
[9]	1997	1000	13	0,05	0,025	54,0		7 3 8	16 16		
[10]	2000	600		0,05	0,05	64,0		3 3	2		
[11]	1997	500		0,05	0,01	53,5		3 3	2 2 4		
[12]	2000	500		0,1	0,012	35,0		3 3 3 3	3 3 3 2	✓	
[13]	2002	120		0,1	0,05	54,9		3 3	2 2 2		
[14]	2000	350		0,125	0,063	40,2		3 3	2 4		
[15]	2004	180		0,4	0,2	44,5		3 3	2 8		
[16]	1998	420		0,4	0,1	29,2		4	2		
[17]	2004	180		0,6	0,2	40,0		5	8		
[18]	2006	90		0,8	0,2	33,6		9	4		
[19]	2009	180		1,0	0,498	56,5	2	3 3 3 3 3 3	3 3 3 3 3	✓	
[20]	2004	180		1,6	0,798	45,5	2	3 3	3 4	✓	
[21]	2008	90		1,75	0,875	27,6		2		✓	
[22]	2014	40		2,2	1,1	37,4		4			
[23]	2009	90		2,7	1,35	33,6		3	4	✓	
[24]	1997		25	8,0	5,0	24,0	4	4	2		✓
[25]	2012		180	10,0	4,2	43,9		3 3	2 2	✓	
Ziel	2015	250	190	5,0	5,0	44,0					

Tabelle 1.3 listet F/I-Umsetzer, die von 1997 bis 2015 auf den Konferenzen ISSCC und

VLSI vorgestellt wurden, und deren Hauptmerkmale auf. In dieser Zeitspanne wurden dort nach [5] 434 A/D-Umsetzer vorgestellt, davon verwenden 23 das Faltungsprinzip; dies entspricht circa 5%. Der Umsetzer [25] wurde 2012 auf der PRIME veröffentlicht; seine Kennwerte ähneln den Minimalanforderungen dieses Projekts, die in der untersten Zeile der Tabelle eingetragen sind.

Die Umsetzer sind nach der Abtastrate f_s sortiert. Die ausführliche Auflistung soll die Variationsvielfalt von F/I-Umsetzer verdeutlichen. Die Anzahl und Art kaskadierter Faltungen und Interpolationen sind den entsprechenden Spalten zu entnehmen. Dabei bedeutet zum Beispiel die Notation $x|y|z$, dass es sich um eine dreifache Kaskadierung von Faltung oder Interpolation mit dazwischenliegender Interpolation oder Faltung handelt. x , y und z entsprechen den Faltungs- oder Interpolationsgraden. Der mögliche Einsatz von Pipelining-Konzepten, das heißt von Mehrtakt-Umsetzungen, sowie der Quantisierungsprozess werden der Übersichtlichkeit halber nicht dargestellt.

Besonders hingewiesen werden soll auf folgende Punkte:

- Die erzielten SNDR-Werte liegen zwischen 24,0 dB [24] und 66,0 dB [8], umgerechnet ergeben sich daraus ENOB-Werte zwischen 3,7 bit und 10,7 bit.
- Die dreifache Faltung wird verhältnismäßig oft eingesetzt. Beim Interpolationsgrad lässt sich kein Trend erkennen.
- Umsetzer neuerer Technologien setzen kaskadierte Faltungen und Interpolationen nicht mehr so ausgeprägt ein, wie dies bei Umsetzern größerer Technologien der Fall war.
- In moderneren F/I-Umsetzern werden vermehrt Schaltungen zur Kalibrierung eingesetzt.
- F/I-Umsetzer mit vergleichbaren Abtaststraten wie die in der Spezifikation gefordert sind mit Bipolartransistoren realisiert.
- In den Veröffentlichungen der Konferenzen ISSCC und VLSI überwiegen MOSFET-basierte Umsetzer.
- Um das Jahr 2000 gibt es relativ viele Veröffentlichungen über F/I-Umsetzer.

Wird die Spezifikation aus Tabelle 1.1 mit den F/I-Umsetzern in Tabelle 1.3 verglichen, so stellt sich heraus, dass ein F/I-Umsetzer für das zweite Nyquistband in einer BiCMOS-Technologie mit einer Transitfrequenz von $f_T = 190$ GHz ein sehr ungewöhnlicher F/I-Umsetzer ist.

Die große Variationsvielfalt der aufgelisteten F/I-Umsetzer erschwert die Suche nach einer geeigneten Architektur. Letztendlich wird die Veröffentlichung [19] wegen des verteilten Quantisierers und des identischen Stufenaufbaus als Vorbild gewählt. Beide Gründe deuten auf einen reduzierten Entwurfsaufwand hin. Das Risiko des verteilten Quantisierers liegt in der von [19] als „komplex“ beschriebenen, nicht veröffentlichten Funktionsweise des Digitalteils.

2 Systembetrachtungen

In diesem Kapitel werden grundlegende Betrachtungen angestellt, wodurch SFDR und SNDR eines F/I-A/D-Umsetzers beeinflusst werden und welche Folgen sich daraus für dessen Architektur ergeben.

2.1 Notwendigkeit einer Folge/Halte-Schaltung

Während einer A/D-Umsetzung erfolgt eine Zeitdiskretisierung; dies ist unmittelbare Folge der begrenzten Bandbreite von Schaltungskomponenten. Diese Zeitdiskretisierung kann zu Beginn der analogen Verarbeitungskette oder nach den ersten Verarbeitungsschritten stattfinden. Soll das analoge Eingangssignal zunächst abgetastet werden, kann dafür eine Folge/Halte-Schaltung (F/H-Schaltung) verwendet werden.

Die ideale F/H-Schaltung verfügt über zwei sich abwechselnde Betriebsmodi: Während der Folgephase wird das Eingangssignal auf den Ausgang weitergeleitet; während der Haltephase wird das Ausgangssignal konstant auf dem letzten Wert der Folgephase gehalten. Reale F/H-Schaltungen weisen Nichtlinearitäten auf, die das SFDR beeinträchtigen. Die nachfolgende Betrachtung klärt die Frage, ob eine F/H-Schaltung für die Realisierung eines Umsetzers nach Tabelle 1.1 benötigt wird.

Bei einem Eingangssignal von

$$u(t) = \hat{U} \sin(2\pi ft) \quad (2.1)$$

beträgt die maximale Spannungsänderung

$$\max \left(\frac{\partial u(t)}{\partial t} \right) = \hat{U} 2\pi f. \quad (2.2)$$

Die Zeit, die das Signal bei maximaler Spannungsänderung für eine Änderung von U_{LSB} benötigt, beträgt somit

$$\Delta t_{\text{LSB}} = \frac{U_{\text{LSB}}}{\max \left(\frac{\partial u(t)}{\partial t} \right)} = \frac{U_{\text{LSB}}}{\hat{U} 2\pi f}, \quad (2.3)$$

wobei U_{LSB} der Spannungsbereich eines LSBs ist. Die Zeit Δt_{LSB} folgt zu

$$\Delta t_{\text{LSB}} = \frac{U_{\text{LSB}}}{\hat{U} 2\pi f} = \frac{\frac{2\text{V}}{2^{10}}}{1\text{V} \cdot 2\pi \cdot 5\text{GHz}} = 62\text{fs}, \quad (2.4)$$

wobei der Eingangsspannungsbereich zu 2V angenommen wird. Die anderen Zahlen der konservativen Abschätzung folgen der Spezifikation nach Tabelle 1.1. In Siliziumdioxid, dessen Brechungsindex zu $n_{\text{SiO}_2} = 1,5$ angenommen wird, legt Licht in dieser Zeit die Strecke

$$s_{\text{krit}} = \frac{c_0}{n_{\text{SiO}_2}} \cdot \Delta t_{\text{LSB}} = 2 \cdot 10^8 \text{m/s} \cdot 62\text{fs} = 12,4\ \mu\text{m} \quad (2.5)$$

zurück. Die Gesamtfläche eines Bipolartransistors beträgt $A_T = 7 \cdot 7\ \mu\text{m}^2$, siehe Kapitel 1.4.2. Die Seitenlängen liegen somit in der Größenordnung der in der Zeit Δt_{LSB} zurückgelegten Strecke von Licht.

Für die nachfolgende Betrachtung soll von einer elektrischen Leitung ausschließlich die Verzögerung berücksichtigt werden. Es werden eine Takt- und eine analoge Datenleitung betrachtet. Die Taktleitung mit verteilten Abgriffen führt das Taktsignal, welches entlang der analogen Datenleitung die verteilte, ideale Abtastung der analogen Daten steuert. Eine Streckendifferenz zwischen den Abgriffen für entsprechende Takt- und Datensignale nach Formel 2.5 führt zu einem Fehler von einem LSB. Da die räumliche Ausbreitung der Eingangsstufe eines F/I-Kerns um ein Vielfaches größer als s_{krit} ist, müssen Takt und Daten ohne Verwendung einer F/H-Schaltung extrem sorgfältig aufeinander abgestimmt werden: Taktleitungen müssen stets parallel zu den entsprechenden Datenleitungen geführt werden; außerdem sollte der kapazitive Anteil angeschlossener Lasten auf beiden Leitungen identisch sein. Erschwerend kommt im Fall ohne F/H-Schaltung hinzu, dass das noch zeitkontinuierliche, vorverarbeitete Signal an mehreren Stellen der Leitung abgetastet werden muss. Durch Fertigungstoleranzen der einzelnen Schaltungen zur Abtastung bedingte Abtastzeitpunktverschiebungen müssen in Δt_{LSB} mitberücksichtigt werden.

Wird hingegen eine F/H-Schaltung verwendet, herrscht, unter Vernachlässigung des durch die Basisströme angeschlossener Komponenten bedingten Spannungsabfalls, auf der analogen Datenleitung das gleiche Potential vor, sobald das gehaltene Signal auf der ganzen Leitung ausreichend genau eingeschwungen ist. Die Verwendung einer F/H-Schaltung reduziert außerdem die Anforderungen an die Bandbreite nachfolgender Schaltungskomponenten.

Aus oben genannten Gründen wird eine F/H-Schaltung verwendet.

2.2 SFDR eines linearisierten Differenzverstärkers mit Bipolartransistoren

In Abbildung 1.2 wird das maximal mögliche SFDR eines idealen A/D-Umsetzers in Abhängigkeit von seiner Auflösung dargestellt. Bei realen Umsetzern kommen Nichtlinearitäten aufgrund nichtlinearer Bauteile hinzu. In der F/H-Schaltung, in den vergleichenden Vorverstärkern und in den Falterverstärkern werden Differenzverstärker verwendet. Deshalb soll deren Linearität näher betrachtet werden.

Im Folgenden wird das Verhalten der Bipolar-Transistoren ausschließlich durch die Gleichung

$$u_{\text{BE}} = U_{\text{T}} \ln \frac{i_{\text{C}}}{I_{\text{S}}} \quad (2.6)$$

beschrieben, wobei u_{BE} die Basis-Emitter-Spannung, U_{T} die Temperaturspannung und I_{S} der Sperrstrom ist. Andere Effekte werden vernachlässigt.

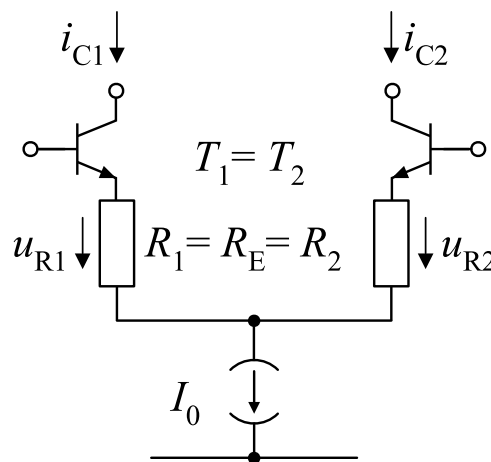


Abbildung 2.1: Linearisiertes Differenzpaar.

Abbildung 2.1 zeigt ein linearisiertes Differenzpaar. Die Differenz der Kollektorströme sei definiert als

$$\Delta i = i_{\text{C1}} - i_{\text{C2}}, \quad (2.7)$$

die Kollektorströme selbst werden als Abweichung aus dem Gleichgewicht beschrieben:

$$i_{\text{C1}} = \frac{I_0}{2} + \frac{\Delta i}{2} \quad \text{und} \quad i_{\text{C2}} = \frac{I_0}{2} - \frac{\Delta i}{2}. \quad (2.8)$$

Die Eingangsdifferenzspannung Δu berechnet sich zu

$$\Delta u = u_{\text{BE1}} + u_{\text{R1}} - u_{\text{R2}} - u_{\text{BE2}} = U_{\text{T}} \cdot \ln \left(\frac{I_0 + \Delta i}{I_0 - \Delta i} \right) + R_{\text{E}} \cdot \Delta i. \quad (2.9)$$

Nach der Substitution $\Delta i = I_0 \cdot y$ ergibt sich

$$\Delta u = U_{\text{T}} \cdot \ln \left(\frac{1+y}{1-y} \right) + R_{\text{E}} \cdot I_0 \cdot y. \quad (2.10)$$

Die Reihenentwicklung von $\ln \left(\frac{1+y}{1-y} \right)$ nach [26] lautet

$$\ln \left(\frac{1+y}{1-y} \right) = 2 \cdot \left[y + \frac{y^3}{3} + \frac{y^5}{5} + \frac{y^7}{7} + \dots + \frac{y^{2n+1}}{2n+1} + \dots \right] = 2 \cdot \sum_{n \geq 0} \frac{y^{2n+1}}{2n+1}, \quad (2.11)$$

wobei der Konvergenzbereich $|y| < 1$ ist. Der Konvergenzbereich wird in allen Zuständen der Schaltung nicht verlassen, da durch jeden Zweig maximal ein Strom von I_0 fließen kann. Mit Gleichung (2.10) folgt

$$\Delta u = 2 \cdot U_{\text{T}} \cdot \sum_{n \geq 0} \frac{y^{2n+1}}{2n+1} + R_{\text{E}} \cdot I_0 \cdot y \quad (2.12)$$

$$= \underbrace{(2U_{\text{T}} + R_{\text{E}} \cdot I_0)}_{a_1} y + \underbrace{\frac{2U_{\text{T}}}{3}}_{a_3} y^3 + \underbrace{\frac{2U_{\text{T}}}{5}}_{a_5} y^5 + \dots \quad (2.13)$$

Das linearisierte Differenzpaar soll mit einer sinusförmigen Eingangsspannung angeregt und die Ströme analysiert werden. Dazu ist eine Invertierung der Potenzreihe in Gleichung (2.13) erforderlich. Sie lässt sich nach [27] invertieren. Die gesuchten Koeffizienten lassen sich iterativ durch einen Koeffizientenvergleich ermitteln: Sei $x = \sum_{n=1}^{\infty} a_n y^n$ die zu invertierende Funktion. Die Umkehrfunktion lautet dann

$$y = \sum_{n=1}^{\infty} b_n x^n = \sum_{n=1}^{\infty} b_n \left(\sum_{m=1}^{\infty} a_m y^m \right)^n \quad (2.14)$$

$$= b_1(a_1 y + a_2 y^2 + \dots) + b_2(a_1 y + a_2 y^2 + \dots)^2 + \dots \quad (2.15)$$

Da es sich bei der zu invertierenden Potenzreihe um eine ungerade Funktion handelt, ist die Umkehrfunktion ebenfalls ungerade [26].

Die Koeffizienten berechnen sich zu

$$b_1 = \frac{1}{a_1}, \quad b_3 = -\frac{a_3}{a_1^4}, \quad b_5 = \frac{3a_3^2 - a_1a_5}{a_1^7}, \quad \dots \quad (2.16)$$

Zur Bestimmung des SFDRs muss die gefundene Wirkungsfunktion des linearisierten Differenzverstärkers angeregt werden. Eine nichtlineare Funktion

$$y = b_1 \cdot x + b_3 \cdot x^3 + b_5 \cdot x^5 + \dots \quad (2.17)$$

weist bei einem Eingangssignal $x(t) = \hat{x} \cdot \cos(\omega_0 t)$ Spektralanteile bei den Frequenzen $n \cdot \omega_0$ ($n \in \mathbb{N}$ und n ungerade) auf. Mit

$$\cos^n(x) = \frac{2}{2^n} \sum_{k=0}^{\frac{n-1}{2}} \binom{n}{k} \cos((n-2k)x), \quad n \in \mathbb{N} \text{ und } n \text{ ungerade} \quad (2.18)$$

folgen die Amplituden q_1 bei $1 \cdot \omega_0$ und q_3 bei $3 \cdot \omega_0$ zu

$$q_1 = b_1 \hat{x} + \frac{3}{4} b_3 \hat{x}^3 + \frac{5}{8} b_5 \hat{x}^5 + \dots \quad \text{und} \quad q_3 = \frac{1}{4} b_3 \hat{x}^3 + \frac{5}{16} b_5 \hat{x}^5 + \dots \quad (2.19)$$

Das SFDR ergibt sich zu

$$SFDR_{\text{dB}} = 20 \log \left(\frac{q_1}{q_3} \right). \quad (2.20)$$

In Abbildung 2.2 ist das erreichbare SFDR eines linearisierten Differenzverstärkers gegenüber dem Produkt $R_E \cdot I_0$ aufgetragen. Die Werte basieren einerseits auf den hier vorgestellten Berechnungen, wobei lediglich b_1 , b_3 und b_5 berücksichtigt werden, andererseits auf Simulationen mit idealen Bipolartransistor-Modellen. Parameter sind Eingangsspannungsamplitude und Temperatur.

Höhere SFDR-Werte werden erzielt, wenn der Differenzverstärker ein größeres $R_E \cdot I_0$ aufweist oder die Eingangsamplitude kleiner ist. Die Temperatur spielt eine vernachlässigbare Rolle. Die Näherung mit den ersten drei Koeffizienten ist ausreichend genau, wenn ein SFDR größer 60 dB erreicht werden soll. Die verhältnismäßig großen Abweichungen der Näherung zur Simulation bei einer Amplitude von 1 V im Bereich kleiner $R_E \cdot I_0$ -Werte rührt daher, dass der Verstärker komplett ausgesteuert wird; größere Koeffizienten b_x müssten berücksichtigt werden.

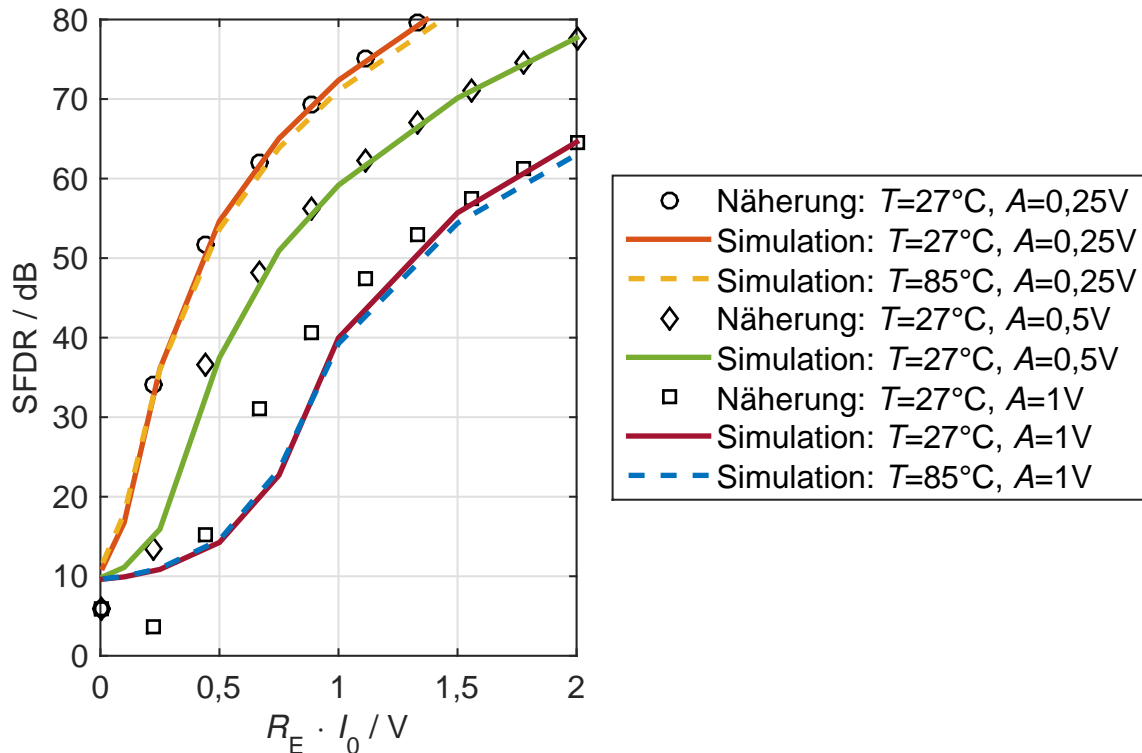


Abbildung 2.2: SFDR in Abhängigkeit vom Produkt $R_E \cdot I_0$.

2.3 Verstärkungen im F/I-Umsetzer

Im F/I-Umsetzer haben die Verstärkungen der Differenzverstärker großen Einfluss auf das erreichbare SFDR und SNDR. Zunächst erfolgt eine abstrakte Betrachtung zur Herleitung zulässiger Verstärkungen, danach wird die Verstärkung eines linearisierten Bipolar-Differenzpaares berechnet.

2.3.1 Systemtheoretischer Ansatz

Mit Hilfe eines von der tatsächlichen Implementierung des F/I-Umsetzers unabhängigen Ansatzes sollen Bedingungen für die zulässigen Verstärkungen der in vergleichenden Vorverstärkern und Faltverstärkern verwendeten Differenzverstärker hergeleitet werden.

Der Umsetzer kann dabei aus mehreren Stufen bestehen. Eine Stufe besteht aus mehreren, parallel angeordneten Faltverstärkern, die alle die gleiche Verstärkung aufweisen, und dem Interpolationsnetzwerk. Die einzelnen Stufen dürfen verschiedene Faltungs- und Interpolationsgrade aufweisen. Alle Komponenten seien linear.

Es wird gezeigt, dass schon die systemtheoretische Betrachtung prinzipielle Forderungen

an die Verstärkungen der Stufen stellt. Sowohl zu kleine als auch zu große Verstärkungen führen zu Verschlechterungen von SFDR und SNDR. Liegen die Verstärkungen hingegen zwischen diesen Grenzen, sind SFDR und SNDR unabhängig von ihnen.

2.3.1.1 Zu geringe Verstärkung

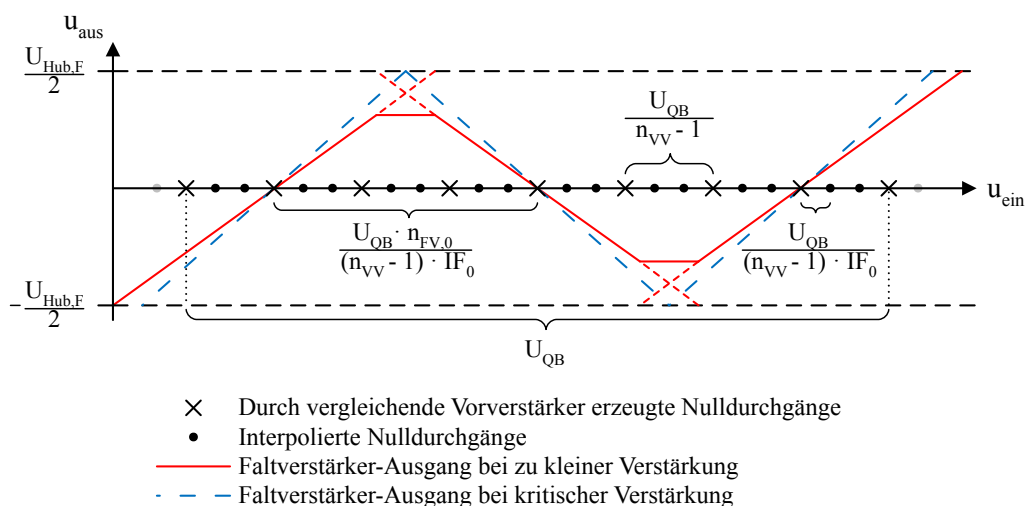


Abbildung 2.3: Bestimmung der minimal benötigten Verstärkung, beispielhaft für die erste Stufe eines F/I-Umsetzers.

Abbildung 2.3 zeigt den Verlauf zweier Ausgangssignale von Falterverstärkern unterschiedlicher Verstärkung. Es ist beispielhaft ein F/I-Umsetzer mit dem Quantisierungsbereich U_{QB} dargestellt, der $n_{VV} = 9$ durch vergleichende Vorverstärker erzeugte Nulldurchgänge besitzt. Der Interpolationsgrad IF_0 beträgt 3, es wird dreifach gefaltet, es gibt $n_{FV,0} = 9$ parallele Falterverstärker. Die Anzahl der parallelen Falterverstärker legt fest, wie viele Nulldurchgänge zwischen Anstieg und Abfall eines Falterverstärker-Eingangs liegen.

Ist die Verstärkung zu klein, so kommt es bei großen Aussteuerungen zu Informationsverlust beim umzusetzenden Signal, da das Ausgangssignal des Falterverstärkers über einen gewissen Eingangsspannungsbereich konstant ist; in Abbildung 2.3 ist dieser Bereich am waagrechten Verlauf des Falterverstärker-Ausgangs zu erkennen. Die kritischen Verstärkungen ergeben sich, wenn die Falterverstärker in jeder Stufe gerade noch maximal angesteuert werden:

$$\prod_{i=0}^n A_i \geq \frac{U_{Hub,n}}{U_{QB} \cdot \frac{n_{FV,0} \cdot FG_0 - 1}{n_{FV,0} \cdot FG_0 - 1}} = \frac{U_{Hub,n}}{U_{QB}} \cdot \frac{n_{FV,0} \cdot FG_0 - 1}{n_{FV,0} \cdot FG_0} \cdot \prod_{i=0}^n FG_i, \quad (2.21)$$

wobei A_i und FG_i die Verstärkung und der Faltungsgrad der Falterverstärker in Stufe i , $U_{Hub,n}$ deren Hub und $n_{FV,0}$ die Anzahl der Falterverstärker in der ersten Stufe sind. In

Worten ausgedrückt: Die auf den Eingang bezogene Gesamtverstärkung muss größer sein als das Verhältnis zwischen dem für Vollausschlag benötigten Eingangssignal des betreffenden Faltverstärkers und einer von Architektur und Quantisierungsbereich abhängigen Spannung.

2.3.1.2 Zu große Verstärkung

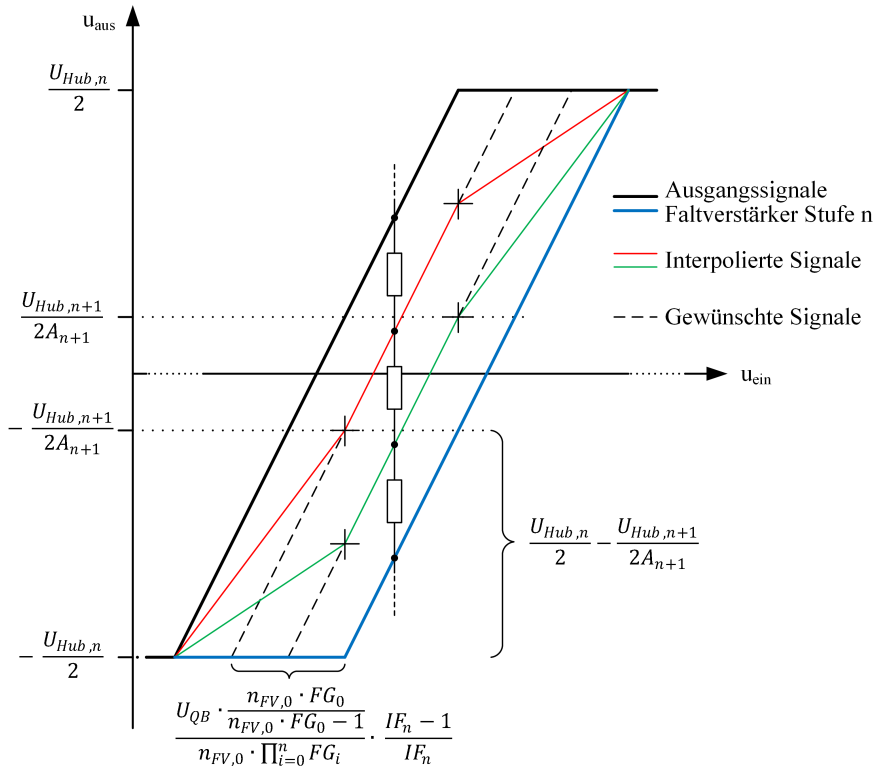


Abbildung 2.4: Bestimmung der maximal zulässigen Verstärkung, beispielhaft für die erste Stufe eines F/I-Umsetzers.

Abbildung 2.4 zeigt die Signalverläufe zweier Faltverstärker-Ausgänge und die aus ihnen generierten interpolierten Signale. Die interpolierten Signale weisen zwei zusätzliche Knicke auf, die nicht-interpolierte Signale nicht aufweisen, im Bild mit Kreuzen markiert. Gleich wie die nicht-interpolierten Signale werden die interpolierten Signale an Faltverstärker-Eingänge angelegt. Ob an dieser Stelle des Quantisierungsprozesses ein Fehler entsteht oder nicht, hängt davon ab, wo die zusätzlichen Knicke liegen: Liegen die Knicke außerhalb des Bereiches für den $u_{\text{aus}} \leq \left| \frac{U_{\text{Hub},n+1}}{2A_{n+1}} \right|$ gilt, entsteht kein Fehler, da die Verstärkung des nachfolgenden Faltverstärkers dafür sorgt, dass das Ausgangssignal ohnehin komplett ausgesteuert ist. Die Abweichung des interpolierten Signals vom gewünschten Signal ist

nach der Faltung nicht mehr beobachtbar.

Sich propagierende Fehler entstehen, wenn die Knicke innerhalb des Bereiches liegen, für den $u_{\text{aus}} < \left| \frac{U_{\text{Hub},n+1}}{2A_{n+1}} \right|$ gilt. Die Abweichung des interpolierten Signals vom gewünschten Signal ist selbst nach der Verstärkung durch den Faltverstärker beobachtbar.

Abbildung 2.4 stellt den Grenzfall dar. Die Knicke liegen auf den Bereichsgrenzen. Daraus folgt

$$\prod_{i=0}^n A_i \leq \frac{\frac{U_{\text{Hub},n}}{2} - \frac{U_{\text{Hub},n+1}}{2A_{n+1}}}{\frac{U_{\text{QB}} \cdot \frac{n_{\text{FV},0} \cdot FG_0}{n_{\text{FV},0} \cdot FG_0 - 1}}{n_{\text{FV},0} \cdot \prod_{i=0}^n FG_i} \cdot \frac{IF_n - 1}{IF_n}}, \quad (2.22)$$

wobei IF_n für den Interpolationsgrad der Stufe n steht.

2.3.1.3 Spezialfall der später gewählten Architektur

Bislang wurden die Folgen von zu kleinen und zu großen Verstärkungen auf Signalebene betrachtet. Wie stark die Wahl der Verstärkungen das SFDR und SNDR beeinflusst, soll hier betrachtet werden.

Da die Auswirkung der Wahl der Verstärkungen von der Architektur des F/I-Kerns abhängt, muss die Untersuchung anhand einer konkreten Architektur erfolgen. Hierzu wird die später vorgestellte verwendet. Auf Grund der Komplexität eines F/I-Netzwerkes werden ausschließlich Simulationsergebnisse vorgestellt.

Die Parameter betragen $FG = IF = 3$, $n_{\text{FV}} = 9$, $U_{\text{QB}} = 2\text{V}$, $U_{\text{Hub},0} = 0,67\text{V}$ und $U_{\text{Hub},1-5} = 0,71\text{V}$. Es gibt zwei Verstärkungen A_0 und A_{1-5} . In Stufe 0 wird sowohl mit den Referenzspannungen verglichen, als auch gefaltet.

Aus den Formeln (2.21) und (2.22) folgen für die Verstärkungen in den ersten zwei Stufen die Zusammenhänge

$$0,97 \leq A_0 \leq 4,29 \quad (2.23)$$

$$3,08 \leq A_0 A_1 \leq 13,85 \quad (2.24)$$

falls für die Berechnung der Obergrenze beispielhaft eine Verstärkung von 3 für die nächste Stufe angenommen wird.

Abbildung 2.5 zeigt den Verlauf von SFDR und SNDR über der Verstärkung der Stufe 0. Wie in den vorherigen Kapiteln dargelegt, kommt es innerhalb der hergeleiteten Grenzen weder zu Informationsverlust noch zu störender Informationsmanipulation, siehe Verläufe für $A_{1-5} = 3$. Deshalb sind SFDR und SNDR im zulässigen Bereich konstant. Das SNDR stimmt mit dem Wert aus Abbildung 1.2 überein; Möglichkeiten zur Erklärung der

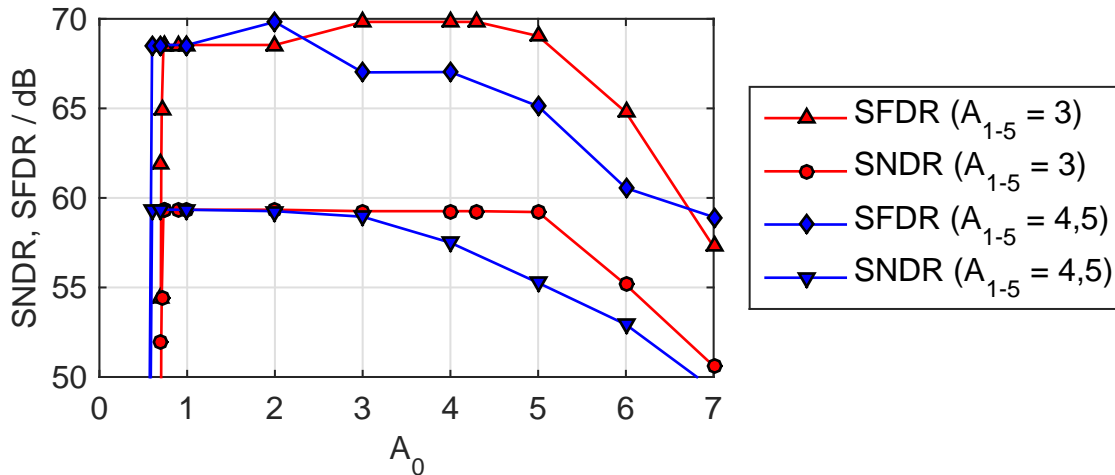


Abbildung 2.5: Verlauf von SFDR und SNDR über A_0 . Parameter: $FG = IF = 3$, $n_{FV} = 9$, $U_{QB} = 2\text{ V}$, $U_{Hub,0} = 0,67\text{ V}$ und $U_{Hub,1-5} = 0,71\text{ V}$. Die Verstärkungen A_{1-5} der restlichen Stufen sind identisch.

Abweichung des SFDRs sind die unzureichende DFT-Länge oder die beschränkte Simulationsgenauigkeit.

Wird die berechnete Minimalverstärkung unterschritten, bleiben SFDR und SNDR für einen kleinen Verstärkungsbereich konstant, bevor sie massiv einbrechen. Der Einbruch liegt daran, dass die Ausgangssignalamplituden der Faltverstärker immer kleiner werden. Dahingegen fallen die beiden Kennwerte bei Überschreiten der Maximalverstärkung moderat ab. Dies liegt daran, dass Fehler durch Interpolation bei großen Aussteuerungen auftreten; um den Nulldurchgang wird jedoch korrekt interpoliert. Die Verstärkung der nächsten Stufe wird die falschen, interpolierten Werte teilweise verstärken und den entsprechenden Verstärker dadurch in Sättigung treiben.

Wird $A_{1-5} = 4,5$ gewählt, so werden für kleine A_0 die Bedingungen für die Maximalverstärkung von den ersten Stufen erfüllt, in den hinteren Stufen wird diese Bedingung jedoch übertreten. Die Verminderung von SFDR und SNDR ist jedoch nicht allzugroß. Das SFDR wird von den ersten Stufen bestimmt.

2.3.2 Verstärkung eines linearisierten Differenzverstärkers mit Bipolartransistoren

Die Verstärkung des linearisierten Differenzverstärkers nach Abbildung 2.1 kann über das Inverse der Ableitung von Formel (2.10) berechnet werden. Die Ableitung von For-

mel (2.10)

$$\frac{\partial \Delta u_{\text{ein}}}{\partial y} = U_T \frac{2}{1-y^2} + R_E \cdot I_0 \quad (2.25)$$

ergibt bei $\Delta u_{\text{ein}} = 0$

$$\left. \frac{\partial \Delta u_{\text{ein}}}{\partial y} \right|_{y=0} = 2U_T + R_E \cdot I_0. \quad (2.26)$$

Wird

$$y = \frac{\Delta i}{I_0} = \frac{\Delta u_{\text{aus}}}{R_L \cdot I_0} \quad (2.27)$$

resubstituiert, wobei R_L die Lastwiderstände an den Kollektoren der Transistoren sind, folgt

$$\left. \frac{\partial \Delta u_{\text{ein}}}{\partial \Delta u_{\text{aus}}} \right|_{\Delta u_{\text{aus}}=0} = \frac{2U_T + R_E \cdot I_0}{R_L \cdot I_0}. \quad (2.28)$$

Die Inverse ergibt die Verstärkung A des linearisierten Differenzverstärkers:

$$A = \left. \frac{\partial \Delta u_{\text{aus}}}{\partial \Delta u_{\text{ein}}} \right|_{\Delta u_{\text{ein}}=0} = \frac{R_L \cdot I_0}{2U_T + R_E \cdot I_0}. \quad (2.29)$$

Folgende Gegebenheiten schränken die Wahl der Verstärkung ein:

- Bei realen Bipolartransistoren existiert ein parasitärer Zuleitungswiderstand $R_{E,\text{par}}$, der die Verstärkung beeinflusst.
- Je nach Linearitätsanforderungen kann das Produkt $R_E \cdot I_0$ nach Abbildung 2.2 nicht frei gewählt werden.
- Die Transitfrequenz f_T eines Bipolartransistors hängt vom Kollektorstrom ab. Bandbreiteanforderungen können somit die Wahl von I_0 beeinflussen.
- Das Produkt $R_L \cdot I_0$ wird durch die BC-Durchbruchspannung begrenzt.

2.4 Erreichbares SNDR und SFDR eines F/I-Kerns

Im vorigen Abschnitt werden anhand linearer Komponenten Forderungen an die Verstärkungen der Faltverstärker in den Stufen hergeleitet. In diesem Abschnitt erfolgt eine Betrachtung, bei der die Bipolartransistoren durch Gleichung (2.6) beschrieben werden. Verzerrungen durch die F/H-Schaltung werden dabei nicht berücksichtigt.

Die erreichbaren SFDR- und SNDR-Werte eines F/I-Netzwerkes werden durch Anzahl und Lage der Nulldurchgänge festgelegt. Diese seien zunächst äquidistant platziert: Entspricht

die Anzahl der Nulldurchgänge der Anzahl an Quantisierungsstufen, kann die Auflösung und darauf basierend das SNDR über Formel (1.3) berechnet werden. Je nach Auswertelgorithmus kann sich die Anzahl von Nulldurchgängen und Quantisierungsstufen jedoch unterscheiden.

Es bleibt zu beachten, dass nur jene Nulldurchgänge verwendbar sind, die zwischen den Referenzspannungen U_{ref} und U_{ref} liegen. Mit zunehmendem Abstand von diesen Grenzen nach außen hin werden die Nulldurchgänge immer weiter von ihrer Soll-Position nach außen verschoben, bis sie schließlich nicht mehr generiert werden. Durch diese Beschränkung reduziert sich die Anzahl der Quantisierungsstufen um die Anzahl an theoretischen Quantisierungsstufen geteilt durch die Anzahl an vergleichenden Vorverstärkern. Der später näher beschriebene, implementierte Umsetzer besitzt theoretisch 729 Quantisierungsstufen und 27 vergleichende Vorverstärker, somit entfallen 13 Quantisierungsstufen auf jeder Seite des Quantisierungsbereichs.

Das SFDR wird durch Abweichungen von der idealen Übertragungskennlinie, das heißt einer Kennlinie mit äquidistant platzierten Nullstellen, beeinflusst. Unter der Voraussetzung, dass die Referenzspannungen für die vergleichenden Vorverstärker ideal sind, liegen die von den vergleichenden Vorverstärkern generierten Nulldurchgänge ideal. Durch die anschließende Interpolation kommt es in der Regel zu Verschiebungen der zusätzlich generierten Nulldurchgänge; dies wird im Folgenden näher betrachtet. Generierte Nulldurchgänge werden durch spätere analoge Operationen nicht mehr verschoben.

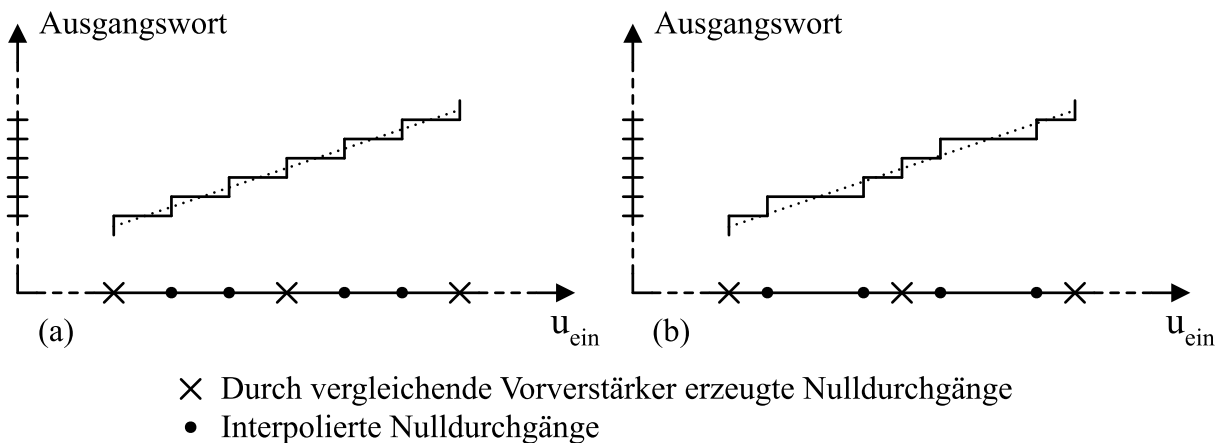


Abbildung 2.6: Übertragungskennlinie eines Umsetzers (a) ohne und (b) mit durch Interpolation ($IF = 3$) bedingte Nulldurchgangverschiebung.

Abbildung 2.6 zeigt die Auswirkung nicht äquidistant platzierter Nulldurchgänge auf die Übertragungskennlinie des Umsetzers. Abhängig von der Gesamtanzahl an Nulldurchgängen, deren Verschiebung und der Auslenkung des Umsetzers werden verschiedene ungerade

Harmonische das Spektrum dominieren.

Nulldurchgangverschiebungen in der vordersten Stufe des mehrstufigen F/I-Netzwerkes sind besonders kritisch: Durch sie werden bei Anregung des Umsetzers mit einem Sinussignal Harmonische mit kleinen Indices und relativ großer Leistung generiert. Die Ursache hierfür ist, dass der Abstand zwischen den vorhandenen Nulldurchgängen im Vergleich zu später generierten Nulldurchgängen noch relativ groß ist, was sich im Spektrum durch Harmonische mit kleinen Indices bemerkbar macht. Harmonische, verursacht durch später generierte, verschobene Nulldurchgänge, weisen höhere Indices auf, während ihre Leistungen kleiner sind. Die Abnahme der Fehlerleistung durch Verschiebungen von später generierten Nulldurchgängen liegt daran, dass interpolierte Signale zwischen den beiden ursprünglichen, nicht-interpolierten Signalpegeln liegen.

Somit nehmen die Linearitätsanforderungen im F/I-Netzwerk nach hinten ab. Das erreichbare SFDR eines mehrstufigen F/I-Umsetzers setzt sich folglich hauptsächlich aus der Linearität der F/H-Schaltung (siehe Kapitel 2.2) und der Linearität der ersten Stufe des Umsetzers zusammen.

Nach der qualitativen Betrachtung der Verschiebung der Nulldurchgänge erfolgt eine quantitative. Das gezeigte Vorgehen kann nur für die vergleichenden Vorverstärker verwendet werden, da nicht der vollständige, interpolierte Kurvenverlauf berechnet wird, sondern lediglich der verschobene Nulldurchgang. Abbildung 2.7 zeigt zwei benachbarte verglei-

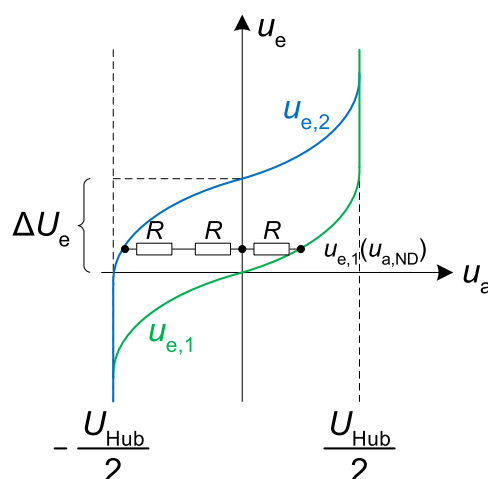


Abbildung 2.7: Kennlinien zweier benachbarter Vorverstärker ($IF = 3$). Der Punkt auf der Ordinate stellt den gesuchten Punkt dar.

chende Vorverstärkerausgänge, zwischen denen interpoliert wird. Im Beispiel beträgt der Interpolationsgrad 3. Der Abstand ΔU_e ergibt sich durch den Quotienten aus Eingangsspannungsbereich U_{QB} und der Anzahl an vergleichenden Vorverstärkern weniger 1. Aus

Gründen der Berechenbarkeit ist auf der Abszisse die Ausgangs- und auf der Ordinate die Eingangsspannung der vergleichenden Vorverstärker aufgetragen. Dadurch kann auf die Berechnung der Umkehrfunktion durch Polynom-Annäherung verzichtet werden; die Ergebnisse bleiben auch bei großem Abstand ΔU_e exakt.

Die Faltverstärker-Kennlinien $u_{e,1}$ und $u_{e,2}$ sind durch die Beziehung

$$u_{e,2} = u_{e,1} + \Delta U_e \quad (2.30)$$

verknüpft. Gesucht wird jene Eingangsspannung $u_{e,1,ND}$ bei der

$$u_{e,1,ND} = u_{e,1}(u_{a,ND}) = u_{e,2}(-(IF - 1)u_{a,ND}) \quad (2.31)$$

gilt, da sich dort ein interpolierter Nulldurchgang befindet, siehe Abbildung 2.7. Aus den Formeln (2.30) und (2.31) folgt

$$u_{e,1}(u_{a,ND}) = u_{e,1}(-(IF - 1)u_{a,ND}) + \Delta U_e. \quad (2.32)$$

Die Herleitung der Übertragungskennlinie des in Abbildung 3.8 dargestellten vergleichenden Vorverstärkers nach Variante 2

$$u_e = 2u_{BE1} + 2u_{R1} - 2u_{R2} - 2u_{BE2} = 2U_T \ln \left(\frac{\frac{1}{2}U_{Hub} + u_a}{\frac{1}{2}U_{Hub} - u_a} \right) + \frac{R_E}{R_L} u_a \quad (2.33)$$

setzt bei Formel (2.9) an, wobei $U_{Hub} = 4R_L I_0$ und $u_a = 2R_L \Delta i$. Zur übersichtlicheren Darstellung wird der Interpolationsgrad $IF = 3$ gewählt, es ergibt sich

$$2U_T \ln \left(\frac{\frac{1}{2}U_{Hub} + u_{a,ND}}{\frac{1}{2}U_{Hub} - u_{a,ND}} \right) + \frac{R_E}{R_L} u_{a,ND} = 2U_T \ln \left(\frac{\frac{1}{2}U_{Hub} - 2u_{a,ND}}{\frac{1}{2}U_{Hub} + 2u_{a,ND}} \right) - 2\frac{R_E}{R_L} u_{a,ND} + \Delta U_e \quad (2.34)$$

und daraus

$$2U_T \ln \left(\frac{\frac{1}{4}U_{Hub}^2 + \frac{3}{2}U_{Hub}u_{a,ND} + 2u_{a,ND}^2}{\frac{1}{4}U_{Hub}^2 - \frac{3}{2}U_{Hub}u_{a,ND} + 2u_{a,ND}^2} \right) = -3\frac{R_E}{R_L} u_{a,ND} + \Delta U_e. \quad (2.35)$$

Gleichung (2.35) wird numerisch gelöst. Das erhaltene $u_{a,ND}$ muss in Gleichung (2.33) eingesetzt werden, es ergibt sich die Position des ersten interpolierten Nulldurchgangs. Die Verschiebung der Nulldurchgänge, folglich auch das SFDR und SNDR, wird nach Gleichung (2.35) neben der Temperaturspannung U_T von drei Parametern beeinflusst: Dem Ausgangsspannungshub der vergleichenden Vorverstärker U_{Hub} , dem Verhältnis von

Linearisierungs- zu Lastwiderstand $\frac{R_E}{R_L}$ und dem Abstand ΔU_e zweier nicht-interpolierter Nulldurchgänge. Es gibt ideale Kombinationen der drei Parameter, sodass die interpolierten Nullstellen äquidistant liegen.

Selbst wenn die interpolierten Nulldurchgänge der Stufe mit den vergleichenden Vorverstärkern äquidistant verteilt sind und die nachfolgenden Komponenten eine lineare Übertragungskennlinie besäßen, können nachfolgende Interpolationen trotzdem verschobene Nulldurchgänge generieren, da zwischen zwei interpolierten Verläufen erneut interpoliert wird.

Aus Symmetriegründen liegen die interpolierten Nulldurchgänge spiegelsymmetrisch zur Mitte von 0 und ΔU_e .

Die Nulldurchgangsverschiebung soll nun anhand eines Beispiels simulativ mit dem SFDR und SNDR in Zusammenhang gebracht werden: Es wird der Spezialfall eines F/I-Umsetzers mit 9 vergleichenden Vorverstärkern und 729 Quantisierungsstufen betrachtet: Die F/H-Schaltung ist ideal, bis auf die Stufe mit den vergleichenden Vorverstärkern sind alle Stufen linear, es fließen keine Ströme in die Interpolationswiderstände, Faltungs-, Interpolationsgrad und Verstärkung der Faltverstärker sind 3. In der Stufe mit den vergleichenden Vorverstärkern werden Verilog-A-Modelle von Transistoren verwendet, die auf Formel (2.6) basieren.

Zur Evaluierung der Simulationsergebnisse wird die relative Abweichung als das Verhältnis der Differenz des idealen vom verschobenen Durchgang zum idealen Abstand definiert:

$$\Delta_{\text{rel}} = \frac{|x_{\text{ideal}} - x_{\text{verschoben}}|}{\frac{U_{\text{QB}}}{(n_{\text{VV}}-1)IF}} \quad (2.36)$$

Abbildung 2.8 zeigt, dass identische relative Verschiebungen nach Gleichung (2.35) zu gleichen SFDR- und SNDR-Werten führen. Somit genügen Simulationen, die die Variation von einem der drei Parameter U_{Hub} , R_E und ΔU_e abdecken, um das SFDR und SNDR sämtlicher Kombinationen der drei Parameter vorhersagen zu können. Gleichzeitig bedeutet dies, dass über die Variation von R_E stets ein Optimum gefunden werden kann. Für andere F/I-Umsetzer-Architekturen muss der Graph neu ermittelt werden.

2.5 Störeinflüsse

In diesem Abschnitt soll auf Störeinflüsse eingegangen werden, die beim Schaltungsentwurf eine Rolle spielen, da sie starke Auswirkungen auf die Kennwerte des Umsetzers haben können. Die Verringerung eines Störeinflusses kann unter Umständen eine aufwändige

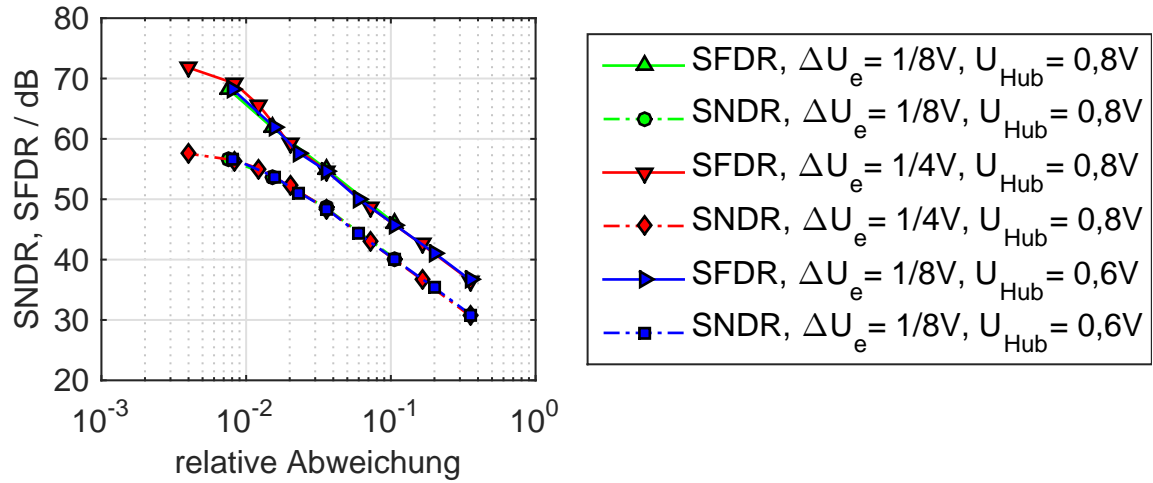


Abbildung 2.8: SFDR und SNDR in Abhängigkeit von der relativen Nulldurchgangsverschiebung, die über R_E variiert wird.

Änderung des Schaltplans und des Maskensatzes nach sich ziehen. Jeder Störeinfluss stellt dabei eine zusätzliche Dimension im Simulationsraum und bei der Optimierung dar.

Je kleiner der Spannungsbereich U_{LSB} in einem A/D-Umsetzer ist, umso stärker wirken sich die Störeinflüsse aus.

Die Reihenfolge der nachfolgenden Kapitel ist nicht als Priorisierung zu verstehen, da jeder Störeinfluss mächtig genug ist, SFDR und SNDR eines Umsetzers nach Tabelle 1.1 wesentlich zu verschlechtern.

2.5.1 Temperatur

In [28] wird dargelegt, wie die Sättigungssperrstromdichte J_S eines abrupten p-n-Übergangs von der Temperatur T abhängt:

$$J_S \sim T^{(3+\gamma/2)} e^{-\frac{E_g}{k_B T}}, \quad (2.37)$$

wobei E_g die Bandlücke des Halbleitermaterials und k_B die Boltzmannkonstante repräsentieren. γ ist eine in [28] nicht näher erläuterte Konstante. Die Bandlücke E_g wird im Weiteren als temperaturunabhängig angenommen.

$$\frac{\delta \left(T^{(3+\gamma/2)} e^{-\frac{E_g}{k_B T}} \right)}{\delta T} = (3 + \gamma/2) T^{2+\gamma/2} e^{-\frac{E_g}{k_B T}} + T^{3+\gamma/2} e^{-\frac{E_g}{k_B T}} \frac{E_g}{k_B T^2}$$

$$\begin{aligned}
&= \frac{3 + \gamma/2}{T} \left(T^{3+\gamma/2} e^{-\frac{E_g}{k_B T}} \right) + \frac{E_g}{k_B T^2} \left(T^{3+\gamma/2} e^{-\frac{E_g}{k_B T}} \right) \\
&= \left(\frac{3 + \gamma/2}{T} + \frac{E_g}{k_B T^2} \right) \left(T^{3+\gamma/2} e^{-\frac{E_g}{k_B T}} \right) \quad (2.38)
\end{aligned}$$

Nach Formel (2.37) folgt

$$\frac{\delta I_S}{\delta T} = \frac{I_S}{T} \left(3 + \gamma/2 + \frac{E_g}{k_B T} \right). \quad (2.39)$$

Wird die Shockley-Gleichung

$$I_C = I_S \left(e^{\frac{U_{BE}}{n U_T}} - 1 \right) \approx I_S e^{\frac{U_{BE}}{n U_T}} \quad \text{mit} \quad U_T = \frac{k_B T}{q}, \quad (2.40)$$

wobei n der Idealitätsfaktor der Diode und U_T die Temperaturspannung ist, nach der Spannung U_{BE} aufgelöst, ergibt sich

$$U_{BE} \approx n U_T \ln \left(\frac{I_C}{I_S} \right). \quad (2.41)$$

Bei konstantem Strom I_C ergibt sich die Temperaturabhängigkeit von U_{BE} zu

$$\begin{aligned}
\frac{\delta U_{BE}}{\delta T} &\approx n \frac{U_T}{T} \ln \left(\frac{I_C}{I_S} \right) - n U_T \frac{1}{I_S} \frac{\delta I_S}{\delta T} \\
&= \frac{U_{BE}}{T} - n \frac{U_T}{T} \left(3 + \gamma/2 + \frac{E_g}{k_B T} \right) \\
&= \frac{U_{BE} - n U_T (3 + \gamma/2) - n \frac{E_g}{q}}{T}. \quad (2.42)
\end{aligned}$$

Mit $n = 1$, $\gamma = 0$, $T = 300$ K, d.h. $U_T = 25,9$ mV, $E_{g,Si} = 1,12$ eV und $U_{BE} = 0,7$ V ergeben sich $\frac{\delta U_{BE}}{\delta T} = -1,66 \frac{\text{mV}}{\text{K}}$.

In der Technologie SG25H1 haben die Bipolartransistoren einen Heteroübergang, d.h. dass sich Basis- und Emitttermaterial unterscheiden: Die Basis ist ein IV-IV-Kristall aus Silizium und Germanium. Die genauen Anteile des Siliziums und Germaniums sind nicht öffentlich zugänglich, ein Bandabstand kann deshalb nicht berechnet werden. Da sich außerdem Basis- und Emitttermaterial unterscheiden, handelt es sich nicht wie oben um einen abrupten p-n-Übergang mit einer konstanten Bandlücke.

Simulativ lässt sich die Temperaturabhängigkeit jedoch bestimmen: Dazu werden Kollektor und Basis eines Transistors kurzgeschlossen und in diesen Knoten ein Strom von

1 mA eingeprägt. Für einen Bereich von 0 bis 100 °C ergibt sich ein beinahe konstanter Temperaturkoeffizient von $-0,8 \frac{\text{mV}}{\text{K}}$.

Bei einer Auflösung von 9,5 bit und einem differentiellen Eingangsspannungsbereich von 2 V entspricht $U_{\text{LSB}} = 2,7 \text{ mV}$. Der simulativ ermittelte Temperaturkoeffizient liegt also in der Größenordnung von U_{LSB} . Es sollte deshalb darauf geachtet werden, dass die Signaltransistoren eines differentiellen Paares gleich warm sind. Für den Schaltplan bietet sich somit an, dass mehrere Transistoren anstatt nur eines Transistors platziert werden: Der Strom teilt sich hälftig auf, die Temperaturdifferenz zwischen stromdurchflossenem und gesperrtem Transistor ist reduziert. Nachteil dieser Maßnahme ist eine reduzierte Bandbreite auf Grund zusätzlicher Kapazitäten. Für das Layout bedeutet die Temperaturabhängigkeit, dass Transistoren eines differentiellen Paares nebeneinander platziert und auch deren Anschlüsse gleich geroutet werden sollten, da Metall besonders wärmeleitfähig ist. Abbildung 2.9 zeigt eine besonders geeignete Anordnung. Diese Anordnung kann auch auf Widerstände übertragen werden, sodass keine punktförmigen Hitzequellen entstehen.

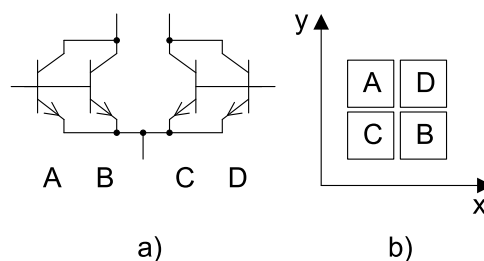


Abbildung 2.9: a) Schaltplan und b) temperaturoptimiertes Layout eines differentiellen Paares [29].

Dadurch, dass die Entwurfsumgebung die Temperaturumgebung eines Transistors nicht beachtet, ergibt sich eine Ungewissheit auf Grund der Temperaturempfindlichkeit der Bipolartransistoren.

2.5.2 Parasitäre Elemente

Werden Schaltpläne in Maskentwürfe umgesetzt, so entstehen durch die metallischen Verbindungsleitungen zwischen den Bauteilen parasitäre Elemente. Wie in Abschnitt 1.4.2 erwähnt, wird der Maskentwurf flächenmäßig groß bei gleichzeitig kleinem Spannungsintervall eines LSBs. Dies bedeutet, dass neben parasitären Widerständen und Kapazitäten auch die parasitären Induktivitäten eine wichtige Rolle spielen. Außerdem können sich

kapazitive Kopplungen zwischen zwei Signalen massiv auf die Kennwerte des Umsetzers auswirken.

2.5.3 Statistische Prozessvariation

Die statistische Prozessvariation beschreibt Bauteilparameter-Unterschiede, die zwischen zwei Chipprozessierungsdurchläufen (engl.: wafer runs) auftreten. Im Gegensatz zur Bauteilevariation werden bei der Prozessvariation alle Bauteilparameter gleich beeinflusst, das heißt zum Beispiel, dass der Flächenwiderstand einer bestimmten Widerstandsart um 10 % größer ist als im nominalen Fall.

Es muss gewährleistet sein, dass der Chip auch unter statistischer Prozessvariation funktioniert. Sinkt zum Beispiel die Transitfrequenz der Bipolartransistoren auf Grund der Prozessvariation, können Einschwingvorgänge nicht beendet sein oder es kann sich das Timing von Takt und Daten verschieben.

Die Standardabweichung der Modellparameter bei Prozessvariation ist größer als die Standardabweichung bei Bauteilevariation.

Die Extremfälle der statistischen Prozessvariation stellen die sogenannten Corners dar. Dabei wird angenommen, dass sich alle Parameter, die der statistischen Prozessvariation unterliegen, so ändern, dass zum Beispiel die Transitfrequenz aller Transistoren maximal oder minimal wird.

2.5.4 Statistische Bauteilevariation

Da die geometrischen Maße der verwendeten Bauteile in der Technologie SG25H1 sehr klein und somit die Auswirkungen von zufälligen Prozessierungsungenauigkeiten groß sind, spielt die statistische Bauteilevariation (engl.: device mismatch) bei hochauflösenden A/D-Umsetzern eine wichtige Rolle. Sie sind in den Modellparametern der jeweiligen Bauteile als Standardabweichung hinterlegt. Vor einer Simulation werden für die gewählten Bauteile individuelle, zufällige Parameterwerte ermittelt. Die benötigte Simulationsdauer steigt, da der Simulator nicht mehr stets auf dieselben Werte für jedes Bauteil zugreifen kann, sondern jedes Bauteil seine eigenen Werte besitzt. Außerdem muss die Simulation mehrmals durchgeführt werden, sodass zuverlässige Mittelwerte und Standardabweichungen der Kennwerte berechnet werden können.

Simulationen mit Berücksichtigung der statistischen Bauteilevariation müssen trotz des benötigten immensen Rechenaufwands früh in den Entwurfsprozess miteinfließen. Dies soll an einem qualitativen Beispiel erläutert werden: Das SFDR von F/I-A/D-Umsetzern

hängt von der Verstärkung der Faltverstärker ab. Werden statistische Bauteilevariationen nicht beachtet, so ergeben kleine, noch zulässige Verstärkungen die besten SFDR-Werte, da die interpolierten Signale näher am gewünschten Signalverlauf liegen als dies mit größeren Verstärkungen der Fall wäre. Mit statistischer Bauteilevariation hingegen liegt der Maximalwert des SFDRs bei größeren Verstärkungen, da sich die Nulldurchgangverschiebung durch statistische Bauteilevariation bei kleinen Verstärkungen stärker auf das SFDR auswirkt als der Vorteil durch die bessere Interpolation.

Im auf statistische Bauteilevariation optimierten Entwurf hat dies zur Folge, dass die erreichbaren SFDR-Werte in der Simulation ohne Bauteilevariation niedriger sind als in dem Entwurf, der ohne Berücksichtigung statistischer Bauteilevariation optimiert wurde.

2.5.4.1 Widerstände

Die Standardabweichung σ_R von Widerständen ist antiproportional zur Wurzel der Widerstandsfläche A_R [30]:

$$\sigma_R \sim \frac{1}{\sqrt{A_R}}. \quad (2.43)$$

Somit kann die statistische Widerstandsvariation durch flächenmäßiges Vergrößern des Widerstandes verbessert werden.

Ein im Layout platzierter Widerstand besitzt allerdings parasitäre Kapazitäten; zum Beispiel einen Kapazitätsbelag gegenüber dem Substrat, der proportional zur Fläche des Widerstandes ist. Dadurch entsteht eine RC-Zeitkonstante, die die Bandbreite an den Widerstandsknoten verkleinert. An Knoten mit hochfrequenten Signalen kann die Widerstandsfläche deshalb nicht beliebig groß gewählt werden.

2.5.4.2 Bipolartransistoren

Die Ursache statistischer Bauteilvariation bei Bipolartransistoren liegen im Wesentlichen in einer Variation des Basis-Flächenwiderstands, der Basis-Emitter-Stromdichte und der Emitter-Größe [31].

Das Layout von Bipolartransistoren kann in der Technologie SG25H1 nicht beeinflusst werden. Die einzige Möglichkeit zur Verbesserung der statistischen Bipolartransistorvariation besteht im parallelen Anschließen mehrerer Transistoren oder der Verwendung eines größeren Transistors.

2.5.5 Thermisches Rauschen

Zu Beginn der Arbeit wurde der differenzielle Eingangsspannungshub auf 2 V festgelegt. Je größer U_{LSB} , umso geringer die Auswirkung von thermischem Rauschen auf das SNR des Umsetzers.

Ein F/I-Umsetzer kann als Verstärkerkette betrachtet werden: Zunächst erfolgt eine Verstärkung durch die F/H-Schaltung ($A_{\text{F/H}} = 1$), danach folgen die vergleichenden Vorverstärker und die Faltverstärker. Die Friis-Formel [32] besagt, dass große Verstärkungen die Rauschzahl reduzieren. Besonders die ersten Verstärker in der Kette sollten deshalb eine große Verstärkung aufweisen.

3 Schaltungsentwurf

Nachdem in Kapitel 2 ein abstrakter F/I-Umsetzer behandelt wurde, soll nun die konkrete Implementierung des realisierten Umsetzers erläutert werden. Abbildung 3.1 zeigt das Blockschaltbild des F/I-Umsetzers. Im folgenden Kapitel werden die einzelnen Komponenten näher betrachtet.

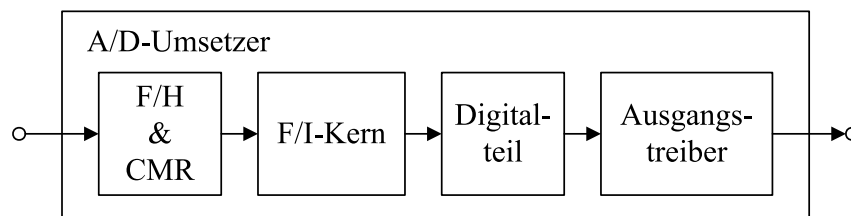


Abbildung 3.1: Blockschaltbild des A/D-Umsetzers.

Blockschaltbilder und Schaltpläne zeigen zur besseren Lesbarkeit meist einen unipolaren (engl.: single-ended) Signalverlauf; der realisierte Umsetzer ist vollständig differenziell aufgebaut.

3.1 Folge/Halte-Schaltung und Schaltung zur Unterdrückung von Gleichtaktänderungen

Die Folge/Halte-Schaltung und die Schaltung zur Unterdrückung von Gleichtaktänderungen (CMR, engl.: common mode rejection) sind die ersten Elemente bei der Prozessierung des analogen Eingangssignals im Umsetzer. Es kommt ihnen deshalb eine besondere Bedeutung zu, da zum Eingangssignal hinzugefügte Störungen bei diesem Umsetzer nicht mehr korrigiert werden: Das SFDR des Umsetzers ist kleiner oder gleich dem SFDR des Ausgangssignals der CMR-Schaltung.

3.1.1 Folge/Halte-Schaltung

In Kapitel 2.1 wird dargelegt, weshalb eine F/H-Schaltung zu verwenden ist. Abbildungen 3.2 und 3.3 zeigen den Aufbau der im Umsetzer verwendeten F/H-Schaltung bestehend

aus getaktetem Vorverstärker, geschaltetem Emitterfolger (SEF, engl.: switched emitter follower) und einfachem Emitterfolger (EF) als Treiber.

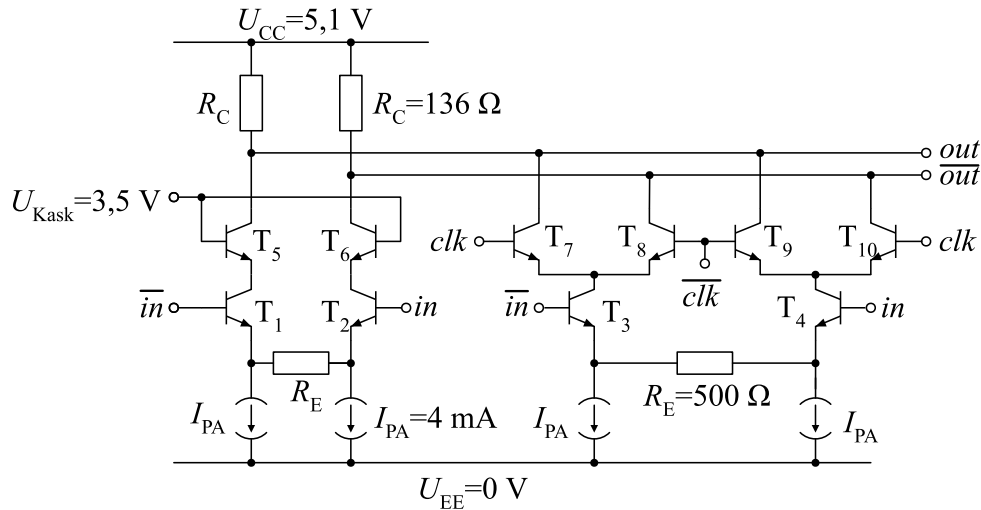


Abbildung 3.2: Differenzieller Schaltplan des Vorverstärkers.

Während der Folgephase werden die Takteingänge des Vorverstärkers in Abbildung 3.2 so angesteuert, dass die Ströme über die Transistoren T_7 und T_{10} fließen. Für die Kollektorströme der Transistoren T_5 und T_7 gilt $I_{C,5} = I_{C,7}$ beziehungsweise für die Kollektorströme der Transistoren T_6 und T_{10} gilt $I_{C,6} = I_{C,10}$. Während der Haltephase fließen die Ströme auf Grund des geänderten Taktsignals über die Transistoren T_8 und T_9 . Es gilt die Beziehung $I_{C,5} + I_{C,9} = I_{C,6} + I_{C,8} = 2 \cdot I_{PA}$. Die beiden durch diese Ströme verursachten Spannungsabfälle über den Lastwiderständen R_C sind somit gleich groß; der Ausgang des Vorverstärkers ist während der Haltephase konstant.

Während der Folgephase werden die Takteingänge des geschalteten Emitterfolgers in Abbildung 3.3 so angesteuert, dass der Transistor T_3 leitet. Die Spannung über der Haltekapazität C_H folgt der Eingangsspannung. Während der Haltephase fließt der Strom I_{SEF} über den Transistor T_1 und über die Lastwiderstände R_C des Vorverstärkers. Der durch diesen Strom verursachte Spannungsabfall über den Lastwiderständen R_C reduziert die Basis-Emitter-Spannung des Transistors T_3 soweit, dass dieser sperrt. Die Spannung über der Haltekapazität C_H bleibt konstant.

Einige Anmerkungen sollen auf die Feinheiten des Entwurfs hinweisen:

- Wo möglich, werden die Transistoren mit dem Strom betrieben, bei dem die maximale Transitfrequenz erreicht wird. Außerdem ist die Dimensionierung der Widerstände entsprechend der Prozessspezifikation so gewählt, dass durch sie (konstant oder nur kurzzeitig) der maximal zulässige Strom fließt. Beide Maßnahmen sorgen

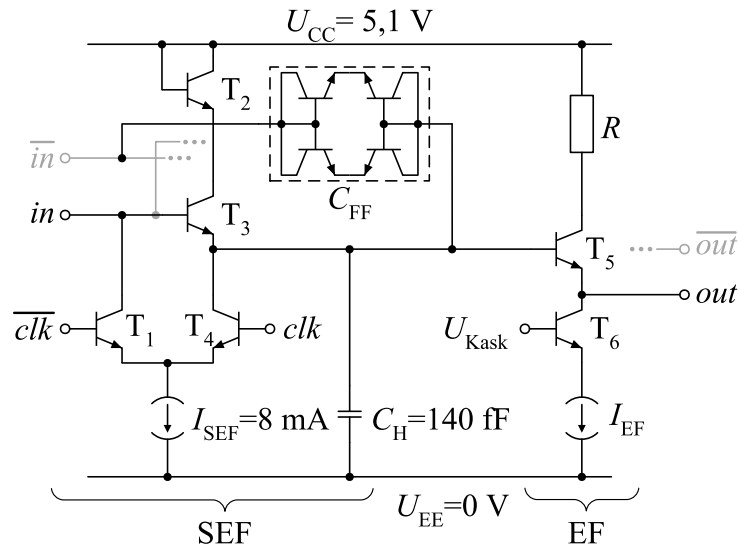


Abbildung 3.3: Schaltplan des geschalteten Emitterfolgers mit Treiber.

für ein optimales Verhältnis von Strom zu parasitären Kapazitäten, was sich positiv auf die Bandbreite der Schaltung auswirkt. Bei einer Eingangssignalfrequenz von 6 GHz beträgt die Dämpfung 2 dB.

- Die Kaskodentransistoren T_{5-10} des Vorverstärkers dienen einerseits der Reduzierung der Millerkapazität, andererseits verhindern sie ein Überschreiten der Basis-Kollektor-Durchbruchspannung der Eingangstransistoren T_{1-4} .
- Der in Abbildung 3.2 gezeigte Differenzverstärker unterscheidet sich durch die Anordnung von R_E von dem in Abbildung 2.1 gezeigten. Dies erlaubt eine Reduktion der Versorgungsspannung.
- Der Gesamtstrom durch den Vorverstärker beträgt 16 mA, $R_E = 500 \Omega$. Das entsprechende R_E für die Anordnung nach Abbildung 2.1 ist 125Ω . Nach Abbildung 2.2 sind für eine Amplitude von $A = 1$ V folglich ca. 65 dB SFDR möglich.
- Die Verstärkung der F/H-Schaltung beträgt 1.
- Sowohl die Taktung des Vorverstärkers als auch die Koppelkapazität C_{FF} [33] dienen der Reduktion des Durchsprechens vom Eingangssignal auf das gehaltene Signal während der Haltephase. Zusätzlich sorgt sie beim Vorverstärker dafür, dass die Temperaturdifferenz zwischen zwei Transistoren eines differentiellen Paares geringer ist als ohne Taktung.

- Die Größe der Haltekapazität C_H ist Resultat einer Optimierung: Ist sie zu klein, so ist der Signaldurchgriff während der Haltephase zu groß; ist die Kapazität zu groß, kann sie während der Folgephase nicht hinreichend genau umgeladen werden.

Eine ausführliche Beschreibung findet sich in [34]. Aus Zeitgründen wurden keine Optimierungen bezüglich thermischem Rauschen und statistischer Bauteilevariation durchgeführt, wobei letztere aufgrund des verhältnismäßig großen Stromes und den damit verbundenen Bauteildimensionierungen vermutlich kein großes Verbesserungspotenzial mehr birgt.

3.1.2 Schaltung zur Unterdrückung von Gleichtaktänderungen

Das Ausgangssignal der F/H-Schaltung muss an die Eingänge des nachfolgenden Schaltungsteils, das heißt an die vergleichenden Vorverstärker, angelegt werden. Da die vergleichenden Vorverstärker das Eingangssignal mit konstanten Referenzspannungen vergleichen, ist es wichtig, dass der Gleichtaktpegel vom Eingangssignal konstant ist. Die Signalverarbeitung, die bislang streng differenziell ausgeführt ist, muss bei den vergleichenden Vorverstärkern auf Grund von Linearitätsanforderungen kurzzeitig unipolar erfolgen (Begründung siehe Kapitel 3.2.2.2).

Schaltungsbedingt entsteht beim Wechsel von der Folge- in die Haltephase ein Taktdurchgriff am SEF, der eine Gleichtaktschwankung am Ausgang der F/H-Schaltung verursacht. Es wird eine Schaltung benötigt, die das Signal von dieser Schwankung reinigt. Diese Aufgabe wird von der CMR-Schaltung bewältigt. Ihr Aufbau orientiert sich am Aufbau der F/H-Schaltung: Die CMR-Schaltung besteht aus einem getakteten Vorverstärker, wobei der Differenzverstärker die Gleichtaktschwankung unterdrückt. Statt des geschalteten Emitterfolgers wird ein einfacher Emitterfolger verwendet, sodass keine weitere Gleichtaktschwankung auf dem Ausgangssignal der CMR-Schaltung entsteht, gefolgt von einem weiteren Emitterfolger. Die Taktung des Vorverstärkers sorgt dafür, dass die Temperaturen entsprechender Transistoren und Widerstände so ähnlich wie möglich sind.

Da die vergleichenden Vorverstärker empfindlich auf Gleichtaktverschiebungen reagieren, wird der Gleichtakt des Ausgangssignals nach der CMR-Schaltung ermittelt und auf ein Pad geführt, wo er abgegriffen werden kann. Die zwei Referenzspannungen für die Referenzspannungsleiter müssen symmetrisch um diesen Pegel liegen. Sie werden von außen nachgeregelt. Der Gleichtaktpegel hängt einerseits von der Temperatur, andererseits von den Auswirkungen der statistischen Prozessvariation auf die Basis-Emitter-Spannung ab.

3.1.3 Takt-Timing

Bei der F/H-Schaltung ist darauf zu achten, dass der Zeitversatz zwischen den Takten (engl.: timing) von SEF und Vorverstärker stimmt: Zunächst muss die Haltekapazität abgekoppelt werden, bevor der Vorverstärker stummgeschaltet wird, da sich andernfalls das Stummschalten des Vorverstärkers auf die Spannung über der Haltekapazität auswirkt, vergleiche hierzu Abbildungen 3.2 und 3.3.

Um der nachfolgenden Stufe der CMR-Schaltung möglichst viel Zeit zum Einschwingen zu lassen, sollte die Taktung des Vorverstärkers der CMR-Schaltung mit der Taktung des SEFs in der F/H-Schaltung übereinstimmen.

Abbildung 3.4 zeigt die Taktführung vom Takteingang bis zur ersten Stufe des F/I-Kerns.

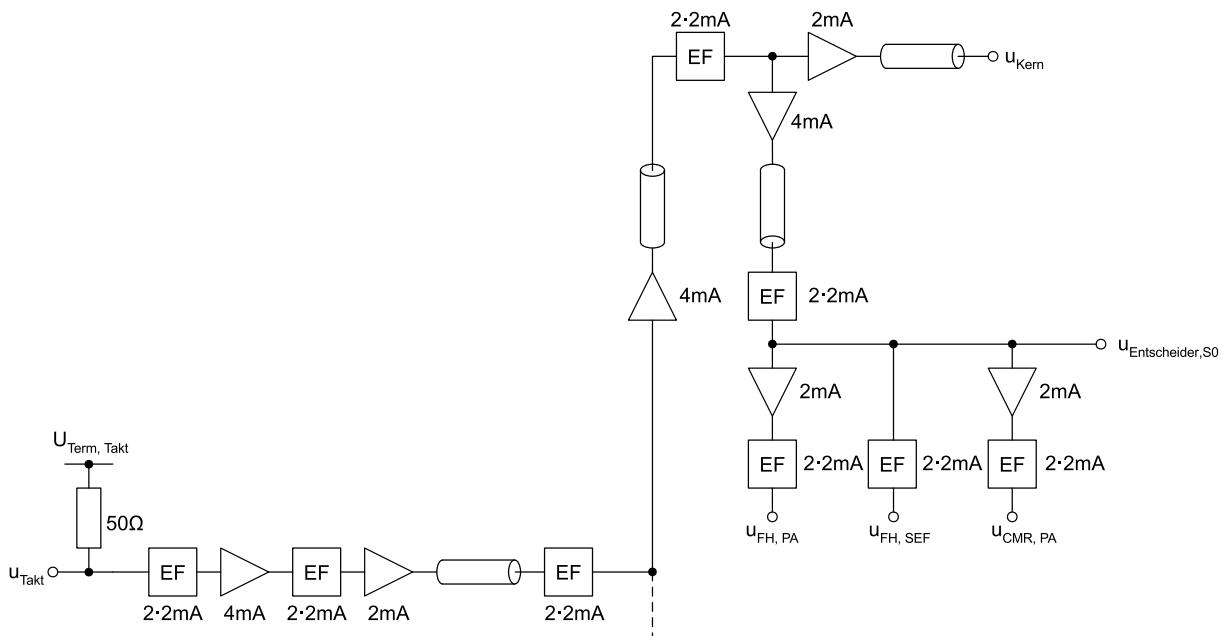


Abbildung 3.4: Layoutorientierte Darstellung der Taktführung bis zur ersten Stufe des F/I-Kerns.

3.1.4 Aperturjitter

In Kapitel 1.2 wurde mit der physikalischen Auflösung ein erstes begrenzendes Element des SNRs vorgestellt. Ein weiteres ist der Aperturjitter, worunter die zeitliche Abweichung des tatsächlichen vom idealen Taktsignal an der F/H-Schaltung verstanden wird. Eine Verschiebung des Abtastzeitpunkts um Δt führt dazu, dass nicht mehr $u_{ein}(t)$ umgesetzt wird, sondern $u_{ein}(t + \Delta t)$. Um wieviel sich das umzusetzende Signal in der Zwischenzeit

maximal geändert hat, ist von Δt und der Frequenz des Eingangssignals abhängig.

Unter der Annahme eines normalverteilten Aperturjitters ergibt sich der Zusammenhang von Aperturjitter $t_{J,rms}$, der Nutzsingalfrequenz f_{in} und dem erreichbaren SNR nach [2] zu

$$SNR_{dB} = -20 \log_{10}(2\pi f_{in} t_{J,rms}). \quad (3.1)$$

Für einen Umsetzer mit $f_{in} = 6$ GHz und $SNR_{Soll} = 44$ dB ergibt sich ein maximal zulässiger Aperturjitter von $t_{J,rms} = 167$ fs, bei $SNR_{Soll} = 56$ dB sind es $t_{J,rms} = 42$ fs, wobei alle anderen Effekte vernachlässigt wurden. Aperturjitter entsteht unter anderem durch thermisches Rauschen. Schon das Taktsignal, das an den Chip angelegt wird, weist Jitter auf. Durch jede weitere Schaltung im Taktpfad auf dem Chip kommt zusätzlicher Jitter hinzu.

Abbildung 3.4 stellt den gesamten Taktpfad vom Takteingang bis zur CMR-Schaltung dar. Als Takteingang wird an den Pads des Chips ein sinusförmiges Signal angelegt, das zunächst durch Verstärker und Emitterfolger zum Pegelschieben in ein Rechtecksignal umgewandelt wird. Je steiler die Flanken des Taktsignals, umso schneller können die Haltekapazitäten der F/H-Schaltung vom Nutzsignaleingang abgekoppelt werden, desto präziser ist die Abtastung. Auf Grund von Jitter sollten sich im Taktpfad bis zu den Takttransistoren der F/H-Schaltung möglichst wenige Verstärkerstufen befinden. Es muss ein Kompromiss zwischen Flankensteilheit und Jitter gefunden werden.

In diesem Umsetzer übt der Aperturjitter den größten Einfluss in der F/H-Schaltung aus. Danach reduziert sich der Einfluss von Aperturjitter, da das auszuwertende Signal beziehungsweise die auszuwertenden Signale über eine annähernd konstante Haltephase verfügen.

3.2 F/I-Kern

Abbildung 3.5 zeigt den F/I-Kern des A/D-Umsetzers. Er besteht aus einer Widerstandsleiter zur Erzeugung der Referenzspannungen, einer Eingangsstufe, im Nachfolgenden als Stufe 0 bezeichnet, und fünf weiteren Stufen. In jeder Stufe befinden sich geschaltete Emitterfolger, um die Anforderungen an die Bandbreite der einzelnen Schaltungskomponenten zu relaxieren. Somit hat jede Stufe einen Halbtakt für analoge Operationen Zeit, bevor die Ergebnisse erneut abgetastet werden. In jeder Stufe werden analoge Signale verarbeitet, die zu unterschiedlichen, umzusetzenden Werten gehören (engl.: pipeline). Bereits gewonnene, digitale Informationen zu den einzelnen Werten werden parallel zum analogen Datenfluss weitergereicht.

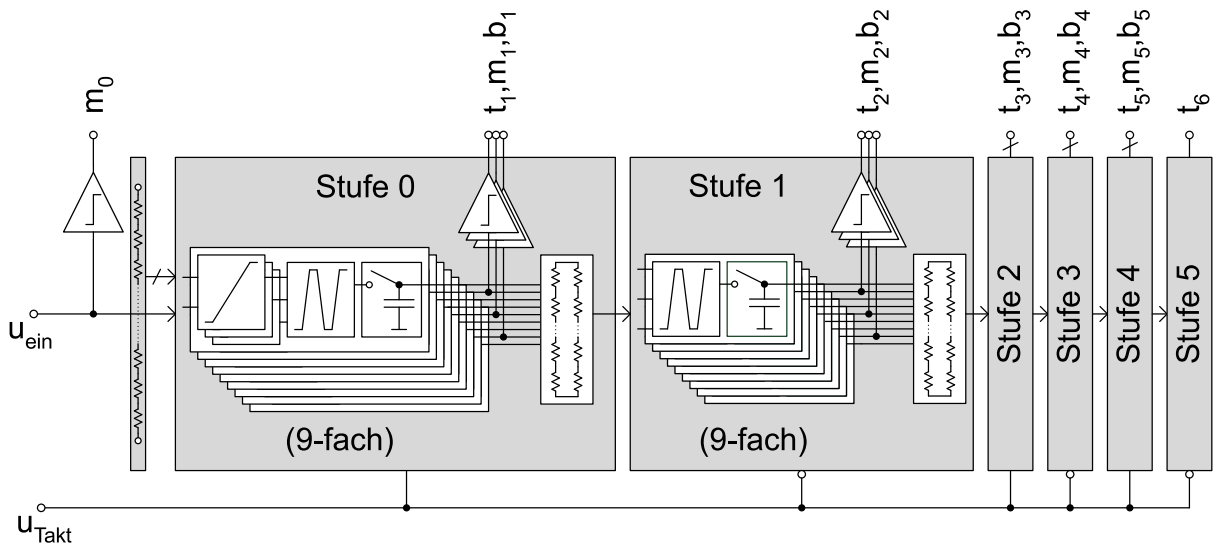


Abbildung 3.5: Funktionales Blockschaltbild des analogen Kerns.

Die Stufen 1 bis 3 sind identisch, Stufen 4 und 5 sind reduzierte Versionen der Stufen 1 bis 3: In ihnen werden alle Elemente, die nicht zwingend nötig sind, weggelassen, um die Leistungsaufnahme zu reduzieren.

Im Folgenden werden die einzelnen Komponenten näher beschrieben.

3.2.1 Widerstandsleiter

Um ein analoges Signal quantisieren zu können, muss es mit einer bekannten Referenz verglichen werden. Dies geschieht mit einer Referenzspannungsleiter. Abbildung 3.6 zeigt zwei Möglichkeiten zur Realisierung. Variante a) vergleicht die Eingangsspannung mit konstanten Referenzspannungen. Bei Variante b), die nur im differenziellen Fall angewendet werden kann, ist die Widerstandsleiter direkt an das Eingangssignal gekoppelt. Die Referenz ergibt sich aus dem Gleichtakt des Eingangssignals und des Stroms durch die Widerstände. Sie wird zum Beispiel im A/D-Umsetzer [35] verwendet. Bei dieser Variante werden die Ausgänge der Widerstandsleiter direkt auf Faltverstärker gegeben. Somit entfallen negative Effekte (Nichtlinearität, Beeinträchtigung durch statistische Bauteilvariation, thermisches Rauschen) der vergleichenden Vorverstärker.

Die statistische Widerstandsvariation in Kombination mit dem Eingangsspannungshub und der Auflösung schreiben eine Mindestfläche der Widerstände der Widerstandsleiter vor; eine theoretische Betrachtung erfolgt in [36]. Da die Widerstandsfläche für die gegebene Spezifikation relativ groß ausfällt, sind auch die parasitären Kapazitäten (Widerstandsmaterial gegenüber Substrat) der Widerstände von Bedeutung. Mit den ohmschen

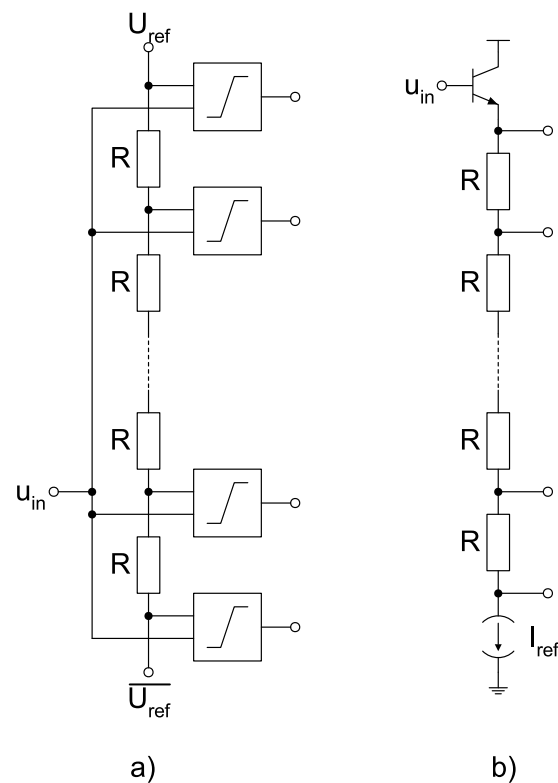


Abbildung 3.6: Anschluss-Möglichkeiten der Widerstandsleiter.

Widerstandswerten ergibt sich ein RC-Netzwerk mit großer Zeitkonstante. Deshalb ist Variante b) für diesen Umsetzer nicht geeignet, es wird Variante a) gewählt.

Die Basisströme, die in die nachfolgende Schaltung fließen, ändern die Abgriffspotentiale der Widerstandsleiter. Dadurch, dass sie abhängig vom Eingangssignal und nicht statisch sind, können sie nicht kompensiert werden. Entstehende Abweichungen können allerdings durch einen größeren Strom durch die Widerstandsleiter bei reduzierten Widerstandswerten verkleinert werden.

3.2.2 Faltung und Vergleich mit Referenzspannung

In diesem Kapitel werden die schaltungstechnischen Realisierungen der analogen Hauptfunktionen behandelt: Dies ist einerseits der Vergleich der Eingangsspannung mit einer festen Referenz, andererseits die Faltung nach Formel (1.4).

Das Kapitel beginnt mit der Realisierung der Faltung, obwohl diese in der Signalverarbeitungskette erst nach dem Referenzspannungsvergleich erfolgt. Allerdings setzt die Implementierung des Referenzspannungsvergleichs das Verständnis des Faltverstärkers voraus.

3.2.2.1 Faltverstärker

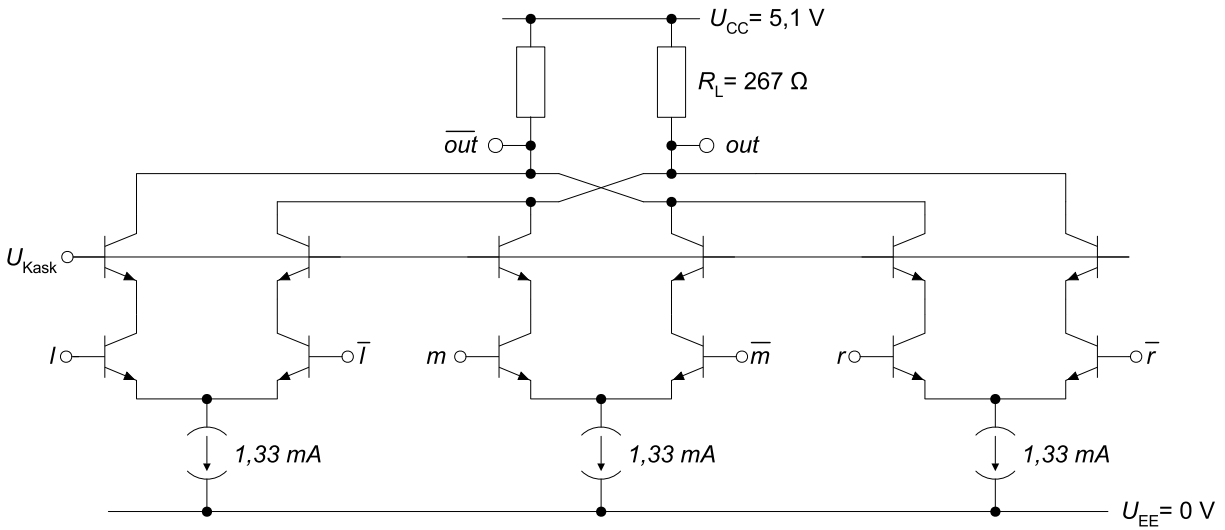


Abbildung 3.7: Faltverstärker.

Abbildung 3.7 zeigt den Faltverstärker, wie er in den Stufen 1 bis 5 verwendet wird. Er bildet die Funktion aus Kapitel 1.3.1 nach: Drei Differenzverstärker sind an einen Ausgang angeschlossen, folglich beträgt der Faltungsgrad 3. Jeder Differenzverstärker realisiert eine Funktion $g_i(x)$, wobei der Nulldurchgang α_i an der Stelle auftritt, an der die beiden Eingangsspannungen gleich groß sind. Das alternierende Vorzeichen der Gesamtfunktion $f(x_1, x_2, x_3)$ wird durch den Anschluss der Differenzverstärker an den Ausgang berücksichtigt. Aus diesem Grund ist Abbildung 3.7 differenziell dargestellt.

Die Verstärkung beträgt $A_{FV,DC} = 4,0$. Es werden keine zusätzlichen Linearisierungswiderstände verwendet. Bei geeigneter Wahl der Verstärkung der vergleichenden Vorverstärker liegt dies im optimalen Bereich nach Abbildung 2.5.

Die Kaskodentransistoren werden benötigt, da ansonsten die Kollektor-Emitter-Durchbruchspannung der Eingangstransistoren überschritten würde. Außerdem reduzieren sie den Miller-Effekt, woraus eine höhere Bandbreite des Faltverstärkers resultiert.

3.2.2.2 Vergleichende Vorverstärker mit Faltung

Abbildung 3.8 zeigt zwei mögliche Varianten für die Beschaltung des vergleichenden Vorverstärkers, der eine variable Eingangsspannung mit einer konstanten Referenzspannung vergleicht. Für den differenziellen Aufbau gibt es zwei Alternativen, die in a) und b) dargestellt sind. Die Kennlinie eines Bipolar-Differenzverstärkers nach Abbildung 2.1 geht für $R_E = 0 \Omega$ in einen Tangens-Hyperbolicus über. Um den Nulldurchgang sind ihre nichtli-

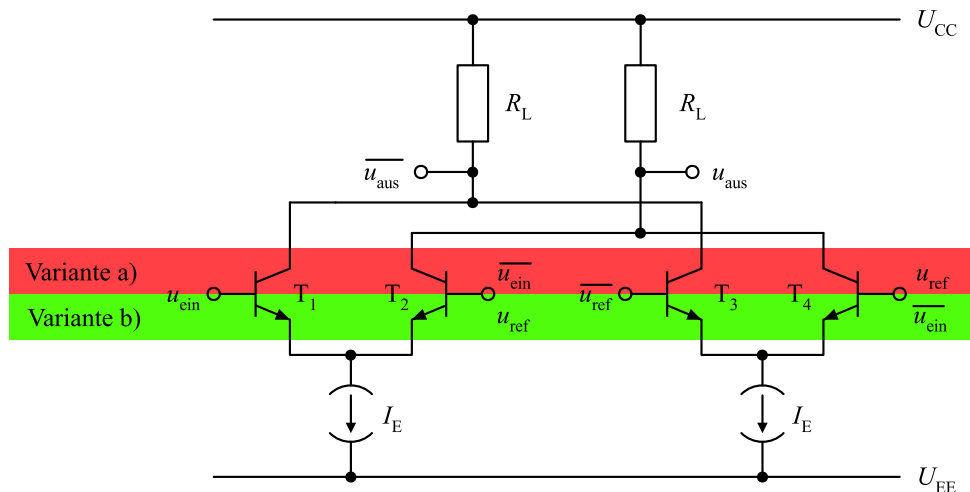


Abbildung 3.8: Beschaltungsvarianten eines vergleichenden Vorverstärkers.

nearen Anteile minimal. Werden, wie in Variante a) u_{ein} mit $\overline{u_{ein}}$ und u_{ref} mit $\overline{u_{ref}}$ verglichen, so sind die beiden Differenzverstärker außer für den Fall $u_{ein} = \overline{u_{ein}}$ und $u_{ref} = \overline{u_{ref}}$ stets angesteuert. Werden hingegen, wie in Variante b) u_{ein} mit u_{ref} und $\overline{u_{ein}}$ mit $\overline{u_{ref}}$ verglichen, so sind die beiden Differenzverstärker bei den jeweiligen Referenzspannungen im Nulldurchgang, dem optimalen Arbeitspunkt hinsichtlich der Linearität. Für den A/D-Umsetzer wird deshalb Variante b) gewählt.

In Kapitel 3.1.2 wird eine Schaltung beschrieben, die Gleichtaktänderungen des Ausgangssignals der F/H-Schaltung unterdrückt. Grund für diese Schaltung ist die Empfindlichkeit der vergleichenden Vorverstärker nach Variante b) auf Gleichtaktänderungen: Da die Referenzspannungen konstant sind und sich die beiden Eingangsspannungen in die gleiche Richtung ändern, wird der Nulldurchgang verschoben. Im System führt dies zu unterschiedlich großen Quantisierungsintervallen. Variante a) ist gegenüber Gleichtaktstörungen unempfindlich.

Abbildung 3.9 zeigt zwei Konzepte, wie die Eingangsstufe des F/I-Kerns realisiert werden kann. Die erste Möglichkeit a) tastet direkt nach dem Vergleich ab; die zweite Variante b) fasst den Vergleich und eine Faltung zusammen, bevor abgetastet wird, wodurch einige Schaltungskomponenten eingespart werden können. Da eine zusätzliche analoge Operation mit weniger Schaltungselementen durchgeführt wird, fallen auch deren Störeinflüsse weg: Variante b) ist zum Beispiel unempfindlicher gegenüber statistischer Bauteilevariation als Variante a). Auf Grund der genannten Vorteile wird Variante b) gewählt. Eine ausführliche Beschreibung des verwendeten Konzepts findet sich in [37].

Abbildung 3.10 zeigt den Schaltplan der vergleichenden Vorverstärker mit Faltung, wie

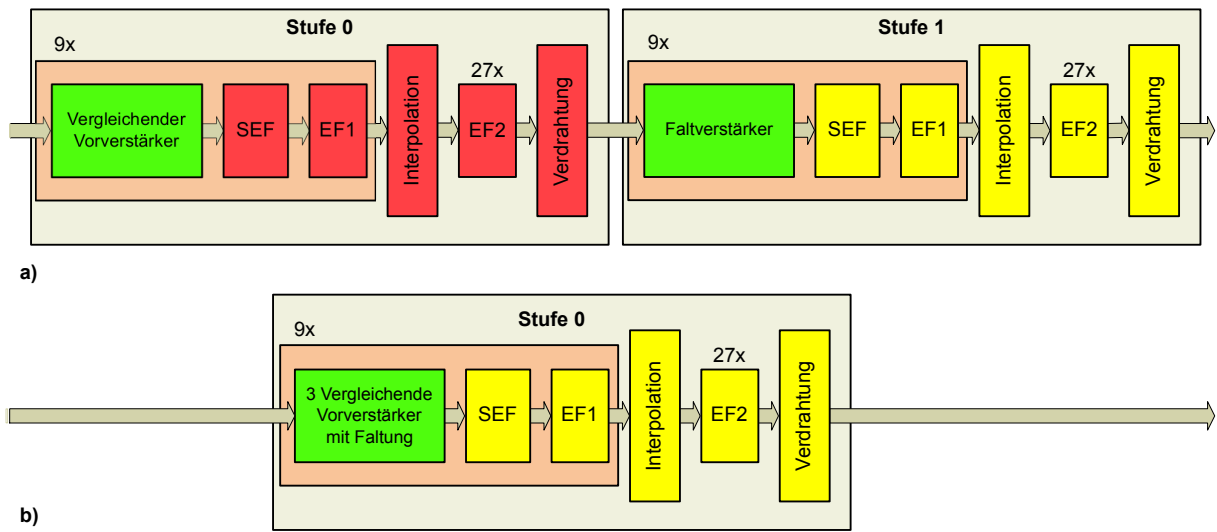


Abbildung 3.9: Vergleich zweier Konzepte zur Generierung der ersten 27 Nulldurchgänge.

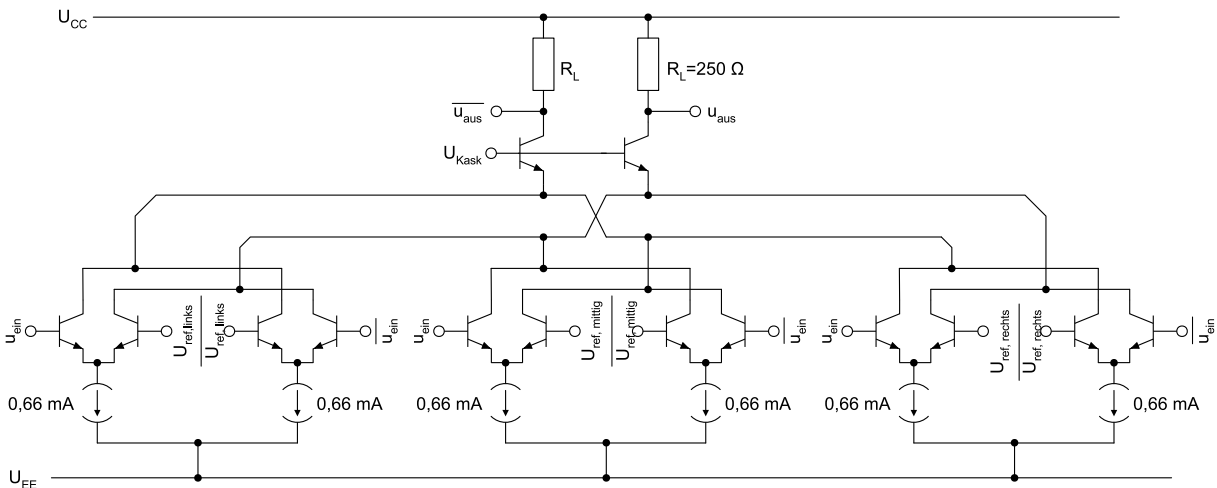


Abbildung 3.10: Faltverstärker mit integrierten vergleichenden Vorverstärkern.

er im A/D-Umsetzer verwendet wird. Die oben beschriebenen vergleichenden Elemente werden direkt mit einer Faltung verknüpft. Die Eingangstransistoren werden doppelt platziert. Dies senkt die Bandbreite, da die Transitfrequenz f_T abhängig vom Kollektorstrom I_C ist und es entstehen zusätzliche parasitäre Kapazitäten. Gleichzeitig bringt die doppelte Platzierung aber auch Vorteile mit sich: Dadurch, dass zwei Transistoren parallel geschaltet sind, wird die Anordnung unempfindlicher gegenüber statistischer Bauteilevariation. Ebenfalls ist die Stromdichte durch die Basis nur noch halb so groß, somit sinkt die Temperaturdifferenz zwischen dem Fall, dass immer Strom fließt und dem stromlosen Fall. Dadurch ändert sich die Basis-Emitter-Spannung u_{BE} nach Kapitel 2.5.1 auf Grund

der Temperatur nicht so stark.

Durch die Parallelschaltung des transistorinternen Zuleitungswiderstands $R_{E,par}$ erhöht sich die Verstärkung der vergleichenden Vorverstärker mit Faltung. Sie beträgt $A_{VV,DC} = 2,6$. Auf Linearisierungswiderstände wird entsprechend [37] verzichtet.

Dadurch, dass Variante b) in Abbildung 3.9 über 27 vergleichende Vorverstärker verfügt, im Gegensatz zu den 9 aus Variante a), und deshalb einmal weniger interpoliert werden muss, kann die Verstärkung in Variante b) größer ausfallen als in Variante a), wodurch die Auswirkungen der statistischen Bauteilevariation reduziert werden.

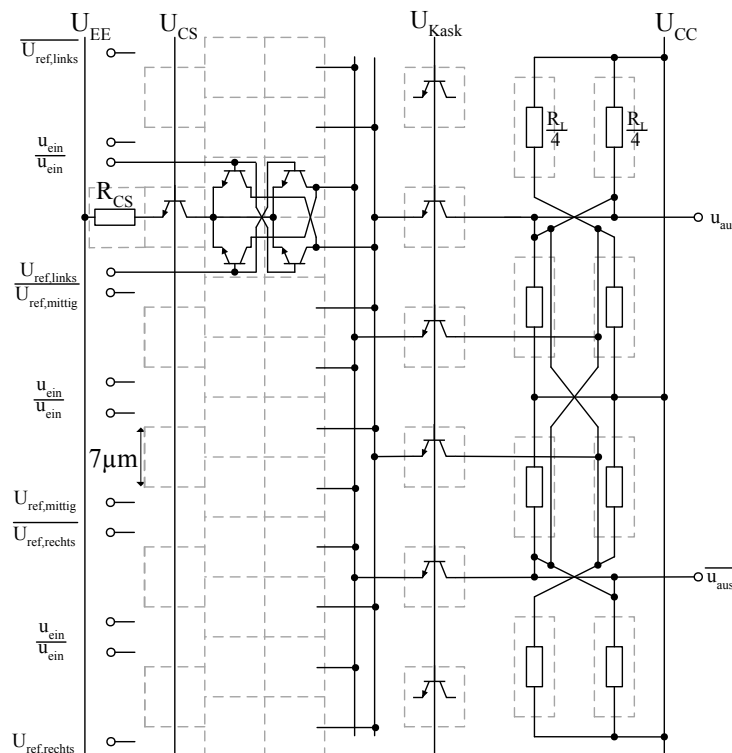


Abbildung 3.11: Anordnung der Bauelemente im Maskensatz für die vergleichenden Vorverstärker mit Faltung in Stufe 0.

Abbildung 3.11 zeigt die Anordnung der Bauelemente im Maskensatz für die vergleichenden Vorverstärker mit Faltung eines Stufenelements von Stufe 0. Der Übersicht halber ist nur einer von sechs vergleichenden Vorverstärkern dargestellt. Die anderen fünf sind analog zum gezeigten platziert. Der Maskensatz der vergleichenden Vorverstärker orientiert sich an Abbildung 2.9.

Rechts neben den vergleichenden Vorverstärkern befinden sich Kaskodentransistoren, wobei nur vier der sechs aktiv beschaltet sind, die anderen zwei verbleiben als sogenannte Dummy-Strukturen, um die Regelmäßigkeit des Layouts zu erhöhen. Von der Funktio-

nalität her hätten sie angeschlossen werden können, sie würden jedoch die Bandbreite einschränken. Die beiden Lastwiderstände werden für eine homogenere Wärmeverteilung in jeweils vier Teilwiderstände aufgespalten.

Die anderen acht identischen Maskensätze können nahtlos an den gezeigten angefügt werden. Dies nutzt den Platz effizient und sorgt sowohl für eine homogene Wärmeverteilung als auch für identische Umgebungen von Transistoren. Der gezeigte Maskensatz wird neunmal in einer Spalte platziert, was in einer beträchtlichen Gesamtlänge von $9 \cdot 84 \mu\text{m} = 756 \mu\text{m}$ resultiert. Diese Länge legt die minimale Länge des Kerns fest.

In Abbildung 3.11 werden platzierte Kapazitäten zum lokalen Blocken von Schwingungen auf U_{CS} und U_{Kask} nicht dargestellt.

3.2.3 Aufbau und Anforderungen an eine Stufe

Abbildung 3.12 zeigt den Aufbau eines Stufenelements. Neun dieser Stufenelemente ergeben eine Stufe. Ein Stufenelement besteht aus einer Schaltung, die die Faltung realisiert (in Stufe 0: Vergleich und Faltung), einem geschalteten Emitterfolger, einem Emitterfolger zum Treiben des Interpolationsringes und einem Emitterfolger zum Treiben der Verdrahtung.

Um die einzelnen Stufen kaskadieren zu können, müssen die Gleichtaktpegel der Ein- und Ausgänge einer Stufe übereinstimmen. Dies ist durch eine geeignete Wahl der Schaltungsparameter möglich.

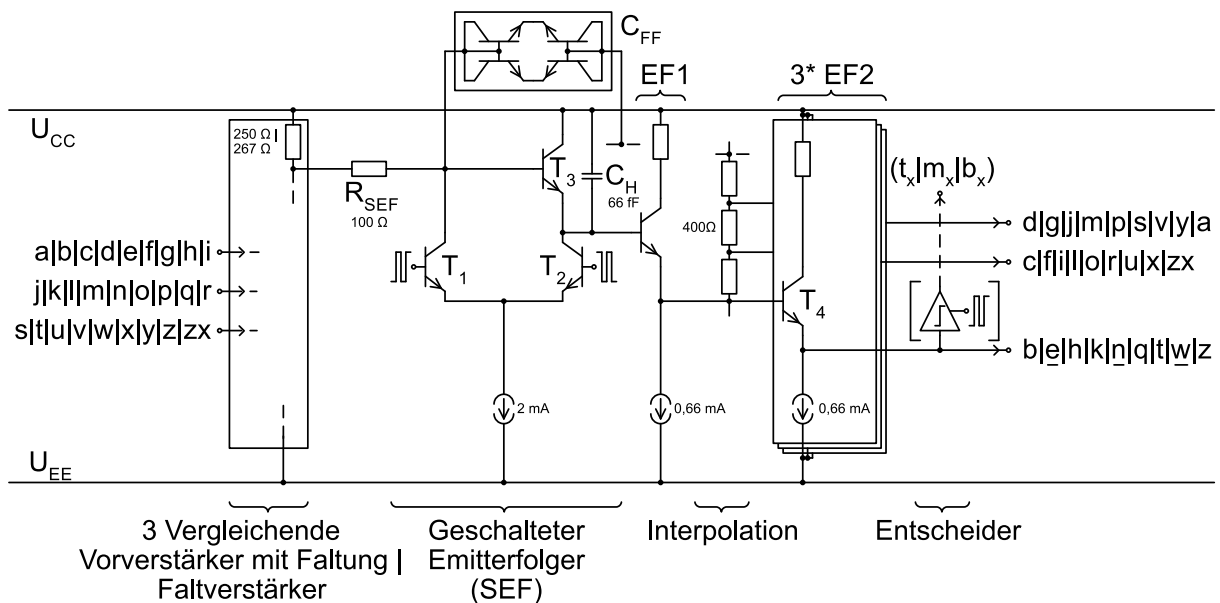


Abbildung 3.12: Aufbau eines Stufenelements.

Der geschaltete Emitterfolger ist analog zu jenem in der F/H-Schaltung aufgebaut. Ein topologischer Unterschied besteht in der Verwendung des mit R_{SEF} gekennzeichneten Widerstands. Er bewirkt ein zusätzliches Absenken der Basisspannung des Transistors T_3 während der Haltephase. Sobald die Signale während der Folgephase eingeschwungen sind, fließt durch ihn lediglich der Basisstrom des Transistors T_3 .

Die Koppelkapazität C_{FF} reduziert das Durchsprechen des Ausgangssignals des Faltverstärkers über die Basis-Emitter-Kapazität des SEFs.

Der in Abbildung 3.12 mit $EF1$ gekennzeichnete Emitterfolger koppelt die Haltekapazität C_H vom resistiven Interpolationsring ab. Jeder dritte Widerstand des Interpolationsrings ist an den Emitter eines Emitterfolgers $EF1$ angeschlossen. Der Emitterfolger $EF2$ wird benötigt, um den Interpolationsring von der Verdrahtung zur nächsten Stufe abzukoppeln: Die Verdrahtung besteht aus bis zu $700\ \mu\text{m}$ langen Metalleitungen, die eng beieinander liegen und deshalb eine relativ große parasitäre Kapazität aufweisen. Ohne die Emitterfolger $EF2$ wäre die Zeitkonstante aufgrund der Widerstände im Interpolationsring zu groß; die Signale würden nicht mehr ausreichend genau einschwingen. Außerdem wird der Emitterfolger $EF2$ benötigt, um den Gleichtaktpegel um eine weitere Basis-Emitter-Spannung zu senken, sodass der Ausgangs- mit dem Eingangsgleichtaktpegel der nächsten Stufe übereinstimmt.

An den Ausgängen e , n und w des in Abbildung 3.12 gezeigten Stufenelements befinden sich sogenannte Entscheider, die Schnittstellen zum Digitalteil des Umsetzers; dazu mehr in Kapitel 3.3.2.

3.2.4 Funktionsweise des F/I-Kerns

Dieses Kapitel soll das Zusammenspiel mehrerer Stufen verdeutlichen. Dazu werden hier ausschließlich die Elemente betrachtet, die eine Faltung oder eine Interpolation realisieren. Schaltungselemente, die zur Arbeitspunkteinstellung benötigt werden, sind nicht dargestellt.

Abbildung 3.13 stellt die Ausgänge der vergleichenden Vorverstärker und der Faltverstärker in Stufe 0 und Stufe 1 dar, sowie die interpolierten Signale. Die mit einem Kreuz gekennzeichneten Ausgänge sind vergleichende Vorverstärker- oder Faltverstärkerausgänge, die mit einem Punkt dargestellten Ausgänge sind interpolierte Signale. Die Ausgänge sind mit a bis z und zx bezeichnet. Die einzelnen Ausgänge sind der Übersichtlichkeit halber durch eine gestrichelte Linie miteinander verbunden; tatsächlich ist die Zahl der Ausgangssignale diskret. Die Skalierung der Ordinate entspricht nicht den tatsächlichen Höhen. Die Verstärkung betrage 1.

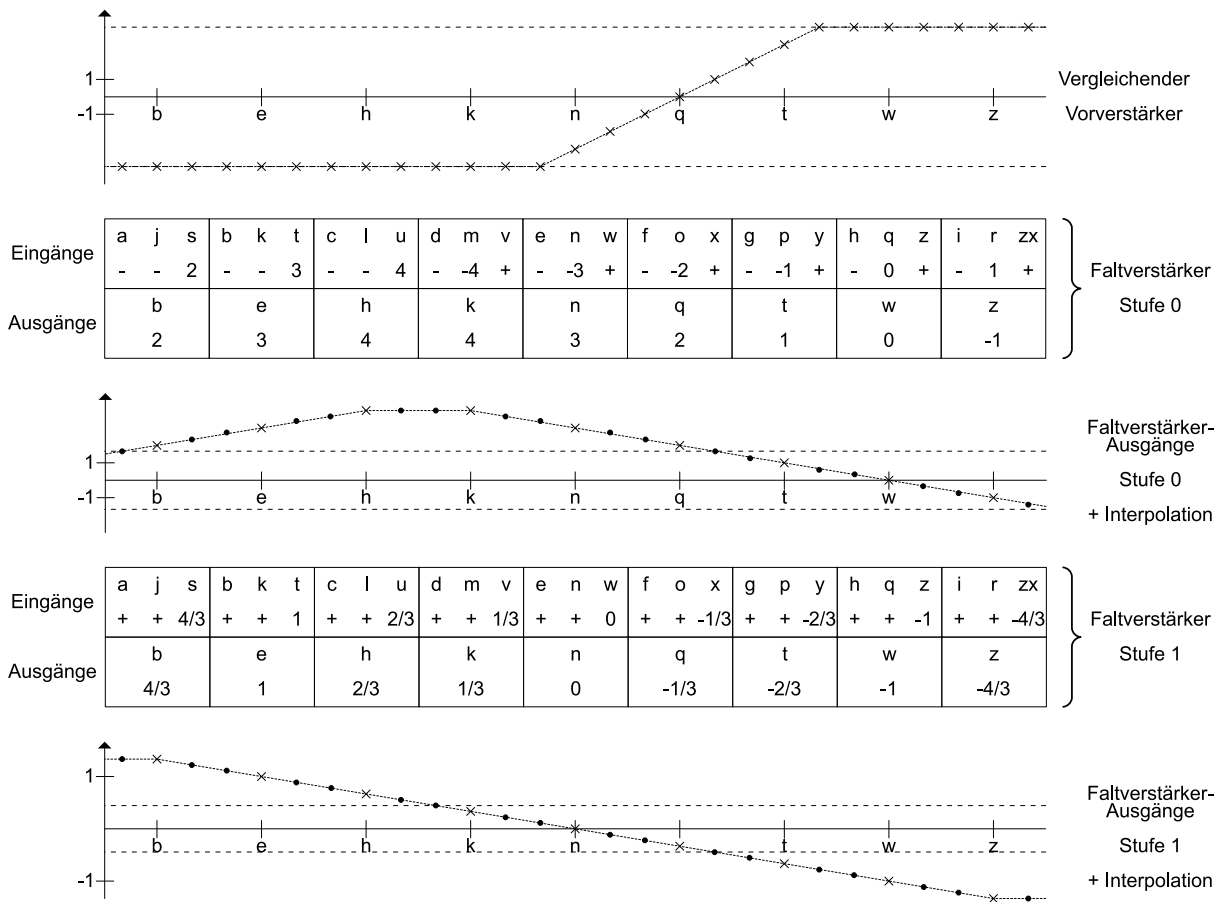


Abbildung 3.13: Beispielszenario zur Erläuterung der Funktionsweise des F/I-Umsetzers.

Die horizontalen, gestrichelten Linien stellen Grenzen dar. Die Ausgangssignale, die sich außerhalb dieses Bereichs befinden, müssen vor der nächsten Faltung derart verstärkt beziehungsweise die Grenzen der nächsten Stufe derart zurückgenommen werden, dass sie das CML-Differenzpaar eines nachfolgenden Faltverstärkers komplett aussteuern. Die Lage der Grenzen ergibt sich durch den Faltungsgrad: Bei einer n -fachen Faltung müssen mindestens $\frac{n-1}{n} \cdot (\text{Anzahl Signale})$ Signale in Sättigung sein, im Beispiel $\frac{2}{3} \cdot 27 = 18$ Signale. Ansonsten erfährt das umzusetzende Signal eine Störung.

In den Tabellen sind pro Faltverstärker je drei Eingänge gegeben, die mit Buchstaben bezeichnet sind. Das differenzielle Signal muss am mittleren Eingang invertiert angelegt werden. Die $+/-$ -Zeichen bedeuten, dass die jeweiligen Differenzpaare unter Angabe der Richtung komplett angesteuert sind. Das Ausgangssignal der Faltverstärker berechnet sich wie folgt: Die zwei maximal angesteuerten Eingänge annullieren sich. Der nicht gesättigte Eingang wird vorzeichengleich an den Ausgang übernommen, falls das nicht

gesättigte Eingangssignal am linken oder rechten Eingang anliegt, oder invertiert, falls es am mittleren Eingang anliegt.

Das zu quantisierende Signal hat im Beispiel den zum Nulldurchgang q der Stufe 0 gehörigen Spannungswert. Der oberste Signalverlauf zeigt die Ausgänge der 27 vergleichenden Vorverstärker. An den Rändern ($ab < m$ und $> u$) gehen die Ausgangssignale in Sättigung, die vergleichenden Vorverstärker werden komplett angesteuert.

Danach folgt die Faltung in Stufe 0. Es wird ersichtlich, dass ein Faltverstärker für mehrere, nicht zusammenhängende Quantisierungsbereiche zuständig ist. Diese Bereiche sollten den maximal möglichen Abstand zueinander haben.

Abbildung 3.13 zeigt deutlich, wie sich der Nulldurchgang von Stufe zu Stufe verschiebt. Bei den Vorverstärkern tritt er bei q auf, nach der Faltung in Stufe 0 liegt er bei w , nach der Faltung in Stufe 1 bei n .

Bei der Interpolation zwischen z und b gäbe es nach Abbildung 3.14 Probleme, da die Abbildung unipolar (engl.: single-ended) gezeichnet ist: Anstatt den korrekt eingezeichneten Maximalausschlägen der interpolierten Signale zx und a würden sie einen zweiten Nulldurchgang erzeugen, der eine derart grobe Störung darstellen würde, dass der Kern nicht mehr korrekt funktionieren würde: Es gäbe Faltverstärker, bei denen mehr als ein Eingang nicht maximal angesteuert wäre. Der Aufbau ist jedoch differenziell realisiert. Es wird zwischen z und \bar{b} beziehungsweise \bar{z} und b interpoliert. Dadurch entstehen keine derartigen Interpolationsfehler. Die Ursache hierfür liegt im ungeraden Faltungsgrad: Die Maximalaussteuerung hat für die beiden Extremfälle ein umgekehrtes Vorzeichen.

Die Ausgangsnamen der Faltverstärker sind so gewählt, dass die beiden äußeren Faltverstärker in Abbildung 3.13 den ersten (b) und letzten (z) nicht-interpolierten Buchstaben tragen. Prinzipiell sind auch andere Konstellationen möglich, solange die Ring-Sequenz $\dots - b - e - h - k - n - q - t - w - z - \dots$ erhalten bleibt. Allerdings ermöglicht die getroffene Wahl das selbe Layout für alle Stufen.

Abbildung 3.14 zeigt die Anordnung der Faltverstärker im Layout und die benötigte Verdrahtung für den gewählten Ansatz. Dieser zeichnet sich durch ein sehr regelmäßiges Layout des Interpolationsringes aus. Bei der Verdrahtung besitzen die einzelnen Leitungen sehr unterschiedliche Längen, dadurch variiert die daraus resultierende parasitäre Kapazität sehr.

3.2.5 Verjüngung des F/I-Kerns

Der digitale Auswertalgorithmus benötigt lediglich eines von drei Entscheidersignalen aus Stufe 5, siehe Kapitel 3.3.3. Um das Eingangssignal für diesen Entscheider zu gene-

3.2.6.1 Der kapazitiv belastete Emitterfolger

Zunächst soll gezeigt werden, dass es nicht optimal ist, die oben beschriebene Taktleitung mit Emitterfolgern zu treiben, da dies zu einer Schwingung auf dem Taktsignal führen kann. Der Vorgänger des in dieser Arbeit vorgestellten Umsetzers weist dieses Problem auf.

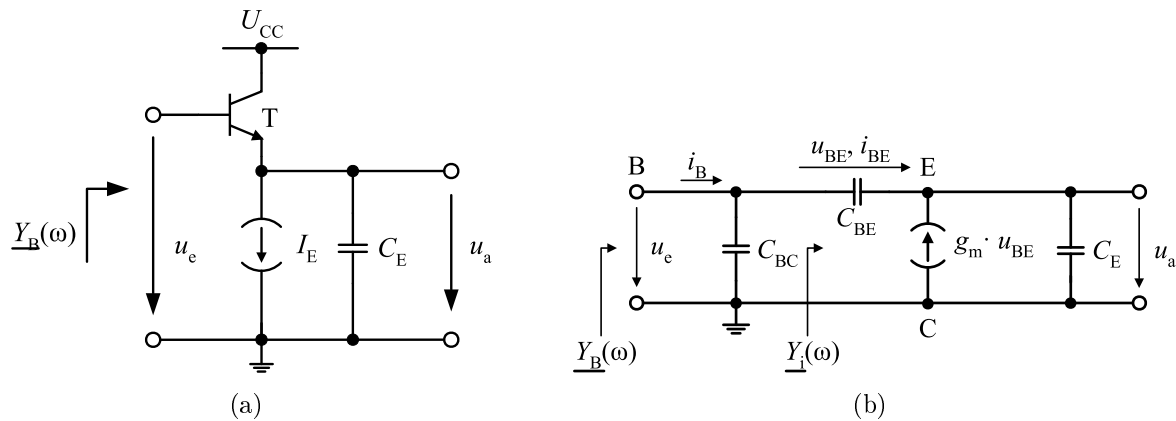


Abbildung 3.15: (a) Schaltplan und (b) Kleinsignal-Ersatzschaltbild eines kapazitiv belasteten Emitterfolgers.

Abbildung 3.15 zeigt den zu analysierenden Schaltplan und das Kleinsignal-Ersatzschaltbild eines kapazitiv belasteten Emitterfolgers, wobei g_m die Steilheit bezeichnet. Die kapazitive Last C_E , die in jeder Stufe des Umsetzers getrieben werden muss, resultiert aus der langen Taktleitung, an die geschaltete Emitterfolger und Entscheider angeschlossen sind. Die innere Admittanz ohne die Kapazität C_{BC} ergibt sich aus

$$\underline{Y}_i(\omega) = \frac{i_{BE}}{u_{BE} + u_a} = \frac{i_{BE}}{\frac{1}{j\omega C_{BE}} i_{BE} + \frac{1}{j\omega C_E} (i_{BE} + g_m u_{BE})} = \frac{1}{\frac{1}{j\omega C_{BE}} + \frac{1}{j\omega C_E} (1 + g_m \frac{1}{j\omega C_{BE}})}. \quad (3.2)$$

Die Admittanz der Gesamtanordnung folgt aus der Parallelschaltung von $\underline{Y}_i(\omega)$ mit C_{BC} zu

$$\underline{Y}_B(\omega) = -\frac{\omega^2 C_{BE} C_E}{g_m + j\omega(C_{BE} + C_E)} + j\omega C_{BC}. \quad (3.3)$$

Ist die Steilheit $g_m \gg \omega(C_{BE} + C_E)$ ergibt sich die Admittanz zu

$$\underline{Y}_B(\omega) \approx -\omega^2 \frac{C_{BE} C_E}{g_m} + j\omega C_{BC}, \quad (3.4)$$

ihr Realteil ist negativ: Gleichstromenergie wird in Wechselstromenergie umgewandelt,

es kann eine Schwingung entstehen. Daher empfiehlt es sich nicht, die Taktleitung durch Emitterfolger zu treiben. Stattdessen wird ein CML-Treiber-basiertes Konzept verwendet. Der Schaltplan und das Kleinsignal-Ersatzschaltbild der Halbschaltung eines CML-Treibers nach [38] sind in Abbildung 3.16 dargestellt.

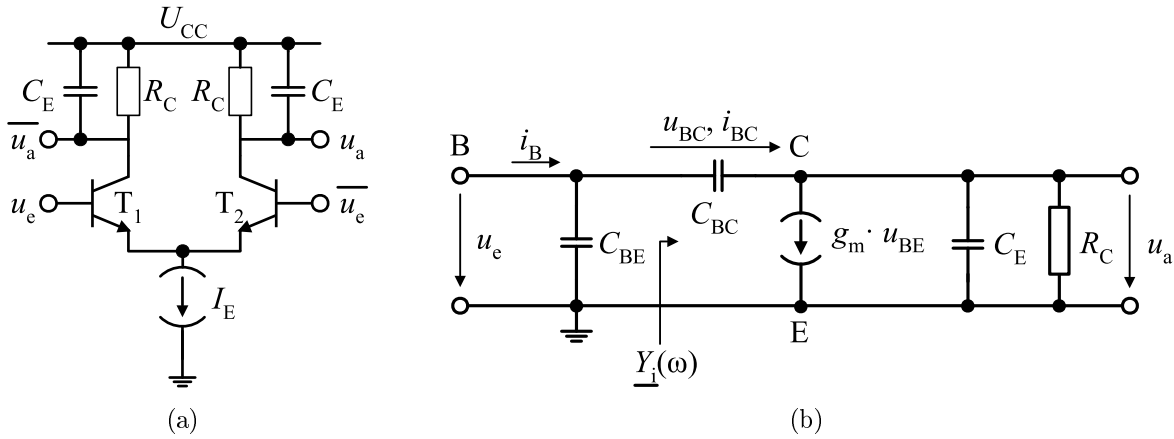


Abbildung 3.16: (a) Schaltplan und (b) Kleinsignal-Ersatzschaltbild der Halbschaltung eines kapazitiv belasteten CML-Treibers.

Die innere Admittanz $\underline{Y}_i(\omega)$ der Halbschaltung ergibt sich aus

$$\underline{Y}_i(\omega) = \frac{i_{BC}}{u_{BE}} = \frac{i_{BC}}{u_{BC} + u_a} \quad (3.5)$$

$$= \frac{i_{BC}}{\frac{1}{j\omega C_{BC}} i_{BC} + \frac{R_C}{1+j\omega R_C C_E} (i_{BC} - g_m u_{BE})} = \frac{1}{\frac{1}{j\omega C_{BC}} + \frac{R_C}{1+j\omega R_C C_E} (1 - g_m \frac{1}{\underline{Y}_i(\omega)})}. \quad (3.6)$$

Mit der Vereinfachung $C_E + C_{BC} \approx C_E$ folgt

$$\underline{Y}_i(\omega) = \frac{j\omega C_{BC}(1 + g_m R_C) - \omega^2 R_C C_E C_{BC}}{1 + j\omega R_C C_E} \quad (3.7)$$

$$= \frac{g_m \omega^2 R_C^2 C_{BC} C_E + j\omega C_{BC}(1 + g_m R_C + \omega^2 R_C^2 C_E^2)}{1 + \omega^2 R_C^2 C_E^2}. \quad (3.8)$$

Der Realteil ist stets positiv, es kommt zu keinen Schwingungen.

3.2.6.2 Anpassung der Taktleitung

Die Taktleitung zu den geschalteten Emitterfolgern besitzt eine Länge von 800 μm . Eine Übersichtsrechnung zeigt, dass das Taktsignal auf dieser Leitung als Welle betrachtet werden sollte: Das Signal wird auf der obersten Metalllage geführt, die Welle breitet sich

folglich teilweise in Luft und teilweise in Materie aus. Der effektive Brechungsindex wird vereinfachend zu 1 angenommen. Für ein 6 GHz-Taktsignal ergibt sich eine Wellenlänge von

$$\lambda = \frac{c_0}{f_{\text{Takt}}} = \frac{3 \cdot 10^8 \text{ m/s}}{6 \text{ GHz}} = 5 \text{ cm.} \quad (3.9)$$

Welleneigenschaften sollten ab einer Leitungslänge von $\frac{\lambda}{10}$ berücksichtigt werden, in diesem Fall 5 mm. Das rechteckförmige Taktsignal setzt sich aus Grundwelle und Oberwellen zusammen. Da die Taktleitung in den Stufen 800 μm lang ist, muss dem Wellencharakter ab der 5. Harmonischen Rechnung getragen werden. Für die Extraktion des Layouts bedeutet dies, dass zusätzlich zu parasitären Widerständen und Kapazitäten auch Induktivitäten zu bestimmen sind, was die Simulationsdauer erhöht.

Der Leitungswellenwiderstand berechnet sich zu

$$Z_L = \sqrt{\frac{R' + j\omega L'}{G' + j\omega C'}}, \quad (3.10)$$

wobei R' , G' , L' und C' die Leitungsbeläge sind und ω die Kreisfrequenz bezeichnet. Für hohe Frequenzen sind R' und G' vernachlässigbar, es folgt

$$Z_L \approx \sqrt{\frac{L'}{C'}}. \quad (3.11)$$

In erster Näherung kann die Eingangskapazität der räumlich verteilten, an die Leitung angeschlossenen Schaltungselemente als homogener Kapazitätsbelag C'_{Last} betrachtet werden. Der Leitungswellenwiderstand für hohe Frequenzen wird durch den zusätzlichen Kapazitätsbelag C'_{Last} kleiner:

$$Z_L \approx \sqrt{\frac{L'}{C' + C'_{\text{Last}}}} \quad (3.12)$$

Um Reflexionen auf der Leitung zu vermeiden, sollte die Leitung mit dem Leitungswellenwiderstand abgeschlossen werden. Die Wahl des Leitungswellenwiderstands wird maßgeblich von den angeschlossenen Schaltungskomponenten beeinflusst:

- Bei gegebener kapazitiver Last hängt die Flankensteilheit des Taktsignals von der CML-Treiberstärke ab: Mehr Strom bei gleichem Takthub ergibt steilere Taktflanken, gleichzeitig müssen jedoch die Lastwiderstände vom CML-Treiber reduziert werden. Um Reflexionen zu vermeiden, müssen die Lastwiderstände mit dem Leitungswellenwiderstand übereinstimmen. Die Steilheit der Taktflanken sollte so groß sein, dass sie die Kennwerte des Umsetzers nicht beeinflusst.

- Da das Taktsignal letztendlich Transistoren in den geschalteten Emitterfolgern ansteuert, kann der Takthub nicht beliebig gewählt werden. Die Möglichkeit einer Takthubänderung zwischen Taktleitung und geschaltetem Emitterfolger wird auf Grund des zusätzlichen Schaltungsaufwands nicht in Betracht gezogen.

Diese zwei Bedingungen stellen sowohl Anforderungen an den Mindeststrom als auch an den Spannungshub, wodurch der benötigte Leitungswellenwiderstand nicht mehr frei gewählt werden kann, da er zu den Lastwiderständen des Takttreibers passen muss.

Der Wellenwiderstand hängt von der Dimensionierung der Leitung ab. Sowohl die Technologie als auch die Forderung nach einem kompakten Layout schränken den möglichen Leitungswellenwiderstand weiter ein. Die eingesetzte Leitung ohne die zusätzliche kapazitive Belastung C'_{Last} besitzt bei 6 GHz einen differentiellen Wellenwiderstand von 154Ω . Letztlich stellt sich jedoch heraus, dass die Auswirkungen von Reflexionen auf der Leitung wesentlich geringer sind als die der negativen Eingangsimpedanz der Emitterfolger mit kapazitiver Last. Die Gegenmaßnahme zur Unterdrückung von Schwingungen auf der Taktleitung schließt eine herkömmliche Anpassung aus.

3.2.6.3 Taktverteilung in einer Stufe

Abbildung 3.17 zeigt das Blockschaltbild der Taktung einer Stufe. Bei realistischer Dimensionierung ist es nicht möglich, die zwölf Takteingänge von geschalteten Emitterfolgern und Entscheidern direkt durch CML-Treiber anzusteuern: Für ausreichend steile Taktflanken müsste ein immenser Strom fließen. Deshalb werden Emitterfolger zur Entkopplung eingesetzt. Der negative Realteil der kapazitiv belasteten Emitterfolger nach Gleichung (3.4) wird durch lokale, parallel-geschaltete Widerstände an den verteilten Abgriffen kompensiert. Diese Widerstände sind gleichzeitig die Lastwiderstände der CML-Treiber, die die Taktleitung treiben.

Das differentielle Taktsignal kreuzt sich, sodass aufeinanderfolgende Stufen nicht im selben Modus sind: Folgt Stufe n , so hält Stufe $(n + 1)$.

Layoutbedingt befindet sich die Taktleitung direkt über dem Interpolationsring. Um einen homogenen Kapazitätsbelag der Taktleitung zu erreichen, befindet sich zwischen Interpolationsring und Taktleitung eine Metall-Massefläche.

Beim Verlegen der lokalen Taktleitungen zu den geschalteten Emitterfolgern und zu den Entscheidern ist darauf zu achten, dass das Übersprechen des Taktsignals auf analoge Komponenten und Leitungen vernachlässigbar bleibt.

3.2.7 Unterdrückung der Schwingneigung auf den Versorgungsspannungen

Der Hauptgrund, weshalb der Vorgänger des hier präsentierten Umsetzers nicht funktioniert wie in der RC-extrahierten Simulation, liegt in der nicht konstanten Leistungsaufnahme des F/I-Kerns. Schwingungen schaukeln sich auf den Versorgungsspannungen und Hilfsspannungen auf: Obwohl der Strom durch die Stromquellen im F/I-Kern stets konstant ist, ist es die Leistungsaufnahme nicht: Beim Umschalten der SEFs von der Halte- in die Folgephase fließt über die positive Versorgungsspannung kurzzeitig auf beiden differenziellen Strängen ein ähnlicher Umladestrom auf die Haltekapazitäten, weil der Gleichtaktpegel am Ausgang der faltverstärker und folglich auch an der Haltekapazität steigt.

Beim Vorgänger-Chip bildet sich dadurch auf den Versorgungsspannungen eine 28 GHz-Schwingung aus, obwohl sich rings um den F/I-Kern Blockkapazitäten befinden. Die Schwingung kann simulativ gezeigt werden, indem neben den parasitären Widerständen und Kapazitäten auch die Induktivitäten der Metalleitungen in der Simulation berücksichtigt wurden. Der messtechnische Nachweis erfolgt durch Spektrumsanalysen sowie durch die Tatsache, dass die Schwingung durch einen Wassertropfen - die dielektrischen Verluste von flüssigem Wasser haben ihr Maximum je nach Temperatur im Bereich von 10 bis 100 GHz [40] - auf dem Chip gedämpft werden kann.

Deshalb sind im hier beschriebenen Umsetzer folgende Gegenmaßnahmen implementiert:

- Zusätzliche, lokale Kapazitäten, die über einen Widerstand aufgeladen werden, fangen Stromspitzen lokal ab.
- Spannungsabfälle an der positiven Versorgungsspannung werden nicht mehr durch als Diode geschaltete Bipolartransistoren, sondern, soweit möglich, durch Widerstände erzeugt.
- Die Haltekapazitäten der SEFs werden an der positiven Versorgungsspannung angeschlossen, sodass der Stromrücklaufpfad verkürzt wird.
- Im Layout wird der U_{CC} -Knoten vom faltverstärker auf die gleiche Metallschiene wie der U_{CC} -Knoten vom SEF gelegt.

Durch die genannten Maßnahmen können die Schwingungen unterdrückt werden.

3.3 Digitalteil

3.3.1 Dekodierungskonzept

Bevor auf die tatsächliche Implementierung des Digitalteils eingegangen wird, soll die Dekodierung der aus dem analogen Kern extrahierten Informationen beleuchtet werden. Die Dekodierung ist vom Aufbau des analogen Kerns abhängig.

Da die Faltung nicht bijektiv ist, müssen die Informationen, die im Laufe der Datenverarbeitung verloren gehen, vorher gesichert werden. Diese Informationen betreffen die höchstwertigen Bits (MSB, engl.: most significant bit). Dazu gibt es zwei Möglichkeiten: Die Bestimmung der MSBs erfolgt mittels

- eines Grobquantisierers, siehe Abbildung 1.5: Hier wird die Information, die am Ende des F/I-Kerns nicht mehr ermittelt werden kann, zu Anfang in einem separaten Zweig, dem Grobquantisierer, gewonnen.
- eines verteilten Quantisierers, siehe Abbildung 3.18. Hier wird die Information jeweils lokal abgegriffen, bevor sie verlorengeht.

Auch bei der Verwendung eines verteilten Quantisierers kann abschließend ein Feinquantisierer verwendet werden.

In den Abbildungen 3.18 und 1.5 sind Aufbau und Verdrahtung von vergleichenden Vorverstärkern und erster Faltverstärkerstufe identisch. Bei geeigneter Wahl der Referenzspannungen sind die Ausgangssignale der ersten Faltverstärker somit ebenfalls identisch. Lediglich die Art der Bereichszuordnung, das heißt die Bestimmung der MSBs, erfolgt unterschiedlich. Die Vorteile der Verwendung eines verteilten Quantisierers folgen direkt aus den Abbildungen:

- Die parasitäre Kapazität durch den Grobquantisierer entfällt.
- Die Anzahl an Entscheidern wird reduziert.
- Der verteilte Quantisierer erlaubt einen einfacheren Taktpfad, da der Takt nicht zusätzlich zum Grobquantisierer geführt werden muss.
- Durch das Wegfallen des Grobquantisierers ergibt sich ein einfacheres Layout.

In dieser Arbeit wird wegen den oben genannten Vorteilen und der Notwendigkeit der Entwicklung eines weiteren Auswertalgorithmus mit Fehlerkorrektur aus Zeitgründen das Konzept mit Grobquantisierer nicht näher untersucht.

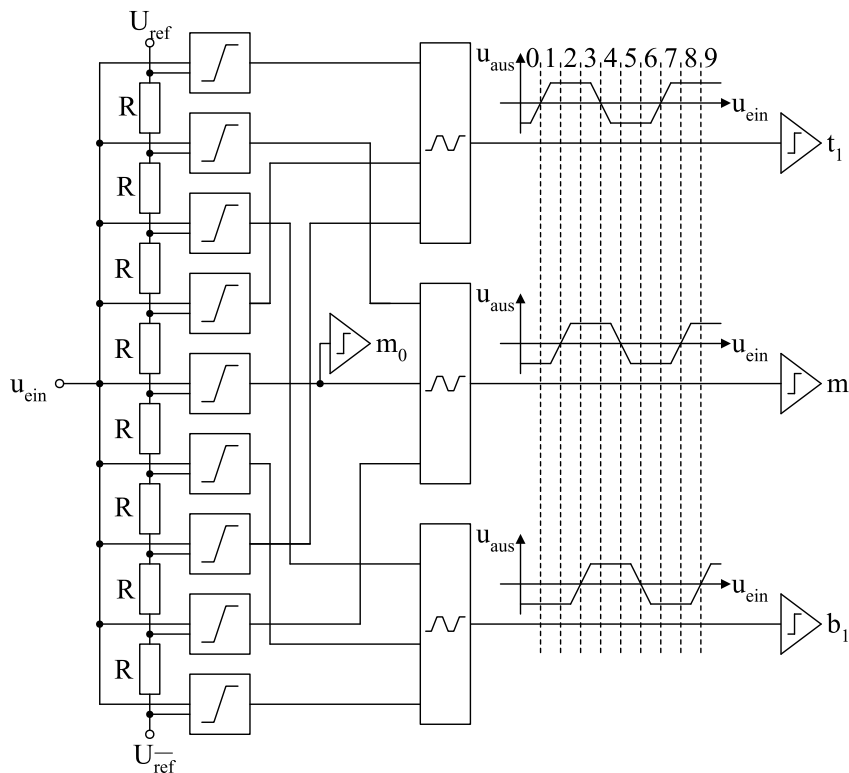


Abbildung 3.18: Blockschaltbild eines Faltungsumsetzers mit verteiltem Quantisierer.

Die Dekodierung der Entscheidungssignale aus Abbildung 3.18 wird in Tabelle 3.1 dargestellt, wobei das x beide Logikzustände einnehmen kann (engl.: don't care). Die Tabelle zeigt, dass die Entscheidungssignale t_1 , m_1 und b_1 alleine nicht ausreichen, um eine eindeutige Zuordnung durchzuführen, sondern dass zusätzlich das Entscheidungssignal m_0 benötigt wird. Außerdem gibt es Kombinationen von Entscheidungssignalen, die nicht auftauchen.

Unabhängig von der Methode der Bestimmung der MSBs muss davon ausgegangen werden, dass eine Fehlerkorrektur im Auswertalgorithmus benötigt wird, da sich durch Bauteilvariationen zum Beispiel die Entscheidungsschwellen verschieben können. Technologie- und spezifikationsbedingt muss der Digitalteil mit Stromschalterlogik (CML, engl.: current mode logic) implementiert werden, die relativ viel Platz belegt und deren Leistungsaufnahme vergleichsweise hoch ist. Das Risiko besteht nun darin, dass der Algorithmus mit Fehlerkorrektur zu aufwändig wird.

3.3.2 Entscheider

Entscheider sind die Schnittstelle zwischen Analog- und Digitalteil: Vom Entscheider werden Nulldurchgänge registriert, das heißt, ob ein analoges, differenzielles Signal größer

Tabelle 3.1: Zuordnung der Entscheidersignale aus Abbildung 3.18 zu einem Quantisierungsbereich.

t_1	m_1	b_1	mögliche Bereiche	m_0	Bereich
0	0	0	entweder 0 oder 6	0	0
				1	6
0	0	1	5	x	5
0	1	0	-	x	-
0	1	1	4	x	4
1	0	0	entweder 1 oder 7	0	1
				1	7
1	0	1	-	x	-
1	1	0	entweder 2 oder 8	0	2
				1	8
1	1	1	entweder 3 oder 9	0	3
				1	9

oder kleiner Null ist. Somit ist der Ausgang digital. Ein Entscheider ist das erste Glied einer Kette, die eine Information sichert, die durch spätere Faltung verloren geht. Es sind ausreichend viele, über die Stufen verteilte Entscheider zu platzieren.

Ein Entscheider besteht aus einem Differenzverstärker und zwei Latches. Im Layout sind sie im F/I-Kern in den Stufen unter der Verdrahtung mit Hilfe der zwei untersten Metalllagen realisiert, sodass sie synchron mit den geschalteten Emitterfolgern unabhängig von der Abtastrate mit dem dort vorhandenen Takt geschaltet werden können. Außerdem wird dadurch eine zusätzliche kapazitive Belastung der auszuwertenden Signale aufgrund von zusätzlichen Signalleitungen bis zum Rand des F/I-Kerns vermieden. Das Layout für einen Entscheider inklusive Emitterfolger für den Takt und dem Treiber der Ausgangsleitung benötigt $70 \cdot 45 \mu\text{m}^2$.

Die Anforderungen an die Entscheider bezüglich einer Entscheiderschwellenverschiebung sind auf Grund des Algorithmus zur Auswertung (siehe 3.3.3) relaxiert. Eine falsche Entscheidung auf Grund von Offset-Fehlern des Differenzverstärkers wird innerhalb eines Toleranzbereiches vom Algorithmus korrigiert.

Kritisch und unvermeidbar hingegen sind metastabile Zustände: Bei einem unentschiedenen Entscheiderausgang kann die angeschlossene Logik falsche Ergebnisse liefern. Das erste Auftreten eines metastabilen Zustandes in einer Logikfunktion wird vom Algorithmus aufgefangen; pflanzt sich der metastabile Zustand darüber hinaus fort, resultiert ein Fehler im digitalen Ausgangssignal. Die Wahrscheinlichkeit für metastabile Zustände wird

jedoch durch die vielen verwendeten Flip-Flops und Treiber, die zur Synchronisierung vor der digitalen Weiterverarbeitung verwendet werden müssen (siehe Kapitel 3.3.4.1), stark gesenkt.

3.3.3 Algorithmus

Da der Digitalteil des prinzipiell strukturgleichen Umsetzers aus [19] nicht beschrieben ist, muss ein Algorithmus hergeleitet werden. Erste Untersuchungen zum Algorithmus und zur schaltungstechnischen Umsetzung vom Digitalteil wurden in [41] durchgeführt. Der Nachteil des Algorithmus aus Abbildung 3.18 und Tabelle 3.1 besteht in der Empfindlichkeit gegenüber Entscheiderschwellenverschiebungen. Ist ein Umschaltpunkt geringfügig verschoben, so folgt eine Falschaussage. Wird zum Beispiel die Entscheiderschwelle von t_1 im Fall $m_1 = 0$, $b_1 = 0$, $m_0 = 0$ von $t_1 = 0$ zu $t_1 = 1$ verschoben, so wird nicht richtigerweise Bereich 0 ermittelt, sondern Bereich 1.

Folglich muss ein Algorithmus entwickelt werden, der Falschaussagen dieser Art verhindert. Der Lösungsansatz besteht darin, dass Aussagen von Entscheidern, die sich in der Nähe des Umschaltpunktes befinden, für die Auswertung irrelevant sein müssen. Da nicht bestimmt werden kann, wie nahe ein Entscheider vor dem Umschaltpunkt ist, definieren die Umschaltpunkte nicht die Bereichsgrenzen, sondern den Bereichsmittelpunkt. Schaltet ein Entscheider in einem Bereich um, soll das Ergebnis des Algorithmus unabhängig vom Ausgang des Entscheiders sein.

Abbildung 3.19 zeigt den Signalplan der Faltverstärkerausgänge und der logischen Signale von Stufe 0, die für die Quantisierung benötigt werden. Die Zahlen 0 bis 8 markieren die Bereiche. Die Bereiche, in denen die jeweiligen Entscheider umschalten, sind mit x gekennzeichnet.

Die Entscheiderausgänge alleine können jedoch keinen eindeutigen Bereich zuweisen: So kann zum Beispiel ein Tupel $t_1|m_1|b_1$ mit 1|1|0 für einen der vier Bereiche 1, 2, 7 oder 8 stehen. Um diese Mehrdeutigkeit zu lösen, bedarf es unter anderem eines Hilfssignals e_{in} aus der nachfolgenden Stufe, die niederwertigere Bits ermittelt. Mit diesem Signal ist es möglich zu entscheiden, ob der umzusetzende Wert zu den Bereichen 1 oder 7 oder zu den Bereichen 2 oder 8 gehört. Diese verbleibende Mehrdeutigkeit muss vom Entscheider m_0 gelöst werden, der überprüft, ob das umzusetzende Signal größer oder kleiner 0 ist. Hierzu wird das Hilfssignal e_{out} an Stufe 0 weitergeleitet.

Das Signal e_{out} , das als e_{in} für die Stufe zur Bestimmung der nächsten, höherwertigen Bits

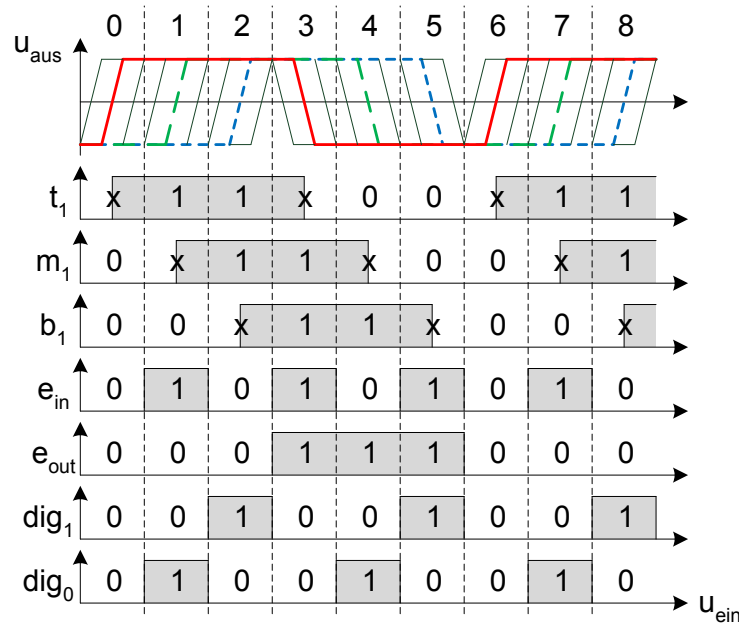


Abbildung 3.19: Signalplan der Faltverstärkerausgänge und der logischen Signale zur Quantisierung in Stufe 0.

dient, ergibt sich für die Stufen 0 bis 4 den Anforderungen folgend zu

$$e_{out} = (e_{in} \cdot b) + (\bar{t} \cdot b) + (\bar{t} \cdot e_{in}). \quad (3.14)$$

Im Bereich, in dem der Entscheider m_0 umschaltet, ist seine Entscheidung irrelevant: Die entsprechenden Entscheider-Tupel $t_1|m_1|b_1$ lauten 0|1|1 und 0|0|1. Diese Kombinationen tauchen ausschließlich in der Mitte des Quantisierungsbereiches auf; die Zuordnung ist eindeutig.

Eine Sonderrolle nimmt der Entscheider in der letzten Stufe ein, da kein Signal aus einer noch niederwertigeren Stufe kommt. Ungenauigkeiten der Entscheiderschwelle spielen in dieser Stufe somit eine Rolle.

Abbildung 3.20 zeigt den Verlauf der Faltverstärkerausgänge von Stufe 4. Ideal wäre ein Hilfssignal aus Stufe 5, das sich wie $e_{in,ideal}$ verhält. Ein relativ ähnliches Signal ergibt sich, wenn entweder die Faltverstärkerausgangssignale, die sich direkt links (durchgezogene, dünne Kurve) von den Faltverstärkerausgangssignalen für die Entscheider (dicke Kurven) befinden, oder die Faltverstärkerausgangssignale, die sich direkt rechts (gestrichelte, dünne Kurven) davon befinden, erneut gefaltet werden, wobei im zweiten Fall das resultierende Signal invertiert werden muss. Für den vorliegenden Algorithmus wird der erste Fall gewählt, das heißt, es wird das Entscheidersignal t_6 benötigt. Die Verschiebung

des Entscheidersignals t_6 zu $e_{in,ideal}$ resultiert in einer Verschiebung des gesamten Quantisierungsbereichs um ein Sechstel des Eingangsspannungsbereichs eines kleinstwertigen Bits.

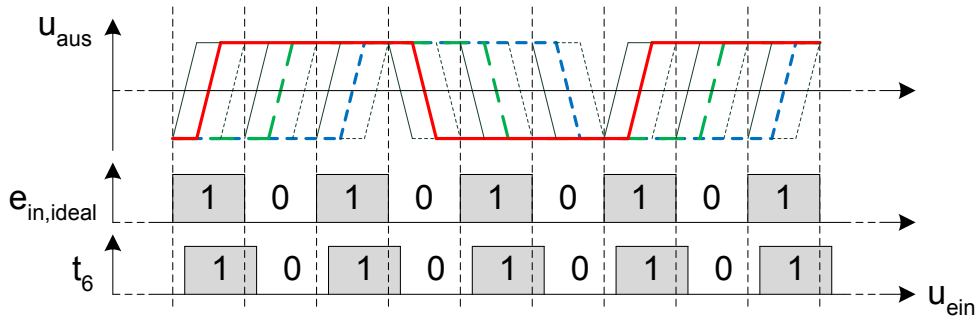


Abbildung 3.20: Signalplan der Schaltungsverstärkerausgangssignale und der logischen Signale in Stufe 5.

Bislang wurde erklärt, welche Maßnahmen nötig sind, sodass Mehrdeutigkeiten im Quantisierungsprozess ausgeschlossen werden können. Nun folgt die Erklärung der Funktionsweise der Zahlengenerierung.

Die Basis, auf der das Zahlensystem dieses F/I-Umsetzers basiert, ist 3, da in jeder Stufe durch die dreifache Interpolation dreimal so viele Nulldurchgänge als in der vorhergehenden Stufe existieren. Die Signale dig_1 und dig_0 der Stufe n müssen somit die Werte

$$\{0, 1, 2\} \cdot 3^{5-n} \quad (3.15)$$

kodieren. Im vorliegenden Algorithmus werden die Logikkombinationen der Signale dig_0 und dig_1 für die Stufen 0 bis 4 zu

$$dig_1 = (\bar{e}_{in} \cdot m \cdot t) + (e_{in} \cdot \bar{m} \cdot \bar{t}) \quad (3.16)$$

$$dig_0 = (e_{in} \cdot \bar{b} \cdot t) + (\bar{e}_{in} \cdot \bar{t} \cdot b) \quad (3.17)$$

gewählt. Die dazugehörigen Signalverläufe sind in Abbildung 3.19 dargestellt.

Die durch dig_1 und dig_0 binär codierte Basis-3-Zahl jeder Stufe muss ins Dualsystem überführt werden, danach müssen diese Basis-2-Zahlen jeder Stufe addiert werden. Die resultierende Summe entspricht dem umgesetzten analogen Wert.

Durch die Wahl des Algorithmus und der damit einhergehenden Positionierung der Entscheider in den Stufen wird die Auflösung des Umsetzers endgültig festgelegt. Abbildung 3.19 zeigt die 27 Nulldurchgänge der Schaltungsverstärkerausgänge in Stufe 0, von denen durch die Entscheider nur neun beobachtet werden können. Durch Interpolation ist die

Anzahl der Nulldurchgänge am Ausgang von Stufe 0 bei 81. Am Ausgang von Stufe 3 sind es bereits 243 beobachtbare und 2187 vorhandene Nulldurchgänge. In Stufe 4 und 5 wird nicht mehr interpoliert, das heißt, dass die Zahl der vorhandenen Nulldurchgänge gleich bleibt. In Stufe 4 sind durch die Entscheider 729 Nulldurchgänge beobachtbar. Stufe 5 fasst drei Faltverstärker-Ausgänge aus Stufe 4 zu einem zusammen, der durch einen Entscheider ausgewertet wird.

Es sind 3^7 Nulldurchgänge vorhanden; unterschieden wird auf Grund des Algorithmus zwischen 3^6 . Das ist der Preis für den gewählten Algorithmus.

Da ab Stufe 4 nicht mehr interpoliert wird und somit keine neuen Quantisierungsstufen erzeugt werden, besteht die Möglichkeit, 27 Entscheider an die 27 Ausgangssignale von Stufe 3 anzuschließen und deren Ergebnisse auszuwerten. In diesem Fall bedarf es, neben den zusätzlichen Entscheidern, eines erhöhten Schaltungsaufwands zur Auswertung der Entscheidersignale von Stufe 3 und eines angepassten Taktpfades zur Ansteuerung der Entscheider. Aufgrund der Ausmaße eines Entscheiders würde die Anordnung in einem sehr komplexen Layout resultieren.

Die 729 Quantisierungsstufen, von denen 26 entsprechend Abschnitt 2.4 nicht benutzt werden sollten, entsprechen einer maximalen Auflösung von 9,5 bit; dies entspricht bei Sinus-Anregung einem SNR von 58,7 dB.

3.3.4 Schaltungstechnische Umsetzung des Digitalteils

Zunächst stellt sich die Frage, durch welche Schaltungstechnik der Digitalteil realisiert werden soll. Es bieten sich die statische CMOS-Logik auf Grund des geringen Platzbedarfs und der geringen Leistungsaufnahme oder die Stromschalterlogik (engl.: current-mode-logic) mit Bipolartransistoren auf Grund der großen Transitfrequenz der Bipolartransistoren an.

Folgende Überlegung schließt statische CMOS-Logik unter dem Aspekt des Entwicklungsaufwandes aus: Der kritische Pfad durch einen Volladdierer verläuft durch drei Logikgatter (XOR, AND, OR). Die Verzögerung durch jedes dieser Logikgatter ist aufgrund der höheren kapazitiven Last, sowohl auf Schaltplanebene als auch durch die parasitären Kapazitäten der Verdrahtung im Layout, größer als durch einen CMOS-Inverter. Werden mehrere identische CMOS-Inverter kaskadiert, so beträgt die Verzögerung durch drei Inverter bei der nominalen Versorgungsspannung auf Schaltplanebene 160 ps in der verwendeten Technologie. Dies entspricht ungefähr der angestrebten Taktfrequenz 6 GHz. Ein auf statischer CMOS-Logik basierender Digitalteil ist demnach nur durch eine Parallelisierung des Rechenwerks und/oder durch den massiven Einsatz von Registern zu realisieren. Die Paral-

lelisierung erforderte einen Demultiplexer und einen Multiplexer, das stärkere Pipelining zusätzliche Register und Takttreiber. Beides erhöht den Entwurfsaufwand.

Auf die Beschreibung der CML-Grundgatter wird verzichtet, näheres hierzu findet sich in [42]. Die Versorgungsspannung des Digitalteils wird zu 3 V gewählt, wodurch ausschließlich Gatter mit maximal zwei differenziellen Eingängen realisierbar sind, wovon einer wegen des Arbeitspunkts des Eingangstransistors um eine Basis-Emitter-Spannung geschoben werden muss. Dazu werden Emitterfolger verwendet. Im Nachfolgenden gehören die Emitterfolger zum Pegelschieben zu den jeweiligen Logikblöcken dazu und werden nicht explizit erwähnt. Ein Vorteil der CML ist die konstante Leistungsaufnahme; dadurch kommt es im Vergleich zu CMOS-Logik während den Schaltvorgängen zu keinen Versorgungsspannungseinbrüchen.

Auf Grund nicht vorhandener Standardzellen im Design-Kit ist ein Full-Custom-Entwurf des Digitalteils notwendig. Dessen Realisierung ist auf Grund von Timing, Treiberstärken und der Anordnung der Logikblöcke im Layout komplex. Im Gegensatz zum analogen Kern gibt es beim Digitalteil jedoch ein einfaches Gütekriterium: die fehlerfreie Funktionalität. Deshalb wird die Umsetzung des Digitalteils im Folgenden nur sehr kurz beschrieben. Eine genaue Darstellung der schaltungstechnischen Realisierung des Digitalteils inklusive einer Beschreibung des Layouts finden sich in [43].

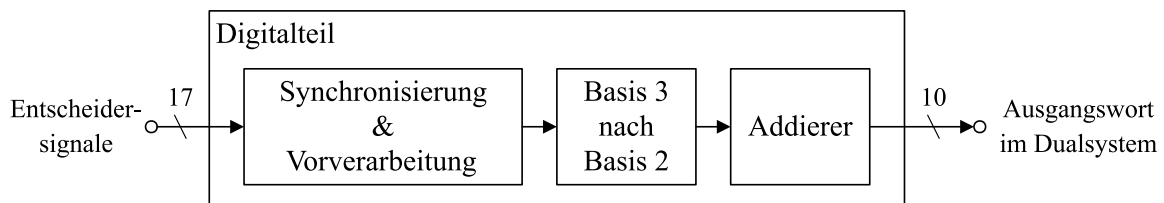


Abbildung 3.21: Blockschaltbild des Digitalteils.

Abbildung 3.21 zeigt die Unterteilung des Digitalteils, die den im vorigen Abschnitt beschriebenen Algorithmus realisiert. Die Synchronisierung der Entscheidersignale ist dem Aufbau des Umsetzers mit seinen getakteten Stufen geschuldet. Der Aufbau der einzelnen Blöcke wird im Folgenden erläutert.

3.3.4.1 Synchronisierung und Vorverarbeitung

Die Entscheidersignale für einen umzusetzenden, analogen Wert werden von den Stufen zu verschiedenen Zeitpunkten erzeugt. Aufgrund der Pipeline-Verarbeitung steht somit das zu einem bestimmten umzusetzenden Wert gehörende Entscheidersignal m_0 einen Halbtakt früher zur Verfügung als die Entscheidersignale t_1 , m_1 und b_1 . Die Entscheider-

signale der folgenden Stufen werden dementsprechend später erzeugt. Deshalb müssen alle Entscheidersignale zunächst synchronisiert werden.

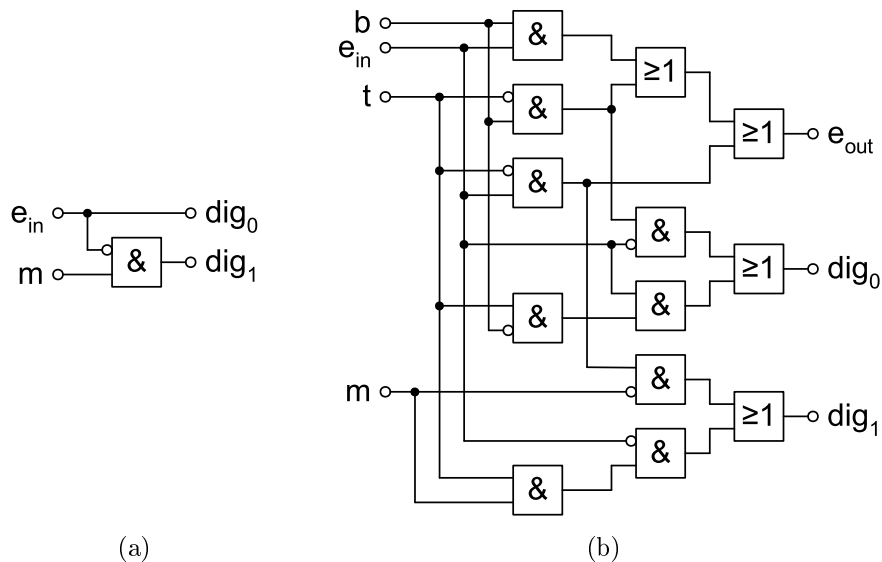


Abbildung 3.22: Logik zur Auswertung der Entscheidersignale für (a) Stufe 0 (de_a) und (b) Stufe 1 bis 5 (de_b).

Danach erfolgt die Auswertung der Entscheidersignale (engl.: decision evaluation). Diese wird für die Stufen 1 bis 5 nach den Formeln (3.14), (3.16) und (3.17) durch die in Abbildung 3.22 (b) gezeigte kombinatorische Logik bewerkstelligt. Abbildung 3.22 (a) zeigt die Auswertung für den speziellen Fall der Stufe 0.

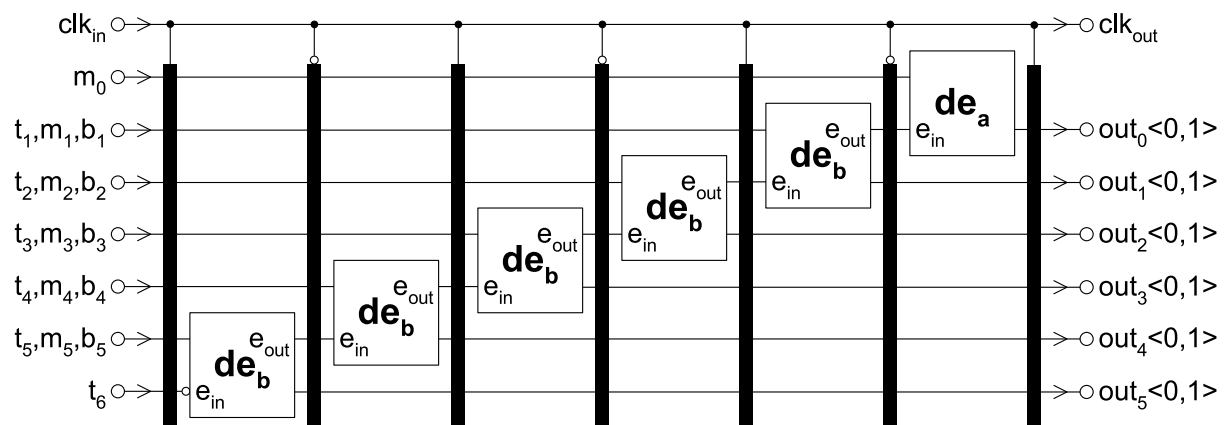


Abbildung 3.23: Auswertung der Entscheidersignale (Balken = Latch-Bank).

Abbildung 3.23 zeigt die Implementierung der Entscheidersignale-Auswertung nach der oben geschilderten Synchronisierung. Aufgrund der Signalabhängigkeiten der Logik muss

diese Auswertung ebenfalls als Pipeline umgesetzt werden. Zusätzliche Taktreiber, die aufgrund des Layouts nötig sind, werden der Übersichtlichkeit halber nicht dargestellt.

3.3.4.2 Konvertierung von Basis-3 nach Basis-2

Die aus der Vorverarbeitung kommenden Signale repräsentieren binär codierte Dreierpotenzen nach Formel (3.15). Um diese Basis-3-Werte addieren zu können, müssen sie nach Basis 2 konvertiert werden. Tabelle 3.2 zeigt die Werte nach Formel (3.15) in der Spalte „Ausgang“ als Basis-2- und Basis-10-Zahl.

Die Kodierung der Ausgangssignale der Vorverarbeitung erlaubt überraschend einfache Schaltungen zur Realisierung der Konvertierung von Basis 3 nach Basis 2. Dabei werden für ein einzelnes Ausgangsbit je nach Eingangsbits $dig_1 dig_0 = 10|01|00$ vier Fälle unterschieden:

- Unabhängig von den Eingangsbits ist das Ausgangsbit konstant auf 0. Am entsprechenden Addierereingang wird eine statische 0 angelegt.
- Lediglich im Fall $dig_1 dig_0 = 10$ ist das Ausgangsbit auf 1. Es wird das MSB (dig_1) der Vorverarbeitung durchgeschleift.
- Lediglich im Fall $dig_1 dig_0 = 01$ ist das Ausgangsbit auf 1. Es wird das LSB (dig_0) der Vorverarbeitung durchgeschleift.
- Lediglich im Fall $dig_1 dig_0 = 00$ ist das Ausgangsbit auf 0. MSB und LSB der Vorverarbeitung werden über ein OR-Gatter verknüpft.

Die vorgestellte Umwandlung von Basis 3 nach Basis 2 kann auf beliebig hohe Auflösungen erweitert werden. Tabelle 3.2 zeigt die Realisierung der Umwandlung im vorliegenden Umsetzer. Für die Generierung der Zahlen $0|1|2$ werden direkt die Bits der Vorverarbeitung verwendet.

3.3.4.3 Addierer

Abbildungen 3.24 und 3.25 zeigen Blockschaltbilder des Addierers. Er setzt sich aus Sub-Addierern unterschiedlicher Bit-Längen zusammen und führt die in Kapitel 3.3.3 angeführte Addition der Basis-2-Zahlen durch. Abbildung 3.25 zeigt die Realisierung der einzelnen Sub-Addierer und deren Verteilung zwischen Latch-Bänken. Der Übersichtlichkeit halber sind die beiden Abbildungen farbkodiert.

Anmerkungen zum Aufbau des Addierers:

Tabelle 3.2: Generierung der Basis-2-Zahlen.

Eingang ($dig_1 dig_0$)	Schaltung	Ausgang		dekodiert Signale aus Stufe
		Basis 2	Basis 10	
00		000	$0 = 0 \cdot 3^1$	
01		011	$3 = 1 \cdot 3^1$	4
10		110	$6 = 2 \cdot 3^1$	
00		00000	$0 = 0 \cdot 3^2$	
01		01001	$9 = 1 \cdot 3^2$	3
10		10010	$18 = 2 \cdot 3^2$	
00		000000	$0 = 0 \cdot 3^3$	
01		011011	$27 = 1 \cdot 3^3$	2
10		110110	$54 = 2 \cdot 3^3$	
00		00000000	$0 = 0 \cdot 3^4$	
01		01010001	$81 = 1 \cdot 3^4$	1
10		10100010	$162 = 2 \cdot 3^4$	
00		000000000	$0 = 0 \cdot 3^5$	
01		011110011	$243 = 1 \cdot 3^5$	0
10		111100110	$486 = 2 \cdot 3^5$	

- Der als Blockschaltbild dargestellte Halbaddierer (HA) ist standardmäßig aus einem XOR- und einem AND-Gatter aufgebaut, der Volladdierer (VA) aus zwei Halbaddierern und einem OR-Gatter. Die Maße eines Volladdierers betragen im Layout circa $80 \cdot 100 \mu\text{m}^2$.
- An einigen Stellen des Rechenwerks werden lediglich Halbaddierer benötigt; dies resultiert aus konstanten Stellen (Nullen) von Zahlentripeln der Basis-2-Zahlen aus Tabelle 3.2: So besitzen zum Beispiel die Basis-10-Zahlen 0, 9 und 18 in ihrer Darstellung zur Basis 2 an der dritten Stelle jeweils eine Null. Die entsprechenden Ein-

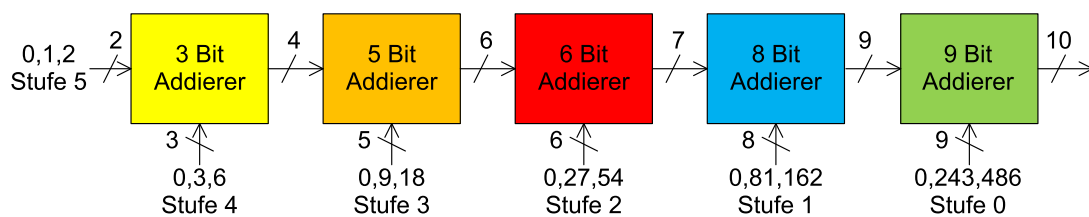


Abbildung 3.24: Blockschaltbild des Addierers.

gänge der Volladdierer würden das Ergebnis nicht beeinflussen, deshalb können sie weggelassen werden.

- Die Eingangsdaten des Addierers werden durch unterschiedlich viele Latches geführt. Dies hängt mit der Realisierung des Rechenwerks für die Basis-3-nach-Basis-2-Konvertierung zusammen.
- Die Takttreiber im Digitalteil sind als Emitterfolger umgesetzt, die kapazitiv stark belastet werden. Dies ist nach Absatz 3.2.6.1 unvorteilhaft, konnte jedoch aus Zeitgründen zum Tape-Out des vorliegenden Umsetzers nicht mehr geändert werden.

3.4 Ausgangstreiber

Das umgesetzte Digitalsignal muss vom Chip herabgeführt werden. Um die Last von Bonddraht und Leitung treiben zu können, bedarf es eines speziellen Ausgangstreibers. Abbildung 3.26 zeigt den Schaltplan der Ausgangstreiber mit Ansteuerung durch Daten und Takt. Das Flip-Flop vor dem Ausgangstreiber dient zur Pegel-Regenerierung des Datensignals, um eine bestmögliche vertikale Ausgangsaugenöffnung zu erzielen. Auf Grund des Flip-Flops muss das Taktsignal ebenfalls bis zum Ausgangstreiber geführt werden. Die erste CML-Zelle mit nachgeschaltetem Emitterfolger dient als Treiber für die zweite CML-Zelle. Der $40\ \Omega$ -Widerstand am Emitter der zweiten Kollektorschaltung reduziert einerseits den Gleichtakt-Ausgangspegel, andererseits sorgt er für einen Ausgangswiderstand der Treiber von $50\ \Omega$. Der Ausgangswiderstand berechnet sich zu

$$R_{\text{out}} \approx \frac{R_L}{\beta} + \frac{1}{g_m} + R_{\text{E,par}} + R_E = 50\ \Omega. \quad (3.18)$$

Der Ausgangstreiber ist so dimensioniert, dass die Multi-Gigabit-Transceiver (MGT) der verwendeten FPGAs (engl.: Field-Programmable Gate Array) auch DC-gekoppelt betrieben werden können.

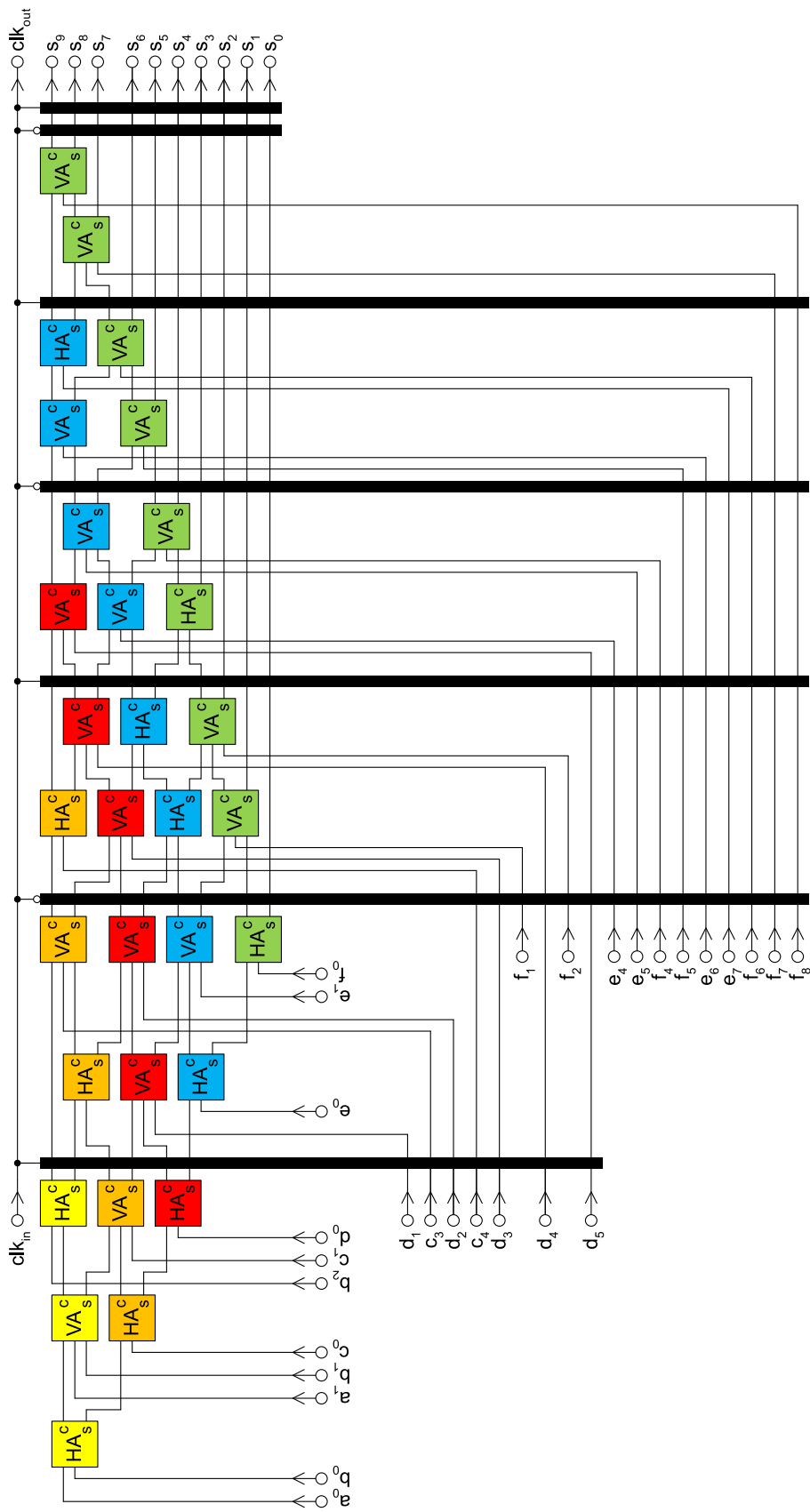


Abbildung 3.25: Verfeinertes Blockschaltbild des Addierers (Balken=Latch-Bank, VA=Volladdierer, HA=Halbaddierer).

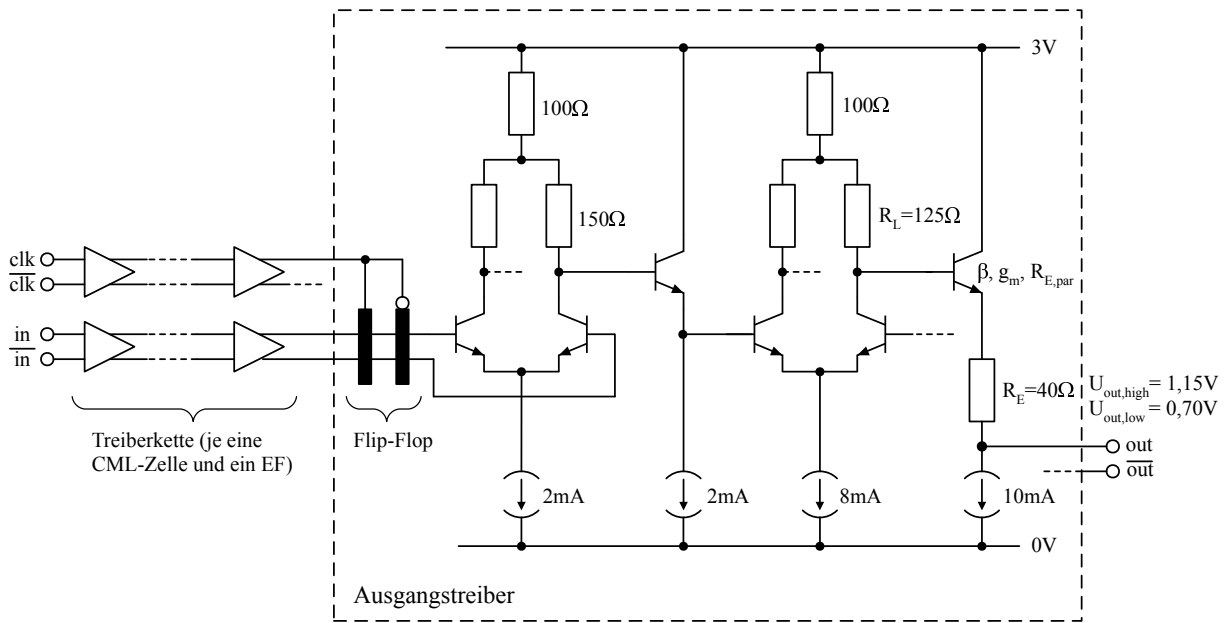


Abbildung 3.26: Schaltplan des Ausgangstreivers.

3.5 Testgerechter Schaltungsentwurf

Es ist sinnvoll, zusätzliche Maßnahmen zu ergreifen, sodass der Chip möglichst einfach, risikoarm und umfassend vermessen werden kann. Hierfür werden zusätzliche Schaltungskomponenten benötigt:

- Die Ausgangsdaten des Umsetzers sollen mit Hilfe eines FPGAs ausgewertet werden. MGTs empfangen die Daten der zehn Kanäle, die anschließend im Speicher des FPGAs abgelegt werden. Die Datenströme der Kanäle liegen im Speicher nicht synchron vor, weshalb sie zunächst untereinander synchronisiert werden müssen. Dazu befindet sich auf dem Chip ein Pseudozufallszahlengenerator des Polynoms

$$p(x) = x^{11} + x^9 + 1, \quad (3.19)$$

das als linear rückgekoppeltes Schieberegister realisiert ist. Über eine automatische Reset-Funktion wird sichergestellt, dass der Generator nie eine kontinuierliche 0-Folge ausgibt.

Über ein externes Steuersignal kann einer von zwei relevanten Betriebsmodi ausgewählt werden. Auf dem Chip kontrolliert dieses Steuersignal Multiplexer, die die entsprechenden Datenfolgen an die Ausgangspads weiterleiten:

- Im Synchronisationsmodus wird auf allen Ausgängen die PRBS ausgegeben.

Dadurch kann die Verschiebung der empfangenen Kanaldaten bestimmt werden.

- Im zweiten Modus liefern die Ausgänge mit der PRBS vermischte (XOR) A/D-Umsetzer-Daten. Das Mischen mit der PRBS garantiert eine Mindestflankendichte, die von den PLLs der FPGA-MGTs zur fehlerfreien Datendetektion erwartet wird.

Das Polynom wird gewählt, da die Folge ausreichend lang ist: Der größte Bitversatz zwischen den Kanaldaten im Speicher entsteht nicht durch zeitversetzte Ausgangssignale der Kanäle an den Pads oder durch Laufzeitunterschiede verschieden langer Kabel, sondern wird durch den Empfangspfad auf dem FPGA verursacht. Die PRBS-Folge muss so lang sein, dass der Bitversatz der empfangenen FPGA-Daten zweier Kanäle kleiner ist als die Länge des Polynoms.

- Die für dieses Projekt verwendeten FPGA-Capture-Boards und die dazugehörigen VHDL-Architekturen arbeiten mit einem Referenztakt von ca. 400 MHz [44]. Dieser Referenztakt könnte durch eine zusätzliche Taktquelle separat von außen zugeführt werden; die Generierung des Referenztakts auf dem Chip ist jedoch praktikabler. Hierfür wird der durch CML-Buffer aufbereitete Eingangstakt mittels vier rückgekoppelter Flip-Flops 2^4 -fach geteilt.
- Da es sich beim vorliegenden A/D-Umsetzer um einen Prototypen handelt, werden zur Risikominimierung ein Teil der Entscheidersignale des analogen Kerns über zusätzliche Ausgangstreiber zur Verfügung gestellt. Dadurch kann der analoge Kern auch dann charakterisiert werden, wenn der Digitalteil nicht funktioniert.
- Über von außen eingeprägte Steuerströme können Ströme in verschiedenen Schaltungsteilen nachträglich verändert werden.

3.6 Versorgungsspannungen

Abbildung 3.27 zeigt das Versorgungsspannungskonzept des Umsetzers. Es gibt zwei positive Versorgungsspannungen $U_{CC} = 5,1\text{ V}$ und $U_{CC,dig} = 3,0\text{ V}$. Die Spannung U_{CC} wird für den analogen, $U_{CC,dig}$ für den digitalen Teil der Schaltung verwendet. Die kleinere Versorgungsspannung $U_{CC,dig}$ wird verwendet, um die Leistungsaufnahme zu reduzieren. Es gibt zwei getrennte negative Versorgungsspannungen $U_{EE} = U_{EE,dig} = 0\text{ V}$. Obwohl die

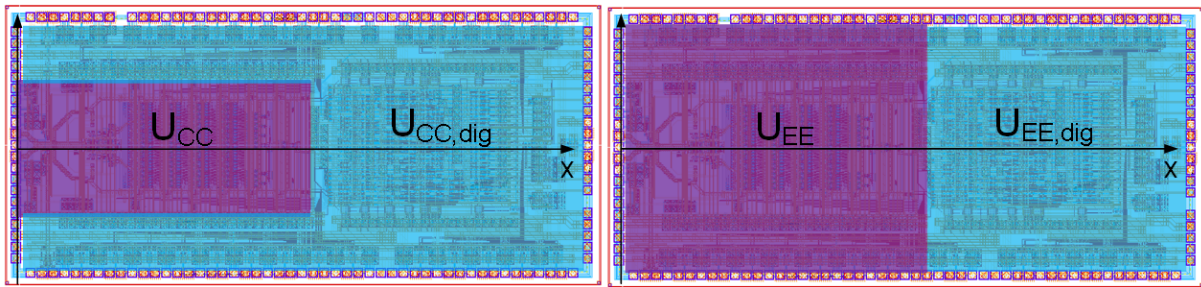


Abbildung 3.27: Versorgungsspannungskonzept.

beiden negativen Versorgungsspannungen das gleiche Potential aufweisen, werden sie getrennt, um sicherzustellen, dass der Digitalteil den analogen Kern nicht beeinflusst: Das Layout des analogen Kerns ist spiegelsymmetrisch zur Längsachse des Chips (x-Achse in Abbildung 3.27), das Layout des Digitalteils hingegen verfügt über keine Symmetrie. Spannungsabfälle auf den Versorgungsspannungszuführungen des analogen Kerns sind im Gegensatz zu denen im Digitalteil deshalb ebenfalls symmetrisch. Unsymmetrische Spannungsabfälle könnten das Verhalten des analogen Kerns beeinträchtigen, weshalb die beiden Versorgungsspannungen U_{EE} und $U_{EE,dig}$ aufgetrennt sind.

Abbildung 3.27 zeigt außerdem, dass das Konzept der getrennten Versorgungsspannungen nicht konsequent angewendet wird: Die Ausgangstreiber, die sich im Bild links oben und unten befinden, werden durch die Spannungen $U_{CC,dig}$ und U_{EE} versorgt. Dadurch könnten kurze Spannungsspitzen, die durch den Schaltprozess digitaler Komponenten verursacht werden, auf die negative, analoge Versorgungsspannung U_{EE} koppeln. Da die digitalen Komponenten jedoch als differenzielle Stromschalterlogik ausgeführt sind, sind die dadurch verursachten Spannungsspitzen minimal.

Durch die unsaubere Trennung wird das Layout vereinfacht. Andernfalls wären zusätzliche Pads für $U_{EE,dig}$ nötig gewesen, die die Chipgröße beträchtlich erhöht hätten.

Die Leistungsaufnahme des Chips beträgt in der Simulation 13,7 W. Diese Leistung wird dem Chip über Bonddrähte mit einem Durchmesser von 25 μm zugeführt. Ist der Strom durch einen Bonddraht zu groß, schmilzt er durch. Es muss deshalb bereits während der Chipentwicklung darauf geachtet werden, dass eine ausreichende Anzahl an Pads für die Versorgungsspannungen vorhanden sind. Eine quantitative Analyse zur Stromtragfähigkeit von Bonddrähten erfolgt in [45]. Die darin erwähnte Gleichung nach Preece für von Luft umgebene Gold-Bonddrähte ergibt einen von der Länge des Bonddrahts unabhängigen Schmelzstrom von 0,32 A für einen Draht mit 25 μm Durchmesser.

Tabelle 3.3 listet die Anzahl der Versorgungsspannungspads des A/D-Umsetzers auf.

Einige Eigenschaften des Pad-Rahmens werden durch die Minimalstruktur der Leiterplat-

Tabelle 3.3: Versorgungsspannungs-Pads.

U_{CC}	10 Pads	$\frac{1,2\text{ A}}{10\text{ Pads}} = 0,12 \frac{\text{A}}{\text{Pad}}$
$U_{CC,\text{dig}}$	14 Pads	$\frac{1,5\text{ A}}{14\text{ Pads}} = 0,11 \frac{\text{A}}{\text{Pad}}$
U_{EE}	25 Pads	
$U_{EE,\text{dig}}$	15 Pads	

te für den Testaufbau ($75\ \mu\text{m}$) vorgegeben: Um mehrere differenzielle Leitungen vom Chip auf der Leiterkarte wegführen zu können, wird pro differenzieller Leitung eine Minimalbreite von $4 \cdot 75\ \mu\text{m} = 300\ \mu\text{m}$ benötigt. Der Abstand zweier Pad-Mitten beträgt $100\ \mu\text{m}$. Daraus folgt für die Padbelegung automatisch ein GSSG-Muster, das heißt, dass die Pads für ein differenzielles Ausgangssignal (SS) zwischen zwei Masse-Pads (G) liegen. Die große Anzahl an Pads für die Spannung U_{EE} ist den Ausgangstreibern der Entscheider geschuldet.

Die Anzahl an Pads für die positiven Versorgungsspannungen wird im Hinblick auf [45] großzügig bemessen. Die Stromdichte durch einen U_{CC} -Bond entspricht

$$J_{\text{max,Bond}} = \frac{0,12\ \text{A}}{\pi \cdot (12,5\ \mu\text{m})^2} = 244 \frac{\text{A}}{\text{mm}^2} \quad . \quad (3.20)$$

Die nicht von anderweitigen Schaltungsteilen belegte Chipfläche wird für mehrere Kombinationen aus einem Widerstand in Serie mit einer Kapazität verwendet. Die genaue Anzahl an Kombinationen, die Widerstands- und Kapazitätswerte sind Tabelle 3.4 zu entnehmen. Die Zeitkonstante beträgt je $1\ \text{ns}$. Durch die Wahl der Parameter wird sichergestellt, dass der Realteil der Eingangsadmittanz der Versorgungsspannungen über der Frequenz positiv und so konstant wie möglich ist. Durch die Kombination aus Widerstand und Kapazität wird ein dämpfendes Element für hochfrequente Schwingungen in die Schaltung eingefügt. Dies ist insbesondere deshalb wichtig, weil Versorgungsspannungsschwankungen den Strom in den einzelnen Schaltungsteilen beeinflussen.

Außerdem gleichen die Kapazitäten niederfrequente Störungen der Spannungsversorgung aus.

Tabelle 3.4: Blockkapazitäten.

Versorgungsspannungen		Anzahl	R	C
U_{CC}	\leftrightarrow	U_{EE}	120	$200\ \Omega$ 4,9 pF
$U_{CC,dig}$	\leftrightarrow	U_{EE}	80	$180\ \Omega$ 5,6 pF
$U_{CC,dig}$	\leftrightarrow	$U_{EE,dig}$	90	$180\ \Omega$ 5,6 pF

3.7 Maskenentwurf

Die Erstellung des Layouts ist ein aufwändiger, iterativer Prozess: So kann zum Beispiel eine Redimensionierung von Schaltungskomponenten auf Grund von zusätzlichen parasitären Elementen oder Laufzeiten durch das Layout zwingend notwendig werden. Auf folgende Punkte wird explizit hingewiesen:

- In der verwendeten Technologie stehen nur fünf Metalllagen zur Verfügung. Zusätzlich ist deren Verwendung deutlich eingeschränkt:
 - Die Anschlüsse eines Bipolartransistors sind auf den unteren zwei Metalllagen.
 - Die oberen beiden Metalllagen eignen sich auf Grund ihrer Minimalbreite und dem vorgeschriebenen Minimalabstand zueinander eher für das Zuführen von Spannungen, die von vielen Verbrauchern benötigt werden, als für Punkt-zu-Punkt-Verbindungen.
 - Die Kondensatorplatten der zur Verfügung stehenden Metall-Isolator-Metall-Kapazitäten sind die zweite und dritte Metalllage.

Es stellt eine Herausforderung dar, alle benötigten Leitungen zu routen.

- Im analogen Kern befinden sich geschaltete Emitterfolger, die getaktet werden müssen. Durch parasitäre Layout-Kapazitäten kann das Taktsignal auf die analogen Signale übersprechen. Auf Grund der steilen Flanken des Taktsignals ist dieses Übersprechen besonders aggressiv.
- Zu den nicht-simulierbaren Gegebenheiten gehören die Auswirkungen der Temperatur- und Materialumgebung eines Bauelements. Diese sind so regelmäßig wie möglich zu gestalten.
- Auf Grund des flächenmäßig großen Layouts müssen parasitäre Induktivitäten extrahiert werden. Dadurch erhöht sich die Echtzeit-Simulationsdauer.

Abbildung 3.28 zeigt den Maskensatz des Umsetzers.

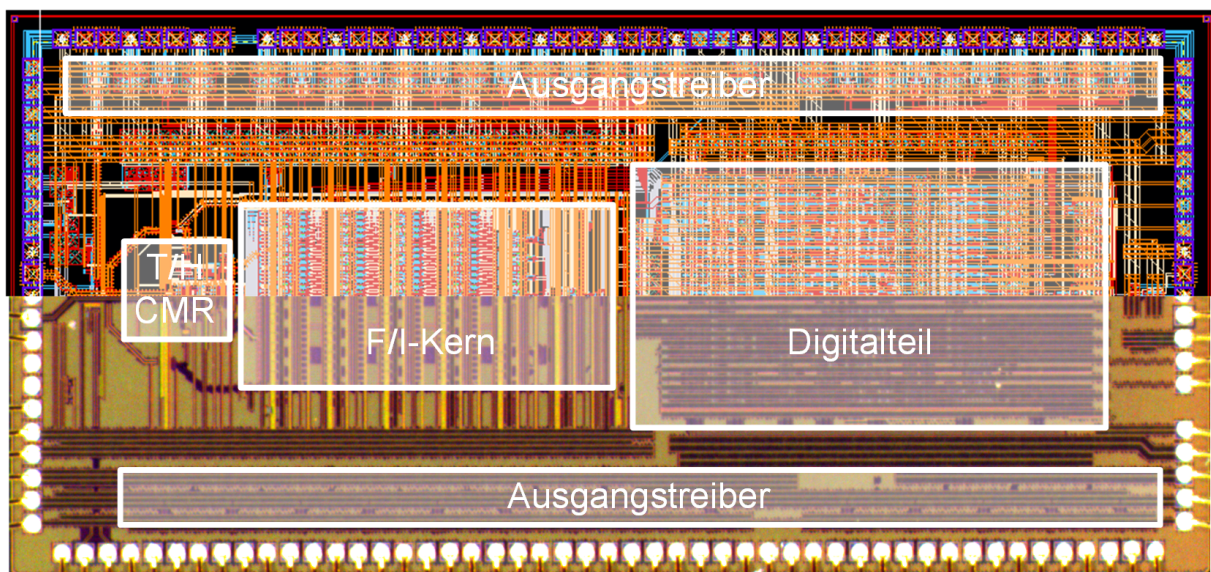


Abbildung 3.28: Hybridbild des Umsetzers. Die obere Hälfte zeigt die Layoutdarstellung im Entwicklungsprogramm, die untere Hälfte ein Chipphoto. Der Chip misst $5,3 \cdot 2,5 \text{ mm}^2$.

4 Aufbautechnik und Messsystem

Um den Chip charakterisieren zu können, bedarf es einer Messumgebung, die die von der Spezifikation geforderten Werte unterstützt. Die Messumgebung besteht aus der Aufbautechnik für den Chip und dem Messsystem.

4.1 Aufbautechnik

Um Prototypen eines Chips zu charakterisieren, bietet sich bei wenigen Pads die Charakterisierung mittels Messspitzen an, da dies die Entwicklung einer Platine und deren Bestückung erspart. Da vorliegender Chip jedoch 138 Pads besitzt, ist die Entwicklung einer Platine zur Charakterisierung der Chips unumgänglich.

4.1.1 Schichtstapel des Aufbaus

Bei der Wahl des Schichtstapels für den Aufbau liegt das Hauptaugenmerk auf der Abfuhr der vom Chip erzeugten Wärme.

Um die Platine so einfach wie möglich zu halten, wird eine zweilagige Platine verwendet. Dabei wird nur die Oberseite strukturiert, die Rückseite wird als Massefläche verwendet. Ein geeignetes Platinenmaterial besitzt eine Dicke von insgesamt 286 μm . Diese relativ dünne Platine wird mittels eines Trägers mechanisch stabilisiert. Gleichzeitig dient der Träger der Wärmeabfuhr. Aufgrund der relativ hohen Leistungsaufnahme des Chips von mehreren Watt ist es nicht möglich, einen kostengünstigen FR-4-Träger zu verwenden. Neben FR-4 bietet der gewählte Platinenhersteller als Träger Messing und Kupfer an. Da die Wärmeleitfähigkeit von Kupfer mit $400 \frac{\text{W}}{\text{m}\cdot\text{K}}$ über der von Messing mit $120 \frac{\text{W}}{\text{m}\cdot\text{K}}$ liegt, wird die Kupferplatte bevorzugt. Die Dicke des Kupferträgers kann zu 400 μm oder 2 mm gewählt werden. Hierbei fällt die Wahl wegen der erhöhten Stabilität und des besseren Wärmefflusses auf die dickere Variante.

Um den Kupferträger mit der Platine zu verbinden, wird ein Laminat aus Epoxidharz und Glasgewebe verwendet. Aufgrund seiner relativ hohen Temperaturbeständigkeit wird hierfür das FR-4-System IS420 verwendet [46]. Kurzzeitige Temperaturerhöhungen auf

Grund von Lötvorgängen zerstören das Laminat nicht.

Um die Bonddrähte möglichst kurz zu halten und die entstehende Abwärme ableiten zu können, wird in die zweilagige Platine ein Loch gefräst, sodass der Chip direkt auf den Kupferträger geklebt werden kann. Der Chiphersteller bietet ein Dünnen der Chips an. Die Dicke des Chips wird so gewählt, dass die Chipoberfläche im Aufbau auf dem gleichen Niveau wie die Oberfläche der Platine liegt.

Die verstärkte Platine wird auf einen Aluminium-Profilkühlkörper geschraubt. Abbildung 4.1 zeigt den Schichtstapel der verstärkten Platine mit Kühlkörper.

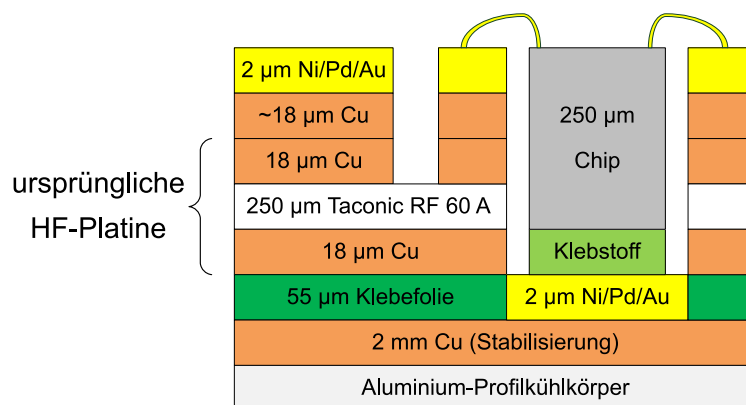


Abbildung 4.1: Schichtstapel.

Beim Herstellungsprozess wird zunächst das Taconic-Material strukturiert, anschließend galvanisch Kupfer abgeschieden. Die strukturierte Platine wird mittels Laminat auf den Kupferträger geklebt. Die Vertiefung für den Chip wird gefräst; das zum Vorschein kommende Laminat mittels Laser entfernt. Danach wird wegen besserer Bondbarkeit und Korrosionsbeständigkeit galvanisch Gold abgeschieden. Bedingt durch den Herstellungsvorgang bedeckt eine dünne Goldschicht den Boden der Vertiefung.

Der Platinenhersteller rät von galvanisch abgeschiedenem Kupfer an den Seiten der Vertiefung auf Grund von Herstellungsproblemen ab. Diese Kupferschicht hätte eine zusätzliche Verbindung der Massefläche der Unterseite der Platine mit dem Massering auf der Oberseite der Platine hergestellt.

Abbildung 4.2 zeigt das Ergebnis.

4.1.2 Platinenentwurf

Die Platine dient in erster Linie dazu, Signale für den Chip zu liefern und abzunehmen und ihn mit den benötigten Spannungen zu versorgen. Die Leitungen der Platine sollten

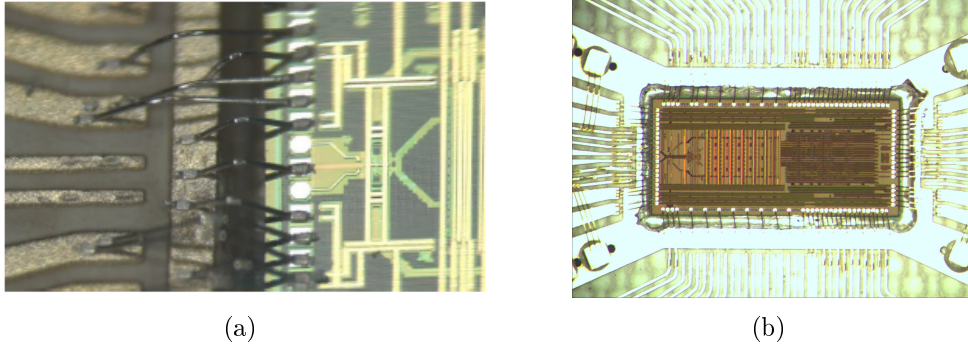


Abbildung 4.2: Photos (a) des Aufbaus zur Kennzeichnung des Höhenunterschieds zwischen Platine und Chip und (b) des versenkten Chips und des Masserings.

so dimensioniert sein, dass an deren Schnittstellen, sowohl am Chip als auch an den SMP-Buchsen, keine Reflexionen auftreten.

Da der Abstand von Pad-Mitte zu Pad-Mitte auf dem Chip $100\ \mu\text{m}$ beträgt, sollte es möglich sein, relativ schmale, differenzielle Leitungen mit einem Wellenwiderstand von $100\ \Omega$ zu fertigen. Die untere Begrenzung für die Bemaßung der Leitungen stellt die minimale, herstellerbedingte Strukturgröße von $75\ \mu\text{m}$ dar. Neben der Bemaßung der Leitungen hängt der Wellenwiderstand vom verwendeten Platinenmaterial ab. Beim ausgewählten Material handelt es sich um Taconic RF60-A, ein Faserverbundwerkstoff aus teflonbeschichteten Glasfasern (Dicke des Dielektrikums $h = 250\ \mu\text{m}$, relative Dielektrizitätszahl $\epsilon_r = 6,15$), die beidseitige Metallbeschichtung ist aus Kupfer (je $t_0 = 18\ \mu\text{m}$) [47]. Da während der Platinenprozessierung zusätzliches Kupfer aufgalvanisiert wird, beträgt die Dicke der Kupferleiter letztlich ungefähr $t = 36\ \mu\text{m}$.

Näherungsweise beträgt der Wellenwiderstand einer Mikrostreifenleitung, bei der der Leiter auf einem Dielektrikum aufgebracht ist [48] (basierend auf [49]):

$$Z_N = \frac{87\ \Omega}{\sqrt{\epsilon_r + 1,41}} \ln \left(\frac{5,98 \cdot h}{0,8 \cdot w + t} \right), \quad (4.1)$$

wobei w deren Breite, t deren Dicke, h der Abstand vom Leiter zur Massefläche und ϵ_r die relative Dielektrizitätszahl des Substrats ist. Der Wellenwiderstand der dazugehörigen differenziellen Leitung beträgt

$$Z_{\text{diff}} = 2 \cdot Z_N \cdot \left(1 - 0,48 \cdot e^{(-0,96 \cdot s/h)} \right), \quad (4.2)$$

wobei s der Abstand zwischen den Leitern ist.

Für jeden differentiellen Digitalausgang des Chips stehen aufgrund der Pad-Belegung $300\ \mu\text{m}$ zur Verfügung. Dies bedeutet, dass $w = s = 75\ \mu\text{m}$ betragen müssen. Für die Minimalbemaßung einer Leitung beträgt $Z_N = 86,9\ \Omega$ und $Z_{\text{diff}} = 111,2\ \Omega$. Somit ist es aufgrund der vielen, dicht beieinanderliegenden Chipausgänge nicht möglich, differenzielle $100\ \Omega$ -Leitungen an den Chip zu führen. Da es sich jedoch um störungsrobuste Digitalsignale handelt, kann die Abweichung des Wellenwiderstandes in Kauf genommen werden. Um die Vertiefung für den Chip befindet sich auf der Platine ein Massering, siehe Abbildung 4.2. Er ist über Durchkontaktierungen mit der Platinenrückseite verbunden. Dadurch sind die Spannungen U_{EE} und $U_{\text{EE,dig}}$ auf der Platine kurzgeschlossen.

Bestückt wird die Platine für die Versorgungsspannungen mit Stiftleisten und benachbarten SMD-Kapazitäten; Signale werden über SMP-Buchsen zu- und abgeführt. Leitungen und Pads werden über Bonddrähte miteinander verbunden. Bondbänder werden nicht verwendet, da diese am Institut nicht gebondet werden können. Auf Verlängerungen des Masserings befinden sich bondbare Kapazitäten, die nach Bedarf an verschiedene Gleichspannungen angeschlossen werden können.

Abbildung 4.3 zeigt die gefertigte und bestückte Platine.

Während der Charakterisierung des Chips stellt sich heraus, dass die Steuerstromzuführungen und deren Pads nicht optimal platziert sind. Das analoge Eingangssignal koppelt auf diese Zuführungen über. Die später präsentierten Ergebnisse sind nur dann erzielbar, wenn zwei dieser Bonds in der Umgebung des Signaleingangs entfernt werden.

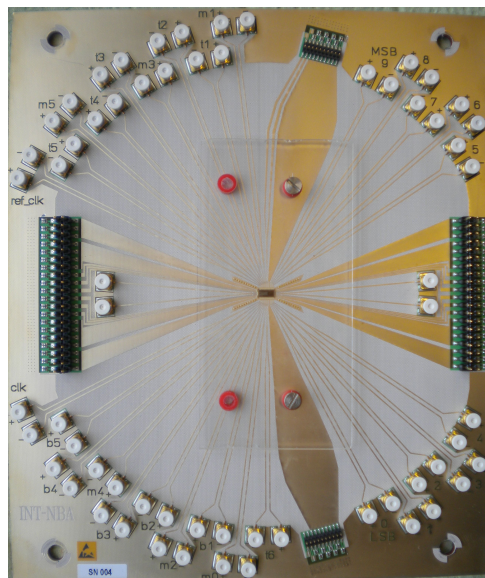


Abbildung 4.3: Bestückte Platine ($16 \cdot 19\ \text{cm}^2$).

4.2 Messsystem

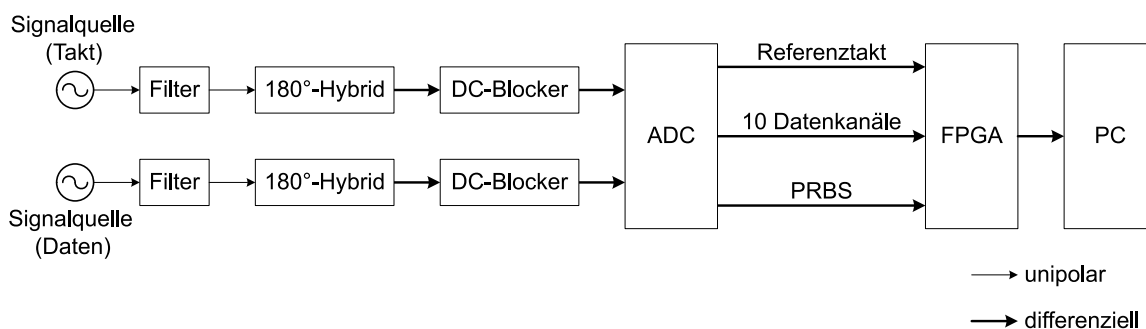


Abbildung 4.4: Messsystem.

Abbildung 4.4 zeigt den Aufbau des Messsystems. Es wird je ein Signalgenerator für das Takt- und Testsignal benötigt. Das Testsignal sollte ein Tief-/Bandpass-Filter durchlaufen, da das von einem Signalgenerator erzeugte Signal unter Umständen sowohl Harmonische als auch niederfrequente Störfrequenzen aufweist, die größer sein können als das zu erreichende SFDR des A/D-Umsetzers.

Die 180°-Hybride generieren aus den unipolaren Signalen der Generatoren ein differenzielles Signal. Die nachgeschalteten DC-Blocker verhindern einen konstanten Gleichstromfluss, da die Gleichtaktepegel der Signalgeneratoren und der Signale auf dem Chip unterschiedlich sind.

Die Ausgangssignale des A/D-Umsetzers werden blockweise auf dem FPGA gespeichert. Der FPGA kommuniziert mit einem PC, auf welchem die Auswertung einzelner Datenblöcke erfolgt.

Zur Inbetriebnahme werden die Versorgungsspannungen und die Referenzspannungen stufenweise und proportional zueinander hochgefahren, um gewährleisten zu können, dass keine Durchbruchspannungen überschritten werden. Kritisch ist dies vor allem an der Schnittstelle zwischen analogem Kern und Digitalteil, da der analoge Kern von einer anderen Spannung versorgt wird als der Digitalteil. Nachdem am Chip die richtigen Spannungen anliegen, wird das Taktsignal aktiviert und der A/D-Umsetzer in den Synchronisierungsmodus geschaltet: Der FPGA stellt den zeitlichen Versatz anhand von Bitverschiebungen der einzelnen Kanal-Datensätze fest und synchronisiert die Daten anschließend zueinander. Nach abgeschlossener Synchronisierung wird der A/D-Umsetzer in den Daten-Modus umgeschaltet. Es kann gemessen werden.

Im Laufe des Projekts muss die Automatisierung des Messplatzes realisiert werden. Dies geschieht im Zuge mehrerer studentischer Arbeiten [50], [51], [52]: Über eine graphische

Matlab-Oberfläche können zentral die programmierbaren Signalgeneratoren, Spannungsquellen, Messgeräte und der FPGA angesteuert werden. Die aufgenommenen Messreihen werden ausgewertet und abgespeichert. Für die VHDL-Programmierung des FPGAs kann auf einen bestehenden Entwurf [53] zurückgegriffen werden, der in einer weiteren studentischen Arbeit [54] angepasst wird.

5 Simulation und Messung

5.1 Simulation

Mit den im Rahmen dieser Arbeit präsentierten Simulationsergebnissen soll auf die wichtigsten Simulationstypen eingegangen werden, da vielversprechende Simulationsergebnisse auf Schaltungsplanebene nicht zwangsläufig bedeuten, dass der Chip wie simuliert funktionieren wird. Erst wenn die Auswirkungen durch parasitäre Layoutelemente, statistische Bauteilvariation, Prozessvariation und thermisches Rauschen in der Simulation berücksichtigt werden, ist die Wahrscheinlichkeit hoch, dass sich der Chip wie simuliert verhalten wird. Wird eine Maßnahme ergriffen, um die Schaltung gegenüber einem der genannten Aspekte zu verbessern, muss nach gemachter Änderung überprüft werden, wie sich die Schaltung unter Berücksichtigung der anderen Aspekte verhält: Andernfalls ist die Gefahr hoch, dass nur ein lokales Optimum gefunden wird.

Die nachfolgenden Simulationsergebnisse beurteilen die Qualität des Umsetzers meist anhand von SFDR und SNDR. Dies sind sehr abstrakte Werte, da sie den kompletten Umsetzer mit je einer Kennzahl charakterisieren. Verschlechtert sich einer der beiden Werte, zum Beispiel von einer simulierten Frequenz zur nächsten oder nach einer Schaltungsänderung, ist die Ursache zunächst unbekannt, da aus den beiden Werten keine Details ableitbar sind. Die präsentierten Simulationsergebnisse können deshalb nicht einer eingehenden Schaltungsanalyse dienen. Während der Schaltungsentwicklung müssen dazu andere Methoden angewandt werden, wie zum Beispiel die Betrachtung eines übereinanderprojizierten Zeitbereichssignals zur Beurteilung des Einschwingverhaltens eines Knotens, wobei die Dauer der Signalausschnitte der Dauer einer Abtastperiode entspricht.

Die Rechenzeit für Simulationen eines hochauflösenden A/D-Umsetzers mit hohen Abtaststraten ist hoch. So beträgt die Simulationsdauer einer Eingangsfrequenz für den analogen Kern fast 24 Stunden, wobei der Umsetzer-Eingang mit parasitären Layout-Elementen bestehend aus F/H-Schaltung, CMR-Schaltung, Referenzspannungsleiter und der ersten Stufe inklusive den dazugehörigen Taktpfaden simuliert wird. Durch das Verwenden mehrerer Rechnerkerne kann diese Dauer auf 6 Stunden reduziert werden, was jedoch deren Verfügbarkeit voraussetzt. Ein wichtiger Aspekt der Entwicklung ist es deshalb, die Balan-

ce zwischen Simulationsgenauigkeit, Abstraktionsgrad und Rechenzeit zu finden: So kann zum Beispiel der maximale Zeitschritt in der Simulation beliebig klein gewählt werden, was sowohl die Simulationsgenauigkeit als auch die Rechenzeit erhöht.

Aus Zeitgründen wird nur selten der ganze Umsetzer auf Transistor-Ebene simuliert. In diesen Fällen werden ausschließlich die für das SFDR kritischen Komponenten mitsimuliert; die Funktionalität des Digitalteils wird von einem Verilog-A-Logikmodell erbracht.

Manche Simulationen sind auf Grund ihrer Komplexität nicht durchführbar: Mit der zur Verfügung stehenden Umgebung ist es nicht möglich, eine RLC-Extraktion des Layouts des kompletten Umsetzers durchzuführen. Werden die einzelnen Umsetzerteile separat extrahiert und gemeinsam simuliert, so liegt die Rechenzeit für ein Zeitfenster von 40 ns, der für eine 128-DFT benötigten Zeitspanne, nicht mehr im für die Chip-Entwicklung vertretbaren Rahmen.

In der vorliegenden Arbeit werden die Ergebnisse eines langen Optimierungsprozesses präsentiert. Es ist nicht möglich, auf alle Details einzugehen. Sind hinreichend einfache Begründungen für Kurvenverläufe möglich, wird an den jeweiligen Stellen darauf eingegangen. Für eine noch genauere Erklärung der Ergebnisse müssten weitere Untersuchungen durchgeführt werden.

5.1.1 Anmerkungen zur Simulation

5.1.1.1 Mögliche Signalfrequenzen

Die Kennwerte SFDR und SNDR werden über eine DFT des Umsetzer-Ausgangssignals ermittelt. Durch die Verwendung einer geeigneten Frequenz kann der Leckeffekt vermieden werden, das heißt, dass sich die einzelnen Leistungen des Signals oder der Harmonischen nicht über mehrere benachbarte, diskrete Frequenzen (engl.: frequency bins) verteilen, sondern jeweils konzentriert bei einer diskreten Frequenz auftreten. Dazu muss die Bedingung

$$f_{\text{in}} = \frac{k}{2^n} f_{\text{s}} \quad (5.1)$$

erfüllt sein, wobei f_{in} für die Frequenz des analogen Eingangssignals, f_{s} für die Abtastrate und 2^n für die DFT-Länge steht. Nach [2] sollte k eine Primzahl sein, um sich wiederholende Muster im Ausgangssignal zu vermeiden.

5.1.1.2 DFT-Länge

Zur Vereinfachung wird für diese Betrachtung angenommen, dass das Rauschen weiß ist. Dies steht im Widerspruch zu den Erkenntnissen nach Abbildung 1.2, ermöglicht aber eine einfache rechnerische Analyse.

Um den größten Störer klar vom Rauschboden unterscheiden zu können, müssen die Leistungen der diskreten Frequenzen des Rauschbodens deutlich kleiner als die Leistung des größten Störers sein. Da die Leistung des Quantisierungsrauschens unabhängig von der Länge der DFT ist, kann dies durch eine Vergrößerung der DFT-Länge erreicht werden. Das Verhältnis von Signalleistung zur Leistung einer diskreten Frequenz des Rauschbodens berechnet sich zu $SNR_{\text{dB}} + \Delta_{\text{dB}}$. Es ergibt sich

$$\Delta_{\text{dB}} = 10 \log \left(\frac{l_{\text{DFT}}}{2} \right), \quad (5.2)$$

wobei l_{DFT} für die DFT-Länge steht. Der Faktor $1/2$ ergibt sich daraus, dass sich das Quantisierungsrauschen auf $\frac{l_{\text{DFT}}}{2}$ diskrete Frequenzen verteilt. Anders ausgedrückt: Wird die DFT-Länge verdoppelt, sinkt der Rauschboden um 3 dB. Sollen folglich große Werte für das SFDR festgestellt werden, muss die DFT entsprechend lang sein.

Angenommen, das SFDR soll um 10 dB größer als das SNR sein und der Abstand vom größten Störer zum weißen Rauschboden soll ebenfalls 10 dB betragen. In diesem Fall muss die DFT 200 Punkte umfassen. Da die benötigte Simulationsdauer mit der DFT-Länge wächst, muss ein sinnvoller Wert für die DFT-Länge gefunden werden. Für den vorliegenden Umsetzer hat sich eine DFT-Länge von 128 als ausreichend erwiesen, da das SFDR selten um mehr als 10 dB größer als das SNDR ist.

5.1.1.3 Thermische Effekte in der Simulation

In den Simulationen wird das VBIC-Modell (engl.: vertical bipolar intercompany) eines Bipolartransistors verwendet [55]. Darin sind Elemente vorhanden, die das thermische Verhalten eines Bipolartransistors nachbilden. Dieses thermische Netzwerk besteht aus einer Wärmestromquelle, einem Wärmewiderstand und einer Wärmekapazität, die parallelgeschaltet sind und folglich einen thermischen Tiefpass darstellen. Der kleinste Bipolartransistor weist eine thermische Grenzfrequenz von circa 100 MHz auf.

Die Anforderung an die effektive Auflösung des A/D-Umsetzers ist so hoch, dass Temperatureffekte eine nicht zu vernachlässigende Rolle spielen. Wird der A/D-Umsetzer simuliert, so variieren SFDR und SNDR in Abhängigkeit vom gewählten Startzeitpunkt der DFT:

Wird die DFT auf Umsetzer-Ausgangsdaten kurz nach Simulationsbeginn durchgeführt, sind SFDR und SNDR deutlich niedriger als wenn das Zeitfenster für die Daten später beginnt, da die Transistoren anfangs noch nicht thermisch eingeschwungen sind. Für die Auswertung von Simulationen hat es sich bewährt, Daten ab der doppelten thermischen Zeitkonstante, folglich ab 20 ns, für die DFT zu verwenden.

In der Entwicklungsumgebung ist es nicht möglich, Bauelemente thermisch zu koppeln. Das heißt, selbst wenn im Layout zwei Transistoren direkt nebeneinander platziert werden, wird dies in der Simulation nicht berücksichtigt, obwohl sie sich in der Realität beeinflussen.

Bauelemente werden über Metalleitungen und Vias miteinander verbunden. Die Wärmeleitfähigkeit des Metalls, in diesem Fall Aluminium ($\lambda_{\text{Al}} = 236 \frac{\text{W}}{\text{m}\cdot\text{K}}$), ist um ein Vielfaches höher als die von Glas ($\lambda_{\text{SiO}_2} = 0,76 \frac{\text{W}}{\text{m}\cdot\text{K}}$) und vergleichbar mit der von Silizium ($\lambda_{\text{Si}} = 150 \frac{\text{W}}{\text{m}\cdot\text{K}}$). Demnach erfolgt die thermische Kopplung der Bauelemente hauptsächlich über das Substrat. Der Einfluss der Metallisierung dürfte demgegenüber vernachlässigbar sein, da das Volumen der Verbindungsleitungen im Vergleich zu dem vom Substrat sehr klein ist.

Tabelle 5.1: Simulationen mit variierendem R_{th} (3,05 GHz bei 6,4 GS/s, $U_{\text{in,pp,diff}} = 1,6 \text{ V}$) [37].

Eingangstransistoren Stufe 0	R_{th}	SFDR / dB	SNDR / dB
einfach	0	61,5	54,8
einfach	normal	51,1	49,3
doppelt	0	59,8	54,4
doppelt	normal	60,3	53,7

In [37] werden Simulationen für den vorliegenden Umsetzer im Entwicklungsstadium durchgeführt, bei denen der thermische Widerstand der Bauelemente auf 0 gesetzt wird. Dies entspricht dem Fall, dass alle Bauelemente gleich warm sind und sich durch Strom nicht zusätzlich erwärmen. Die Ergebnisse der Simulationen werden mit denen bei normalem Wärmeverhalten verglichen, siehe Tabelle 5.1.

Wird nur je ein Eingangstransistor in Stufe 0 verwendet (vergleiche Abbildung 3.10: Transistoren, an die u_{ein} und $\overline{u_{\text{ein}}}$ angeschlossen sind), so unterscheiden sich das SFDR um 10,4 dB, das SNDR um 5,5 dB, je nach Wahl von R_{th} . Bei Verwendung eines doppelten Eingangstransistors verschwindet diese Abhängigkeit, da über jeden Eingangstransistor nur noch die Hälfte des Stromes fließt und sich somit die maximal auftretenden Tempe-

raturdifferenz verkleinert.

Da die Bauelemente in der Simulation thermisch nicht gekoppelt sind, in der Realität jedoch eine Kopplung benachbarter Bauelemente vorhanden ist, die zu einem Temperaturausgleich führt, wurde im Entwurfsprozess (auch wegen des unempfindlicheren Verhaltens gegenüber statistischer Bauteilevariation) die Variante mit dem doppelten Eingangstransistor bevorzugt.

5.1.1.4 Unberücksichtigte Effekte in der Simulation

Neben der im letzten Abschnitt beschriebenen fehlenden Temperaturkopplung zwischen Bauelementen gibt es weitere Effekte, die in der Simulation unberücksichtigt bleiben. Stellvertretend sei die physikalische Umgebung der Transistoren angeführt: Es sind zum Beispiel Dotierungsgradienten oder Randeffekte gemeint, die Schaltungseigenschaften beeinflussen. Ihnen kann mit speziellen Maßnahmen im Layout entgegengewirkt werden [56].

5.1.1.5 Standard-Simulationseinstellungen

Die Standardeinstellungen für die nachfolgenden Simulationen sind, soweit nicht anders angegeben, in Tabelle 5.2 aufgelistet.

Tabelle 5.2: Standard-Simulationseinstellungen.

Parameter	Wert
Abtastrate	6,4 GS/s
Differenzieller Eingangsspannungshub	1,6 V
Referenzspannungen	$U_{\text{ref}} = 1,75 \text{ V}$ $U_{\text{ref}} = 2,75 \text{ V}$
DFT-Länge	128
Zeitfenster für DFT	20 - 40 ns
Thermischer Widerstand	normal
Temperatur	45 °C

5.1.2 Leistungsaufnahme

Tabelle 5.3 fächert die Leistungsaufnahme des Chips auf. Sie ist durch die hohen Versorgungsspannungen in Kombination mit dem Verlauf der Transitfrequenz f_T in Abhängigkeit vom Kollektorstrom I_C bedingt: Das Maximum der Transitfrequenz liegt bei einem Kollektorstrom von $I_C = 2 \text{ mA}$ [3].

Tabelle 5.3: Simulierte Leistungsaufnahme.

Schaltungsteil	Leistungsaufnahme
Analoger Kern mit Taktung	$5,1 \text{ V} \cdot 1,20 \text{ A} = 6,12 \text{ W}$
Digitalteil mit Taktung	$3,0 \text{ V} \cdot 1,51 \text{ A} = 4,54 \text{ W}$
28 Ausgangstreiber	$3,0 \text{ V} \cdot 1,01 \text{ A} = 3,03 \text{ W}$
Gesamtschaltung	13,69 W

Die einzelnen Schaltungskomponenten sind bezüglich der Leistungsaufnahme nicht optimiert.

Auf dem Chip sind insgesamt 28 Ausgangstreiber für Entscheidersignale, das PRBS-Signal, den Referenztakt und ein Test-Taktsignal. 17 dieser Ausgangstreiber dienen Testzwecken und werden für den eigentlichen A/D-Umsetzer-Betrieb nicht benötigt. Die Leistungsaufnahme der 17 Ausgangstreiber beträgt circa 2 W.

Auf Grund der hohen Leistungsaufnahme müssen spezielle Maßnahmen zur Kühlung des Chips getroffen werden, siehe Kapitel 4.

5.1.3 Schaltplan- und Layout-Simulationen

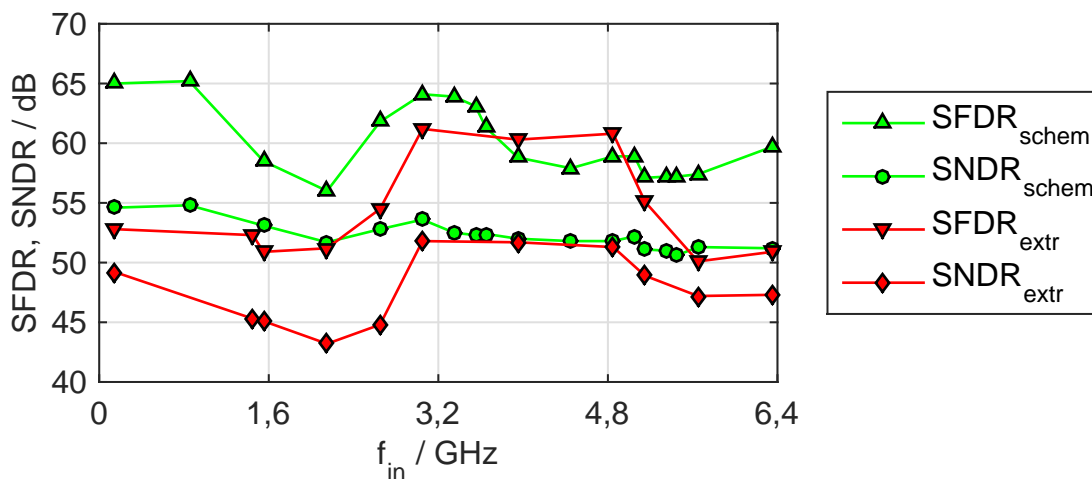
**Abbildung 5.1:** Simuliertes SFDR und SNDR vom Umsetzer.

Abbildung 5.1 zeigt das simulierte SNDR und SFDR des Umsetzers auf Schaltplanebene und nach der RLC-Extraktion parasitärer Elemente im Layout (Layout-Simulation). Da nicht der ganze analoge Kern extrahiert werden kann, werden für die Layout-Simulationen ausschließlich die parasitären Elemente der 50 Ω -Eingangsleitung, der F/H-Schaltung, der

CMR-Schaltung, der Referenzspannungsleiter, der Stufe 0 und die dazugehörige Taktung extrahiert.

SNDR und SFDR sind für die Simulation auf Schaltungsebene bis 6,4 GHz besser als 50,6 dB beziehungsweise 56,0 dB. Da der Umsetzer bei einem differentiellen Eingangsspannungshub von 1,6 V nicht komplett angesteuert wird, sind nicht die maximal 58,7 dB SNR nach Absatz 3.3.3 möglich, sondern 56,7 dB. Die Simulation ergibt ein minimales SNDR von 50,6 dB, das heißt, dass 6,1 dB durch Nichtidealitäten in der Schaltung verloren gehen.

Die Layout-Simulationen zeigen den Einfluss der parasitären Elemente deutlich: Sowohl SNDR als auch SFDR sind in der Layout-Simulation stellenweise deutlich kleiner als in der Schaltungs-Simulation. Wird die Abtastrate von 6,4 GS/s auf 5 GS/s gedrosselt, so sind die Ergebnisse mit denen der Schaltungs-Simulation vergleichbar, was stark auf eine Limitierung durch einen Bandbreite-Effekt hindeutet.

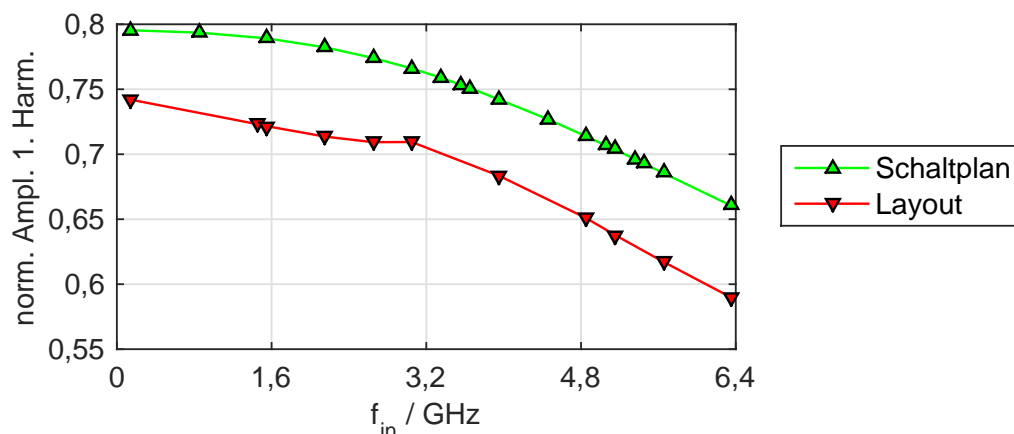


Abbildung 5.2: Normierter, simulierter Frequenzgang.

Abbildung 5.2 zeigt den Verlauf der Amplitude der 1. Harmonischen des Ausgangssignals des Umsetzers über der Eingangssignalfrequenz. Die Werte sind so normiert, dass Vollaussteuerung einem Wert von 1 entspricht. Die parasitären Elemente im Layout dämpfen die Signale, dadurch resultieren kleinere Ausgangsamplituden in der Simulation mit extrahierten Bauteilen im Vergleich zur Schaltungs-Simulation. Bei einer Anregungsfrequenz von 6,35 GHz ist die Amplitude der 1. Harmonischen um 2,0 dB gesunken.

5.1.4 Simulationen unter Berücksichtigung extremer Prozessvariation

Die sogenannten Corner-Simulationen decken die Extremfälle der Prozessvariation ab, siehe Abschnitt 2.5.3. Dazu sind für die verschiedenen Bauelemente der Technologie SG25H1 in den Modell-Dateien Werte hinterlegt, die zum Beispiel den ohmschen Widerstand aller Widerstände je nach Widerstandstyp um einen bestimmten Prozentsatz größer (R_+) oder kleiner (R_-) oder bei Transistoren die parasitären Kapazitäten und Widerstände aller Transistoren größer (wcs , engl.: worst case) oder kleiner (bcs , engl.: best case) als im Standardfall (R_0 beziehungsweise typ , engl.: typical) machen. Auch unter diesen extremen Prozessvariationen muss der A/D-Umsetzer prinzipiell funktionsfähig bleiben.

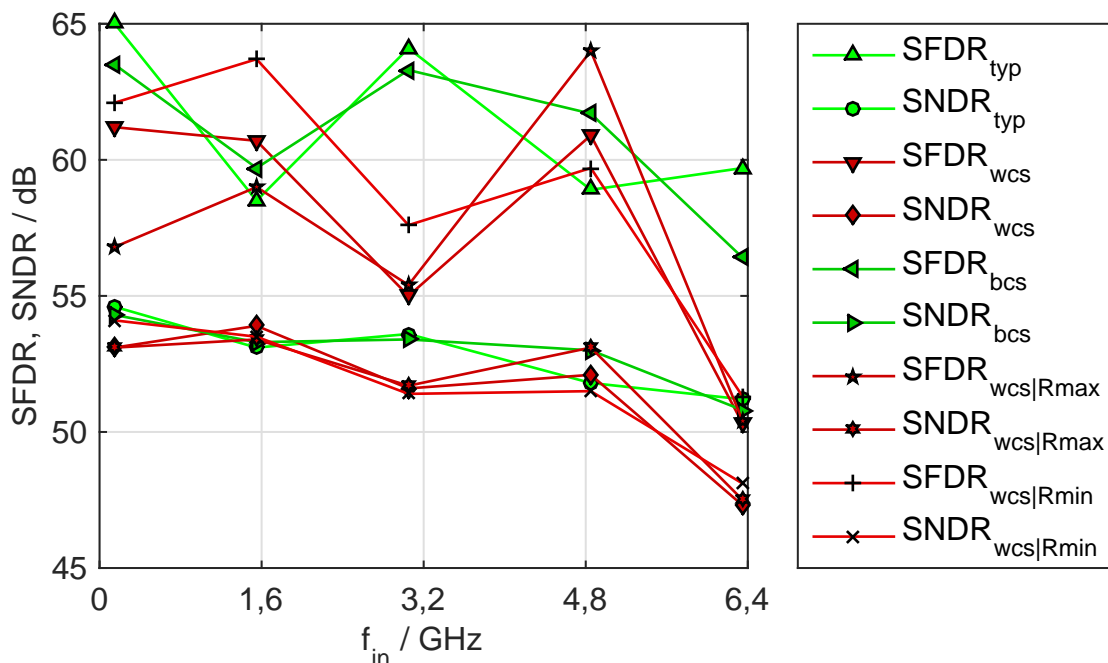


Abbildung 5.3: Corner-Simulationen.

Abbildung 5.3 zeigt die Ergebnisse ausgewählter Corner-Simulationen. Folgende Punkte sind anzumerken:

- Es ist keinesfalls selbstverständlich, dass sich eine Schaltung bei extremer Prozessvariation derart robust verhält. Während der Entwicklung tritt zum Beispiel der Fall auf, dass die Ergebnisse in der Corner $typ|R_0$ gut sind, der Umsetzer in der Corner $wcs|R_-$ jedoch sehr schlecht funktioniert. Die Analyse ergibt, dass die geschalteten Emitterfolger während der Haltephase nicht mehr sperren. Daraufhin wird der zusätzliche Widerstand R_{SEF} eingefügt, siehe Abbildung 3.12.

- Die Prozessvariation betrifft nicht nur Kapazitäten, sondern auch Widerstände. Daraus folgt, dass sich nicht nur die Transitfrequenz f_T ändert, sondern zum Beispiel auch die Verstärkungen von vergleichenden Vorverstärkern und Faltverstärkern. Dies nimmt aus systemtheoretischer Sicht Einfluss auf das erreichbare SFDR, siehe Kapitel 2.4.
- Die Ergebnisse der Corner-Simulationen $typ|R_0$ und $bcs|R_0$ sind beinahe gleich. Große Änderungen ergeben sich in der Transistor-Corner wcs , sowohl im SFDR als auch im SNDR. Der Abfall von SFDR und SNDR bei hohen Eingangssignalfrequenzen lässt sich durch einen unzureichend genauen Einschwingvorgang erklären. Ein zusätzliches Aktivieren der Widerstands-Corner ändert am SNDR vernachlässigbar wenig.

Corner-Simulationen decken zusätzlich einen weiteren, wichtigen Aspekt ab: Simulationen beruhen auf Modellen; Modelle bilden die Wirklichkeit vereinfacht ab. Je nachdem, wie und unter welchen Umständen die Transistorparameter bei der Charakterisierung extrahiert werden, stimmt das Modell für verschiedene Simulationsfälle mehr oder weniger genau mit der Realität überein. Der Fall, dass ein Transistor abrupt an- und abgeschaltet wird, ist komplizierter zu modellieren als ein Transistor, der auf eine Sinus-Anregung mit kleiner Amplitude an seiner Basis reagiert. Für den ersten Fall kann es deshalb vorkommen, dass das tatsächliche Verhalten eines Transistors für bestimmte Arbeitspunkte vom simulierten, typischen (*typ*) Verhalten abweicht. Durch Corner-Simulationen kann dieser Unsicherheit begegnet werden.

Anlass zu dieser Vermutung gibt der erste im Projekt gefertigte A/D-Umsetzer: Die Process-Control-Monitoring-Daten weisen auf einen typischen Prozess hin. Das unter bestimmten Bedingungen gemessene Verhalten des Umsetzers stimmt jedoch eher mit der Prozess-Corner wcs überein.

5.1.5 Simulationen unter Berücksichtigung statistischer Bauteilevariation

Der A/D-Umsetzer verfügt über keine Möglichkeiten zur Kalibrierung. Deshalb ist es wichtig, dass die Minderung von SFDR und SNDR durch statistische Bauteilevariation nach Abschnitt 2.5.4 im Rahmen bleibt. Die schaltungstechnischen Maßnahmen zur Reduktion der Auswirkungen auf beide Kennwerte wurden in Kapitel 3.2.2.2 vorgestellt. An dieser Stelle sollen nun die Ergebnisse der dazugehörigen Simulationen präsentiert werden.

Aufgrund der langen Rechenzeit auf begrenzten, geteilten Ressourcen werden pro Frequenzpunkt lediglich zehn Simulationen durchgeführt, wobei die Parameter der Bauelemente in jeder Simulation per Pseudo-Zufall neu ermittelt werden.

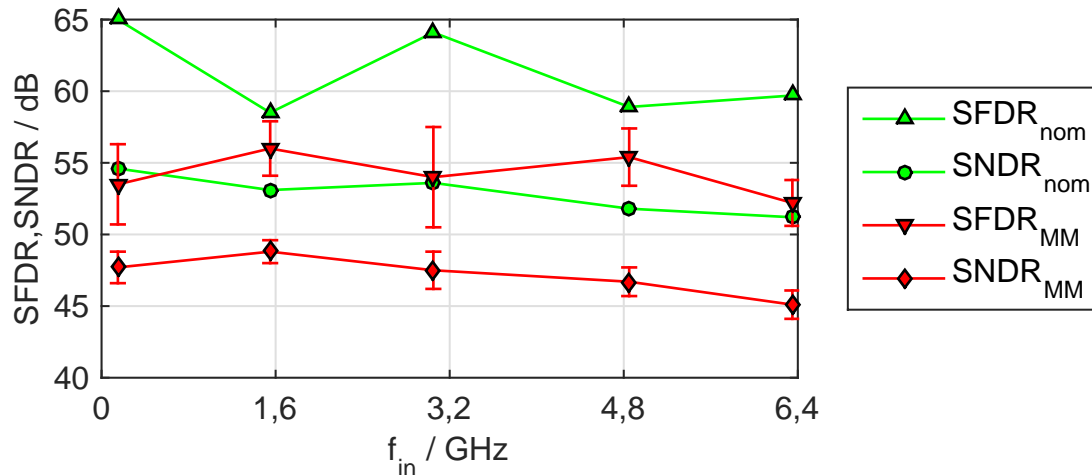


Abbildung 5.4: Simulationen ohne (nom) und mit (MM) statistischer Bauteilevariation.

Die Simulationsergebnisse sind in Abbildung 5.4 mit Fehlerbalken für die Standardabweichung dargestellt, zum Vergleich dazu sind ebenfalls die Ergebnisse ohne statistische Bauteilevariation abgebildet. Die Fehlerbalken geben die Standardabweichung vom Mittelwert an.

Während in den Simulationen ohne statistische Bauteilevariation nur die 3. und 5. Harmonische, verursacht durch die F/H-Schaltung am Eingang, deutlich aus dem Rauschboden des DFT-Spektrums hervortreten, kommen durch die Bauteilevariation eine Vielzahl weiterer Harmonischer dazu, die von den vergleichenden Vorverstärkern mit Faltung in Stufe 0 verursacht werden.

Werden die Auswirkungen von parasitären Elementen im Layout, siehe Abbildung 5.3, mit den Auswirkungen statistischer Bauteilevariation verglichen, so ergibt sich, dass sich die beiden Effekte ungefähr gleich stark auf SFDR und SNDR auswirken. Dies ist ein Indiz für eine ausgewogene Optimierung.

In [37] wird unter den gleichen Bedingungen der Vorgänger des hier präsentierten Umsetzers (neun statt 27 Vorverstärkern, vergleiche Abbildung 3.9) simuliert: Der Mittelwert des SFDRs beträgt 47,5 dB bei einer Standardabweichung von 3,2 dB, für das SNDR ergibt sich $42,2 \pm 2,4$ dB. Sowohl SFDR als auch SNDR liegen beim verwendeten Konzept deutlich höher, die Standardabweichung für das SFDR geht deutlich zurück.

5.1.6 Rausch-Simulationen

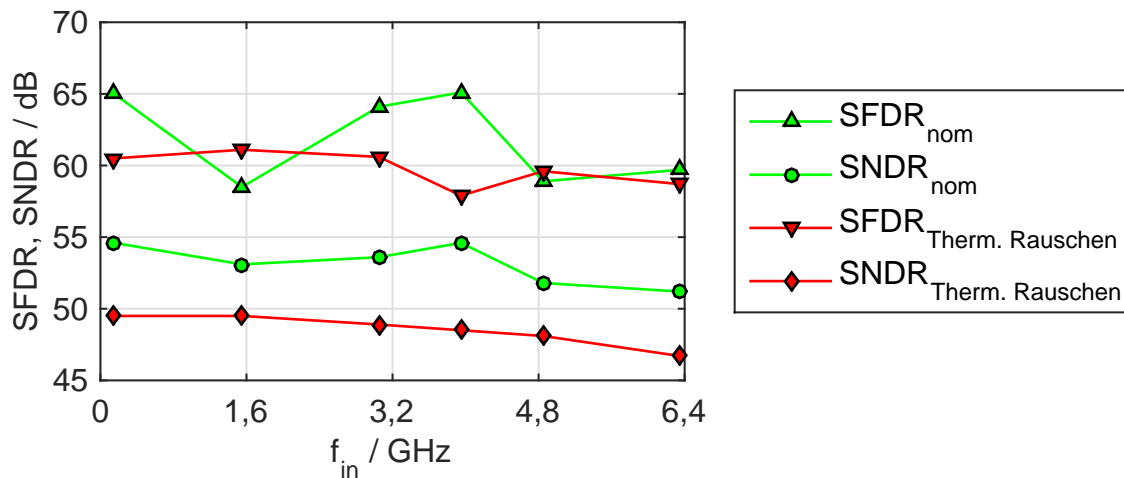


Abbildung 5.5: Rausch-Simulationen.

Abbildung 5.5 zeigt SFDR und SNDR in Abhängigkeit von der Eingangssignalfrequenz bei einer thermischen Rauschbandbreite von 250 GHz.

Theoretisch sollte sich das SFDR nicht ändern, da das Rauschen die Nichtlinearitäten nicht beeinflusst.

Bei Simulationen mit thermischem Rauschen schwankt das SFDR deutlich weniger über der Frequenz. Dabei handelt es sich sehr wahrscheinlich um einen Dithering-Effekt [2]: Das thermische Rauschen addiert sich zum Quantisierungsrauschen, wodurch sich die Rauschanteile gleichmäßiger auf die diskreten Frequenzen verteilen.

Das SNDR ist verglichen zur Simulation ohne thermisches Rauschen um circa 5 dB geringer, was beinahe einem Bit Auflösung entspricht. Die Auswirkungen auf das SNDR von statistischer Bauteilevariation oder parasitären Elementen sind im Vergleich zu den Auswirkungen des thermischen Rauschens ungefähr gleich bedeutend.

Während der Entwicklung des Umsetzers wird nicht untersucht, in wie weit sich das Verhalten des Umsetzers gegenüber thermischem Rauschen verbessern lässt. Hierzu müssten vor allem die Komponenten am Eingang des Umsetzers untersucht werden.

5.1.7 Kombinierte Effekte

In den vorangegangenen Kapiteln wurden die einzelnen negativen Effekte getrennt betrachtet. Dies ist bei einer Messung nicht möglich. Deshalb folgen Ergebnisse von Simulationen, die gleichzeitig einen Teil des Layouts, thermisches Rauschen und statistische

Bauteilvariation berücksichtigen. Um sie besser mit den Messungen vergleichen zu können, wird die Abtastrate auf 6 GS/s und die Eingangsamplitude auf $-1 \text{ dBFS} \hat{=} 0,89 \text{ V}$ gestellt. Es muss jedoch beachtet werden, dass die Ergebnisse von Simulation und Messung auch dann nicht exakt verglichen werden können, da die Leitungen auf der HF-Platine und die Bonddrähte nicht eigenständig charakterisierbar sind. Theoretisch wäre es möglich, die Eingangsamplitude so lange in der Simulation zu variieren bis die Ausgangsamplitude -1 dBFS beträgt. Aus zeitlichen Gründen ist dies im Rahmen dieser Arbeit jedoch nicht möglich.

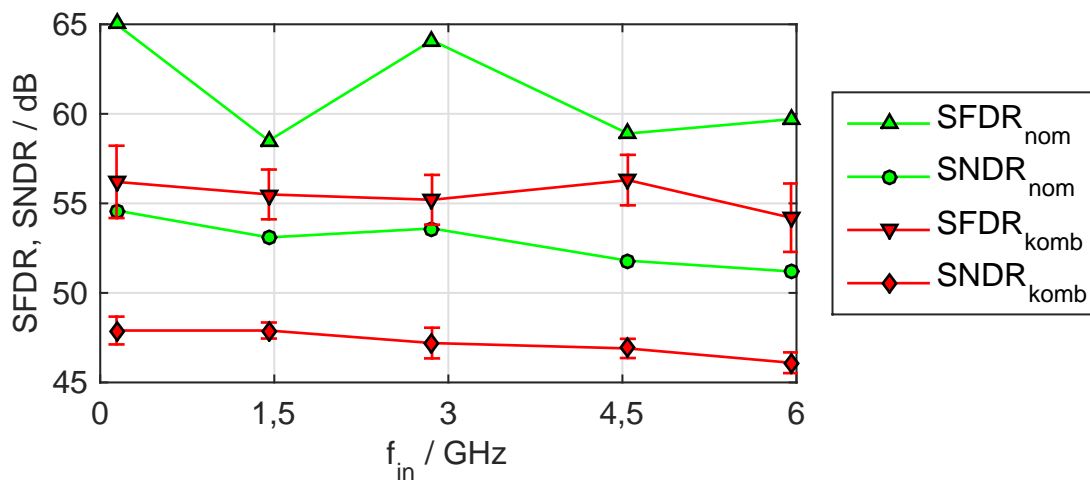


Abbildung 5.6: Kombinierte Effekte bei einem Eingangsspegel von -1 dBFS , 6 GS/s.

Abbildung 5.6 zeigt die Simulationsergebnisse.

5.2 Messung

Während den Messungen sind niemals Ausreißer im Ausgangssignal aufgetreten. Daraus wird geschlossen, dass sowohl der Digitalteil mit Ausgangstreibern, als auch die nachfolgende Signalverarbeitung durch FPGA und PC fehlerfrei funktionieren. Deshalb wird auf die Darstellung der Augen der Ausgangstreiber ebenso wie auf die Analyse der Bitfehler-rate der PRBS-Daten des Umsetzers im entsprechenden Modus verzichtet.

Daraus folgt, dass aus den Messungen auf das Verhalten des analogen Kerns geschlossen werden darf.

Abbildung 5.7 zeigt beispielhaft ein gemessenes Spektrum des Umsetzers bei einer 8192-DFT. Aus dem flachen Rauschboden ragen die Signallinie und Harmonische, die bis zur 29. mit ihrem Index angezeigt werden. Andere Störer oder Berge im Rauschboden, die

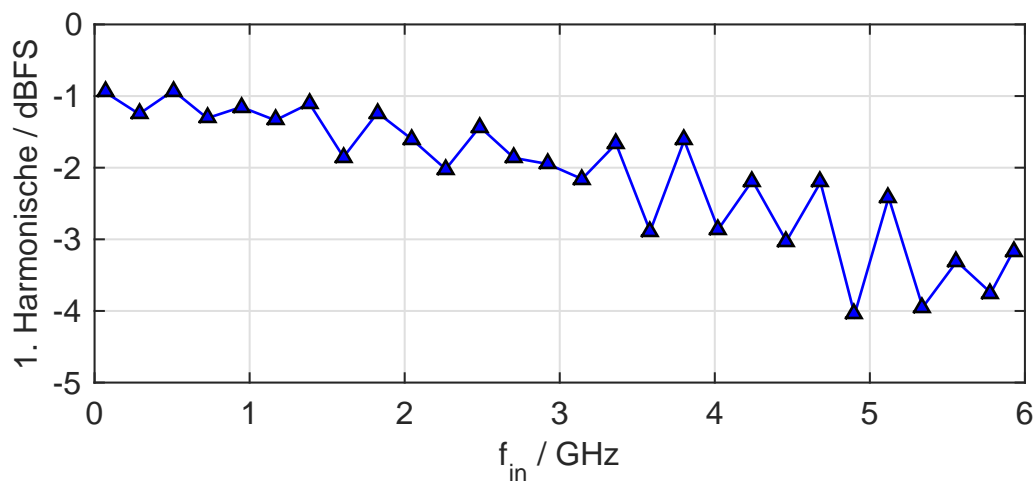
Tabelle 5.4: Leistungsaufnahme.

Simulation	$5,1 \text{ V} \cdot 1,20 \text{ A} + 3,0 \text{ V} \cdot 2,52 \text{ A} = 13,7 \text{ W}$
Messung	$5,1 \text{ V} \cdot 1,08 \text{ A} + 3,0 \text{ V} \cdot 2,22 \text{ A} = 12,2 \text{ W}$

betreffenden Spannungen über Messspitzen auf der Platine so nah wie möglich am Chip abgegriffen, um Spannungsabfälle auf den schmalen Zuführungen berücksichtigen zu können. Der Spannungsabfall über die Bonddrähte kann auf diese Weise nicht mitberücksichtigt werden.

5.2.2 Analoge Eingangsbandbreite

Zur Bestimmung der analogen Eingangsbandbreite des Umsetzers muss der Messaufbau kalibriert werden, da das analoge Testsignal HF-Kabel, ein Filter und ein Hybrid durchläuft, die keinen konstanten Amplituden-Frequenzgang aufweisen [50]. Eigentlich müssten die HF-Platine inklusive SMP-Buchsen und Bonddrähte ebenfalls kalibriert werden, dies ist aufgrund der Bauform jedoch nicht möglich. Somit geht die durch die HF-Platine verursachte Dämpfung in die analoge Eingangsbandbreite des Chips mit ein.

**Abbildung 5.8:** Frequenzgang.

Die Kalibrierung der Amplitude des Eingangssignals wird sowohl mit einem Spektrumanalysator als auch mit einem Leistungsmesskopf mit bolometrischem Detektor vorgenommen. Beide Kalibrierungen ergeben die gleichen Korrekturwerte für die Amplituden. Abbildung 5.8 zeigt die Ergebnisse der Bandbreite-Messung. Weder die Layout-Simulation in Abbildung 5.2 noch die Simulation der Leitung für das analoge Eingangssignal der HF-

Platine mit Bonddrahtmodell zeigen Anzeichen von Resonanzstellen. Unter der Annahme, dass die Simulationen alle relevanten Effekte berücksichtigen, kommen somit nur noch die SMP-Buchsen als Ursache der Amplitudensprünge im Bereich von 3 bis 6 GHz in Frage. Die Simulation der Leitung für das analoge Eingangssignal der HF-Platine ergibt eine Dämpfung von 0,6 dB bei 6 GHz. Die Dämpfung des Umsetzereingangs nach Abbildung 5.2 beträgt 2,0 dB bei 6 GHz. Somit stimmen Simulations- und Messergebnisse überein. Ein Vergleich mit [34] ergibt, dass die Dämpfung des Umsetzereingangs der Dämpfung der F/H-Schaltung entspricht.

5.2.3 Dynamische Parameter

Unter dynamischen Parametern werden unter anderem SNDR, SFDR und SNR verstanden. Üblicherweise werden diese Werte bei konstanter Umsetzer-Ausgangsamplitude angegeben. Wird dieses Messverfahren angewendet, wird die F/H-Schaltung je nach Eingangsfrequenz unterschiedlich stark ausgelenkt, da die Dämpfung der F/H-Schaltung bei niedrigen Eingangsfrequenzen niedriger ist als bei hohen. Mit zunehmender Eingangsamplitude der F/H-Schaltung nehmen die Leistungen der Harmonischen zu.

Der Vorteil dieses Messverfahrens ist, dass eine aufwändige Kalibrierung des Messaufbaus entfällt.

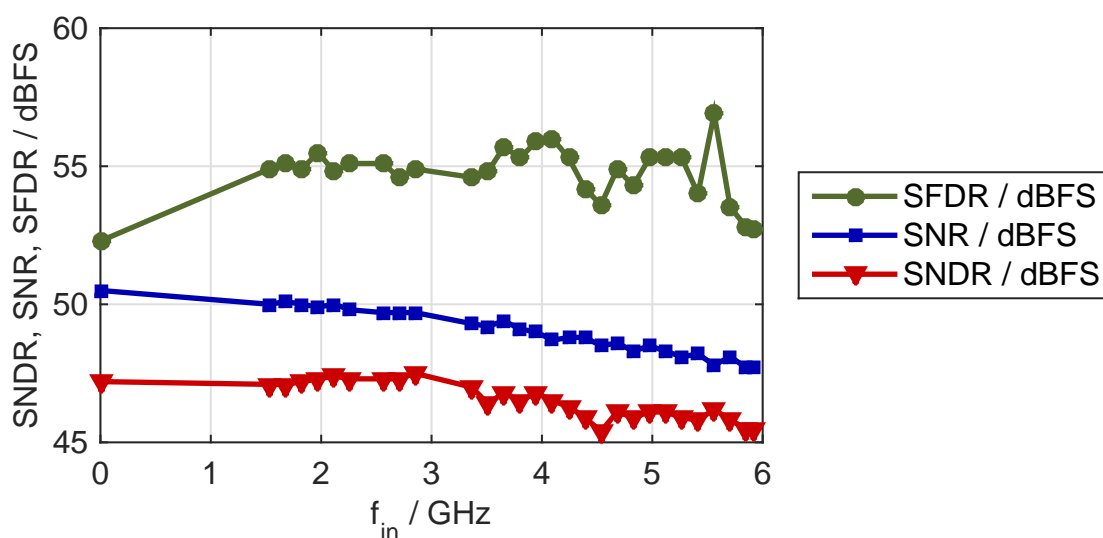


Abbildung 5.9: Messung von SFDR, SNDR und SNR über der Eingangsfrequenz bei einem Umsetzer-Ausgangspegel von -2 dBFS bei 6 GS/s.

Abbildung 5.9 zeigt den Verlauf von SFDR, SNR und SNDR über der Frequenz bei einem Eingangspegel von -2 dBFS und einer Abtastrate von 6 GS/s. Auf Grund fehlender Filter

befinden sich im Bereich von 5 MHz bis 1,5 GHz keine Messpunkte. Für diese Messreihe werden abwechselnd drei Filter für das analoge Eingangssignal verwendet, siehe Anhang A. Der Eingangspegel vom Signal ist so gewählt, dass die F/H-Schaltung bei 6 GHz nicht übersteuert wird.

Das SNDR ist bis 6 GHz besser als 45 dBFS, das SFDR besser als 52 dBFS.

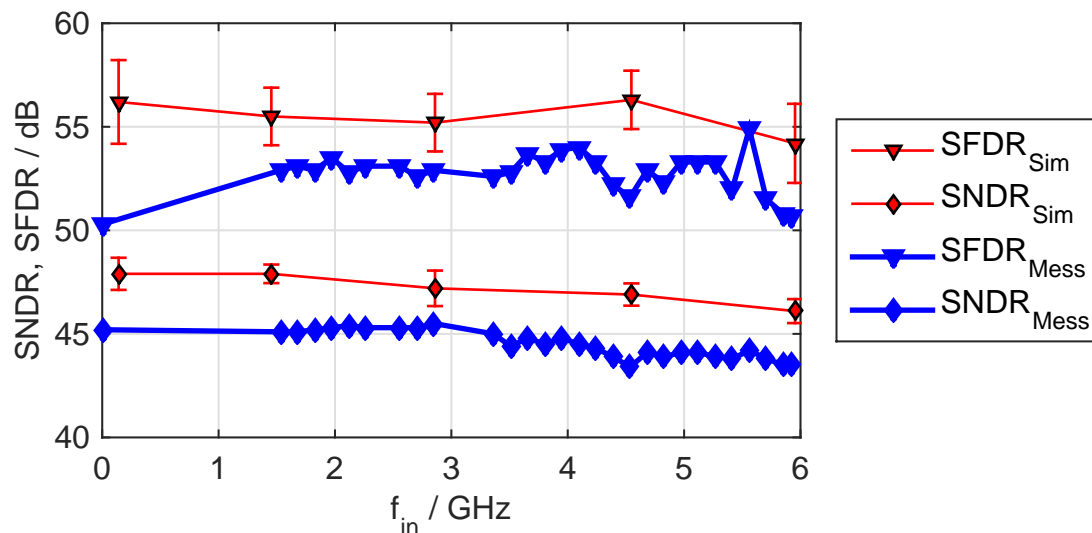


Abbildung 5.10: Vergleich von SFDR und SNDR über der Eingangsfrequenz von Simulation (Eingangspegel von -1 dBFS) und Messung (Ausgangspegel von -2 dBFS) bei 6 GS/s.

Ein Vergleich der Mess- mit den Simulationsergebnissen aus Abbildung 5.6 ist in Abbildung 5.10 dargestellt. Da in der Simulation der Eingangspegel und in der Messung der Ausgangspegel konstant gehalten werden, können die Kurven nur bedingt verglichen werden. Auf Grund des Frequenzgangs der 1. Harmonischen, siehe Abbildung 5.2, existiert jedoch eine Frequenz, bei der die entsprechenden Werte exakt vergleichbar sind. Die gemessenen Verläufe sind über einen weiten Eingangsfrequenzbereich um circa 2 bis 3 dB geringer als die simulierten Verläufe. In diesen Bereich fällt die gesuchte Frequenz.

Die beobachtbare Abweichung resultiert aus Effekten, die in den Modellen entweder nicht enthalten oder ungenügend genau modelliert sind.

Die in den Modellen nicht enthaltenen Effekte können sich einerseits unter den in Abschnitt 5.1.1.4 beschriebenen Effekten befinden. Andererseits kann die Abweichung an der Modellierung der Testumgebung im Simulationsprogramm liegen: In der Testumgebung sind Signalquellen und Spannungsversorgungen ideal; mögliches Übersprechen auf der HF-Platine findet keinen Eingang in die Simulation; die Bonddrähte sind nicht modelliert.

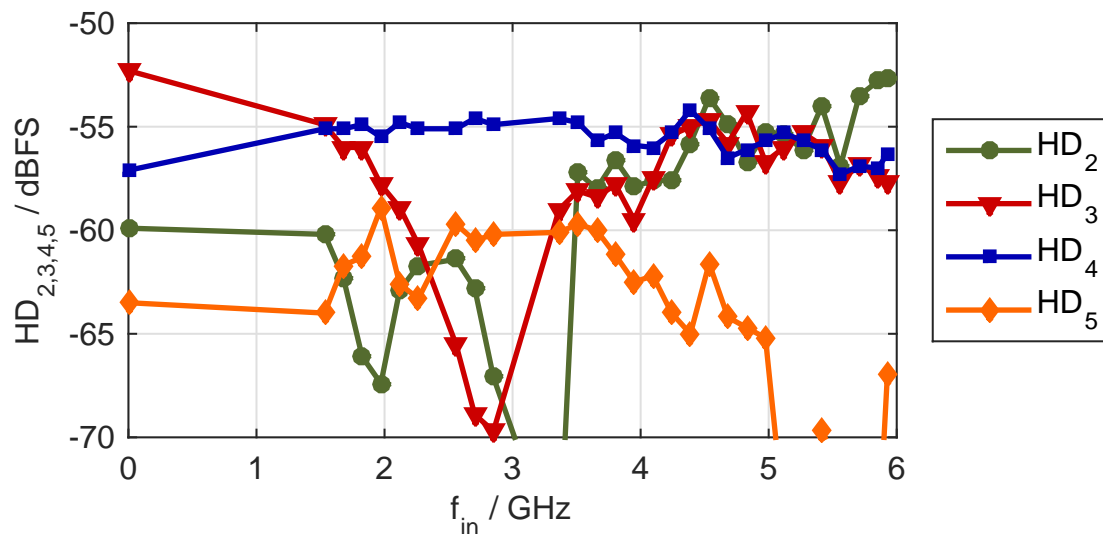


Abbildung 5.11: Verlauf des Abstands von Harmonischen zum Signal über der Signalfrequenz bei einem Umsetzer-Ausgangspegel von -2 dBFS bei 6 GS/s.

Abbildung 5.11 zeigt den Verlauf des Abstands der 2. bis zur 5. Harmonischen zum Signal über der Signalfrequenz. Der nichtkonstante Verlauf der Pegel ist hauptsächlich durch die nichtkonstante Aussteuerung der F/H-Schaltung bedingt, wodurch die Kennlinie des Umsetzers verschieden stark ausgesteuert wird, dazu mehr in Abschnitt 5.2.4.

5.2.4 Integrale Nichtlinearität bei dynamischer Messung

Abbildung 5.12 zeigt den Verlauf des Abstands der 2. bis zur 5. Harmonischen zum Signal über dem Ausgangspegel. Parameter ist die Signalfrequenz. Bei einer Signalfrequenz von 5,56 GHz können Pegel über -1 dBFS nicht mehr vom Signalgenerator erzeugt werden. Die Übersteuerung der F/H-Schaltung ist vor allem für große Pegel bei 1,61 und 3,36 GHz gut zu erkennen. Sie äußert sich in der Begrenzung des SFDRs durch die 3. Harmonische. Dämpft die F/H-Schaltung das Signal im Fall großer Signalfrequenzen ausreichend stark, siehe den Verlauf bei einer Signalfrequenz von 5,56 GHz, so wird die F/H-Schaltung nicht übersteuert, die 3. Harmonische begrenzt das SFDR für große Pegel nicht.

Der Verlauf der einzelnen Harmonischen ändert sich über der Signalfrequenz kaum, wenn die Effekte durch eine übersteuerte F/H-Schaltung ausgeblendet werden. Diese Tatsache erlaubt den Schluss, dass der Verlauf der Kurven eine statische Ursache besitzt. Im Falle des Umsetzers ist dies die durch statistische Bauteilevariation verursachte Verbiegung der Übertragungskennlinie. Im Gegensatz zur Übersteuerung der F/H-Schaltung, die sich im Frequenzspektrum durch ungerade Harmonische äußert, erfolgt die Verbiegung der

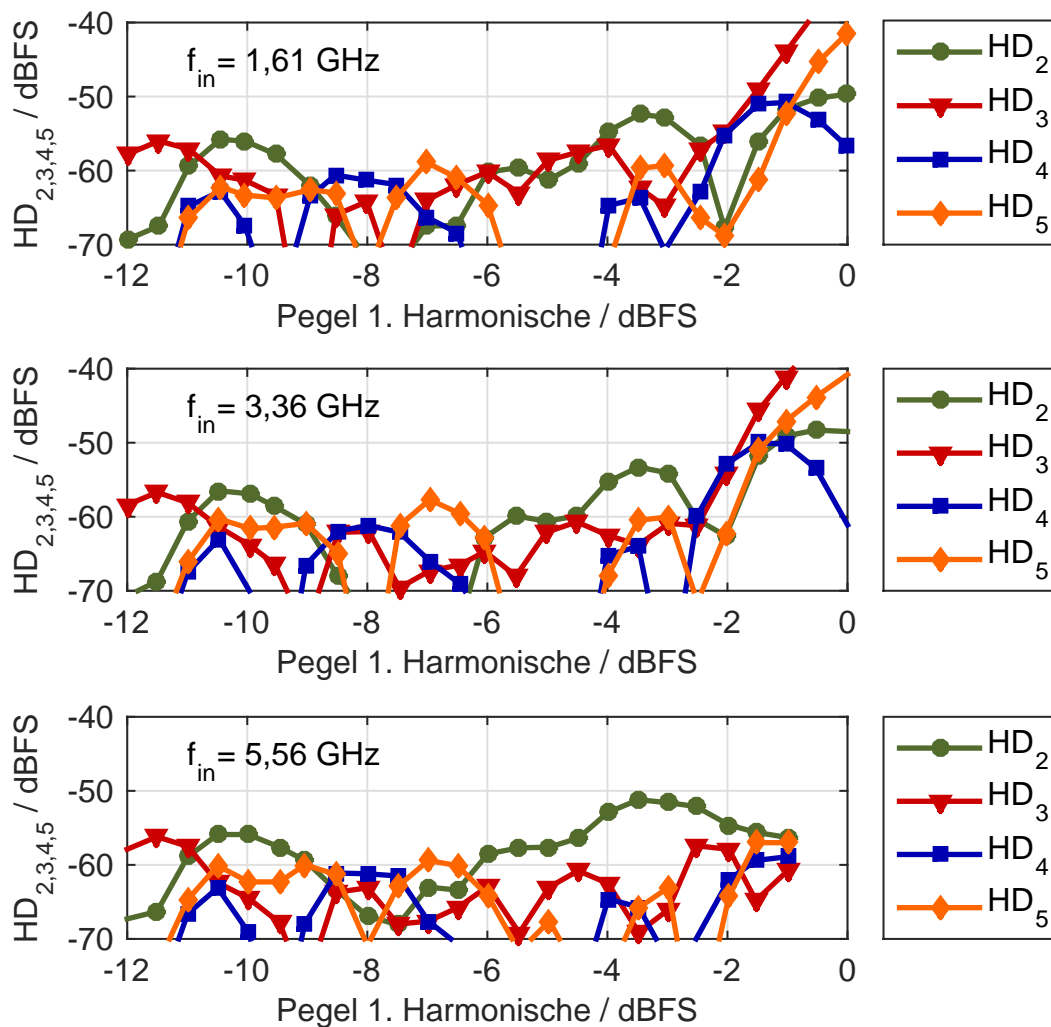


Abbildung 5.12: Verlauf des Abstands von Harmonischen zum Signal über dem Ausgangspegel bei verschiedenen Signalfrequenzen bei 6 GS/s.

Kennlinie zufällig. Dadurch können auch gerade Harmonische entstehen.

Ein gängiges Mittel zur Charakterisierung von Umsetzern ist die statische integrale Nichtlinearität (INL), die die Abweichung der tatsächlichen, statischen von der idealen Übertragungskennlinie darstellt. Die dazugehörigen Messungen müssen ohne DC-Blocker durchgeführt werden. Da die zur Verfügung stehenden Parameteranalyser beim Umschalten von einer Spannung zur nächsten kurzzeitig 0 V an den Ausgang legen, kann die statische INL nicht ermittelt werden, da die Messung den Umsetzereingang zerstören würde.

Es ist jedoch möglich eine dynamische INL zu ermitteln, indem eine Datenfolge aufge-

nommen und daraus ein Fit-Sinus ermittelt wird. Zur Erstellung der dynamischen INL müssen die Abweichungen sortiert werden.

Der Vorteil der statischen zur dynamischen INL ist, dass Fehler auf Grund transienter Umladeprozesse oder Gedächtniseffekte ausgeblendet sind.

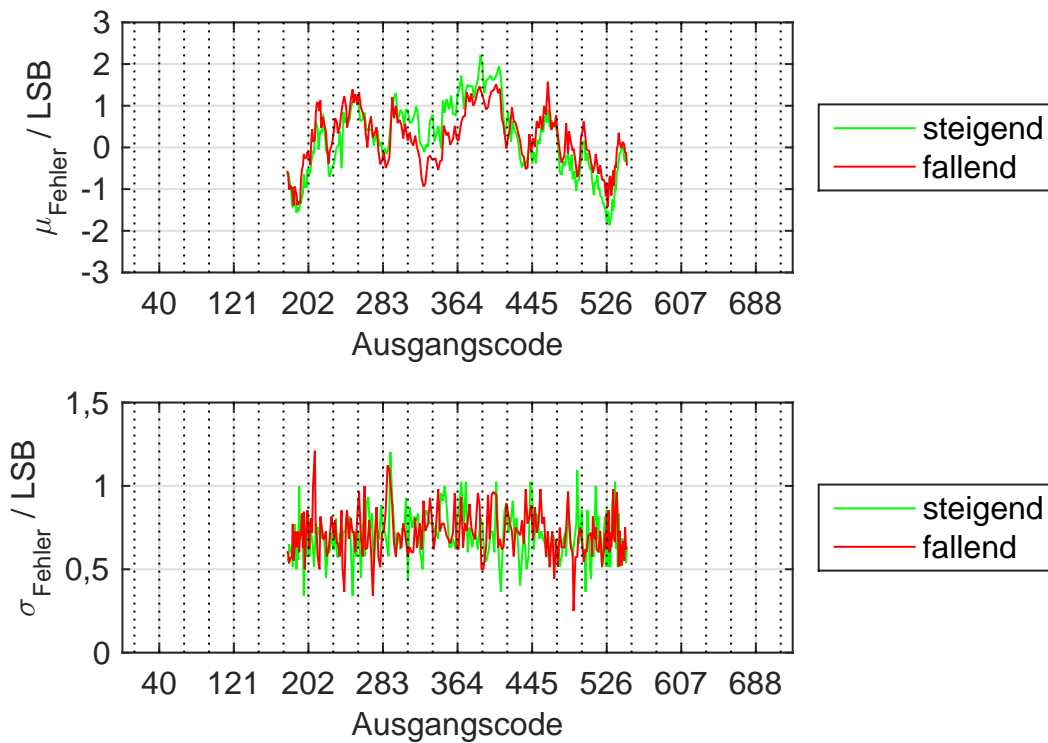


Abbildung 5.13: Dynamische INL bei einer Signalfrequenz von 3,36 GHz und einem Pegel von $-3,0$ dBFS bei 6 GS/s.

Abbildung 5.13 zeigt ein Beispiel einer dynamischen INL. Je nachdem, welcher Fitting-Algorithmus gewählt wird, ergibt sich eine andere dynamische INL. Für die dynamische INL werden hier die steigende und die fallende Flanke des Sinus getrennt. Dadurch können mögliche Gedächtniseffekte zum Vorschein gebracht werden.

Die Abbildung 5.13 gibt Aufschluss über die Herkunft der Harmonischen aus Abbildung 5.12. Die INL erscheint grob betrachtet als eine nach unten geöffnete Parabel, woraus eine 2. Harmonische resultiert. Lokal sind Berge und Täler sichtbar, die durch statistische Bauteilvariation der vergleichenden Vorverstärker in Stufe 0 bedingt sind. Steigende und fallende Flanken sind größtenteils, aber nicht immer fast identisch. Der Umsetzer verfügt folglich über ein Gedächtnis.

Entsprechend dem Verhalten der Verläufe in Abbildung 5.12 ändern sich auch die lokalen

Berge und Täler nicht stark über der Eingangssignalfrequenz und sind deshalb vermutlich im einfachsten Ansatz über eine Nachschlagetabelle (engl.: look-up table) korrigierbar. Über ein digitales Filter könnte der Gedächtniseffekt modelliert werden. Die nachträgliche Linearisierung des Umsetzers ist jedoch nicht Teil dieser Arbeit.

5.2.5 Streuung bei verschiedenen Umsetzer-Aufbauten

Auf dem Chip gibt es keine Möglichkeit zur Kalibrierung. Daher ist es wichtig, die Streuung der Kennwerte des Umsetzers zu betrachten. Dies geschieht im Folgenden anhand dreier Aufbauten.

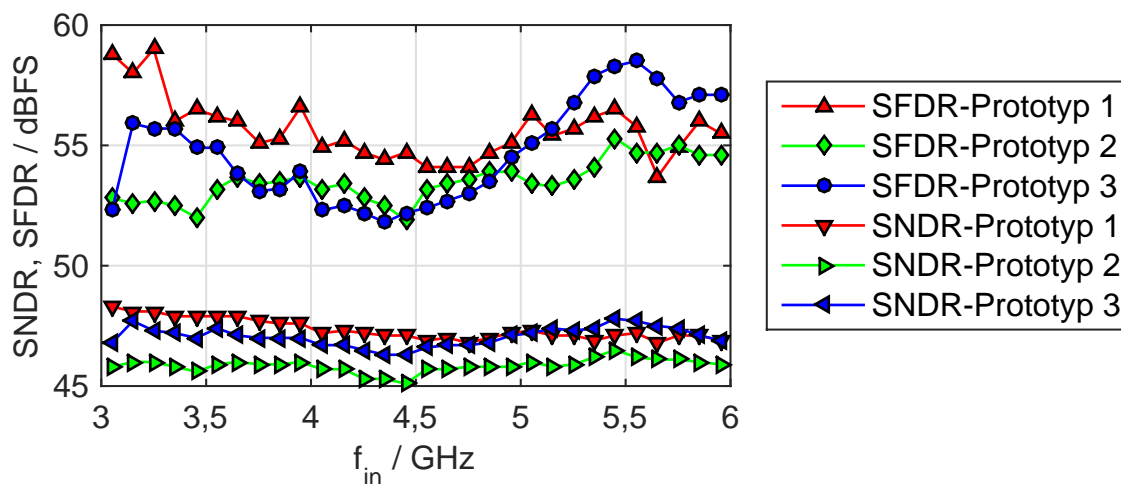


Abbildung 5.14: Vergleich von SFDR und SNDR bei verschiedenen Aufbauten. -1 dBFS, 6 GS/s.

Abbildung 5.14 zeigt den Vergleich der Messergebnisse des SFDRs und des SNDRs über der Signalfrequenz bei verschiedenen Aufbauten. Das SFDR und SNDR des Umsetzers entspricht den Minima der beiden Werte im 2. Nyquistband. Das SFDR und das SNDR der drei Aufbauten unterscheidet sich maximal um 2 dB.

Abbildungen 5.15 und 5.16 zeigen den Vergleich der Messergebnisse der 2. und 3. Harmonischen bei verschiedenen Aufbauten. Während die 3. Harmonischen bis auf die Kerbe bei $\sim 5,5$ GHz weitgehend identisch verlaufen, ist dies bei den 2. Harmonischen nicht der Fall. Die Erklärung bedürfte einer genaueren Analyse.

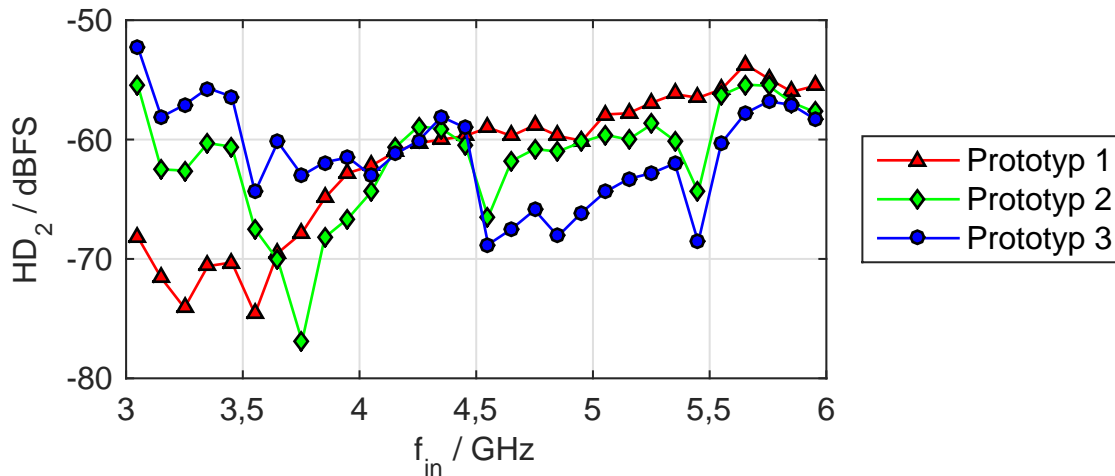


Abbildung 5.15: Vergleich der 2. Harmonischen bei verschiedenen Aufbauten. -1 dBFS, 6 GS/s.

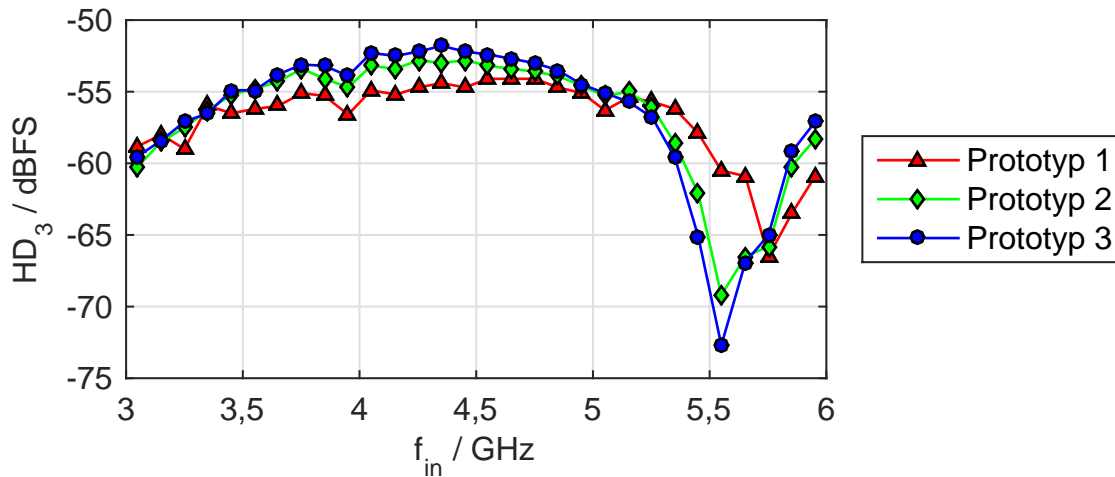


Abbildung 5.16: Vergleich der 3. Harmonischen bei verschiedenen Aufbauten. -1 dBFS, 6 GS/s.

5.2.6 Bestimmung des Aperturjitters

In diesem Unterkapitel soll der Aperturjitter in der F/H-Schaltung aus SNR-Messungen bestimmt werden. Dazu werden zwei SNR-Werte benötigt: Ein SNR-Wert bei relativ niedriger und einer bei hoher Eingangssignalfrequenz. Der Einfluss von Jitter auf das SNR bei langen DFTs und niedrigen Verhältnissen von Eingangssignalfrequenz zu Abtastzeitpunkt ist vernachlässigbar, da sich die umzusetzende Spannung von einem Abtastwert zum nächsten nur geringfügig ändert. Im Gegensatz dazu führen kleine Variationen im Abtastzeitpunkt bei hohen Eingangssignalfrequenzen zu relativ großen Abweichungen bei

der umzusetzenden Spannung, das heißt das Jitter das SNR merklich beeinflusst. Mit Hilfe dieser beiden SNR-Werte kann der Einfluss des Aperturjitters auf das SNR von den anderen Störquellen, wie zum Beispiel dem stochastischen Rauschen im Signalpfad und dem kausalen Quantisierungsrauschen, getrennt werden [57].

Für die nachfolgende Messung wird das Signal für f_1 mit einem 5 MHz-Tiefpassfilter und für f_2 mit einem 5,6 GHz-Bandpassfilter mit einer 3 dB-Bandbreite von 60 MHz gefiltert. Durch die beiden Filter beträgt der verbleibende Jitter aus der Signalquelle circa 10 fs [58]. Das Taktsignal wird mit einem 6,0 GHz-Bandpassfilter mit einer 3 dB-Bandbreite von 60 MHz gefiltert. Auch hier beträgt der verbleibende Jitter circa 10 fs [59]. Das SNR beinhaltet alle Störsignallinien außer den ersten 36 Harmonischen des Signals. Es wird eine 8192er-DFT durchgeführt.

Tabelle 5.5: Messung bei einem Signalpegel von -2 dBFS und 6 GS/s.

$f_1 = 4,993$ MHz	$SNR_1 = 51,93$ dBFS = 49,93 dB
$f_2 = 5,598$ GHz	$SNR_2 = 49,76$ dBFS = 47,76 dB

Tabelle 5.5 listet die für die nachfolgende Jitter-Berechnung notwendigen Daten auf. Die Formel

$$t_{J,rms} = \frac{1}{2\pi} \sqrt{\frac{SNR_2^{-1} - SNR_1^{-1}}{f_2^2 - f_1^2}} = \frac{1}{2\pi} \sqrt{\frac{10^{-4,776} - 10^{-4,993}}{(5,598 \text{ GHz})^2 - (4,993 \text{ MHz})^2}} = 73,1 \text{ fs} \quad (5.3)$$

basiert auf Gleichung (3.1) und stammt aus [57]. Eine theoretische Überlegung soll den erhaltenen Jitter-Wert quantitativ einordnen: Ein idealer Umsetzer mit einem SNR von 47 dB bei 6 GHz Signalfrequenz, dessen Kennwerte ausschließlich durch Jitter begrenzt werden, weist nach Formel (3.1) einen Jitter von 118 fs auf. Die restlichen Rauschquellen tragen folglich einen äquivalenten Jitter-Anteil von

$$t_{J,rms,Rest} = \sqrt{(118 \text{ fs})^2 - (73 \text{ fs})^2} = 93 \text{ fs} \quad (5.4)$$

bei. Der Einfluss des Aperturjitters auf das SNR ist somit ungefähr gleich groß wie der Anteil aller anderen Rauschquellen.

5.3 Rückschlüsse aus der Messung auf das Design-Kit

Im Idealfall stimmen Simulation und Messung überein. Ist dies nicht der Fall, kann der Fehler im Aufbau, dem Messequipment, der Auswertung oder aber in einer ungenauen Modellierung der Bauelemente liegen.

Beim vorliegenden Umsetzer scheint die Modellierung der Transistoren sehr treffend zu sein, da zwischen Simulation und Messung keine nennenswerten Unterschiede auffallen.

5.4 Vergleich mit dem Stand der Technik

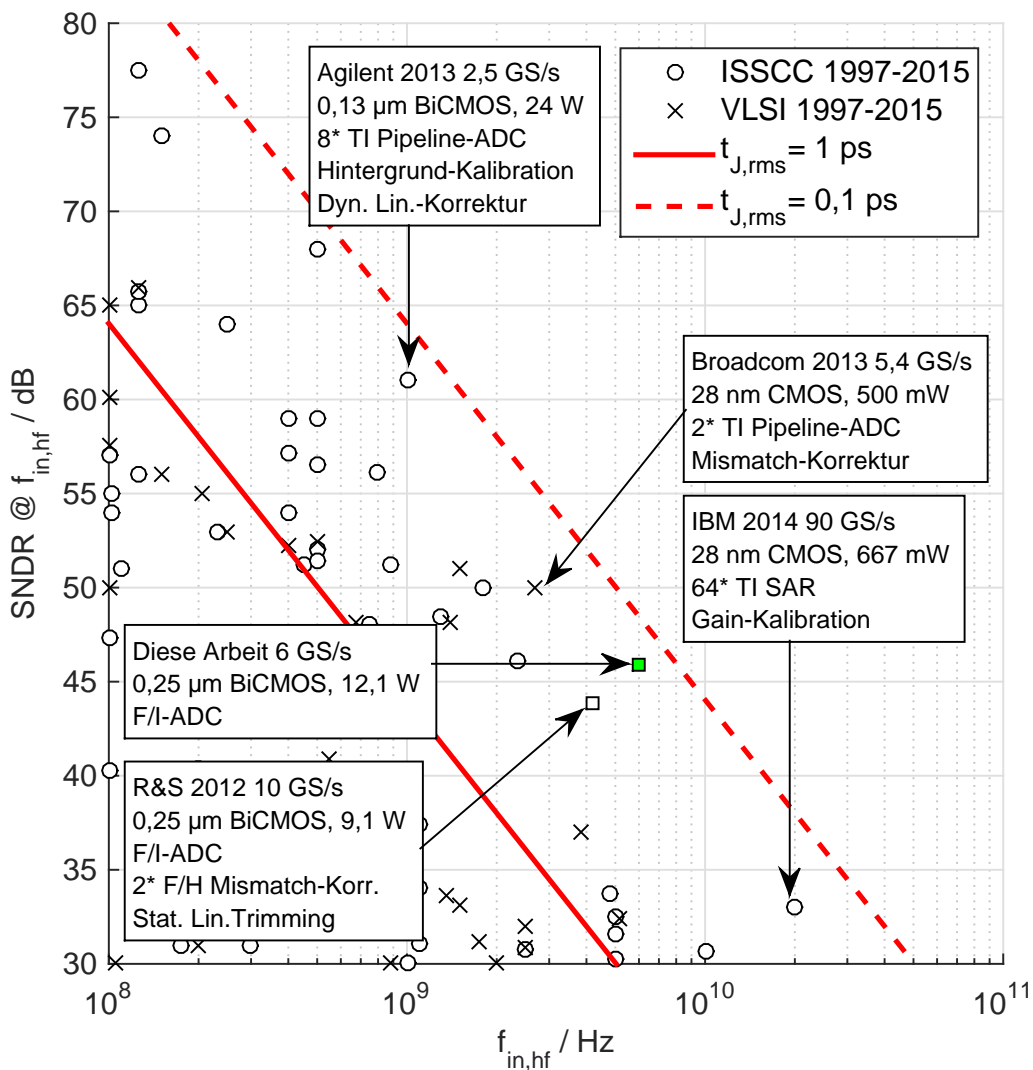


Abbildung 5.17: Stand der Technik von A/D-Umsetzern. Ergänzter Graph nach [5],[25].

Abbildung 5.17 zeigt den Stand der Technik von A/D-Umsetzern. Im Gegensatz zu Tabelle 1.3 werden hier nicht ausschließlich F/I-A/D-Umsetzer betrachtet, sondern alle Typen von A/D-Umsetzern. Der Graph stellt die im gezeigten Bereich auf den beiden Konferenzen ISSCC und VLSI präsentierten A/D-Umsetzer der letzten Jahre und den Umsetzer nach [25] dar.

Es ist das SNDR bei der maximalen analogen Eingangsfrequenz aufgetragen. Die eingezeichneten Geraden folgen der Beziehung (3.1) für verschiedene Aperturjitter-Werte. Auf diesen Geraden liegen ideale A/D-Umsetzer, deren SNDR ausschließlich durch den gegebenen Aperturjitter bestimmt ist. Befinden sich reale Umsetzer über diesen Linien, so ist der aus dem SNDR abgeleitete, äquivalente Jitter des A/D-Umsetzers inklusive Messsystem kleiner als die jeweilige Grenze.

Einige A/D-Umsetzer mit vergleichbaren Eigenschaften werden im Graph näher vorgestellt. Folgende Punkte fallen auf:

- Alle diese Umsetzer weisen Möglichkeiten zur Kalibrierung auf.
- Alle Umsetzer weisen entweder im Kern oder in der F/H-Schaltung Zeitverschachtelung (TI, engl.: time-interleaving) auf.
- Die Leistungsaufnahme von vergleichbaren, mit Bipolartransistoren realisierten Umsetzern (siehe die Umsetzer von R&S [25] und Agilent) liegt im gleichen Bereich wie der in dieser Arbeit vorgestellte.
- Die verwendeten Technologien für die gezeigten A/D-Umsetzer sind wesentlich moderner (bis auf den Umsetzer von R&S [25], $f_T = 180$ GHz) als die für diesen Umsetzer verwendete Technologie SG25H1.
- Außer dem Umsetzer von R&S setzen die der Gesamtjitter-Grenze von 0,1 ps benachbarten Umsetzer nicht auf das Konzept von Faltung und Interpolation.

Der vorgestellte Umsetzer übertrifft bei einer Eingangssignalfrequenz von 6 GHz die auf den Konferenzen ISSCC und VLSI präsentierten Umsetzer bezüglich der effektiven Auflösung.

6 Zusammenfassung und Ausblick

Die vorliegende Arbeit präsentiert eine Zusammenfassung der im Rahmen des zu Grunde liegenden Projekts durchgeführten Arbeiten. Das Hauptaugenmerk liegt dabei auf dem dritten von drei Umsetzern, die über die vier Jahre des Projekts entwickelt, gefertigt, aufgebaut und charakterisiert wurden.

Beim Umsetzer handelt es sich um einen Umsetzer in einer zehn Jahre alten BiCMOS-Technologie, wobei die MOSFETs auf Grund ihres Technologieknotens (l_{\min}) und der damit verbundenen Schaltgeschwindigkeit keine Verwendung finden. Der Quantisierungsprozess beruht auf dem Prinzip der Faltung und Interpolation mit verteiltem Quantisierer. Durch Faltung und Interpolation kann bei kleinerer Eingangskapazität eine höhere Auflösung als bei Parallelumsetzern erreicht werden. Der Umsetzer besteht aus mehreren, zum Teil identischen, kaskadierten Stufen. Durch die Verwendung einer neuen Architektur der Eingangsstufe wird der Umsetzer unempfindlicher gegenüber statistischer Bauteilevariation. Der Umsetzer besitzt keine Möglichkeiten zur Kalibrierung. Der eigens entwickelte Auswertealgorithmus relaxiert die Anforderungen an die verwendeten Entscheider.

Tabelle 6.1 listet die wichtigsten Kenndaten des realisierten Umsetzers auf. Alle in der Spezifikation gestellten Anforderungen, siehe Tabelle 1.1, werden erfüllt. Des Weiteren übertrifft der realisierte Umsetzer die auf den Konferenzen ISSCC und VLSI vorgestellten Umsetzer namhafter Firmen bezüglich der effektiven Auflösung bei einer Eingangssignalfrequenz von 6 GHz. Besonders bemerkenswert ist hierbei, dass der realisierte Umsetzer in einer vergleichsweise alten Technologie gefertigt ist, nicht zeitverschachtelt arbeitet und über keine Kalibrierung verfügt.

Weiterführende Arbeiten können in verschiedene Richtungen getrieben werden:

- Forschungsrelevante, schaltungsentwurf-bezogene Themen für die gegebene Technologie beinhalten die Identifikation des Flaschenhalses für Abtastrate und Eingangsbandbreite, sowie die Untersuchung von Maßnahmen zur Reduktion von thermischem Rauschen und Jitter. Modernere BiCMOS-Technologien mit fortgeschrittenen MOSFET-Knoten ermöglichen vermutlich höhere Abtastraten und Eingangsbandbreiten aufgrund der höheren Transitfrequenz der Bipolartransistoren bei glei-

Tabelle 6.1: Gemessene Kennwerte des A/D-Umsetzers.

Technologie	IHP SG25H1
	$f_T = f_{\max} = 190 \text{ GHz}$
Abtastrate	6 GS/s
Nominelle Auflösung	9,5 Bit
Eingangsbereich ($V_{pp,diff}$)	2 V
Eingangsanpassung	50 Ω (100 Ω differenziell)
Analoge Eingangsbandbreite	6 GHz
SFDR (3 bis 6 GHz, -1 dBFS)	52,7 dBc
SNR (3 bis 6 GHz, -1 dBFS)	47,0 dB
SNDR (3 bis 6 GHz, -1 dBFS)	45,8 dB
ENOB (3 bis 6 GHz, -1 dBFS)	7,3 bit
Berechneter Jitter	73,1 fs
Versorgungsspannungen	5,1 V 3,0 V
Leistungsaufnahme (ohne Test-Ausgangstreiber)	10,2 W
(Analoger Kern Digitalteil Ausgangstreiber)	(5,5 W 3,6 W 1,1 W)
Chipfläche	13,3 mm ²

chem SNDR und SFDR und geringerer Leistungsaufnahme und geringerem Platzbedarf des Digitalteils, falls dieser mit CMOS-Logik realisiert werden kann.

- Der Umsetzer hat eine analoge Eingangsbandbreite von 6 GHz und eine Abtastrate von 6 GS/s. Dadurch kann entweder nur das erste (0 – 3 GHz) oder nur das zweite (3 – 6 GHz) Nyquistband benutzt werden. Durch eine zweifache Zeitverschachtelung kann die Abtastrate auf 12 GS/s gesteigert werden, wodurch sich das erste Nyquistband auf den Bereich 0 – 6 GHz erweitert.
- Bevor der bestehende Ansatz zur Kalibrierung der vergleichenden Vorverstärker [60] in das Layout integriert wird, sollte untersucht werden, inwieweit sich das SFDR des Umsetzers durch eine digitale Nachkorrektur verbessern lässt.
- Soll der Umsetzer weiter verbessert werden, empfiehlt es sich, die zusätzlichen Ausgangstreiber nach Kapitel 3.5 zu entfernen: Dies reduziert die Leistungsaufnahme. Gleichzeitig werden Pads frei. Dadurch kann der Pad-Rahmen so rearrangiert werden, dass Signalüberkopplungen minimiert werden können. Bislang werden die Referenzspannungen für die Widerstandsleiter von außen angelegt; wünschenswert ist jedoch die Generierung dieser Spannungen auf dem Chip, sodass der Umsetzer mit nur zwei externen Spannungen betrieben werden kann. Um während des Umsetzerbetriebs die Synchronizität der auf dem FPGA empfangenen Datenkanäle über-

prüfen und wiederherstellen zu können, kann zum Beispiel der Algorithmus nach [61] auf dem Chip implementiert werden. Die notwendigen Automaten sind bereits inklusive Maskensatz entwickelt, wurden jedoch aus Zeitgründen nicht in das Umsetzer-Layout eingefügt.

A Messequipment

Für die am INT durchgeführten Messungen wurde folgendes Messequipment verwendet:

- Versorgungsspannungen: Agilent E3631A
- Taktquelle: R&S SMF100A
- Datenquelle: R&S SMU200A
- Kabelsatz: Huber+Suhner Minibend
- 180°-Hybride für Takt und Signal: Marki Microwave BAL-0010
- DC-Blocker: Picosecond Pulse Labs 5508-110
- Filter:
 - Tiefpass: Mini Circuits BLP-5+ (Daten)
 - Einstellbarer Bandpass: Lorch 5TF-1500/3000-5S (Daten)
 - Tiefpass: Lorch 13EZ5-3250/500-S (Daten)
 - Bandpass: Lorch 5CF6-5600/30-S (Daten)
 - Tiefpass: Lorch 7LP7-6000R-S (Daten)
 - Bandpass: Lorch 5CF6-6000/30-S (Takt)

Unterstützende Arbeiten

Die präsentierte Arbeit wurde massiv durch Beiträge von Studenten unterstützt. Der erfolgreiche Abschluss des Projekts wäre ohne sie nicht möglich gewesen. Mitgeholfen haben:

- GREGOR NOWAK: *Entwurf eines Codierers für einen Analog/Digital-Wandler*. Forschungsarbeit, April 2012.
- ROBERT BIEG: *Schaltungs- und Maskenentwurf des Digitalteils für einen Analog/Digital-Wandler*. Diplomarbeit, Januar 2013.
- XUAN-QUANG DU: *Entwurf von Schaltungskomponenten für einen Faltungs- und Interpolations-Analog/Digital-Wandler*. Diplomarbeit, Oktober 2013.
- ANSELM KNOBLOCH: *Entwurf eines Folge-Halte-Glieds für einen Analog/Digital-Wandler*. Bachelorarbeit, Mai 2012.
- ANSELM KNOBLOCH: *Maskenentwurf für ein Folge-Halte-Glied*. Forschungsarbeit, September 2013.
- GREGOR NOWAK: *Untersuchung der Auswirkungen von Parameterstreuungen auf die Linearität und Auflösung in einem Faltungs- und Interpolations-Analog/Digital-Wandler mit verteiltem Quantisierer*. Masterarbeit, Oktober 2012.
- PHILIPP THOMAS: *Optimierung der ersten Stufe eines Faltungs- und Interpolations-Analog/Digital-Wandlers hinsichtlich der Empfindlichkeit gegenüber Parameterstreuungen*. Masterarbeit, Dezember 2014.
- NARAYANAN SEETHARAMAN: *Design of a Reference Correction Module for an Analog to Digital Converter*. Study Thesis, November 2014.
- PHILIPP THOMAS: *Erweiterung einer Messumgebung zur automatisierten Charakterisierung schneller Folge-Halte-Schaltungen*. Forschungsarbeit, Dezember 2013.

-
- MICHAEL HENNE: *Programmierung einer automatisierten Messumgebung für Analog/Digital-Wandler*. Diplomarbeit, Oktober 2014.
 - XIAOCHEN WU: *Erweiterung einer Messumgebung für Analog/Digital-Wandler um eine Kalibrationsroutine*. Forschungsarbeit, Oktober 2014.
 - PRADEEP SHAMA: *Design of a FPGA-Receive Interface for the Characterization of fast Analog to Digital Converters for Serial Communication in VHDL*. Master Thesis, Oktober 2014.

Außerdem trugen wissenschaftliche Mitarbeiter und studentische Hilfskräfte wesentlich zum Gelingen der Arbeit bei:

- MARKUS GRÖZING: *Mentor*.
- JOHANNES DIGEL: *Maskenentwurf ADC1*. Arbeit als wissenschaftlicher Angestellter.
- ANSELM KNOBLOCH: *Maskenentwurf des Serial-Framer-Interfaces*. Arbeit als studentische Hilfskraft.
- ROBERT BIEG: *Maskenentwurf des Digitalteils für ADC2*. Weiterführung der Diplomarbeit als wissenschaftlicher Angestellter.
- JOHANNES DIGEL: *Maskenentwurf des Scramblers und der Multiplexer inklusive Ansteuerung*. Arbeit als wissenschaftlicher Angestellter.
- XUAN-QUANG DU: *Untersuchungen zu Auswirkungen statistischer Bauteilevariation bei ADC2*. Arbeit als wissenschaftlicher Angestellter.

Die Messungen wurden unterstützt durch:

- MICHAEL EPP: *Vermessung der Chips*. Mitarbeiter von Airbus Defence & Space.

Die Fertigung der Komponenten übernahmen:

- LEIBNIZ-INSTITUT FÜR INNOVATIVE MIKROELEKTRONIK: *Chip-Fertigung*.
- ELEKONTA MAREK: *Fertigung der Leiterkarten*.
- AIRBUS DEFENCE & SPACE: *Bestückung der Leiterkarten*.

Literaturverzeichnis

- [1] HUI, P. und A.A. ABIDI: *Spectral Spurs due to Quantization in Nyquist ADCs*. In: *IEEE Transactions on Circuits and Systems*, Band 51, Seiten 1422–1439, 2004.
- [2] MALOBERTI, F.: *Data Converters*. Springer, 2008.
- [3] HEINEMANN, B., H. RÜCKER, R. BARTH, J. BAUER, D. BOLZE, E. BUGIEL, J. DREWS, K.E. EHWALD, T. GRABOLLA, U. HAAK, W. HOPPNER, D. KNOLL, D. KRUGER, B. KUCK, R. KURPS, M. MARSCHMEYER, H.H. RICHTER, P. SCHLEY, D. SCHMIDT, R. SCHOLZ, B. TILLACK, W. WINKLER, D. WOLNSKY, H.-E. WULF, Y. YAMAMOTO und P. ZAUMSEIL: *Novel Collector Design for High-Speed SiGe:C HBTs*. In: *International Electron Devices Meeting*, 2002.
- [4] IHP: *Low-Volume & Multi-Project Service*. <http://www.ihp-microelectronics.com/en/services/mpw-prototyping/sigec-bicmos-technologies.html>, 2015.
- [5] MURMANN, B.: *ADC Performance Survey 1997-2015*. <http://web.stanford.edu/~murmanna/adcsurvey.html>, 2015.
- [6] HOOGZAAD, G. und R. ROOVERS: *A 65 mW 10 b 40 MSample/s BiCMOS Nyquist ADC in 0.8 mm²*. In: *IEEE International Solid-State Circuits Conference*, 1999.
- [7] SIGENOBU, T., M. ITO und T. MIKI: *An 8-bit 30 MS/s 18 mW ADC with 1.8 V Single Power Supply*. In: *Symposium on VLSI Circuits*, 2001.
- [8] MYUNG-JUN, C., S. BANG-SUP und K. BACRANIA: *An 8-b 100-MSample/s CMOS Pipelined Folding ADC*. In: *IEEE Journal of Solid-State Circuits*, Band 36, Seiten 184–194, 2001.
- [9] VORENKAMP, P. und R. ROOVERS: *A 12 b 50 MSample/s Cascaded Folding and Interpolating ADC*. In: *IEEE International Solid-State Circuits Conference*, 1997.
- [10] HUI, P., M. SEGAMI, M. CHOI, C. JING, F. HATORI und A. ABIDI: *A 3.3 V, 12b, 50MSample/s A/D converter in 0.6 μm CMOS with over 80 dB SFDR*. In: *IEEE International Solid-State Circuits Conference*, 2000.
- [11] BULT, K., A. BUCHWALD und J. LASKOWSKI: *A 170 mW 10 b 50 MSample/s CMOS ADC in 1 mm²*. In: *IEEE International Solid-State Circuits Conference*, 1997.
- [12] MYUNG-JUN, C., S. BANG-SUN und K. BACRANIA: *A 13 b 40 MSample/s CMOS Pipelined Folding ADC with Background Offset Trimming*. In: *IEEE International Solid-State Circuits Conference*, 2000.

-
- [13] BLUM, A.S., B.H. ENGL, H.P. EICHFELD, R. HAGELAUER und A.A. ABIDI: *A 1.2 V 10-b 100-MSamples/s A/D Converter in 0.12 μ m CMOS*. In: *Symposium on VLSI Circuits*, 2002.
- [14] KWANGHO, Y., L. JEONGHO, J. DEOG-KYOON und K. WONCHAN: *An 8-bit 125 MS/s CMOS Folding ADC for Gigabit Ethernet LSI*. In: *Symposium on VLSI Circuits*, 2000.
- [15] GEELLEN, G. und E. PAULUS: *An 8b 600MS/s 200mW CMOS Folding A/D Converter using an Amplifier Preset Technique*. In: *IEEE International Solid-State Circuits Conference*, 2004.
- [16] FLYNN, M. und B. SHEAHAN: *A 400 MSample/s 6b CMOS Folding and Interpolating ADC*. In: *IEEE International Solid-State Circuits Conference*, 1998.
- [17] ZHENG-YU, W., P. HUI, C. CHUNG-MING, Y. HAI-RONG und M.F. CHANG: *A 600 MSPS 8-bit Folding ADC in 0.18 μ m CMOS*. In: *Symposium on VLSI Circuits*, 2004.
- [18] MAKIGAWA, K., K. ONO, T. OHKAWA, K. MATSUURA und M. SEGAMI: *A 7bit 800MSPs 120mW Folding and Interpolation ADC Using a Mixed-Averaging Scheme*. In: *Symposium on VLSI Circuits*, 2006.
- [19] TAFT, R.C., P.A. FRANCESE, M.R. TURSI, O. HIDRI, A. MACKENZIE, T. HOEHN, P. SCHMITZ, H. WERKER und A. GLENNY: *A 1.8V 1.0GS/s 10b Self-Calibrating Unified-Folding-Interpolating ADC with 9.1 ENOB at Nyquist Frequency*. In: *IEEE International Solid-State Circuits Conference*, 2009.
- [20] TAFT, R., C. MENKUS, M.R. TURSI, O. HIDRI und V. PONS: *A 1.8V 1.6GS/s 8b Self-Calibrating Folding ADC with 7.26 ENOB at Nyquist Frequency*. In: *IEEE International Solid-State Circuits Conference*, 2004.
- [21] VERBRUGGEN, B., J. CRANINCKX, M. KUIJK, P. WAMBACQ und G. VAN DER PLAS: *A 2.2mW 5b 1.75GS/s Folding Flash ADC in 90nm Digital CMOS*. In: *IEEE International Solid-State Circuits Conference*, 2008.
- [22] MIYAHARA, M., I. MANO, M. NAKAYAMA, K. OKADA und A. MATSUZAWA: *A 2.2GS/s 7b 27.4mW Time-Based Folding-Flash ADC with Resistively Averaged Voltage-to-Time Amplifiers*. In: *IEEE International Solid-State Circuits Conference*, 2014.
- [23] NAKAJIMA, Y., A. SAKAGUCHI, T. OHKIDO, T. MATSUMOTO und M. YOTSUYANAGI: *A Self-Background Calibrated 6b 2.7GS/s ADC with Cascade-Calibrated Folding-Interpolating Architecture*. In: *Symposium on VLSI Circuits*, 2009.
- [24] POULTON, K., K.L. KNUDSEN, J. KERLEY, J. KANG, J. TANI, E. CORNISH und M. VANGROUW: *An 8-GSa/s 8-bit ADC System*. In: *Symposium on VLSI Circuits*, 1997.

- [25] LANDOLT, O., F. WIEDMANN, U. DÜMLER und J. SUNDERMEYER: *A 10GS/s Single-Core 8-bit ADC with an ENOB above 7.0 up to 4.2GHz*. In: *Conference on Ph.D. Research in Microelectronics and Electronics*, 2012.
- [26] BRONSTEIN, I. N.; SEMENDJAJEW, K. A.; MUSIOL G.: *Taschenbuch der Mathematik*. Verlag Harri Deutsch, 2001.
- [27] FREITAG, E.; BUSAM, R.: *Funktionentheorie*. Springer-Verlag, 2006.
- [28] SZE, S.M.: *Physics of Semiconductor Devices*. Wiley-Interscience, 1969.
- [29] FEUCHT, D.: *Handbook of Analog Circuit Design*. Academic Press, 1990.
- [30] PELGROM, M.J.M., A. C.J. DUINMAIJER und A.P.G. WELBERS: *Matching Properties of MOS Transistors*. In: *IEEE Journal of Solid-State Circuits*, Band 24, Seiten 1433–1439, 1989.
- [31] KINGET, P.R.: *Device Mismatch and Tradeoffs in the Design of Analog Circuits*. In: *IEEE Journal of Solid-State Circuits*, Band 40, Seiten 1212–1224, 2005.
- [32] FRIIS, H.T.: *Noise Figures of Radio Receivers*. Proceedings of the IRE, Band 32, 1944.
- [33] VORENKAMP, P.; VERDAASDONK, J.P.M.: *Fully Bipolar, 120-MSample/s 10-b Track-and-Hold Circuit*. In: *IEEE Journal of Solid-State Circuits*, Band 27, Seiten 988–992, 1992.
- [34] BUCK, M., M. GRÖZING, M. BERROTH, M. EPP und S. CHARTIER: *A 6 GHz Input Bandwidth $2V_{pp-diff}$ Input Range 6.4 GS/s Track-and-Hold Circuit in $0.25\mu\text{m}$ BiCMOS*. In: *IEEE Radio Frequency Integrated Circuits Symposium*, 2013.
- [35] RAZZAGHI, A., T. SAI-WANG, P. KALKHORAN, W. YU, K. CHIH-YI, B. NISSIM, V. LAN DUU und M.C.F. CHANG: *A Single-Channel 10b 1GS/s ADC with 1-Cycle Latency using Pipelined Cascaded Folding*. In: *IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 2008.
- [36] NOWAK, G.: *Untersuchung der Auswirkungen von Parameterstreuungen auf die Linearität und Auflösung in einem Faltungs- und Interpolations- Analog-Digital-Wandler mit verteiltem Quantisierer*. Master Thesis, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2012.
- [37] THOMAS, P.: *Optimierung der ersten Stufe eines Faltungs- und Interpolation-Analog/Digital-Wandlers hinsichtlich der Empfindlichkeit gegenüber Parameterstreuungen*. Master Thesis, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2014.
- [38] GRAY, P. R. und R. G. MEYER: *Analysis and Design of Analog Integrated Circuits*. John Wiley & Sons, 3. Auflage, 1993.

-
- [39] DU, X.: *Entwurf von Schaltungskomponenten für einen Faltungs- und Interpolation-Analog/Digital-Wandler*. Diplomarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2013.
- [40] HASTED, J.B.: *Liquid Water: Dielectric Properties, in Water - A Comprehensive Treatise*. Springer New York, 1972.
- [41] NOWAK, G.: *Entwurf eines Codierers für einen Analog/Digital-Wandler*. Forschungsarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2012.
- [42] ALIOTO, M. und G. PALUMBO: *Model and Desing of Bipolar and MOS Current-Mode Logic: CML, ECL and SCL Digital Circuits*. Kluwer Academic Publishers, 2006.
- [43] BIEG, R.: *Schaltungs- und Maskenentwurf des Digitalteils für einen Analog/Digital-Wandler*. Diplomarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2013.
- [44] XILINX: *Virtex-4 RocketIO Multi-Gigabit Transceiver User Guide*, 2006. UG076 (v3.2).
- [45] SHAH, J.: *Estimating Bond Wire Current-Carrying Capacity*. White Paper von Integrated Device Technology, 2012.
- [46] ISOLA-GROUP: *IS420*. Datenblatt.
- [47] TACONIC: *ORCER RF-60A*. Datenblatt.
- [48] THÜRINGER, R.: *Skript zur Vorlesung Aufbau- und Verbindungstechnik*. Technische Hochschule Mittelhessen, 2014.
- [49] IPC: *IPC-2141A: Design Guide for High-Speed Controlled Impedance Circuit Boards*, 2004.
- [50] THOMAS, P.: *Erweiterung einer Messumgebung zur Charakterisierung schneller Folge-Halte-Schaltungen*. Forschungsarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2013.
- [51] HENNE, M.: *Programmierung einer automatisierten Messumgebung für Analog/Digital-Wandler*. Diplomarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2014.
- [52] WU, X.: *Erweiterung einer Messumgebung für Analog-/Digitalwandler um eine Kalibrationsroutine*. Forschungsarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2014.

-
- [53] FERENCI, D. und M. BERROTH: *A 100 Gigabit Measurement System with State of the Art FPGA Technology for Characterization of High Speed ADCs and DACs*. In: *Conference on Ph.D. Research in Microelectronics and Electronics*, 2010.
- [54] SHAMA, P.: *Design of a FPGA-Receive interface for the Characterization of fast Analog to Digital converters for serial Communication in VHDL*. Master Thesis, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2014.
- [55] MCANDREW, C.C., J.A. SEITCHIK, DEREK F. BOWERS, M. DUNN, M. FOISY, IAN GETREU, M. MCSWAIN, S. MOINIAN, J. PARKER, D.J. ROULSTON, M. SCHROTER, P. VAN WIJNEN und L.F. WAGNER: *VBIC95, the Vertical Bipolar Inter-Company Model*. In: *IEEE Journal of Solid-State Circuits*, Band 31, Seiten 1476–1483, 1996.
- [56] BAKER, R.: *CMOS: Circuit Design, Layout, and Simulation*. John Wiley & Sons, 2011.
- [57] KESTER, W. (Herausgeber): *The Data Conversion Handbook*. Elsevier, 2005.
- [58] *R&S SMU200A Vector Signal Generator Specifications*. Version 08.00.
- [59] *R&S SMF100A Microwave Signal Generator Specifications*. Version 04.00.
- [60] SEETHARAMAN, N.: *Design of a Reference Correction Module for an Analog-to-Digital Converter*. Study Thesis, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2014.
- [61] OTTO, K.-H.: *Scalable Serdes Framer Interface (SFI-S): Implementation Agreement for Interfaces beyond 40G for Physical Layer Devices*. Optical Internetworking Forum, 2008.

Eigene Veröffentlichungen

BUCK, M.; GRÖZING, M. UND BERROTH, M.: *Folge-Halte-Schaltung in 0,25 μm SiGe-BiCMOS mit 6,5 bit Auflösung im Band bis 6 GHz bei 6,4 GS/s und 2 V_{pp} -Eingangssignal.* In: *Kleinheubacher Tagung*, 2012.

BUCK, M.; GRÖZING, M.; BERROTH, M.; CHARTIER, S. UND EPP, M.: *A 6 GHz Input Bandwidth 2 $V_{pp-diff}$ Input Range 6.4 GS/s Track-and-Hold Circuit in 0.25 μm BiCMOS.* In: *Radio Frequency Integrated Circuits Symposium*, 2013.

DU, X.-D.; KNOBLOCH, A.; GRÖZING, M.; **BUCK, M.** UND BERROTH, M.: *A DC to 10.1 GHz, 31 dB Gain Range Control, Digital Programmable Gain Amplifier.* In: *German Microwave Conference*, 2016.

BUCK, M.; GRÖZING, M.; BIEG, R.; DIGEL, J.; DU, X.-D.; THOMAS, P.; BERROTH, M.; EPP, M.; RAUSCHER, J. UND SCHLUMPP, M.: *A 6 GS/s 9.5 bit Pipelined Folding-Interpolating ADC with 7.3 ENOB and 52.7 dBc SFDR in the 2nd Nyquist Band in 0.25 μm SiGe-BiCMOS.* In: *Radio Frequency Integrated Circuits Symposium*, 2016.

Danksagung

Ich bedanke mich bei allen, die mich während der Zeit am Institut unterstützt und zum Gelingen dieser Arbeit beigetragen haben. Ohne ihre Hilfe wäre der erfolgreiche Abschluss des Projekts nicht möglich gewesen. Danke!