

Organische Dünnschichttransistoren mit gedrucktem Halbleiter für Schaltungen und Anzeigen

Von der Fakultät Informatik, Elektrotechnik und Informationstechnik
der Universität Stuttgart zur Erlangung der Würde eines
Doktors der Ingenieurwissenschaften (Dr.-Ing.) genehmigte Abhandlung

Vorgelegt von
Michael Rolf Roland Strecker
aus Stuttgart

Hauptberichter : Prof. Dr.-Ing. Norbert Frühauf
Universität Stuttgart
Mitberichter : Prof. Dr. R. Thomas Weitz
Ludwig-Maximilians-Universität München

Tag der mündlichen Prüfung : 3. Mai 2019

Institut für Großflächige Mikroelektronik
der Universität Stuttgart

2019

Inhaltsverzeichnis

Abkürzungen und Formelzeichen	7
Kurzfassung	13
Abstract	15
1 Einleitung	17
2 Grundlagen	21
2.1 Druckverfahren für die gedruckte Elektronik	21
2.1.1 Anforderungen an Druckprozesse	22
2.1.2 Das Tintenstrahldruckverfahren	24
2.1.3 Benetzung von Oberflächen	29
2.2 Organische Dünnschichttransistoren mit niedrigen Betriebsspannungen	32
2.2.1 Überblick	32
2.2.2 Feldeffekttransistoren mit organischem Halbleiter	34
2.2.3 Organische, insbesondere n-Typ-Halbleiter	38
2.2.4 Gatedielektrika für organische Transistoren	45
2.2.5 Abschätzung von Kontakt- und Kanalwiderständen	48
2.3 Selbstorganisierende Monolagen	50
3 Entwicklung von Dünnschichttransistoren mit gedrucktem Halbleiter	55
3.1 Transistoren mit Polymerhalbleiter (p-Typ)	57
3.1.1 Eigenschaften der Halbleiterlösung	57
3.1.2 Geeignete Elektrodendesigns und Morphologie	59
3.1.3 Transistoren mit konventionell geätzten, obenliegenden Kontakten	64
3.1.4 Optimierte Transistoren mit niedrigen Ansteuerspannungen	71
3.1.5 Verkapselung der Transistoren	74
3.2 Transistoren mit Perylenderivat (n-Typ)	85
3.2.1 Eigenschaften der Halbleiterlösung	85
3.2.2 Einfluss des Lösemittels auf die Morphologie	87

3.2.3	Einfluss der Morphologie auf das TFT-Verhalten	93
3.2.4	Einfluss von Kontakteffekten auf das TFT-Verhalten	94
3.2.5	Reproduzierbare Lokalisation des Halbleiters	99
3.2.6	Top-Gate-Prozess	114
3.2.7	Stabilität und Verkapselung	117
3.3	Zusammenfassung und Bewertung der Prozesse	120
4	Anwendungen	125
4.1	Schaltungen mit gedruckten Transistoren	125
4.1.1	Komplementäre Schaltungen	126
4.1.2	Unipolare Schaltungen	134
4.2	Elektrophoretische Anzeige	141
4.2.1	Funktion und Entwurf	142
4.2.2	Optimierung des Dielektrikums	145
4.2.3	Herstellung und Charakterisierung	147
5	Wesentliche Ergebnisse	151
A	Anhang	155
A.1	Standardprozesse für Photolithografie	155
A.1.1	Substratreinigung	155
A.1.2	Lithographieprozess für Positivlack AZ TFP-650	155
A.1.3	Lithographieprozess für Negativlack ma-N1420	155
A.1.4	Lithographieprozess für Negativlack OSCoR-4000	156
A.1.5	Lithographieprozess für Positivlack PC403	156
A.1.6	Lithographieprozess für Negativlack SU-8	156
A.1.7	Entlacken in Azeton	157
A.1.8	Entlacken in Avantor PRS-3000	157
A.1.9	Goldätzlösung	157
A.2	Basisprozess für organische Transistoren	157
A.3	Konventionell geätzte, obenliegende Kontakte	160
A.4	Transistoren mit niedrigen Spannungen	161
A.5	Verkapselung der Transistoren	161
A.6	Berechnung der Dampfdruckkurven	162
A.7	Benetzung des Halbleiters auf OPS	162
A.8	Strukturierte Abscheidung von Monolagen	163
A.9	Lokalisation des Polymerhalbleiters durch Monolagen	164
A.10	Top-Gate-Prozess	164
A.11	Herstellungsprozess für AM-EPD-Backplane	165

Literaturverzeichnis**169****Danksagung****179**

Abkürzungen und Formelzeichen

Abkürzungen

F ₁₆ CuPc	...	Perfluorokupferphthalocyanin
T _i	Transistornummer
a-Si:H	Amorphes Silizium
AFM	Rasterkraftmikroskopie
AM-EPD	...	Elektrophoretische Aktiv-Matrix-Anzeige
BC	Bottom Contact
BG	Bottom Gate
c-Si:H	Kristallines Silizium
CMOS	Komplementäre Schaltungstechnik
CuPc	Kupferphthalocyanin
DMP	Dimethylphthalat
GND	Massepotential
GTLM	Gated Transmission Line Method
HDT	Hexadecanthiol
IGZO	Indium-Gallium-Zinkoxid
ITO	Indium-Zinn-Oxid
NDI	Naphtalindiimid
NMOS	n-Kanal-Schaltungstechnik
o-DCB	1,2-Dichlorbenzol
OLED	Organische lichtemittierende Diode
OPS	Octadecylphosphonsäure
P3HT	Poly(3-hexylthiophen)
PDI	Perylendiimid
PECVD	Plasmaunterstützte chemische Gasphasenabscheidung
PGMEA	...	Propylenglycolmonomethyletheracetat
PMF	Poly(melamin-co-formaldehyd)
PMMA	Polymethylmethacrylat

PMOS	p-Kanal-Schaltungstechnik
PTFE	Polytetrafluorethylen
PVA	Polyvinylalkohol
PVCH	Polyvinylcyclohexan
REM	Rasterelektronenmikroskopie
RIE	Reaktives Ionenätzen
SAM	Selbstorganisierende Monolage
Sc	Allgemeine organische Halbleiterverbindung
TC	Top Contact
TFT	Dünnschichttransistor
TG	Top Gate
TPS	Tetradecylphosphonsäure

Formelzeichen

χ	Elektronenaffinität in eV
ΔE	Redoxpotential in V
ΔG	Freie Enthalpie in J mol^{-1}
Δ, Δ_H	Energetische Barriere in eV
ϵ_r	Relative Permittivität (dimensionslos)
γ_{ij}	Grenzflächenspannung zwischen den Grenzflächen i und j in mN m^{-1}
γ_i^j	Oberflächenspannung von i (ggfs. polarer oder disperser Anteil j) in mN m^{-1}
$\mu, \mu_{\text{sat}}, \mu_{\text{lin}}$	Ladungsträgerbeweglichkeit (Sättigungs- bzw. linearer Bereich) in $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$
ϕ_I	Ionisierungspotential in eV
ϕ_i	Austrittsarbeit (des Materials i) in eV
ρ	Dichte in mg cm^{-3}
$\tau_{\text{on}}, \tau_{\text{off}}$	Einschalt- bzw. Ausschaltzeitkonstante in s
ϕ_i	Elektrisches Potential am Knoten i in V
ϑ_i	Kontaktwinkel (der Flüssigkeit i) in $^\circ$
A	Fläche in m^2
A, B, C	Antoine-Koeffizienten
c, c_{max}	(maximale) Konzentration in mg ml^{-1}
C_D	Kapazitätsbelag des Dielektrikums in F m^{-2}
C_i	Sonstige Kapazität in F
C_i'	Sonstiger Kapazitätsbelag in F m^{-2}
D	Durchmesser in m
d	Schichtdicke in m
E_{BD}^+	Durchbruchfeldstärke in V m^{-1}
E_F	Fermi-Niveau in eV

E_{HOMO}	Energieniveau des höchsten besetzten Molekülorbitals in eV
E_{LUMO}	Energieniveau des niedrigsten unbesetzten Molekülorbitals in eV
E_{Ox}	Oxidationspotential in V
E_{Red}	Reduktionspotential in V
E_{Vak}	Energieniveau des Vakuums in eV
f	Frequenz in Hz
g	Durchgangsleitwert in S
h, h_{min}	(minimale) Höhe in m
i	Zeile (dimensionslos)
I_{D}	Drainstrom in A
I_{G}	Gatestrom in A
j	Spalte (dimensionslos)
J_i	Sonstige Stromdichte in A m^{-2}
L	Kanallänge in μm
L_{u}	Überlapplänge in μm
m_i	Sonstige Masse in g
n	Idealitätsfaktor (dimensionslos)
N_{it}	Störstellenkonzentration in $\text{V}^{-1} \text{m}^{-2}$
N_i	Anzahl (dimensionslos)
p_{D}	Dampfdruck in hPa
R_{C}	Kontaktwiderstand in Ω
R_i	Sonstiger elektrischer Widerstand in Ω
r_{S}	Schichtwiderstand in Ω
S	Unterschwellanstieg in V/Dekade
S^*	Spreitungskoeffizient mN m^{-1}
T	Absolute Temperatur in K
t_i	Sonstige Zeit in s
T_{p}	Periodendauer in s
T_{S}	Siedepunkt in $^{\circ}\text{C}$
U_{DS}	Drain-Source-Spannung in V
U_{GS}	Gate-Source-Spannung in V
U_i	Sonstige Spannung in V
U_{so}	Einschaltspannung in V
U_{th}	Schwellspannung in V
V_i	Sonstiges Volumen in l
W	Kanalweite in μm
$W_{\text{ad}}, W_{\text{ko}}$	Adhäsions- bzw. Kohäsionsarbeit in mN m^{-1}

z Elektronenanzahl (dimensionslos)

Chemische Symbole

Al₂O₃ Aluminiumoxid
CH₃ Methylgruppe
e⁻ Elektron
H₂O Wasser
H₃O⁺ Oxoniumion
I₂CH₂ Diiodmethan
O₂ Sauerstoff
PO₃H₂ Phosphonsäurerest
Sc⁻ Organisches Anion
SH Thiolrest
Si(OR)₃ Trialkoxysilanrest
SiCl₃ Trichlorsilanrest
SiO₂ Siliziumdioxid
Ta₂O₅ Tantalpentoxid
Ta Tantal
TiO₂ Titandioxid
Al Aluminium
CF₄ Tetrafluormethan
CN Cyanogruppe
Cr Chrom
H⁺ Wasserstoffproton
H₂O₂ Wasserstoffperoxid
H₂ Wasserstoff
H₃PO₄ Phosphorsäure
HNO₃ Salpetersäure
I₂ Iod
KI Kaliumiodid
NH₄OH Ammoniumhydroxid
OH⁻ Hydroxidion
SF₆ Schwefelhexafluorid
Si₃N₄ Siliziumnitrid
SiH₄ Silan
Ag Silber
Al:Nd Legierung aus Aluminium mit Neodym (90:10 Gew.-%)
Ar Argon

Au	Gold
Cu	Kupfer
Mo:Ta	Legierung aus Molybdän mit Tantal
Nd	Neodym
OH	Hydroxygruppe
Pd	Palladium
Pt	Platin

Naturkonstanten

ϵ_0	Elektrische Feldkonstante des Vakuums ($\epsilon_0 \approx 8,854 \cdot 10^{-12} \text{ A s V}^{-1} \text{ m}^{-1}$)
e	Elementarladung ($e \approx 1,6022 \cdot 10^{-19} \text{ A s}$)
F	Faraday-Konstante ($F \approx 96\,485,34 \text{ A s mol}^{-1}$)
k_B	Boltzmann-Konstante ($k_B \approx 1,381 \cdot 10^{-23} \text{ J K}^{-1}$)

Kurzfassung

Die vorliegende Arbeit behandelt die Entwicklung von organischen Dünnschichttransistoren mit gedrucktem Halbleiter für Anwendungen der gedruckten Elektronik. Der Schwerpunkt liegt dabei auf der Untersuchung der Abscheidung organischer Halbleiterlösungen durch Tintenstrahldruck, während die Abscheidung und Strukturierung der übrigen Metallisierungen auf vorwiegend konventionellen Dünnschichtprozessen basieren. Entsprechend potentieller Einsatzmöglichkeiten gedruckter Elektronik wurde die Entwicklung an einen energiesparenden Betrieb ausgerichtet. Als Halbleiter wurden daher Lösungen aus einem Polymer (p-Typ) und einem Perylendiimid-Derivat (PDI, n-Typ) eingesetzt, mit dem Ziel eines kompatiblen Prozesses zum Einsatz der Transistoren in komplementären Ansteuerschaltungen und Anzeigen. Ein niedriges Spannungsniveau wurde durch ein dünnes, anodisiertes Dielektrikum mit hohem Kapazitätsbelag realisiert.

Die Halbleiter wurden vor allem hinsichtlich ihrer Verdruckbarkeit, der morphologischen Eigenschaften und des daraus resultierenden elektrischen Verhaltens der Transistoren untersucht. Eine zentrale Erkenntnis ist, dass die Halbleiter sich aufgrund ihrer unterschiedlichen Stoffeigenschaften in der Verarbeitbarkeit durch den Druckprozess erheblich unterscheiden. Der Polymerhalbleiter zeichnet sich durch ein im Wesentlichen unproblematisches Benetzungsverhalten, robuste Prozessierbarkeit und vergleichsweise geringe Ladungsträgerbeweglichkeit $\mu \approx 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ aus. Dagegen sind das Benetzungsverhalten und die Morphologie des PDI-Derivats stark vom gewählten Lösemittel abhängig. Die Morphologie variiert von körnigen, diskontinuierlichen Filmen mit amorpher Struktur (o-DCB, Tetralin) bis hin zu ebenen, polykristallinen Filmen (Dimethylphthalat, DMP). Entsprechend variiert die erzielte Ladungsträgerbeweglichkeit typischerweise von $\mu \approx 10^{-4} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ bis $\mu \approx 10^{-1} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. In allen Fällen zeichnet sich der Nassfilm durch eine ausgeprägte Spreitung aus. Während die Trocknung bei Lösungen aus o-DCB und Tetralin innerhalb weniger Sekunden abgeschlossen ist, dauert dies bei DMP aufgrund des niedrigen Dampfdrucks mehrere Minuten. Die endgültige Lage des Halbleiters kann dabei weder vorhergesagt noch kontrolliert werden, da es während der Trocknung zur willkürlichen Wanderung des Nassfilms relativ zu den bedruckten Transistorstrukturen kommt. Daher waren technologische Maßnahmen erforderlich, um die Lokalisation des Halbleiters reproduzierbar sicherzustellen. Hierzu wurden zwei Ansätze untersucht. Einerseits erfolgte die Lokalisation durch lokal modulierte Oberflächenspannungen mithilfe von strukturierten, selbstorganisierenden Monolagen mit hydrophobem Charakter.

Dieser Prozess eignet sich auch zur Lokalisierung des Polymerhalbleiters, falls eine erhöhte Integrationsdichte erforderlich ist. Für das PDI-Derivat hat sich die Lokalisierung durch strukturierte Polymerwannen als Prozess der Wahl herausgestellt.

Obwohl die Halbleiter, insbesondere das PDI-Derivat, bereits an Luft eine hohe Umweltstabilität aufweisen, wurde die Verkapselung der Halbleiter untersucht. Eine Verkapselung ist unabhängig von der intrinsischen Stabilität in komplexen, mehrschichtigen Systemen, wie Schaltungen und Anzeigen, erforderlich, um den Halbleiter vor nachfolgenden Prozessschritten zu schützen. Als Material der Wahl hat sich ein fluorierter Photolack basierend auf gegenüber den Halbleitern orthogonalen Lösemitteln erwiesen. Insbesondere der Polymerhalbleiter zeigt durch die Verkapselung eine Stabilisierung der Schwellspannung und eine erhöhte Langzeitstabilität. Durch die hydrophobe Verkapselung bleibt sogar eine mehrstündige Immersion in Wasser ohne Auswirkungen auf das Verhalten der Transistoren.

Für beide Halbleitertypen wurden jeweils Prozesse für ein optimales Betriebsverhalten entwickelt. Aufgrund technologischer Einschränkungen und der geforderten ähnlichen Eigenschaften der Transistoren in komplementären Schaltungen ist die Schnittmenge eines für beide Halbleitertypen kompatiblen Prozesses allerdings gering. Die Realisierung komplementärer Grundsaltungen erfolgte daher auf Basis des BGBC-Prozesses mit Abscheidung des PDI-Derivats aus o-DCB. Die hergestellten Inverter, Nand-Gatter und Ringoszillatoren waren funktionsfähig, allerdings stellte sich die Betriebsstabilität als problematisch heraus. Durch elektrische Beanspruchung trat eine signifikante Verschiebung der Schwellspannungen ein, was zur raschen Degradation der Signalpegel führte. Alternativ wurde die unipolare Pseudo-CMOS-Technik auf Basis des Polymerhalbleiters untersucht. Diese Schaltungstechnik stellte sich als wesentlich robuster heraus. Es wurde sogar eine Art Lerneffekt beobachtet, der dazu führt, dass sich das anfänglich nicht-ideale Schaltverhalten von Invertern während des Betriebs durch Angleichung der Schwellspannungen einzelner Transistoren verbessert.

Die Integrierbarkeit der entwickelten Transistorprozesse in ein komplexes, mehrschichtiges System wurde durch eine funktionsfähige, elektrophoretische Aktiv-Matrix-Anzeige demonstriert. Die Anzeige hat eine Auflösung von 32×32 Bildpunkten mit Ansteuerung durch organische Transistoren mit Polymerhalbleiter. Die Lokalisation des Halbleiters wurde aufgrund der geringen Transistordimensionen erfolgreich durch selbstorganisierende Monolagen realisiert. Durch die Verkapselung hatten nachfolgende Passivierungs-, Abscheide- und Strukturierungsprozesse keine signifikanten Auswirkungen auf die Transistoren. Die maximale Temperatur bei der Prozessierung betrug 150°C .

Abstract

The present thesis covers the development of organic thin-film transistors with printed semiconductors for applications in the field of printed electronics. The focus of the investigation is on deposition of organic semiconductor solutions by means of inkjet-printing techniques, while deposition and patterning of remaining metallization is mainly based on conventional thin-film processes. According to possible applications of printed electronics design and development is focused on power-saving operation. Both solutions of polymeric (p-type) and perylene diimide derivatives (PDI, n-type) are used aiming at application in a compatible process for complementary circuits and displays. In order to realize moderate control voltages a thin, anodized dielectric with high capacitance per unit area is used.

The organic semiconductors are mainly investigated with respect to printability, morphological properties and related electrical behavior of transistor devices. A vital finding is the differing processability of the organic semiconductors due to their specific material properties. The polymeric semiconductor is mainly characterized by convenient wetting properties, robust processability and comparably low charge carrier mobility $\mu \approx 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. In contrast, wetting properties and morphology of PDI derivative are highly dependent on the solvents used. Morphology varies from granular, discontinuous films (o-DCB, Tetraline) up to smooth, polycrystalline films (Dimethyl phthalate, DMP). Accordingly, typical charge carrier mobilities vary from $\mu \approx 10^{-4} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ up to $\mu \approx 10^{-1} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. In all cases, the wet film is characterized by a pronounced spreading. While drying of solutions in o-DCB and Tetraline is finished in a few seconds, it takes several minutes in case of DMP due to low vapor pressure. The final location of the semiconductor film can neither be predicted nor controlled, because the wet film tends to randomly move over the substrate relative to transistor structures during film drying. Hence, technological methods are necessary in order to reproducibly locate the semiconductor film. Two different approaches are investigated. First, location is determined by means of spatially modulated surface tensions using patterned self-assembling monolayers with hydrophobic character. If a higher integration density is required, this process is also suited for the polymeric semiconductor. In case of PDI derivative, patterned polymeric wells turned out as the method of choice.

An encapsulation of the organic semiconductors is investigated although the semiconductors, especially the PDI derivative, are highly stable in air against environmental influences. An encapsulation is required independent of the intrinsic stability in complex, multilayered systems like circuits and displays in order to protect the semiconductor against subsequent processing steps. A fluorinated photo-patternable resist based on orthogonal solvents with respect to the semiconductors turned out as material of choice. Owing to the encapsulation, especially the polymeric semiconductor showed stabilization of the threshold voltage and improved long-term durability. Due to the hydrophobic properties of the encapsulation even immersion in water for several hours did not affect the behavior of transistor devices.

For both semiconductor types processes aiming at optimized operational behavior are developed. However, a common process for both the n- and p-type semiconductor is narrowed due to technological limitations and the demand of similar transistor properties in complementary circuits. Basic complementary circuits are therefore realized on a BGBC process with PDI derivative dissolved in o-DCB. As manufactured Inverters, NAND gates and ring oscillators worked as expected, however, operational stability was poor. Electrical stress caused a significant shift of the threshold voltage leading to rapid degradation of the signal levels. As an alternative, a unipolar circuit technology, referred to as Pseudo CMOS, based on the polymeric semiconductor was investigated. This technology tended out to be more robust. Even a kind of learning effect occurred leading to an improvement of initially non-ideal switching of inverters during operation due to harmonization of the threshold voltage of single transistors.

Integration of the developed transistor processes into a complex, multilayered system is demonstrated by a working electrophoretic active matrix display. The display has a resolution of 32×32 pixels and is addressed by organic transistors based on polymeric semiconductor. Location of the organic semiconductor is successfully realized by self-assembled monolayers due to small transistor dimensions. Owing to the encapsulation subsequent passivation, deposition and patterning processes did not significantly affect the transistors. The maximal processing temperature was as low as 150°C .

1 Einleitung

Denkt man an Kunststoffe, verbindet man diesen Begriff aus der alltäglichen Erfahrung heraus üblicherweise mit Plastiktüten, Folienverpackungen oder Gehäusen elektrischer Geräte. Kunststoffe sind in unserer heutigen Zeit allgegenwärtig aufgrund ihrer polymorphen Eigenschaften. Sie sind starr oder flexibel, nahezu beliebig formbar, transparent oder lichtundurchlässig, lassen sich synthetisch herstellen und sie sind: günstig. Chemisch gesehen sind Kunststoffe Kohlenstoffverbindungen und gehören zur Klasse organischer Verbindungen. In den letzten Jahrzehnten weckte eine weitere wichtige Eigenschaft organischer Verbindungen zunächst vorwiegend das Interesse der Wissenschaften. Entgegen der allgemeinen Erfahrung entdeckte man 1977 die elektrische Leitfähigkeit von Polyacetylen [66]. Die Wichtigkeit dieser Entdeckung wurde mit dem Nobelpreis in Chemie *für die Entdeckung und Entwicklung von leitenden Polymeren* im Jahre 2000 honoriert [55]. Seitdem sind Kunststoffe nicht mehr nur als praktischer Werkstoff bekannt, sondern zudem als funktionelles, elektronisches Material. Vor allem die halbleitenden Eigenschaften weckten das Interesse der Forschung. Lange Zeit wurden vor allem die Synthese sowohl kleiner Moleküle als auch von Polymeren, deren morphologische Eigenschaften und die physikalischen Grundlagen des Ladungstransports untersucht. Die intensive Forschung führte rasch zur Optimierung der molekularen Eigenschaften, sodass beispielsweise die Ladungsträgerbeweglichkeit in Polythiophen innerhalb von zwölf Jahren von gerade einmal $10^{-5} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ auf $0,1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ gesteigert werden konnte [82].

In den letzten Jahren ist vermehrt die tatsächliche Anwendbarkeit organischer Halbleiter in den Fokus der Forschung gerückt. Es wurden vor allem auf Basis existierender Prozesse der konventionellen Mikroelektronik Verfahren entwickelt, die den Einsatz dieser Verbindungen in elektronischen Bauelementen ermöglichen. Die Zahl eingereicherter Patente auf diesem Gebiet wuchs seit den späten 1985er Jahren rasant an und erreichte 2005 fast die Marke von 6000 [9]. Die Mehrzahl von 82 % dieser Patente betrifft den Einsatz organischer Halbleiter als aktive, lichtemittierende Schicht in Leuchtdioden [9]. Diese Technologie hat bereits Marktreife erreicht, sodass OLED-Anzeigen heute kommerziell als Alternative zu den bewährten Flüssigkristallanzeigen angeboten werden.

Organische Materialien können aber auch als halbleitende Schicht in Dünnschichttransistoren eingesetzt werden. Der erste organische Transistor mit Polythiophen als Halbleiter wurde bereits 1987

demonstriert [45]. Doch erst mit der Entwicklung flacher Bildschirme um die Jahrtausendwende verstärkte sich das Interesse an organischen Dünnschichttransistoren. Da organische Halbleiter durch thermische Sublimation bei niedrigen Temperaturen abgeschieden werden können, sind sie als Alternative zum sonst eingesetzten amorphen Silizium (a-Si:H) interessant. Die Vermeidung hoher Prozesstemperaturen zur Abscheidung des Halbleiters und des Dielektrikums ermöglicht den Einsatz von Plastikfolien als Substratmaterial und ermöglicht die Herstellung flexibler Anzeigen. Mit dieser Thematik beschäftigte sich beispielsweise Silke Jelting in ihrer Doktorarbeit [34]. Diese Arbeit widmete sich der Entwicklung von Dünnschichttransistoren mit Pentacen als Halbleiter und eines durch Anodisierung prozessierbaren Niedertemperaturdielektrikums. Die Herstellungsprozesse konnten erfolgreich auf Plastikfolien übertragen werden und eine flexible Aktiv-Matrix-PDLC-Anzeige realisiert werden.

Ein weiteres potentielles Einsatzgebiet erschließt sich durch die zunehmend *smarte* Welt, die Sensorik der Umgebung, Kommunikation von Gegenständen und Visualisierung durch Anzeigen überall und jederzeit erfordert. Die Vision sind beispielsweise – ohne Anspruch auf Vollständigkeit – intelligente Verpackungen, die den Status von Lebensmitteln, Medikamenten oder Blutkonserven überwachen und anzeigen. Hierzu sind organische Schaltungen erforderlich, die Umweltsignale erfassen und verarbeiten oder zur Ansteuerung einer Anzeige eingesetzt werden. Funktionsfähige, komplexere organische Schaltungen konnten in den letzten Jahren bereits demonstriert werden [31, 86]. Da solche Systeme als Wegwerfelektronik gedacht sind, müssen sie zu niedrigen Kosten herstellbar sein und aufgrund ihres mobilen Einsatzes energiesparend ausgelegt werden. Dies wird durch die Eigenschaften moderner organischer Halbleiter ermöglicht. Polymere sind in vielen Lösemitteln löslich, sodass zur Abscheidung des Halbleiters Druckverfahren eingesetzt werden können. Selbst kleine Moleküle können durch gezielte Materialsynthese mit funktionellen Gruppen versehen werden, sodass diese löslich werden [64]. Der Einsatz von Druckverfahren zur Elektronikfertigung ist ökonomisch vor allem aufgrund des potentiell hohen Durchsatzes interessant. Weitere Kosteneinsparungen, verglichen mit der konventionellen Elektronikfertigung, können sich durch Verringerung von Prozessschritten und Materialeinsparung ergeben. Da bei Druckprozessen die Materialien bereits strukturiert abgeschieden werden, sind Strukturierungsschritte zur Entfernung überschüssigen Materials nicht erforderlich.

Für den energiesparenden Betrieb eignet sich die komplementäre Schaltungstechnik, bei der sowohl p- als auch n-Kanal-Transistoren eingesetzt werden. Im Gegensatz zu unipolaren Schaltungstechniken ist hierbei im statischen Zustand immer ein Zweig der Schaltung vollständig sperrend geschaltet, sodass im Idealfall kein Querstrom durch die Schaltung fließen kann. Aufgrund der problematischen Umweltstabilität organischer n-Typ-Halbleiter, war die Realisierung solcher Schaltungen allerdings lange Zeit nicht möglich [13, 82]. In jüngster Vergangenheit haben intensive Forschungsarbeiten dazu beigetragen, gezielt luftstabile Moleküle zu synthetisieren. Heute gehö-

ren Derivate des Perylendiimids mit elektronenarmem, aromatischen Kern zu den wichtigsten n-Typ-Halbleitern [35, 36, 80]. Entsprechend konnten komplementäre Schaltungen mit organischen Transistoren realisiert werden [11, 42, 76].

Aufgrund des wirtschaftlichen Potentials dieser neuen Technologie begann die öffentliche Förderung durch das Bundesministerium für Bildung und Forschung im Jahr 2009 mit der Einrichtung des Spitzenclusters *Forum Organic Electronics in der Metropolregion Rhein-Neckar*. Ziel des Forschungsverbundes war die Förderung der Zusammenarbeit von Wissenschaftlern und die Bündelung von Know-how aus unterschiedlichen Disziplinen, um die gedruckte Elektronik der Marktreife entgegenzuführen. Neben Aspekten der Materialsynthese und Bauteilphysik wurden auch gezielt Projekte mit anwendungsnahem und fertigungstechnischen Inhalt gefördert. Der Inhalt dieser Arbeit geht aus dem Projekt *Kosadis*¹ (steht für komplementäre Schaltungstechnik für gedruckte Anzeigen und Displays) hervor. Aufgabe dieses Projekts war die Entwicklung von Materialien und Fertigungsprozessen für organische p- und n-Kanal-Transistoren mit gedrucktem Halbleiter, sowie die Entwicklung geeigneter Anzeigen mit Ansteuerung durch organische Transistoren in komplementärer Schaltungstechnik. Der Beitrag dieser Arbeit umfasst dabei im Wesentlichen folgende Punkte:

- Die Entwicklung und Optimierung von organischen Dünnschichttransistoren mit durch Tintenstrahldruck abgeschiedenem Halbleiter. Zum Einsatz kommen sowohl Polymerhalbleiter (p-Typ) als auch kleine Moleküle basierend auf einem Perylendiimid-Derivat (n-Typ). Die organischen Halbleiter wurden durch den Projektpartner BASF SE entwickelt und zur Verfügung gestellt.
- Identifikation eines gemeinsamen Prozesses zur Integration von p- und n-Kanal-Transistoren in komplementäre Schaltungen.
- Untersuchung der Betriebs- und Umweltstabilität der Transistoren und Optimierung durch Einführung einer Verkapselung des organischen Halbleiters.
- Demonstration und Analyse der Betriebsstabilität von logischen Grundsaltungen in komplementärer Schaltungstechnik und darüber hinaus Untersuchung einer alternativen, unipolaren Schaltungstechnik.
- Entwicklung eines Herstellungsprozesses für eine elektrophoretische Aktiv-Matrix-Anzeige mit Ansteuerung durch gedruckte, organische Transistoren.

Der Aufbau der Arbeit gliedert sich in vier Hauptteile. Im zweiten Kapitel erfolgt eine Einführung in Druckprozesse für die Elektronikfertigung. Im Detail wird das in dieser Arbeit eingesetzte Tintenstrahldruckverfahren vorgestellt. Zudem werden die Grundlagen der Dünnschichttransistoren mit organischem Halbleiter vorgestellt. Ein Abschnitt widmet sich dabei der Entwicklung stabiler

¹ FKZ: 13N10766

n-Typ-Halbleiter, da deren Verfügbarkeit für komplementäre Schaltungen essentiell aber gleichwohl lange Zeit nicht existent war. Das dritte Kapitel behandelt die Entwicklung und Optimierung von Herstellungsprozessen für p- und n-Kanaltransistoren mit gedrucktem Halbleiter und dessen Verkapselung. Entsprechend ihrer unterschiedlichen Stoffklasse sind die Anforderungen der verwendeten Halbleiter an einen optimalen Herstellungsprozess höchst unterschiedlich. Dementsprechend wird die Prozessentwicklung für jeden Typ gesondert abgehandelt und am Ende des Kapitels werden Schnittmengen für einen gemeinsamen Herstellungsprozess erörtert. Im vierten Kapitel werden die auf den entwickelten Transistorprozessen basierenden Anwendungen vorgestellt. Im ersten Teil folgt die Untersuchung komplementärer Grundschaltungen und eine Analyse der Betriebsstabilität. Als alternative Schaltungstechnik wird die unipolare, quasi-komplementäre Pseudo-CMOS-Technik untersucht, die sich hinsichtlich der Betriebsstabilität als vorteilhaft erwiesen hat. Der zweite Teil des Kapitels behandelt die Entwicklung eines Herstellungsprozesses für eine elektrophoretische Anzeige mit Aktiv-Matrix-Ansteuerung durch gedruckte Transistoren. Durch die funktionsfähige Anzeige konnte belegt werden, dass sich der entwickelte Transistorprozess zur Integration in ein komplexes, mehrschichtiges System auf der unteren Substratebene eignet. Im letzten Kapitel werden die zentralen Erkenntnisse und Fortschritte dieser Arbeit zusammengefasst.

2 Grundlagen

2.1 Druckverfahren für die gedruckte Elektronik

Konventionelle Prozesse der Mikroelektronik basieren heute praktisch ausschließlich auf dem Photolithographieverfahren. Dabei werden die zu strukturierenden, funktionellen Materialien wie Metalle, Halbleiter und Dielektrika meist ganzflächig auf das Substrat abgeschieden. Diese Schichten werden anschließend mit Photolack maskiert und geätzt, wodurch die gewünschte Struktur entsteht¹. Es handelt sich also um ein subtraktives Strukturierungsverfahren. Aufgrund der zahlreichen dabei durchzuführenden Teilprozesse ist dieses Verfahren sehr zeitaufwendig. Außerdem werden teilweise technisch sehr komplexe Anlagen, zum Beispiel Belichtungssysteme, eingesetzt. Da es sich um ein subtraktives Verfahren handelt ist zudem der Materialverbrauch hoch. Insgesamt ist die Photolithographie daher ein teures Fertigungsverfahren. Dennoch ist dieses Verfahren in der konventionellen Mikroelektronik etabliert, da durch eine immer weiter voranschreitende Integrationsdichte der Flächenbedarf integrierter Schaltungen stetig sinkt und die Ausbeute der Schaltungen aufgrund des über Jahrzehnte entwickelten Prozesswissens hoch ist und ein enormer Automatisierungsgrad bei der Fertigung erreicht werden konnte.

Die Entwicklung funktioneller Materialien basierend auf organischen Verbindungen und deren besondere Eigenschaften haben dazu geführt, über neue Fertigungsverfahren in der Elektronik nachzudenken. Organische Halbleiter, Dielektrika und Leiter auf Basis von Polymeren können aus Lösungen heraus verarbeitet werden. Dies ermöglicht den Einsatz lösemittelbasierter Prozesse zur Schichtabscheidung, wie Aufschleudern oder Drucken. Damit werden insbesondere auch Hochtemperaturprozesse, wie sie aus der konventionellen Elektronik bekannt sind, beispielsweise die chemische Gasphasenabscheidung, vermieden. Somit ist es möglich, statt Siliziumwafer und Glas Plastikfolien als Substratmaterial zu verwenden und damit den Weg hin zu flexiblen Schaltungen zu ebnen.

¹ Der typische Ablauf bei der Strukturierung ist: Ganzflächige Beschichtung des Substrates, Belackern mit Photolack und Lacktrocknung, Belichten des Lacks, Entwickeln des Lacks, Ätzen der Schicht, Entfernen des Lacks und Substratreinigung.

Schon allein wegen der naturgemäß geringeren Leistungsfähigkeit ist es nicht das Ziel der gedruckten Elektronik in Konkurrenz zur konventionellen Mikroelektronik zu stehen, bei der es wie oben beschrieben darum geht, möglichst viele Transistoren pro Fläche unterzubringen. Der Ansatz ist stattdessen Schaltungen und ganze gedruckte, elektronische Systeme mit einem hohen Durchsatz zu niedrigen Kosten zu fertigen. Die bekannten Druckverfahren, wie sie ursprünglich für Printmedien eingesetzt werden, ermöglichen genau dies: Typischerweise werden hunderte von Metern Papier pro Minute bedruckt [39]. Es ist das Ziel der gedruckten Elektronik, diese Druckverfahren zu adaptieren und zur schnellen Fertigung von Schaltungen *am laufenden Band* einzusetzen. Ein weiterer wichtiger Vorteil der Drucktechnologien ist die Tatsache, dass nur dort das Druckmedium abgeschieden wird, wo es auch benötigt wird. Im Gegensatz zur Photolithographie handelt es sich daher um ein additives Fertigungsverfahren. Kostenvorteile können sich durch die Einsparung von Prozessschritten zur Strukturierung und durch Senkung des Materialverbrauchs ergeben.

In den folgenden Abschnitten werden zunächst einige wichtige Anforderungen an die Druckprozesse formuliert, die bei der Fertigung gedruckter Elektronik von Bedeutung sind. Anschließend werden die wichtigsten Druckverfahren kurz vorgestellt – insbesondere das in dieser Arbeit untersuchte Tintenstrahldruckverfahren – und einige für das Drucken relevante Grundlagen der Oberflächenphysik diskutiert.

2.1.1 Anforderungen an Druckprozesse

Während es im graphischen Druck in erster Linie darum geht, den Anforderungen an den visuellen Eindruck des gedruckten Mediums gerecht zu werden, müssen funktionelle, gedruckte Schichten für Elektronikanwendungen eine Vielzahl darüberhinausgehender Anforderungen erfüllen. Einige dieser Anforderungen und Schwierigkeiten, die sich beim Einsatz konventioneller Druckverfahren in der Elektronikfertigung ergeben, werden in diesem Abschnitt angesprochen.

Ein besonders wichtiger Parameter ist dabei das laterale Auflösungsvermögen des Druckprozesses. Dieser bestimmt die Dimension der kleinsten, druckbaren Struktur und insbesondere auch den kleinsten Abstand zwischen den Strukturen, der sicher eingehalten werden kann. Im Hinblick auf die Realisierung gedruckter, kurzschlussfreier Leiterbahnen in Schaltungen ist dies ein wichtiges Kriterium. Außerdem ist die minimale Kanalweite in Transistoren durch das laterale Auflösungsvermögen des Druckprozesses beschränkt und bestimmt somit auch die maximal erzielbare Schaltfrequenz.

Ein weiterer wichtiger Parameter ist die erzielbare Dicke der gedruckten Schicht. Die Schichtdicke beeinflusst – je nach Material – beispielsweise den spezifischen Flächenwiderstand und somit

die Leitfähigkeit oder die Isolationseigenschaften der Schicht. Außerdem beeinflusst die Schichtdicke das Aspektverhältnis unterschiedlicher, aufeinander gedruckter Schichten. Dies kann ein kritischer Parameter sein, wenn beispielsweise eine relativ dicke, aber schmale Leiterbahn durch ein wesentlich dünneres Dielektrikum von nachfolgenden Schichten elektrisch getrennt werden soll. Die Kantenbedeckung an solchen überhöhten Strukturen ist oft ungenügend was zu Fehlern in der elektrischen Isolation führen kann. In ähnlicher Weise kritisch ist die Homogenität der gedruckten Strukturen in Bezug auf die Schichtdicke. Schwankungen in der Schichtdicke führen zu Schwankungen der funktionellen Eigenschaften der Schicht und damit zu variierenden elektrischen Parametern wie Leitfähigkeit, Kapazitätsbelag und dielektrischer Festigkeit der realisierten Bauelemente.

Eine Vielzahl weiterer Randbedingungen beeinflussen die Morphologie gedruckter Strukturen. Dies fängt an bei der Wahl des Druckverfahrens und setzt sich fort durch die viskosen Eigenschaften und die Zusammensetzung des Druckfluids. Auch Wechselwirkungen zwischen dem gedruckten Nassfilm und dem Substrat, sowie das Trocknungsverhalten des Fluids beeinflussen die Schichtbildung erheblich. Dies führt dazu, dass gedruckte Schichten sehr unterschiedliche Oberflächen aufweisen. Meistens werden glatte, geschlossene Schichten mit einer geringen Oberflächenrauheit und klar definierten Druckrändern angestrebt. In der Realität zeigen gedruckte Schichten aber häufig raue oder wellige, in Extremfällen körnige Oberflächen und die Schichten sind nicht immer perfekt geschlossen. Auch die Abbildungsgenauigkeit der Druckränder entspricht oft nicht dem gewünschten Ergebnis. Bekannte Effekte sind beispielsweise Quetschränder² beim Flexodruck oder Materialwanderung während der Trocknung zu den Druckrändern hin beim Tintenstrahldruck³.

Neben diesen Aspekten, die die funktionellen Eigenschaften gedruckter Schichten betreffen, gibt es weitere technische, ökonomische und umwelttechnische Anforderungen an die Druckprozesse. Die eingesetzten Lösemittel organischer Materialien müssen mit dem Druckprozess kompatibel sein. Das bedeutet, dass beispielsweise Materialien wie das Klischee einer Druckwalze durch diese Lösemittel nicht angegriffen werden dürfen oder stark quellen. Oft ist es auch notwendig, besondere technische Maßnahmen zur Absaugung entstehender Dämpfe zu ergreifen, da diese gesundheitsschädlich, umweltschädlich oder brand- und explosionsfördernd sein können.

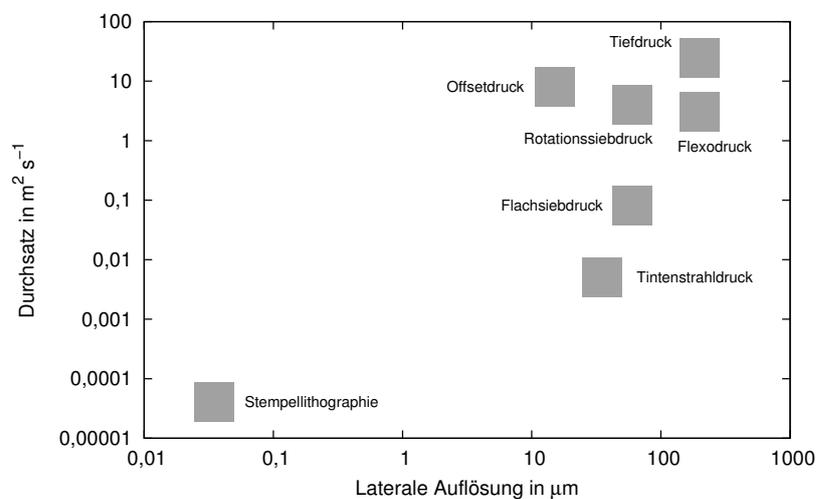
Aus ökonomischen Aspekten – die ja gerade die Fertigung gedruckter Elektronik rechtfertigen sollen – ist ein hoher Durchsatz bei geringen Fertigungskosten und bei gleichzeitig geringer Fehlerrate anzustreben. Je höher der Durchsatz eines Druckverfahrens ist, umso geringer ist typischerweise allerdings auch die laterale Auflösung, die durch dieses Druckverfahren erzielt werden kann. Die-

² Der Rand der gedruckten Struktur wird durch eine von dieser Struktur getrennten Linie umrandet (Halo-Effekt).

³ Durch die Materialwanderung zum Rand hin ist dieser oft extrem überhöht bezogen auf die Schichtdicke der gedruckten Struktur (Kaffeerand-Effekt).

ser Zusammenhang wird in Abbildung 2.1 verdeutlicht. Doch das Verfahren mit dem jeweiligen höchsten Durchsatz ist nicht notwendigerweise die kostengünstigste Lösung. Denn bei der Fertigung komplexer Systeme kommen eine Vielzahl unterschiedlicher Materialien mit spezifischen Eigenschaften und Anforderungen an deren Prozessierung zum Einsatz. Eine Fertigungsstraße zur Herstellung gedruckter, elektronischer Systeme beinhaltet daher immer mehrere, für den jeweiligen Teilprozess geeignete Druckverfahren mit unterschiedlichem Durchsatz. Zudem werden die Druckprozesse ergänzt durch Schritte zur Substratreinigung oder Anpassung der Oberflächenspannung (Plasmaprozesse) oder Schritte zur Trocknung gedruckter Schichten. Daher ist immer die Gesamtmenge der notwendigen Prozesse entscheidend, ob die Realisierung eines Systems durch Drucktechnologien wirtschaftlich ist.

Abbildung 2.1 – Auflösungsgrenzen und Durchsatz einiger wichtiger Druckverfahren. Die Darstellung dient der groben Einordnung. Diese Zusammenstellung ist eine Reproduktion aus [39].



2.1.2 Das Tintenstrahldruckverfahren

2.1.2.1 Grundlagen

Der Tintenstrahldruck ist ein kontaktloses und digitales Druckverfahren und unterscheidet sich in der Funktionsweise deutlich von den in Abbildung 2.1 genannten Massendruckverfahren. Bei diesen Druckverfahren wird das Druckfluid entweder direkt oder indirekt mittels einer rotierenden Druckplatte durch Kontakt mit dem Substrat übertragen oder durch ein strukturiertes Sieb hindurchgestrichen.

Beim Tintenstrahldruck liegt das zu druckende Bild in einer Grafikdatei vor und wird durch digitale Rasterung in ein druckbares Dateiformat gebracht. Diese Datei beinhaltet im Wesentlichen die Information, an welchen Koordinaten einzelne Tropfen des Druckfluids auf das Substrat abgesetzt werden sollen. Durch Überlappen und Ineinanderverfließen der einzelnen Tropfen entsteht ein kontinuierliches Bild. Die Tropfen werden dabei aus einem Druckkopf auf das Substrat abgesetzt,

wobei zwischen Druckkopf und Substrat ein gewisser Abstand besteht. Das zu druckende Bild wird zeilenweise auf das Substrat übertragen, indem das Substrat zeilenweise unter dem Druckkopf weitertransportiert wird und der Druckkopf in Querrichtung dazu die Tropfen einer Zeile über dem Substrat absetzt.

Durch dieses Prinzip ergeben sich gegenüber anderen Druckverfahren einige Vorteile. Einerseits entfällt der Einsatz einer Druckplatte, deren Herstellung zeit- und kostenintensiv ist und die regelmäßig aufgrund von Abnutzung bei kontaktbasierten Verfahren ausgewechselt werden muss. Damit können auch Änderungen am Drucklayout schnell und einfach durch Anpassungen in der Druckdatei vorgenommen werden. Dies zeichnet das Tintenstrahldrucken als äußerst flexibles Fertigungsverfahren aus. Ein weiterer entscheidender Vorteil ergibt sich durch das kontaktlose Absetzen der Tropfen. Dies schützt eventuell bereits auf dem Substrat vorhandene Strukturen des Schichtstapels vor mechanischen Beanspruchungen, die beispielsweise beim Kontakt von Substrat und Druckwalze auftreten können.

Die Tropfen werden auf unterschiedliche Weise im Druckkopf erzeugt. In den Abbildungen 2.2 (a) bis (c) sind die drei hauptsächlich eingesetzten Methoden der Tropfenerzeugung dargestellt. Zum einen gibt es Systeme, die einen kontinuierlichen Tropfenstrahl erzeugen und dessen einzelne Tropfen durch Manipulation der Flugbahn in Abhängigkeit des Druckersignals entweder auf das Substrat abgesetzt oder abgefangen werden. Andererseits gibt es sogenannte *Drop-on-Demand*-Systeme, bei denen die Tropfen in Abhängigkeit des Druckersignals nur bei Bedarf erzeugt werden.

Aufgrund ihrer hohen Tropfengeschwindigkeit (rund 50 m s^{-1}) lassen sich im graphischen Druck mit kontinuierlichen Tintenstrahl-Systemen vergleichsweise hohe Durchsätze erzielen [8]. Außerdem ist das Verstopfen der Druckdüsen bei solchen Systemen aufgrund des dauerhaften Tropfenaustritts kein Problem [8]. Trotz dieser generellen Vorteile ergeben sich speziell beim Drucken funktioneller Materialien Nachteile. Typischerweise werden die Druckköpfe nur für eine bestimmte Art von Fluid entworfen, was die Flexibilität bei der Fertigung einschränkt [8]. Zudem ist es wegen des Prinzips der Tropfenablenkung erforderlich, das eingesetzte Fluid elektrostatisch aufzuladen [8]. Diese Eigenschaft kann bei funktionellen Materialien nicht grundsätzlich sichergestellt werden.

Für das Drucken funktioneller Materialien haben sich vor allem *Drop-on-Demand*-Systeme mit piezoelektrischen Membranen als geeignet erwiesen. Die Druckköpfe sind für eine Vielzahl unterschiedlicher Materialien geeignet, da der Signalverlauf bei der Ansteuerung der Aktuatoren (Amplitude, zeitlicher Verlauf, Signalform) einfach angepasst werden kann [8]. Ein wesentlicher Vorteil ist die sehr niedrige Viskosität ($< 20 \text{ MPas}$) der eingesetzten Fluide was den Einsatz von Bindern oft überflüssig macht [8, 71]. Dadurch bleiben die ursprünglichen Eigenschaften der funk-

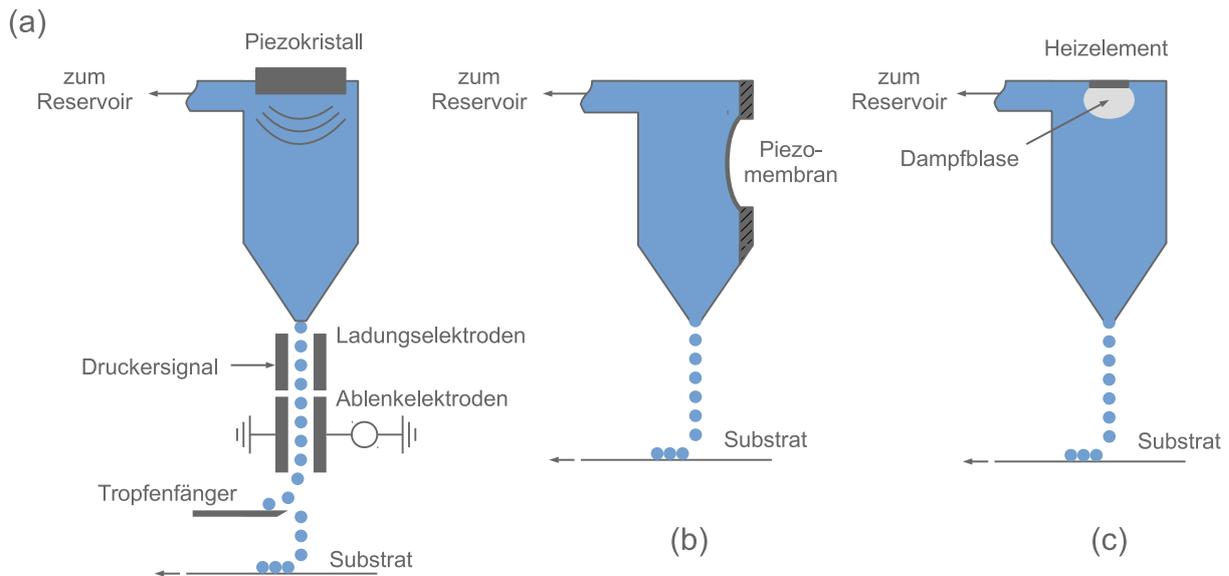


Abbildung 2.2 – Unterschiedliche Methoden zur Tropfenerzeugung beim Tintenstrahl-Druck. (a) Angeregt durch einen Piezokristall wird eine akustische Welle innerhalb der Kavitat der Druckduse erzeugt. Der Tropfenstrahl tritt kontinuierlich aus. Einzelne Tropfen werden elektrisch geladen und in Abhangigkeit des Druckersignals abgelenkt und aufgefangen oder auf das Substrat abgesetzt. (b) Tropfenerzeugung *on Demand* durch Piezomembran. In der Duse wird durch Volumenanderung innerhalb der Kavitat eine Druckwelle erzeugt, die zum Austritt der Tropfen fuhrt. Die Volumenanderung erfolgt durch Anspannen und Entspannen einer Piezomembran. (c) Tropfenerzeugung *on Demand* durch Dampfblase. In der Duse wird durch lokale Verdampfung des Druckfluids eine Dampfblase erzeugt, die ein groeres Volumen beansprucht. Die dadurch erzeugte Druckwelle fuhrt zum Austritt der Tropfen.

tionellen Materialien erhalten. Nachteilig wirkt sich allerdings die unterbrochene Tropfenbildung aus, die solche Systeme anfallig gegenuber Verstopfung der Druckdusen macht [8]. Besonders kritisch ist dieses Verhalten bei Fluiden auf Basis organischer Losemittel mit einem hohen Dampfdruck. Durch die immer wieder ausgesetzte und erneut aufgenommene Tropfenbildung ist auch die Reproduzierbarkeit von Tropfenvolumen und -form eingeschrankt, verbessert sich aber je langer eine Duse durchgehend Tropfen absondert. Systeme basierend auf Heizelementen haben sich wiederum als weniger geeignet fur funktionelles Drucken erwiesen, da den Fluiden zum Teil Additive zur Verdampfung und Bildung der Dampfblase zugesetzt werden mussen [8]. Auerdem kann die lokale berhitzung zur Degradation der funktionellen Eigenschaften fuhren (Temperatur bei wassrigen Fluiden $> 300\text{ }^\circ\text{C}$) [71].

Der Durchsatz beim Tintenstrahl-Druck ist, verglichen mit anderen klassischen Druckverfahren, vergleichsweise gering. Allerdings kann durch eine Parallelisierung der Druckkopfe der Durchsatz erhohet werden. Das Auflosungsvermogen ist durch die Groe der abgesonderten Tropfen beschrankt. Das ausgestoene Tropfenvolumen bei piezoelektrischen Systemen betragt je nach Druckkopf zwischen 1 pl und 10 pl [8]. Dadurch ergibt sich eine Auflosungsgrenze von $20\text{ }\mu\text{m}$ bis $50\text{ }\mu\text{m}$ [39]. Es sei angemerkt, dass die tatsachliche Auflosung erheblich von der Tropfenspreitung auf dem Substrat abhangt und damit von den Benetzungseigenschaften der bedruckten Oberflache.

2.1.2.2 FujiFilm Dimatix DMP-2831 Materials Printer

In dieser Arbeit wurde ein Tintenstrahldrucker der Firma Dimatix (DMP-2831 Materials Printer) eingesetzt. Es handelt sich hierbei um ein System zur Entwicklung von Druckprozessen im Labormaßstab mit funktionellen Materialien, wie Halbleiterlösungen oder Nanomaterialien. Die Fotografien in Abbildung 2.3 zeigen den Drucker und das eingesetzte Kartuschensystem. Die Kartusche enthält einen piezoelektrischen Druckkopf (hergestellt in Si-MEMS-Technologie) mit 16 einzeln ansteuerbaren Druckdüsen, angeordnet in einer Linie im Abstand von 254 μm . Es sind Druckköpfe mit wahlweise 1 pl oder 10 pl verfügbar. Der Druckkopf ist bis zu einer Temperatur von 70 °C beheizbar, um die Tropfenbildung je nach eingesetztem Fluid individuell zu optimieren. Die Druckerplatte verfügt über eine Vakuumsaugung, um das Substrat während des Druckprozesses zu fixieren. Die Platte kann auf eine Temperatur von bis zu 60 °C beheizt werden.

Das zu druckende Layout kann mit gängigen CAD-Programmen, zum Beispiel im vektorbasierten Dateiformat GDS-II, entworfen werden. Der Drucker benötigt zur Verarbeitung des Layouts eine Bitmap-Datei, die durch Konvertierung des Ausgangsformats erzeugt wird. Die Datei enthält nach der Konvertierung unter anderem Informationen über das zugrundegelegte Druckraster und den gewählten Referenzpunkt im Layout. Dieser Referenzpunkt ist entscheidend, um das Drucklayout in einem späteren Schritt auf die Strukturen des Substrates auszurichten. Schon beim Layoutentwurf sollte auf die strikte Einhaltung des später gewählten Druckrasters geachtet werden, das heißt, die Abstände zwischen den Strukturen und deren Abmessungen sollten ein Vielfaches des Rastermaßes betragen. Durch die Konvertierung aus einem Vektorformat in eine diskrete Bildpunktdatei (ein Bildpunkt entspricht der Fläche des gewählten Rastermaßes) kommt es sonst zu ungewollten Ver-



Abbildung 2.3 – (Links) FujiFilm Dimatix DMP-2831 Materials Printer. (Rechts) Kartusche mit Druckkopf. Mit freundlicher Genehmigung von FujiFilm Dimatix Inc. (Santa Clara, Cal., U.S.A.)

setzungen und verfälschten Abmessungen. Insbesondere bei kleinen Strukturgrößen können diese Konvertierungsfehler zur Fehllokalisierung des Fluids führen.

Nachfolgend werden die wichtigsten Schritte des typischen Ablaufs zur Einrichtung des Druckersystems beschrieben:

- Die Befüllung der Kartusche erfolgt mit einer Spritze durch den Füllhof. Zur Reduzierung der Partikeldichte im Fluid ist die Filterung durch einen Spritzenvorsatzfilter mit einer Porengröße zwischen $0,2\ \mu\text{m}$ und $1\ \mu\text{m}$ empfehlenswert. Als Material eignet sich generell PTFE aufgrund der Beständigkeit gegenüber gängigen Lösemitteln. Die Filterung verhindert ein Verstopfen der Druckdüsen durch agglomerierte oder zu große Partikel und optimiert dadurch die Tropfenformation.
- Nach dem Befüllen sollte die Kartusche für ca. 20 min mit dem Druckkopf nach unten gelagert werden, damit Kanäle und Kavitäten des Druckkopfes vollständig mit dem Fluid gefüllt werden und Luftblasen entweichen können.
- Die Kartusche wird anschließend in die vorgesehene Halterung eingebaut und die Winkelstellung entsprechend des verwendeten Tropfenabstands eingestellt.
- Nach dem Einbau der Kartusche wird ein Reinigungsschritt des Druckkopfes empfohlen. Dies ist hilfreich, um restliche Luftblasen zu entfernen und den Systemdruck innerhalb der Kartusche aufzubauen.
- Je nach verwendetem Fluid ist ein geeignetes Ansteuersignal (Waveform) für eine optimale Tropfenformation zu wählen. Bei neuen Materialien kann dieses Signal unter Beobachtung der Tropfenformation mithilfe der Tropfenkamera empirisch optimiert werden. In jedem Fall ist die Anzahl und Auswahl der zu verwendenden Druckdüsen auszuwählen und die Signalamplitude individuell einzustellen. Dies ist selbst bei bekannten Materialien in der Regel unerlässlich, da die Eigenschaften der Druckköpfe erfahrungsgemäß nicht reproduzierbar sind. Die Parameter zur Tropfenformation (Ansteuersignal, Amplitude, Druckkopftemperatur) sollten so gewählt werden, dass die Flugbahn der Tropfen senkrecht und die Geschwindigkeit der einzelnen Tropfen identisch ist. Nach dem Ablösen von den Druckdüsen sollten die Tropfen keinen Schwanz bilden, da dies die Bildung von Satelliten begünstigt. Dies ist aufgrund der inneren Viskosität insbesondere bei Fluiden mit gelösten Polymeren kritisch.
- Nach dem Einbau eines neuen Druckkopfes oder nach jeder Veränderung der Parameter (Signalform, Anzahl der Düsen, Amplitude, Tropfenabstand) ist der Druckkopf zu kalibrieren. Dazu wird ein Substrat mithilfe einer automatisierten Funktion der Software (Drop Offset) bedruckt. Das Testmuster besteht aus einer Linie, an deren rechtem Ende in einem gewissen Abstand ein einzelner Punkt folgt. Mit der Justagekamera ist das Zentrum dieses Punktes anzupeilen. Die Software führt anschließend einen internen Algorithmus zur Kalibrierung durch. Ein chrombeschichtetes Testsubstrat hat sich als besonders geeignet erwiesen, da die

Benetzung durch die meisten Fluide zufriedenstellend ist und der Kontrast des Videobildes auch bei fast transparenten Fluiden noch ausreichend ist.

- Vor dem Bedrucken ist die Lage des Substrates auf die Druckdatei auszurichten. Hierzu kann mithilfe der Justagekamera die Verdrehung des Substrates in der xz -Ebene korrigiert werden. Dazu werden zwei lateral möglichst weit entfernte Punkte mit identischer z -Koordinate anvisiert (Calibrate Theta). Die Druckersoftware führt eine Korrektur durch Drehung der Druckerplatte durch.
- Mithilfe der Justagekamera ist anschließend der Referenzpunkt der Druckdatei auf dem Substrat zu markieren.

2.1.3 Benetzung von Oberflächen

Für Druckprozesse ist das Benetzungsverhalten der zu bedruckenden Oberfläche durch das Fluid von entscheidender Bedeutung. Nur wenn der Nassfilm die Oberfläche hinreichend *gut* benetzt, lagert sich das gelöste Material nach dem Verdampfen des Lösemittels an der gewünschten Stelle ab. Wird die Oberfläche hingegen *zu gut* benetzt, kommt es zur ausgeprägten Spreitung des Nassfilms und Abstände zwischen Strukturen können nicht mehr eingehalten werden, was zum Zusammenfließen des Nassfilms führen kann. Wird die Oberfläche hingegen *sehr schlecht* benetzt, kommt es im Extremfall zur Bildung einzelner Tropfen, statt eines kontinuierlichen Nassfilms. Diese Tropfen neigen zur willkürlichen Wanderung auf dem Substrat und die endgültige Lage nach der Trocknung ist nicht kontrollierbar. In der Praxis ist die Benetzung eine notwendige Grundvoraussetzung, doch die *Bedruckbarkeit* einer Oberfläche hängt von einer Vielzahl unterschiedlicher Faktoren ab und ist im Voraus schwer vorherzusagen. Häufig müssen Oberflächen mit heterogenen Benetzungseigenschaften und Oberflächenprofilen (d.h. unterschiedliche Materialien und Schichtdicken wie bspw. bei TFT-Strukturen) bedruckt werden. Das Druckergebnis hängt außerdem wesentlich von den Eigenschaften des Fluids, wie dessen Materialklasse und Konzentration, ab. Lösungen aus Polymeren weisen beispielsweise eine höhere innere Viskosität auf und reagieren daher auf heterogene Oberflächen unempfindlicher als Lösungen aus kleinen Molekülen. Die Benetzung des Nassfilms allein liefert zudem noch keine Aussage darüber, ob die Morphologie des getrockneten Films den Anforderungen entspricht. Die Bedruckbarkeit ist daher ein erweiterter Begriff für die Summe an Erfahrungswerten aus messbaren Faktoren, wie der Benetzung, und weiterer, in der Regel empirisch gewonnener und oft nur für ein individuelles Materialsystem geltender Eigenschaften des Druckprozesses.

Die Benetzung von Oberflächen durch Flüssigkeiten ist ein Grenzflächeneffekt und durch den sich einstellenden Kontaktwinkel ϑ eine messbare Größe. Der Kontaktwinkel ist die Folge eines Gleichgewichts von Adhäsions- und Kohäsionskräften, die gegeneinander arbeiten. Die Adhäsion

beschreibt dabei die Wechselwirkungen zweier Phasen, in diesem Fall des festen Substrates und der Flüssigkeit, und ist ein Maß für den Zusammenhalt der Phasen an der Grenzfläche. Kohäsion beschreibt den Zusammenhalt der Teilchen innerhalb der Flüssigkeit als Folge von intermolekularen Wechselwirkungen. Je nach Lage des Gleichgewichts stellt sich der Kontaktwinkel als Maß für die Benetzung ein. Dies ist in Abbildung 2.4 veranschaulicht.

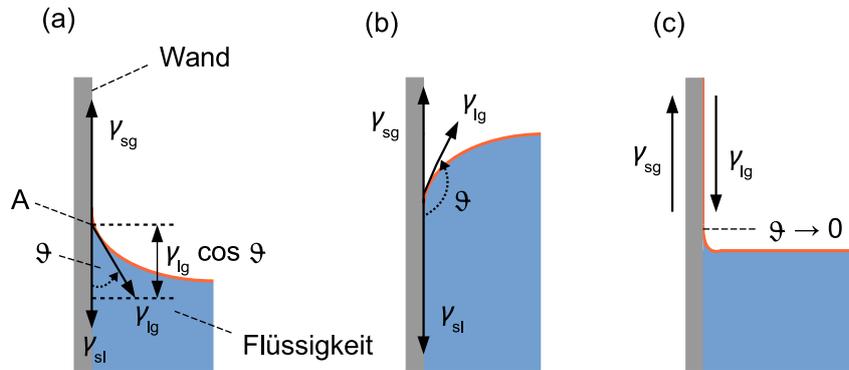


Abbildung 2.4 – Benetzung einer Oberfläche durch eine Flüssigkeit in Abhängigkeit der Grenzflächenspannungen γ_{ij} zwischen fester (s), flüssiger (l) und gasförmiger (g) Phase. Je nach Lage des Kräftegleichgewichts stellt sich ein Kontaktwinkel ϑ zur Oberfläche des Flüssigkeitsfilms ein. Abbildung wie in [14].

Zur Herleitung des Kontaktwinkels ϑ soll nun der Fall (a) betrachtet werden (siehe auch [14]). In dieser Skizze wird die Benetzung einer festen Oberfläche durch eine Flüssigkeit dargestellt. Der Flüssigkeitsfilm wird unter dem Einfluss tangential im Punkt A angreifender Kräfte infolge der Grenzflächenspannungen γ_{ij} zwischen fester, flüssiger und gasförmiger Phase konkav gekrümmt. Im Gleichgewicht heben sich die angreifenden Kräfte auf, also folgt (Youngsche Gleichung)

$$\gamma_{sl} + \gamma_{lg} \cos \vartheta - \gamma_{sg} = 0 \implies \cos \vartheta = \frac{\gamma_{sg} - \gamma_{sl}}{\gamma_{lg}}. \quad (2.1)$$

Der Kontaktwinkel kann – theoretisch – Werte im Bereich $0^\circ \leq \vartheta \leq 180^\circ$ annehmen. Man unterscheidet dabei drei Fälle (Bezeichnung der Fälle entsprechend Abbildung 2.4):

- (a) Falls $\gamma_{sg} > \gamma_{sl}$ dann ist $\cos \vartheta > 0$ und $\vartheta < 90^\circ$. In diesem Fall wird die feste Oberfläche durch die Flüssigkeit benetzt und krümmt sich konkav. Handelt es sich bei der Flüssigkeit um Wasser, wird die Oberfläche als hydrophil bezeichnet. Ursächlich ist der polare Charakter der Oberfläche, der zu einer hohen Oberflächenspannung führt.
- (b) Falls $\gamma_{sg} < \gamma_{sl}$ dann ist $\cos \vartheta < 0$, d.h. $\vartheta > 90^\circ$. In diesem Fall wird die feste Oberfläche durch die Flüssigkeit weniger gut benetzt und krümmt sich konvex. Die (unpolare) Oberfläche hat eine vergleichsweise geringe Oberflächenspannung und wird im Fall von Wasser als hydrophob bezeichnet.

- (c) Für $\gamma_{sg} - \gamma_{sl} > \gamma_g$ ist $\cos \vartheta$ nicht definiert. Die Wechselwirkungen zwischen fester und flüssiger Phase sind so stark, dass die Oberfläche von der Flüssigkeit vollständig benetzt wird und die Grenzfläche fest-gasförmig vollständig verschwindet; $\vartheta \rightarrow 0^\circ$.

Näherungsweise können Adsorptionsprozesse an den Grenzflächen fest-gasförmig und flüssig-gasförmig vernachlässigt werden, sodass $\gamma_{sg} = \gamma_s$ und $\gamma_g = \gamma_l$ gilt [58]. Dann bezeichnet man γ_s als freie Oberflächenspannung (oder -energie) des Substrates und γ_l als freie Oberflächenspannung der Flüssigkeit. Die Oberflächenspannungen eines Substrates, beziehungsweise einer Flüssigkeit können experimentell durch Kontaktwinkelmessungen bestimmt werden. Details zu Methodik und Berechnungen bei Kontaktwinkelmessungen können in [58] nachgelesen werden. Die Kenntnis dieser Größen lässt eine Abschätzung über die Benetzung einer Oberfläche zu. Falls $\gamma_s > \gamma_l$, wird die Oberfläche im Allgemeinen eher gut benetzt. Eine präzisere Aussage ist möglich, wenn der disperse und polare Anteil der Oberflächenspannungen betrachtet wird, denn es gilt $\gamma_i = \gamma_i^d + \gamma_i^p$ [58]. Ursächlich für den dispersen Anteil der Oberflächenspannung sind intermolekulare Dispersionswechselwirkungen aufgrund von Ladungsverschiebungen, die zu induzierten Dipolen und folglich zur Anziehung zwischen den Teilchen führen. Der polare Anteil beschreibt den Anteil durch strukturelle Wechselwirkungen (wie Wasserstoffbrückenbindungen). Dann definiert man den Spreitungskoeffizient S^* wie in [58] als Differenz von Adhäsions- und Kohäsionsarbeit gemäß

$$S^* = W_{ad} - W_{ko} = 2 \left(\sqrt{\gamma_s^p \gamma_l^p} + \sqrt{\gamma_s^d \gamma_l^d} - \gamma_l \right). \quad (2.2)$$

Kommt es durch die Wechselwirkungen zwischen der Oberfläche und der Flüssigkeit zu einem Energiegewinn, d.h. $S^* \geq 0$, wird die Oberfläche benetzt, weil die durch die Benetzung freiwerdende Energie größer ist, als die zum Zusammenhalt des Tropfens benötigte Energie.

Um in der Praxis das Benetzungsverhalten des Substrates zu beeinflussen, gibt es unterschiedliche Möglichkeiten. Typischerweise kann auf die Oberflächenspannung der verdruckten Lösungen weniger Einfluss genommen werden, da die Lösemittel vor allem nach vorrangigen Kriterien wie der Löslichkeit des Feststoffes und der daraus resultierenden Morphologie ausgewählt werden. Die Oberflächenspannung des Substrates kann dagegen durch Oberflächenvorbehandlungen eingestellt werden. Wie auch in [58] gezeigt, führen Plasmavorbehandlungen in Ar und O₂ oder die UV-Ozon-Behandlung zu einer starken Zunahme der Oberflächenspannung und begünstigen die Benetzung. Umgekehrt führen Abscheidungen von Monolagen (vgl. Tabelle 2.2) oder Vorbehandlungen in fluorhaltigen Plasmen [58, 74] zur Abnahme der Oberflächenspannung, wodurch die Benetzung erschwert wird.

2.2 Organische Dünnschichttransistoren mit niedrigen Betriebsspannungen

Ein Schwerpunkt dieser Arbeit ist die Untersuchung von Prozessen, die sich zur Herstellung von Dünnschichttransistoren (engl. Thin-Film Transistor, TFT) eignen, wobei die aktive Schicht – der Halbleiter – aus einer organischen Verbindung besteht und mittels Tintenstrahldruck abgeschieden wird. In diesem Kapitel soll daher zunächst ein Überblick über die aktuell eingesetzten Technologien gegeben werden, um eine Einordnung der gedruckten, organischen Dünnschichttransistoren zu ermöglichen. Außerdem werden einige wichtige theoretische Grundlagen zusammengefasst, die für das Verständnis der Funktionsweise solcher Bauelemente erforderlich sind.

2.2.1 Überblick

Das Funktionsprinzip und die Herstellung von Dünnschichttransistoren mit anorganischen Halbleitermaterialien ist schon seit langer Zeit bekannt und gut untersucht. Erstmals gelang Paul K. Weimer bereits 1961 die Herstellung eines Dünnschichttransistors⁴ mit aufgedampftem Cadmiumsulfid als Halbleiter [77]. Doch erst mit der zunehmenden Verbreitung von Aktiv-Matrix-adressierten Flüssigkristallanzeigen Jahrzehnte später erlangten Dünnschichttransistoren ihre herausragende Bedeutung als aktives Bauelement auf großflächigen Substraten. Seither sind verschiedene TFT-Technologien bekannt. Am weitesten verbreitet sind Dünnschichttransistoren mit amorphem Silizium (a-Si:H) in Pixelschaltungen für Flüssigkristallanzeigen. Der Halbleiter wird hierbei aus der Gasphase⁵ abgeschieden. In OLED-Anzeigen und deren integrierten Ansteuerschaltungen kommen Dünnschichttransistoren basierend auf kristallinem Silizium (c-Si:H) zum Einsatz, da hierbei eine höhere Stromtreibefähigkeit und Ladungsträgerbeweglichkeit des Halbleiters erforderlich ist. Die kristalline Struktur wird dabei entweder durch nachträgliches Kristallisieren von a-Si:H erzielt (beispielsweise polykristallines Silizium durch Laserkristallisation wie in [61]) oder kann auch *in situ* durch geeignete Prozessparameter während der Gasphasenabscheidung erzeugt werden (mikrokristallines Silizium wie in [7]). In jüngster Zeit werden auch amorphe Metalloxidhalbleiter (darunter vor allem Mischoxide aus Indium-, Gallium- und Zinkoxid, IGZO) für den Einsatz in Anzeigen und Ansteuerelektronik intensiv untersucht. Der Halbleiter wird hierbei in der Regel durch Kathodenzerstäubung abgeschieden. Alle hier angesprochenen TFT-Technologien haben gemein, dass die Strukturierung von Metallen, Halbleitern und Dielektrika typischerweise durch subtraktive Photolithographie- und Ätzprozesse erfolgt. Außerdem erfordern die Abscheideprozesse der

⁴ Damals noch als Dünnschichttriode bezeichnet; bereits ein Jahr später etablierte sich die Bezeichnung Dünnschichttransistor [78].

⁵ Zum Beispiel mittels plasmaunterstützter chemischer Gasphasenabscheidung (PECVD) aus Silangas (SiH_4).

Halbleiter und Dielektrika, sowie das nachträgliche Kristallisieren, die Absättigung mit Wasserstoff oder weitere Temperaturbehandlungen des Halbleiters den Einsatz von relativ hohen Temperaturen. Dadurch ist die Auswahl der Substratmaterialien eingeschränkt und in der Regel werden starre Glassubstrate verwendet. Die Möglichkeit, dennoch flexible Substrate zu verwenden, die den hohen Prozesstemperaturen widerstehen, ist durch den Einsatz von Dünnglas (z. B. mit einer Dicke von 75 μm wie in [29] verwendet) oder Stahlfolien [61] gegeben.

Die Forschung an Dünnschichttransistoren mit organischen Halbleitern ist deshalb vor allem getrieben durch die Motivation, aktive Bauelemente auf kostengünstigen, flexiblen Plastiksubstraten zu realisieren. Organische Halbleiter werden in der Praxis durch thermische Sublimation abgeschieden oder können aus Lösungen verarbeitet werden. Die hierbei auftretenden Prozesstemperaturen sind deutlich niedriger als bei konventionellen TFT-Technologien, sodass dies keine Einschränkung für die Auswahl des Substratmaterials darstellt.

Die Realisierung organischer Transistoren basierend auf Prozessen, die die Verwendung von Plastiksubstraten ermöglichen, wurde beispielsweise in der Doktorarbeit von S. Jeltting demonstriert [34]. Der Schwerpunkt dieser Arbeit lag zunächst auf der Untersuchung von Dielektrika für Transistoren, die niedrige Betriebsspannungen ermöglichen und bei niedrigen Temperaturen hergestellt werden können. Dabei wurden anodisch oxidierte Metalloxide wie Aluminiumoxid (Al_2O_3) oder Tantalpentoxid (Ta_2O_5) als besonders geeignet identifiziert, denn diese lassen sich bei Raumtemperatur herstellen. Darüber hinaus kann die Schichtdicke d des Metalloxids sehr dünn gewählt werden (in [34] unter 100 nm), wobei gleichzeitig die materialbedingte Permittivität relativ hoch ist ($\epsilon_r \approx 9$ für Al_2O_3 bzw. $\epsilon_r \approx 27$ für Ta_2O_5). Dies hat zur Folge, dass solche Schichten einen hohen Kapazitätsbelag haben und deshalb in Transistoren ein niedriges Spannungsniveau ermöglichen. Außerdem lassen sich aufgrund des selbstregulierenden Anodisierungsprozesses reproduzierbar Schichten mit hoher Güte bezüglich derer elektrischer Isolationseigenschaften und Durchbruchfeldstärken herstellen.

Die vorliegende Arbeit baut auf den Erkenntnissen von [34] auf und profitiert von der zwischenzeitlich deutlich erweiterten Auswahl an modernen organischen Halbleitern⁶. Inzwischen stehen für beide Ladungsträgertypen sowohl druckbare Halbleiter als auch Halbleiter mit erhöhter Luftstabilität zur Verfügung. Der Prozess zur Herstellung des Dielektrikums wurde nahezu unverändert übernommen. Die Schwerpunkt dieser Arbeit liegt dagegen auf der Einführung des Tintenstrahldrucks zur Abscheidung des Halbleiters aus Lösungen anstatt thermischer Sublimation. Damit soll diese Arbeit einen Beitrag auf dem Weg zur gedruckten Elektronik leisten, bei der möglichst viele konventionelle Abscheidungs- und Strukturierungsprozesse durch alternative Verfahren, vor allem Druckprozesse, ersetzt werden sollen.

⁶ In [34] wurde noch das instabile Pentacen verwendet; organische n-Typ-Halbleiter waren praktisch nicht verfügbar.

2.2.2 Feldeffekttransistoren mit organischem Halbleiter

Organische Transistoren werden in Dünnschichttechnik auf einem Substrat durch Abscheidung und Strukturierung dünner Schichten realisiert, wobei bei der Reihenfolge des Schichtaufbaus Variationen möglich sind. In Abbildung 2.5 ist der beispielhafte Aufbau eines solchen TFT dargestellt. Das Bauelement besteht aus einem Gate (engl. für Tor), das durch ein Dielektrikum elektrisch vom Halbleiter getrennt ist. Der Kanal des TFT wird durch den Abstand L und die Weite W der Source- und Drain-Kontakte (engl. für Quelle bzw. Senke) definiert.

Die Funktion des organischen Dünnschichttransistors beruht auf dem Feldeffekt. Wie in Abbildung 2.5 angedeutet, führt das Anlegen einer Spannung U_{GS} zur Bildung eines elektrischen Feldes im Kanal des Transistors, das die Anreicherung eines Ladungsträgerkanals an der Grenzfläche zwischen Halbleiter und Dielektrikum verursacht. Die zwischen den Drain- und Source-Kontakten angelegte Spannung U_{DS} verursacht ein elektrisches Feld in lateraler Kanalrichtung, woraufhin es zu einem Stromfluss I_D im Halbleiterkanal kommt. Im Idealfall verlassen die am Source-Kontakt in den Halbleiter injizierten Ladungsträger den Kanal über den Drain-Kontakt und es fließt kein Gatesstrom I_G in das perfekt isolierende Dielektrikum.

Organische Transistoren sind unipolare Bauelemente, wobei der Stromfluss I_D entweder von Löchern (p-Typ) oder Elektronen (n-Typ) getragen wird. Die Typisierung des Transistors hängt dabei im Wesentlichen von den elektronischen Eigenschaften des organischen Halbleitermaterials, genauer von der Lage der Energieniveaus des höchsten besetzten (E_{HOMO}) und des niedrigsten unbesetzten (E_{LUMO}) Molekülorbitals und von der Austrittsarbeit des Kontaktmetalls ab. Entschei-

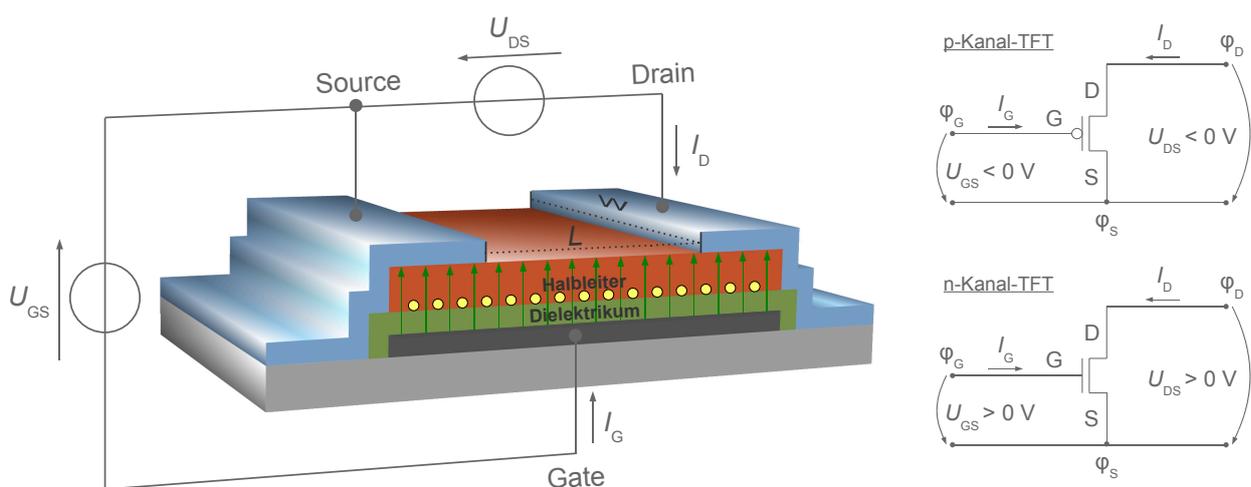


Abbildung 2.5 – (Links) Aufbau und Beschaltung eines Dünnschichttransistors (hier mit untenliegendem Gate und obenliegenden Source- und Drain-Kontakten (engl. Bottom-Gate Staggered)). An der Grenzfläche zwischen Halbleiter und Dielektrikum werden Ladungsträger (gelb) durch ein elektrisches Feld (grüne Pfeile) angereichert. (Rechts) Schaltzeichen und Beschaltung von p- und n-Typ-TFTs.

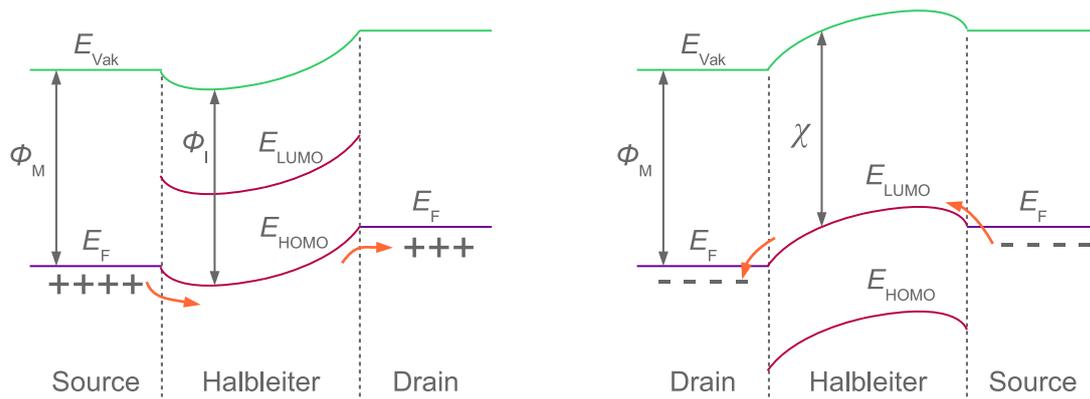


Abbildung 2.6 – (Links) Wenn das Ionisierungspotential ϕ_I des Halbleiters mit der Austrittsarbeit ϕ_M des Metalls übereinstimmt ist die Energiebarriere zwischen dem Fermi-Niveau $E_F = E_{\text{Vak}} - \phi_M$ des Metalls und dem HOMO-Niveau $E_{\text{HOMO}} = E_{\text{Vak}} - \phi_I$ des Halbleiters hinreichend klein und Löcher können vom Source-Kontakt in den Halbleiter injiziert bzw. am Drain-Kontakt extrahiert werden. Es handelt sich dabei um einen p-Kanal-TFT. (Rechts) Wenn die Elektronenaffinität χ des Halbleiters mit der Austrittsarbeit ϕ_M übereinstimmt ist die Energiebarriere zwischen dem Fermi-Niveau E_F des Metalls und dem LUMO-Niveau $E_{\text{LUMO}} = E_{\text{Vak}} - \chi$ des Halbleiters hinreichend klein und Elektronen können vom Source-Kontakt in den Halbleiter injiziert bzw. am Drain-Kontakt extrahiert werden. Es handelt sich dann um einen n-Kanal-TFT. In beiden Diagrammen ist der Fall für eine in Durchlassrichtung vorgespannte Drain-Source-Strecke gezeigt. Diese Darstellung ist eine Vereinfachung unter Vernachlässigung weiterer Oberflächeneffekte. Tatsächlich können am Metall-Halbleiter-Übergang Dipole entstehen, die zu einer Absenkung des HOMO-Niveaus führen und somit die Energiebarriere erhöhen (im Fall von Au/Pentacen beispielsweise um $\Delta = 1,05\text{eV}$). Näheres dazu in [27, 32].

dend ist die Höhe der Energiebarriere des Schottky-Kontakts⁷, die Ladungsträger beim Übergang vom Metall in den Halbleiter (und vice versa) überwinden müssen. Dieser Zusammenhang ist in den Bänderdiagrammen in Abbildung 2.6 schematisch dargestellt. Für den Betrieb von p-Kanal-Transistoren ist daher $E_{\text{HOMO}} \approx E_F$ und für n-Kanal-Transistoren $E_{\text{LUMO}} \approx E_F$ notwendig, was durch die Wahl von Halbleitern und geeigneten Kontaktmetallen erfüllt werden kann.

Entsprechend der Polarität der Ladungsträger sind die Spannungen bei der Beschaltung der Transistoren zu beachten. Im Ladungsträgerkanal eines p-Kanal-Transistors werden Löcher angereichert, wenn die über der Gate-Source-Strecke abfallende Spannung negativ ist ($U_{\text{GS}} < 0$) und es kommt zum Stromfluss von Source nach Drain, wenn die Spannung über der Drain-Source-Strecke ebenfalls negativ ist ($U_{\text{DS}} < 0$). Im Falle von n-Kanal-Transistoren sind die Vorzeichen der genannten Spannungen umzukehren. Auf der rechten Seite in Abbildung 2.5 ist zusammenfassend die Beschaltung von p- und n-Typ-Transistoren in Durchlassrichtung dargestellt.

Der Stromfluss in organischen Transistoren wird üblicherweise durch die für einkristalline Silizium-Feldeffekttransistoren gültigen Stromgleichungen beschrieben, die aus dem Drift-Diffusionsmodell abgeleitet wurden [26, 42]. Diese Stromgleichungen erlauben eine analytische Beschreibung des Transistorverhaltens unter Vernachlässigung des tatsächlich stattfindenden Ladungstransports in organischen Halbleitern. Diese Vereinfachung ist zulässig, solange die physi-

⁷ Als Schottky-Kontakt wird der Metall-Halbleiter-Übergang genannt, wenn der Halbleiter im Kontaktbereich nicht dotiert (also intrinsisch) ist.

kalischen Vorgänge im Halbleiter nicht von Belang sind und der TFT als ideales abstraktes Vierpolelement mit den Eingangsgrößen I_G und U_{GS} und den Ausgangsgrößen I_D und U_{DS} betrachtet wird.

Der Stromfluss I_D durch einen Transistor lässt sich zwei Arbeitsbereichen zuordnen.

Linearer Bereich:

$$I_D = \frac{\mu C_D W}{L} \left((U_{GS} - U_{th}) U_{DS} - \frac{U_{DS}^2}{2} \right) \quad \text{für } |U_{GS} - U_{th}| > |U_{DS}| > 0 \quad (2.3)$$

Im linearen Bereich nach Gl. (2.3) ist I_D nahezu proportional zu U_{DS} , da U_{DS} klein ist und somit der Term $\frac{U_{DS}^2}{2}$ gegenüber $(U_{GS} - U_{th})U_{DS}$ vernachlässigt werden kann. Der Ladungsträgerkanal erstreckt sich in diesem Fall über die gesamte Drain-Source-Strecke.

Sättigungsbereich:

$$I_D = \frac{\mu C_D W}{2L} (U_{GS} - U_{th})^2 \quad \text{für } |U_{DS}| > |U_{GS} - U_{th}| > 0 \quad (2.4)$$

Mit zunehmend größeren Drain-Source-Spannungen geht der Transistor in den Sättigungsbereich über und I_D wird gemäß Gl. (2.4) unabhängig von U_{DS} . Dabei wird am Drain-Kontakt aufgrund des steigenden Drain-Potentials der Ladungsträgerkanal zunehmend abgeschnürt und das Gate-Potential an dieser Stelle geschwächt.

Dabei bezeichnet μ die Ladungsträgerbeweglichkeit, $C_D = \epsilon_0 \epsilon_r d^{-1}$ den Kapazitätsbelag des Dielektrikums mit der Schichtdicke d und U_{th} die Schwellspannung. Beide Gleichungen gelten für n- und p-Kanal-Transistoren, wobei I_D im Falle von p-Kanal-Transistoren einen negativen Betrag hat.

Unterhalb der durch Gl. (2.3) und Gl. (2.4) beschriebenen Arbeitsbereiche und vor Unterschreiten der Einschaltspannung U_{so} befindet sich der Transistor im **Unterschwellbereich** und I_D hängt exponentiell von U_{GS} ab gemäß

$$|I_D| = I_0 \exp\left(\frac{q|U_{GS}|}{nk_B T}\right) \quad \text{für } \begin{array}{l} U_{th} > U_{GS} > U_{so} \quad (\text{n-Kanal-TFT}) \\ U_{th} < U_{GS} < U_{so} \quad (\text{p-Kanal-TFT}). \end{array} \quad (2.5)$$

Hierbei heißt n Idealitätsfaktor, T bezeichnet die absolute Temperatur, q die Elementarladung und k_B die Boltzmann-Konstante. Der Stromfluss in diesem Bereich wird durch Diffusion von La-

Träger durch den Kanal getragen, die aufgrund thermischer Anregung vom Source-Kontakt in den Halbleiter injiziert werden.

Die logarithmische Darstellung des Drainstroms $\lg I_D = f(U_{GS})$ besitzt im Unterschwellbereich eine charakteristische Steigung, den sogenannten Unterschwellanstieg S . Dieser Anstieg ist definiert als reziproker Wert der Steigung von $\lg I_D$, also

$$S = \frac{\partial U_{GS}}{\partial(\lg I_D)} = \frac{n k_B T}{q} \ln 10 \quad \text{mit} \quad n = 1 + \frac{q N_{it}}{C_D} \quad (2.6)$$

und ist maximal, wenn $n \rightarrow 1$ geht. Der Wert von n , bzw. wie ideal sich ein Transistor verhält, hängt von der Konzentration der aktiven Störstellen N_{it} an der Grenzfläche zwischen Halbleiter und Dielektrikum ab. Je geringer die Störstellenkonzentration ist, desto idealer verhält sich der Transistor, was man der Definition von n leicht entnehmen kann.

Unterhalb der Einschaltspannung, also wenn $U_{GS} < U_{so}$ (n-Kanal-TFT) bzw. $U_{GS} > U_{so}$ (p-Kanal-TFT), befindet sich der Transistor im **Sperrbereich**. Im Idealfall fließt in diesem Bereich kein Strom durch den Transistor. Bei realen Bauelementen können aber dennoch sehr kleine parasitäre Leckströme durch das Dielektrikum und den Halbleiter, sowie Kriechströme auf der Substratoberfläche auftreten.

Zur Charakterisierung von Transistoren wird üblicherweise die Eingangskennlinie $I_D = f(U_{GS})$ bei einer konstanten Spannung U_{DS} gemessen. Aus dem Verlauf der Eingangskennlinie können wichtige Parameter, wie μ , U_{th} , U_{so} und S extrahiert werden.

- Die Einschaltspannung U_{so} wird direkt am Knickpunkt der halblogarithmisch aufgetragenen Kurve beim Übergang zwischen Sperr- und Unterschwellbereich abgelesen.
- Der Unterschwellanstieg S lässt sich durch Anlegen einer Tangente an den steilen Anstieg von $\lg I_D$ im Unterschwellbereich bestimmen und wird in der Einheit V/Dekade angegeben.
- Die Schwellspannung wird bestimmt, indem eine Tangente $\frac{\Delta I_D}{\Delta U_{GS}}$ an den Punkt maximaler Steigung von $I_D = f(U_{GS})$ angelegt wird. Der Schnittpunkt dieser Tangente mit der U_{GS} -Achse wird als Schwellspannung U_{th} definiert.

Die Ladungsträgerbeweglichkeit μ ist kein konstanter Wert, sondern kann nur für einen bestimmten Arbeitspunkt des Transistors angegeben werden. Der Arbeitspunkt eines Transistors ist gekennzeichnet durch seinen Durchgangsleitwert g und entspricht der Steigung der Sekante $\frac{\partial I_D}{\partial U_{GS}}$ an die Eingangskennlinie $I_D = f(U_{GS})$ in einem bestimmten Punkt U_{GS} . Üblicherweise wird die Ladungsträgerbeweglichkeit μ im Punkt des steilsten Anstiegs (also $g \rightarrow \max$) angegeben.

Wurde die Eingangskennlinie bei einer kleinen Drain-Source-Spannung aufgezeichnet, so lässt sich aus Gl. (2.3) der Durchgangsleitwert g analytisch herleiten und die Ladungsträgerbeweglichkeit im linearen Bereich bestimmen gemäß

$$g = \frac{\partial I_D}{\partial U_{GS}} \stackrel{(2.3)}{=} \frac{\mu C_D W}{L} U_{DS} \quad \text{und damit} \quad \mu_{\text{lin}} = \frac{L}{C_D W} \frac{1}{U_{DS}} \frac{\partial I_D}{\partial U_{GS}}. \quad (2.7)$$

Für die Extraktion der Ladungsträgerbeweglichkeit im Sättigungsbereich, d. h. wenn die Eingangskennlinie bei einer großen Drain-Source-Spannung aufgezeichnet wurde, folgt entsprechend

$$g = \frac{\partial I_D}{\partial U_{GS}} \stackrel{(2.4)}{=} \frac{\mu C_D W}{L} (U_{GS} - U_{\text{th}}) \quad \text{und damit} \quad \mu_{\text{sat}} = \frac{L}{C_D W} \frac{1}{U_{GS} - U_{\text{th}}} \frac{\partial I_D}{\partial U_{GS}}. \quad (2.8)$$

2.2.3 Organische, insbesondere n-Typ-Halbleiter

Die halbleitenden Eigenschaften organischer Verbindungen sind schon seit Jahrzehnten Gegenstand der Forschung und es sind insbesondere verschiedene Klassen von Halbleitern p-leitenden Typs bekannt, die in Transistoren und weiteren Anwendungen, wie beispielsweise organischen Leuchtdioden, eingesetzt werden. Die wohl bekannteste und am besten untersuchte niedermolekulare Verbindung ist das Pentacenmolekül (Verbindung 2.8a in Abbildung 2.8), das bis in die heutige Zeit der Erforschung der Grundlagen organischer Elektronik dient. Strenggenommen ist die strikte Unterscheidung und Klassifizierung organischer Verbindungen in p- und n-Typ-Halbleiter nicht korrekt – wohl aber von praktischer Bedeutung. Denn obwohl Pentacen eigentlich als typischer p-Typ-Halbleiter bekannt ist, bei dem der Transport positiver Ladungsträger im HOMO stattfindet, wurde für Pentacen auch die Elektronenleitfähigkeit gezeigt [3]. Wie in Kapitel 2.2.2 dargestellt, setzt dies die energetische Anpassung des Injektionskontakts an das LUMO voraus. Da das LUMO-Niveau von Pentacen (etwa -3 eV) energetisch relativ hoch liegt, ist die Injektion von Elektronen aus Metallen mit einer hohen Austrittsarbeit (bspw. Gold mit $\phi_{\text{Au}} \approx 5\text{ eV}$) praktisch ausgeschlossen. Verwendet man dagegen Calcium-Kontakte (mit $\phi_{\text{Ca}} \approx 3\text{ eV}$) ist es möglich, Elektronen in das LUMO zu injizieren und Pentacen wird zum Elektronenleiter. Die Tatsache, dass Metalle mit so niedrigen Austrittsarbeiten wie Calcium spontan an Luft oxidieren, schließt den praktischen Einsatz von Verbindungen wie Pentacen als n-Typ-Halbleiter allerdings aus und rechtfertigt daher doch die Unterscheidung zwischen Halbleitern p- und n-leitenden Typs.

Im weiteren Verlauf dieses Kapitels soll nach dieser einleitenden Diskussion ausschließlich auf organische Halbleiter n-leitenden Typs eingegangen werden, da die Entwicklung solcher Verbindungen aufgrund ihrer Instabilität den p-Typ-Halbleitern über viele Jahre nachgeeilt ist. Gleichwohl

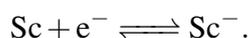
war die Verfügbarkeit von n-Typ-Halbleitern für die Realisierung von komplementären Schaltungen zwingend erforderlich, was die Entwicklung nunmehr existierender Verbindungen angetrieben hat.

2.2.3.1 Elektrochemische Stabilität

Wie schon eingangs beschrieben, ist eine erste notwendige Bedingung an n-leitende Verbindungen die Erfüllung der energetischen Anpassung von Kontaktmetall und LUMO, um die Injektion von Elektronen in den Halbleiter zu ermöglichen. Typischerweise wird hierbei Gold aufgrund seiner inerten Eigenschaften eingesetzt. Andere Metalle (wie Aluminium oder Kupfer) bilden häufig native Oxidschichten und verursachen einen hohen Kontaktwiderstand. Um die Anpassungsbedingung zu erfüllen, muss das LUMO-Niveau des Halbleiters energetisch relativ niedrig liegen oder in anderen Worten ausgedrückt: die organische Verbindung muss elektronenarm sein [3, 4].

Ein niedrig liegendes LUMO-Niveau ist aber nicht nur für die Elektroneninjektion erforderlich, sondern auch für die Stabilität des Halbleiters notwendig [3, 13]. Hierbei ist wichtig zwischen der Stabilität einer organischen Verbindung gegenüber chemischen Reaktionen und der elektrochemischen Stabilität eines Redoxzustandes zu unterscheiden. Von praktischer Bedeutung und hauptsächlich ursächlich für die einst sehr eingeschränkte Materialklasse der n-Typ-Halbleiter ist hierbei vor allem die letztere Anforderung, die die gezielte Synthese von Verbindungen mit energetisch niedrig liegenden LUMO-Niveaus erfordert. Aufgrund ihrer zentralen Stellung werden im Folgenden die Mechanismen der elektrochemischen Stabilität detailliert diskutiert und einige wichtige Halbleiterverbindungen vorgestellt.

Eine organische Halbleiterverbindung Sc wird durch die Aufnahme eines Elektrons in das LUMO reduziert und bildet dabei ein negativ geladenes organisches Anion:

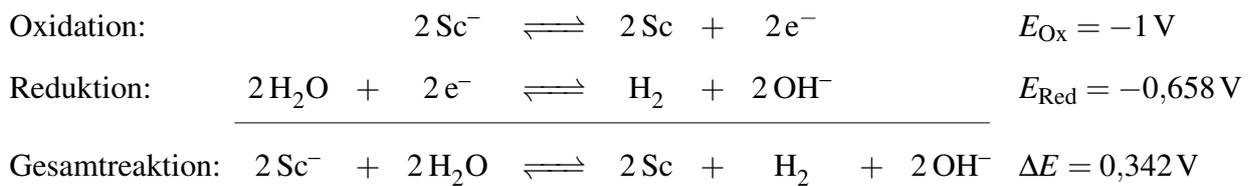


Diese Anionen sind typischerweise instabil [13] und werden durch Wasser (H_2O) und Sauerstoff (O_2) aus der Umgebungsluft leicht oxidiert was einer Vernichtung freier Ladungsträger im Transportband des Halbleiters entspricht. Je tiefer aber das LUMO-Niveau liegt, desto höher ist die Elektronenaffinität des Anions und folglich dessen Stabilität⁸. De Leeuw et al. gingen daher in ihrer theoretischen Arbeit der Fragestellung nach, wie tief das LUMO-Niveau eines organischen

⁸ Das LUMO-Niveau hängt direkt mit dem Reduktionspotential eines Halbleiters zusammen und kann experimentell durch Cyclovoltammetrie bestimmt werden [36]. Je höher das Reduktionspotential, desto niedriger liegt das LUMO-Niveau und umso stabiler ist die untersuchte Verbindung.

Halbleiters liegen muss, um den Redoxzustand des Anions gegenüber Oxidation durch H_2O und O_2 zu stabilisieren.

Hierzu wird die Redoxreaktion betrachtet, bei der H_2O aus der Umgebungsluft das organische Anion Sc^- oxidiert. Die angegebenen Redoxpotentiale E beziehen sich auf die Reduktionsreaktion⁹ der jeweiligen Teilreaktion und das Potential für das Redoxpaar Sc/Sc^- eines allgemeinen, organischen Halbleiters wird in diesem Beispiel mit -1 V angenommen.



Die Richtung der Gesamtreaktion, und damit die Frage, welcher Redoxzustand des Redoxpaares Sc/Sc^- stabil ist, hängt vom Vorzeichen der freien Enthalpie ΔG der Redoxreaktion ab. Dabei ist ΔG definiert über die Differenz der Redoxpotentiale der Teilreaktionen $\Delta E = E_{\text{Red}} - E_{\text{Ox}}$ gemäß

$$\Delta G = -zF \Delta E, \quad (2.9)$$

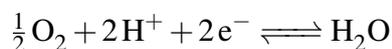
wobei z die Anzahl der ausgetauschten Elektronen angibt und F die Faradaykonstante ist.

Für die oben angegebene Redoxreaktion ergibt sich für die Potentialdifferenz ΔE ein positives Vorzeichen und damit ein negativer Wert für die freie Enthalpie ΔG . Folglich handelt es sich um eine exergone, also freiwillig ablaufende Reaktion in Richtung des oxidierten Zustandes des Redoxpaares Sc/Sc^- und dies verdeutlicht, dass das organische Anion Sc^- gegenüber der Reduktion von H_2O instabil ist.

Für Werte $E_{\text{Ox}} > -0,658\text{ V}$ nimmt ΔE ein negatives Vorzeichen an und somit ist $\Delta G > 0$. In diesem Fall handelt es sich um eine endergone Reaktion, deren Gleichgewicht auf der Seite des reduzierten Zustandes des Redoxpaares Sc/Sc^- liegt. Halbleiter mit einem Redoxpotential $E_{\text{Ox}} > -0,658\text{ V}$ sind daher stabil gegenüber Reduktion von H_2O .

⁹ Die Potentiale E beziehen sich also auf die Reaktionsrichtung von der oxidierten in Richtung der reduzierten Form eines beliebigen Redoxpaares A/A^- beschrieben durch $\text{A} + \text{e}^- \xrightleftharpoons[\text{Oxidation}]{\text{Reduktion}} \text{A}^-$

Der für die Stabilität des Anions Sc^- gegenüber Oxidation durch Sauerstoff notwendige Wert von E_{Ox} lässt sich durch analoge Betrachtung herleiten. In diesem Fall betrachtet man die Redoxreaktion



mit einem Redoxpotential von $E_{\text{Red}} = 0,571 \text{ V}$. Nach Gl. (2.9) ergibt sich für ΔG ein positives Vorzeichen für Werte $E_{\text{Ox}} > 0,571 \text{ V}$. Halbleiter mit dieser Eigenschaft sind daher als stabil gegenüber Oxidation durch Sauerstoff einzuordnen.

Tatsächlich ist der Ablauf der eben diskutierten Reaktionen unter realen Bedingungen bei Beteiligung gasförmiger Reaktanden wie O_2 und H_2 häufig gehemmt und es bedarf einer zusätzlichen Aktivierung in Form einer Überspannung, die von de Leeuw et al. im Bereich von 0,5 V bis 1 V vermutet wird. Dies führt dazu, dass die notwendigen Redoxpotentiale des Halbleiters für Stabilität gegenüber O_2 und H_2O um die auftretende Überspannung niedriger liegen können. Diese Annahme wurde im Falle von Halbleitern basierend auf Derivaten mit Naphtalin- bzw. Perylen-diiimidenkern experimentell bestätigt und die auftretende Überspannung auf einen Wert um 0,6 V bestimmt [36].

In Abbildung 2.7 sind die hergeleiteten Grenzen für die Stabilität des Anions Sc^- gegenüber Oxidation durch H_2O und O_2 nach dem Modell von de Leeuw et al. zusammenfassend skizziert. Halbleiter, die elektrochemisch gegenüber O_2 stabil sind, sind auch stabil gegenüber H_2O . Auch der Einfluss der Überspannung wird verdeutlicht, der zu einer Absenkung des notwendigen Redoxpotentials führt und damit das Stabilitätskriterium entschärft.

Die obenstehenden Überlegungen zeigen also, dass ein energetisch niedrigliegendes LUMO-Niveau sowohl für die Ladungsträgerinjektion, als auch für die elektrochemische Stabilität des Halbleiters notwendig ist, was die gezielte Synthese elektronenarmer Verbindungen erfordert. Im Folgenden werden einige wichtige Verbindungen vorgestellt.

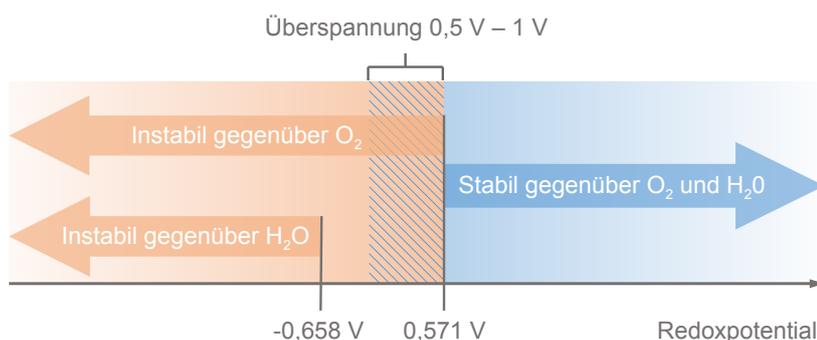


Abbildung 2.7 – Notwendige Redoxpotentiale E für die Stabilität organischer Halbleiter gegenüber Oxidation durch H_2O und O_2 und Übergangsbereich, gekennzeichnet durch Schraffur, der den Einfluss von Überspannungen verdeutlicht.

2.2.3.2 Acene

Wie schon beschrieben, ist Pentacen (Verbindung 2.8a) aufgrund der energetischen Anpassung des HOMO-Niveaus an die Austrittsarbeit gängiger Kontaktmetalle wie Gold vor allem als p-Typ-Halbleiter bekannt, obwohl diese Verbindung grundsätzlich auch als Elektronenleiter in Betracht kommt (vide supra) [3]. Eine Absenkung des LUMO-Niveaus auf das Niveau der Austrittsarbeit des Kontaktmetalls würde die Injektion von Elektronen auch aus Goldkontakten ermöglichen. Dies kann tatsächlich erreicht werden, indem Wasserstoff- durch Fluoratome substituiert werden (Perfluoropentacen, Verbindung 2.8b). Durch die stark elektronenziehenden Eigenschaften der Fluoratome wird die Elektronendichte des π -Elektronensystems reduziert, was in der Erniedrigung des LUMO-Niveaus resultiert. Dies hat zur Folge, dass die Injektion von Elektronen aus Goldkontakten möglich und die Verbindung stabiler gegenüber Ladungsträgerfallen an der Grenzfläche zum Dielektrikum ist. Da das Reduktionspotential bei circa $-0,6\text{V}$ liegt, ist Perfluoropentacen an Luft allerdings instabil [3].

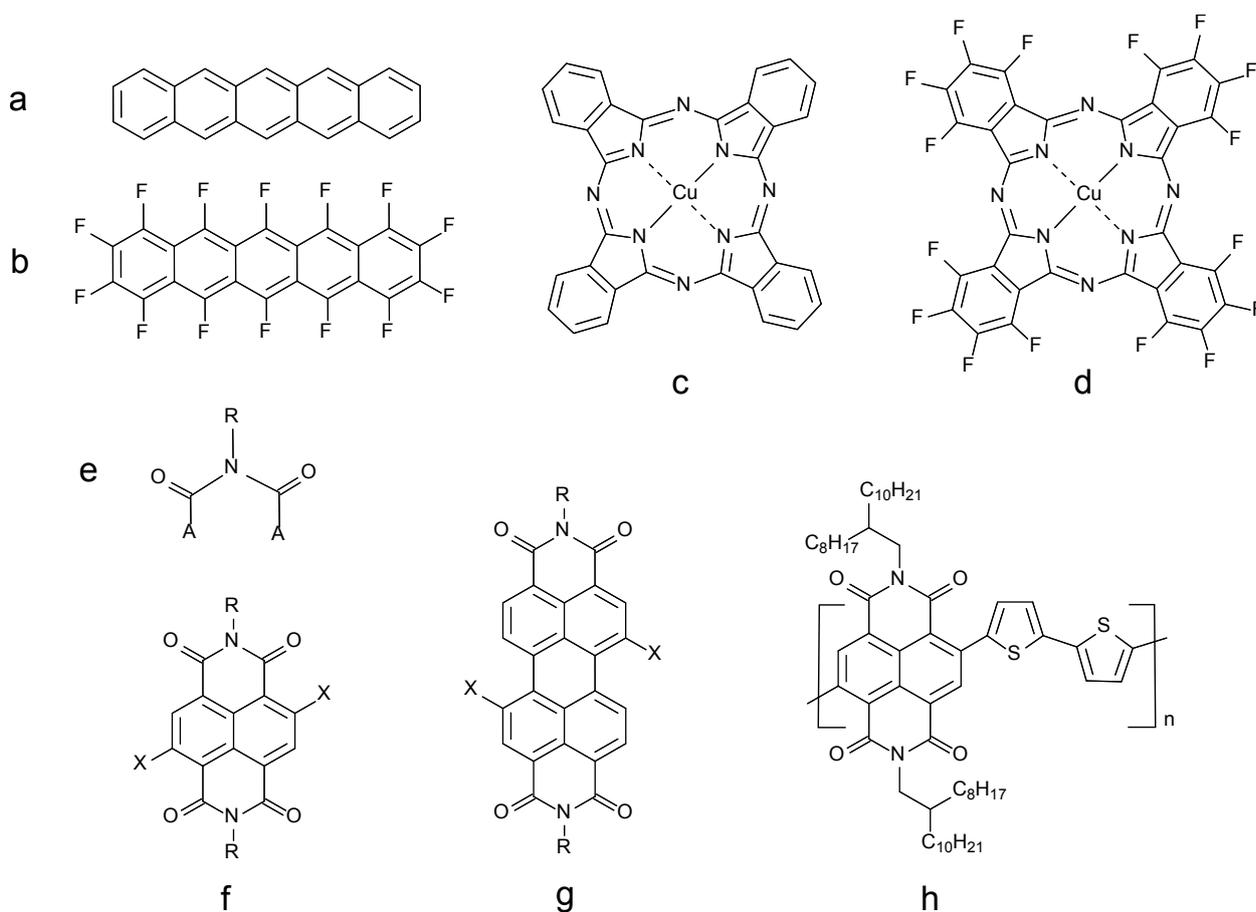


Abbildung 2.8 – Verbindungen einiger organischer Halbleiter: (a) Pentacen, (b) Perfluoropentacen, (c) Kupferphthalocyanin (CuPc), (d) Perfluorokupferphthalocyanin (F₁₆-CuPc), (e) Imidogruppe, (f) Naphtalindiimid-Derivat (NDI), (g) Perylendiimid-Derivat (PDI), (h) Poly{[N,N'-bis(2-octyldodecyl)-naphtalin-1,4,5,8-bis(dicarboximid)-2,6-diyl]-alt-5,5'-(2,2'-bithiophen)} (P(NDI2OD-T2)). Bei den Verbindungen (e), (f) und (g) bezeichnet R einen organischen Rest (z. B. einen Alkylrest) und X eine funktionelle Gruppe (z. B. Wasserstoff –H oder Cyanogruppe –CN). Bei der Imidogruppe bezeichnet A einen Arylrest (hier Naphtalin oder Perylen).

2.2.3.3 Metallophthalocyanine

Anhand der Verbindung Kupferphthalocyanin (CuPc, Verbindung 2.8c) konnte analog zu den Acenen die Erniedrigung des LUMO-Niveaus durch Substitution der Wasserstoffatome durch elektronenziehende Fluoratome demonstriert werden [4]. Das LUMO-Niveau von Perfluorokupferphthalocyanin (F_{16} CuPc, Verbindung 2.8d) liegt bei etwa $-4,5\text{ eV}$ und damit rund $1,8\text{ eV}$ unter dem LUMO-Niveau von CuPc [41]. F_{16} CuPc ist als einer der ersten stabilen n-Typ-Halbleiter mit – seinerzeit – relativ hoher Ladungsträgerbeweglichkeit $\mu \approx 0,02\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ bekannt geworden [4]. Das Reduktionspotential dieser Verbindung liegt bei $-0,13\text{ V}$ und damit innerhalb des Toleranzbereichs nach Abbildung 2.7 und erfüllt somit das theoretische Stabilitätskriterium [36].

2.2.3.4 Derivate mit Naphtalin- und Perylendiimidkern

Derivate mit Naphtalin- oder Perylendiimidkern (NDI bzw. PDI, Verbindung 2.8f und g) zählen heute zu den wichtigsten n-Typ-Halbleitern überhaupt. Die n-leitenden Eigenschaften dieser Derivate basieren auf dem elektronenziehenden Charakter der Imidogruppe (Verbindung 2.8e), die die Elektronendichte des aromatischen Naphtalin- bzw. Perylenkerns reduziert und somit das LUMO-Niveau dieser Verbindungen abgesenkt [3]. NDI- bzw. PDI-Derivate können grundsätzlich über hohe Elektronenbeweglichkeiten verfügen und weisen eine hohe chemische und photochemische Beständigkeit auf [3]. Die wohl wichtigste Eigenschaft dieser Derivate besteht in der chemischen Modifizierbarkeit der Moleküle an den N,N' -Positionen der Imidogruppe und an der X-Position des Naphtalin- bzw. Perylenkerns.

Katz et al. berichteten erstmals von einer erhöhten Stabilität des NDI-Kerns durch Substitution mit Fluoroalkylketten ($R = \text{CH}_2\text{C}_7\text{F}_{15}$) an den N,N' -Positionen, wohingegen eine vergleichbare Alkylkette ($R = \text{C}_8\text{H}_{17}$) den Halbleiter gegenüber Luft nicht stabilisiert [40]. Das Reduktionspotential des fluorierten Derivats liegt rund 150 mV höher, was nicht signifikant aber für die Stabilität des Moleküls generell förderlich ist (vide supra). Katz et al. vermuten als Ursache für die erhöhte Stabilität aber vor allem morphologische Gründe. Demnach wird für fluorierte Alkylketten eine erhöhte Packungsdichte erwartet, was die Kinetik der Permeation des Halbleiters durch O_2 und H_2O erschweren soll [36, 40]. Dem widersprechen die Studien von Weitz et al. [79, 80]. In [80] wurde der Einfluss unterschiedlicher Substituenten an den N,N' -Positionen untersucht. Als Substituenten wurden zum einen lineare Fluoroalkylketten eingesetzt, die eine hohe Packungsdichte erwarten lassen. Als Gegenbeispiel wurden außerdem fluorierte Substituenten mit eher sperrigem Charakter eingesetzt, die keine kinetische Permeationsbarriere erwarten lassen. Das Ergebnis dieser Studie zeigt, dass die zeitabhängige Degradation des Halbleiters – gemessen an der Ladungsträgerbeweglichkeit – über einen Zeitraum von 400 Tagen für alle untersuchten Substituenten sehr vergleichbar

ist und der Stabilitätsmechanismus somit nicht ausschließlich durch das Vorhandensein einer kinetischen Barriere erklärt werden kann. In einer weiteren Studie untersuchen Weitz et al. daher den Einfluss der Morphologie auf die zeitabhängige Degradation eines PDI-Derivats ($R = \text{CH}_2\text{C}_3\text{F}_7$ und $X = \text{CN}$) in ein- bzw. polykristallinen Filmen [79]. Hierbei wurden die untersuchten Einkristalle durch Wachstum aus einer übersättigten Lösung hergestellt. Die polykristalline Schicht wurde mittels Vakuumsublimation direkt auf das Substrat abgeschieden. Die Stabilität an Luft – wieder gemessen an der Ladungsträgerbeweglichkeit – unterscheidet sich dabei fundamental in Abhängigkeit der Morphologie. Während die Degradation im einkristallinen Film über einen Zeitraum von 50 Tagen nicht signifikant ist, bricht die Ladungsträgerbeweglichkeit im polykristallinen Film um über eine Größenordnung ein. Weitz et al. führen dieses Verhalten auf die Dichte der Korngrenzen im Halbleiterfilm zurück, die in Einkristallen naturgemäß sehr gering und in polykristallinen Filmen deutlich erhöht ist. An diesen Korngrenzen werden Umorientierungen von fehlkoordinierten Molekülen erwartet, die dann als aktive Ladungsträgerfallen in Betracht kommen.

Unstrittig ist hingegen die erhöhte Stabilität von NDI- und PDI-Derivaten durch Substitution mit sehr stark elektronenziehenden Cyanogruppen an der X-Position [3, 35, 36, 80]. Diese Substituenten reduzieren die Elektronendichte des aromatischen Kerns und erniedrigen damit die Lage des LUMO-Niveaus, was mit einer Stabilisierung des reduzierten Redoxzustands gegenüber Oxidation durch O_2 und H_2O einhergeht. In [35] wird der quantitative Effekt der Cyanierung des Kerns mit einer signifikanten Erhöhung des Reduktionspotentials von $-0,43 \text{ V}$ auf $-0,07 \text{ V}$ bei dem PDI-Derivat mit $R = \text{Cyclohexan}$ und $X = \text{CN}$ gegenüber einem nicht cyanierten Kern ($R = \text{C}_8\text{H}_{17}$ und $X = \text{H}$) angegeben. Neben der Stabilisierung des Halbleiters erhöht die Cyanierung auch die Löslichkeit der Moleküle in organischen Lösemitteln, wodurch PDI- und NDI-Derivate ihre herausragende Stellung als einerseits luftstabile und andererseits lösungsprozessierbare Halbleiter erlangt haben.

Um den Anforderungen an eine erhöhte Viskosität der Halbleiterlösung bei Flexo- und Tiefdruckverfahren gerecht zu werden, wurden auf Basis von NDI- und PDI-Derivaten Polymere entwickelt. Während Polymere auf Basis von PDI instabil sind, ist die Verbindung 2.8h basierend auf NDI an Luft weitgehend stabil und kann bis zu einem Feststoffanteil von 60 g l^{-1} in Lösung gebracht werden [3, 83]. Es wurden Ladungsträgerbeweglichkeiten von bis zu $0,85 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ berichtet [83].

2.2.4 Gatedielektrika für organische Transistoren

Da die Funktion organischer Transistoren auf dem Feldeffekt beruht, kommt dem Dielektrikum eine entscheidende Bedeutung zu. Das Dielektrikum isoliert den Halbleiter von der Gate-Elektrode (vgl. Abbildung 2.5) und ist bei untenliegendem Gate gleichzeitig das Substrat für den Halbleiter. Bei Anlegen einer Spannung U_{GS} durchdringt das elektrische Feld das Dielektrikum und an der Grenzfläche zum organischen Halbleiter kommt es zur Anreicherung eines Ladungsträgerkanals. Die Art und Beschaffenheit des Dielektrikums beeinflusst wesentliche Eigenschaften, wie dessen Isolationsfähigkeit, die Ansteuerspannung der Transistoren, sowie die Morphologie des Halbleiters und die Physik des Grenzflächeneffekts. Das Dielektrikum muss daher zahlreiche Anforderungen erfüllen, die teilweise in Widerspruch zueinander stehen.

2.2.4.1 Anforderungen

Im Fall eines Aufbaus mit untenliegendem Gate (vgl. Transistorarchitekturen in Abbildung 3.1) beeinflusst die Oberflächenbeschaffenheit des Dielektrikums die Morphologie des organischen Halbleiters. Eine raue Oberfläche stört das Schichtwachstum und kann zu einer erhöhten Dichte von Fehlorientierungen im Kristallgefüge führen was den Ladungstransport an der Grenzfläche beeinflusst. Im Allgemeinen wird daher eine möglichst glatte Oberfläche mit geringer Rauheit angestrebt [73].

Zudem beeinflusst die Polarität des Dielektrikums – ausgedrückt durch die Permittivität ϵ_r – die Zustandsdichte der Ladungsträger im organischen Halbleiter. Eine polare Oberfläche führt zur Aufspreizung der diskreten Energieniveaus und bewirkt damit eine Lokalisierung der Ladungsträger durch Fallenzustände. Dies führt zu einer Reduktion der Ladungsträgerbeweglichkeit [73]. Außerdem kann es bei polaren Dielektrika (wie Al_2O_3) zu einem ausgeprägten Hysterese-Effekt kommen [34]. Insbesondere Metalloxide neigen zur Reaktion mit Wasser aus der Umgebung, was zur Bildung von Hydroxygruppen an der Grenzfläche führt, die als Ladungsträgerfallen für Elektronen in Betracht kommen. Aus diesem Grund ist eine möglichst unpolare Oberfläche anzustreben.

Dies steht allerdings unvereinbar im Widerspruch zu zwei weiteren Anforderungen. Werden geringe Ansteuerspannungen angestrebt, so ist ein möglichst hoher Gatekapazitätsbelag

$$C_D \approx \epsilon_0 \epsilon_r d^{-1} \quad (2.10)$$

erforderlich, was durch eine hohe Permittivität erreicht werden kann. Polare Eigenschaften sind außerdem für eine optimale Benetzung der Oberfläche durch den gedruckten Halbleiter anzustreben. Unpolare Oberflächen besitzen dagegen eine geringe Oberflächenspannung, was zu hydrophoben Eigenschaften führt (vgl. Tabelle 2.2) und die Benetzung erschwert oder unmöglich macht.

Die Isolationseigenschaft des Dielektrikums wird unter anderem durch dessen Schichtdicke d bestimmt. Je dicker das Dielektrikum ist, umso geringer ist im Allgemeinen die Leckstromdichte. Insbesondere bei polymeren Dielektrika wird erst durch relativ dicke Schichten (mehrere 100 nm) eine hinreichende Isolationsfähigkeit erreicht. Allerdings verhält sich der Kapazitätsbelag umgekehrt proportional zur Schichtdicke. Eine Erhöhung von d hat somit auch eine Erhöhung der Ansteuerspannung zur Folge.

Es ist daher äußerst schwierig, ein Material zu identifizieren, das sowohl die Anforderungen an die funktionellen Eigenschaften, als auch an die Prozessierbarkeit gleichermaßen erfüllt. Eine interessante Lösung verfolgen beispielsweise die Arbeiten [21, 33, 42, 43] mit dem Ansatz eines hybriden Dielektrikums. Hierbei wird zunächst eine wenige Nanometer dünne Aluminiumoxidschicht auf der Gate-Elektrode durch Behandlung in einem Sauerstoffplasma erzeugt. Auf dieser Oxidschicht wird anschließend eine dicht gepackte Monolage selbstorganisierender Moleküle mit hydrophober Kopfgruppe abgeschieden. Durch die extrem dünne Schicht des hybriden Dielektrikums (unter 10 nm) wird ein vergleichsweise hoher Kapazitätsbelag von $0,7 \mu\text{Fcm}^{-2}$ erreicht, was in Ansteuerspannungen unter 3 V resultiert. Trotz der geringen Schichtdicke beträgt dabei die Leckstromdichte nur rund $5 \cdot 10^{-5} \text{Acm}^{-2}$ [43]. Die hydrophobe Oberfläche der Monolage wirkt sich positiv auf die Morphologie aufgedampfter Halbleiterschichten aus und führt zu einem optimierten Ladungstransport [21]. Dieses Dielektrikum erfüllt somit gleichermaßen die Anforderungen an niedrige Ansteuerspannungen, sowie hinreichende Isolations- und Transporteigenschaften. Untersuchungen im Rahmen dieser Arbeit haben allerdings gezeigt, dass der Einsatz auf aufgedampfte Halbleiter beschränkt ist. Die Oberfläche wird aufgrund der extrem hydrophoben Eigenschaften von aus Lösungen abgeschiedenen Halbleitern nicht ausreichend benetzt (vgl. Abbildung 3.10 und Anhang A.7). In dieser Arbeit wurde daher das in [34] entwickelte Verfahren zur Erzeugung anodisch oxidiertener Aluminiumschichten eingesetzt.

2.2.4.2 Anodische Oxidation von Aluminium

Durch anodische Oxidation werden dünne und dennoch sehr gut isolierende Schichten (Durchbruchfeldstärke $E_{\text{BD}}^+ \approx 5 \text{MV}$ bei Überschreiten von $J = 10^{-6} \text{Acm}^{-2}$ bei $60 \text{nm Al}_2\text{O}_3$ [34]) mit hoher Reproduzierbarkeit hergestellt. Die vergleichsweise hohe Permittivität von $\epsilon_r \approx 9$ ermöglicht darüberhinaus moderate Ansteuerspannungen.

Die anodische Oxidation (auch Anodisierung) ist ein Elektrolyseverfahren, bei der die zu oxidierende Metallschicht die Anode der Elektrolysezelle bildet (vgl. Abbildung 2.9 (a)). Zur Anodisierung von Aluminium (bzw. Al:Nd) eignet sich als Elektrolyt eine wässrige Lösung von Wasserstoffperoxid (H_2O_2), die mit Ammoniakwasser (NH_4OH) auf einen pH-Wert von 7 eingestellt wird. In diesem neutralen Bereich kommt es nicht zur Korrosion der Aluminiumschicht [34]. Durch Anlegen einer Spannung U an die Zelle wird eine Redoxreaktion in Gang gesetzt, wobei die Oxidationsreaktion an der Anode stattfindet. Hierbei reagieren die im Elektrolyten vorliegenden Anionen (OH^-) mit Aluminium zu Aluminiumoxid (Al_2O_3). An der Kathode läuft die Reduktion der Oxoniumionen (H_3O^+) zu Wasser unter Wasserstoffentwicklung ab.

Zur Anodisierung wird die Zelle an eine Strom-Spannungsquelle angeschlossen, die eine Begrenzung sowohl des Stromes als auch der Spannung erlaubt. Zu Beginn des Prozesses bricht die vorgegebene Spannung aufgrund der Leitfähigkeit des Elektrolyten und der noch nicht vorhandenen Oxidschicht vollständig ein und der Stromfluss wird begrenzt (vgl. Abbildung 2.9 (b)). Um den Stromfluss während des Schichtwachstums konstant zu halten, muss mit zunehmender Schichtdicke des gebildeten Oxids die Spannung über der Zelle ansteigen. Der Zusammenhang zwischen Schichtwachstum und Zunahme der Spannung ist dabei linear. Bei Erreichen der Spannungsbegrenzung reicht das angelegte elektrische Feld nicht mehr aus, um die Reaktion fortzusetzen, wodurch diese gestoppt wird. In der Folge bricht der Stromfluss ein und klingt im weiteren zeitlichen Verlauf ab. Die zu erzielende Schichtdicke wird also durch die Abschaltspannung vorgegeben. Die Stromdichte bei der Anodisierung hat im untersuchten Bereich keinen wesentlichen Einfluss auf die Isolationseigenschaften des Dielektrikums und wurde auf $J = 0,35 \text{ mA cm}^{-2}$ festgelegt [34]. Die Oberflächenrauheit der Oxidschicht ist abhängig von der Schichtdicke und optimal (Mittenerauwert $\approx 1 \text{ nm}$) für $d = 60 \text{ nm}$ [34].

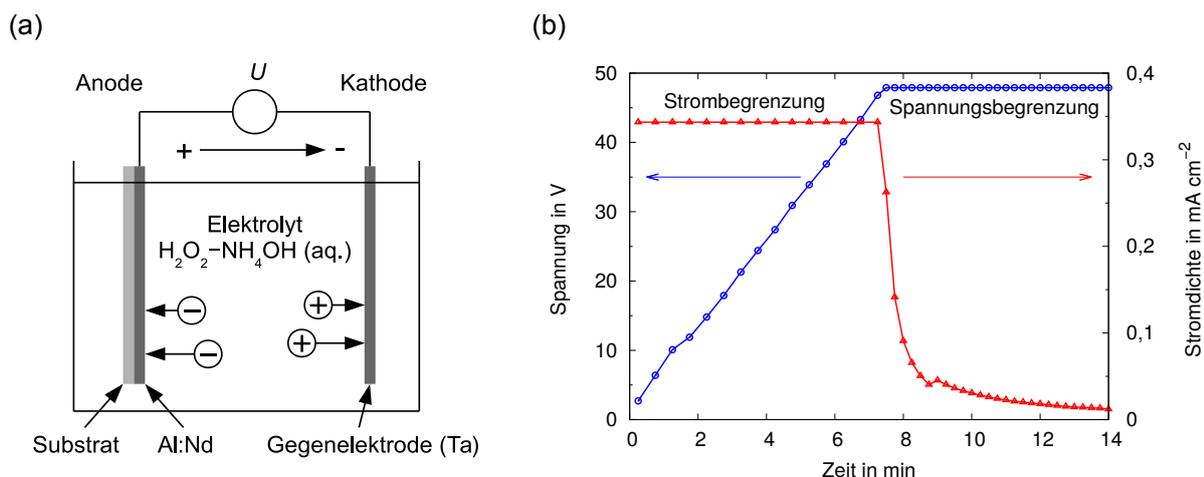


Abbildung 2.9 – (a) Elektrolysezelle zur anodischen Oxidation von Aluminium. (b) Zeitlicher Verlauf von Spannung und Stromdichte während der Anodisierung einer 60 nm dünnen Oxidschicht (Messdaten aus [67]).

Das Verfahren ist sehr gut reproduzierbar und die Ausfallquote ist erfahrungsgemäß praktisch vernachlässigbar. Dies ist eine Folge des selbstregulierenden Oxidationsprozesses. An kritischen Stellen, wie scharfen Kanten, Spitzen oder sonstigen Inhomogenitäten der Oberfläche ist die elektrische Feldstärke erhöht, was die Oxidation an diesen Stellen begünstigt. Die Anodisierung findet außerdem bei Umgebungstemperatur statt und daher ist das Verfahren prinzipiell auch auf Folien substraten anwendbar [34]. Im Hinblick auf Druckprozesse ist das Dielektrikum aufgrund seiner Benetzungseigenschaften für die eingesetzten Halbleiterlösungen geeignet. Im Gegensatz zu polymeren Dielektrika ist außerdem ein Lösen oder Aufquellen des Dielektrikums durch die Lösemittel ausgeschlossen. Trotz dieser Vorteile ist die polare Oberfläche von Aluminiumoxid problematisch im Hinblick auf die elektrischen Eigenschaften der Transistoren. In [34] wurden bei Pentacen-Transistoren ein ausgeprägtes Hystereseverhalten und Schwellspannungsverschiebungen infolge von Gatestress beobachtet.

2.2.5 Abschätzung von Kontakt- und Kanalwiderständen

Die begrenzte Leistungsfähigkeit organischer Transistoren im Vergleich zu anorganischen Technologien rührt unter anderem von den Eigenschaften des Metall-Halbleiterübergangs her. Wie in Abschnitt 2.2.2 vereinfacht dargestellt, entsteht durch den Schottky-Kontakt eine eingebaute Energiebarriere, die Ladungsträger beim Übergang vom Metall in den organischen Halbleiter (und vice versa) überwinden müssen. Dieser Mechanismus führt zur Bildung von parasitären Widerständen R_S und R_D an den Source- und Drainkontakten, deren Höhe unter anderem durch die energetische Anpassung zwischen dem Fermi-Niveau des Kontaktmetalls und dem HOMO- bzw. LUMO-Niveau des Halbleiters bestimmt wird [26]. Ein weiterer limitierender Faktor ist die intrinsische Leitfähigkeit des Transistorkanals – beschrieben durch den Widerstand R_{Kanal} – selbst. Diese wird beeinflusst durch die Wahl des Halbleitermaterials, vor allem aber durch die Morphologie des Halbleiters an der Grenzfläche zum Gate-Dielektrikum und durch die Dichte der aktiven Grenzflächenzustände. Das Verhalten eines Transistors kann daher durch das Ersatzschaltbild in Abbildung 2.10 näher beschrieben werden, wobei auch verdeutlicht wird, dass die Leitfähigkeit des TFT-Kanals durch U_{GS} moduliert wird.

Aufgrund der Einflüsse auf das Bauteilverhalten ist bei der Entwicklung organischer Transistoren die Kenntnis der Größen R_S , R_D und R_{Kanal} häufig von Interesse. Als Methode der Wahl hat sich die im Folgenden vorgestellte, sogenannte *Gated Transmission Line Method* (GTLM) etabliert, denn sie erlaubt eine einfache Abschätzung dieser Größen durch Extraktion aus der gemessenen Eingangskennlinie [2, 26, 42].

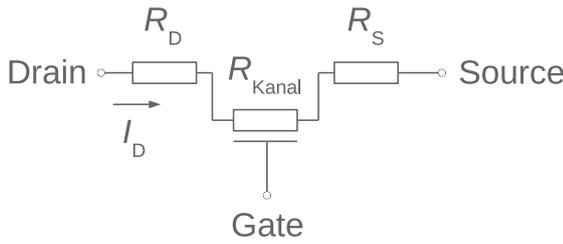
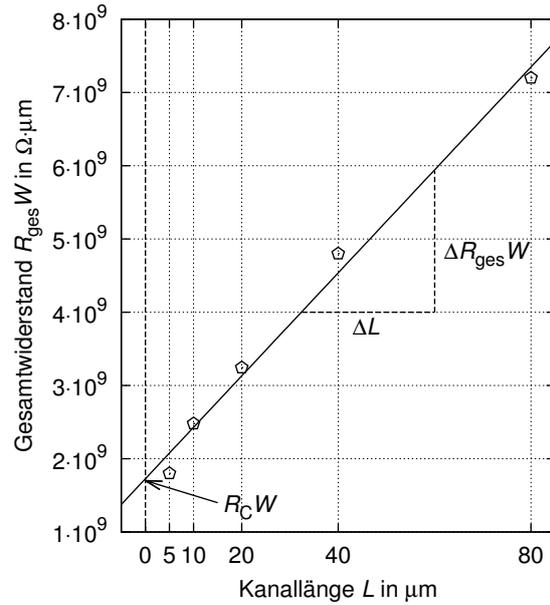


Abbildung 2.10 – (Oben) Ersatzschaltbild eines TFT mit den parasitären Widerständen R_S , R_D und dem Kanalwiderstand R_{Kanal} . (Rechts) Lineare Approximation der gemessenen Werte des normierten Gesamtwiderstandes $R_{\text{ges}}W$ bei unterschiedlichen Kanallängen L . Der mit W normierte, parasitäre Kontaktwiderstand R_C wird am Schnittpunkt der Geraden mit der Ordinate an der Stelle $L = 0$ abgelesen. Der intrinsische Schichtwiderstand r_S im TFT-Kanal ergibt sich aus der Steigung der Geraden.



Wie aus Abbildung 2.10 ersichtlich, ergibt sich der gesamte Widerstand R_{ges} zwischen Source und Drain als Summe der Einzelwiderstände gemäß

$$R_{\text{ges}} = R_S + R_{\text{Kanal}} + R_D. \quad (2.11)$$

Bei der GTLM kann nicht zwischen R_S und R_D unterschieden werden. In der Praxis wird daher der Kontaktwiderstand $R_C = R_S + R_D$ als Summe der parasitären Widerstände extrahiert und somit ist eine Unterscheidung irrelevant.¹⁰ Da sowohl R_C als auch R_{Kanal} umgekehrt proportional zur Transistorweite W sind, kann Gl. (2.11) mit W normiert werden und man erhält

$$R_{\text{ges}}W = R_CW + R_{\text{Kanal}}W. \quad (2.12)$$

Der Kanalwiderstand ergibt sich aus dem intrinsischen Schichtwiderstand r_S und dem Verhältnis aus Kanallänge und -weite, also $R_{\text{Kanal}} = r_S L W^{-1}$. Damit folgt schließlich

$$R_{\text{ges}}W = R_CW + r_S L. \quad (2.13)$$

Offensichtlich ist $R_{\text{ges}}W$ nach Gl. (2.13) eine Funktion der Kanallänge L . Ließe man L gegen Null gehen, was gedanklich einem Transistor mit verschwindender Kanallänge entspräche, dann

¹⁰ Tatsächlich ist der Spannungsabfall am Source-Kontakt im Allgemeinen dominant [54] und damit kann man nicht – wie gelegentlich gesehen – annehmen, dass jeweils der halbe extrahierte Kontaktwiderstand an Source und Drain anfällt.

würde sich der Gesamtwiderstand dieses Transistors auf den parasitären Kontaktwiderstand R_C beschränken. In der Praxis existiert ein solcher Transistor freilich nicht. Daher wird bei der GTLM der Gesamtwiderstand $R_{\text{ges}} W$ von Transistoren konstanter Weite W und variabler Länge L gemessen und, wie in Abbildung 2.10 dargestellt, in einem Diagramm $R_{\text{ges}} W = f(L)$ aufgetragen. Die Messwerte werden mittels linearer Approximation durch eine Ausgleichsgerade angenähert. Der parasitäre Kontaktwiderstand $R_C W$ kann dann graphisch an der Stelle $L = 0$ ermittelt werden und entspricht dem Schnittpunkt der Geraden mit der Ordinatenachse. Der intrinsische Schichtwiderstand $r_S = \Delta R_{\text{ges}} W / \Delta L$ ergibt sich aus der Steigung der Geraden.

Die Ermittlung des Gesamtwiderstands erfolgt indirekt durch die Messung der Eingangskennlinie $I_D = f(U_{GS})$ der Transistoren und wird durch

$$R_{\text{ges}} W = \frac{U_{DS}}{I_D(U_{GS} + U_{th})} \cdot W \quad (2.14)$$

im einem bestimmten Punkt U_{GS} berechnet.

Bei der GTLM wird ein konstanter Spannungsabfall bezüglich L vorausgesetzt. Daher muss R_{ges} im linearen Arbeitsbereich und bei kleinen Drain-Source-Spannungen ausgewertet werden. Dies stellt eine weitgehend homogene Ladungsverteilung bezüglich L sicher. Die Auswertung im Sättigungsbereich führt zu falschen Ergebnissen, da es hier zur Kanalabschnürung kommt und I_D unabhängig von U_{DS} ist (vgl. Gl. (2.4)).

Üblicherweise wertet man zur Minimierung von Fehlern durch Bauteilschwankungen mehrere Transistoren gleicher Kanallänge aus und ermittelt den arithmetischen Mittelwert von R_{ges} . Wie in Gl. (2.14) angegeben, wird I_D dabei an der Stelle $U_{GS} + U_{th}$ ausgewertet, um Schwankungen durch die bauteilspezifische Schwellspannung U_{th} auszugleichen.

2.3 Selbstorganisierende Monolagen

Selbstorganisierende Monolagen (engl. Self-Assembling Monolayers, SAM) werden in zahlreichen Anwendungen der organischen Elektronik aufgrund ihrer besonderen physikalischen Eigenschaften eingesetzt. Es handelt sich dabei um Moleküle, die entweder aus der Gasphase oder aus einer Lösung auf ein Substrat abgeschieden werden und dort eine streng geordnete, einzelne Moleküllage durch chemische Anbindung an die Substratoberfläche bilden [17]. Die wichtigste Klasse

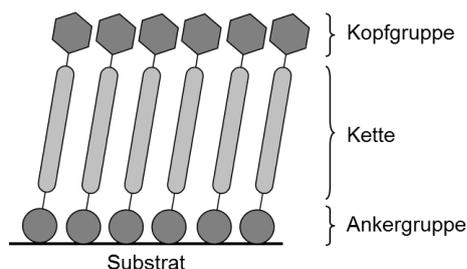
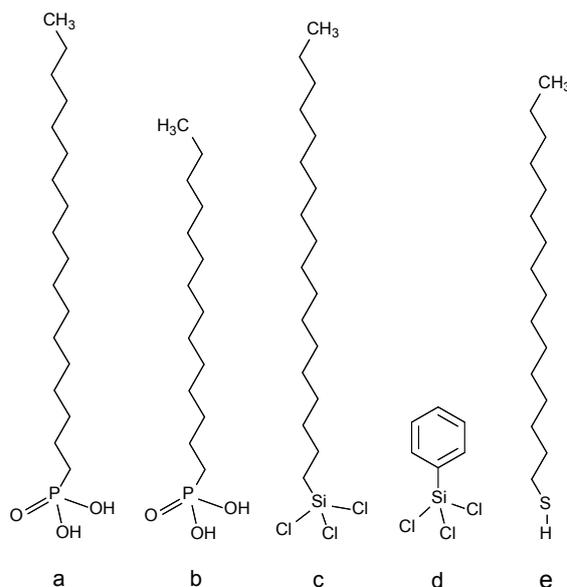


Abbildung 2.11 – (Oben) Schematische Darstellung kettenartiger Moleküle bestehend aus einer Ankergruppe, Kette und Kopfgruppe. Eine einzelne Lage solcher Moleküle ordnet sich selbstständig in einer regelmäßigen Packung auf der Substratoberfläche an. (Rechts) Strukturformeln selbstorganisierender Moleküle: Octadecylphosphonsäure (a), Tetradecylphosphonsäure (b), Octadecyltrichlorsilan (c), Phenyltrichlorsilan (d) und Hexadecanthiol (e).



sind kettenartige¹¹ Moleküle, die aus einer Ankergruppe, einer Kette variabler Länge und einer funktionellen Kopfgruppe bestehen. In Abbildung 2.11 ist der prinzipielle Aufbau solcher Moleküle und deren Anordnung auf einem Substrat dargestellt. Der hohe Ordnungsgrad innerhalb einer solchen Monolage ergibt sich durch Van-der-Waals-Wechselwirkungen der Moleküle untereinander, wobei der Ordnungsgrad tendenziell von der Kettenlänge abhängt und im Falle linearer Alkylphosphonsäuren auf Aluminiumoxid¹² ein Optimum bei einer Alkylrestlänge von 14 Kohlenstoffatomen besitzt [21].

Der Mechanismus der Anbindung der Moleküle an die Substratoberfläche wird im Wesentlichen durch die Art der Ankergruppe bestimmt. Moleküle basierend auf einer Phosphonsäuregruppe haben eine hohe Affinität zu Metalloxiden und gehen laut [17] eine koordinative Bindung ein, was durch das Vorhandensein einer möglichst dichten Packung von OH-Gruppen auf der Metalloxydoberfläche begünstigt wird. Dagegen binden sich Moleküle mit einer Thiolgruppe an Metalloberflächen der Kupfergruppe und Edelmetalle durch kovalente Bindung an [17]. Zur Anbindung an Halbleiteroxide wie SiO₂ und auf Glasoberflächen eignen sich Trichlor- und Trialkoxysilane, die ein zweidimensionales Siloxan-Netzwerk durch Polymerisationsreaktion unter Vorhandensein von Wasser (in der Regel vorhandener Wasserdampf aus der Umgebungsatmosphäre) bilden [17]. Tabelle 2.1 gibt einen Überblick über die wichtigsten Ankergruppen und typische Oberflächen, zu denen eine hohe Affinität besteht.

¹¹ Daneben gibt es weitere Moleküle, die Monolagen ausbilden aber lediglich aus einer Ankergruppe und einer funktionellen Gruppe bestehen (und daher nicht kettenartig sind), beispielsweise Phenyltrichlorsilan (Verbindung 2.11d).

¹² In [21] wird der Einfluss der Kettenlänge linearer Alkylphosphonsäuren innerhalb eines hybriden Gatedielektrikums (Aluminiumoxid/SAM) bei Pentacentransistoren untersucht. Die optimale Kettenlänge wird mit 14 Kohlenstoffatomen angegeben (Tetradecylphosphonsäure, Verbindung 2.11b), da hier die höchste Packungsdichte vermutet wird.

Tabelle 2.1 – Ankergruppen wichtiger selbstorganisierender Moleküle und deren Summenformel und Angabe typischer Materialien, zu denen eine hohe Affinität besteht (R_a bezeichnet den organischen Rest der Kette mit Kopfgruppe und kann beispielsweise eine lineare Alkylkette sein; R_b bezeichnet eine Alkylgruppe mit typischerweise kurzer Länge, beispielsweise CH_3).

Ankergruppe	Summenformel	Affinität zu
Phosphonsäuren	$R_a-\text{PO}_3\text{H}_2$	Metalloxide wie Al_2O_3 , Ta_2O_5 , TiO_2
Thiole	$R_a-\text{SH}$	Metalle der Kupfergruppe wie Cu, Au, Ag und Edelmetalle wie Pt, Pd
Trichlorsilane	$R_a-\text{SiCl}_3$	Glas und SiO_2
Trialkoxysilane	$R_a-\text{Si}(\text{OR}_b)_3$	Glas und SiO_2

Die Art der praktischen Anwendung selbstorganisierender Monolagen wird vor allem durch die Kopfgruppe der Moleküle beeinflusst, denn diese bestimmt maßgeblich die veränderten Oberflächeneigenschaften des belegten Substrates. Von besonderer Bedeutung ist dabei die Methylgruppe (CH_3). Bei einer optimalen Packungsdichte (d.h. bei einem hohen Ordnungsgrad innerhalb der gebildeten Monolage) bilden beispielsweise selbstorganisierende Alkylphosphonsäuren auf Aluminiumoxid eine extrem hydrophobe Oberfläche. Entsprechend wird der gemessene statische Kontaktwinkel von Wasser mit Werten zwischen 105° und 110° angegeben [33]. Auch in [34] wird von der Hydrophobisierung einer Aluminiumoxidoberfläche durch Octadecyltrichlorsilan (Verbindung 2.11c) berichtet, wobei die unbehandelte Oberfläche von Wasser relativ gut benetzt wird (Kontaktwinkel um 60°) und der Kontaktwinkel durch die gebildete Monolage auf einen durchschnittlichen Wert um 75° steigt¹³. Auch im Rahmen dieser Arbeit wurde die Veränderung der Oberflächenenergie unterschiedlicher Substrate durch selbstorganisierende Monolagen mittels statischer Kontaktwinkelmessungen untersucht (einige Ergebnisse finden sich in Tabelle 2.2). Bei einer elektrisch oxidierten Al:Nd-Schicht kommt es durch die Anbindung von Octadecylphosphonsäure (Verbindung 2.11a) an die Aluminiumoxidoberfläche wie erwartet zu einer starken Zunahme der Kontaktwinkel von Wasser und Diiodmethan, was mit einer starken Abnahme der Oberflächenspannung des Substrates einhergeht. Insbesondere der polare Anteil der Oberflächenspannung verschwindet fast vollständig. Dieses Verhalten ist auch bei der Funktionalisierung einer Goldoberfläche durch Hexadecanthiol (Verbindung 2.11e) zu beobachten.

Monolagen mit solch stark hydrophoben Eigenschaften werden sehr häufig für die Abscheidung organischer Halbleiter eingesetzt, da sie aufgrund ihrer geringen Oberflächenspannungen das Kristallwachstum der Halbleiterschicht positiv beeinflussen, wodurch sich ein verbesserter Ladungs-

¹³ Hier zeigt sich der Vorzug von Alkylphosphonsäuren gegenüber Alkyltrichlorsilanen: Während die Abscheidung von Alkylphosphonsäuren aus der Lösung ein unkritischer Prozess ist, hängt der Erfolg (und damit der sich einstellende Winkel ϑ) im Falle von aus der Dampfphase abgeschiedenen Alkyltrichlorsilanen von zahlreichen Prozessbedingungen – vor allem von der Raumfeuchte – ab, die eine unkontrollierte Polymerisation der Moleküle untereinander verursachen können und damit zu einer nicht perfekten Monolage führen.

Tabelle 2.2 – Gemessene Kontaktwinkel ϑ von Wasser (H_2O) und Diiodmethan (I_2CH_2) auf blankem und auf durch Octadecylphosphonsäure (OPS) funktionalisiertem Aluminiumoxid bzw. auf blankem und auf durch Hexadecanethiol (HDT) funktionalisiertem Gold und die hieraus berechneten Werte der Oberflächenspannung γ_s des Substrates (γ_s ist die Summe des polaren Anteils γ_s^p und des dispersen γ_s^d Anteils). Die Angaben sind jeweils der arithmetische Mittelwert aus vier Messungen. Details zu Methodik und Berechnungen bei Kontaktwinkelmessungen können in [58] nachgelesen werden.

Oberfläche	$\vartheta_{\text{H}_2\text{O}}/^\circ$	$\vartheta_{\text{I}_2\text{CH}_2}/^\circ$	$\gamma_s^p/\text{mN m}^{-1}$	$\gamma_s^d/\text{mN m}^{-1}$	$\gamma_s/\text{mN m}^{-1}$
Aluminiumoxid	66,5	48,8	13,8	27,5	41,3
OPS auf Aluminiumoxid	100,8	69,5	1,3	22,0	23,3
Gold	60,3	26,3	13,1	37,6	50,7
HDT auf Gold	104,0	67,3	0,48	24,2	24,7

trägertransport durch diese Schicht ergeben kann [21, 33, 34]. Ein weiteres Einsatzgebiet, das vor allem für Druckprozesse von Bedeutung ist, ergibt sich durch die Benetzungseigenschaften dieser Oberflächen. Durch gezielte Strukturierung hydrophober Gebiete durch Monolagen mit funktionellen Methylgruppen kann die Benetzung dieser Gebiete durch ein Druckfluid unterbunden werden und somit die Strukturauflösung des Druckprozesses optimiert werden. Andererseits ist es ebenso möglich durch Wahl einer geeigneten Kopfgruppe Gebiete zu schaffen, die die Benetzung mit einem Druckfluid begünstigen. Dieses Verfahren wird beispielsweise in [50] zur selektiven Abscheidung organischer Halbleiter aus der Lösung angewandt. Hierbei werden Wechselwirkungen zwischen einer Monolage mit funktionellen Phenylgruppen (Verbindung 2.11d) und dem organischen Halbleiter derart ausgenutzt, dass Ladungsverschiebungen innerhalb des π -Elektronensystems der Phenylgruppe zur Bildung von Dipolen führen, was eine Benetzung der Oberfläche begünstigt.

In dieser Arbeit werden selbstorganisierende Monolagen sowohl zur Verbesserung des Ladungsträgertransports innerhalb des Halbleiterkanals von organischen Transistoren (siehe Kapitel 3.1.4), als auch zur Beschränkung der Benetzung einer gedruckten Halbleiterlösung auf einen definierten Bereich des Transistorkanals eingesetzt (siehe Kapitel 3.2.5).

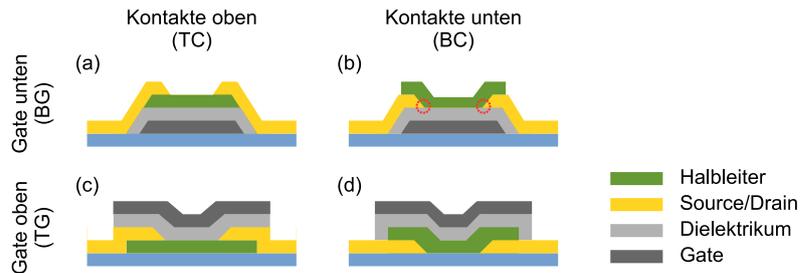
3 Entwicklung von Dünnschichttransistoren mit gedrucktem Halbleiter

In diesem Kapitel werden die in dieser Arbeit entwickelten Herstellungsprozesse für Transistoren mit p- und n-leitenden organischen Halbleitern vorgestellt. Die verwendeten Halbleiter unterscheiden sich neben dem Leitungsmechanismus grundlegend in der Stoffklasse: Bei dem n-Typ-Halbleiter handelt es sich um ein niedermolekulares Perylenderivat (sog. kleines Molekül), während der p-Typ-Halbleiter eine polymere Verbindung ist¹.

Die Entwicklung gedruckter Transistoren im Kontext dieser Arbeit ist dabei auf den Einsatz des Tintenstrahldrucks für die Abscheidung des Halbleiters beschränkt, während die übrigen Prozesse zur Strukturierung der Elektroden auf konventionellen Prozessen basieren. Dabei wurde auf einem Basisprozess aufgebaut, der in Anhang A.2 detailliert beschrieben wird und mit geringen Abweichungen dem in [34] entwickelten Prozess entspricht. Dieser Basisprozess liefert bedruckbare Transistorgrundstrukturen mit untenliegendem Gate und untenliegenden Source/Drain-Kontakten (BGBC, vgl. Abbildung 3.1 (b)) auf Glassubstraten. Die Gatestruktur besteht dabei aus konventionell strukturiertem Al:Nd, das durch anodische Oxidation mit einer ca. 60 nm dünnen Aluminiumoxidschicht ($\epsilon_r \approx 9$) versehen wird. Diese Oxidschicht bildet das Gatedielektrikum der Transistoren. Die Source/Drain-Elektroden bestehen aus Au oder Ag und werden entweder durch nasschemisches Ätzen oder durch einen Lift-Off-Prozess auf dem Gate strukturiert. Dieser Basisprozess eignet sich besonders für grundlegende Untersuchungen des Druckprozesses, da der Halbleiter erst im letzten Prozessschritt abgeschieden wird und somit keinen weiteren Beanspruchungen ausgesetzt wird. Für das Betriebsverhalten der Transistoren sind hingegen besonders die Varianten (a) und (d) geeignet. Wenn in den folgenden Kapiteln vom Basisprozess abgewichen wurde, werden die Variationen erläutert.

¹ Weitere Informationen zur Stoffklasse des Polymers und zu den Substituenten des Perylenderivats liegen nicht vor. Auch auf die Auswahl der Halbleiter hatte der Autor keinen Einfluss; diese ergab sich im Zusammenhang des bearbeiteten Projekts Kosadis.

Abbildung 3.1 – Mögliche Varianten von Dünnschichttransistoren. Verwendete Abkürzungen aus dem Englischen: BG = Bottom Gate, BC = Bottom Contact, TG = Top Gate und TC = Top Contact.



Die untersuchten Prozesse zeigen, dass die unterschiedlichen Stoffklassen der Halbleiter grundsätzliche Unterschiede der Transistoreigenschaften und der Verarbeitung bewirken. Diese Kernaussage muss bei der Verwendung gedruckter Transistoren in realen Anwendungen Beachtung finden – insbesondere dann, wenn ein gemeinsamer Fertigungsprozess für beide Halbleiter, etwa in CMOS-Schaltungen, angestrebt wird. Die Vorstellung eines für beide Halbleiter gleichermaßen optimierten, kompatiblen Prozesses sollte beim Lesen der beiden folgenden Kapitel im Hinterkopf behalten werden. Eine abschließende Bewertung der entwickelten Prozesse, vor allem hinsichtlich Prozesskompatibilität, wird in Kapitel 3.3 diskutiert.

Die Ergebnisse der Untersuchung unterschiedlicher Prozesse werden in den beiden folgenden Kapiteln, nach Halbleiter getrennt, vorgestellt. Dabei wurden im Einzelnen unter anderem folgende Aspekte untersucht:

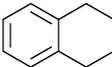
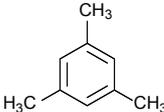
- Durch die lösemittelbasierte Abscheidung des Halbleiters ergeben sich besondere Anforderungen an das Elektrodendesign. Hierzu wurden unterschiedliche Designs auf deren Bedruckbarkeit hin untersucht und die Auswirkungen der resultierenden Morphologie auf das Verhalten der Transistoren analysiert.
- Der Einfluss unterschiedlicher Elektrodenmaterialien und Strukturierungsprozesse auf die Injektionseigenschaften der Source/Drain-Kontakte wurden untersucht.
- Verschiedene Varianten zum Aufbau der Transistoren mit untenliegenden und obenliegenden, lithographisch strukturierten Kontakten wurden auf deren Realisierbarkeit hin untersucht und die sich daraus ergebenden elektrischen Eigenschaften analysiert.
- Insbesondere im Falle des n-Typ-Halbleiters wird der Einfluss unterschiedlicher Lösemittel auf die Morphologie der Halbleiterschicht untersucht und es werden notwendige ergänzende Prozessschritte diskutiert, die eine kontrollierte Benetzung der Transistorstrukturen sicherstellen.
- Die Umwelt- und Langzeitstabilität der Transistoren und die Einführung einer Verkapselung zum Schutz des Halbleiters gegenüber nachfolgenden Prozessschritten wurde untersucht.

3.1 Transistoren mit Polymerhalbleiter (p-Typ)

3.1.1 Eigenschaften der Halbleiterlösung

Die Halbleiterlösung zum Drucken wird aus dem Feststoff des Polymers² durch Lösen in gängigen organischen Lösemitteln hergestellt. Das Polymer ist in einer Vielzahl von Lösemitteln in ausreichend hohen Konzentration löslich. Dabei wurde eine für den Inkjetdruck optimierte Konzentration von 1,5 Gew.-% gewählt. Als Lösemittel wird eine Mischung³ hauptsächlich bestehend aus Tetralin (> 80 %) und einem geringeren Anteil an Mesitylen (> 10 %) verwendet [5]. Diese Lösemittel zeichnen sich durch einen relativ unpolaren Charakter aus und enthalten keine Halogene, was aus Umweltschutzgründen vorteilhaft ist. Die thermodynamischen Daten der Lösemittel sind in Tabelle 3.1 angegeben.

Tabelle 3.1 – Thermodynamische Daten der Lösemittel (Siedepunkt T_S und Dampfdruck p_D bei 20 °C) nach [30].

Trivialname	Nomenklaturname	Chemische Struktur	$T_S/^\circ\text{C}$	p_D/hPa
Tetralin	1,2,3,4-Tetrahydronaphthalin		208	0,24
Mesitylen	1,3,5-Trimethylbenzol		165	2,69

Der Dampfdruck liegt in einem für das Verarbeiten der Lösung durch Tintenstrahldruck geeigneten Bereich.⁴ Einerseits liegt dieser Wert niedrig genug, sodass es selbst bei beheizter Trägerplatte nicht zum Verstopfen der Druckdüsen infolge der Verdampfung der Lösemittel kommt. Andererseits verdampft das Lösemittelgemisch aus einer gedruckten Struktur – abhängig von der verdampfenden Oberfläche und von der Temperatur der Trägerplatte – innerhalb weniger Sekunden (ca. 5...10s), sodass ein kontinuierlicher Druckprozess ermöglicht wird.

Vor dem Drucken wird die Kartusche mit der Halbleiterlösung gefüllt (siehe auch Kapitel 2.1.2.2). Dazu wird die Lösung durch einen Spritzenvorsatzfilter gedrückt (Porengröße 1 μm , Material PTFE), um eventuell vorhandene Partikel und ungelösten oder sedimentierten Feststoff herauszufiltern und somit ein Verstopfen der Druckdüsen zu verhindern. Die Trägerplatte des Druckers wird auf eine Temperatur von 60 °C beheizt, was ein rasches Verdampfen der Halbleiterlösung sicherstellt. Der Druckkopf wird auf eine Temperatur von 30 °C eingestellt. Die Amplitude des

² Es handelt sich um das Polymer mit der Bezeichnung XPRD40B01 von BASF SE. Details zur Stoffbezeichnung sind dem Verfasser nicht bekannt. Das Polymer hat ein Ionisierungspotential von 5,1 eV.

³ Die genauen Anteile der beiden Komponenten der Lösemittelmischung waren nicht bekannt.

⁴ Zum Vergleich: Der Dampfdruck von 2-Propanol liegt bei 40,6 hPa, der von Azeton bei 246 hPa [30].

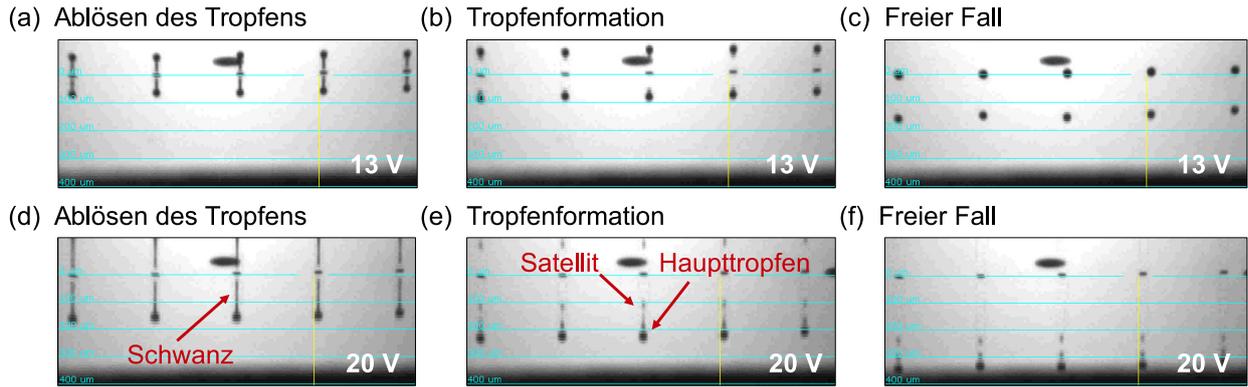


Abbildung 3.2 – Beobachtung der Tropfenformation mit der Kamera des Druckers. In den Bildern (a) bis (c) ist die Formation der Tropfen bei idealer Ansteuerung (hier Amplitude 13 V) gezeigt. Einzelne Tropfen lösen sich von den Druckdüsen ab. Bei zu hoher Amplitude (20 V) – wie in den Bildern (d) bis (f) – lösen sich die Tropfen unter Bildung von langen Schwänzen, die sich während des freien Falls zu Haupttropfen und Satelliten auftrennen.

Ansteuersignals beträgt für eine optimale Ablösung der Tropfen von den Druckdüsen idealerweise zwischen 13 V und 18 V (vgl. Abbildung 3.2). Die tatsächliche Höhe der Amplitude kann von Druckkopf zu Druckkopf variieren und muss individuell eingestellt werden.

Für einen Druckkopf mit einem nominalen Tropfenvolumen von 10 pl wurde das tatsächliche Tropfenvolumen experimentell ermittelt. Hierzu wurde zunächst das Leergewicht m_0 einer Petrischale gewogen. Anschließend wurde eine definierte Anzahl von N_T Tropfen in diese Petrischale gedruckt (Amplitude 18 V). Um Messfehler durch Verdampfung des Lösemittels und Toleranzen bei der Wägung zu minimieren, wurde eine große Anzahl von $N_T = 7000 \cdot 10^3$ Tropfen gewählt. Die Masse m_1 der Petrischale mit der verdruckten Lösung wurde unmittelbar nach dem Drucken gewogen. Die Bestimmung der Dichte ρ der Halbleiterlösung erfolgte durch Abmessen und Wiegen eines Volumens von 2 ml der Lösung ($\rho \approx 0,9513 \text{ g ml}^{-1}$). Das Tropfenvolumen V_T kann dann nach

$$V_T = \frac{m_T}{\rho} = \frac{1}{\rho} \frac{\Delta m}{N_T} = \frac{1}{\rho} \frac{m_1 - m_0}{N_T} \quad (3.1)$$

berechnet werden und beträgt je nach Messung $3,2 \text{ pl} \leq V_T \leq 5,1 \text{ pl}$. Das experimentell ermittelte Tropfenvolumen liegt damit etwas unter dem maximal möglichen, nominalen Tropfenvolumen des Druckkopfes. Die Ansteuerung des Druckkopfes wurden dabei so gewählt, dass eine optimale Tropfenform ohne Bildung von Satelliten erzielt wird. Durch Erhöhung der Amplitude des Ansteuersignals könnte theoretisch ein höheres Tropfenvolumen erzielt werden, allerdings wäre unter diesen Bedingungen die optimale Tropfenformation nicht mehr sicher gestellt (vgl. Abbildung 3.2 (d) bis (f)).

3.1.2 Geeignete Elektrodendesigns und Morphologie⁵

Basierend auf dem Basisprozess wurde der Einfluss der Morphologie des gedruckten Halbleiters auf die elektrischen Eigenschaften der Transistoren untersucht. Wie im Folgenden gezeigt wird, ist die Halbleitermorphologie bei der gegebenen Halbleiterlösung (also bei fester Konzentration und der in Kapitel 3.1.1 angegebenen Lösemittelmischung) vor allem abhängig vom Druckprozess und damit auch von der Geometrie der zu bedruckenden Strukturen. Die untersuchten Geometrien sind in Abbildung 3.3 gezeigt.

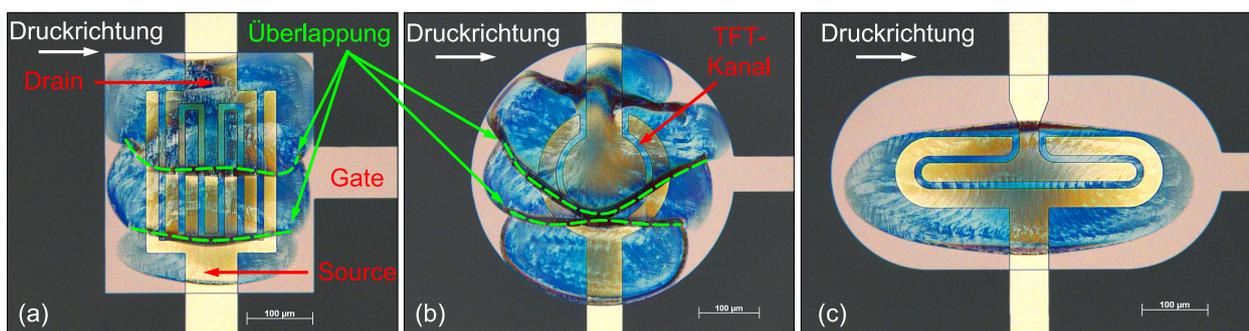


Abbildung 3.3 – Die Mikroskopbilder zeigen bedruckte Transistorstrukturen mit unterschiedlichen Geometrien. Die Morphologie des Halbleiters wird durch einen polarisierenden Analysator visualisiert. Bei der rechteckigen (a) und runden (b) Geometrie treten Überlappungen der Halbleiterschichten auf (gestrichelte Linie). Im Fall der elliptischen Geometrie (c) wird ein wiederholtes Muster bezüglich der Druckrichtung beobachtet. Die Kanallänge beträgt in allen Fällen 10 µm und die Weiten 1420 µm (a), 455 µm (b) bzw. 720 µm (c). Die Source/Drain-Elektroden bestehen aus ca. 70 nm Ag (strukturiert durch Lift-Off).

Diese Geometrien haben sich für die lösemittelbasierte Halbleiterabscheidung durch Tintenstrahldruck als grundsätzlich geeignet erwiesen. Die Fläche der bedruckten Gatestruktur ist deutlich größer als der eigentliche Flächenbedarf des Kanalbereichs. Damit besteht einerseits eine große Justiertoleranz für den Druckprozess. Andererseits ist die Benetzung des Halbleiters bei geeigneter Wahl der Druckparameter (Anzahl der Druckdüsen, Tropfenraster und Drucklayout) auf den Gatebereich des Transistors beschränkt und es kommt nicht zur Benetzung des umliegenden Substrates. Dies ist insbesondere im Hinblick auf die Minimierung parasitärer Leckströme von Bedeutung. Wäre das Gate strikt auf den Kanalbereich des Transistors beschränkt, träten Leckströme durch den mit Halbleiter benetzten, aber elektrisch nicht kontrollierbaren Bereich auf (dieser Bereich liegt auf Floatingpotential). Dies kann zu einem signifikant höheren Sperrstrom des Transistors führen. Nachteilig wirkt sich dieser überdimensionierte Gatebereich allerdings auf die Grenzfrequenz der Transistoren aus, da das gewählte Design aufgrund großer Überlappflächen hohe parasitäre Gate-Source- bzw. Gate-Drain-Kapazitäten bedingt.

Im Folgenden wird die Morphologie des Halbleiters analysiert und die sich daraus ergebenden Folgen für das Betriebsverhalten der Transistoren abgeleitet. Der Halbleiter wurde auf die in Ab-

⁵ Wesentliche Bestandteile dieses Kapitels wurden bereits in meiner Veröffentlichung [68] abgehandelt.

Abbildung 3.3 zeigt die Strukturen aus einem Druckkopf mit nominalem Tropfenvolumen von 10 pl aus 5 von 16 maximal möglichen Düsen abgeschieden. Das Druckraster betrug $20\ \mu\text{m}$, was einem Tropfenabstand von $20\ \mu\text{m}$ entspricht. Aufgrund dieser Druckparameter, des Drucklayouts und der Abmessungen der unterschiedlichen Transistoren wurden die Strukturen, je nach Geometrie, innerhalb einer unterschiedlichen Anzahl von Druckzeilen bedruckt. Im Fall der elliptischen Geometrie ist der Druckvorgang nach einer einzigen Druckzeile vollständig abgeschlossen. Das Bedrucken im Fall der rechteckigen Geometrie erfordert drei und die runde Geometrie vier Druckzeilen.

Wie in Abbildung 3.3 deutlich zu erkennen ist, führt der diskontinuierliche Druckprozess (Zeile für Zeile) im Fall der rechteckigen und runden Geometrien zu Überlappungen der gedruckten Halbleiterschichten. Dies ist bei der elliptischen Geometrie aufgrund des kontinuierlichen Druckprozesses naturgemäß nicht zu beobachten. Zur weiteren Untersuchung der Morphologie ist in Abbildung 3.4 eine REM-Aufnahme der Halbleiterschicht abgebildet. Die überlappenden Schichten sind darin deutlich als bündelartige Aufwölbung zu erkennen. Außerdem verdeutlicht die Aufnahme die Halbleitermorphologie im Kanalbereich des Transistors. Wie bereits der optische Eindruck der Schicht vermuten lässt, erscheint die Schicht geschlossen, was auf eine gute Benetzung sowohl des Gateoxids, als auch der Source/Drain-Elektroden hindeutet. Das Schichtwachstum ist durch eine ausgeprägte Welligkeit gekennzeichnet, die die Oberfläche des Halbleiters an das Aussehen eines Schaffells erinnern lässt.

Die Schichtdicke der gedruckten Schicht ist am Beispiel der elliptischen Geometrie in Abbildung 3.5 für verschiedene Schnittebenen orthogonal zur Druckrichtung illustriert. Es wird deutlich, dass die Schichtdicke eine ausgeprägte Welligkeit im Bereich von $40\ \text{nm}$ aufweist (gemessen an einer Position, an der das Schichtwachstum nicht durch die Source/Drain-Elektroden gestört wird). Die minimale Schichtdicke im Kanal besitzt ihr Maximum bei rund $200\ \text{nm}$ im Zentrum des Transistors und fällt entlang der Längsachse auf ca. $50\ \text{nm}$ ab. An den äußeren Rändern der Halbleiterschicht ist eine deutliche Überhöhung zu erkennen. Dieses Verhalten ist charakteristisch für den Tintenstrahldruck und deutet auf den Kaffeerandeffekt hin, der einen während der Trocknung des Nassfilms stattfindenden Materialtransport zu den Druckrändern bewirkt.

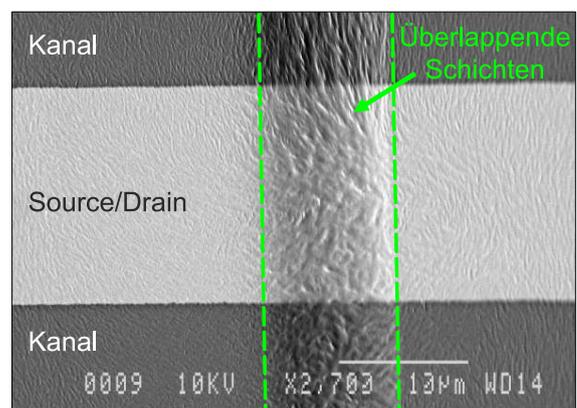


Abbildung 3.4 – REM-Aufnahme einer gedruckten Halbleiterschicht im Transistor mit überlappenden Schichten im markierten Bereich.

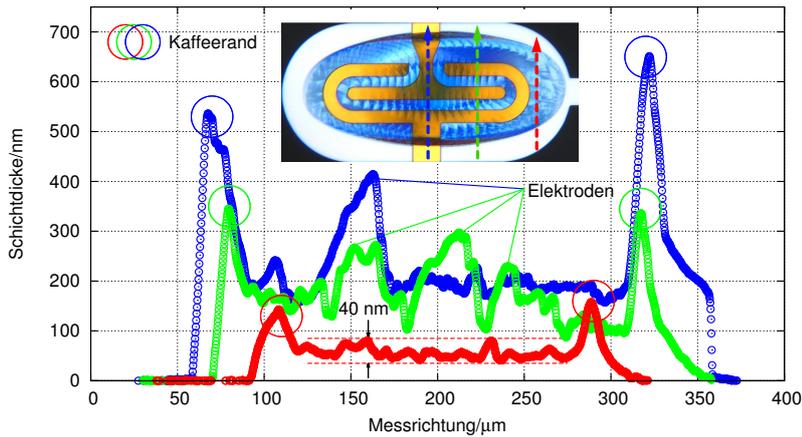


Abbildung 3.5 – Schichtdicke und Welligkeit des gedruckten Halbleiters gemessen mittels Profilometer an unterschiedlichen Positionen orthogonal zur Druckrichtung (farblich gekennzeichnet). Die Überhöhungen an den linken und rechten Druckrändern deuten auf den Kaffeerandeffekt hin.

Die optischen Mikroskopaufnahmen erlauben weitere Schlüsse über den bei unterschiedlichen Geometrien erreichbaren Ordnungsgrad des Halbleiters. Durch den Einsatz von Polarisatoren ist es möglich, die optische Anisotropie der Halbleiterschicht zu visualisieren. Demnach können Bereiche des Halbleiters, die durch einen gewissen Ordnungsgrad gekennzeichnet sind, von andersartig orientierten Bereichen aufgrund eines abrupten Wechsels der Farbsättigung unterschieden werden. Durch diese optische Methode kann die kristalline Fernordnung innerhalb der Polymerschicht sichtbar gemacht werden. Eine Aussage über den molekularen Ordnungsgrad ist nicht möglich.

Wie an den Übergängen der Farbsättigung innerhalb der Halbleiterschicht in Abbildung 3.4 (a) und (b) zu erkennen ist, weist der Halbleiter kristalline Bereiche auf, die auf eine Fernordnung hindeuten. Allerdings ist kein regelmäßiges Muster zu erkennen, was auf eine willkürliche und daher nicht reproduzierbare Kristallisation hinweist. Im Gegensatz dazu ist bei der elliptischen Geometrie im Fall (c) ein sich regelmäßig wiederholendes Muster bezüglich der Druckrichtung zu erkennen. Besonders deutlich ist dieses Muster auch in Abbildung 3.5 zu erkennen. Offensichtlich beeinflusst das unterschiedliche Trocknungsverhalten des Nassfilms die Morphologie der Halbleiterschicht. In den Fällen (a) und (b) wird der Trocknungsprozess durch das wiederholte Überdrucken immer wieder gestört, was einerseits zu Überlappungen der einzelnen Druckzeilen führt und andererseits die Ausbildung eines regelmäßigen Kristallmusters verhindert. Im Fall der elliptischen Geometrie läuft die Trocknung unbeeinflusst als natürlicher Prozess ab. Die Trocknung beginnt an den äußeren Begrenzungen des Nassfilms und setzt sich – ausgehend beiderseitig der Längsachse – ins Zentrum fort, was zu der charakteristischen Morphologie führt. Dieser Trocknungsprozess ist sehr gut reproduzierbar, was folglich zu einer ähnlichen Halbleitermorphologie bei einer Vielzahl von Bauelementen führt.

Im Weiteren wurde untersucht, inwiefern die Morphologie des Halbleiters mit den elektrischen Eigenschaften der Transistoren korreliert. Hierzu wurden die Transistoren durch Messung der Eingangskennlinien charakterisiert. Die jeweils fünf abgebildeten Eingangskennlinien in Abbildung 3.6 repräsentieren das für die jeweilige Geometrie typische Verhalten der Transistoren. Die aus den Messungen extrahierten Parameter sind in Tabelle 3.2 zusammengefasst.

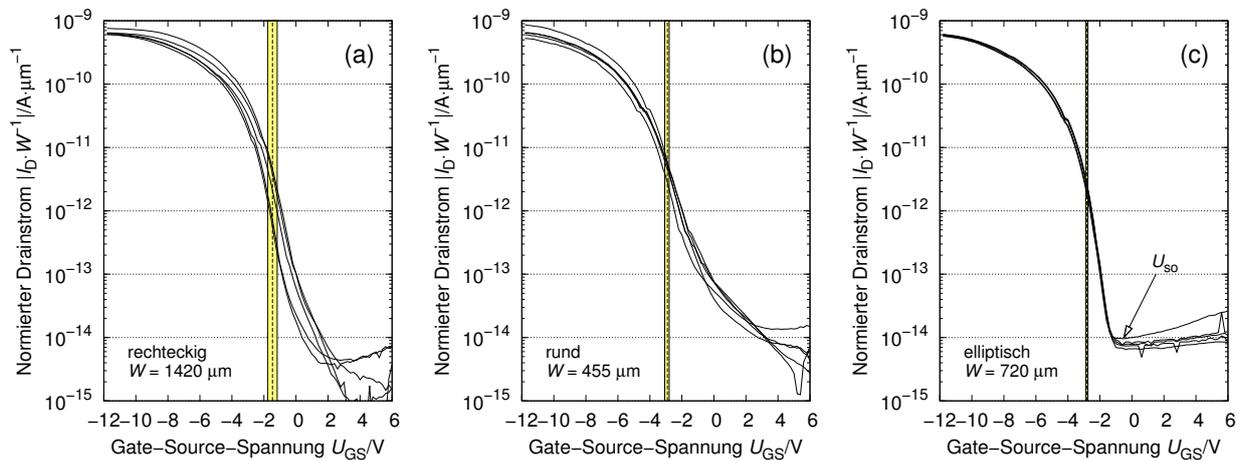


Abbildung 3.6 – Eingangskennlinien von jeweils 5 Transistoren mit rechteckiger (a), runder (b) und elliptischer (c) Geometrie gemessen bei $U_{DS} = -10\text{V}$. Der Drainstrom ist zur besseren Vergleichbarkeit mit der Weite W normiert. Die gestrichelte Linie zeigt die durchschnittliche Schwellspannung U_{th} der Transistoren an. Der gelb hinterlegte Bereich markiert die Abweichung des maximalen und minimalen Wertes der gemessenen Schwellspannungen.

Zunächst soll der Fall (c) der elliptischen Geometrie diskutiert werden. Diese Eingangskennlinien zeigen ein gewöhnliches Transistorverhalten, das durch eine deutliche Abgrenzung der Betriebsbereiche gekennzeichnet ist. Der Sperrbereich ist eindeutig ausgeprägt bei einem geringen Sperrstrom von einigen pA. Am Übergang zum Unterschwellbereich erkennt man einen deutlichen Knick der Eingangskennlinie, der die Einschaltspannung $U_{so} \approx -1,5\text{V}$ des Transistors markiert. Der Anstieg des Drainstroms im Unterschwellbereich beträgt $S \approx 0,6\text{V}$ pro Dekade. Die aufgezeichneten Kennlinien sind durch eine hohe Homogenität gekennzeichnet, was man an der weitgehenden Deckungsgleichheit der Eingangskennlinien erkennt. Daher ist auch das Band der Abweichung von der durchschnittlichen Schwellspannung ΔU_{th} mit 130mV sehr schmal.

Im Vergleich dazu zeigen die Eingangskennlinien der Transistoren mit rechteckiger und runder Geometrie ein nichtideales Verhalten. Zwar ist auch hier in beiden Fällen der Sperrstrom der Transistoren im Bereich einiger pA. Allerdings ist der Übergang zwischen Sperr- und Unterschwellbereich nicht eindeutig voneinander abzugrenzen. Daher kann auch keine Einschaltspannung extrahiert werden. Der Drainstrom im Unterschwellbereich steigt bei diesen Transistoren, verglichen mit der elliptischen Geometrie, etwas geringer an. Besonders auffällig ist auch die deutlich ausgeprägtere Schwankung der Schwellspannungen der einzelnen Transistoren, was zu einem größeren Wert von ΔU_{th} führt.

Tabelle 3.2 – Analysierte Werte der Eingangskennlinien in Abbildung 3.6. $\varnothing U_{th}$ ist die durchschnittliche Schwellspannung, ΔU_{th} gibt die Abweichung des minimalen vom maximalen Wert von U_{th} an, U_{so} ist die geschätzte Einschaltspannung, μ_{sat} ist die Sättigungsladungsträgerbeweglichkeit, S ist der Unterschwellanstieg, $L_{\ddot{u}}$ heißt Überlapplänge und gibt den Anteil der überlappenden Schicht an der Gesamtweite W des Kanals an (abgeschätzt aus Abbildung 3.3), $I_{D, Norm}$ ist der mit W normierte Wert des Drainstroms im angeschalteten Zustand ($I_{D, Norm} = I_D(U_{GS} = -11,8 \text{ V}) W^{-1}$) und N_{it} ist die Konzentration aktiver Ladungsträgerfallen (berechnet nach Gl. (2.6) bei $T = 300 \text{ K}$ mit $C_D = 1,33 \text{ mF m}^{-2}$).

Parameter	$\varnothing U_{th}$	ΔU_{th}	U_{so}	μ_{sat}	S	$L_{\ddot{u}}$	$I_{D, Norm}$	N_{it}
Geometrie	V	V	V	$\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$	V/Dek.	$\mu\text{m}/\mu\text{m}$	$\text{A } \mu\text{m}^{-1}$	$\text{m}^{-2} \text{ V}^{-1}$
Rechteckig	-1,47	0,6	-	$2,2 \cdot 10^{-3}$	0,7	0,15	$6,5 \cdot 10^{-10}$	$9,1 \cdot 10^{16}$
Rund	-2,91	0,29	-	$2,4 \cdot 10^{-3}$	1,2	0,4	$6,6 \cdot 10^{-10}$	$1,6 \cdot 10^{17}$
Elliptisch	-2,8	0,13	-1,5	$2,1 \cdot 10^{-3}$	0,6	0,0	$5,9 \cdot 10^{-10}$	$7,7 \cdot 10^{16}$

Die Ursache für dieses abweichende elektrische Verhalten ist durch die unterschiedliche Morphologie des Halbleiters erklärbar. Ein niedrigerer Ordnungsgrad des Halbleiters verursacht Störungen energetischer Art innerhalb der für den Ladungstransport relevanten Bänder. Es ist deshalb davon auszugehen, dass die Morphologie des Halbleiters einen Einfluss auf die Konzentration aktiver Ladungsträgerfallen hat. Um diese Vermutung zu bestätigen werden die extrahierten Werte im Folgenden quantitativ analysiert.

Wie bereits festgestellt, ist der Anstieg des Drainstroms im Unterschwellbereich der Eingangskennlinien in Abbildung 3.6 (a) und (b) gegenüber dem Fall (c) etwas flacher. Dies führt zu erhöhten Werten von S bei der rechteckigen (+0,1 V/Dek.) und signifikant erhöhten Werten bei der runden (+0,6 V/Dek.) Geometrie (vgl. Tabelle 3.2). Der reziproke Anstieg des Drainstroms ist bei sonst konstanten Bedingungen über Gl. (2.6) direkt mit der Konzentration aktiver Ladungsträgerfallen N_{it} an der Grenzfläche zwischen Halbleiter und Dielektrikum verknüpft [42]. Also sind die erhöhten Werten von S mit großer Wahrscheinlichkeit eine Folge der erhöhten Konzentration von Ladungsträgerfallen bei den diskutierten Geometrien.

Wenn man voraussetzt, dass vor allem die überlappenden Schichten die Morphologie des Halbleiters stören und somit zu einer erhöhten Konzentration von Ladungsträgerfallen führen, würde man zutreffenderweise den höchsten Wert von S im Fall der runden Geometrie erwarten. Denn bei dieser Geometrie ist der Anteil $L_{\ddot{u}}$ überlappender Schichten an der Gesamtweite des Transistorkanals mit einem Wert von 0,4 am größten. Im Fall der rechteckigen Geometrie ist die Abweichung von S gegenüber der elliptischen Geometrie geringer, was mit einem geringeren Wert von $L_{\ddot{u}} = 0,15$ übereinstimmt. Damit besteht ein direkter Zusammenhang der Morphologie des Halbleiters mit dem elektrischen Verhalten der Transistoren. Vergleicht man die extrahierten Werte der Ladungsträgerbeweglichkeit μ_{sat} und des auf die Weite normierten Drainstroms $I_{D, Norm}$, so stellt man allerdings keine signifikanten Abweichungen bei den unterschiedlichen Geometrien fest. Dies lässt die Vermutung zu, dass es sich bei den Ladungsträgerfallen wahrscheinlich um energetisch tief liegende

Störstellen innerhalb der Bandlücke des Halbleiters handelt, die sich vor allem im Unterschwellbereich der Transistoren auswirken und die auf die Leitfähigkeit des Kanals einen untergeordneten Einfluss haben.

Das Bedrucken von Transistoren mit Polymerhalbleiter sollte also in einem Zug stattfinden, um überlappende Schichten zu vermeiden. In Verbindung mit einer länglichen Transistorgeometrie wird diese Bedingung optimal erfüllt. Man erhält dann, wie bei der elliptischen Geometrie festgestellt, eine für das elektrische Verhalten der Transistoren bevorzugte Morphologie, die sich durch ein bezüglich der Druckrichtung wiederholtes Muster auszeichnet. Dieser Prozess hat sich als reproduzierbar erwiesen und führt im Ergebnis zu Transistoren mit geringen Schwankungen der Schwellspannung und klar voneinander abgegrenzten Betriebsbereichen.

3.1.3 Transistoren mit konventionell geätzten, obenliegenden Kontakten⁶

In Kapitel 3.1.2 wurde die Abscheidung des Halbleiters durch Tintenstrahldruck und die damit verbundenen Auswirkungen auf das elektrische Verhalten der Transistoren grundlegend untersucht. Im Vordergrund stand dabei, eine Transistorgeometrie zu identifizieren, die homogene Bauelemente mit reproduzierbaren elektrischen Eigenschaften ermöglicht. Die dort untersuchten Transistoren zeichnen sich allerdings durch eine vergleichsweise geringe Ladungsträgerbeweglichkeit im Bereich einiger $10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ aus. Dies ist unter anderem Folge eines relativ hohen Kontaktwiderstandes R_C . Es ist bekannt, dass die verwendete koplanare Konfiguration mit untenliegenden Kontakten aufgrund der geringen Injektionsfläche zu einem vergleichsweise hohen Kontaktwiderstand führt [2, 26, 65]. Um die Leistungsfähigkeit der Transistoren zu verbessern muss daher die Ladungsträgerinjektion optimiert werden. Dies ist unter anderem durch eine Vergrößerung der Injektionsfläche möglich, indem eine andere Transistorkonfiguration gewählt wird. Wenn die Auswahl und Prozessierung des Gatedielektrikums dabei unverändert bleiben soll (Bottom Gate), reduzieren sich die Möglichkeiten auf eine Konfiguration mit auf dem Halbleiter strukturierten Source/Drain-Kontakten (Top Contacts). Bei solchen Transistoren werden wegen der vergrößerten Injektionsfläche reduzierte Kontaktwiderstände und damit höhere Drainströme erreicht, was folglich auch zu einer Erhöhung der extrahierten Ladungsträgerbeweglichkeit führt. Zwar sind die elektrischen Eigenschaften überlegen, doch die technologische Umsetzung dieser Konfiguration ist insbesondere bei Transistoren mit organischem Halbleiter herausfordernd.

Zur Strukturierung der obenliegender Kontakte mittels konventioneller Prozesse bestehen grundsätzlich mehrere Möglichkeiten. Einerseits kann das Kontaktmetall durch eine Schattenmaske auf

⁶ Wesentliche Bestandteile dieses Kapitels wurden bereits in meiner Veröffentlichung [68] abgehandelt.

das Substrat aufgedampft werden. Diese Methode wird vor allem in der Grundlagenforschung an organischen Transistoren sehr häufig angewendet, da das Metall schon während der Abscheidung strukturiert aufgebracht wird und somit weitere Prozessschritte, die den organischen Halbleiter schädigen könnten, vermieden werden [26, 42]. Es wurde sogar ein Verfahren entwickelt, welches die Herstellung von Transistoren mit Kanallängen von unter 1 μm ermöglicht und somit zumindest auf dieser Ebene mit klassischen subtraktiven Prozessen konkurrieren kann [2, 46, 86]. Die hierfür benötigten Schattenmasken werden aus Silicon-on-Insulator-Substraten durch einen anisotropen Ätzprozess mit hohem Aspektverhältnis hergestellt (Bosch-Prozess). Allerdings ist die Herstellung der Substrate und der Schattenmasken technologisch äußerst aufwendig und kostenintensiv. Die zusätzlichen Nachteile der Schattenmaskenmethode bestehen weiterhin. Das Design für komplexe Verschaltungen muss zusammenhängend sein und darf die mechanische Stabilität der Schattenmaske nicht beeinträchtigen (beispielsweise durch sehr lange Leitungen). Darüber hinaus ist die Justierung der Schattenmaske auf das Substrat fertigungstechnisch aufwendig, weil hochauflösende Kamerasysteme eingesetzt werden müssen. Daher hat sich das Schattenmaskenverfahren auch in der konventionellen Mikroelektronikfertigung gegenüber subtraktiven Prozessen nicht durchsetzen können.

Als alternativer Strukturierungsprozess wurde ein zweischichtiges Lift-Off-Verfahren entwickelt, bei dem ein konventioneller Photolack eingesetzt wird [38]. Der organische Halbleiter (Pentacen) wurde dabei vor den im Lack enthaltenen Lösemitteln mit einer Polymerschicht auf wässriger Basis (Polyvinylalkohol) geschützt. Dies ist möglich, da Wasser gegenüber Pentacen ein orthogonales Lösemittel ist und die Morphologie des Halbleiters durch Immersion in Wasser nicht wesentlich verändert wird. Bei den nachfolgenden Prozessschritten kommt der Halbleiter nicht in Kontakt mit weiteren Chemikalien. In der Folge konnten funktionsfähige Transistoren demonstriert werden. Allerdings kann es beim Lift-Off-Prozess generell zur Rückabscheidung von abgehobenen Strukturen kommen, die elektrische Defekte verursachen können und dadurch die Ausbeute verringern (siehe Abbildung 3.7). Besonders bei Kurzkanaltransistoren ist dies kritisch, da hier eine erhöhte Kurzschlusswahrscheinlichkeit besteht. Dies steht dem Ziel einer höheren Integrationsdichte entgegen.

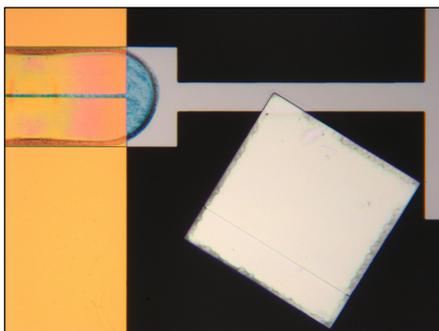


Abbildung 3.7 – Transistor, bei dem die obenliegenden Source/Drain-Kontakte durch Lift-Off strukturiert wurden. Der Halbleiter wurde durch ein Photopolymer auf Basis orthogonaler Lösemittel geschützt (OSCoR). Statt der direkten Strukturierung des Polymers wurde zugunsten einer verbesserten Kantendefinition im Kanalbereich zunächst ein Negativbild der Source/Drain-Ebene aus Aluminium auf der Polymerschicht strukturiert, das Polymer anschließend in Lösemitteln entwickelt. Es folgte die Abscheidung und der Lift-Off-Prozess der Injektionsschicht (Gold). Man erkennt die unerwünschte Rückabscheidung abgehobener Aluminiumstrukturen.

Die subtraktive, lithographische Strukturierung durch Maskierung mit Photolack und anschließendes Ätzen der Metallschicht unterliegt nicht den oben genannten Einschränkungen. Auf diese Weise können grundsätzlich Transistoren mit kurzen Kanälen bei gleichzeitig geringer Fehlerrate und nahezu beliebigen Freiheitsgraden beim Layout hergestellt werden. Die Integrationsdichte wird lediglich durch das zur Halbleiterabscheidung angewandte Druckverfahren beschränkt. Demzufolge wäre diese Methode eigentlich erste Wahl zur Strukturierung oberliegender Kontakte. Allerdings wird der Halbleiter während der Prozessierung den eingesetzten Ätzchemikalien und Lösemitteln zur Entfernung des Photolacks ausgesetzt. Dadurch kann es zu Veränderungen innerhalb dieser Schicht kommen, was die halbleitenden Eigenschaften beeinträchtigen kann. Wird beispielsweise Pentacen polaren Lösemitteln wie Azeton, Ethanol, Propanol oder PGMEA⁷ ausgesetzt, beobachtet man eine Änderung der Morphologie, obwohl der Halbleiter in diesen Lösemitteln praktisch nicht löslich ist. Die Leitfähigkeit der so behandelten Pentacenschicht nimmt in der Folge signifikant ab [24, 38]. Außerdem kann es durch den Einfluss der Ätzchemikalien zur Dotierung des Halbleiters kommen. Sowohl Pentacen, als auch Polymerhalbleiter wie P3HT reagieren auf die Exposition durch Iod mit einer signifikanten Erhöhung der Leitfähigkeit um mehrere Größenordnungen [1, 22, 49]. Dies ist relevant, da das häufig eingesetzte Kontaktmetall Gold typischerweise in iodhaltigen Ätzen strukturiert wird.

Obwohl die genannten Punkte gegen diese Methode der Strukturierung sprechen, sollte diese Möglichkeit nicht grundsätzlich ausgeschlossen werden. Wie im Folgenden gezeigt wird, ist der in dieser Arbeit verwendete Polymerhalbleiter äußerst robust gegenüber den eingesetzten Prozesschemikalien. Es konnten funktionsfähige Transistoren mit geätzten Kontakten sowohl aus Gold als auch aus Silber durch den Einsatz vollständig konventioneller Prozesse und Chemikalien hergestellt werden.

Die Gate-Elektroden der Transistoren wurden wie im Basisprozess beschrieben hergestellt (siehe Anhang A.2). Wie in Abbildung 3.8 (a) und (b) dargestellt, wurde eine rechteckige Geometrie mit Standardelektrodenform gewählt. Es ist somit möglich, die Kanallänge von 5 μm bis 80 μm für GTLM-Messungen zu variieren. Wie bei der elliptischen Geometrie beobachtet wurde, führt die längliche Geometrie auch in diesem Fall zu einer vergleichbaren Morphologie mit sich regelmäßig wiederholendem Muster bezüglich der Druckrichtung. Nach der Abscheidung des Halbleiters wurde das Kontaktmetall (Ag bzw. Au) durch thermisches Verdampfen aufgebracht. Die Metallschicht wurde anschließend mit einem konventionellen Positivlack beschichtet. Nach der Belichtung des Lacks wurde dieser in einer konventionellen alkalischen Lösung entwickelt. Die Strukturierung des Metalls erfolgte anschließend durch nasschemisches Ätzen. Im Fall von Au wurde eine wässrige Lösung basierend auf KI und I₂ verwendet. Die Basislösung dieser Ätze wurde mit acht Teilen H₂O verdünnt, was in einer Ätzrate von ca. 4,5 nm s⁻¹ resultiert. Für Ag wurde eine kommerzi-

⁷ Gängige Lösemittel zur Entfernung des Photolacks (PGMEA = Propylenglycolmonomethyletheracetat).

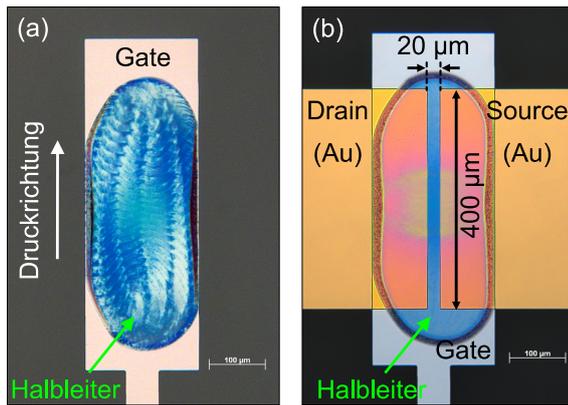


Abbildung 3.8 – (a) Bedruckte Gate-Elektrode mit charakteristischer Morphologie bezüglich der Druckrichtung (Aufnahme mit Polarisator). (b) Fertiggestellter Transistor mit geätzten obenliegenden Kontakten aus Au (Abmessungen im Bild).

ell erhältliche, wässrige Chromätzmischung basierend auf Ammoniumcarnitrat und Perchlorsäure verwendet. Die mit neun Teilen H_2O verdünnte Lösung ätzt das Metall mit einer Rate von ca. 4 nm s^{-1} . Im Anschluss an den Ätzprozess wurde der Photolack entfernt. Hierzu wurde das Substrat in Azeton geschwenkt und anschließend in H_2O gespült und trockengeblasen. Es folgte ein Trockenschritt im Konvektionsofen bei 80°C unter Standardatmosphäre. Details zur Herstellung sind im Anhang A.3 nachzulesen.

Die hergestellten Bauelemente wurden durch Messung der Eingangskennlinie charakterisiert (siehe Abbildung 3.9 (a)). Die Transistoren zeigen ein gewöhnliches Betriebsverhalten mit klar definiertem Sperrbereich bei geringen Sperrströmen von einigen pA, einer deutlich erkennbaren Einschaltspannung $U_{\text{so}} \approx 0 \text{ V}$ gefolgt von einem abrupten Übergang mit einem steilen Unterschwellanstieg. Offensichtlich kommt es durch die Exposition des Halbleiters gegenüber Ätzmedien nicht zu einer signifikanten Dotierung des Halbleiters. Andernfalls würde man zumindest bei den Transistoren mit Au-Kontakten deutlich erhöhte Sperrströme erwarten. Außerdem weisen die einzelnen Transistoren nur sehr geringe Abweichungen der Schwellspannung auf, was an der ausgeprägten Homogenität der Kennlinien erkennbar ist. Dies ist ein weiterer Hinweis darauf, dass sowohl die Ätzmedien, als auch die eingesetzten Lösemittel die Halbleitereigenschaften nicht signifikant verändern. Die abgebildeten Transistoren weisen im Mittel eine Ladungsträgerbeweglichkeit von $\mu_{\text{Au}} \approx 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ bzw. $\mu_{\text{Ag}} \approx 0,6 \cdot 10^{-4} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ auf bei einer Kanallänge von $5 \mu\text{m}$. Dies entspricht in etwa der Ladungsträgerbeweglichkeit der Transistoren aus Kapitel 3.1.2.

Zum Vergleich der Transistorkonfigurationen und zur weiteren Klärung des Einflusses der Prozesschemikalien auf den Halbleiter wurden GTLM-Messungen durchgeführt und analysiert. Diese Messungen erlauben die Abschätzung des Schichtwiderstandes r_s im Kanal des Transistors und des Kontaktwiderstandes R_C . Für den Fall, dass die Prozesschemikalien bei geätzten Kontakten keinen wesentlichen Einfluss auf den Halbleiter haben, erwartet man einen von der Konfiguration der Transistoren unabhängigen Schichtwiderstand im Kanal. Darüber hinaus ist es möglich, die unterschiedlichen Kontaktmetalle hinsichtlich ihrer Injektionseigenschaften zu bewerten. Für diese Analyse wurden Transistoren mit untenliegendem Gate und oben- bzw. untenliegenden Kontakten

aus Au und Ag hergestellt. Die Transistoren haben eine konstante Weite $W = 400 \mu\text{m}$ bei variierender Kanallänge $L = \{5, 10, 20, 40, 80\} \mu\text{m}$. Die Auswertung der GTLM-Messungen wurde wie in Kapitel 2.2.5 beschrieben durchgeführt. Die Ergebnisse sind in Abbildung 3.9 (b) und Tabelle 3.3 zusammengefasst.

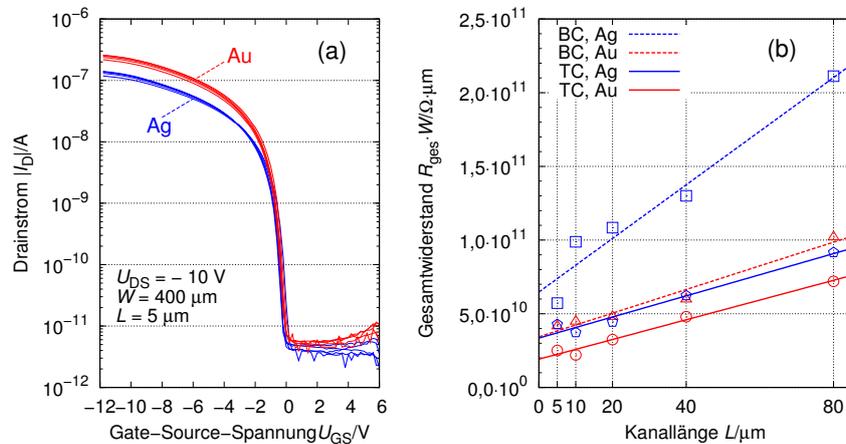


Abbildung 3.9 – (a) Eingangskennlinien von jeweils 5 Transistoren mit geätzten Kontakten aus Au und Ag. (b) Normierter Gesamtwiderstand $R_{ges}W$ in Abhängigkeit der Kanallänge L für verschiedene Kontaktmetalle (Ag und Au) und Konfigurationen (Bottom-Gate mit Top- oder Bottom-Contacts). Jeder eingezeichnete Punkt von $R_{ges}W$ ist der Durchschnittswert von jeweils 5 ausgewerteten Transistoren. $R_{ges} = U_{DS}/I_{DS}(U_{GS} + U_{th})$ wurde aus den Eingangskennlinien der Transistoren berechnet bei $U_{GS} = -5$ V und $U_{DS} = -1$ V.

Zunächst soll der Schichtwiderstand r_S im Kanal der Transistoren diskutiert werden. Dieser Wert lässt sich aus der Steigung der Kennlinien in Abbildung 3.9 (b) ablesen. Vergleicht man zunächst die (gestrichelten) Kennlinien für untenliegende Kontakte (BC, Ag bzw. BC, Au), so fällt auf, dass die Steigung im Fall von Ag-Kontakten im Vergleich zu Au-Kontakten deutlich steiler ist. Die unterschiedliche Steigung resultiert in einem deutlich höheren Wert von r_S im Fall von Ag-Kontakten. Erwarten würde man hingegen eine nahezu identische Steigung dieser Kennlinien, da der Halbleiter in diesen Fällen erst im letzten Prozessschritt auf die fertigen Transistorstrukturen gedruckt wurde und somit keinen weiteren Prozesschemikalien ausgesetzt war. Die Ursache für dieses Verhalten konnte nicht mit genügender Sicherheit aufgeklärt werden. Daher kommen

Tabelle 3.3 – Vergleich der nach Abbildung 3.9 (b) mittels GTLM bestimmten Werte des normierten Kontaktwiderstands $R_C W$ und des Schichtwiderstands r_S im Kanal für unterschiedliche Kontaktmetalle und Transistorkonfigurationen (Kanalweite $W = 400 \mu\text{m}$).

Kontaktmetall	Gate	Source/Drain	$r_S/M\Omega$	$R_C W/G\Omega \mu\text{m}$
Silber (Ag)	Bottom	Bottom	1818,4	64,8
Gold (Au)	Bottom	Bottom	802,6	34,4
Silber (Ag)	Bottom	Top	716,4	33,5
Gold (Au)	Bottom	Top	669,2	19,2

als mögliche Erklärungen sowohl Prozessschwankungen, als auch Verunreinigungen des Ladungsträgerkanals durch Ag-Reste oder Rückstände der Prozesschemikalien in Betracht, die zu einer verringerten Leitfähigkeit des Halbleiters (möglicherweise aufgrund von geänderter Morphologie) führen.

Vergleicht man nun die (durchgezogenen) Kennlinien der beiden Fälle mit obenliegenden Kontakten (TC, Au bzw. TC, Ag), so stellt man fest, dass die Steigungen beinahe identisch sind, was in ähnlichen Werten von r_s resultiert. Außerdem entsprechen diese Steigungen näherungsweise der Steigung der Kennlinie für untenliegende Au-Kontakte. Damit kann zum einen festgestellt werden, dass die verwendeten Ätzen für Ag und Au, denen der Halbleiter bei Strukturierung obenliegender Kontakte ausgesetzt war, sich nicht unterschiedlich auf die Leitfähigkeit des Transistorkanals auswirken. Außerdem ist festzustellen, dass die gesamte nachfolgende Prozesskette (also auch Photolacke und Entferner) bei obenliegenden Kontakten keine negativen Auswirkungen auf die Leitfähigkeit des Kanals hat. Andernfalls würde man, verglichen mit untenliegenden Kontakten, eine größere Steigung der Kennlinien erwarten.

Es konnte somit gezeigt werden, dass der verwendete Halbleiter stabil gegenüber konventionellen Lithographieprozessen ist. Dies bedingt im wesentlichen zwei Voraussetzungen, die der Halbleiter erfüllen muss. Zuallererst muss der Halbleiter in den verwendeten Prozesschemikalien (Ätzenmischungen, polare Lösemittel wie Azeton) praktisch unlöslich sein. Diese Anforderung wird durch die meisten organischen Halbleiter, auch durch das hier verwendete Polymer, aufgrund der Löslichkeitseigenschaften erfüllt. Doch diese Bedingung ist nicht hinreichend, denn es kommt im wesentlichen darauf an, dass die Morphologie des Halbleiters durch den Einfluss der Prozesschemikalien nicht verändert wird. Obwohl Pentacen aufgrund dessen Molekülstruktur in polaren Lösemitteln praktisch unlöslich ist, kommt es (wie oben schon beschrieben) dennoch zu einer Veränderung der Morphologie unter dem Einfluss dieser Lösemittel [24, 38]. Pentacen bildet auf dielektrischen Materialien eine polykristalline Schicht mit terrassierten Kristalliten, die durch tiefe Gräben, die sogenannten Korngrenzen, voneinander getrennt sind [24]. An diesen Korngrenzen beträgt die Schichtdicke oft nur wenige Moleküllagen. Es ist daher naheliegend anzunehmen, dass die Pentacenschicht an diesen Stellen äußerst sensibel gegenüber Lösemitteln ist und es zu einer veränderten Koordination der Moleküle im Bereich der Korngrenzen kommen kann. Da der Ladungstransport in organischen Halbleitern überwiegend in den ersten Moleküllagen an der Grenzfläche zum Dielektrikum stattfindet, wirkt sich eine veränderte Morphologie zwischen den Korngrenzen auf die elektrischen Eigenschaften des Transistors aus [24, 52]. Im Gegensatz dazu bildet der hier verwendete Polymerhalbleiter eine kompakte, geschlossene, überwiegend amorphe Schicht, die materialbedingt eine gewisse Elastizität aufweist und somit robuster im Vergleich zu Halbleiterschichten aus kleinen Molekülen ist. Korngrenzen, wie sie in einer Pentacenschicht auftreten, existieren nicht. Auch die relativ hohe Schichtdicke (zwischen 50 nm und 200 nm, siehe Abbil-

dung 3.5) begünstigt, dass der Kanalbereich effektiv vor dem Einfluss der Prozesschemikalien geschützt wird.

Im Folgenden wird der Kontaktwiderstand R_C in Abhängigkeit der Konfiguration und der Kontaktmetalle analysiert. Wie erwartet, ergibt sich für obenliegende Kontakte – unabhängig vom Kontaktmetall – ein reduzierter Kontaktwiderstand gegenüber untenliegenden Kontakten aufgrund der größeren Injektionsfläche (siehe Abbildung 3.9 (b) und Tabelle 3.3). Unabhängig von der Konfiguration ergibt sich für Au ein geringerer Kontaktwiderstand gegenüber Ag-Kontakten. Dies deutet auf eine effektivere Ladungsträgerinjektion bei Au-Kontakten hin, die sich auch in einem höheren Drainstrom widerspiegelt (siehe Abbildung 3.9 (a)).

Ursächlich für die Ausbildung des Kontaktwiderstandes sind die energetischen Verhältnisse des Metall-Halbleiterübergangs (zur Veranschaulichung siehe Abbildung 2.6). Die tatsächliche Höhe von R_C hängt bei p-Typ-Transistoren im wesentlichen von der energetischen Barriere Δ_H zwischen dem HOMO-Niveau des Halbleiters (ausgedrückt durch dessen Ionisierungspotential $\phi_I = 5,1 \text{ eV}$) und dem Fermi-Niveau des Kontaktmetalls (ausgedrückt durch dessen spezifische Austrittsarbeit ϕ_M) ab [27]. Im einfachsten Fall (Schottky-Mott-Modell) beträgt diese Barriere $\Delta_H = \phi_I - \phi_M$ [32, 44]. Tatsächlich ist die Ausbildung dieser Barriere allerdings komplexer. Untersuchungen haben gezeigt, dass es zu energetischen Wechselwirkungen zwischen organischen Molekülen und Metallen kommen kann. Dabei kommt es zur Bildung von Dipolen, die zu einer Absenkung des Vakuumniveaus an der organometallischen Grenzfläche führen. In der Folge kommt es zu einer zusätzlichen Erniedrigung des HOMO-Niveaus um Δ , wodurch sich die energetische Barriere Δ_H um den selben Betrag erhöht [27, 32, 44]. Dieser Effekt kann die Energetik des Metall-Halbleiterübergangs entscheidend beeinflussen, da für Δ Werte um 1 eV berichtet werden [32, 44]. Die Austrittsarbeiten der hier verwendeten Metalle betragen in Abhängigkeit der Kristallstruktur $\phi_{Ag} = \{4,26 \dots 4,74\} \text{ eV}$ bzw. $\phi_{Au} = \{5,1 \dots 5,47\} \text{ eV}$ [70]. Da die tatsächliche Kristallstruktur der verwendeten Metalle in dünnen Schichten nicht bekannt ist und Verunreinigungen der Oberfläche (organische Rückstände von Photolack und Lösemitteln, Oxide und andere chemische Verbindungen) nicht auszuschließen sind, können diese tabellierten Werte nur zur groben Orientierung herangezogen werden. Demnach würde man für im Fall von Ag eine etwas höhere Barriere Δ_H erwarten, was mit den experimentellen Ergebnissen übereinstimmt. Folgt man der theoretischen Beschreibung nach Schottky-Mott, würde die Barriere im Fall von Au vollständig verschwinden (oder es ergäbe sich sogar $\Delta_H < 0$). Demnach würde man einen perfekten Metall-Halbleiterübergang mit einem sehr geringen R_C erwarten. Offensichtlich ist der tatsächlich ermittelte Kontaktwiderstand im Fall von Au-Kontakten aber vergleichsweise groß⁸. Dies belegt, dass sekundäre Effekte, wie die Ausbildung von Dipolen und nicht vollständig reine Metalloberflächen bei der Bildung des Kontaktwiderstandes dominieren.

⁸ Es werden BG-Transistoren mit TC-Kontakten aus Au basierend auf dem Halbleiter DNTT berichtet, deren R_C drei Größenordnungen unter den hier diskutierten Werten liegt [2].

In diesem Kapitel wurde gezeigt, dass die Herstellung organischer Transistoren mit obenliegenden Kontakten durch vollständig konventionelle Prozesse möglich ist, ohne dass es zur Schädigung des Halbleiters kommt. Es konnten unabhängig von den Ätzmedien keine negativen Auswirkungen auf das elektrische Verhalten der Transistoren nachgewiesen werden. Durch einen Vergleich mit anderen Studien erscheint es als wahrscheinlich, dass dies im wesentlichen auf die Materialklasse des Halbleiters zurückgeführt werden kann. Es ist somit möglich, Transistoren mit reduziertem Kontaktwiderstand, homogenen Kennlinien und gewöhnlichem Betriebsverhalten durch geätzte, obenliegende Kontakte herzustellen. Der Herstellungsprozess ist sehr gut reproduzierbar und aus fertigungstechnischer Sicht geeignet. Außerdem wurden die beiden Kontaktmetalle Ag und Au hinsichtlich ihrer Injektionseigenschaften verglichen. Dabei weisen Au-Kontakte einen geringeren Kontaktwiderstand auf (ca. Faktor 2). Doch auch Ag eignet sich als Kontaktmetall, wenn ein etwas erhöhter Kontaktwiderstand toleriert werden kann.

3.1.4 Optimierte Transistoren mit niedrigen Ansteuerspannungen⁹

Die in den beiden vorangegangenen Abschnitten diskutierten Transistoren können im Vergleich zu Transistoren mit Polymerdielektrika (Schichtdicke typischerweise einige 100 nm und $\epsilon_r \approx \{2,1 \dots 4,5\}$ [73]) mit vergleichsweise geringen Ansteuerspannungen betrieben werden. Dennoch ist es anzustreben, das Spannungsniveau weiter abzusenken, um die Erfordernisse eines energieeffizienten Betriebs von Anwendungen basierend auf organischen Transistoren zu erfüllen. Hierfür ist ein hoher Gatekapazitätsbelag C_D erforderlich (vgl. Gl. (2.3) und Gl. (2.4)). Setzt man näherungsweise die Beziehung $C_D \approx \epsilon_r \epsilon_0 d^{-1}$ voraus, sind niedrige Ansteuerspannungen generell durch eine geringe Schichtdicke d oder durch eine große, materialabhängige Permittivität ϵ_r realisierbar.

Andererseits ist die Leistungsfähigkeit der diskutierten Transistoren bezüglich des erreichten Drainstroms und der Ladungsträgerbeweglichkeiten (ungefähr $10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) verbesserungswürdig. Zwar konnte der Kontaktwiderstand in Kapitel 3.1.3 optimiert werden, doch dies resultierte nicht in einer signifikanten Steigerung der Leistungsfähigkeit. Analysiert man die extrahierten Werte in Tabelle 3.3 genauer, so fällt auf, dass der Stromfluss durch den Transistor auch durch dessen Kanalwiderstand limitiert ist. Am Beispiel der Transistoren mit obenliegenden Au-Kontakten (letzte Zeile in der Tabelle) erhält man für $W = 400 \mu\text{m}$ und $L = 10 \mu\text{m}$ einen Kontaktwiderstand $R_C = 48 \text{ M}\Omega$ und einen Kanalwiderstand $R_{\text{Kanal}} = r_S L W^{-1} \approx 17 \text{ M}\Omega$. Beide Werte liegen also in derselben Größenordnung. Eine Reduzierung des Kanalwiderstandes würde sich somit positiv auf den Stromfluss auswirken und ist durch Optimierung der Grenzfläche zwischen Halbleiter und Dielektrikum möglich.

⁹ Wesentliche Bestandteile dieses Kapitels wurden bereits in meiner Veröffentlichung [68] abgehandelt.

Diese beiden Ansätze werden in einem Hybrid-Dielektrikum basierend auf einer extrem dünnen Aluminiumoxidschicht in Kombination mit einer selbstorganisierenden Monolage aus Alkylphosphonsäuren vereint [21, 33, 43]. Hierbei wird die Gate-Elektrode aus Aluminium einem sauerstoffhaltigen Plasma ausgesetzt, wodurch eine circa 3,8 nm dünne Aluminiumoxidschicht ($\epsilon_r \approx 9$) gebildet wird. Anschließend wird eine dicht gepackte Monolage, beispielsweise aus Octadecylphosphonsäure (siehe Verbindung 2.11(a)), aus einer Lösung auf das Oxid abgeschieden (circa 2,1 nm [43]). Die resultierende Doppelschicht hat einen hohen Kapazitätsbelag von $0,7 \mu\text{F cm}^{-2}$. Trotz der extrem geringen Schichtdicke werden niedrige Leckstromdichten von $5 \cdot 10^{-5} \text{ A cm}^{-2}$ bei einer Feldstärke von $3,4 \text{ MV cm}^{-1}$ erreicht. Basierend auf diesem Hybrid-Dielektrikum konnten sowohl einzelne Niederspannungstransistoren mit einem Spannungsniveau von unter 3 V, als auch funktionsfähige komplexe Schaltungen demonstriert werden [43, 86]. Die Oberfläche der Monolage ist sehr hydrophob (vgl. Tabelle 2.2), was das Schichtwachstum organischer Halbleiter positiv beeinflussen kann. Untersuchungen mit Pentacen zeigen beispielsweise eine Verdopplung der Ladungsträgerbeweglichkeit auf Werte um $0,7 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ verglichen mit einer blanken Oxidoberfläche [21].

Dieser Ansatz wurde mit einigen Variationen in den bestehenden Prozess integriert mit dem Ziel, einerseits das Spannungsniveau abzusenken und andererseits die Oxid-Halbleiter-Grenzfläche zu optimieren um die Leistungsfähigkeit der Transistoren zu erhöhen. Hierzu wurde die Schichtdicke des anodisierten Aluminiumoxids um 75 % auf nur noch 15 nm reduziert. Diese Skalierung kann einfach durch Erniedrigung der Spannungsbegrenzung während der Anodisierung umgesetzt werden. Gegenüber der Oxidation des Gatemetalls durch Plasmabehandlung wird durch die Anodisierung eine niedrigere Ausfallwahrscheinlichkeit erwartet. Da die elektrische Oxidation ein selbstregulierender Prozess ist, werden eventuell vorhandene Defekte im Gatemetall in situ ausgeglichen. An Defektstellen wie Kanten und Spikes herrscht während der Anodisierung eine erhöhte Feldstärke vor, wodurch die Oxidation an diesen Stellen bevorzugt stattfindet. Insbesondere auf großflächigen Substraten erscheint eine erhöhte Prozesssicherheit vorteilhaft. Im Anschluss an die Oxidation wurde die Oxidschicht mittels UV-Ozon-Behandlung gereinigt. Gleichzeitig erhöht dieser Schritt die Dichte der vorhandenen Hydroxygruppen auf der Oberfläche, die als Ankerpunkte für die selbstorganisierenden Moleküle dienen. Die Monolage aus Octadecylphosphonsäure wurde anschließend aus einer Lösung in 2-Propanol gebildet. Die Abscheidung des Halbleiters durch Tintenstrahldruck und die Prozessierung der Source/Drain-Kontakte wurde wie in Kapitel 3.1.3 beschrieben durchgeführt. Details zu den durchgeführten Prozessen sind in Anhang A.4 nachzulesen.

In Abbildung 3.10 (a) ist ein auf diese Weise hergestellter Transistor abgebildet. Man erkennt, dass der Halbleiter den Kanalbereich nur unvollständig benetzt und außerdem nicht im Zentrum der Gatestruktur liegt. Obwohl die selben Druckparameter verwendet wurden wie bei den Transisto-

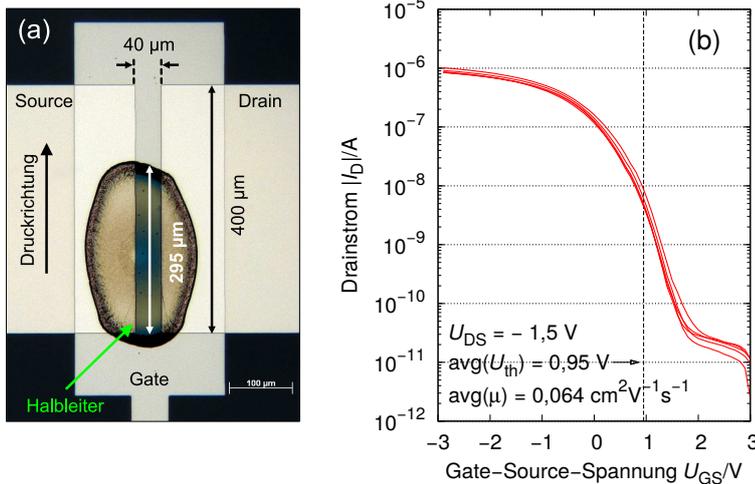


Abbildung 3.10 – (a) Transistor mit geätzten Kontakten (Ag) auf dem gedruckten Halbleiter. Das Dielektrikum wurde mit einer Monolage aus Octadecylphosphonsäure funktionalisiert. (b) Typische Eingangskennlinien der Niederspannungstransistoren mit oberliegenden Ag-Kontakten ($L = 10\ \mu\text{m}$ und $W \approx 280\ \mu\text{m}$).

ren mit blankem Gateoxid (vgl. Abbildung 3.8 (a)), ist die durch den Halbleiter bedeckte Fläche deutlich kleiner. Dies ist auf die veränderten Oberflächeneigenschaften des funktionalisierten Gateoxids zurückzuführen. Wie unter anderem in [33, 43] berichtet und in Tabelle 2.2 gezeigt führt das Funktionalisieren des Oxids zu einer stark hydrophoben Oberfläche mit einem Kontaktwinkel zu H_2O mit Werten über 100° . Die Oberflächenspannung wird dadurch stark reduziert, insbesondere der polare Anteil verschwindet fast vollständig. Die hat zur Folge, dass der Nassfilm der Halbleiterlösung die Oberfläche nicht optimal benetzt. Statt der gewünschten Spreitung des Films zieht sich dieser tropfenartig zusammen, noch bevor die Trocknung vollständig abgeschlossen ist. Durch den entnetzenden Charakter der Oberfläche kommt es während der Trocknung außerdem zur unkontrollierten Wanderung des Nassfilms auf der Gatestruktur. Die endgültige Position, die der getrocknete Halbleiterfilm einnimmt ist daher weder vorhersagbar noch reproduzierbar. Somit kann nicht sichergestellt werden, dass der Halbleiter den Kanalbereich überhaupt bedeckt und die resultierende Kanalweite schwankt von Bauelement zu Bauelement.

Trotz des schwer kontrollierbaren Druckprozesses können funktionsfähige Transistoren demonstriert werden. In Abbildung 3.10 (b) sind repräsentative Eingangskennlinien aufgezeichnet. Das Spannungsniveau konnte aufgrund des hohen Kapazitätsbelages von $0,33\ \mu\text{Fcm}^{-2}$ erfolgreich auf $|V_{GS}| \leq 3\ \text{V}$ gesenkt werden. Auch die Leistungsfähigkeit der Transistoren wurde gesteigert. Setzt man voraus, dass sich der Kontaktwiderstand gegenüber den in Kapitel 3.1.3 ermittelten Werten nicht wesentlich verändert, hat die Funktionalisierung des Gateoxids offenbar einen positiven Einfluss auf den Kanalwiderstand, was sich durch die Zunahme des Drainstroms um rund eine Größenordnung bemerkbar macht. Auch die Ladungsträgerbeweglichkeit wird infolge der Funktionalisierung deutlich erhöht auf einen Durchschnittswert um $\mu \approx 6 \cdot 10^{-2}\ \text{cm}^2\ \text{V}^{-1}\ \text{s}^{-1}$ (verglichen mit einem Durchschnittswert um $\mu \approx 6 \cdot 10^{-4}\ \text{cm}^2\ \text{V}^{-1}\ \text{s}^{-1}$ der nicht funktionalisierten Transistoren). Vermutlich durch die reduzierte Schichtdicke des Dielektrikums werden leicht erhöhte Sperrströme gemessen, die aber immer noch im tolerierbaren Bereich einiger $10^{-11}\ \text{A}$ liegen. Die Schwellspannung verschiebt sich deutlich zu positiven Werten um $0,95\ \text{V}$.

Der verwendete Polymerhalbleiter weist also bei optimierter Grenzfläche des Kanalbereichs und bevorzugter Transistorarchitektur eine für seine Materialklasse vergleichsweise hohe Leistungsfähigkeit auf. Durch Anpassung der Parameter des Anodisierungsprozesses wurde zudem ein niedriges Spannungsniveau erreicht. Allerdings kommt es durch die Funktionalisierung des Gateoxids zu Benetzungsproblemen beim Druck des Halbleiters. Die erzielten Druckergebnisse sind ohne weitere Maßnahmen nicht reproduzierbar, was die Integration dieses Prozesses in komplexere Anwendungen einschränkt.

3.1.5 Verkapselung der Transistoren¹⁰

3.1.5.1 Notwendigkeit und Möglichkeiten der Verkapselung

Für den Einsatz organischer Transistoren in komplexen, integrierten Systemen wird aus unterschiedlichen Gründen eine Verkapselung der Bauelemente notwendig. Beispiele solcher Systeme sind vollintegrierte Anzeigen, die aus Ansteuerelektronik und einem geeigneten Anzeigeeffekt (elektrophoretische oder elektrochrome Medien, Flüssigkristalle, organische Leuchtdioden) bestehen. Es ist daher häufig notwendig, den bildgebenden Teil des Systems auf der bereits vorhandenen Ansteuerelektronik herzustellen. Die dabei eingesetzten Transistoren sind somit den nachfolgenden Prozessschritten ausgesetzt und müssen einer Vielzahl von Stressfaktoren, wie hohen Temperaturen, Plasmen, Prozesschemikalien und mechanischen Beanspruchungen standhalten. Dies macht den Schutz des organischen Halbleiters durch eine geeignete Verkapselung notwendig, die ihrerseits das Halbleitermaterial nicht schädigt und das Transistorverhalten nicht negativ beeinflusst.

Eine Verkapselung ist aber auch erforderlich, um den Halbleiter vor schädlichen Umwelteinflüssen zu schützen und damit die Langzeitstabilität zu erhöhen und das Betriebsverhalten zu stabilisieren. So kann es durch Permeation des Halbleiters durch Sauerstoff aus der Umgebungsatmosphäre zur Dotierung des Halbleiters kommen [72]. Auch die Diffusion atmosphärischen Wasserdampfs in den Halbleiterkanal sollte durch eine Verkapselung erschwert werden, da H_2O die Dichte der Ladungsträgerfallen im Transistorkanal erhöhen und den Halbleiter durch die vorhandenen Hydroxygruppen dotieren kann [19, 72]. Außerdem kann das Betriebsverhalten der Transistoren durch Back-Channel-Effekte¹¹ beeinflusst werden. Ist der Halbleiter nicht durch eine entsprechende Verkapselung passiviert, kann es zur Polarisierung der Grenzfläche zwischen Halbleiter und Umge-

¹⁰ Wesentliche Bestandteile dieses Kapitels wurden bereits als Konferenzbeitrag vorgestellt [69].

¹¹ Als Back-Channel wird die dem Transistorkanal gegenüberliegende Grenzfläche bezeichnet; im Fall von nicht verkapselten TFTs der Art BGBC ist dies die Grenzfläche Halbleiter-Luft.

bungsatmosphäre kommen. Das dabei gebildete elektrische Feld beeinflusst die Schwellspannung der Transistoren.

In Abbildung 3.11 ist das typische Verhalten eines nicht verkapselten Transistors rund eine Woche nach seiner Herstellung abgebildet. Die im ersten Schritt gemessene Eingangskennlinie (a1) deutet zunächst auf ein gewöhnliches Verhalten des Transistors mit klar voneinander abzugrenzenden Betriebsbereichen hin. Das anschließend gemessene Ausgangskennlinienfeld (a2) dieses Transistors offenbart allerdings den Einfluss der oben diskutierten Effekte auf das Betriebsverhalten. Der Verlauf (qualitativ betrachtet) und vor allem die Abstände der einzelnen Ausgangskennlinien sind äußerst ungewöhnlich und der Drainstrom bei $U_{GS} = -12\text{ V}$ liegt rund eine Größenordnung unter dem entsprechenden Wert der Eingangskennlinie. Extrahiert man bei $U_{DS} = -10\text{ V}$ die Werte des Drainstroms aus (a2) und trägt diese in (a1) ein, so sollten diese Punkte (blau) im Idealfall auf der gemessenen Eingangskennlinie liegen. Tatsächlich weichen diese Punkte erheblich von den zu erwartenden Werten ab und deuten auf eine enorme, durch Stress bei der Messung der Ausgangskennlinie verursachte Schwellspannungsverschiebung hin. Man muss daher einerseits festhalten, dass das Verhalten eines Transistors durch Messung der Eingangskennlinie nicht hinreichend bewertet werden kann. Zweitens ist offensichtlich, dass eine Verkapselung neben den oben beschriebenen technologischen Aspekten auch notwendig ist, um das Betriebsverhalten zu stabilisieren.

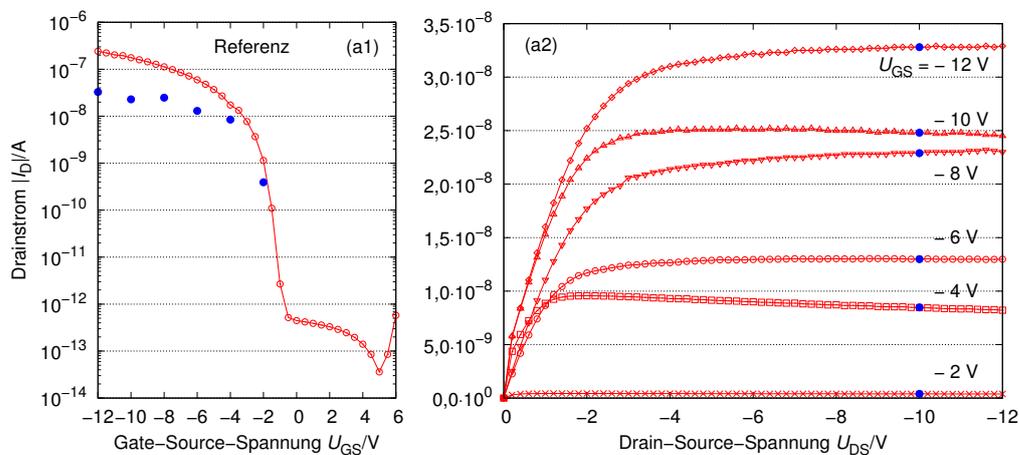


Abbildung 3.11 – Eingangskennlinie ($U_{DS} = -10\text{ V}$) und typisches Ausgangskennlinienfeld eines Transistors (BGBC, Au-Kontakte, $W = 720\mu\text{m}$, $L = 10\mu\text{m}$) ohne Verkapselung. Die blauen Punkte in (a1) entsprechen den aus der Ausgangskennlinie (a2) extrahierten Strömen bei $U_{DS} = -10\text{ V}$.

Zur Realisierung einer Verkapselung bestehen grundsätzlich mehrere Möglichkeiten. In [34] wurde zum Beispiel versucht, den Halbleiter (Pentacen) durch Aufstäuben anorganischer Schichten aus SiO_2 oder Si_3N_4 zu passivieren. Die Strukturierung dieser Schichten erfolgte durch einen Lift-Off-Prozess. Der Halbleiter ist dabei während der Kathodenzerstäubung allerdings den Plasmen ausgesetzt, die reaktive Spezies enthalten. Dies führt zur Schädigung des Halbleiters, was sich

durch Erniedrigung des Drainstroms und durch signifikante Verschiebung der Schwellspannung bemerkbar macht.

Nelson et al. haben die Verkapselung von Pentacen durch Parylen untersucht [53]. Dabei wird der Ausgangsstoff zunächst verdampft und durch Pyrolyse bei hoher Temperatur in radikale Monomere aufgespalten. Dieser Dampf wird in die Abscheidungskammer (Raumtemperatur) geleitet, wo die Monomere auf allen Oberflächen adsorbiert werden und polymerisieren. Auch dieser Prozess bleibt nicht ohne Auswirkungen auf die elektrischen Eigenschaften der passivierten Transistoren. Als Ursache für die Degradation werden chemische Reaktionen des Parylens mit dem Halbleiter vermutet. Um den direkten Kontakt von Parylen und Halbleiter zu vermeiden, wurde daher die Ätzmaske zur Strukturierung des Halbleiters (Polyvinylalkohol (PVA) auf wässriger Basis) vor der Polymerisation auf der Pentacenschicht belassen. Durch diese Maßnahme wurde die Degradation signifikant vermindert. Die Verwendung von PVA könnte aus Sicht der Langzeitstabilität durch den stark hydrophilen Charakter allerdings kritisch sein. Zunächst könnte die relativ trockene PVA-Schicht sogar als Gettermaterial wirken indem H_2O -Moleküle aus der Halbleiterschicht (und aus der Umgebung) in das PVA diffundieren. Wenn die PVA-Schicht aber nach einer gewissen Zeit gesättigt ist, könnte sich dieser Mechanismus umkehren und zur Diffusion von H_2O aus der Verkapselung in den Halbleiter führen. Außerdem ist aus technologischer Sicht eine Verkapselung aus Parylen aufwendig, da die Strukturierung durch Photolithographie und anschließendes Trockenätzen erfolgt.

Eine weitere (und hier untersuchte) Möglichkeit zur Verkapselung bieten Polymere, die aus Lösungen abgeschieden werden können. Es steht eine große Anzahl möglicher Materialien zur Verfügung, die in unterschiedlichen, meist organischen Lösemitteln in ausreichend hohen Konzentrationen löslich sind. Besonders geeignet erscheinen unpolare Polymere, deren chemische Struktur wasserabweisende Eigenschaften aufweisen [19]. Dies reduziert mögliche Grenzflächenzustände durch Polarisierungseffekte im Bereich des Back-Channels. Auch aus technologischer Sicht sind lösungsmittelbasierte Polymere geeignet, da diese beispielsweise mit geringem Aufwand mittels Rotationsbeschichtung abgeschieden werden können. Oft ist es durch die photochemischen Eigenschaften oder durch Einsatz photoaktiver Zusätze möglich, die Polymerschicht mittels Photolithographie direkt zu strukturieren. Außerdem können Polymere prinzipiell durch ein geeignetes Druckverfahren verarbeitet werden, was den Einsatz zusätzlicher Strukturierungsprozesse vermeidet. Während der Prozessierung ist der Halbleiter allerdings in direktem Kontakt mit dem Lösemittel des Polymers. Daher kann es zur Diffusion des Lösemittels in den Halbleiter und damit zur Degradation der elektrischen Eigenschaften kommen. Im Folgenden wird der Einfluss unterschiedlicher Photolacke basierend auf konventionellen und orthogonalen, organischen Lösemitteln auf das Verhalten der Transistoren untersucht.

3.1.5.2 Verkapselung mittels photostrukturierbarer Polymere

Lösemittel werden aufgrund ihrer Löslichkeitseigenschaften in die Klassen *polar* und *unpolar* eingeteilt (vgl. Abbildung 3.12). Polare Lösemittel haben hydrophilen und lipophoben Charakter und lösen daher Stoffe mit ähnlich polaren Eigenschaften. Man unterscheidet die Klasse der protisch- und aprotisch-polaren Lösemittel. Protische Lösemittel sind dadurch gekennzeichnet, dass sie durch Abspaltung eines Wasserstoffatoms aus einer funktionellen Gruppe dissoziieren können. Typische Vertreter dieser Klasse sind Wasser und niedere Alkohole. Aprotisch-polare Lösemittel können zwar nicht dissoziieren, aber sie enthalten polare, funktionelle Gruppen, die zur Bildung eines permanenten intra-molekularen Dipolmoments führen. Typische Vertreter sind Ketone, wie Azeton und Stoffe mit Ester- und Ethergruppen wie PGMEA. Sie unterscheiden sich dadurch von den ebenso aprotischen, aber unpolaren Lösemitteln. Diese Klasse verfügt über keine polare Gruppen oder die Polarität wird durch Symmetrie oder den Einfluss unpolarer Gruppen geschwächt. Unpolare Lösemittel haben dadurch ein schwächeres Dipolmoment. Der Übergangsbereich wird bei einer relativen Permittivität von 15 angegeben [62, 63]. Unpolare Lösemittel sind hydrophob und lipophil und lösen unpolare Stoffe mit ähnlichen Eigenschaften. Zur Klasse der unpolaren Lösemittel gehören aliphatische oder aromatische Kohlenwasserstoffe. Diese können halogeniert sein oder aliphatische und aromatische Substituenten enthalten. Typische Vertreter sind Tetralin und 1,2-Dichlorbenzol (o-DCB).

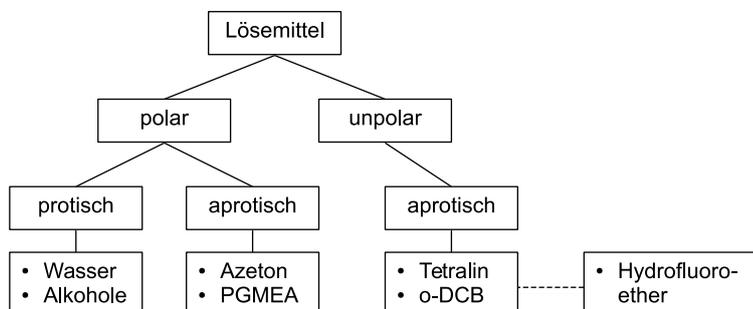


Abbildung 3.12 – Klassifizierung der Lösemittel und einige typische Vertreter der Klassen.

Der verwendete Polymerhalbleiter löst sich gut in unpolaren Lösemitteln wie Mesitylen und Tetralin (vgl. Tabelle 3.1). Dem Grundsatz *Ähnliches löst sich in Ähnlichem* nach ist damit eine abnehmende Löslichkeit in Lösemitteln mit zunehmend polarem Charakter zu erwarten. Damit es nicht zur Schädigung der Morphologie durch Aufquellen oder Anlösen der Halbleiterschicht durch die Verkapselung kommt, sollte das darin enthaltene Lösemittel möglichst stark abweichende – orthogonale – Löslichkeitseigenschaften haben. Je polarer das Lösemittel der Verkapselung ist, umso geringer sollte der Einfluss auf die Morphologie des Halbleiters sein. Doch selbst wenn das Lösemittel den Halbleiter nicht signifikant zu lösen vermag, kann es zur Diffusion geringer Mengen des Lösemittels in den Halbleiter kommen. Dort können insbesondere polare Lösemittel Ladungsträgerfallen bilden oder sogar zur Dotierung des Halbleiters führen [72].

Um den Einfluss der Verkapselung auf die elektrischen Eigenschaften zu untersuchen, wurden Transistoren nach dem Basisprozess hergestellt. Zur Verkapselung wurden vier unterschiedliche, kommerziell erhältliche Photolacke verwendet. Details zur Prozessierung können in Anhang A.5 nachgelesen werden. Tabelle 3.4 gibt einen Überblick über die Art der eingesetzten Photolacke und die darin enthaltenen Lösemittel. Bei allen Lacken, mit Ausnahme von PC403, handelt es sich um Negativlacke. Die Verwendung von Positivlacken kann von Vorteil sein, da der Halbleiter bei der Belichtung des Lacks durch die Lithographiemaske abgeschattet wird und somit nicht der energiereichen Strahlung ausgesetzt ist. Ob es durch die Belichtung des Halbleiters beim Einsatz der Negativlacke zu schädigenden Effekten gekommen ist, wurde nicht isoliert untersucht. Hinweise hierfür wurden nicht beobachtet.

Bei den Lacken SU-8, PC403 und ma-N1420 werden konventionelle, aprotische Lösemittel eingesetzt, die sowohl polaren als auch unpolaren Charakter haben. Insbesondere bei Cyclopentanon (SU-8) und Anisol (ma-N1420) kann nicht ausgeschlossen werden, dass der Halbleiter hierin zu einem gewissen Grad löslich ist. Grundsätzlich kann es unabhängig von der Polarität zur Diffusion der Lösemittel in den Halbleiter kommen.

Der Photolack OSCoR nimmt aufgrund seiner chemischen Eigenschaften eine Sonderstellung in dieser Zusammenstellung ein. Es handelt sich dabei um ein perfluoriertes Oligomer (Resorcina-*ren*), das in einem stark fluorierten Lösemittel (Hydrofluoroether) gelöst ist [84]. Dieser Photolack ist aufgrund der Perfluorierung extrem hydrophob, was im Hinblick auf die Wirksamkeit als Wasserdampfbarriere optimal ist. Die enthaltenen Lösemittel sind unpolar und ebenfalls stark hydrophob. Damit lösen Hydrofluoroether keine polaren Materialien. Darüber hinaus lösen sie trotz ihres unpolaren Charakters die meisten unpolaren organischen Materialien ebenfalls nicht (mit Ausnahme stark fluorierter Verbindungen) [85]. Dadurch wird die übliche Orthogonalitätskategorisierung polar-unpolar um die Paare fluoriert-polar und fluoriert-unpolar erweitert.

Tabelle 3.4 – Übersicht über die zur Verkapselung eingesetzten photostrukturierbaren Polymere (+ Positivlack, – Negativlack) und Klassifizierung der enthaltenen Lösemittel. Cyclopentanon (eher unpolar) liegt mit einer Permittivität um 13,5 im Übergangsbereich [81]. Daten entnommen aus den Sicherheitsdatenblättern [37, 47, 48, 56].

Bezeichnung	Typ	Haupt-Lösemittel	Klasse	Hersteller
SU-8	–	Cyclopentanon Propylencarbonat	aprotisch-unpolar aprotisch-polar	MicroChem Corp.
ma-N1420	–	Anisol 2-Methoxy-1-methylethylacetat	aprotisch-unpolar aprotisch-polar	Micro Resist Technology GmbH
PC403	+	Diethylglycolmethylethylether	aprotisch-polar	JSR Corp.
OSCoR	–	1,1,1,2,3,3-Hexafluoro-4-(1,1,2,3,3,3-hexafluoropropoxy)pentan	aprotisch-unpolar	Orthogonal Inc.

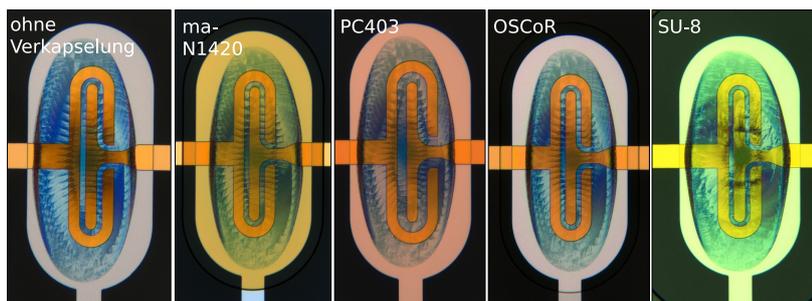


Abbildung 3.13 – Morphologie des gedruckten Halbleiters vor und nach der VerkapSELUNG durch unterschiedliche Photolacke (Aufnahme mit Analysator).

Erste Hinweise auf den Einfluss der Lösemittel auf den Halbleiter liefern Mikroskopaufnahmen der verkapselten Transistoren (siehe Abbildung 3.13). Die Morphologie vor der VerkapSELUNG (linkes Bild) entspricht der Erwartung bei elliptischer TFT-Geometrie mit charakteristischem Muster bezüglich der Druckrichtung. Auch nach der VerkapSELUNG der Transistoren bleibt diese charakteristische Morphologie unabhängig vom verwendeten Photolack erhalten. Lediglich die Morphologie im Fall von SU-8 weicht von den anderen Fällen ab. Dies konnte aber auf Prozessschwankungen zurückgeführt werden. Makroskopisch betrachtet kann kein Einfluss der in den Photolacken enthaltenen Lösemittel auf die Morphologie des Halbleiters beobachtet werden.

Auch wenn die Lösemittel keinen visuell wahrnehmbaren Effekt auf den Halbleiter haben, ist der Einfluss der VerkapSELUNGEN weiter durch elektrische Charakterisierung der Transistoren zu untersuchen. Die mögliche Diffusion der Lösemittel in den Halbleiter könnte zur Generierung aktiver Ladungsträgerfallen beitragen oder durch Dotierung den Ladungstransport verändern [72]. Auch das Material der VerkapSELUNG selbst kann die elektrischen Eigenschaften beeinflussen. Fu et al. berichten von der Dotierung des Halbleiters (P3HT) durch die VerkapSELUNG, falls diese elektronenziehende, funktionelle Gruppen (Hydroxy-, Cyanogruppen oder Halogensubstituenten) enthält. Bei unpolaren Materialien wurde dieses Verhalten nicht beobachtet [19, 72].

Zur Klärung des Einflusses der VerkapSELUNG auf die Transistoreigenschaften wurden die Bauelemente charakterisiert. In Abbildung 3.14 sind typische Verläufe der gemessenen Ein- und Ausgangskennlinien der mit konventionellen Photolacken (ma-N1420, PC403, SU-8) verkapselten Transistoren gezeigt. In allen Fällen ist ein nichtideales Bauteilverhalten zu beobachten.

Die mit ma-N1420 verkapselten Transistoren zeigen dabei ein ähnliches Verhalten wie die nicht verkapselten Referenztransistoren (vgl. Abbildung 3.11). Einerseits weist der Verlauf der Eingangskennlinie (a1) auf ein gewöhnliches Transistorverhalten mit klar voneinander abgegrenzten Betriebsbereichen hin. Dem widerspricht das gemessene Ausgangskennlinienfeld (a2). Wie bei den Referenztransistoren deutet (a2) auf signifikante Schwellspannungsverschiebung durch die Messung hin. Die aus (a2) extrahierten Drainströme (blaue Punkte) überlagern sich daher nicht mit dem Verlauf der Eingangskennlinie (a1). Einzelne Ausgangskennlinien schneiden sich sogar im Sättigungsbereich (für $U_{GS} = -8\text{V}$ und -10V). Die VerkapSELUNG mit ma-N1420 hat somit keinen

positiven Effekt auf das Betriebsverhalten der Transistoren, allerdings bewirkt die Verkapselung auch keine Verschlechterung.

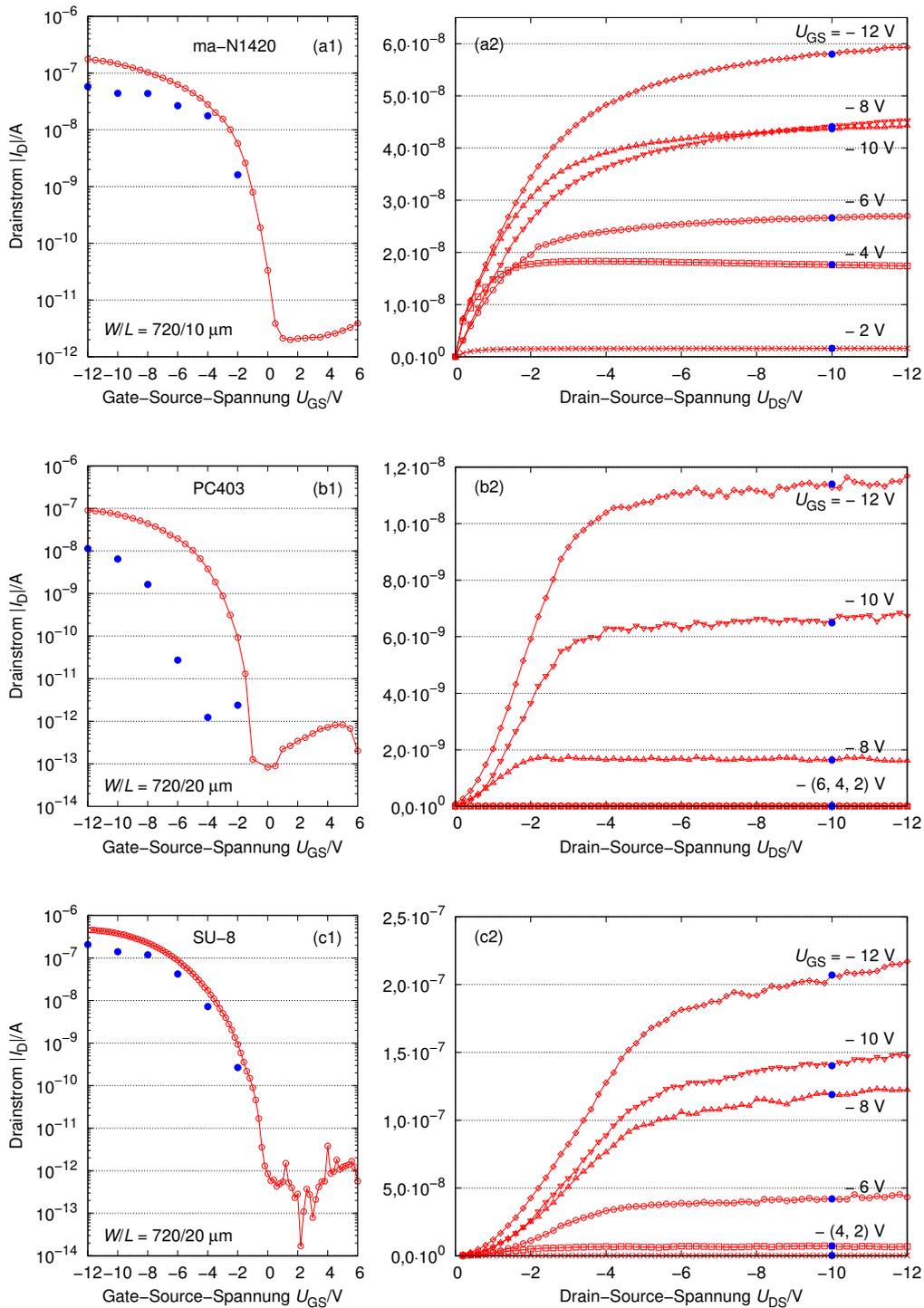


Abbildung 3.14 – Eingangskennlinien ($U_{DS} = -10\text{ V}$) und typische Ausgangskennlinienfelder verkapselter Transistoren (BGBC, Au-Kontakte, $W = 720\mu\text{m}$, $L = 10$ bzw. $L = 20\mu\text{m}$). Die blauen Punkte in den Eingangskennlinien entsprechen den aus den Ausgangskennlinienfeldern extrahierten Strömen bei $U_{DS} = -10\text{ V}$.

Das Verhalten der mit PC403 und SU-8 verkapselten Transistoren weicht deutlich von den Referenztransistoren ab und gibt Hinweise auf eine Verschlechterung des Betriebsverhaltens. Dies macht sich bereits im Verlauf der Eingangskennlinien (b1) und (c1) bemerkbar. In beiden Fällen ist der Verlauf des Unterschwellanstiegs verkürzt, was auf eine erhöhte Dichte von Ladungsträgerfallen hinweisen könnte. Die Ausgangskennlinienfelder (b2) und (c2) zeigen neben den bereits beobachteten Auswirkungen durch die Schwellspannungsverschiebung zusätzliche Effekte. In beiden Fällen ist im linearen Betriebsbereich (kleine Werte von U_{DS}) eine deutliche Anlaufdiode erkennbar. Dies deutet auf eine Störung der Injektionseigenschaften im Kontaktbereich des Transistors hin. Auch der ungewöhnlich verrauschte Verlauf der Ausgangskennlinien kann ein weiterer Hinweis auf einen gestörten Metall-Halbleiter-Übergang sein. Dieses Verhalten könnte durch die mögliche Diffusion polarer Lösemittel in den Kanalbereich erklärt werden, was zu einer veränderten Energetik des Metall-Halbleiterübergangs und zu erhöhter Konzentration der Ladungsträgerfallen führen könnte. Jedenfalls ist in beiden Fällen eine Verschlechterung des Betriebsverhaltens durch die Verkapselung eingetreten.

In Abbildung 3.15 ist das Verhalten der mit OSCoR verkapselten Transistoren dargestellt. Die Eingangskennlinie (a1) zeigt ein nahezu ideales Verhalten in allen Betriebsbereichen des Transistors. Im Gegensatz zu den unverkapselten und konventionell verkapselten Transistoren entspricht auch der Verlauf der gemessenen Ausgangskennlinien in (a2) dem gewöhnlichen Betriebsverhalten. Eine Anlaufdiode ist nicht erkennbar und die Abstände der Kennlinien steigen mit zunehmenden Werten für U_{GS} . Im Sättigungsbereich steigt der Drainstrom realen Bauelementen entsprechend leicht an. Trägt man die blauen Punkte aus (a2) in (a1) ein, so entsprechen diese dem prinzipiellen Verlauf der um rund 0,9V nach links verschobenen Eingangskennlinie (blaue gestrichelte Linie). Diese Schwellspannungsverschiebung ist ein bekannter Effekt des anodisierten Dielektrikums [34]. Ob auch das enthaltene Lösemittel Hydrofluoroether einen Einfluss auf die Schwellspannung der Transistoren hat, kann somit nicht isoliert beurteilt werden. Offensichtlich hat die Verkapselung positive Auswirkungen auf das Verhalten der Transistoren. Aufgrund der doppelten Orthogonalität der Hydrofluoroether gegenüber polaren und unpolaren Verbindungen ist ein schädigender Einfluss auf den Halbleiter unwahrscheinlich. Die stark fluorierte Verkapselung selbst könnte aufgrund ihres äußerst unpolaren und hydrophilen Charakters mögliche Back-Channel-Effekte vermindern, was sich stabilisierend auf das Betriebsverhalten der Transistoren auswirkt.

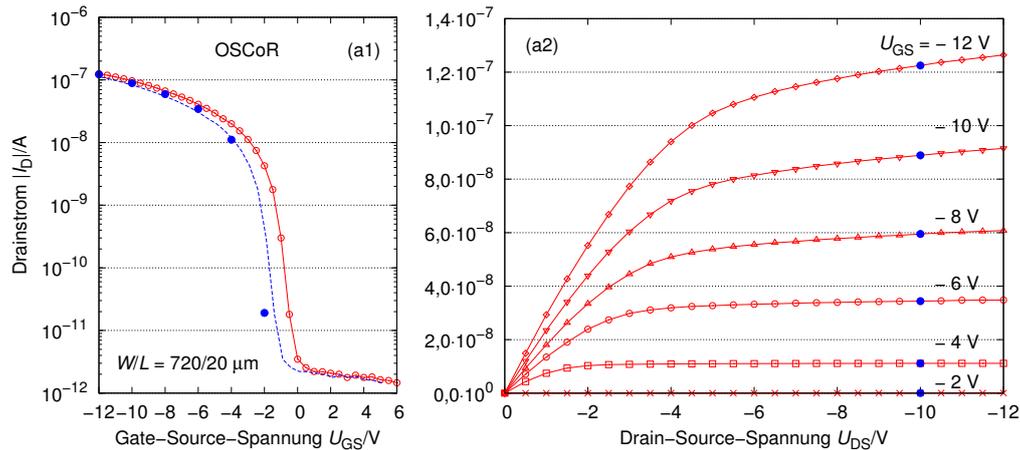


Abbildung 3.15 – Typischer Verlauf der Ein- ($U_{DS} = -10$ V) und Ausgangskennlinien der mit OSCoR verkapselten Transistoren (BGBC, Au-Kontakte, $W = 720 \mu\text{m}$, $L = 20 \mu\text{m}$). Die blauen Punkte in der Eingangskennlinie (a1) entsprechen den aus dem Ausgangskennlinienfeld (a2) extrahierten Strömen bei $U_{DS} = -10$ V. Die blau gestrichelte Eingangskennlinie in (a1) ist die um $0,9$ V nach links verschobene Originalmessung (rot).

3.1.5.3 Resistenz gegenüber Umwelteinflüssen und Langzeitstabilität

In Kapitel 3.1.5.2 wurde gezeigt, dass eine Verkapselung des Halbleiters durch OSCoR das Betriebsverhalten der Transistoren unmittelbar nach deren Herstellung stabilisiert. Eine effiziente Verkapselung muss den Halbleiter darüber hinaus auch während der Lebensdauer der Transistoren vor schädlichen Umwelteinflüssen schützen. Neben der Diffusion von O_2 aus der Umgebungsluft ist vor allem Wasserdampf für die Degradation der elektrischen Eigenschaften verantwortlich. Der Einfluss der Verkapselung auf das Verhalten der Transistoren wurde daher unter extremen Bedingungen und in einer Langzeitstudie weiter untersucht. Die extrem hydrophoben Eigenschaften des fluorierten Photolacks haben sich in den folgenden Untersuchungen dabei als äußerst effiziente Wasserbarriere erweisen.

Um die Barrierewirkung des Photolacks gegen mögliche Diffusion von H_2O in den Halbleiter zu untersuchen, wurde ein Substrat mit verkapselten Transistoren über 17 h in einem Wasserbad gelagert. Die Transistoren wurden jeweils vor und im Anschluss an das Wasserbad charakterisiert. Abbildung 3.16 zeigt die gemessenen Eingangskennlinien und die extrahierten Ladungsträgerbeweglichkeiten. Vor dem Wasserbad zeigen die Transistoren ein gewöhnliches Verhalten mit typischen Bauteil-zu-Bauteil-Schwankungen der Schwellspannungen und Ladungsträgerbeweglichkeiten um $2 \cdot 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Der Verlauf der Kennlinien bleibt auch nach dem Wasserbad praktisch unverändert. Die leichte Rechtsverschiebung der Schwellspannungen kann nicht isoliert auf den Einfluss des Wasserbades zurückgeführt werden, da die Schwellspannungen der Transistoren typischerweise nicht konstant sind und von Messung zu Messung variieren können. Infolge unveränderter Kennlinien treten auch keine signifikanten Änderungen der Ladungsträgerbeweglich-

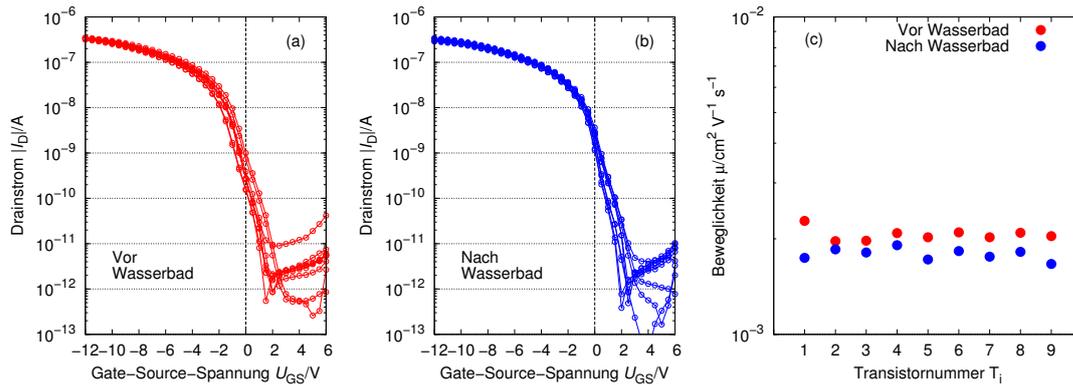


Abbildung 3.16 – Verlauf der Eingangskennlinien ($U_{DS} = -10\text{V}$) vor und nach dem Wasserbad (17 h 45 min) bei verkapselten Transistoren (OSCoR) und Einfluss auf die Ladungsträgerbeweglichkeit. Nach dem Wasserbad wurde das Substrat vor der zweiten Messung im Umluftofen bei 120°C für ca. 15 min getrocknet.

keiten auf. Die Barrierewirkung des fluorierten Photolacks konnte durch diesen Extremtest belegt werden.

Während der Lebensdauer sind die Transistoren neben Wasserdampf auch Sauerstoff und anderen möglicherweise schädigenden Einflüssen der Umgebungsluft ausgesetzt. Um die Langzeitstabilität beurteilen zu können, wurden die verkapselten Transistoren über einen längeren Zeitraum hinweg immer wieder charakterisiert. Die Transistoren wurden dabei unter Umgebungsbedingungen bei Dunkelheit gelagert, um die Degradation des Halbleiters infolge von Lichteinwirkung auszuschließen. In Abbildung 3.17 sind die Ausgangskennlinienfelder eines Transistors nach dessen Herstellung und nach über dreimonatiger Alterung abgebildet. Offensichtlich hat die Alterung keinen signifikanten Effekt auf das Verhalten des Transistors, denn die beiden Kennlinienfelder sind nahezu identisch. Im Einzelfall wurde bei weiteren Transistoren beobachtet, dass die Ausgangskennlinienfelder infolge von Schwellspannungsverschiebungen quantitativ stärker voneinander abweichen. Der qualitative Verlauf ändert sich über die Zeit allerdings nicht wesentlich.

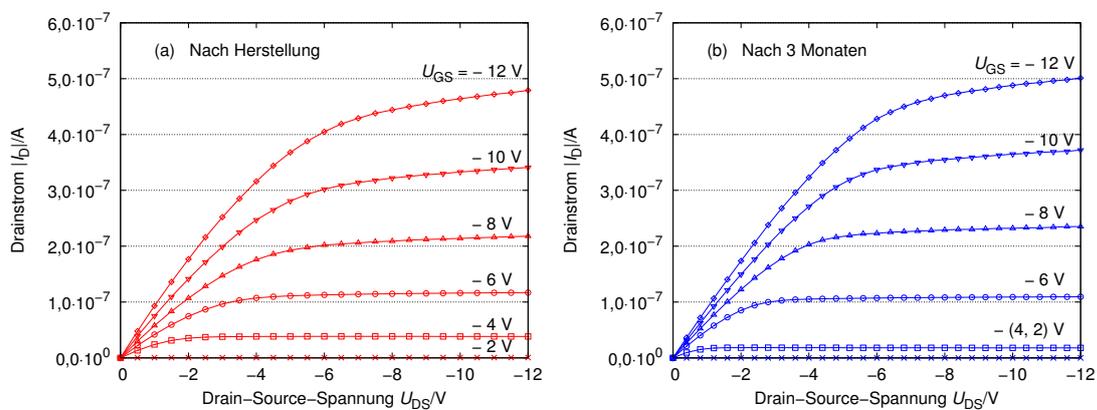


Abbildung 3.17 – Einfluss der Alterung auf den Verlauf der Ausgangskennlinienfelder eines mit OSCoR verkapselten Transistors mit konstanter Schwellspannung. Die Transistoren wurden unter Umgebungsbedingungen und bei Dunkelheit gelagert.

Die Stabilität der Transistoren bleibt auch nach achtmonatiger Alterung weiter erhalten. Wie man den Eingangskennlinien in Abbildung 3.18 entnehmen kann, ändert sich das Verhalten – abgesehen von zunehmenden Schwankungen der Schwellenspannung – nicht wesentlich. Bei der Ladungsträgerbeweglichkeit konnte sogar eine leichte Zunahme beobachtet werden.

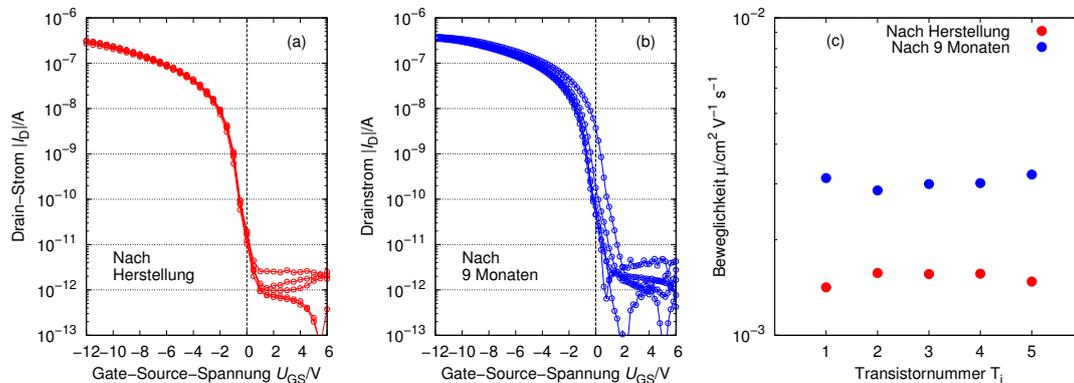


Abbildung 3.18 – Einfluss der Alterung auf den Verlauf der Eingangskennlinien ($U_{DS} = -10V$) und auf die Ladungsträgerbeweglichkeit bei verkapselten Transistoren (OSCoR). Die Transistoren wurden unter Umgebungsbedingungen und bei Dunkelheit gelagert.

Die Untersuchungen zur Verkapselung des Halbleiters durch unterschiedliche Photolacke haben gezeigt, dass die Art der darin enthaltenen Lösemittel Auswirkungen auf das elektrische Verhalten der Transistoren hat. Eine geänderte Morphologie des Halbleiters konnte unabhängig vom Grad der Orthogonalität in keinem Fall makroskopisch nachgewiesen werden. Dennoch konnte durch Photolacke basierend auf konventionellen Lösemitteln das Betriebsverhalten der Transistoren gegenüber dem nicht verkapselten Referenztransistor nicht verbessert werden oder es wurden zusätzliche schädigende Effekte beobachtet. Die Verkapselung durch den fluorierten, orthogonalen Photolack wirkt sich auf das Verhalten der Transistoren dagegen unmittelbar nach deren Herstellung stabilisierend aus. Aufgrund der hydrophoben Eigenschaften stellt diese Verkapselung außerdem eine effiziente Wasserbarriere dar und schützt den Halbleiter dauerhaft vor schädigenden Umwelteinflüssen.

3.2 Transistoren mit Perylenderivat (n-Typ)

3.2.1 Eigenschaften der Halbleiterlösung

In dieser Arbeit wird als n-Typ-Halbleiter ein Perylendiimid-Derivat (vgl. Verbindung 2.8g) verwendet. Über die Substituenten an den N,N' -Positionen und über die funktionelle Gruppe an der X-Position liegen keine Informationen vor. Im Gegensatz zum Polymerhalbleiter ist dieses kleine Molekül in wesentlich geringeren Konzentrationen löslich.

Wie man in Abbildung 3.19 erkennt, hängt die Löslichkeit von der Art des Lösemittels ab. In eher polaren Lösemitteln (1, 2 und 3) wird der Halbleiter nur unvollständig gelöst (unter 1 mg ml^{-1}) und fällt aus. Mit zunehmend unpolarem Charakter (4) nimmt die Löslichkeit zu und in Dimethylphthalat, Tetralin und o-DCB wird der Halbleiter vollständig gelöst. Eine Konzentration von unter 1 mg ml^{-1} würde zu sehr dünnen gedruckten Schichten führen, weshalb nur die Lösemittel 5, 6 und 7 weiter untersucht wurden. Die erzielbaren Konzentrationen in diesen Lösemitteln variieren von 1 mg ml^{-1} in Dimethylphthalat bis hin zu 9 mg ml^{-1} in o-DCB (vgl. Tabelle 3.5). Das Lösen des Halbleiters kann durch Erwärmen der Lösungen im Umluftofen ($80 \text{ }^\circ\text{C}$) unterstützt werden. Insbesondere im Fall von Dimethylphthalat dauert das vollständige Lösen über 24 h. Bei Einhaltung der in Tabelle 3.5 angegebenen Konzentrationen erhält man stabile, lagerfähige Lösungen.

Die Lösungen werden vor dem Befüllen der Druckerkartusche durch einen Spritzenvorsatzfilter gedrückt (Porengröße $0,45 \text{ } \mu\text{m}$, Material PTFE). Die übrigen Druckparameter entsprechen im Wesentlichen denen, die auch für den Polymerhalbleiter geeignet sind. Die Amplitude zur optimalen Ansteuerung des Druckkopfes liegt je nach Lösemittel und in Abhängigkeit der individuellen Eigenschaften des Druckkopfs zwischen 12 V und 18 V. In Abbildung 3.20 ist die Tropfenformation bei unterschiedlichen Amplituden dargestellt.

Die thermodynamischen Daten der in Betracht kommenden Lösemittel sind in Tabelle 3.5 zusammengefasst. Halbleiterlösungen auf der Basis von Tetralin und o-DCB verdampfen auf der beheizten Druckplatte ($60 \text{ }^\circ\text{C}$) innerhalb weniger Sekunden. Diese Lösungen neigen auf Oberflächen mit hoher Oberflächenspannung zur ausgeprägten Spreitung des Nassfilms. Daher muss das ver-



Abbildung 3.19 – Halbleiter in unterschiedlichen Lösemitteln mit einer Zielkonzentration von 1 mg ml^{-1} . 1 = Butylacetat, 2 = Propylencarbonat, 3 = γ -Butyrolacton, 4 = Isophoron, 5 = Tetralin, 6 = 1,2-Dichlorbenzol (o-DCB), 7 = Dimethylphthalat (DMP).

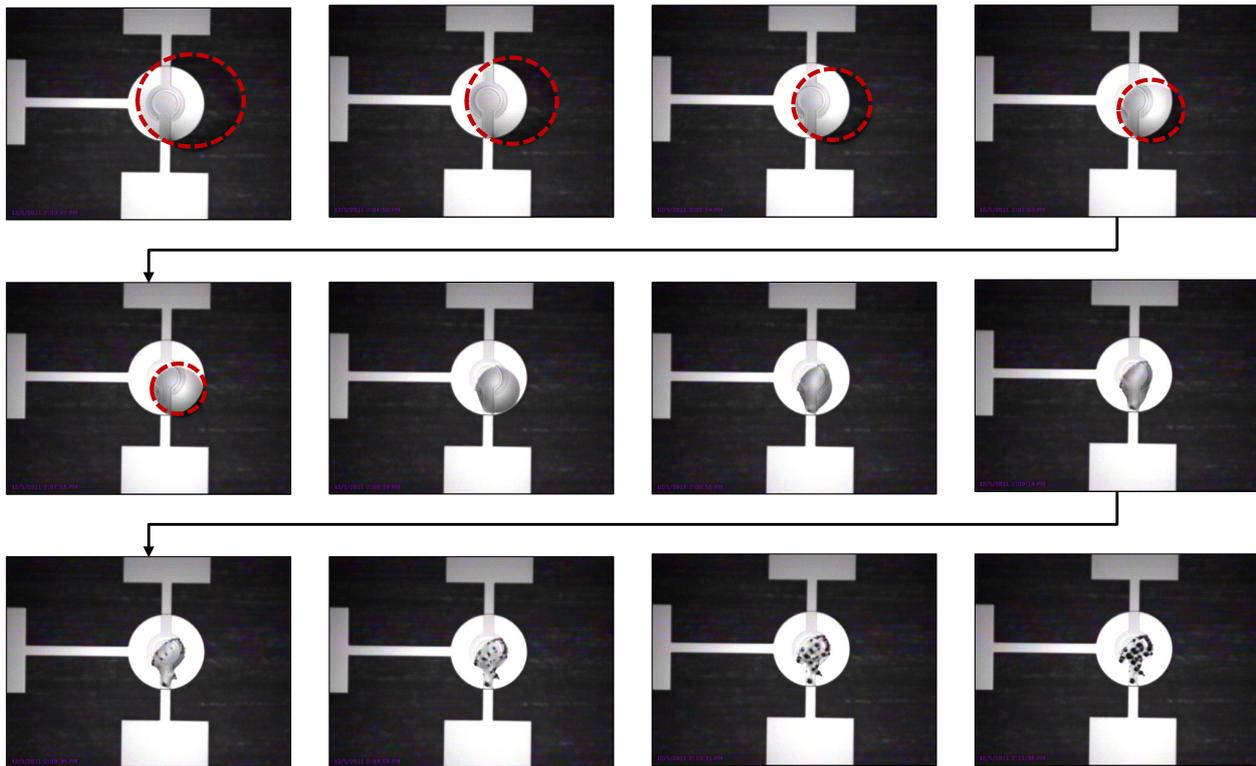


Abbildung 3.21 – Beobachtung des Trocknungsprozesses der Halbleiterlösung (DMP) mit der Kamera des Druckers über einen Zeitraum von ca. 8 min bei einer Plattentemperatur von 60 °C. Die gestrichelte Linie markiert die Begrenzung des Nassfilms. Der Zeitraum ab dem Verdrucken bis zur vollständigen Trocknung beansprucht tatsächlich eine Dauer von ca. 18 min. Im Beispiel benetzt der getrocknete Film rund die Hälfte des Kanals.

reduzierten Volumen enthaltene Feststoffmenge würde für eine vollständige Benetzung des Transistors nicht ausreichen. Für ein optimales Kristallwachstum und die Benetzung des vollständigen Transistorkanals ist daher ein Mindestvolumen erforderlich. Um die Lage des Halbleiters reproduzierbar zu beeinflussen sind weitere Maßnahmen erforderlich, die in Kapitel 3.2.5 vorgestellt werden.

3.2.2 Einfluss des Lösemittels auf die Morphologie

Die morphologischen Eigenschaften eines Halbleiters haben grundsätzlich einen wesentlichen Einfluss auf den Ladungstransport. In perfekten Einkristallen können sich Ladungsträger quasi-frei bewegen. Steigt der Grad der Unordnung innerhalb des Kristallgitters wird der Ladungstransport zunehmend gestört. Im Falle des Polymerhalbleiters wurden entsprechende Ergebnisse bereits in Kapitel 3.1 diskutiert. Aufgrund der Materialklasse dieses Halbleiters beschränken sich die Auswirkungen der gestörten Morphologie vor allem auf die Homogenität und den qualitativen Verlauf der Eingangskennlinien, während der Einfluss auf die Ladungsträgerbeweglichkeit aufgrund der übergeordneten Eigenschaften des amorphen Films nur gering ist. Während auftretende Defekte wie Korngrenzen zwischen Domänen mit lokal erhöhtem Ordnungsgrad in Polymerhalbleitern

durch makromolekulare Ketten überbrückt werden können, haben solche Defekte innerhalb des Kristallgitters bei kleinen Molekülen einen erheblichen Einfluss auf den Ladungstransport [59]. Gerade bei kleinen Molekülen ist die Bandbreite der kristallinen Zustände enorm und variiert von aufwendig hergestellten Einkristallen über dünne, polykristalline bis hin zu amorphen Filmen [12, 25]. Aufgrund der relativ schwachen intermolekularen Van-der-Waalsschen Wechselwirkungen kleiner organischer Moleküle ist die resultierende Morphologie neben dem gewählten Verfahren von einer Vielzahl an Prozessparametern, wie Aufdampftrate, Substratoberfläche und -temperatur abhängig [12, 25]. Während die physikalischen Abscheidungsverfahren in der Regel einen hohen technologischen Aufwand und fein aufeinander abgestimmte Prozessparameter erfordern, um einen hohen Ordnungsgrad des Halbleiters zu erlangen, kann dieses Ziel durch Abscheidung des Halbleiters aus Lösungen vergleichsweise einfach erreicht werden. So berichten Minemawari et al. von dünnen, einkristallinen Filmen des Halbleiters C8-BTBT¹², die durch Tintenstrahldruck abgeschieden wurden [51]. Die damit hergestellten Transistoren verfügen über eine Ladungsträgerbeweglichkeit von über $16 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Im Zusammenhang mit der vorliegenden Arbeit ist insbesondere eine Studie von Rivnay et al. interessant [59]. Hierin wurde die lösemittelbasierte Abscheidung eines Perylendiimid-Derivats beschrieben, das eine enge chemische Verwandtschaft zu dem in dieser Arbeit verwendeten Halbleiter hat. Das Molekül neigt zur Bildung polykristalliner Filme mit ausgeprägter optischer und elektrischer Anisotropie. In der Studie wird die Morphologie des Halbleiters und die Auswirkungen auf die elektrischen Eigenschaften in Transistoren eingehend untersucht.

Wie im folgenden Abschnitt gezeigt wird, konnten auch mit dem in dieser Arbeit verwendeten Derivat polykristalline Filme erreicht werden. Dabei hat die Wahl des Lösemittels einen entscheidenden Einfluss auf die Kristallisation und wirkt sich entsprechend auf die elektrischen Eigenschaften der Transistoren aus. Die Schichten wurden hierfür optisch charakterisiert. Weitere morphologische Informationen liefern REM- und AFM-Aufnahmen.

Zunächst wird die Morphologie des Halbleiters aus der o-DCB-Lösung diskutiert. Hierbei handelt es sich um die Lösung mit dem höchsten Feststoffanteil und dem niedrigsten Dampfdruck. Die Lösung wurde auf Transistorstrukturen nach dem Basisprozess (vgl. Anhang A.2) verdrückt.

Wie in Abbildung 3.22 (a) und (d) gezeigt, benetzt die Lösung den Gatebereich des Transistors vollständig und der getrocknete Halbleiterfilm bleibt auf diesen Bereich begrenzt, sofern das verdrückte Volumen der jeweiligen Transistorgeometrie angepasst ist. Im Fall der runden Geometrie (a) kommt es aufgrund des sequentiellen Druckprozesses zu einer Überlagerung der Halbleiterschichten (diese Geometrie wird in vier aufeinanderfolgenden Druckzeilen bedrückt). Die Überlagerungen sind im Mikroskopbild aufgrund der lokal erhöhten Schichtdicke deutlich erkennbar.

¹² 2,7-Dioctyl[1]benzothieno[3,2-b][1]benzothiophen

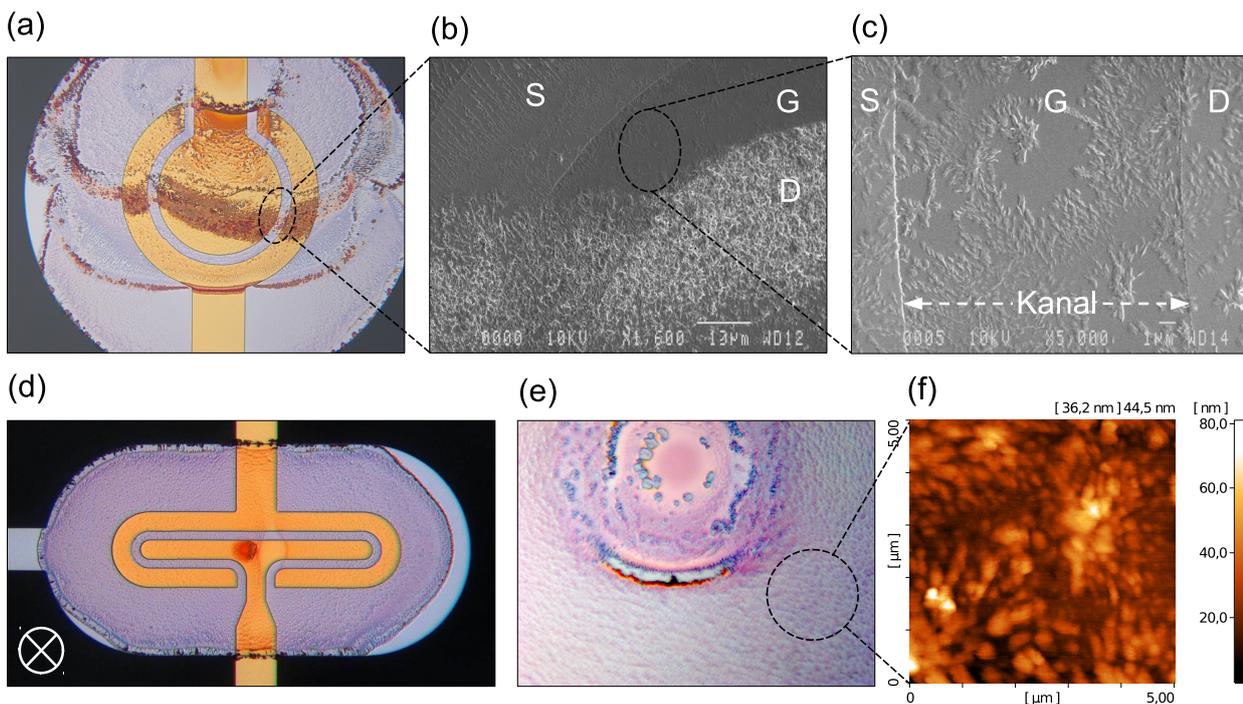


Abbildung 3.22 – Die Bilder (a) und (d) zeigen Mikroskopaufnahmen des gedruckten Halbleiters (gelöst in o-DCB) auf unterschiedlichen Transistorstrukturen (in (d) wurden gekreuzte Polarisatoren eingesetzt). Vergrößerte Bereiche des Kanals sind in den REM-Aufnahmen in (b) und (c) abgebildet. Bild (e) zeigt eine vergrößerte Mikroskopaufnahme der gedruckten Schicht, deren Morphologie durch die AFM-Aufnahme in (f) visualisiert wird.

Im Fall der elliptischen Geometrie in Bild (d) erscheint die Schicht aufgrund des nach einer Zeile abgeschlossenen Druckprozesses dagegen homogen. In der REM-Aufnahme in Bild (b) ist der vergrößerte Bereich des TFT-Kanals abgebildet. Der sequentielle Druckprozess führt zum Wiederauflösen der bereits getrockneten Halbleiterschicht, was zu einer erhöhten Materialdichte im Bereich der überlagerten Schichten führt und zu ausgeprägter Inhomogenität der Schichtmorphologie führt. In einer weiteren Vergrößerung (Bild (c)) ist der Kanalbereich des Transistors abgebildet. Offensichtlich neigt die Halbleiterlösung auf dem Gateoxid zu einem ausgeprägten, körnigen Höhenwachstum und der Kanal wird in der Fläche nur unvollständig bedeckt. Dies hat mutmaßlich zur Folge, dass eine elektrisch leitende Verbindung zwischen den Drain- und Sourcekontakten nur durch einzelne Pfade zwischen zusammenhängenden Körnern zustande kommt. Der körnige Charakter der Schicht wird durch die AFM-Aufnahme in Bild (f) bestätigt. Einzelne Körner verbinden sich hier zu einem inhomogenen Gefüge. Dies führt zu einem im makroskopischen Maßstab insgesamt amorphen Charakter der zusammenhängenden Schicht, was auch durch die fehlende optische Anisotropie in (d) bekräftigt wird. Über den Ordnungsgrad der Moleküle innerhalb einzelner Körner kann aufgrund der hier eingesetzten Untersuchungsmethoden keine Aussage getroffen werden.

Die Morphologie des Halbleiters aus Lösung in Tetralin ist dem Grundsatz nach den dargestellten Ergebnissen ähnlich. Die Schicht ist im makroskopischen Maßstab ebenso amorph; optische Ani-

sotropie konnte nicht beobachtet werden. Auch die Oberfläche des Halbleiters erscheint körnig, wenngleich der Grad der Körnigkeit geringer ausgeprägt ist. Die Halbleiterlösung benetzt die bedruckten Oberflächen allerdings besser als Lösungen aus o-DCB. Insgesamt erscheint die Schicht damit homogener. Aufgrund des niedrigeren Feststoffanteils ist die Schicht optisch weniger dicht, was die natürliche Vermutung einer geringeren Schichtdicke bestätigt.

Die Morphologie des Halbleiters aus Lösungen in DMP unterscheidet sich fundamental von den gerade diskutierten Ergebnissen. Wie in Abbildung 3.23 (a) gezeigt, bildet die Lösung auf Aluminiumoxid nach der Verdampfung des Lösemittels eine vollständig geschlossene Schicht mit einer typischerweise rundlichen Form. Im Gegensatz zur Lösung in o-DCB ist die Morphologie der Schicht eben. Die ebene Charakteristik der Schicht ist ein Hinweis auf einzelne, übereinander angeordnete Molekülebenen. Solche Ebenen bilden sich, wenn die Moleküle aufgrund intermolekularer Wechselwirkungen zu einem zweidimensionalen Schichtwachstum neigen. Innerhalb dieser Ebenen orientieren sich die Moleküle in einer Packung mit regelmäßiger Anordnung. In [59] und [35] wurde die Morphologie von PDI-Derivaten durch Röntgenbeugungsexperimente untersucht. Die Moleküle neigen demnach zur Bildung eines triklinen Kristallgitters. Innerhalb dieses Systems ordnen sich die Moleküle mit ihrer flachen Seite aneinander an (*face-to-face*). Aufgrund der engen Verwandtschaft des in dieser Arbeit verwendeten Derivates kann von einer ähnlichen Kristallstruktur ausgegangen werden.

Weiter erkennt man durch Polarisationsmikroskopie in Abbildung 3.23 (a) großflächige Bereiche im Halbleiter, die sich durch einen abrupten Farbwechsel voneinander abgrenzen. Dies ist auf die optische Anisotropie des Films zurückzuführen, die sowohl in organischen Einkristallen und polykristallinen Schichten beobachtet wird [12, 51, 75]. Innerhalb der gestrichelt hervorgehobenen Domänen wird angenommen, dass die Moleküle in einem regelmäßigen Gitter hoher Ordnung orientiert sind. Die einzelnen Domänen unterscheiden sich durch Verdrehung der Gitterebene um einen gewissen Winkel voneinander. Dies ist schematisch in Bild (b) dargestellt und charakteristisch für polykristalline Schichten. Stoßen zwei Domänen mit stark abweichender Orientierung aneinander (grüne Linien in (b)), so entsteht am Übergang eine Korngrenze, die optisch durch den bereits erwähnten abrupten Farbumschlag visualisiert werden kann. Innerhalb einer Domäne ist die Fehlorientierung der Moleküle geringer (blaue Korngrenzen), weshalb eine einzelne Domäne optisch weitgehend homogen erscheint.

Die Abbildungen 3.23 (c) und (d) zeigen den Halbleiter auf Transistorstrukturen unterschiedlicher Geometrie. Der Kanal sollte, wie im Fall der kreisförmigen Geometrie, optimalerweise vollständig mit Halbleiter bedeckt sein. Allerdings ist dies, wie in der Einführung in Kapitel 3.2.1 erwähnt, ohne weitere Maßnahmen nicht reproduzierbar. Die elliptische Geometrie ist aufgrund ihrer länglichen Ausdehnung für diese Halbleiterlösung ungeeignet, da der Halbleiter in einer rundlichen Form kristallisiert und den Kanal nur partiell bedeckt. Auch die Orientierung der Korngrenzen

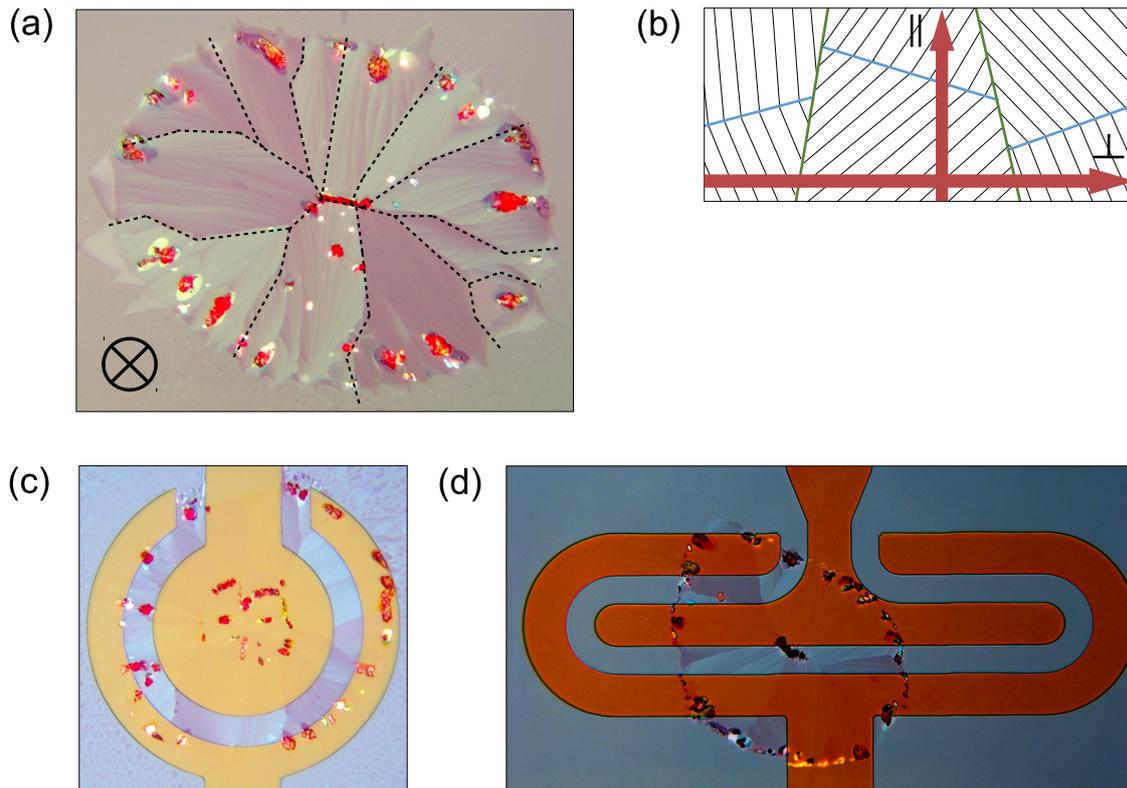


Abbildung 3.23 – (a) Mikroskopaufnahme (mit gekreuzten Polarisatoren) des gedruckten Halbleiters (gelöst in DMP) auf Aluminiumoxid. Die gestrichelten Linien markieren Korngrenzen. (b) Schematische Darstellung der Molekülorientierung in polykristallinen Schichten. Die Pfeile deuten den Stromtransport parallel bzw. orthogonal der Korngrenzen an. (c) und (d) zeigen den gedruckten Halbleiter auf Transistorgrundstrukturen unterschiedlicher Geometrie.

im Halbleiterkristall legen eine kreisförmige Transistorgeometrie nahe. Wie in Abbildung 3.23 (a) beobachtet wird, verlaufen die Korngrenzen zwischen großflächigen Domänen beginnend im Zentrum der Halbleiterfläche radial nach außen. Auch im Kanal des kreisförmigen Transistors verlaufen die Korngrenzen radial. Dies ist für den Stromfluss von Source nach Drain optimal. Wie Rivnay et al. zeigen konnten, ist der Ladungstransport durch den Halbleiter in hohem Maße anisotrop [59]. Müssen Ladungsträger auf ihrem Weg durch den Halbleiter Korngrenzen stark fehlorientierter Domänen überwinden (orthogonale Richtung in Abbildung 3.23 (b)), wird der Stromfluss signifikant beeinträchtigt. Fließt der Strom dagegen näherungsweise parallel zu diesen Korngrenzen, müssen Ladungsträger nur Stellen mit geringerer Fehlorientierung überwinden. Da die Überlappung der Molekülorbitale dort größer ist, kommt es folglich zu geringeren Störungen im π -Elektronensystem des Kristalls. Die Orientierung der Korngrenzen wirkt sich signifikant auf den Stromfluss aus. Transistoren mit parallel zum Kanal orientierten Korngrenzen weisen eine um zwei Größenordnungen erhöhte Ladungsträgerbeweglichkeit gegenüber Transistoren mit orthogonal orientierten Korngrenzen auf.

Wie im folgenden Kapitel 3.2.3 gezeigt wird, wirkt sich die unterschiedliche Morphologie des Halbleiters entscheidend auf die elektrischen Eigenschaften der Transistoren aus. Es drängt sich

daher natürlich die Frage auf, weshalb das verwendete Lösemittel die Kristallisation des Halbleiters derart beeinflusst und ob es eine Möglichkeit gibt, durch Anpassung der Prozessparameter die Kristallisation zu verändern. Unmittelbar einsichtig unterscheiden sich die Lösemittel vor allem in ihrem Dampfdruck und dies beeinflusst die Dauer der Trocknung des Nassfilms (bei *o*-DCB einige Sekunden, bei DMP 18 min). Die Trocknungsdauer könnte ein entscheidender Faktor sein, da dies die Zeit beeinflusst, die die Moleküle zur Keimbildung und Anlagerung an bestehende Keime haben. Auf ähnliche Weise beeinflusst bei thermisch aufgedampften Schichten die Aufdampftrate die Morphologie des Halbleiters. Der berechnete Verlauf des Dampfdrucks der Lösemittel über der Temperatur ist in Abbildung 3.24 dargestellt. Bei der Plattentemperatur von 60 °C beträgt die Differenz der Dampfdrücke von DMP und *o*-DCB über zwei Größenordnungen, was die extrem unterschiedliche Trocknungsdauer erklärt. Um zu klären, ob der Zeitfaktor für die Kristallisation der entscheidende Parameter ist, wurde die Morphologie des Halbleiters bei niedriger Verdampfungstemperatur untersucht. Dabei wurden die Halbleiterlösungen (Konzentration = 1 mg ml⁻¹ in *o*-DCB bzw. Tetralin) auf Aluminiumoxidsubstrate getropft und in einem Klimaschrank bei -10 °C verdampft. Die Temperatur wurde so gewählt, dass der Dampfdruck der Lösungen nach Abbildung 3.24 näherungsweise dem Dampfdruck von DMP bei 60 °C entspricht. Auf diese Weise soll eine vergleichbare Verdampfungsrate erzielt werden. Das Ergebnis dieser Experimente konnte die oben geäußerte Vermutung allerdings nicht bekräftigen: Die Morphologie des Halbleiters hat sich durch die Temperaturniedrigung nicht signifikant geändert. Der Zeitfaktor ist somit nicht allein bestimmend für die resultierende Morphologie.¹³ Vielmehr wird angenommen, dass die Kristallisation des Halbleiters aus Lösungen ein komplexes Zusammenwirken unterschiedlicher Parameter, wie der Oberflächenspannung des Substrates, der Spannungen zwischen dem Nassfilm, der Umgebung und dem Substrat und der zur Verfügung stehenden Zeit zur Kristallisation ist. Die optimale Morphologie des Halbleiters erhält man, wie dargestellt, durch ein empirisch abgestimmtes System aus Dielektrikum und geeignetem Lösemittel.

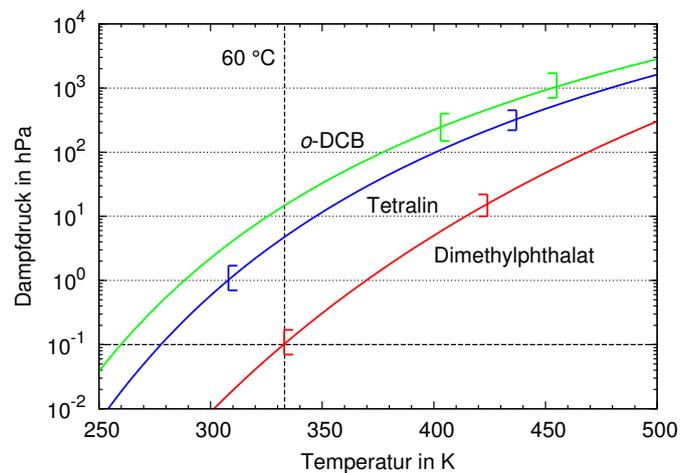


Abbildung 3.24 – Berechneter Verlauf der Dampfdruckkurven für *o*-DCB, Tetralin und DMP nach der Antoine-Gleichung (vgl. Anhang A.6). Die eingezeichneten Intervalle geben den Gültigkeitsbereich der Antoine-Koeffizienten an.

¹³ Durch die Temperaturniedrigung nimmt neben der Verdampfungsrate auch die Diffusion bzw. Bewegung der Moleküle ab, was die Wahrscheinlichkeit für eine optimale Anordnung reduzieren dürfte.

3.2.3 Einfluss der Morphologie auf das TFT-Verhalten

Die Morphologie des Halbleiters hat grundsätzlich einen entscheidenden Einfluss auf den Transport der Ladungsträger. Je höher der Ordnungsgrad innerhalb des Halbleiters, desto weniger wird der Stromfluss gestört. Die tatsächliche Morphologie des verwendeten Halbleiters ist vielfältig, wie in Kapitel 3.2.2 gezeigt wurde. In Abhängigkeit des verwendeten Lösemittels können einerseits ebene, polykristalline Filme mit hohem Ordnungsgrad bis hin zu amorphen, inhomogenen Filmen erreicht werden. Diese Vielfalt widerspiegelt sich im elektrischen Verhalten der Transistoren. In den Abbildungen 3.25 sind typische Eingangskennlinien von Transistoren abgebildet, deren Halbleiter aus unterschiedlichen Lösemitteln verdruckt wurde. Es handelt sich dabei um nicht weiter optimierte Bauelemente, die den grundsätzlichen Einfluss der Morphologie auf das elektrische Verhalten demonstrieren sollen.

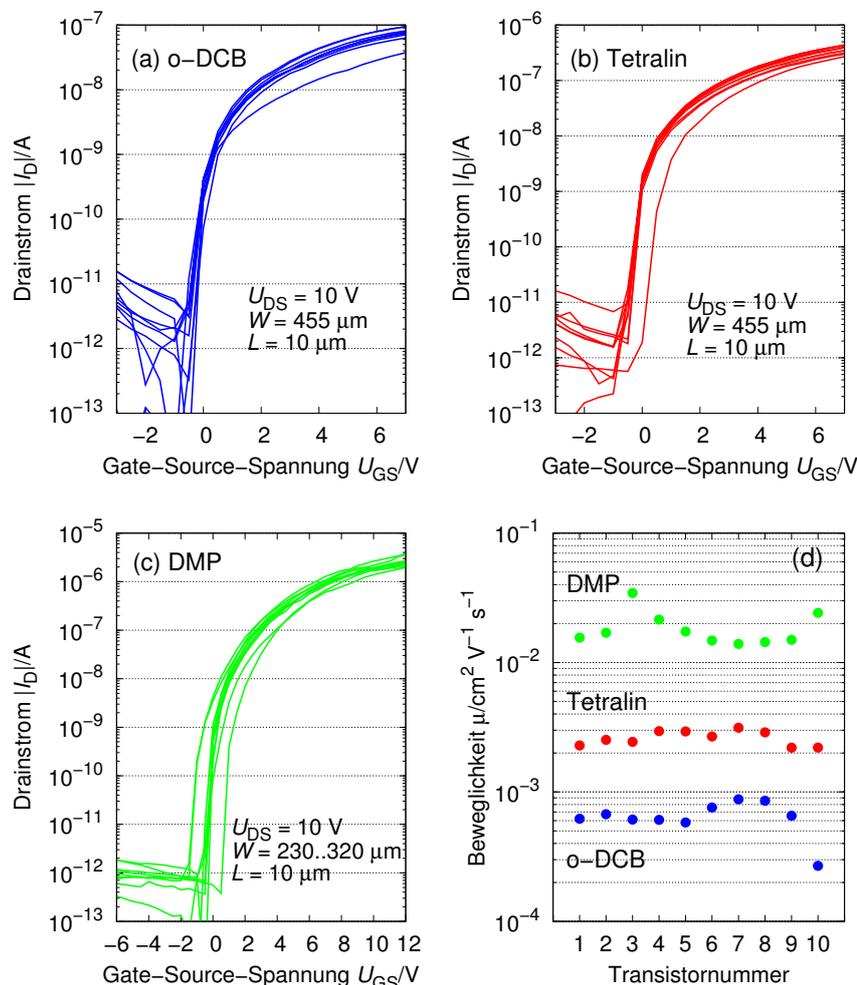


Abbildung 3.25 – Eingangskennlinien und extrahierte Ladungsträgerbeweglichkeiten bei Abscheidung des Halbleiters aus unterschiedlichen Lösemitteln. Transistorgrundstrukturen wurden gemäß dem Basisprozess mit Gold-Elektroden hergestellt. Die variierenden Kanalweiten in (c) ergeben sich aufgrund der unvollständigen Benetzung des Kanals durch den Trocknungsprozess bei DMP.

Offensichtlich ist der Einfluss der Morphologie auf den Stromfluss durch den Halbleiter signifikant. Klar erkennt man eine Korrelation zwischen dem Ordnungsgrad des Halbleiters und dessen Transporteigenschaften. Der geringste Stromfluss wird durch die amorphe und besonders inhomogene Morphologie durch o-DCB (Bild (a)) erzielt. Im Fall von Tetralin (b) ist der Stromfluss um ca. eine Größenordnung höher. Zwar ist diese Halbleiterschicht aufgrund der geringeren Konzentration der Lösung dünner als bei o-DCB. Die Schichtdicke des Halbleiters hat auf den Ladungstransport allerdings nur einen untergeordneten, hier nicht weiter untersuchten Einfluss, da generell die untersten Moleküllagen an der Grenzfläche zwischen Dielektrikum und Halbleiter entscheidend sind [52]. Der verbesserte Ladungstransport ist daher vermutlich vor allem auf die homogenere Halbleiterschicht mit verbesserter Benetzung des Gateoxids zurückzuführen. Noch wesentlich signifikanter unterscheidet sich die Morphologie des Halbleiters aus Lösung in DMP (eben und polykristallin) von den bereits genannten (amorph). Entsprechend dem höheren Ordnungsgrad misst man in diesen Transistoren den höchsten Stromfluss (siehe (c)). Die aus den Eingangskennlinien extrahierten Ladungsträgerbeweglichkeiten sind in Bild (d) zusammengefasst. Die Werte variieren, den gemessenen Drainströmen entsprechend, um zwei Größenordnungen. Auch hier korreliert μ wie erwartet mit dem Ordnungsgrad des Halbleiters.

Die Morphologie des Halbleiters im Fall von DMP wirkt sich also förderlich für den Ladungstransport aus. Hervorzuheben ist außerdem, dass ohne weitere Optimierungen und unter Verwendung der nachteiligen BGBC-Konfiguration bereits Ströme im Bereich mehrerer μA und Ladungsträgerbeweglichkeiten im Bereich von $10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ gemessen werden. Dies zeigt, dass Perylendiimid-Derivate ein grundsätzlich leistungsfähiges organisches Halbleitermaterial sind und sich besonders auch für lösemittelbasierte Prozesse eignen. Allerdings hängt die tatsächlich erzielte Leistungsfähigkeit empfindlich von unterschiedlichen Prozessparametern, allen voran vom eingesetzten Lösemittel, ab. Auf dieser Grundlage widmen sich die folgenden Kapitel daher der Untersuchung weiterer Einflüsse auf das Verhalten der Transistoren. Näher untersucht wurden dabei Kontakteffekte und technologische Maßnahmen, die das reproduzierbare Positionieren des Halbleiters und die Benetzung des vollständigen Transistorkanals sicherstellen.

3.2.4 Einfluss von Kontakteffekten auf das TFT-Verhalten

Aufgrund der vorliegenden Konfiguration (BGBC, vgl. Abbildung 3.1 (b)) ist der Kontaktbereich am Übergang der Source- bzw. Drain-Elektroden zum Halbleiter besonders kritisch für das elektrische Verhalten der Transistoren. Zur Injektion in bzw. Extraktion der Ladungsträger aus dem Halbleiter heraus steht bei dieser Konfiguration nur eine sehr kleine Kontaktfläche zur Verfügung, da die Source- bzw. Drain-Elektroden das elektrische Feld der Gate-Elektrode abschirmen. Aus dem Halbleiter auf diesen Elektroden können daher keine Ladungsträger angereichert werden. Der

Austausch der Ladungsträger findet somit nur in unmittelbarer Umgebung von Elektroden, Gate-dielektrikum und Halbleiter statt (siehe Markierung in Abbildung 3.1 (b)). Deshalb ist erstens eine vollständige Benetzung der Kontaktflächen mit dem Halbleiter und zweitens eine möglichst optimale Anpassung der Materialien, resultierend in einer geringen energetischen Barriere, Voraussetzung für ein ungestörtes Transistorverhalten. Die Benetzung der Kontaktfläche wird aus physikalischer Sicht durch die unterschiedlichen auftretenden Oberflächenspannungen beeinflusst. Diese sind im Wesentlichen materialabhängig. Durch technologische Maßnahmen (bspw. Zerstäubungs-ätzen) ist es möglich, die unterschiedlichen Spannungen weitgehend aneinander anzugleichen und somit die Benetzungseigenschaften zu homogenisieren. Neben diesem Punkt wird auch dem Profil der Elektroden ein entscheidender Einfluss auf den mechanischen Kontakt zwischen Metall und Halbleiter beigemessen. Da der Halbleiterfilm extrem dünn ist (maximal wenige 10 nm), könnte ein steiles Kantenprofil leicht zum Abriss des Halbleiters an der Kante führen. Während dies bei Polymerhalbleitern aufgrund derer intrinsischer Flexibilität eher unkritisch ist, sind Brüche im starren Kristallgefüge kleiner Moleküle aufgrund derer schwacher Wechselwirkungen umso wahrscheinlicher. Das Profil der Kanten kann durch den Herstellungsprozess beeinflusst werden. Die energetische Anpassung des Metall-Halbleiterübergangs (Kontaktwiderstand) wird im wesentlichen durch die materialspezifischen Größen E_{LUMO} des Halbleiters und ϕ_{M} des Metalls bestimmt.¹⁴

Der Einfluss der diskutierten Punkte auf das Verhalten der Transistoren wird im Folgenden bewertet. Dazu wurden Transistoren mit geätzten und durch Lift-Off strukturierten Kontakten hergestellt. Das Profil der Source- bzw. Drain-Elektroden wurde durch REM-Aufnahmen mikroskopisch analysiert um die Ergebnisse der elektrischen Charakterisierung zu klären. Außerdem wurde der Einfluss unterschiedlicher Kontaktmaterialien (Au und Ag) auf die Kennlinien der Transistoren untersucht.

In den Abbildungen 3.26 (a) und (b) sind die Eingangskennlinien von Transistoren mit Au-Kontakten in linearer bzw. logarithmischer Darstellung abgebildet. Die Kontakte wurden einerseits geätzt und andererseits durch Lift-Off strukturiert. Die Eingangskennlinien wurden in einer ungewöhnlich hohen Auflösung (kleine Schrittweite ΔU_{GS}) gemessen. Dies vermeidet das Glätten der Kennlinie, wie es bei vergleichsweise großen Schrittweiten auftritt, und ermöglicht die Visualisierung nicht-idealen Verhaltens des Drainstroms bei kleinen Änderungen von U_{GS} . Abgesehen von unterschiedlichen Schwellspannungen¹⁵ unterscheiden sich die Kennlinien in (a) vor allem qualitativ. Offensichtlich wirkt die Kennlinie des Transistors mit geätzten Kontakten (blau) stark verrauscht, während die entsprechende Kennlinie mit Lift-Off-Kontakten (rot) deutlich glatter erscheint. Das Rauschen der blauen Kennlinie wird allerdings erst ab einem gewissen Stromfluss signifikant. In der logarithmischen Darstellung in (b) setzt das Rauschen bei einer Stromstärke im

¹⁴ Zum Zustandekommen des Kontaktwiderstands und zu Einschränkungen dieser vereinfachenden Aussage siehe auch Erklärungen in Kapitel 3.1.3 auf Seite 70.

¹⁵ Resultat unterschiedlich starker Beanspruchung durch Messungen (Gate-Stress).

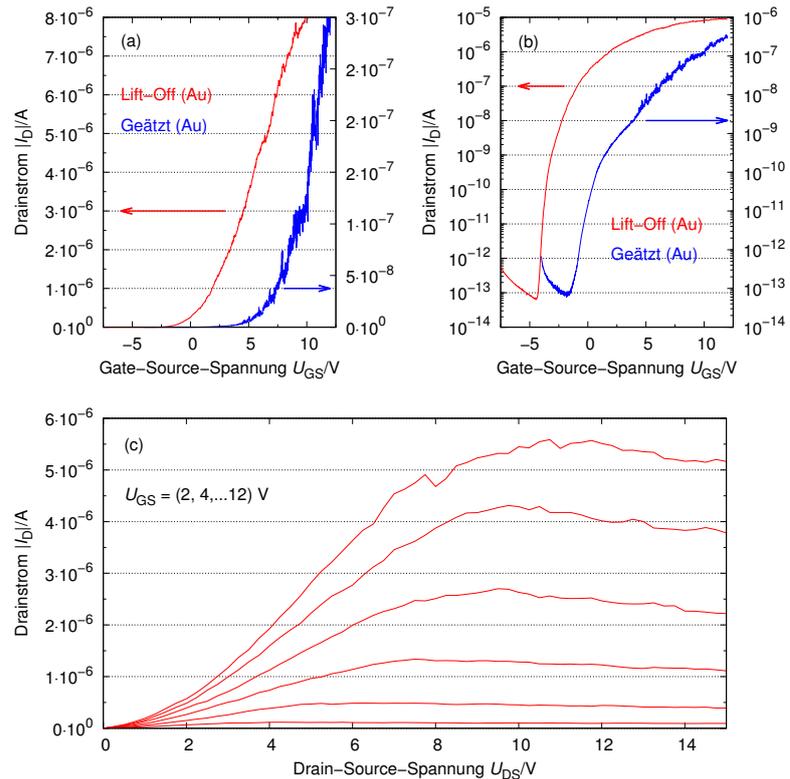


Abbildung 3.26 – (a) und (b) Vergleich der Eingangskennlinien von Transistoren (BGBC) mit geätzten und durch Lift-Off strukturierten Au-Kontakten. Die Schrittweite ΔU_{GS} bei der Messung beträgt 0,01 V (blau) bzw. 0,025 V (rot) und $U_{DS} = 5 V$. (c) Ausgangskennlinienfeld des Transistors mit Lift-Off-Kontakten aus Au.

Bereich weniger nA ein. Im Gegensatz dazu erscheint die rote Kennlinie glatt und entspricht dem Verlauf nach einem Transistor mit gewöhnlichem Verhalten. Das Rauschen der blauen Kennlinie kann als Springen des Drainstroms interpretiert werden. Es wird vermutet, dass sich Ladungsträger im Kontaktbereich ansammeln, die dann bei einer geringen Erhöhung von U_{GS} abrupt abfließen. Dass die Ladungsträger nicht kontinuierlich von den Kontakten in den Halbleiter übertreten, dürfte auf einen gestörten mechanischen Kontakt des Halbleiters an den Elektroden zurückzuführen sein.

Um diese These zu bestärken, wurde der Kontaktbereich der Transistoren mikroskopisch untersucht. Die Abbildungen 3.27 (a) bis (d) zeigen REM-Aufnahmen eines Transistors mit geätzten Source- bzw. Drain-Kontakten. Die Schichtdicke der Kontakte beträgt etwa 45 nm und liegt damit signifikant über der Schichtdicke des Halbleiterfilms. Wie dies für geätzte Strukturen typisch ist, erkennt man in (a) und (b) eine klare Kantenbegrenzung mit einem steilen Profil. Tendenziell deutet der Schattenwurf in der vergrößerten Aufnahme (b) auf eine leichte Unterätzung der Kontakte hin. Dieser Verdacht bestätigt sich in den Aufnahmen (c) und (d). Man erkennt in (c) drei charakteristische Halbleiterkristalle, die auf einer Elektrode liegen. Diese Kristalle sind auch in den optischen Mikroskopaufnahmen in den Abbildungen 3.23 (a), (d) und (e) als rote Punkte erkennbar. Einer dieser Kristalle überlappt die Kante der Elektrode und reicht bis in den Gate-Bereich hinein. In der vergrößerten Aufnahme (d) erkennt man einen dunklen Hohlraum hinter der überlappenden Halbleiterschicht, was auf eine überhängende bzw. unterätzte Kante hindeutet.

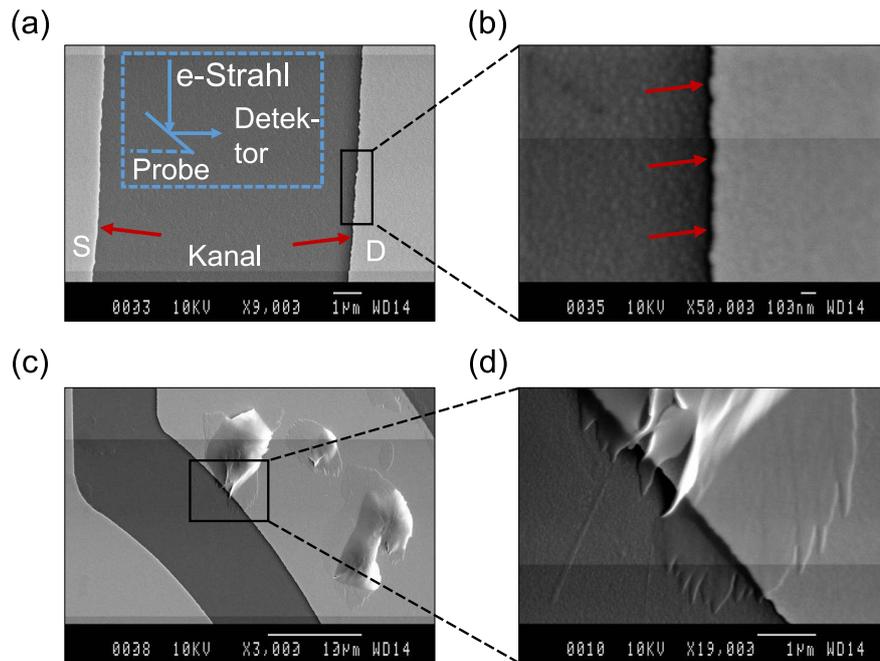


Abbildung 3.27 – REM-Aufnahmen zur Untersuchung des Kantenprofils. (a) Der Elektronenstrahl und der Detektor sind in einem Winkel von 45° auf das Substrat ausgerichtet. Die roten Pfeile markieren die Kanten der Source- und Drain-Kontakte. (b) Vergrößerte Aufnahme der Kante. Der Schattenwurf deutet auf ein steiles, tendenziell leicht überhängendes Kantenprofil hin. (c) Über der Kante liegender Halbleiterkristall. In der Vergrößerung (d) erkennt man zwischen Kante und überhängendem Halbleiter einen dunklen Hohlraum, was auf eine leichte Unterätzung der Source- und Drain-Elektroden hindeutet.

Dieses steile und leicht überhängende Kantenprofil wird durch die Halbleiterlösung – wie eingangs beschrieben – vermutlich nur unzureichend benetzt. Zudem liegt die Vermutung nahe, dass es an diesem Kantenprofil sehr leicht zum Abriss des dünnen Halbleiterfilms kommen kann. Diese These wird als wahrscheinlichste Ursache für den gestörten Stromfluss im Transistor angenommen und weiter dadurch bestärkt, dass diese Störung bei Lift-Off-Kontakten nicht beobachtet werden konnte. Das Kantenprofil derart strukturierter Kontakte ist typischerweise rundlich und flach auslaufend. Dies ist mutmaßlich förderlich für die Benetzung der Kanten mit dem Halbleiter und sollte die Tendenz von Abrissen deutlich vermindern. Dementsprechend kommt es bei diesen Transistoren nicht zur Ansammlung von Ladungsträgern im Kontaktbereich, da diese kontinuierlich in den Halbleiter abfließen können.

Obwohl die Eingangskennlinie des Transistors mit Lift-Off-Kontakten zunächst ein gewöhnliches Betriebsverhalten zeigt, erkennt man im Ausgangskennlinienfeld in Abbildung 3.26 (c) weitere Effekte, die auf ein nicht-ideales Verhalten hindeuten. Besonders auffällig ist das ausgeprägte Diodenverhalten des Drainstroms im linearen Bereich $I_D(U_{DS} < 6V)$ des Transistors. Dieser Effekt ist wiederum auf die Kontakteigenschaften des Transistors zurückzuführen und deutet auf eine signifikante energetische Barriere des Metall-Halbleiterübergangs hin. Weiter erkennt man im Sättigungsbereich, dass die Drainströme mit wachsendem U_{DS} leicht abfallen, statt, wie bei realen Bauelementen typischerweise beobachtet, leicht anzusteigen. Außerdem nimmt der Abstand der

einzelnen Ausgangskennlinien mit wachsendem U_{GS} nicht wie üblich exponentiell zu, sondern bleibt nahezu konstant. Diese Beobachtungen lassen sich durch die elektrische Beanspruchung (Gate-Stress) des Transistors erklären, die eine Rechtsverschiebung der Schwellspannung während der Messung bewirkt.

Die energetische Anpassung ist in erster Näherung durch die Austrittsarbeit ϕ_M des Metalls und das LUMO-Niveau E_{LUMO} des Halbleiters bestimmt. Da die Austrittsarbeit von Au im einem Bereich von $\phi_{Au} = \{5,1 \dots 5,47\}$ eV liegt, müssen die Ladungsträger beim Übergang in das LUMO (4,39 eV) eine relativ hohe energetische Barriere überwinden, was das Diodenverhalten erklärt [70]. Diese Barriere kann durch Wahl eines Metalls mit kleinerer Austrittsarbeit erniedrigt werden. Für den verwendeten Halbleiter hat sich besonders Silber mit $\phi_{Ag} = \{4,26 \dots 4,74\}$ eV als geeignet erwiesen. In den Abbildungen 3.28 (a) bis (c) sind Messungen typischer Transistoren mit Lift-Off-Kontakten aus Ag dargestellt. Die Eingangskennlinien (a) zeigen dabei ein gewöhnliches Betriebsverhalten. Die große Schwankungsbreite des Drainstroms im voll durchgesteuerten Bereich erklärt sich durch die ebenso signifikante Schwankungsbreite der effektiven Kanalweite der Transistoren als Resultat der beschriebenen Benetzungproblematik. Die extrahierten Ladungsträgerbeweglichkeiten liegen bei durchschnittlich $0,11 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Damit liegen diese Werte um rund eine Größenordnung über den entsprechenden Werten mit Au-Kontakten (vgl. Abbildung 3.25 (d)). Dies ist eine Folge der verbesserten Injektionseigenschaften aufgrund der geringeren Energiebarriere mit Ag-Kontakten. Bestätigt wird dies auch durch das Verhalten im Ausgangskennlinienfeld (d). Eine Anlaufdiode, wie im linearen Bereich bei Au-Kontakten beobachtet, existiert nicht. Stattdessen steigt der Drainstrom in diesem Bereich tatsächlich linear an. Auch der Verlauf der Kennlinien im Sättigungsbereich ist deutlich glatter. Die näherungsweise konstanten Abstände der einzelnen Ausgangskennlinien deuten auch in diesem Fall auf eine Verschiebung der Schwellspannung infolge der elektrischen Beanspruchung durch die Messung hin.

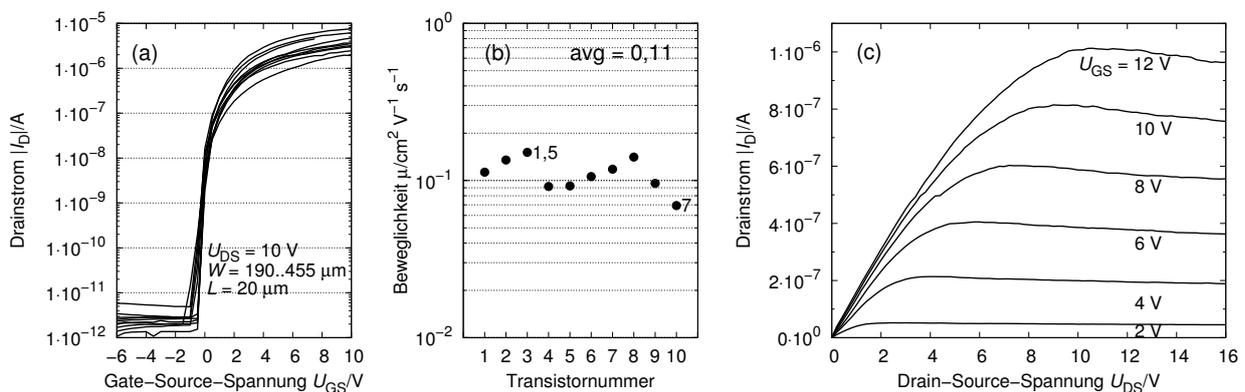


Abbildung 3.28 – (a) Eingangskennlinien und (b) extrahierte Ladungsträgerbeweglichkeiten von Transistoren (BGBC) mit durch Lift-Off strukturierten Ag-Kontakten. (c) Repräsentatives Ausgangskennlinienfeld eines Transistors mit Lift-Off-Kontakten aus Ag. Messdaten entnommen aus [57].

3.2.5 Reproduzierbare Lokalisation des Halbleiters

Wie bereits in Kapitel 3.2.1 erläutert und in Abbildung 3.21 gezeigt, ist die endgültige Lage des getrockneten Halbleiterfilms bei Lösung in DMP nach dem Trocknungsprozess nicht vorhersagbar und ohne weitere Maßnahmen nicht kontrollierbar. Nur im Idealfall benetzt der Halbleiter den gesamten Transistorkanal. Häufig wird dieser aber nur partiell oder schlechtestenfalls gar nicht benetzt, resultierend in erheblichen Schwankungen der effektiven Transistorweite (siehe Abbildung 3.28 (a)). Daher sind technologische Maßnahmen erforderlich, die eine reproduzierbare Lokalisation des Halbleiters sicherstellen. Hierfür wurden zwei Ansätze untersucht, die im Folgenden vorgestellt und bewertet werden. In Abbildung 3.29 ist das jeweilige Prinzip skizziert.

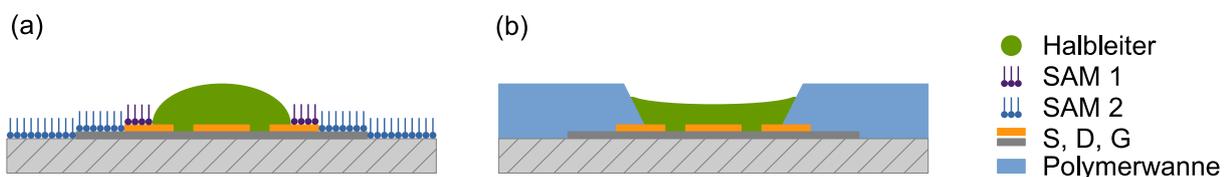


Abbildung 3.29 – (a) Lokalisation des Halbleiters unter Ausnutzung unterschiedlicher Oberflächenspannungen mit selbstorganisierenden Molekülen. (b) Lokalisation durch definierte Wannensstrukturen aus photostrukturierbaren Polymeren.

Der erste Ansatz (a) basiert auf den Benetzungseigenschaften unterschiedlicher Oberflächen. Das Ziel ist, Bereiche mit unterschiedlichen Oberflächenspannungen zu definieren, um die Benetzung des Substrates gezielt zu steuern. Der aktive Bereich des Transistors weist eine vergleichsweise hohe Oberflächenspannung auf und wird deshalb benetzt, während der Nassfilm aus dem umliegenden Bereich aufgrund der dort herrschenden niedrigen Oberflächenspannung vollständig verdrängt wird. Hierbei werden die Oberflächeneigenschaften selbstorganisierender Moleküle ausgenutzt (vgl. Kapitel 2.3). Monolagen dieser Moleküle bewirken eine extrem hydrophobe Oberfläche, die durch die Halbleiterlösung nicht benetzt werden kann (vgl. Beispiel in Anhang A.7).

Im zweiten Ansatz (b) werden Wannensstrukturen aus einem photostrukturierbaren Polymer im aktiven Bereich des Transistors definiert. Die Halbleiterlösung soll dabei direkt in die Wannensstrukturen gedruckt werden. Dadurch soll das Verfließen des Films durch Einschluss der Halbleiterlösung verhindert werden. Voraussetzung ist, dass das gesamte verdruckte Volumen durch die Wannensstrukturen aufgenommen werden kann. Außerdem dürfen die Oberflächenwechselwirkungen zwischen Polymer und Halbleiterlösung andere wirkende Kräfte, hauptsächlich die Schwerkraft, nicht dominieren, da es sonst zur Benetzung des umliegenden Polymers kommen kann.

3.2.5.1 Ausnutzung der Oberflächenspannung

Zur Schaffung hydrophober Bereiche auf dem Substrat ist die Funktionalisierung unterschiedlicher Oberflächen mit Monolagen selbstorganisierender Moleküle notwendig. Wie in der Mikroskopaufnahme des Transistors in Abbildung 3.30 erklärt, müssen dafür sowohl das Gateoxid, als auch bestimmte Bereiche der Source/Drain-Metallisierung funktionalisiert werden. Dies ist durch Wahl geeigneter Moleküle möglich. Aufgrund ihrer Affinität zu Metalloxiden eignen sich Alkylphosphonsäuren für das Gateoxid, während Alkylthiole zur Funktionalisierung der Source/Drain-Metallisierung geeignet sind (Au bzw. Ag). Der aktive Bereich des Transistors soll dagegen hydrophile Eigenschaften haben, da dieser Bereich durch den Halbleiter benetzt werden soll. Folglich ist es entweder erforderlich, in diesem Bereich von vornherein keine Monolagen abzuscheiden oder diese nach erfolgter Abscheidung wieder zu entfernen. Das Entfernen von Monolagen ist zwar durch Plasmaätzprozesse problemlos möglich. Allerdings hat sich gezeigt, dass sämtliche getesteten Photolacke auf der extrem hydrophoben Oberfläche des funktionalisierten Substrates nicht haften, was die Strukturierung einer Ätzmaske unmöglich macht. Daher wurde der aktive Bereich mit Photolack abgedeckt und nach erfolgter Funktionalisierung wieder entfernt.

Funktionalisierung des Gateoxids

Vor der Funktionalisierung ist es zunächst erforderlich, die Oberfläche des Substrates durch ein sauerstoffhaltiges Plasma zu behandeln. Dadurch werden organische Verunreinigungen (beispielsweise Photolackreste) entfernt und gleichzeitig die Dichte der OH-Gruppen auf Aluminiumoxid erhöht. Dieser Schritt ist für die Qualität der später gebildeten Monolage entscheidend, da Verunreinigungen zu Defekten führen und OH-Gruppen zur Anbindung der selbstorganisierenden Moleküle benötigt werden.

Direkt im Anschluss an die Plasmabehandlung wird die erste Monolage aus Alkylphosphonsäure-Molekülen auf Aluminiumoxid gebildet. Dazu wird das Substrat in eine Lösung der selbstorganisierenden Moleküle eingetaucht. Typischerweise wird Propanol als Lösemittel eingesetzt (siehe beispielsweise [21]). Im hier diskutierten Prozess ist dies allerdings ausgeschlossen, da der eingesetzte Photolack in Propanol löslich ist. Als Alternative wurden daher Lösungen in Wasser

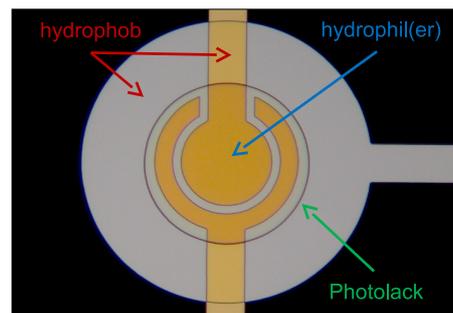


Abbildung 3.30 – Definition hydrophober und hydrophiler Bereiche durch Abdecken des aktiven Bereichs des Transistors mit Photolack vor der Funktionalisierung.

untersucht. Allerdings hat sich gezeigt, dass die Löslichkeit der Alkylphosphonsäuren in H_2O vergleichsweise gering ist. Tendentiell nimmt die Löslichkeit der Moleküle mit zunehmender Länge des Alkylrestes ab. Je kürzer allerdings der Alkylrest ist, umso geringer ist wiederum der Ordnungsgrad der gebildeten Monolage und umso weniger hydrophob wird die Oberfläche [21]. Ein Kompromiss zwischen akzeptabler Löslichkeitskonzentration (1 mg ml^{-1}) und möglichst hydrophoben Eigenschaften wurde bei Kettenlängen von zehn (Decylphosphonsäure) bis maximal zwölf (Dodecylphosphonsäure) Kohlenstoffatomen gefunden.

Die anschließende Abscheidung von Alkylthiolen zur Funktionalisierung von Au bzw. Ag wird in einem einfachen Prozess durch Verdampfen einer verdünnten Lösung durchgeführt. Hierzu wird eine geringe Menge des flüssigen Hexadecanthiols in Toluol gelöst. Diese Lösung wird in einem beheizten Exsikkator bei leichtem Unterdruck (maximal im Bereich des Grobvakuums) verdampft, indem auch das zu funktionalisierende Substrat lagert.

Nach Funktionalisierung der Oberflächen wird der Photolack, der den aktiven Bereich abdeckt, in geeigneten Lösemittelbädern mit Unterstützung durch Ultraschall entfernt. Es hat sich gezeigt, dass die Anbindung der Moleküle an die Oberflächen sehr robust ist und die Monolagen durch diese Behandlung keinen erkennbaren Schaden nehmen. Weitere Details zur Prozessierung sind in Anhang A.8 nachzulesen.

Bedruckung und elektrische Eigenschaften

Die gezielte Schaffung hydrophober und hydrophiler Bereiche durch das beschriebene Verfahren hat sich als äußerst wirksam erwiesen um die Lokalisation der Halbleiterlösung reproduzierbar zu beeinflussen. In Abbildung 3.31 wurde der Trocknungsprozess bei einer derart behandelten Struktur beobachtet. Unmittelbar nach dem Bedrucken des Substrates zwingen die herrschenden Oberflächenspannungen wie gewünscht die Halbleiterlösung in den definierten Bereich, statt großflächig umliegende Flächen zu benetzen. Aufgrund des für die bedruckte Fläche überdimensionierten Volumens bildet sich ein großer, in der Kamera dunkel erscheinender Tropfen. Aus der Oberfläche des Tropfens verdampft das Lösemittel allmählich, wodurch die Konzentration der Halbleiterlösung steigt. Wenn schließlich genug Lösemittel verdampft ist, setzt das Kristallwachstum des Halbleiterfilms ein. Der genaue Zeitpunkt kann mit der Optik der Druckerkamera nicht bestimmt werden. Allerdings dauert es bis zur vollständigen Trocknung über 20 Minuten.

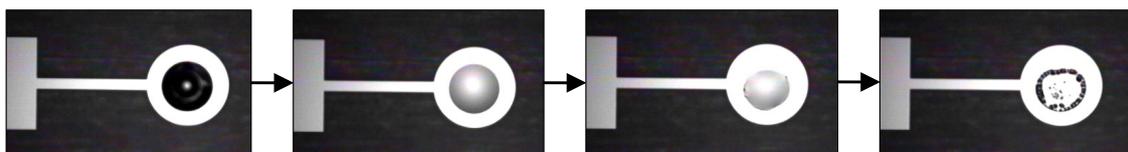


Abbildung 3.31 – Lokalisation und anschließende Trocknung ($> 20 \text{ min}$) der Halbleiterlösung mit Definition des benetzbaren Bereichs durch hydrophobe Monolagen.

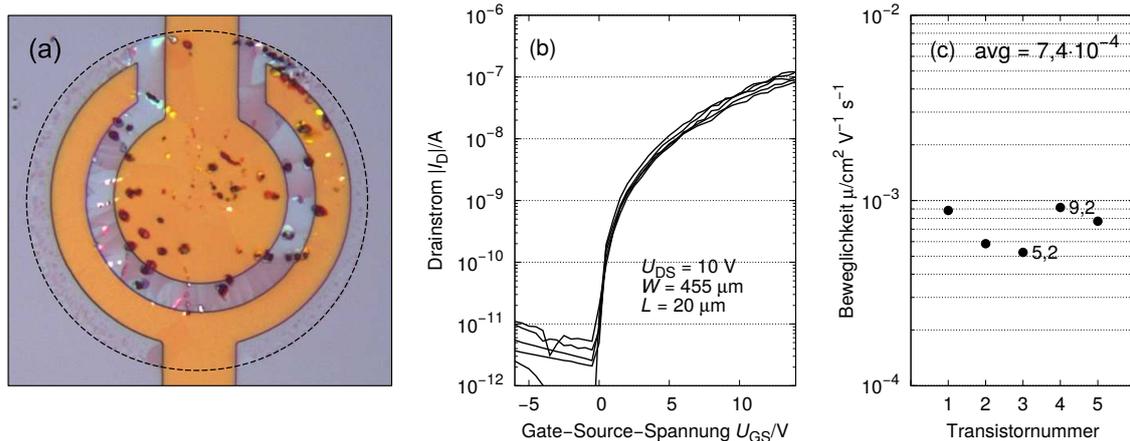


Abbildung 3.32 – (a) Transistor mit Lokalisation des Halbleiters durch Monolagen. Die gestrichelte Umrandung markiert den definierten, benetzbaren Bereich. (b) Gemessene Eingangskennlinien und (c) extrahierte Ladungsträgerbeweglichkeiten von Transistoren mit begrenztem Halbleiter und Au-Kontakten.

Die Mikroskopaufnahme in Abbildung 3.32 (a) zeigt deutlich die Begrenzung des Halbleiters auf den aktiven Bereich des Transistors. Der gesamte Kanal des Transistors ist vollständig durch Halbleiterkristalle bedeckt. Die Orientierung der Korngrenzen zwischen den kristallinen Domänen verläuft vorteilhafterweise im wesentlichen radial zum Transistorkanal (vgl. Diskussion auf Seite 91). Dem optischen Eindruck nach, würde man daher ein optimales elektrisches Verhalten der Transistoren erwarten. Wie man den gemessenen Eingangskennlinien in Abbildung 3.32 (b) und (c) allerdings entnehmen kann, wird diese Erwartung nicht erfüllt. Gegenüber den vergleichbaren Kennlinien in Abbildung 3.25 (c) ist der Drainstrom um über eine Größenordnung niedriger und die Ladungsträgerbeweglichkeit liegt mit durchschnittlich $\mu \approx 7,4 \cdot 10^{-4}\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ ebenfalls um über eine Größenordnung unter den zu erwartenden Werten bei Au-Kontakten.

Bewertung

Das primäre Ziel der Optimierung des Druckprozesses hinsichtlich der zuverlässigen Lokalisierung des Halbleiters im aktiven Bereich des Transistors konnte durch den untersuchten Ansatz belegt werden. Allerdings gibt es zwei wesentliche Einschränkungen für den Einsatz dieses Verfahrens bei der zur Verfügung stehenden n-Typ-Halbleiterlösung.

- Trotz der vollständigen Benetzung des Transistorkanals und der Kristallinität des Halbleiters bleibt das elektrische Verhalten signifikant hinter den Erwartungswerten zurück. Ursächlich hierfür sind mutmaßlich Rückstände des Photolacks und anderer Prozesschemikalien, möglicherweise auch native, chemische Oberflächenverbindungen auf den Injektionskontakten, die den Kontaktwiderstand erhöhen. Diese Rückstände können üblicherweise durch Zerstäubungsätzen in einem nicht-reaktiven Ar-Plasma unmittelbar vor der Bedruckung entfernt werden. Diese Vorbehandlung ist hier aber ausgeschlossen, da neben sonstigen Rückständen auch die Monolagen der selbstorganisierenden Moleküle entfernt würden.

- Die Verwendung von Ag-Kontakten ist für den eingesetzten Halbleiter zwar vorteilhaft (vgl. Kapitel 3.2.4) aber mit dem entwickelten Prozess nicht kompatibel. Die den aktiven Bereich schützende Lackschicht muss aufgrund der vor der Funktionalisierung durchgeführten Plasmabehandlung in einer speziellen Lösemittelmischung entfernt werden, die auch Silber angreift. Selbst wenn ein anderer, hier nicht getesteter Photolackentferner infrage kommen würde, besteht immer noch das Problem der Vorbehandlung der Kontakte. Insbesondere bei Silber hat sich gezeigt, dass die Entfernung nativer, chemischer Oberflächenverunreinigungen die Güte der Transistoren entscheidend beeinflusst. Alternative, sanfte Verfahren, wie das Anätzen der Kontakte in verdünnter Ameisensäure zur Entfernung der Rückstände waren nicht zielführend.

Die Begrenzung des Halbleiters auf einen definierten Bereich wurde auch für den Fall des Polymerhalbleiters untersucht. Dies ist aufgrund der Benetzungs- und Trocknungseigenschaften der Halbleiterlösung auf der elliptischen Geometrie zwar nicht notwendig. Falls allerdings eine höhere Integrationsdichte erfordert wird, beispielsweise innerhalb einer Aktiv-Matrix für elektrophoretische Anzeigen (vgl. Kapitel 4.2), ist eine Skalierung hin zu kleineren Bauelementen angezeigt. Dann erreicht die Dimension der Transistoren einen kritischen Bereich, indem Parameter wie die Justiergenauigkeit des Druckers und die Spreitung des Nassfilms nicht mehr vernachlässigt werden können. Es hat sich gezeigt, dass das Konzept mit unterschiedlichen Oberflächenspannungen auch für die Begrenzung des Polymerhalbleiters geeignet ist. Ergebnisse dazu sind in Anhang A.9 nachzulesen.

3.2.5.2 Lokalisation durch Wannens

Die Wannens zum Einschluss der Halbleiterlösung können mittels photostrukturierbarer Lacke definiert werden. Gegenüber dem Ansatz mit Monolagen bietet dieser Prozess die Möglichkeit, das Substrat vor dem Drucken des Halbleiters in einem geeigneten Plasma vorzubehandeln. Somit ist es möglich, Lackrückstände und sonstige chemische Verunreinigungen von den Injektionskontakten zu entfernen und damit den Kontaktwiderstand zu optimieren. Unmittelbar einsichtig ist, dass das verwendete Material beständig gegenüber der Halbleiterlösung sein sollte. Andernfalls ist es möglich, dass der Lack durch die Lösemittel gelöst wird. Dann kann es zur Verunreinigung der Halbleiterlösung mit dem Fremdmaterial kommen, was die elektrischen Eigenschaften mutmaßlich beeinträchtigt. Typischerweise kann die Beständigkeit von Photolacken gegenüber Lösemitteln durch Tempern erhöht werden, falls das eingesetzte Material dadurch zur thermisch angeregten Vernetzung neigt. Aufgrund der ihrer Beständigkeit gegenüber Lösemitteln nach Temperung wurden daher die Photolacke PC403 und SU-8 als Wannensmaterial ausgewählt [37, 48]. Weitere Vorüberlegungen betreffen die Dimensionierung der Wannens. Diese müssen tief genug sein, um

ein vorher definiertes Volumen der Halbleiterlösung vollständig aufnehmen zu können. Dies setzt voraus, dass die hierfür notwendige Schichtdicke des eingesetzten Photolacks technologisch realisiert werden kann. Insbesondere mit dem Lack SU-8 können dicke Schichten (mehrere $10\mu\text{m}$) und sehr große Aspektverhältnisse erzielt werden. Dagegen ist die erzielbare Schichtdicke im Falle von PC403 mit rund $3\mu\text{m}$ vergleichsweise gering. Die Grundfläche der Wannen wiederum ist abhängig von den Erfordernissen der Halbleiterlösung an eine optimale Kristallisation des Films. Ist die Grundfläche der Wanne zu groß bemessen, könnte dies zur unvollständigen Benetzung der Transistorstrukturen führen. Falls die Halbleiterlösung dennoch dazu neigt, die zu groß bemessene Fläche vollständig zu benetzen, könnte dies das Kristallwachstum stören und im Ergebnis zu einer unnatürlich dünnen oder verspannten Halbleiterschicht führen. Neben diesen Überlegungen sind auch die Benetzungseigenschaften des Photolacks ein wichtiger, im Einzelfall empirisch zu bewertender Parameter.

Dimensionierung der Wannen

Für die Dimensionierung der Grundflächen der Wannenstrukturen ist die Kenntnis über den Flächenbedarf des natürlich kristallisierten Halbleiters erforderlich. Dabei soll der Begriff der *natürlichen Kristallisation* den Trocknungs- und Kristallisationsprozess der Halbleiterlösung unter Ausschluss möglicher störender Faktoren beschreiben. Störende Faktoren werden vor allem in den unterschiedlichen Materialeigenschaften, Oberflächenspannungen und Höhenprofilen des zu bedruckenden Bereichs der Transistorstrukturen gesehen. Diese Einflüsse können durch Bedruckung eines Substrates mit möglichst homogenen Oberflächeneigenschaften ausgeschlossen werden. Im konkreten Fall wurde auf diese Weise untersucht, welchen Flächenbedarf der Kristall einnimmt, wenn das Schichtwachstum ungestört ablaufen kann. Es wird angenommen, dass auf diese Weise natürliche Halbleiterflächen mit optimaler Schichtdicke und unverspannter Kristallstruktur entstehen.

Hierzu wurde ein Substrat ganzflächig mit anodisiertem Aluminiumoxid beschichtet und weiterhin so behandelt, als würden die Transistorstrukturen bedruckt werden. Das Substrat wurde daher wie im üblichen Prozessablauf unmittelbar vor der Bedruckung durch einen Zerstäubungsätzschritt vorbehandelt (Ar, 10% Leistung, $t = 2\text{ min}$). Das Drucklayout entsprach dabei dem der Transistoren. Bei einem Druckraster von $20\mu\text{m}$ wurden Flächen der Größe $260 \times 260\mu\text{m}^2$ bedruckt. Dies entspricht $13 \times 13 = 169$ Tropfen mit einem nominalen Tropfenvolumen von max. 10pl. Die Plattentemperatur betrug 60°C .

Nach der vollständigen Trocknung wurden die gedruckten Schichten mikroskopisch untersucht. Wie in Abbildung 3.23 (a) bildet der Halbleiter vorwiegend rundliche, polykristalline Filme. Die Flächen dieser natürlichen Kristalle wurden gemessen und in Abbildung 3.33 aufgetragen. Man erkennt, dass die Halbleiterflächen erheblich variieren. Zwischen dem maximalen und dem minima-

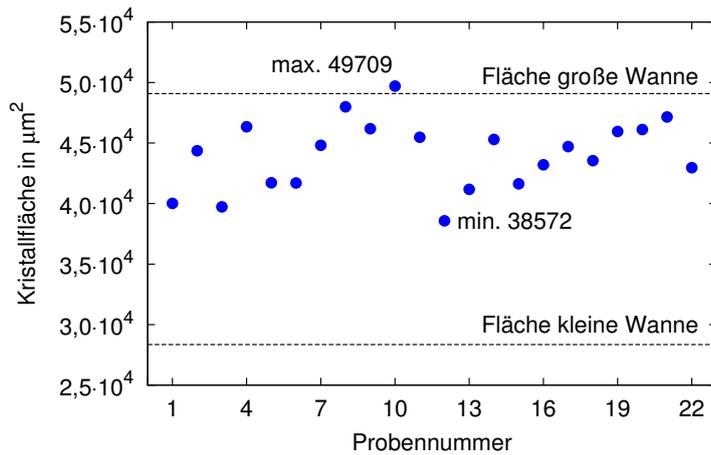


Abbildung 3.33 – Variation der Flächen natürlicher Kristalle ($N = 22$) mit Angabe des maximalen und des minimalen Wertes (Mittelwert $44018 \mu\text{m}^2$). Die gestrichelten Linien markieren die Grundflächen der großen bzw. kleinen Wannen.

len Wert besteht eine Differenz von ca. 20%. Dies ist vermutlich auf signifikante Schwankungen des verdruckten Volumens durch den Druckprozess zurückzuführen.

Im Diagramm sind außerdem die Grundflächen der untersuchten Wannenstrukturen eingezeichnet. Die großen Wannen sind für das verdruckte Volumen der Halbleiterlösung überdimensioniert, da deren Grundfläche größer als die Fläche der natürlichen Kristalle ist. Folglich liegt der Schluss nahe, dass der Halbleiterfilm die Grundfläche dieser Wannen entweder nicht vollständig ausfüllen kann oder aber der Film dazu neigt, dünner als im natürlichen Kristall zu werden, um die Fläche dennoch möglichst vollständig auszufüllen. Dies könnte zu Verspannungen im Kristallgefüge führen. Die Fläche der kleinen Wannen liegt deutlich unter der Fläche der natürlichen Kristalle, sodass umgekehrt das verdruckte Volumen der Lösung für diese Wannenstruktur überdimensioniert ist. Damit ist intuitiv von einer vollständigen Benetzung der Wannenstruktur auszugehen. Die überschüssige Lösung könnte in diesem Fall zu einer gegenüber dem natürlichen Kristall etwas dickeren Halbleiterschicht führen, was aber mutmaßlich keinen wesentlichen Einfluss auf die Güte der Kristallstruktur haben sollte. Folglich erwartet man in Abhängigkeit der Dimensionierung der Grundfläche auch einen Einfluss auf die elektrischen Eigenschaften der Transistoren.

Neben diesen Überlegungen, die darauf abzielen die Bedürfnisse des Halbleiters an eine möglichst optimale Kristallisation zu erfüllen, ist das Volumen der Wannen für die Aufnahme der Halbleiterlösung zu dimensionieren. Das Volumen V der verdruckten Lösung berechnet sich aus der Anzahl der Tropfen $N_T = 169$ (bei Druckraster $20 \mu\text{m}$) und dem durchschnittlichen Tropfenvolumen V_T durch $V = N_T V_T$. Dabei kann das Tropfenvolumen erheblich schwanken (vgl. Abbildung 3.33) und vom nominalen Volumen der Druckkopfes (10 pl) abweichen. Für den Polymerhalbleiter lag das tatsächliche ermittelte Volumen zwischen $3 \dots 5 \text{ pl}$. Daraus ergibt sich ein verdrucktes Volumen von ungefähr $5 \dots 9 \cdot 10^5 \mu\text{m}^3$. Im Extremfall, unter der Annahme des nominalen Tropfenvolumens von 10 pl beträgt das verdruckte Volumen rund $1,7 \cdot 10^6 \mu\text{m}^3$.

Tabelle 3.6 – Geometrische Daten der kreisförmigen Wannenstrukturen aus PC403 ($h = 3\ \mu\text{m}$) und SU-8 ($h = 15\ \mu\text{m}$).

Parameter	kleine Wanne	große Wanne
Durchmesser in μm	190	250
Fläche in μm^2	28 353	49 087
Volumen ($h = 3\ \mu\text{m}$) in μm^3	85 059	147 262
Volumen ($h = 15\ \mu\text{m}$) in μm^3	425 293	736 311

Vergleicht man diese zu erwartenden Werte mit den geometrischen Daten der Wannenstrukturen in Tabelle 3.6, so fällt auf, dass lediglich die große Wanne aus SU-8 das verdruckte Volumen theoretisch aufnehmen könnte, falls das tatsächliche Tropfenvolumen in der Nähe des Minimalwertes liegt. Alle anderen Strukturen besitzen ein geringeres Volumen und können die verdruckte Lösung somit nicht vollständig aufnehmen. Um das Volumen der Wannen zu vergrößern, müsste entweder deren Grundfläche oder die Schichtdicke des Photolacks erhöht werden. Eine vergrößerte Grundfläche ist aber ausgeschlossen, da die Fläche der natürlichen Kristalle die Grundfläche der großen Wannen bereits regelmäßig unterschreitet. Eine Erhöhung der Schichtdicke ist aber bei PC403 technologisch nicht realisierbar. Geht man im schlechtesten Fall vom nominalen Tropfenvolumen aus, so müsste die kleine Wanne eine minimale Höhe von $h_{\min} = N_T V_T A^{-1} \approx 60\ \mu\text{m}$ haben, um die gesamte verdruckte Lösung aufzunehmen. Solche Schichtdicken sind mit SU-8 zwar grundsätzlich realisierbar aber aus weiteren, im Folgenden besprochenen Gründen scheidet dieses Material aus.

Prozessierung und Bedrucken der Wannen

Die Wannen werden durch Aufschleudern des entsprechenden Photolacks mit anschließender Strukturierung durch Photolithographie hergestellt. Dabei hat sich herausgestellt, dass die wegen ihrer elektrischen Eigenschaften zu bevorzugenden Silberkontakte mit den Lacken reagieren können. In Abbildung 3.34 sind Mikroskopaufnahmen der Wannenstrukturen aus PC403 und SU-8 abgebildet. In beiden Fällen beobachtet man die Reaktion des Silbers mit den Photolacken durch das Entstehen zahlreicher dunkler Pünktchen auf den Kontakten. Diese Pünktchen entstehen während der thermischen Vernetzung der Photolacke bei erhöhten Temperaturen ($T > 200\ \text{°C}$) und sind vermutlich eine Folge von Lackrückständen, die während des Entwickelns nicht vollständig gelöst werden konnten.

Im Fall von PC403 konnte beobachtet werden, dass die Tendenz zur Reaktion mit den Silberkontakten von der Alterung des Lacks abhängt. Bei diesem Lack ist bekannt, dass die Löslichkeit der belichteten Flächen in alkalischer Entwicklerlösung aufgrund der geringen Haltbarkeit rasch abnimmt. Die dann zu erwartenden Rückstände führen zu der beschriebenen Reaktion mit Silber.

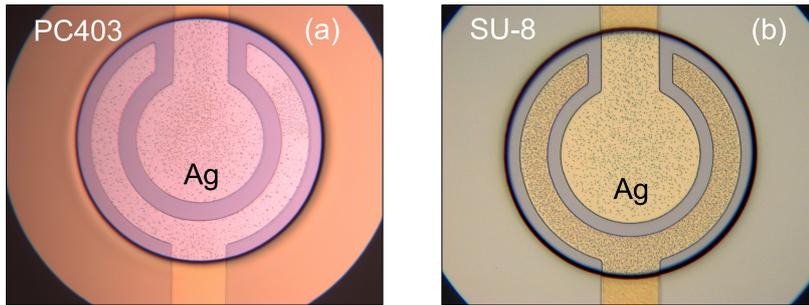


Abbildung 3.34 – Wannenstrukturen aus (a) PC403 und (b) SU-8. Man erkennt in beiden Fällen dunkle Pünktchen auf den Ag-Kontakten.

Um diese Rückstände möglichst zu vermeiden, hat sich das Überentwickeln des Lacks als hilfreich erwiesen. Dies ist aufgrund der hier vorliegenden Strukturgrößen unproblematisch. Bei Verwendung des Lacks mit aktuellem Produktionsdatum kommt es nicht zu der beobachteten Reaktion. Im Gegensatz dazu konnte die Reaktion von Silber mit SU-8 nicht verhindert werden. Dieser Lack wird in organischen Lösemitteln entwickelt und neigt daher tendentiell und unabhängig von der Alterung zu Rückständen. Selbst durch Überentwickeln und anschließendem intensiven Spülen konnten die Rückstände nicht effektiv reduziert werden, um die Reaktion mit Silber auszuschließen.

Vor dem Bedrucken der Transistoren wird das Substrat durch Zerstäubungsätzen in einem nicht-reaktiven Argonplasma gereinigt. Dieser Schritt ist erforderlich, um Rückstände des Photolacks und sonstige chemische Veränderungen von den Injektionskontakten zu entfernen. Dabei gleichen sich auch die Energien der unterschiedlichen Oberflächen aneinander an. Wie in Abbildung 3.35 zu erkennen ist, hat dies zur Folge, dass die in der Umgebung der Transistorstrukturen liegende PC403-Schicht von der Halbleiterlösung sehr gut benetzt wird. Zwar ist das Volumen der Lösung für die hier gezeigte PC403-Wanne überdimensioniert und somit ist ohnehin von einem Überlaufen der Wanne auszugehen. Allerdings deutet die homogene und strikt kreisförmige Benetzung des Nassfilms darauf hin, dass die Oberflächenwechselwirkungen dominieren und den erwünschten Wanneneffekt infrage stellen (vgl. Grundlagen zur Benetzung in Kapitel 2.1.3).

Diese Annahme wird durch das Verhalten der Wanne aus SU-8 noch bestärkt (vgl. Abbildung 3.36 (a)). Obwohl das Volumen dieser Wanne aufgrund der größeren Schichtdicke dem Fünffachen der PC403-Wanne entspricht und somit – abhängig vom tatsächlichen Tropfenvolumen – für die verdruckte Lösung ausreichend sein kann, ist keinerlei Tendenz erkennbar, dass die verdruckte Lösung durch die Wanne eingeschlossen wird. Im Gegenteil benetzt der Nassfilm auch hier die umliegenden Bereiche auf fast identische Weise wie im Fall der Wanne aus PC403.

Während des voranschreitenden Trocknungsvorgangs reduziert sich die Fläche des Nassfilms aufgrund der Verdampfung des Lösemittels zunehmend und zieht sich schließlich bis auf den Bereich der Wannenstruktur zurück. Der Nassfilm benetzt dann den gesamten aktiven Bereich des Transistors. Die folgenden Bilder deuten darauf hin, dass der Randwall der Wannen bis zur vollständigen

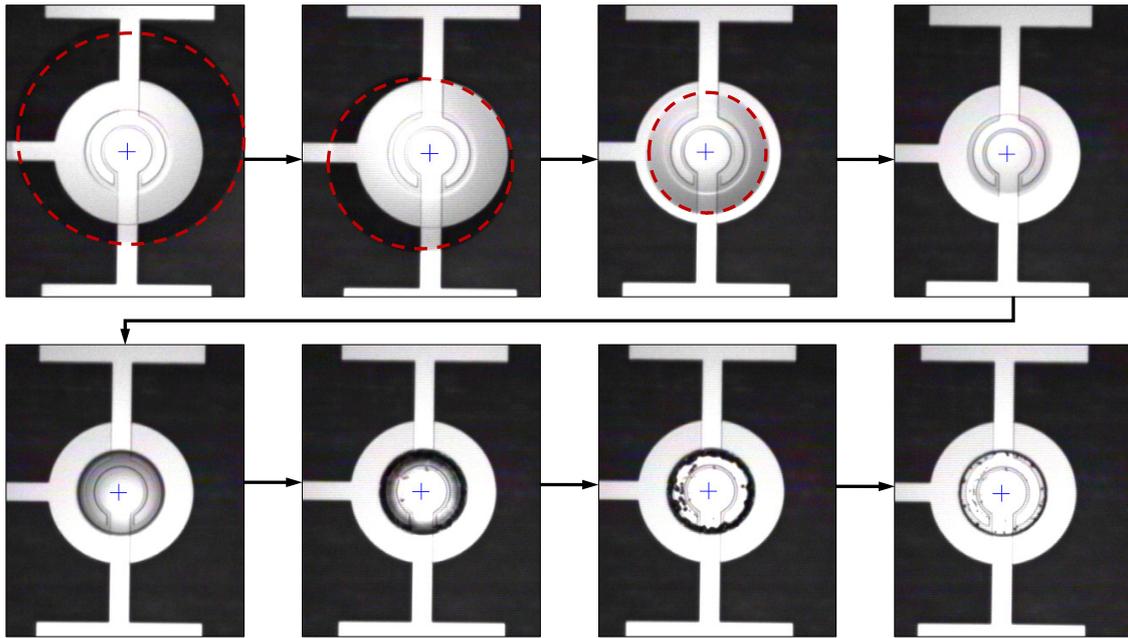


Abbildung 3.35 – Beobachtung der Benetzung und Trocknung des Halbleiterfilms (N1500 in DMP) auf Wannenstrukturen aus PC403 mit der Druckerkamera. Das Substrat wurde unmittelbar vor der Bedruckung durch Zerstäubungsätzen (Ar, 10 % Leistung, 2 min) vorbehandelt. Bis zur vollständigen Trocknung vergehen über 18 min.

Trocknung des Films benetzt bleibt. Die Oberfläche des Nassfilms wird infolge des sich weiter verringernden Volumens daher zunehmend in eine konkave Form gezwungen. Die Kristallisation der Halbleiterlösung beginnt dann im Zentrum der Wanne und setzt sich schließlich zu den Rändern fort. Dieses Modell des Trocknungs- und Kristallisationsprozesses ist schematisch in Abbildung 3.37 dargestellt. Insgesamt dauert der gesamte Trocknungsprozess über 18 Minuten. Die Lokalisierung des Halbleiters auf den aktiven Bereich des Transistors ist durch diese Wannenstrukturen sicher reproduzierbar.

Der Trocknungsprozess im Fall der SU-8-Wannen ist grundsätzlich mit dem für PC403 beobachteten Verhalten vergleichbar. Zunächst benetzt der Halbleiter, wie beschrieben, großflächige Bereiche um die eigentliche Wannenstruktur herum. Nach dem allmählichen Verdampfen des Lösemittels befindet sich der Nassfilm schließlich nur noch im aktiven Bereich des Transistors. Auch in diesem Fall wird der Randwall der Wanne bis zur vollständigen Trocknung benetzt. Allerdings be-

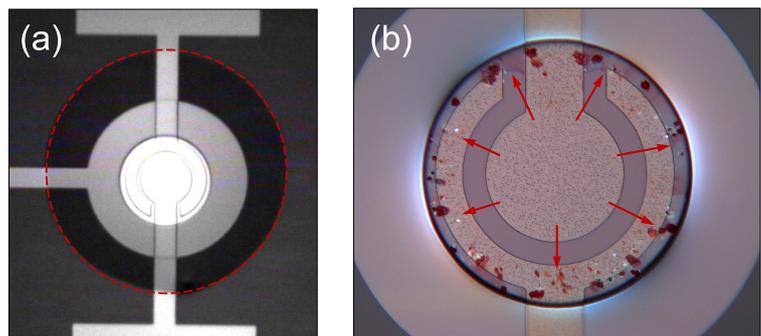


Abbildung 3.36 – (a) Benetzung der Wannenstruktur aus SU-8 durch den Halbleiterfilm. (b) Der kristallisierte Halbleiter neigt zur Benetzung des Randwalls der SU-8-Wanne. Das Innere des TFTs bleibt dagegen vollständig frei.

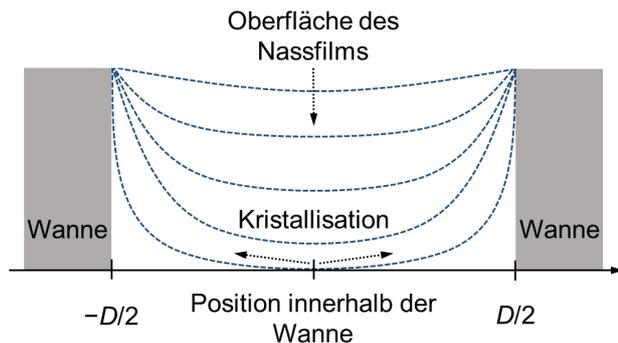


Abbildung 3.37 – Schematische Darstellung einer Schnittenebene durch die Wannenstruktur. Der Nassfilm benetzt den Randwall der Wannen und krümmt sich mit abnehmendem Volumen aufgrund der Verdampfung des Lösemittels zunehmend konkav. Die Kristallisation beginnt im Zentrum der Wanne und setzt sich zu den Rändern fort.

obachtet man mit fortschreitender Verdampfung das plötzliche, abrupte Aufreißen des Nassfilms. Die Halbleiterlösung benetzt anschließend ringförmig den Randwall und das Innere des aktiven Bereichs bleibt frei. Ursächlich für dieses abweichende Verhalten ist höchstwahrscheinlich die erhöhte Schichtdicke von SU-8. Nimmt man, wie in Abbildung 3.37 skizziert an, dass der Randwall während des gesamten Trocknungsprozesses bis zu seiner Oberkante benetzt wird, so erhöht sich die benetzte, zylinderförmige Fläche auf das Fünffache gegenüber PC403. Dementsprechend wird hierfür ein deutlich erhöhter Anteil der Lösung benötigt. In der Folge muss zur Aufrechterhaltung der Benetzung des Randwalls der Flüssigkeitsfilm wesentlich stärker gekrümmt werden. Dabei wird eine kritische Oberflächenspannung überschritten, die schließlich zum Aufreißen des Films führt. Wie in Abbildung 3.36 (b) zu erkennen ist, befindet sich der kristallisierte Halbleiter daher ringförmig um den Bereich des Randwalls, während das Innere des Transistors frei bleibt.

Diese Untersuchungen haben gezeigt, dass die Modellvorstellung einer Wanne zur Lokalisierung und zum Einschluss der Halbleiterlösung hier nicht gültig ist. Aufgrund der notwendigen Plasmavorbehandlung werden unabhängig von der Schichtdicke des Photolacks großflächige Bereiche um die Wannen herum benetzt. Die Verwendung des Lackes SU-8, mit dem Ziel, höhere Wannenvolumen zu realisieren ist somit nicht von Vorteil gegenüber PC403. Es gibt aufgrund der Benetzungseigenschaften der Lacke sogar einen kritischen Bereich der Schichtdicke, der bei Überschreitung zum Aufreißen des Nassfilms führt und die Kristallisation im aktiven Bereich des Transistors verhindert. Außerdem kommt es bei SU-8 in Verbindung mit Silberkontakten zu unerwünschten Reaktionen durch unvermeidliche Lackrückstände. Daher scheidet SU-8 als mögliches Material für Wannenstrukturen aus. Die Verwendung von PC403 hat sich dagegen als geeignet erwiesen, um den Halbleiter nach vollzogener Trocknung sicher auf den aktiven Bereich des Transistors zu begrenzen.

Optimierung der Benetzung

Der Einsatz von Wannenstrukturen ist zwar geeignet, um den Halbleiter sicher im aktiven Bereich des Transistors abzuscheiden. Allerdings benetzt die Halbleiterlösung unmittelbar nach der Bedruckung trotzdem einen großen Bereich um die eigentlichen Wannen herum. Dieses Verhalten

unterscheidet sich somit prinzipiell nicht wesentlich von Substraten ohne solche Strukturen (vgl. Abbildung 3.21). Der enorme Flächenbedarf stellt aber ein Problem dar, wenn eine höhere Integrationsdichte, etwa in Schaltungen, gefordert wird. Um ein Zusammenfließen der Halbleiterflächen benachbarter Transistoren sicher zu vermeiden, müssen große Abstände eingehalten werden. Dies reduziert signifikant die maximale Anzahl möglicher Transistoren pro Fläche. Daher wurde ein Ansatz zur Reduzierung der Benetzbarkeit durch Hydrophobisierung des Photolacks untersucht. Dieses Prinzip wurde in ähnlicher Weise erfolgreich durch hydrophobe Monolagen demonstriert (vide supra). Allerdings schloss der Einsatz der Monolagen die Plasmavorbehandlung des Substrates aus.

Die Benetzung des Photolacks ist von dessen Oberflächenspannung abhängig. Daher ist es möglich, die Benetzung durch Anpassung der Oberflächenspannung gezielt zu steuern. Dies wurde beispielsweise in einer Studie von A. Vesel gezeigt [74]. Hierin wurde die Veränderung der Benetzung von Polystyren durch Behandlung in einem fluorhaltigen CF_4 -Plasma untersucht. Dabei kommt es zur Fluorierung der Oberfläche des Polymers und in der Folge zur Zunahme des Randwinkels zu Wasser auf 111° , was einer stark hydrophoben Oberfläche entspricht.

Auf diese Weise wurde versucht, die Oberfläche von PC403 zu hydrophobisieren, sodass die Halbleiterlösung nur den Bereich der Wanne benetzen kann. Gleichzeitig kann durch die Plasmabehandlung ein Reinigungseffekt der Elektroden und des Dielektrikums erzielt werden. Hierzu wurden die Substrate in fluorhaltigen RIE-Plasmen behandelt. Als Prozessgase wurden CF_4 und SF_6 eingesetzt, wobei die Art des Gases keinen wesentlichen Einfluss auf das Ergebnis hatte. Wie in den Abbildungen 3.38 erkennbar wird, ist die Benetzung abhängig von der Leistung während der Plasmabehandlung.

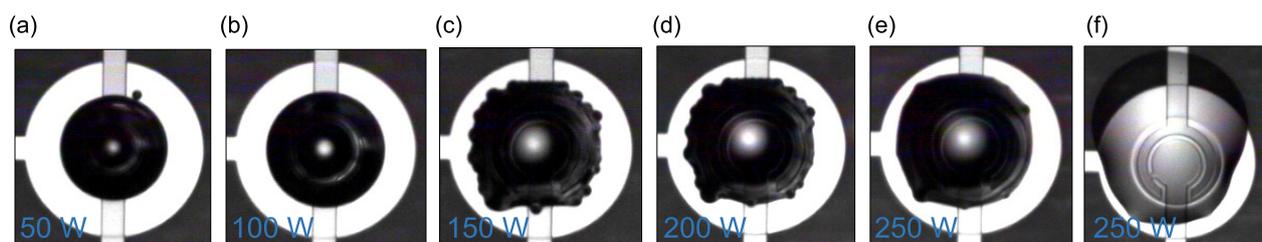


Abbildung 3.38 – Die Oberfläche von PC403 wurde durch ein RIE-Plasma in CF_4 hydrophobisiert (Gasfluss 50 ml min^{-1} , Kammerdruck $0,05 \text{ mbar}$, Leistung variabel, Dauer 20 s). Die Benetzung der Oberfläche nimmt mit zunehmender Plasmaleistung zu.

Bei niedriger Leistung von 50 W (a) bis 100 W (b) wird die Oberfläche durch die Plasmabehandlung stark hydrophob. Die Halbleiterlösung wird von der hydrophoben Oberfläche effektiv verdrängt und benetzt wie gewünscht nur den Bereich der Wannenstrukturen. Das Benetzungsverhalten ist in diesen Fällen vergleichbar mit der Methode durch hydrophobe Monolagen. Mit zunehmender Plasmaleistung nimmt die Benetzbarkeit von PC403 zu (Bilder (c) bis (e)). Bei einer Leistung von 250 W (f) ist die Begrenzung des Nassfilms auf den Gatebereich nicht mehr

sichergestellt und es kann zur Benetzung umliegender Bereiche kommen. Dieses Verhalten kann durch die zunehmende kinetische Energie der Ionen bei hohen Plasmaleistungen erklärt werden. Je höher die Ionenenergie beim RIE-Ätzen ist, umso effektiver ist der mechanische Abtrag der geätzten Schicht. Dies führt dazu, dass die fluorierte Oberfläche schneller abgetragen wird, als sie nachgebildet werden kann. In der Folge nimmt die Hydrophobie der Schicht ab.

Obwohl das Benetzungsverhalten von PC403 bei niedriger Leistung ideal eingestellt werden kann, verhindern zwei weitere Effekte den Einsatz dieses Verfahrens zur Optimierung des Druckprozesses. Wie in Abbildung 3.39 (a) beobachtet werden kann, kommt es im Plasma zur Reaktion der Silberkontakte. Obwohl diese Reaktion bei Goldkontakten nicht auftritt, schränkt dies die Materialauswahl ein. Wie in Kapitel 3.2.4 beschrieben, ist aber gerade Silber das Kontaktmaterial der Wahl. Außerdem bleibt die Plasmabehandlung offensichtlich nicht ohne Einfluss auf die Oberflächenenergie des aktiven Bereichs (vgl. Abbildungen 3.39 (b) und (c)). Zwar wird dieser Bereich aufgrund seiner gegenüber den umliegenden Bereichen relativ hohen Oberflächenspannung zunächst ausreichend benetzt. Doch kurz vor der vollständigen Trocknung kommt es zum Aufreißen des dünnen Flüssigkeitsfilms. Vermutlich bildet sich durch die Plasmabehandlung auch im aktiven Bereich eine leicht fluorierte Oberfläche mit veränderten Benetzungseigenschaften. Eine Optimierung des Druckprozesses konnte daher nicht realisiert werden.

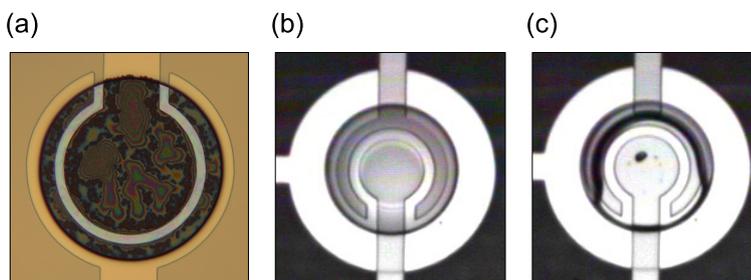


Abbildung 3.39 – (a) Reaktion der Ag-Kontakte im CF_4 -Plasma. (b) Benetzung des aktiven Bereichs kurz vor der vollständigen Trocknung; dann plötzliches Aufreißen des Nassfilms (c) bei hydrophobisierten Wannen aus PC403.

Elektrische Eigenschaften

In den Abbildungen 3.40 (a) bis (c) sind repräsentative Eingangskennlinien der Transistoren mit PC403-Wall abgebildet. Das grundsätzliche elektrische Verhalten entspricht dabei den Erwartungen, die sich durch die bevorzugte polykristalline Morphologie mit dem Lösemittel DMP ergeben (vgl. Kapitel 3.2.3). Im Zuge der Integration der Wannenstrukturen in den TFT-Prozess wurde insbesondere auch der Einfluss unterschiedlicher Wannengrundflächen untersucht. Es wurde vermutet, dass eine bezüglich der natürlichen Kristallfläche fehldimensionierte Wanne die Kristallisation des Halbleiters negativ beeinflusst und sich entsprechend auf die elektrischen Eigenschaften auswirken könnte.

Dies kann durch die Messungen bestätigt werden. Zunächst sollen die Kennlinien der Transistoren aus den Bildern (a) und (b) verglichen werden. In beiden Fällen wurde der Halbleiter durch große Wannen lokalisiert. Die Transistoren stammen zwar aus unterschiedlichen Versuchen, aber bei der

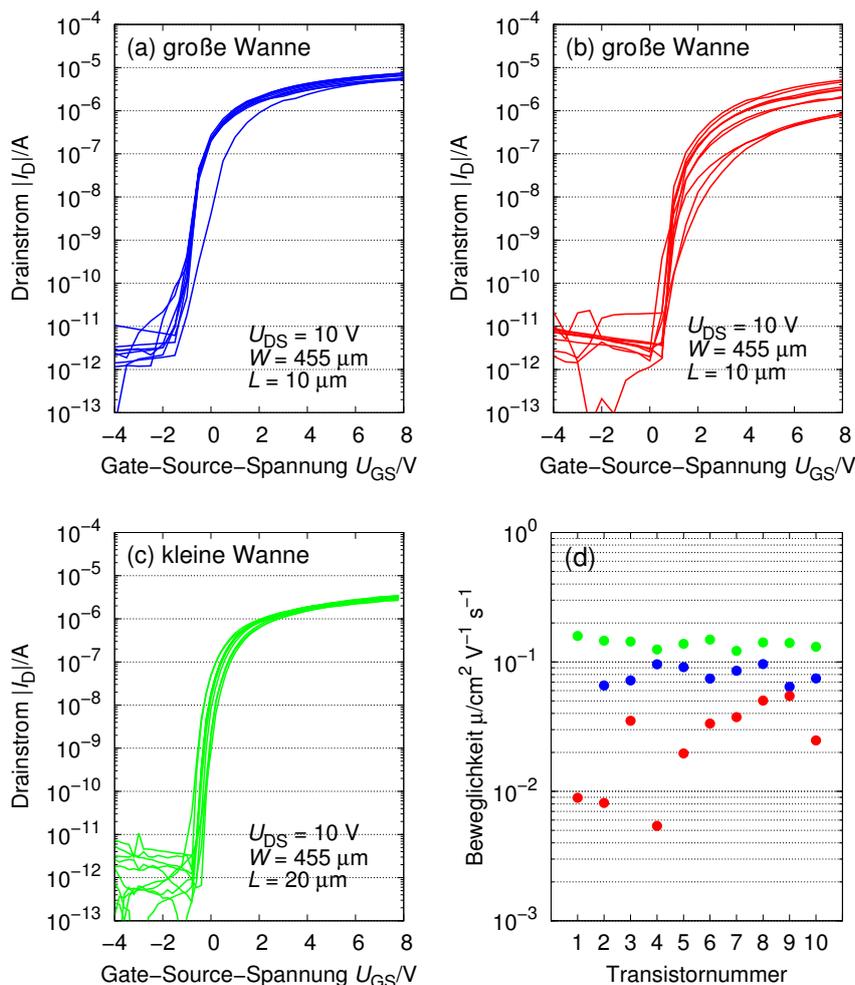


Abbildung 3.40 – (a) bis (c) Eingangskennlinien von Transistoren mit großer und kleiner PC403-Wanne und Ag-Kontakten. Die Transistoren aus (a) und (b) wurden identisch prozessiert, stammen aber aus unterschiedlichen Versuchen. (d) Vergleich der extrahierten Ladungsträgerbeweglichkeiten.

Prozessierung wurden keine Unterschiede gemacht. Dennoch beobachtet man im Fall (b) eine deutlich erhöhte Schwankungsbreite des Drainstroms. Dies geht mit ebenso großen Schwankungen der extrahierten Ladungsträgerbeweglichkeit (Bild (d)) einher, die im Vergleich mit (a) auch betragsmäßig geringer ausfällt. Besonders homogene Kennlinien wurden mit der kleinen Wannenstruktur (c) gemessen. Hierbei ist auch die Schwankung der Ladungsträgerbeweglichkeit am geringsten ausgeprägt. Mit über $0,1\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ werden vergleichsweise hohe Werte erreicht.

Bereits bei der Ermittlung der natürlichen Kristallfläche wurden signifikante Schwankungen festgestellt, deren Ursache in der mangelhaften Reproduzierbarkeit des Druckprozesses vermutet wird. Ist das tatsächlich verdruckte Volumen zu gering, so weicht die Kristallfläche des Halbleiters teils erheblich von der Grundfläche der Wannenstruktur ab. In der Folge wird der Kanal des Transistors wie in Abbildung 3.41 (a) nicht vollständig benetzt oder im Halbleiterkristall bilden sich Spannungen, da der Nassfilm bis zur vollständigen Trocknung bestrebt ist, den Randwall zu benetzen. Dies

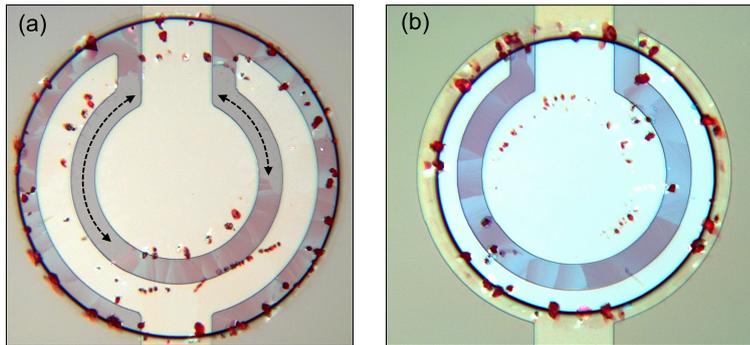


Abbildung 3.41 – Bei großen Wannen (a) benetzt der kristallisierte Halbleiter den Kanal regelmäßig nur abschnittsweise, während bei kleinen Wannen (b) der vollständige Kanal benetzt wird (freie Abschnitte sind durch Pfeile markiert). Die Grenzen zwischen kristallinen Domänen verlaufen in (b) vorwiegend in radialer Richtung.

führt zu Schwankungen der effektiven Kanalweite, die sich in den Kennlinien widerspiegeln. Erst recht erwartet man Schwankungen des verdruckten Volumens, wenn die Halbleiterlösung bei unterschiedlichen Versuchen aus unterschiedlichen Druckköpfen abgeschieden wird. So ist zu erklären, dass selbst bei identischer Prozessierung die Reproduzierbarkeit der Ergebnisse eingeschränkt ist. Durch Reduzierung der Grundfläche der Wannen kann erreicht werden, dass unabhängig von der Reproduzierbarkeit des Druckprozesses der vollständige Kanal durch Halbleiterkristalle benetzt wird (vgl. Abbildung 3.41 (b)). Typischerweise erhöht sich hierdurch die Homogenität der Kennlinien und auch die Schwankungen zwischen unterschiedlichen Versuchen werden verringert.

Bewertung

Wannenstrukturen sind nach diesen Untersuchungen grundsätzlich geeignet, um den Halbleiter sicher im aktiven Bereich der Transistoren zu lokalisieren. Aufgrund der diskutierten Einschränkungen ist der Photolack PC403 mit einer ca. $3\ \mu\text{m}$ dünnen Schicht das Material der Wahl. Die Modellvorstellung einer Wanne, in die das verdruckte Volumen der Halbleiterlösung eingeschlossen wird, muss aufgrund der Ergebnisse allerdings verworfen werden. Vielmehr halten die Wannen demnach den während der Trocknung wandernden Nassfilm in der unmittelbaren Umgebung um das Zentrum des aktiven Bereichs und der Randwall dient bei vorangeschrittener Trocknung als Nukleationspunkt für die Kristallisation. Eine Wannenstruktur aus PC403 ist ferner geeignet, da sie problemlos die Reinigung der Injektionskontakte durch Zerstäubungsätzen ermöglicht. Durch Tempern wird das Material außerdem widerstandsfähig gegenüber der Halbleiterlösung – ein Anlösen oder Quellen des Photolacks wurde nicht beobachtet. Daher konnten auf diese Weise funktionsfähige Transistoren realisiert und nach den Erfordernissen der natürlichen Kristallisation optimiert werden. Die Einhaltung der folgenden kritischen Punkte sind essentiell zur Herstellung von Transistoren mit optimalem Verhalten.

- Das Kontaktmaterial der Wahl ist Ag aufgrund gegenüber Au verbesserter Injektionseigenschaften.

- Die Kontakte sollten wegen der verbesserten Kantenbenetzung grundsätzlich durch Lift-Off strukturiert werden.
- Aufgrund der Kompatibilität zu Silber ist PC403 das Material der Wahl zur Strukturierung von Wannern.
- Die Grundfläche der Wannern muss auf die verdruckte Halbleitermenge abgestimmt sein und Schwankungen des Druckprozesses ausgleichen können.
- Beim Entwickeln von PC403 ist die Alterung des Materials kritisch. Um Lackrückstände zu vermeiden ist daher das Überentwickeln des Photolacks entscheidend. Abweichend von der Prozessbeschreibung in Anhang A.1.5 ist eine Entwicklungszeit von über 2 min empfehlenswert.
- Das Tempern von PC403 in zwei Schritten (120 °C/0,5 h und 220 °C/1,5 h im Umluftofen) reduziert ebenfalls die Tendenz zu Rückständen auf den Ag-Kontakten.
- Unmittelbar vor dem Bedrucken des Substrates ist ein Zerstäubungsschritt (Ar, 10 % Leistung, 2 min) erforderlich, um eventuelle Lackrückstände und chemische Verunreinigungen (Oxide etc.) von den Kontakten zu entfernen. Das Substrat ist anschließend ohne Zeitverzug zu bedrucken.
- Nach dem Bedrucken des Substrates sollte dieses nicht bewegt werden und für ca. 30 min auf der Druckplatte belassen werden, damit die Kristallisation ungestört ablaufen und abgeschlossen werden kann.
- Lösemittelrückstände sind anschließend in einem Vakuumtemperofen (> 2 h bei 110 °C) zu entfernen.

3.2.6 Top-Gate-Prozess

Wie in den voranstehenden Abschnitten gezeigt wurde, ist die Bandbreite realisierbarer Transistoreigenschaften mit dem verwendeten Halbleiter groß. Durch die Optimierung der Herstellungsprozesse konnten vergleichsweise leistungsfähige Transistoren mit $\mu > 0,1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ hergestellt werden. Hierfür sind allerdings technologisch aufwendige Verfahren zur Lokalisierung des Halbleiters erforderlich. Deren Einsatz in komplexeren Systemen mit erhöhter Integrationsdichte ist aufgrund der Benetzungsproblematik des Druckprozesses zumindest fragwürdig. Daher wurden auch alternative Transistorarchitekturen untersucht, die möglicherweise eine Verbesserung der elektrischen Eigenschaften bei einfacher Prozessierung erlauben. Wie in Kapitel 3.1.3 gezeigt, konnte die Leistungsfähigkeit der Polymertransistoren durch geätzte, obenliegende Kontakte gesteigert werden. Die Übertragung dieses Prozesses auf den n-Typ-Halbleiter war indes nicht möglich. Derart hergestellte Transistoren zeigten entweder gar keinen Feldeffekt (bei Lösung in DMP) oder aber eine deutliche Verschlechterung des Ladungstransportes (bei Lösung in o-DCB). Wie

bereits auf Seite 69 diskutiert, tendieren kleine Moleküle unter dem Einfluss von Lösemitteln zu veränderter Morphologie und damit zur Degradation der elektrischen Eigenschaften.

Ähnlich wie der Aufbau mit obenliegenden Kontakten (BGTC) sind verbesserte elektrische Eigenschaften bei TGBC-Transistoren zu erwarten. Wie in Abbildung 3.1 (d) zu erkennen ist, vergrößert sich gegenüber der Standardvariante BGBC hierbei die effektive Fläche für den Ladungsträgeraustausch zwischen Halbleiter und Kontakten. Dementsprechend ist ein geringerer Kontaktwiderstand zu erwarten. Da das Dielektrikum bei Top-Gate-Prozessen direkt auf den organischen Halbleiter abgeschieden wird, ist die Materialauswahl eingeschränkt. Es kommen in der Regel nur Materialien infrage, die bei relativ niedrigen Temperaturen und ohne Plasmaprozesse abgeschieden werden. Daher werden meist organische Dielektrika, wie gelöste Polymere oder Parylen, eingesetzt. Kritisch ist das hierbei verwendete Lösemittel. Dieses darf den Halbleiter nicht lösen und muss daher möglichst orthogonale Löslichkeitseigenschaften haben (vgl. Diskussion zur Verkapselung in Kapitel 3.1.5.2). Ein weiterer Vorteil dieser Variante ist die gleichzeitige Verkapselung des Halbleiters durch die Dielektrikumsschicht.

Die Prozessierung der TGBC-Transistoren kann vergleichsweise einfach realisiert werden. Der Halbleiter wird hierbei auf zuvor strukturierte Source/Drain-Elektroden (Au) abgeschieden. In diesem Fall wurde der Halbleiter in o-DCB gelöst, daher gibt es keine Benetzungsprobleme (vgl. Abbildung 3.42 (a)). Nach der Temperung des Halbleiters wurde eine Doppelschicht zweier gelöster Polymerverbindungen als Dielektrikum aufgeschleudert.¹⁶ Die Lösemittel der Polymerschichten wurden jeweils durch Vakuumtemperung verdampft. Anschließend wurde das Gatemetall (Al) aufgedampft und durch Schattenmasken strukturiert (vgl. Abbildungen 3.42 (b) und (c)). Details zu den Prozessen finden sich in Anhang A.10.

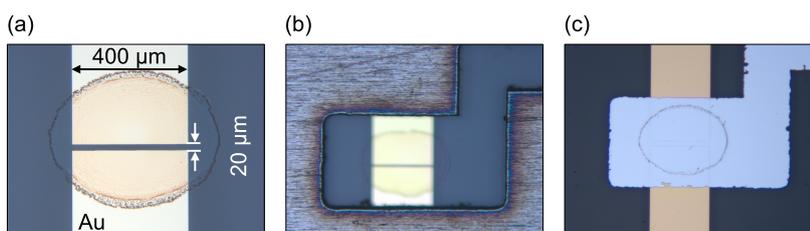


Abbildung 3.42 – Prozessierung von TGBC-Transistoren. (a) Gedruckter Halbleiter (in o-DCB) auf Au-Kontakten. (b) Schattenmaske zur Strukturierung des Gates. (c) Transistor mit aufgedampftem Gate (Al).

Die hergestellten Bauelemente wurden elektrisch charakterisiert. In Abbildung 3.43 (a) ist die repräsentative Eingangskennlinie eines funktionsfähigen Transistors gezeigt. Der Transistor zeigt ein gewöhnliches Verhalten mit geringem Sperrstrom und deutlich erkennbarem Unterschwellaufstieg. Der Stromfluss ist mit über $70 \mu\text{A}$ hoch, was auf einen optimalen Ladungstransport hindeutet. Entsprechend groß ist auch die extrahierte Ladungsträgerbeweglichkeit mit $\mu = 0,17 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Auch das Ausgangskennlinienfeld in Bild (b) deutet auf ein optimales Betriebsverhalten hin. Da keine Anlaufdiode erkennbar ist, ist der Einfluss durch den parasitären Kontaktwiderstand nicht

¹⁶ Die Auswahl der Materialien und Lösemittel erfolgte auf Empfehlung des Projektpartners BASF SE.

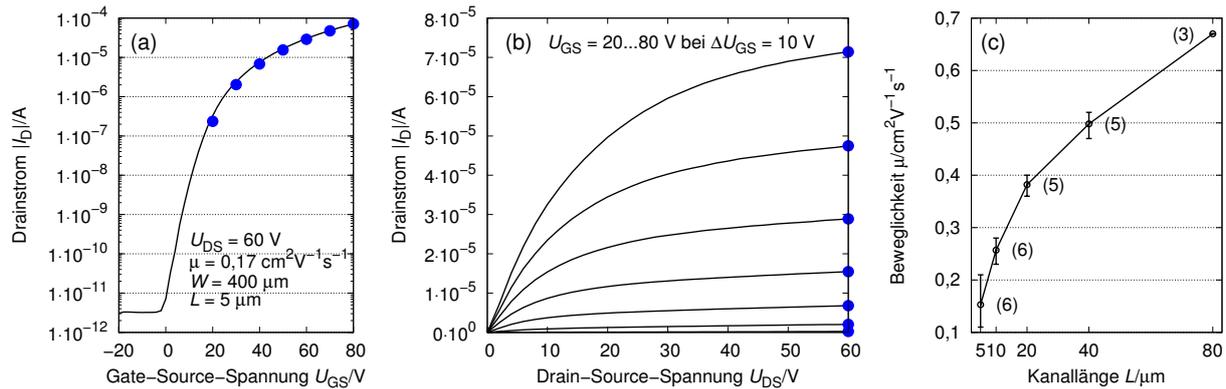


Abbildung 3.43 – (a) Eingangskennlinie eines TGBC-Transistors mit Au-Kontakten und Doppelschicht-Dielektrikum. Die blauen Punkte entsprechen den aus dem Ausgangskennlinienfeld (b) extrahierten Drainströmen bei $U_{DS} = \text{konst.} = 60 \text{ V}$. (c) Extrahierte Ladungsträgerbeweglichkeiten in Abhängigkeit der Kanallänge ($W = \text{konst.} = 400 \mu\text{m}$). Die Zahlen in Klammern geben die Anzahl der gemessenen Transistoren an.

signifikant. Die aus dem Ausgangskennlinienfeld extrahierten Drainstromwerte bei $U_{DS} = 60 \text{ V}$ entsprechen fast exakt dem Verlauf der Eingangskennlinie. Das elektrische Verhalten der Transistoren ist reproduzierbar. In Bild (c) sind die extrahierten Ladungsträgerbeweglichkeiten der ausgewerteten Bauelemente zusammengefasst. Mit zunehmender Kanallänge nimmt der Einfluss des Kontaktwiderstandes ab. Entsprechend steigt μ an.

Offensichtlich ist die TGBC-Architektur optimal für das elektrische Verhalten des Halbleiters. Die tatsächlich ermittelte Leistungsfähigkeit ist dennoch erstaunlich, wenn man die Morphologie des Halbleiters aus Lösungen in o-DCB bedenkt. Wie in Kapitel 3.2.3 festgestellt, wirkt sich der diskontinuierliche, körnige Charakter der Schicht in BGBC-Transistoren nachteilig auf den Ladungstransport aus ($\mu \approx 10^{-4} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$). Vermutlich wirken sich bei TGBC-Transistoren drei folgende Faktoren entscheidend positiv auf das elektrische Verhalten aus.

- Die vergrößerte Kontaktfläche zwischen Elektroden und Halbleiter bewirkt eine effiziente Ladungsträgerinjektion und einen geringeren Kontaktwiderstand. Hierfür spricht die fehlende Anlaufdiode im Ausgangskennlinienfeld.
- Die unpolaren Eigenschaften des Dielektrikums sind optimal für den Ladungstransport im Kanal entlang der Grenzfläche zwischen Dielektrikum und Halbleiter; die chemische Struktur enthält keine OH-Gruppen oder andere polare Gruppen, die als Ladungsträgerfallen in Betracht kommen. Daher zeigen sich die Transistoren auch relativ stabil gegenüber Schwellspannungsverschiebungen. Darauf deutet die Deckungsgleichheit von Eingangskennlinie und Ausgangskennlinienfeld hin.
- Das Dielektrikum wirkt gleichzeitig als Verkapselung und schützt den Halbleiter vor atmosphärischen Umwelteinflüssen. Auch dies verhindert aktive Ladungsträgerfallen durch Redoxprozesse mit H_2O und O_2 im Halbleiter.

Trotz der herausragenden Eigenschaften der Transistoren ist dieser Prozess für reale Anwendungen ungeeignet. Die Oberflächenrauheit des Halbleiters und die vergleichsweise hohe Leckstromdichte bei Polymerdielektrika erfordern die Abscheidung einer relativ dicken Schicht (hier kombiniert ca. 860 nm), um parasitäre Leckströme zu minimieren. Bei der geringen Permittivität von rund $\epsilon_r \approx 3,1$ ergibt sich daher eine vergleichsweise geringe Gatekapazität. Entsprechend hoch sind die erforderlichen Ansteuerspannungen. Trotz der dicken Polymerschicht betrug die Ausbeute funktionsfähiger Bauelemente nur etwa 50 %. Außerdem ist das Dielektrikum mangels Photoaktivität nicht direkt strukturierbar. Komplexe Verdrahtungen in Schaltungen erfordern aber Durchkontaktierungen zwischen unterschiedlichen Metallebenen. Außerdem ist der Prozess nicht kompatibel mit dem Polymerhalbleiter, da das Lösemittel der ersten Polymerschicht den Halbleiter rasch auflöst. Somit können keine komplementären Schaltungen realisiert werden.

3.2.7 Stabilität und Verkapselung

Organische Halbleiter n-leitenden Typs waren aufgrund ihrer chemischen Struktur lange Zeit instabil gegenüber Umwelteinflüssen durch H_2O und O_2 . Durch die gezielte Synthese elektronenarmer Verbindungen mit niedrigen LUMO-Niveaus konnte die Stabilität moderner Verbindungen deutlich gesteigert werden. Heute gehören Derivate des Perylendiimids zu den wichtigsten n-Typ-Halbleitern (vgl. Kapitel 2.2.3).

Auch das hier eingesetzt Derivat zeigt eine mehrjährige intrinsische Langzeitstabilität gegenüber atmosphärischen Umwelteinflüssen. Das Verhalten nicht verkapselter Transistoren wurde über einen Zeitraum von über 36 Monaten beobachtet. Die Bauelemente wurden dazu unter normaler Umgebungsatmosphäre bei Reinraumbedingungen und in Dunkelheit gelagert und mehrmals charakterisiert. In den Abbildungen 3.44 (a) bis (c) sind die gemessenen Eingangskennlinien und in (d) die extrahierten Ladungsträgerbeweglichkeiten abgebildet. Eine Veränderung der elektrischen Eigenschaften wird vor allem in den ersten Monaten nach der Herstellung beobachtet. Statt einer Degradation ist sogar eine leichte Erhöhung der Leitfähigkeit des Halbleiters eingetreten. Entsprechend erhöht sich die Ladungsträgerbeweglichkeit der gealterten Transistoren. Im zweiten Beobachtungszeitraum ist außer einer leicht zunehmenden Variation der Schwellspannungen keine wesentliche Veränderung der Eigenschaften eingetreten. Die Veränderung der Schwellspannung kann allerdings nicht isoliert auf Alterungsmechanismen zurückgeführt werden.

Trotz der beachtlichen Stabilität des Halbleiters ist eine Verkapselung der Transistoren erforderlich. Diese Notwendigkeit ergibt sich aus prozesstechnischen Überlegungen. Zur Realisierung komplementärer Schaltungen ist ein weitgehend einheitlicher Herstellungsprozess für beide Halbleitertypen wünschenswert. Im Falle des Polymerhalbleiters wird aber erst durch Verkapselung ei-

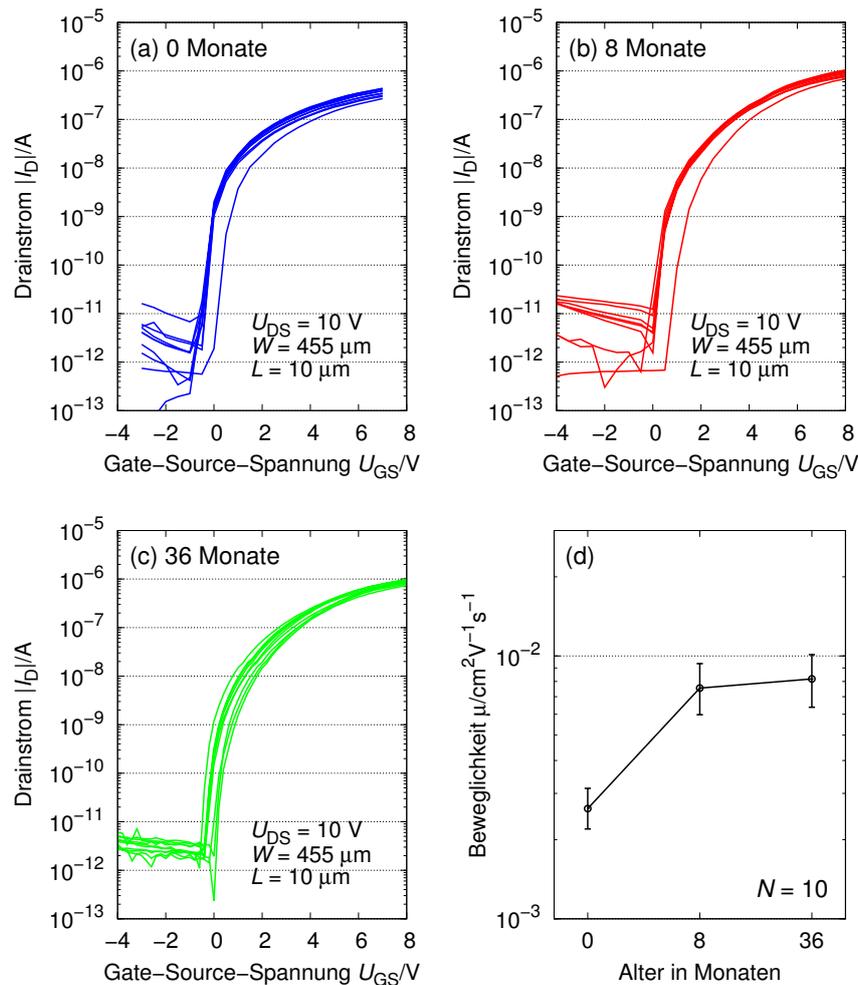


Abbildung 3.44 – Beobachtung der Alterung durch Umwelteinflüsse. Die Transistoren (BGBC, nicht verkapselt, Au-Kontakte geätzt, Lösemittel Tetralin) wurden bei Dunkelheit und unter normalen Umgebungsbedingungen gelagert. Bilder (a) bis (c) zeigen die gemessenen Eingangskennlinien der Transistoren. In (d) sind die extrahierten Ladungsträgerbeweglichkeiten zusammengefasst.

ne Stabilisierung des elektrischen Verhaltens erreicht. Komplexe Systeme wie Anzeigen umfassen außerdem weitere Schichten, die auf der Schaltungsebene realisiert werden müssen. Der Halbleiter muss daher durch Verkapselung vor weiteren Prozessschritten geschützt werden.

Als Materialien zur Verkapselung wurden verschiedene lösemittelbasierte Photolacke und Polymere, sowie eine gesputterte, anorganische Schicht untersucht. In Tabelle 3.7 sind die getesteten Materialien mit weiteren Kommentierungen zusammengefasst. Als Grundlage dienten Transistoren, deren Halbleiter aus Lösung in DMP verdruckt und durch Wannenstrukturen aus PC403 lokalisiert wurde. Die Verkapselung des n-Typ-Halbleiters gestaltete sich im Vergleich mit dem Polymerhalbleiter ungleich schwerer. Sämtliche untersuchte Materialien wirkten sich signifikant verschlechternd auf das elektrische Verhalten der Transistoren bishin zum völligen Ausbleiben des Feldeffekts aus. Eine Verschlechterung bei Polymeren basierend auf nicht orthogonalen Lösemitteln (ARP, SU-8) und bei Plasmaprozessen (Ta_2O_5) erscheint folgerichtig. Allerdings wurden

Tabelle 3.7 – Untersuchte Verkapselungen für BGBC-Transistoren mit gedrucktem Halbleiter aus Lösung in DMP. Lösemittelbestandteile der Photolacke entnommen aus Sicherheitsdatenblättern.

Material	Lösemittel	Anmerkung	Ergebnisse
OSCoR (Negativlack)	Hydrofluoroether	orthogonal	TFT-Charakteristik nach Verkapselung, aber signifikante Verschlechterung
ARP (Positivlack)	1-Methoxy-2-propylacetat	nicht orthogonal	kein Feldeffekt
Ta ₂ O ₅	–	gesputterte Schicht	kein Feldeffekt
SU-8 (Negativlack)	Cyclopentanon, Propylencarbonat	nicht orthogonal	kein Feldeffekt
PVCH/PMMA	Cyclohexan/Butylacetat	Materialkombination für Dielektrikum in TG-TFTs	kein Feldeffekt
Polyvinylalkohol (PVA)	Wasser	orthogonal	PVA benetzt schlecht auf PC403-Wannen und Halbleiter, nur vereinzelt gute TFT-Charakteristik, nicht reproduzierbar
Poly(melamin-co-formaldehyd) (PMF)	n-Butylalkohol	orthogonal	Bildet klebrigen Film, kein Feldeffekt

auch Materialien basierend auf orthogonalen Lösemitteln untersucht. Insbesondere die Verwendung des Photolacks OSCoR als Verkapselung erscheint nach den positiven Ergebnissen mit dem Polymerhalbleiter vielversprechend. Trotzdem kam es zu einer signifikanten Verschlechterung der elektrischen Charakteristik. Auch die anderen Materialien basierend auf orthogonalen Lösemitteln (PVA, PMF) konnten nicht erfolgreich eingesetzt werden. Ebenso führte die Verwendung von PVCH/PMMA zur Störung des Feldeffekts. Dies ist insofern zunächst überraschend, da diese Doppelschicht erfolgreich als Dielektrikum in TGBC-Transistoren eingesetzt wird und man daher intuitiv von einer Eignung ausgehen würde (vgl. Kapitel 3.2.6). Allerdings basieren diese Ergebnisse auf der Halbleitermorphologie resultierend aus Lösungen in o-DCB. Insgesamt lässt dies den Schluss zu, dass die Problematik der Verkapselung des n-Typ-Halbleiters vermutlich durch dessen empfindliche Kristallstruktur begründet werden kann. Halbleiterschichten aus o-DCB sind aufgrund des körnigen Charakters und der höheren Konzentration dieser Lösung wesentlich dicker und robuster als die dünnen Schichten aus Lösungen in DMP. Die getesteten Verkapselungen basierend auf orthogonalen Lösemitteln könnten den Halbleiter daher durch mechanische Beanspruchungen schädigen und zu feinsten Rissen im Kristallgefüge führen. Dafür spricht auch, dass die optische Anisotropie des Halbleiters in diesen Fällen erhalten bleibt.

Entsprechend dieser Vermutung wurde der Einfluss der Verkapselung durch OSCoR auf das Verhalten der Transistoren untersucht, wobei der Halbleiter aus Lösungen in o-DCB verdruckt wurde. Die Transistoren wurde jeweils vor und nach der Verkapselung charakterisiert. Die Messergebnisse sind in den Abbildungen 3.45 (a) bis (c) zusammengestellt. Offensichtlich kommt es durch die Verkapselung nicht zu einer wesentlichen Änderung der elektrischen Eigenschaften. Insbesondere hat

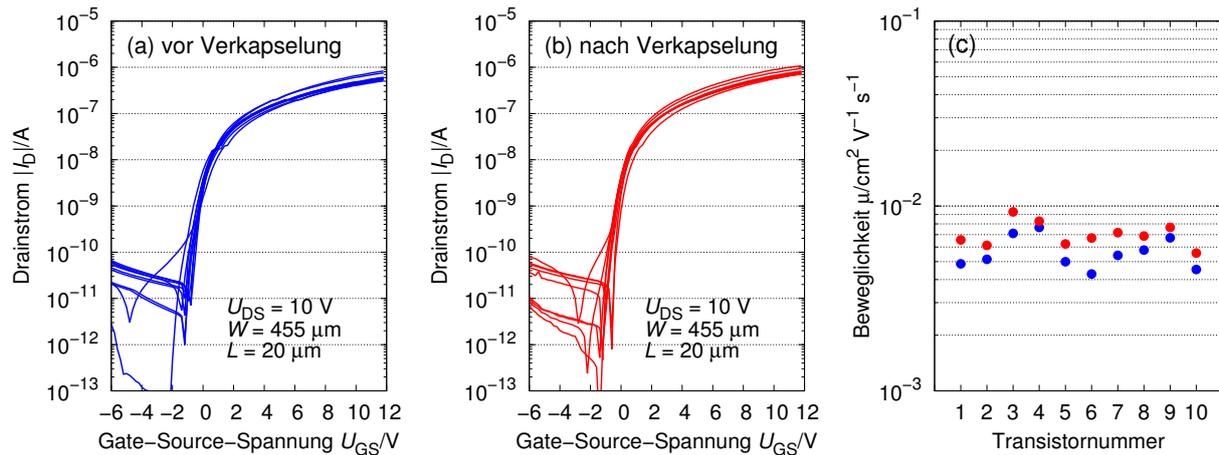


Abbildung 3.45 – Einfluss der Verkapselung durch OSCoR auf Transistoren (BGBC, Au-Kontakte geätzt) mit robuster Halbleitermorphologie (Lösemittel o-DCB). (a) Eingangskennlinien vor und (b) nach der Verkapselung und (c) Vergleich der extrahierten Ladungsträgerbeweglichkeiten.

die Verkapselung auch auf die Schwellspannung keinen signifikanten Einfluss. Diese Ergebnisse stehen im Widerspruch zur Verkapselung des Halbleiters aus Lösungen in DMP und bestärken die Vermutung, dass neben der Lösemittelorthogonalität die mechanische Robustheit der Schicht entscheidend sein kann. Eine Stabilisierung des elektrischen Verhaltens durch die Verkapselung, wie beim Polymerhalbleiter beobachtet, ist allerdings nicht eingetreten. Da der Halbleiter bereits eine hohe intrinsische Stabilität gegenüber Umwelteinflüssen ausweist, wirkt sich die Verkapselung nicht entscheidend positiv aus. Die typischerweise beobachtete Verschiebung der Schwellspannung unter elektrischer Beanspruchung ist daher vermutlich vor allem auf Grenzflächeneffekte am Dielektrikum zurückzuführen.

3.3 Zusammenfassung und Bewertung der Prozesse

In den beiden voranstehenden Kapiteln wurden Prozesse für Transistoren mit gedrucktem Halbleiter vorgestellt. Hierbei kamen zwei unterschiedliche Materialien, ein Polymerhalbleiter und ein Perylenderivat, zum Einsatz. Aufbauend auf einem Basisprozess (BGBC) wurden grundsätzliche Untersuchungen vor allem über das Benetzungsverhalten der Halbleiterlösungen, die morphologischen Eigenschaften des Halbleiterfilms, sowie Kontakteffekte und deren Auswirkungen auf das elektrische Verhalten durchgeführt. Außerdem wurden Spezialprozesse für alternative Transistorarchitekturen zur Leistungssteigerung, sowie Materialien zur Verkapselung des Halbleiters untersucht. Die Ergebnisse dieser Untersuchungen zeigen, dass die Halbleiter unterschiedliche Anforderungen an einen auf optimalen Betrieb abgestimmten Herstellungsprozess haben. Im folgenden Abschnitt werden die wichtigsten Ergebnisse für die einzelnen Halbleiter zusammengefasst und

hinsichtlich derer praktischen Umsetzbarkeit bewertet. Insbesondere werden Gemeinsamkeiten für einen kompatiblen Herstellungsprozess in komplementären Schaltungen gesucht und Parameter herausgestellt, die ebendies verhindern.

Der Polymerhalbleiter zeichnet sich durch ein unproblematisches Benetzungsverhalten auf vielen Oberflächen aus und trocknet auf der beheizten Druckerplatte innerhalb weniger Sekunden. Hilfsstrukturen zur Lokalisierung des Halbleiters sind daher grundsätzlich nicht erforderlich. Falls besondere Anwendungen eine hohe Integrationsdichte und somit eine Verkleinerung des Flächenbedarfs der Transistoren erfordern, können strukturierte Monolagen den Halbleiter auf den vorgesehenen Bereich begrenzen. Die Morphologie des Halbleiters wird durch den Druckprozess beeinflusst und wirkt sich messbar auf die elektrischen Eigenschaften der Transistoren aus. Bei ungeeigneten Transistorgeometrien entstehen überlappende Halbleiterschichten durch den diskontinuierlichen, mehrzeiligen Druckprozess. An diesen Stellen kommt es zu Defekten in der Morphologie, was die Dichte der Ladungsträgerfallen erhöht. Daher haben sich elliptische bzw. generell längliche Geometrien, die in einem Zug bedruckt werden können, als besonders geeignet erwiesen. Dann neigt der Halbleiter zur Bildung kristalliner, schuppenartiger Domänen mit regelmäßiger Verteilung entlang des Transistorkanals. Dies wirkt sich auf die Homogenität der Eingangskennlinien positiv aus. Im Basisprozess werden Ladungsträgerbeweglichkeiten im Bereich von $10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ erreicht. Die Leistung der Transistoren konnte durch eine alternative Architektur mit oberliegenden Kontakten (BGTC) gesteigert werden, was zu einer Erniedrigung des Kontaktwiderstands führte. Die Kontakte wurden dazu durch konventionelle Prozesse nasschemisch auf dem Halbleiter strukturiert. Der Halbleiter wurde durch diese Prozedur nicht geschädigt. Als Kontaktmetall ist vor allem Gold wegen seines vergleichsweise geringeren Kontaktwiderstandes geeignet, aber auch Silber kommt infrage. Eine weitere Leistungssteigerung wurde durch Funktionalisierung des Gateoxids mit Alkylphosphonsäuren erreicht. Dadurch konnte die Ladungsträgerbeweglichkeit auf Werte um $10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ erhöht werden. Allerdings ändern sich durch die Funktionalisierung die Benetzungseigenschaften des Gates. Die Lokalisierung des Halbleiters ist dann nicht mehr sichergestellt. Daher ist dieser Prozess für reale Anwendungen ungeeignet. Der Halbleiter kann durch einen Photolack basierend auf orthogonalen Lösemitteln verkapselt werden (OSCoR). Das fluorierte Material ist stark hydrophob und hat sich als effiziente Wasserbarriere erwiesen. Derart verkapselte Bauelemente zeigen eine verbesserte Langzeitstabilität gegenüber Umwelteinflüssen und eine Stabilisierung der elektrischen Eigenschaften.

Gegenüber dem Polymerhalbleiter zeigt sich die Prozessierbarkeit des Perylenderivats wesentlich vielgestaltiger. Allein die Wahl des Lösemittels bedingt signifikant unterschiedliche Benetzungseigenschaften, beeinflusst die Morphologie und somit die Leistungsfähigkeit entscheidend. Lösemittel mit einem relativ hohen Dampfdruck (o-DCB, Tetralin) verdampfen rasch und sorgen für eine unproblematische Benetzung der zu bedruckenden Transistorstrukturen. Der Trocknungsvorgang

der Halbleiterlösung in DMP benötigt aufgrund des niedrigen Dampfdrucks hingegen mehrere Minuten. Dies ist aus fertigungstechnologischer Sicht äußerst kritisch zu bewerten. Während der Trocknung kommt es außerdem zur willkürlichen Wanderung des Nassfilms, sodass die endgültige Lage des getrockneten Halbleiters nicht reproduzierbar ist. Daher wurden technologische Maßnahmen untersucht, um den Halbleiter sicher auf den gewünschten Bereich zu lokalisieren. Die Wahl des Lösemittels beeinflusst außerdem die resultierende Morphologie des Halbleiters entscheidend. Der Halbleiter tendiert bei Lösung in o-DCB (und ähnlich bei Tetralin) zur Bildung eines weitgehend amorphen, diskontinuierlichen Films mit ausgeprägt körnigem Charakter. Dagegen bildet der Halbleiter bei Lösung in DMP einen ebenen, flächig ausgedehnten, geschlossenen, polykristallinen Film. Die Fernordnung des Kristalls kann durch dessen optische Anisotropie visualisiert werden. Der Halbleiter kristallisiert natürlicherweise in einer rundlichen Form mit radialer Verteilung der Korngrenzen. Daher eignen sich besonders Transistorgeometrien mit kreisförmigem Kanal. Im Basisprozess werden in Abhängigkeit des Lösemittels Ladungsträgerbeweglichkeiten zwischen $10^{-4} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ (o-DCB) und $10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ (DMP) erreicht.

Für das Lösemittel DMP wurden einzelne Prozesse genauer untersucht und optimiert. Dabei beeinflusst die Art der Strukturierung der Source/Drain-Elektroden den Metall-Halbleiterübergang signifikant. Aufgrund des steilen, tendentiell überhängenden Profils bei geätzten Elektroden ist die Benetzung in diesem Bereich gestört und es kann nicht ausgeschlossen werden, dass der dünnen Halbleiterfilm sogar von den Kanten abreißt. Der schlechte Kontakt wirkt sich durch starkes Rauschen der Eingangskennlinien aus. Werden die Elektroden dagegen durch Lift-Off strukturiert, bewirkt das rundliche, tendentiell auslaufende Profil eine verbesserte Kantenbenetzung. Entsprechend verringert sich das Rauschen durch den optimierten elektrischen Kontakt. Entscheidend für einen optimalen Metall-Halbleiterübergang ist die Wahl des geeigneten Metalls, hier Silber. Durch diese Anforderung ergeben sich aber Einschränkungen bei den Prozessen zur Lokalisierung des Halbleiters. Durch den optimierten Kontakt werden Ladungsträgerbeweglichkeiten um $10^{-1} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ erreicht. Zur Lokalisierung des Halbleiters wurden zwei Ansätze untersucht. Die Einschränkung der benetzbaren Fläche durch hydrophobe Monolagen begrenzt den Halbleiter reproduzierbar auf den vorgesehenen Bereich und kann auch beim Polymerhalbleiter erfolgreich angewendet werden. Allerdings können die Kontakte vor dem Drucken des Halbleiters nicht durch Zerstäubungsätzen gereinigt werden, da dies die Monolagen zerstören würde. Lackrückstände und native Verunreinigungen auf den Elektroden verschlechtern den elektrischen Kontakt aber derart, dass diese Methode ausscheidet. Als Alternative wurden strukturierte Wannens aus Photolacken untersucht, die die Halbleiterlösung einschließen sollen. Diese Vorstellung musste revidiert werden. Aufgrund der Benetzungseigenschaften des Lacks werden nach dem Drucken großflächige Bereiche um die Wannens herum benetzt. Dennoch wirken die Wannens als Nukleationspunkt für die Kristallisation, sodass der Halbleiter sich während der Trocknung sicher auf den gewünschten Bereich zurückzieht und den aktiven Bereich des Transistors reproduzierbar benetzt.

Auch für das Perylenderivat wurden alternative Konfigurationen zur Optimierung der elektrischen Eigenschaften untersucht. Die nasschemische Strukturierung metallischer Kontakte auf dem Halbleiter (BGTC) konnte – im Gegensatz zum Polymerhalbleiter – nicht erfolgreich getestet werden, da der Halbleiter geschädigt wurde. Dagegen lieferte ein Prozess mit obenliegendem Gate und aufgeschleudertem Polymerdielektrikum (TGBC) beeindruckende Ergebnisse. Obwohl der Halbleiter in der ungeeigneten Morphologie resultierend aus o-DCB vorlag, wurde gegenüber BGBC-Transistoren eine Steigerung der Ladungsträgerbeweglichkeit um drei Größenordnungen auf Werte um $10^{-1} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ und eine Stabilisierung der Schwellspannung erreicht. Allerdings ist das Lösemittel des Dielektrikums nicht mit dem Polymerhalbleiter kompatibel, sodass ein gemeinsamer Prozess ausgeschlossen ist. Außerdem verursacht diese Konfiguration hohe Ansteuerspannungen, insbesondere dann, wenn das Dielektrikum genügend dick ist, um eine hinreichende Ausbeute zu gewährleisten und ist somit für reale Anwendungen ungeeignet.

Transistoren mit Perylenderivat sind bereits intrinsisch über einen mehrjährigen Zeitraum stabil gegenüber Umwelteinflüssen. Eine Verkapselung des Halbleiters ist dennoch notwendig. Keines der getesteten Materialien war allerdings zur Verkapselung des Halbleiters aus Lösung in DMP geeignet. Vermutlich kommt es zur mechanischen Schädigung des empfindlichen, dünnen Halbleiterfilms. Die Verkapselung des robusteren Halbleiterfilms aus Lösung in o-DCB mit OSCoR-Lack ist dagegen möglich und kompatibel zum Polymerhalbleiter.

Die einzelnen Ergebnisse der untersuchten Prozesse und Variationen sind in Tabelle 3.8 für die verschiedenen Halbleiterlösungen zusammengefasst. Die Tabelle gibt einen Überblick über die jeweils erforderlichen Maßnahmen für ein optimales Verhalten der Transistoren im Einzelprozess. Außerdem können Überschneidungen und Ausschlusskriterien für einen gemeinsamen Fertigungsprozess für komplementäre Schaltungen abgeleitet werden.

Für den komplementären Betrieb sind möglichst ähnliche Eigenschaften der Transistoren erforderlich. Unterschiede in der Leitfähigkeit (ausgedrückt durch die Ladungsträgerbeweglichkeit) können in der Regel durch Anpassung der Kanalweite der Transistoren ausgeglichen werden. Die Möglichkeit der Anpassung über die Weite wird aber bei zu großen Abweichungen technologisch unrealistisch. Daher ist beispielsweise ein gemeinsamer Prozess (BGBC) mit Polymerhalbleiter und Perylenderivat aus Lösung in DMP und Lokalisierung durch PC403-Wannen nicht möglich (Differenz von μ um zwei Größenordnungen). Wird außerdem eine gemeinsame Verkapselung des Halbleiters gefordert, reduzieren sich die Überschneidungen auf den einfachen Basisprozess ohne Hilfsstrukturen zur Lokalisierung des Halbleiters. Ein Freiheitsgrad besteht noch in der Wahl des Lösemittels für das Perylenderivat (o-DCB oder Tetralin).

Tabelle 3.8 – Überblick über die Eignung unterschiedlicher Prozesse und Prozessvariationen für die verschiedenen Halbleiterlösungen.
Perylderivat gelöst in...

Parameter	o-DCB	Tetralin	DMP	Polymerhalbleiter	Anmerkungen
Benetzungsverhalten im Basisprozess	unproblematisch	unproblematisch	Hilfsstrukturen erforderlich	unproblematisch	Bei DMP großflächige Benetzung und willkürliche Wanderung des Nassfilms während der Trocknung, Halbleiter nicht Iokalierbar.
Trocknungsdauer	wenige Sekunden	wenige Sekunden	mehrere Minuten	wenige Sekunden	Bei DMP lange Trocknungsdauer über ca. 20 min.
Typ. $\mu/\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$	10^{-4}	10^{-3}	10^{-2}	10^{-3}	Basisprozess ohne Optimierungen.
Beworzugtes Metall für S/D	nicht getestet	nicht getestet	Ag	Au bevorzugt, Ag auch möglich	Bei o-DCB, Tetralin Basisprozess mit Au.
Beworzugte Strukturierung für S/D	nicht getestet	nicht getestet	Lift-Off	Lift-Off oder Ätzen	Bei o-DCB, Tetralin vermutlich egal.
Verkapselung	OSCoR	OSCoR	nicht möglich	OSCoR	Bei Tetralin vermutlich OSCoR möglich.
Top Contacts	nicht möglich	nicht möglich	nicht möglich	möglich	Bei Polymerhalbleiter Au und Ag durch konventionelles Ätzen getestet.
Top Gate	möglich $\mu \approx 10^{-1} \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$	möglich $\mu \approx 10^{-1} \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$	nicht getestet	nicht möglich	Polymerhalbleiter wird in Cyclohexan (Lösungsmittel für PVCH) gelöst.
Lokalisierung durch Monolagen	nicht erforderlich/ nicht getestet	nicht erforderlich/ nicht getestet	nicht möglich	nicht erforderlich, aber möglich	Bei DMP nicht möglich, da Zerstäubungsätzen vor Bedruckung notwendig. Bei Polymerhalbleiter möglich, wenn kleine Strukturgrößen erforderlich.
Lokalisierung durch PC403-Wannen	nicht erforderlich/ nicht getestet	nicht erforderlich/ nicht getestet	möglich $\mu \approx 10^{-1} \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$	nicht erforderlich, aber möglich	Bei DMP weiträumige Benetzung um die Wannenstruktur herum. Nassfilm zieht sich während Trocknung auf gewünschten Bereich zurück.

4 Anwendungen

Organische Transistoren eignen sich aufgrund des niedrigen Temperaturbereichs bei der Herstellung für den Einsatz auf flexiblen Foliensubstraten. Da hierbei Drucktechniken zum Einsatz kommen, ist eine besonders kostengünstige Herstellung grundsätzlich möglich. Potentielle Anwendungsfelder sind daher im Bereich der Wegwerfelektronik und für den mobilen Einsatz angesiedelt. Typischerweise steht für solche Anwendungen keine stationäre elektrische Energieversorgung zur Verfügung. Die Energieversorgung muss daher auf dem Substrat integriert werden. Hierfür kommen vor allem Dünnschichtbatterien, -solarzellen oder auch Methoden der berührungslosen Energieübertragung in Betracht. Aufgrund der begrenzten Kapazität dieser Energiequellen müssen potentielle Anwendungen energiesparend ausgelegt werden. Vor diesem Hintergrund wurden die gedruckten Transistoren mit einem niedrigen Spannungsniveau entwickelt. In diesem Kapitel werden die entwickelten Herstellungsprozesse auf ihre Eignung in realen Anwendungen hin untersucht. Hierzu wurden Schaltungselemente basierend auf unterschiedlichen Schaltungstechniken und eine elektrophoretische Anzeige mit gedruckter Ansteuermatrix realisiert.

4.1 Schaltungen mit gedruckten Transistoren

Für energiesparende Schaltungen eignet sich vor allem die komplementäre Schaltungstechnik. In der konventionellen Elektronik wird diese Technologie CMOS genannt.¹ Sie ist eine bipolare Schaltungstechnik und dadurch gekennzeichnet, dass sowohl p- als auch n-Kanal-Transistoren eingesetzt werden. Dies macht die Realisierung anspruchsvoller, da die Transistoren möglichst ähnliche elektrische Eigenschaften aufweisen sollten und die Herstellung in einem gemeinsamen Prozess stattfindet. Daher wurde auch eine unipolare Schaltungstechnik basierend auf p-Kanal-Transistoren untersucht. Diese erfüllt allerdings nicht die Anforderungen an einen energiesparenden Betrieb. Als Hauptproblem hat sich bei den komplementären Schaltungen die Stabilität der Schwellspannungen während des Betriebs erwiesen. Diese Problematik hat sich im unipolaren Betrieb als unkritischer herausgestellt.

¹ CMOS (engl.) = Complementary Metal-Oxide-Semiconductor

4.1.1 Komplementäre Schaltungen

Die einfachste komplementäre Grundschaltung ist ein Inverter, der durch zwei miteinander verschalteten Transistoren unterschiedlichen Typs aufgebaut wird (vgl. Abbildung 4.1 (a)).

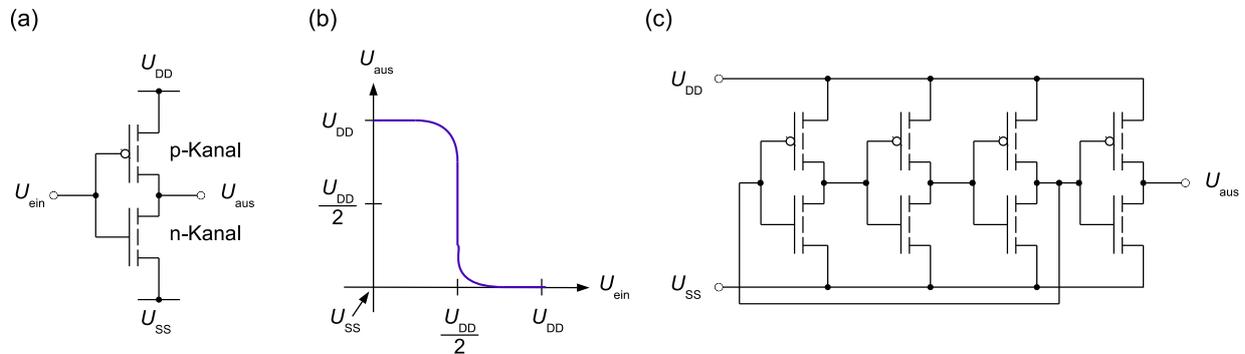


Abbildung 4.1 – (a) Inverter in komplementärer Schaltungstechnik mit p- und n-Kanalzweig und Bezeichnung der Anschlüsse. (b) Übertragungskennlinie $U_{aus} = f(U_{ein})$ eines idealen Inverters. (c) Dreistufiger Ringoszillator mit Ausgangsstufe.

Im statischen Betrieb ist immer ein Zweig des Inverters im Idealfall vollständig sperrend geschaltet, sodass kein leitender Strompfad zwischen U_{DD} und U_{SS} zustande kommt. Die Ausgangsspannung U_{aus} folgt dann der invertierten Eingangsspannung U_{ein} (vgl. Tabelle 4.1). Im binären statischen Betrieb fließt nur ein sehr kleiner, in der Regel vernachlässigbarer Strom durch den sperrenden Transistor. Im Umschaltzeitpunkt gelangt der jeweils sperrende Transistor allmählich in den Sättigungsbetrieb und wirkt kurzzeitig als resistive Last. Nur dann fließt durch den Inverter ein nennenswerter Strom. In realen Digitalschaltungen sind die Taktflanken sehr steil und die Signalpegel befinden sich zeitlich betrachtet überwiegend im statischen Zustand. Daher ist die Verlustleistung in komplementärer Schaltungstechnik sehr gering und daher anderen Schaltungstechniken überlegen.

Tabelle 4.1 – Statischer Betriebszustand eines komplementären Inverters.

U_{ein}	$U_{GS,n}$	$U_{GS,p}$	U_{aus}
U_{DD}	U_{DD}	$0V$	U_{SS}
U_{SS}	$0V$	$-U_{DD}$	U_{DD}

Inverter werden üblicherweise symmetrisch dimensioniert. Das setzt voraus, dass sich die beiden Transistoren – bis auf das Vorzeichen – identisch verhalten. Durch die symmetrische Auslegung des Inverters befindet sich der Umschaltzeitpunkt bei $U_{ein} = \frac{1}{2} U_{DD}$ und die Übertragungskennlinie $U_{aus} = f(U_{ein})$ ist in diesem Punkt idealerweise unendlich steil (vgl. Abbildung 4.1 (b)). Daher verfügen komplementäre Inverter über einen robusten Entscheidungsbereich und können degenerierte Eingangspegel wiederherstellen. Für eine symmetrische Übertragungskennlinie müssen

die Ströme durch beide Transistoren betragsmäßig gleich groß sein, d.h. $I_{D,n} = |I_{D,p}|$. Da sich im Punkt $\left(\frac{U_{DD}}{2} \mid \frac{U_{DD}}{2}\right)$ beide Transistoren in Sättigung befinden, folgt aus der Stromgleichung 2.4 mit $\beta_i = \mu_i C_D W_i L_i^{-1}$ und $i = \{n, p\}$

$$\begin{aligned} \frac{1}{2} \beta_n (U_{GS,n} - U_{th,n})^2 &= \frac{1}{2} \beta_p (U_{GS,p} - U_{th,p})^2 \\ \beta_n (U_{ein} - U_{th,n})^2 &= \beta_p (U_{ein} - U_{DD} - U_{th,p})^2. \end{aligned} \quad (4.1)$$

Mit $U_{ein} = \frac{1}{2} U_{DD}$ ergibt sich

$$\beta_n \left(\frac{U_{DD}}{2} - U_{th,n} \right)^2 = \beta_p \left(-\frac{U_{DD}}{2} - U_{th,p} \right)^2 \quad (4.2)$$

und da für einen symmetrischen Betrieb $U_{th,n} \approx -U_{th,p}$ erfüllt sein muss, folgt die Forderung $\beta_n = \beta_p$. Für identische Kanallängen $L_n = L_p$ erhält man schließlich die Dimensionierungsvorschrift

$$\frac{\mu_n}{\mu_p} = \frac{W_p}{W_n}. \quad (4.3)$$

Dies bedeutet, dass Unterschiede in der Ladungsträgerbeweglichkeit durch Anpassung des Weitenverhältnisses angepasst werden können. Aus technologischer Sicht ist eine zu starke Abweichung zwischen μ_n und μ_p kritisch, da dies den Platzbedarf der Bauelemente erhöht. Realistischerweise können Abweichungen allenfalls bis zu einer Größenordnung noch ausgeglichen werden. Um ein symmetrisches Schalten des Inverters dauerhaft zu gewährleisten, ist es ferner erforderlich, dass die Schwellspannungen während des Betriebs möglichst stabil sind. Aufgrund der geforderten ähnlichen Transistoreigenschaften sollten sich auch mögliche Alterungserscheinungen in beiden Fällen ähneln.

In Abbildung 4.1 (c) ist ein dreistufiger Ringoszillator mit Ausgangsstufe abgebildet. Ringoszillatoren eignen sich zur Ermittlung der maximal möglichen Schaltfrequenz der eingesetzten Transistortechnologie. Sie bestehen aus einer ungeraden Anzahl hintereinander geschalteter Inverter, wobei der Ausgang der letzten Stufe auf den Eingang der ersten Stufe zurückgeführt wird. Die Ausgangsstufe dient der Auskopplung des Ausgangssignals und vermindert Rückwirkungen durch

die Messung auf den Oszillator. Durch Anlegen der Versorgungsspannungen wird der Oszillator zur Schwingung angeregt. Die Periodendauer T_p einer Schwingung beträgt dann

$$T_p = 2N_I t_V, \quad (4.4)$$

mit der Anzahl N_I (gleichartiger) Inverter mit der Verzögerungszeit t_V . Damit beträgt die Frequenz der Schwingung $f = T_p^{-1} = 1/(2N_I t_V)$.

4.1.1.1 Realisierung von Schaltungselementen

Aufgrund der geforderten Ähnlichkeit der Transistortypen und der notwendigen Prozesskompatibilität ergeben sich bei der Realisierung komplementärer Schaltungen erhebliche Einschränkungen. Eine Zusammenfassung der entwickelten Prozesse findet sich in Kapitel 3.3 und in Tabelle 3.8. Die große Auswahl möglicher Prozesse reduziert sich bereits aufgrund der erheblich unterschiedlichen Ladungsträgerbeweglichkeiten. So werden für das Perylenderivat mit dem Lösemittel DMP $\mu_n \approx 0,1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ erreicht, während mit dem Polymerhalbleiter typische Werte um $\mu_p \approx 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ erreicht werden. Eine solche Differenz um zwei Größenordnungen kann durch Anpassung der Transistorweiten nicht ausgeglichen werden. Außerdem ergibt sich eine zweite wesentliche Einschränkung durch die Anforderung der Verkapselung der Bauelemente. Dies ist beim Perylenderivat nur bei robuster Morphologie des Halbleiters aus Lösungen in o-DCB und Tetralin möglich. Daher ist der Basisprozess die größtmögliche Schnittmenge für einen gemeinsamen Prozess für p- und n-Kanal-Transistoren. In Tabelle 4.2 sind die wesentlichen Merkmale zusammengefasst.

Tabelle 4.2 – Wesentliche Merkmale des gemeinsamen BGBC-Prozesses für komplementäre Schaltungen.

Parameter	Beschreibung
Dielektrikum	60 nm anodisiertes Aluminiumoxid
Source/Drain	Gold, gesputtert und nasschemisch strukturiert
Lösemittel	o-DCB für Perylenderivat
Lokalisation	nicht erforderlich in beiden Fällen
Verkapselung	OSCoR

Zur Realisierung von Schaltungen musste der Basisprozess um die Möglichkeit von Durchkontaktierungen (Vias) zwischen den Verdrahtungsebenen erweitert werden. Das anodisierte Oxid lässt sich nicht selektiv zum darunterliegenden Aluminium entfernen. Daher müssen Bereiche, in denen eine elektrisch leitende Verbindung zwischen der Gate-Ebene und der Source/Drain-Metallisierung

hergestellt werden soll, vor der Anodisierung durch Photolack abgedeckt werden. Dies verhindert die Oxidation des Aluminiums unter den maskierten Bereichen. Außerdem müssen sämtliche Gatestrukturen zur Anodisierung elektrisch miteinander verbunden sein, auch wenn dies die Funktion der Schaltung nicht erfordert. Diese Verbindungen werden ebenfalls mit Photolack abgedeckt, um in einem späteren Prozessschritt einfacher entfernt werden zu können. Es werden also zwei weitere Lithographiemasken benötigt (Via/No Oxide und Remove Gate).

4.1.1.2 Charakterisierung

Im Zuge dieser Arbeit wurden Inverter und Ringoszillatoren realisiert und auf deren Funktion und Stabilität hin untersucht, um die Eignung der entwickelten Transistorprozesse für komplementäre Schaltungen zu beurteilen. Im frühen Stadium der Prozessentwicklung stand noch keine Verkapselung für die Transistoren zur Verfügung. Auswirkungen auf das Verhalten der Schaltungselemente aufgrund von Umwelteinflüssen konnten somit nicht ausgeschlossen werden. Daher dienten diese Ergebnisse zunächst der Untersuchung der grundlegenden Realisierbarkeit.

Es wurden Inverter und Ringoszillatoren mit unterschiedlichen Transistorgeometrien hergestellt, wobei die unterschiedlichen Stromflüsse durch die p- und n-Kanalzweige durch Anpassung der Weitenverhältnisse ausgeglichen wurden [6]. Zur Dimensionierung wurde ein Verhältnis $\frac{W_n}{W_p} \approx \frac{8}{1}$ bei konstanter Kanallänge festgelegt. Durch die Weitenanpassung wurden betragsmäßig annähernd symmetrische Drainströme erzielt, wie beispielhaft in Abbildung 4.2 verdeutlicht wird. Unter den getesteten Transistorgeometrien wurden aufgrund der Bedruckbarkeit einfache Geometrien, wie in den Abbildungen 4.3 (a) und (b) gezeigt, bevorzugt und als geeignet identifiziert. Speziellere Geometrien, die das Transistorverhalten optimieren (siehe Kapitel 3.1.2), wurden erst zu einem späteren Zeitpunkt untersucht und in den Schaltungselementen der zweiten Generation eingesetzt.

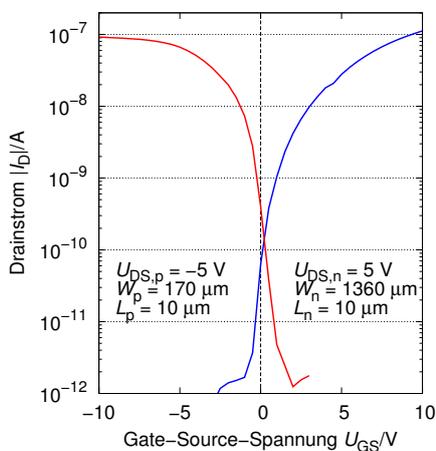


Abbildung 4.2 – Vergleich der Eingangskennlinien von n- und p-Kanal-Transistoren mit einem Weitenverhältnis von $W_p : W_n = 1 : 8$. Die Geometrie entspricht den Transistoren des Ringoszillators in Abbildung 4.3 (b). Messdaten entnommen aus [6].

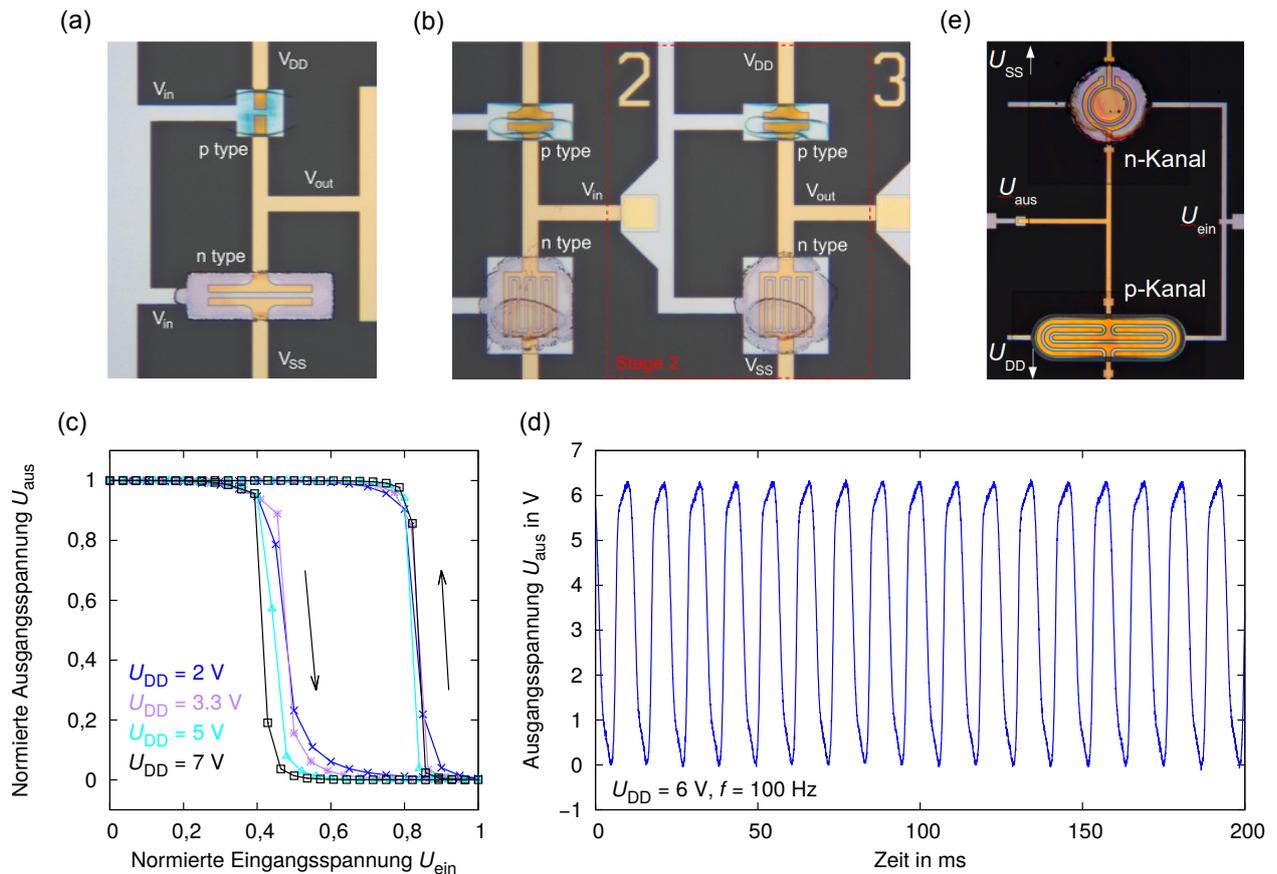


Abbildung 4.3 – (a) Realisierter Inverter in komplementärer Schaltungstechnik mit p- und n-Kanalzweig ($W_n = 400\mu\text{m}$, $W_p = 50\mu\text{m}$, $L_n = L_p = 20\mu\text{m}$). (b) Ausschnitt der zweiten Stufe eines Ringoszillators. (c) Übertragungskennlinien eines Inverters bei unterschiedlichen Versorgungsspannungen U_{DD} (nicht identisch mit Inverter in Bild (a)). (d) Schwingung eines Ringoszillators bei $U_{DD} = 6\text{V}$ (nicht identisch mit Ringoszillator in Bild (b)). (e) Hergestellter Inverter der zweiten Generation mit Verkapselung des Halbleiters und geändertem Transistorgeometrie. Ergebnisse und Messwerte für (a) bis (d) entnommen aus [6].

Die typischen Übertragungskennlinien eines hergestellten Inverters sind in Abbildung 4.1 (c) in Abhängigkeit der Versorgungsspannung U_{DD} abgebildet. Die korrekte Arbeitsweise des Inverters wird durch die Messung verifiziert. Bereits bei einer sehr geringen Versorgungsspannung von $U_{DD} = 2\text{V}$ wird das Eingangssignal vollständig invertiert. Das Verhalten des Inverters ändert sich auch durch Anlegen höherer Spannungen nicht wesentlich, lediglich Steilheit der Übertragungsfunktion nimmt geringfügig zu. Abweichend vom idealen Inverter (vgl. Abbildung 4.1 (b)) zeigt sich ein signifikantes Hystereseverhalten. Während der Erhöhung der normierten Eingangsspannung U_{ein} von $U_{DD} = 0$ bis $U_{DD} = 1$ liegt der Umschaltzeitpunkt – wie erwartet – ungefähr bei $\frac{1}{2}U_{DD}$. In umgekehrter Richtung schaltet der Inverter bereits bei leichter Absenkung von U_{ein} um rund 20% um. Dieses Verhalten ist höchstwahrscheinlich auf Schwellspannungsverschiebungen zurückzuführen. Wie in einer späteren Analyse gezeigt wird, kommt es durch die elektrische Beanspruchung der Transistoren in beiden Fällen zu einer Verschiebung von U_{th} in positiver Richtung von U_{GS} . Dies bedeutet, dass der n-Kanal-Transistor bereits bei relativ großen Werten von U_{GS} in den sperrenden Zustand übergeht, während die Leitfähigkeit des p-Kanal-Transistors frü-

her einsetzt. Entsprechend würde man, wie tatsächlich gemessen, eine Verschiebung der Übertragungskennlinie des Inverters hin zu positiveren Werten von U_{DD} erwarten. Die realisierten Inverter zeigen also ein korrektes, wenn auch nicht-ideales Verhalten.

Die dynamischen Schalteigenschaften der Inverter wurden durch die realisierten, dreistufigen Ringoszillatoren (Beispiel in Abbildung 4.3 (b)) charakterisiert. An einer Versorgungsspannung von $U_{DD} = 6\text{ V}$ wurde maximal eine Frequenz von 100 Hz gemessen. Dies entspricht nach Gl. (4.4) einer Verzögerungszeit von rund 1,7 ms je Gatter. Auffällig war, dass die anfängliche Frequenz der Ringoszillatoren bereits nach sehr kurzem Betrieb (ca. 25 s) auf Werte um 1 Hz abfällt [6]. Dies ist vermutlich auf eine rasche Degradation der Transistoren infolge von Schwellspannungsverschiebungen zurückzuführen.

Im Verlauf der Arbeit wurde die Prozessierung der Transistoren hinsichtlich geeigneter Geometrien und Reproduzierbarkeit der Druckprozesse optimiert. Außerdem wurde eine Verkapselung der Transistoren eingeführt, die insbesondere das elektrische Verhalten der p-Kanal-Transistoren stabilisieren soll. Mit diesen optimierten Prozessen wurde das Design der Schaltungselemente nochmals überarbeitet. In Abbildung 4.3 (e) ist beispielhaft ein Inverter der zweiten Generation abgebildet. Die Geometrie des p-Kanal-Transistors wurde hier an die Erfordernisse des Polymerhalbleiters angepasst. Neben Invertern wurden auch komplexere logische Grundschaltungen realisiert. Abbildung 4.4 (a) zeigt die Verknüpfung mehrerer Transistoren, die die logische Funktion eines Nand-Gatters mit zwei Eingängen U_A und U_B erfüllen. Die Funktion der Schaltung wird korrekt wiedergegeben, wie dem Impulsdigramm in Bild (b) zu entnehmen ist. Der logische Nullpegel $U_{aus} = U_{SS} = 0\text{ V}$ wird annähernd – aber nicht vollständig – erreicht und es ist erkennbar, dass dieser Pegel im zeitlichen Verlauf der Messung leicht ansteigt. Da in diesem Fall der n-Kanalzweig leitend ist, ist diese Problematik hauptsächlich auf das Schaltverhalten der n-Kanal-Transistoren zurückzuführen. Dieses Verhalten wurde auch bei genauerer Untersuchung von Einzelinvertoren beobachtet.

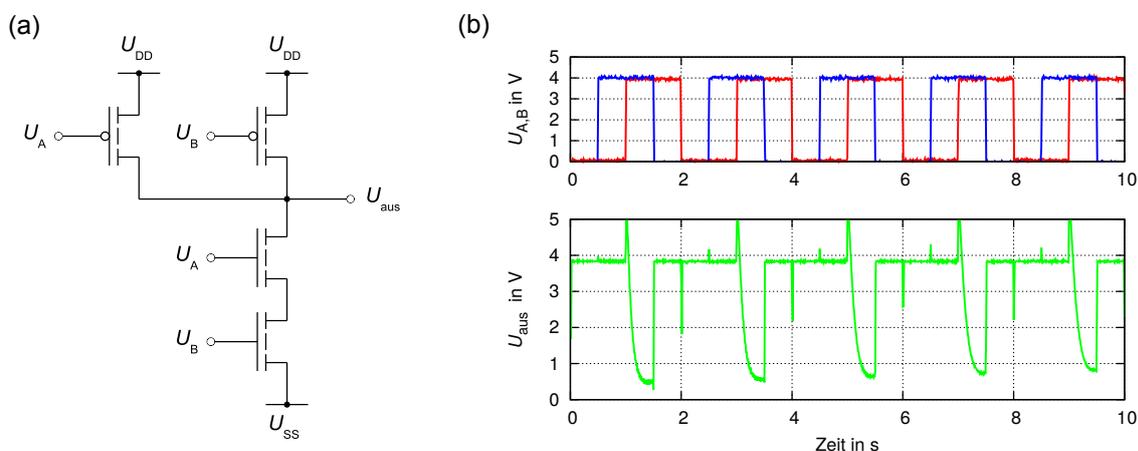


Abbildung 4.4 – (a) Nand-Gatter mit zwei Eingängen in komplementärer Schaltungstechnik. (b) Impulsdigramm eines realisierten Nand-Gatters.

Um die Degradation der Schaltungselemente im dynamischen Betrieb besser zu verstehen, wurde das Schaltverhalten der Einzelinverter untersucht. Dazu wurden die Inverter an einer Zufallszahlenfolge mit unterschiedlicher Impulsdauer des Eingangssignals U_{ein} betrieben (vgl. Abbildung 4.5). Die Logikfunktion des Inverters wird bereits bei einem geringen Spannungsniveau von $U_{\text{DD}} = 3\text{ V}$ erfüllt und bleibt auch über einen Zeitraum von 1000 s Dauerbetrieb erhalten. Allerdings ist im zeitlichen Verlauf eine signifikante Änderung der Impulsform und des Pegels des Ausgangssignals festzustellen. Anfangs wird bei $U_{\text{ein}} \approx 3\text{ V}$ der logische Nullpegel des Ausgangssignals U_{aus} beinahe vollständig erreicht. Doch bereits nach rund 10 s Betrieb steigt der Nullpegel stetig an, während der Pegel logisch 1 über den gesamten Zeitraum sicher erreicht wird. Im Zeitschlitz 1 s bis 5 s ist außerdem zu erkennen, dass der Nullpegel im stationären Zustand nicht gehalten wird und während der Haltedauer ansteigt. Dieses Verhalten könnte mit einer Verschiebung der Schwellspannung der n-Kanal-Transistoren korrelieren. Demnach würde eine Rechtsverschiebung der Eingangskennlinie hin zu größeren Werten von U_{GS} während der Haltedauer – einhergehend mit abnehmender Leitfähigkeit – diese Vermutung stützen.

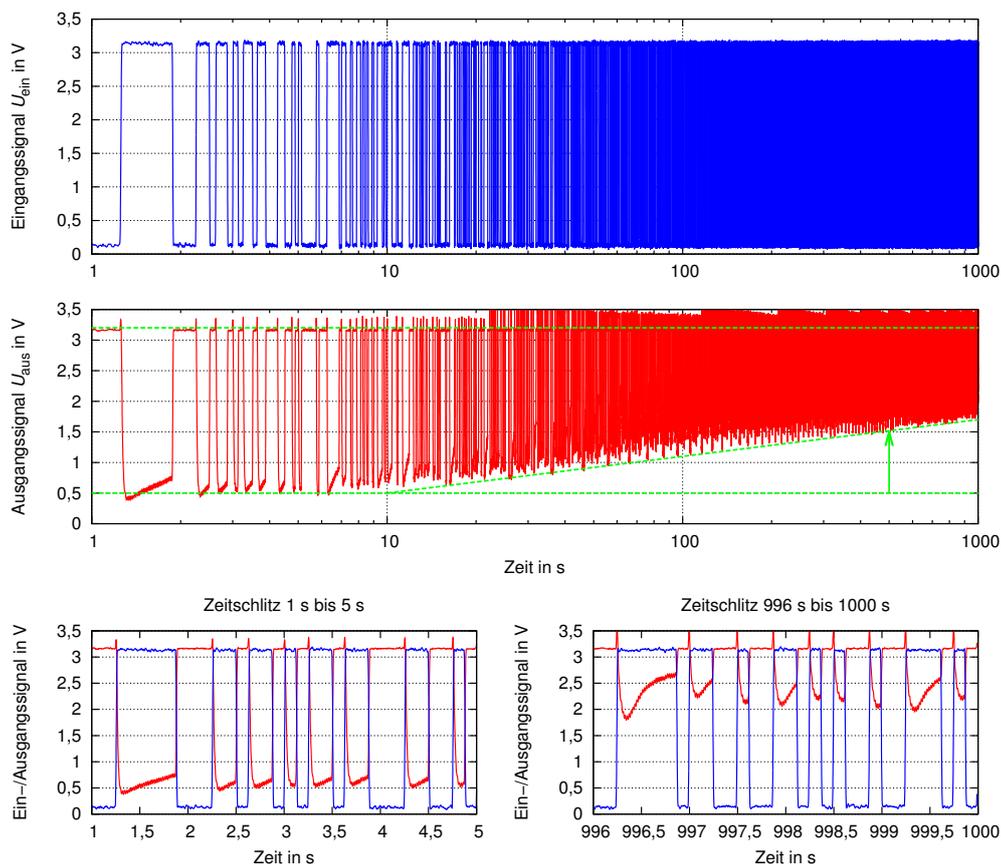


Abbildung 4.5 – Zeitverhalten eines Inverters betrieben an einer Zufallszahlenfolge über einen Zeitraum von 1000 s.

Um das dynamische Verhalten der Inverter zu erklären, wurde die Stabilität der Schwellspannungen an Einzeltransistoren durch Stresstests untersucht. Hierzu wurden die Eingangskennlinien jeweils nach dem Stresszyklus gemessen und als Serie in den Abbildungen 4.6 (a) und (b) aufgetragen. Die extrahierten Schwellspannungen nach dem Stresszyklus sind in Bild (c) eingetra-

gen. In beiden Fällen ist eine Rechtsverschiebung der Eingangskennlinien infolge der elektrischen Beanspruchung zu beobachten. Im Falle des n-Kanal-Transistors tritt eine signifikante Verschiebung bereits nach dem ersten Stresszyklus auf und das Maximum der Verschiebung wird nach wenigen Zyklen erreicht. Entsprechend der starken Kennlinienverschiebung ist der Transistor bei $U_{DD} = 0V$ im Sperrbereich. Dieses Verhalten wurde auch bei Vergleichsmessungen regelmäßig beobachtet und ist reproduzierbar. Im Fall des p-Kanal-Transistors kommt es zunächst zu einer leichten Linksverschiebung der Schwellspannung. Die Richtung der Verschiebung kehrt sich aber nach wenigen Zyklen um. Zwar ist die Verschiebung betragsmäßig etwas geringer ausgeprägt als beim n-Kanal-Transistor, dennoch ist die Verschiebung signifikant. Dies hat zur Folge, dass der p-Kanal-Transistor bei $U_{DD} = 0V$ nach zunehmender Beanspruchung immer im leitenden Zustand ist. Im Vergleich mit weiteren Messungen ist dieses Verhalten als repräsentativer, weil häufig auftretender Fall zu bewerten. Nur in einzelnen Fällen wurde bei p-Kanal-Transistoren eine betragsmäßig geringe Verschiebung der Schwellspannung von unter 1 V beobachtet.

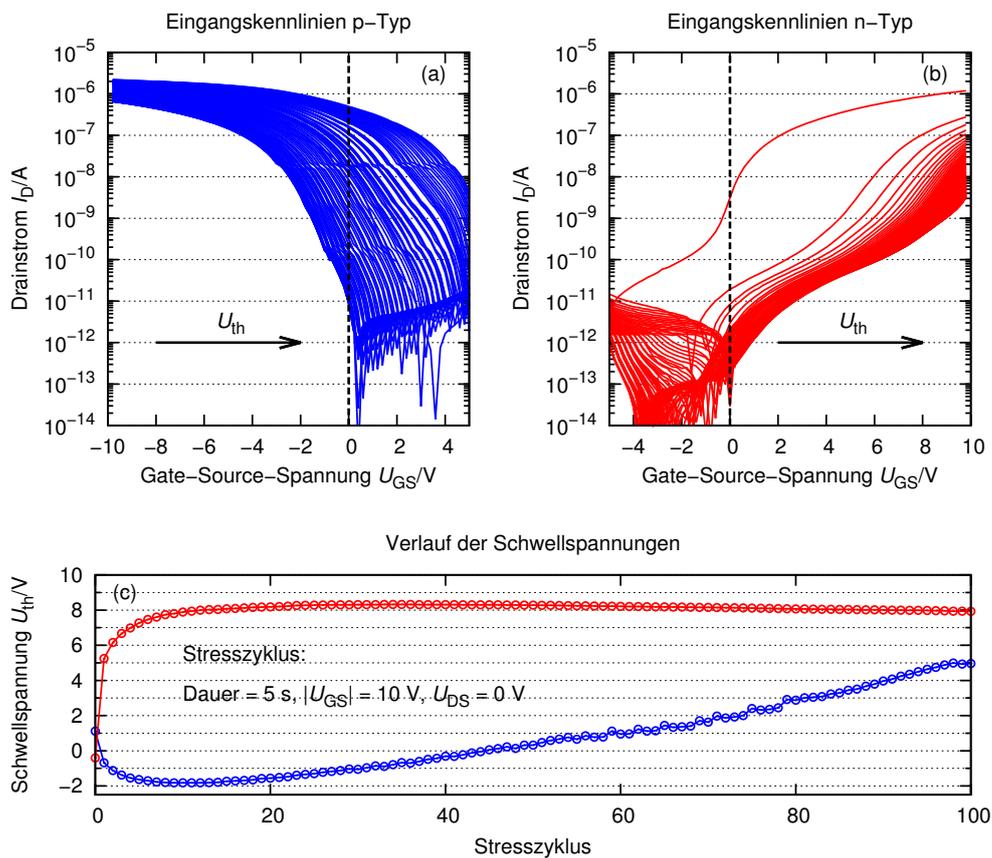


Abbildung 4.6 – (a) und (b) Auswirkungen von Gate-Stress auf den Verlauf der Eingangskennlinien von verkapselten Transistoren. (c) Veränderung der Schwellspannungen unter dem Einfluss von Gate-Stress (U_{GS} pos. für n-Typ und neg. für p-Typ).

Überträgt man diese Beobachtungen auf das zeitliche Schaltverhalten des Inverters, lassen sich folgende Schlüsse ziehen:

- Da sich die Schwellspannung des n-Kanal-Transistors unter elektrischer Beanspruchung nach rechts verschiebt, nimmt die Leitfähigkeit des Transistors bei $U_{\text{ein}} = U_{\text{DD}}$ immer weiter ab. In anderen Worten ausgedrückt: Der n-Kanalzweig ist nicht leitfähig genug, um das Potential des Ausgangssignals auf den logischen Nullpegel zu ziehen.
- Umgekehrt führt die Rechtsverschiebung des p-Kanal-Transistors dazu, dass der p-Kanalzweig selbst im ausgeschalteten Zustand immer leitfähiger wird.
- In der Überlagerung verstärken sich beide Effekte sogar, was – mit der Messung übereinstimmend – dazu führt, dass zwar der logische Pegel 1 sicher erreicht wird, aber der Nullpegel mit zunehmender Belastung immer weiter ansteigt.

Im Ergebnis konnte gezeigt werden, dass es zwar grundsätzlich möglich ist, gedruckte p- und n-Kanal-Transistoren im komplementären Betrieb einzusetzen. Im statischen Zustand werden die untersuchten Logikfunktionen korrekt übertragen. Allerdings bewirkt die instabile Schwellspannung im dynamischen Betrieb eine rasch einsetzende Degradation der Schaltungselemente, sodass ein zuverlässiger Betrieb nicht gewährleistet werden kann.

4.1.2 Unipolare Schaltungen

Die Realisierung komplementärer Schaltungen hat sich aufgrund der beobachteten Alterungsmechanismen basierend auf den zugrundeliegenden Transistorprozessen als unzuverlässig erwiesen. Daher wurde eine weitere, unipolare Schaltungstechnik untersucht. Dies ist vorteilhaft, da der Herstellungsprozess somit auf einen Halbleitertyp optimiert werden kann und kein Kompromiss gesucht werden muss, der die Anforderungen beider Typen möglichst weit erfüllt. Unter diesen optimierten Betriebsbedingungen können Bauteil-zu-Bauteil-Schwankungen minimiert werden. Außerdem ist das Degradationsverhalten einzelner Transistoren eines Typs ähnlich und es kann der Typ mit dem stabileren Betriebsverhalten ausgewählt werden. Schaltungen in reiner PMOS- oder NMOS-Technik haben aber auch zwei wesentliche Nachteile. Zum einen fließen im statischen Zustand signifikante Querströme durch den Lastr transistor, sodass die Verlustleistung gegenüber komplementärer Logik deutlich erhöht ist. Zum anderen bedingt die asymmetrische und weniger steile Übertragungskennlinie dieser Inverter einen geringeren Störabstand (engl. Noise Margin). Damit ist die Fähigkeit, selbst stark degenerierte Eingangspegel noch richtig zu erkennen, eingeschränkt. Doch gerade diese beiden Eigenschaften sind, bezogen auf die Anforderungen organischer Elektronik, besonders bedeutsam, da potentiell nur eine eingeschränkte Energieversorgung zur Verfügung steht und organische Transistoren typischerweise unter elektrischer Beanspruchung verstärkt degradieren, was zu nicht-idealen Signalpegeln führt.

Die sogenannte Pseudo-CMOS-Logik stellt dabei einen Kompromiss zwischen komplementärer Schaltungstechnik und PMOS- bzw. NMOS-Logik dar [20, 28]. Inverter dieser Schaltungstechnik können entweder mit n- oder p-Kanal-Transistoren aufgebaut werden, bestehen aber nur aus einem der beiden Typen, was die Realisierung vereinfacht

In Abbildung 4.7 ist die Schaltung eines Pseudo-CMOS-Inverters mit p-Kanal-Transistoren dargestellt. Die Gesamtschaltung besteht dabei aus einem PMOS-Lastinverter mit einer nachgeschalteten Ausgangsstufe. Die Transistoren T_3 und T_4 werden dabei in Abhängigkeit des Eingangssignals U_{ein} quasi-komplementär angesteuert, was den Namen dieser Schaltungstechnik erklärt. Durch die Ausgangsstufe ähnelt die Übertragungskennlinie des Pseudo-CMOS-Inverters der eines komplementären Inverters, d.h. die Kennlinie ist annähernd symmetrisch zu $\frac{1}{2}U_{\text{DD}}$ und besitzt eine große Steilheit. Daher bietet diese Schaltungstechnik gegenüber anderen unipolaren Techniken einen größeren Störabstand und höhere Ausgangsverstärkung [28]. In [20] wurden beispielsweise organische Pseudo-CMOS-Inverter mit einer Verstärkung von über 300 und sehr symmetrischer Übertragungsfunktion demonstriert. Durch den Lasttransistor T_2 fließt im statischen Zustand allerdings ein gewisser Querstrom. Daher ist die Verlustleistung gegenüber echten komplementären Schaltungen erhöht. Ein weiterer Nachteil ist der potentiell erhöhte Platzbedarf aufgrund der größeren Anzahl an Transistoren je Inverter (vier statt zwei).

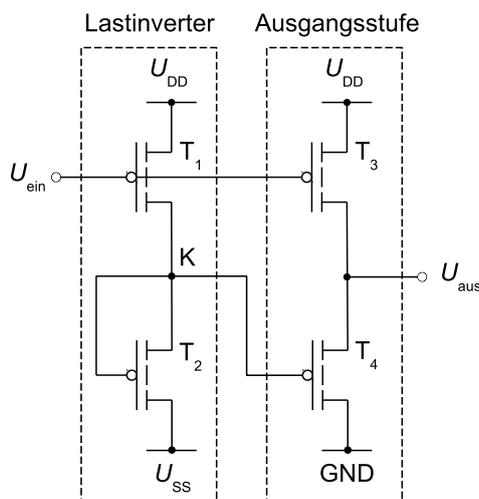


Abbildung 4.7 – Pseudo-CMOS-Inverter aus vier p-Kanal-Transistoren. Die Gesamtschaltung besteht aus einem PMOS-Lastinverter und einer Ausgangsstufe.

Um die Funktion des Pseudo-CMOS-Inverters zu erklären, werden folgende Schaltzustände unterscheiden:

Fall 1: Am Eingang liegt $U_{\text{ein}} = 0\text{ V}$ an.

- Wenn $U_{\text{ein}} = 0\text{ V}$, dann fällt über der Gate-Source-Strecke der Transistoren T_1 und T_3 die Spannung $U_{\text{GS}} = -U_{\text{DD}}$ ab und T_1 bzw. T_3 sind leitfähig.
- Gleichzeitig liegt dann U_{DD} am Gate der Transistoren T_2 und T_4 an und somit ist $U_{\text{GS},2} = U_{\text{GS},4} = 0\text{ V}$. Je nach tatsächlicher Schwellspannung von T_4 ist dieser dann

entweder idealerweise vollständig sperrend (Anreicherungstyp) oder besitzt eine geringe – gegenüber T_3 kleine – Leitfähigkeit (Verarmungstyp).

- Am Ausgang des Inverters liegt dann $U_{\text{aus}} \approx U_{\text{DD}}$ an.

Fall 2: Am Eingang liegt $U_{\text{ein}} = U_{\text{DD}}$ an.

- Wenn $U_{\text{ein}} = U_{\text{DD}}$, dann fällt über der Gate-Source-Strecke der Transistoren T_1 und T_3 die Spannung $U_{\text{GS}} = 0\text{V}$ ab. Im Idealfall sind T_1 bzw. T_3 dann vollständig sperrend (Anreicherungstyp) oder besitzen eine geringe Restleitfähigkeit (Verarmungstyp).
- Am Lasttransistor T_2 fällt immer $U_{\text{GS},2} = 0\text{V}$ ab. Da dieser Transistor im Idealfall selbstleitend ist (Verarmungstyp), wird das Potential am Gate von T_4 auf U_{SS} gezogen. Gegenüber dem vorherigen Fall sind Source und Drain an T_4 nun vertauscht. Je negativer U_{SS} ist, umso leitfähiger wird dann T_4 .
- Am Ausgang des Inverters liegt dann $U_{\text{aus}} \approx \text{GND}$ an.

Durch den Anschluss U_{SS} kann der Arbeitspunkt des Inverters somit optimiert werden, was ein weiterer Vorteil der Pseudo-COMS-Logik ist [20]. Damit können Schwankungen der Schwellspannungen der Transistoren, die von Prozess zu Prozess etwas unterschiedlich ausfallen können, ausgeglichen werden. Außerdem kann der Arbeitspunkt nachgeführt werden, falls sich die Schwellspannungen während des Betriebs verändern.

4.1.2.1 Realisierung von Schaltungselementen

Basierend auf der Pseudo-CMOS-Logik wurden Inverter und Ringoszillatoren realisiert. Hierzu wurde weitestgehend der Basisprozess (mit geätzten Au-Kontakten) angewandt, wobei dieser um einige Parameter erweitert bzw. angepasst wurde. Die Dicke des Dielektrikums wurde auf 120 nm verdoppelt, um die Spannungsfestigkeit der Transistoren zu erhöhen. Diese Maßnahme sollte eine spätere Integration von Zeilentreiberschaltungen in die elektrophoretische Anzeige (vgl. Kapitel 4.2) ermöglichen. Die Transistoren wurden durch OSCoR verkapselt und der Via-Prozess wurde, wie im Fall der CMOS-Schaltungen beschrieben, durchgeführt.

In integrierten Schaltungen ist aufgrund der begrenzten zur Verfügung stehenden Fläche eine dichtere Packung der Bauelemente und eine Reduktion der Transistordimensionen erforderlich. Daher sind Maßnahmen notwendig, die den gedruckten Halbleiter sicher auf den vorgesehenen Bereich begrenzen. Mehrere Möglichkeiten der prozesstechnischen Realisierung wurden in Kapitel 3.2.5 besprochen. Für den Polymerhalbleiter hat sich hierbei die gezielte Schaffung unterschiedlicher Oberflächenspannungen durch selbstorganisierende Monolagen als besonders geeignet erwiesen. Dieser Prozess wurde bei der entwickelten elektrophoretischen Anzeige erfolgreich eingesetzt und kommt deshalb auch bei den Pseudo-CMOS-Schaltungen zum Einsatz. Gegenüber dem Bedrucken

der Aktiv-Matrix mit strikt regelmäßiger Anordnung der Transistoren auf vergleichsweise kleiner Fläche von $2 \times 2 \text{ cm}^2$ stellte sich die Reproduzierbarkeit des Druckergebnisses im Fall der Schaltungen trotz Einsatz von Monolagen als deutlich anspruchsvoller heraus [10]. Es wurden folgende Punkte als besonders kritisch identifiziert:

- Die Treffgenauigkeit des eingesetzten Druckers ist hinreichend, falls relativ kleine Flächen bedruckt werden (beispielsweise die erwähnte Aktiv-Matrix). Mit zunehmender Verteilung der zu bedruckenden Strukturen über größere Substratflächen (hier $10 \times 12 \text{ cm}^2$) nimmt die Treffgenauigkeit mit dem Verfahrenweg in x- bzw. y-Richtung ab. Der Halbleiter wird dann mit Versatz bezüglich des zu bedruckenden Bereichs abgeschieden und wird trotz Monolagen nicht in den vorgesehenen Bereich gezwungen. Es ist daher ratsam, bei größeren Substraten die Druckbereiche aufzuteilen und nacheinander zu bedrucken.
- Die Treffgenauigkeit nimmt mit zunehmendem Abstand des Druckkopfes vom Substrat ab. Daher sollte möglichst der minimale Abstand eingehalten werden.
- Bei der Kalibrierung des Druckkopfes (Drop Offset) ist darauf zu achten, dass dabei der Abstand des Druckkopfes dem Abstand des späteren Druckprozesses entspricht. Außerdem ist bei der Kalibrierung des Druckkopfes (Drop Offset) und des Substrates (Calibrate Theta) darauf zu achten, dass die Kalibrierpunkte möglichst im Zentrum des Kamerabildes liegen, da durch die Kameraoptik eine Verzerrung des Bildes mit zunehmendem Abstand vom Zentrum beobachtet wurde.
- Bereits bei der Erstellung des Layouts sollte auf eine optimierte Anordnung der zu bedruckenden Strukturen geachtet werden. Die zu bedruckenden Strukturen müssen strikt in dem später gewählten Druckraster von bspw. $10 \mu\text{m}$ liegen (Drop Spacing). Bei der Dateikonvertierung in das vom Drucker genutzte bmp-Format kann es sonst zu einem Versatz bezüglich der vorgesehenen Position kommen. Außerdem sollte die Anordnung innerhalb komplexerer Strukturen und die Anordnung abgeschlossener Schaltungsteile möglichst regelmäßig bzw. matrixartig realisiert werden.

In Abbildung 4.8 ist ein Ringoszillator basierend auf Pseudo-CMOS-Invertern dargestellt. Der Halbleiter konnte bei diesem Schaltungsteil erfolgreich auf den vorgesehenen Bereich lokalisiert werden.

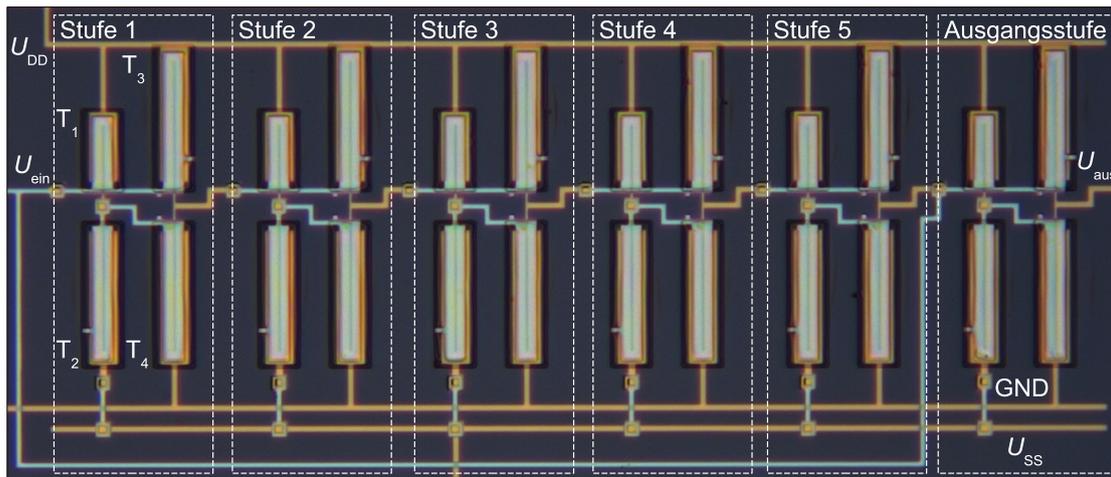


Abbildung 4.8 – Ringoszillator mit fünf Stufen und Ausgangstreiber basierend auf Pseudo-CMOS-Invertern. Die Weiten der Transistoren T_2 bis T_4 betragen $400\ \mu\text{m}$, die Weite von T_1 beträgt $200\ \mu\text{m}$, die Länge beträgt bei allen $10\ \mu\text{m}$. Der Halbleiter wurde erfolgreich durch Monolagen auf den Transistorkanal begrenzt. Layout und Herstellung aus [10].

4.1.2.2 Charakterisierung

Um die Funktion der hergestellten Inverter und Ringoszillatoren zu untersuchen, wurden diese elektrisch charakterisiert, insbesondere im Hinblick auf die Stabilität unter elektrischer Beanspruchung. Gegenüber den realisierten CMOS-Schaltungen stellte sich die Betriebsstabilität der Pseudo-CMOS-Technik als deutlich robuster heraus.

Zunächst ist in Abbildung 4.9 das statische Übertragungsverhalten eines Pseudo-CMOS-Inverters abgebildet. Die logische Funktion des Inverters wird korrekt umgesetzt. Wie gewünscht, liegt der Umschaltzeitpunkt bei etwa $\frac{1}{2}U_{DD}$, wobei die Steilheit der Übertragungsfunktion und die erreichte Ausgangsspannung U_{aus} von U_{SS} abhängen. Dieses Verhalten entspricht den Erwartungen und ist auch aus ähnlichen Untersuchungen bekannt [20, 28]. Wie weiter oben beschrieben, nimmt die Leitfähigkeit des Transistors T_4 mit zunehmendem negativem Potential von U_{SS} zu, sodass das Potential am Ausgangsknoten des Inverters gegen GND gezogen wird. Zur vollständigen Invertierung des Eingangssignals wird tatsächlich eine stark negative Spannung U_{SS} benötigt. Ursächlich hierfür ist vermutlich ein relativ hoher Spannungsabfall über der Drain-Source-Strecke von T_2 . Dieser Transistor sollte selbstleitend sein, da an dessen Gate in jedem Zustand $U_{GS,2} = 0\text{V}$ anliegt. Zwar ist die Schwellspannung der Transistoren typischerweise leicht positiv, dennoch ist die Leitfähigkeit bei $U_{GS} = 0\text{V}$ in der Regel gering. Außerdem kann es von Prozess zu Prozess zu Schwankungen der Schwellspannung kommen. Auch während des Betriebs kann es durch elektrische Beanspruchung zu einer signifikanten Verschiebung der Schwellspannung kommen (vgl. Abbildung 4.6 (c)), sodass in der Praxis weder der anfängliche Arbeitspunkt von T_2 , noch dessen Veränderung sicher vorhergesagt werden kann. Allerdings kann eine Änderung des Arbeitspunktes durch Nachführen von U_{SS} kompensiert werden, was ein Vorteil dieser Schaltungstechnik ist.

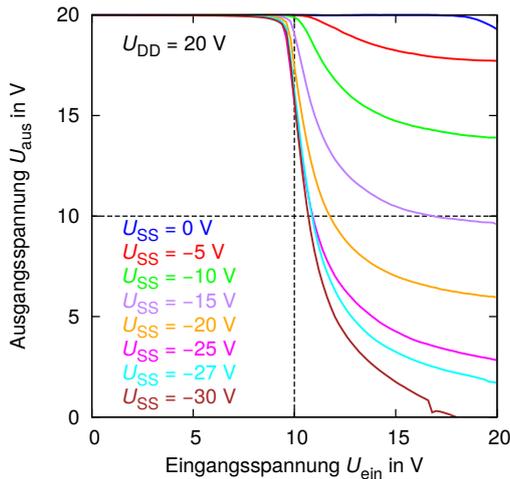


Abbildung 4.9 – Übertragungsfunktion eines realisierten Pseudo-CMOS-Inverters bei unterschiedlichen Spannungen von U_{SS} . Je negativer U_{SS} , umso steiler ist die Kennlinie. Messwerte aus [10].

In den Abbildungen 4.10 (a) bis (c) ist das typische, dynamische Schaltverhalten eines Inverters abgebildet. Der Inverter wurde an einer Zufallszahlenfolge über einen Zeitraum von über 110 min betrieben. Die Impulsdigramme sind Sequenzen, die zu unterschiedlichen Zeitpunkten aufgenommen wurden (Beginn, 40 min, 110 min). Die Funktion des Inverters zeigt in allen Sequenzen ein korrektes Verhalten, wobei sich im Zeitverlauf die Impulsform und die Amplituden des Ausgangssignals verändern. Nach Beginn der Messung (Bild (a)) werden die Pegel logisch null und logisch eins noch nicht vollständig erreicht. Unabhängig von der Impulslänge des Eingangssignals ist die steigende Flanke des Ausgangssignals sehr steil und der endgültige Signalpegel wird unmittelbar nach dem Umschalten erreicht. Bei fallender Flanke des Ausgangssignals stellt man ein kontinuierliches Abfallen des Pegels über der Impulslänge fest. In diesem Fall muss der innere Knoten K des Inverters umgeladen werden. Dieser Vorgang benötigt offensichtlich eine gewisse Zeit, was vermutlich auf die anfangs geringe Leitfähigkeit von T_2 zurückzuführen ist. Mit zunehmender Betriebsdauer (Bild (b)) stellt man ein leichtes Ansteigen des Pegels logisch eins fest, was vermutlich auf eine zunehmende Leitfähigkeit der Transistoren T_1 und T_3 zurückzuführen ist. Eine signifikante Veränderung ist vor allem bei fallender Ausgangsflanke festzustellen. Bei den zeitlich breiteren Impulsen wird nun der Pegel logisch null vollständig erreicht. Das Umladen des inneren Knotens K hat sich also beschleunigt, was auf eine zunehmende Leitfähigkeit von T_2 zurückzuführen ist. Im weiteren Verlauf nähern sich die Signalpegel immer weiter ihren Idealwerten an und erreichen diese vollständig.

Im Gegensatz zu den komplementären Invertoren verbessert sich das Verhalten von Pseudo-CMOS-Invertoren während des Betriebs im Beobachtungszeitraum. Dieses Verhalten ist mit einer Art von Lernkurve vergleichbar. Offensichtlich kommt es durch den Betrieb zu einer Verschiebung der Schwellspannungen mit einem ausgleichenden Effekt, sodass sich nach einer Phase des Einschwingens ein optimales Schaltverhalten einstellt. Dieses grundsätzliche Verhalten wurde bei mehreren Invertoren beobachtet, wobei sich die anfänglichen Ausgangspegel und die Geschwindigkeit der Verbesserung des Ausgangssignals im Einzelfall unterscheiden.

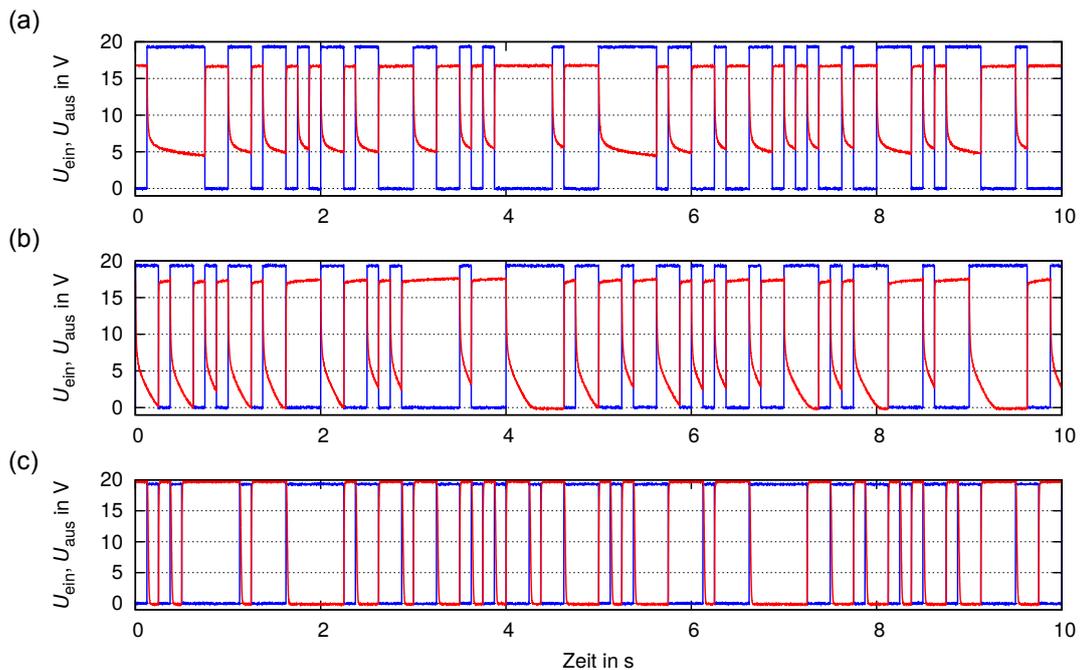


Abbildung 4.10 – Eingangssignal (U_{ein} , blau) und Ausgangssignal (U_{aus} , rot) eines Pseudo-CMOS-Inverters betrieben an einer Zufallszahlenfolge über einen Zeitraum von über 110 min ($U_{\text{DD}} = 20\text{ V}$ und $U_{\text{SS}} = -20\text{ V}$). Zeitausschnitt (a) direkt nach Beginn der Messung, (b) nach 40 min und (c) nach 110 min. Messung aus [10].

Das robuste Verhalten dieser Schaltungstechnik konnte durch die realisierten Ringoszillatoren bestätigt werden. In Abbildung 4.11 ist das Ausgangssignal eines 11stufigen Ringoszillators in Abhängigkeit der Betriebsdauer (bei Beginn und nach 70 min) abgebildet. Während des Betriebs kommt es zu einer geringen Abnahme der gemessenen Frequenz von anfänglich $f = 25\text{ Hz}$ auf $f = 21\text{ Hz}$. Diese Abnahme ist in Anbetracht der relativ geringen Frequenz nicht signifikant, sodass dies nicht als Indiz für eine wesentliche Verschlechterung angesehen werden kann. Dem widerspricht auch die symmetrische Anpassung der Amplituden der Schwingung um $10\text{ V} \approx \frac{1}{2} U_{\text{DD}}$ mit zunehmender Betriebsdauer. Dies spricht für ein optimales Schaltverhalten der Inverter mit symmetrischer Übertragungsfunktion. Die Verzögerungszeit $t_V \approx 1,8\text{ ms}$ eines Gatters ist mit komplementären Ringoszillatoren vergleichbar.

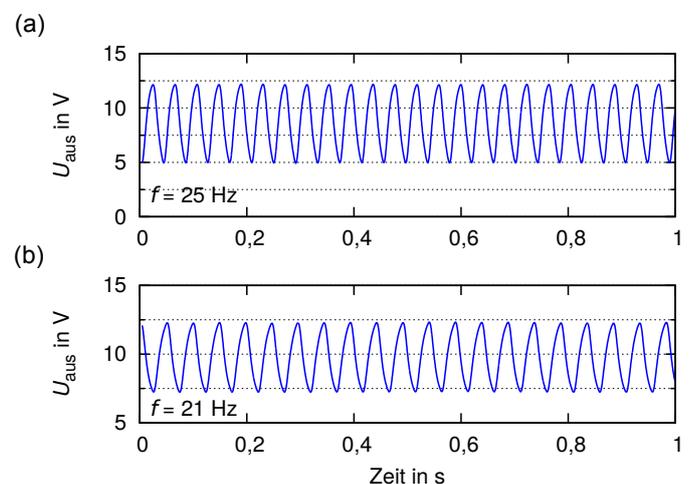


Abbildung 4.11 – Ausgangssignal eines 11stufigen Pseudo-CMOS-Ringoszillators ($U_{\text{DD}} = 20\text{ V}$ und $U_{\text{SS}} = -20\text{ V}$) direkt nach Beginn der Messung (a) und nach 70 min Dauerbetrieb (b). Messung aus [10].

Diese Untersuchungen haben gezeigt, dass die Betriebsstabilität von Schaltungen basierend auf unipolarer Schaltungstechnik gegenüber komplementären Schaltungen signifikant erhöht ist. Vor dem Hintergrund der bekannten Problematik der Schwellspannungsverschiebung durch einen Prozess mit nicht optimalem Dielektrikum sind die erzielten Ergebnisse durchaus beachtlich. Eine isolierte Optimierung des Prozesses für den Polymerhalbleiter ohne Beachtung des n-Typ-Halbleiters könnte zu weiteren Verbesserungen führen, sodass potentiell die Möglichkeit, auch funktionsfähige, komplexere Schaltungen umzusetzen, realisierbar erscheint. Die Pseudo-CMOS-Technik könnte dann als Kompromisslösung eingesetzt werden, um die Anforderungen an Betriebsstabilität zu erfüllen, wenn gleichzeitig eine höhere Verlustleistung in Kauf genommen werden kann.

4.2 Elektrophoretische Anzeige

Um den Einsatz der TFT-Prozesse in komplexen Systemen zu demonstrieren, wurde eine elektrophoretische Anzeige mit Aktiv-Matrix-Ansteuerung durch gedruckte, organische Transistoren (AM-EPD) entwickelt [23]. Die Hauptaufgabe bestand im Entwurf einer Ansteuermatrix zum Betreiben einer elektrophoretischen Folie.²

Die Ansteuermatrix (engl. Backplane) einer solchen Anzeige besteht aus einer regelmäßigen Anordnungen von Bildpunkten in Zeilen und Spalten. In jedem einzelnen Bildpunkt befindet sich (mindestens) ein Transistor, durch den die Bildinformation eingeschrieben und kapazitiv gespeichert wird. Für einen kontinuierlichen Bildeindruck muss die Fläche der Bildpunkte möglichst gering sein.³ Dies führt im Allgemeinen zu einer relativ hohen Integrationsdichte der Transistoren und impliziert entsprechend hohe Anforderungen an Treffgenauigkeit und Reproduzierbarkeit des Druckprozesses. Um diese zu erfüllen, wurde der Druckprozess zur Lokalisierung des Polymerhalbleiters mit Monolagen optimiert (vgl. Kapitel 3.2.5.1 und Anhang A.9). Neben den Anforderungen an den Druckprozess, ist die praktische Realisierbarkeit der Anzeige vor allem von der Stabilität der Transistoren gegenüber unterschiedlichsten Beanspruchungen abhängig. Die elektrophoretische Anzeige ist ein komplexes System in mehreren Ebenen, wobei die Ansteuermatrix auf dem Trägersubstrat die unterste Ebene darstellt. Die Transistoren müssen daher robust genug sein, um nachfolgenden Herstellungsschritten, wie Materialabscheidungen, Strukturierungsprozessen und dem Einfluss erhöhter Temperaturen und mechanischer Beanspruchung zu widerstehen. Hierzu wurde die Verkapselung der Transistoren durch OSCoR entwickelt (vgl. Kapitel 3.1.5.2).

² Folie der Firma E Ink Corp. (<http://www.eink.com/>).

³ Genauer ausgedrückt, muss die Ortsfrequenz der Bildpunkte über der Auflösungs Grenze des menschlichen Auges liegen, das zeitliche und örtliche Tiefpasseigenschaften hat [18].

Die elektroforetische Folie, wie vereinfacht in Abbildung 4.12 skizziert, eignet sich aufgrund ihrer Eigenschaften besonders für die Realisierung energiesparender Anzeigen. Das System besteht aus Mikrokapseln, die zwischen zwei Trägerfolien eingebettet sind. Die untere Trägerfolie ist zur Laminierung mit einem Klebefilm beschichtet. Die obere Folie ist ganzflächig mit einem transparenten, leitfähigen Oxid (ITO) beschichtet, das als Gegenelektrode dient. Die Mikrokapseln enthalten schwarz und weiß gefärbte und gegensätzlich geladene Partikel, die sich in einer Suspension befinden. In Abhängigkeit der angelegten Spannung an den Pixelelektroden kommt es zur Trennung dieser Partikel im elektrischen Feld, sodass der Beobachter nur jeweils eine Sorte der Partikel wahrnimmt. Elektroforetische Anzeigen basieren also auf einem rein reflexiven Anzeigeeffekt. Das heißt, die Bildinformation entsteht durch örtliche Modulation der Reflexionseigenschaften und ist mit bedrucktem Papier vergleichbar. Dies unterscheidet elektroforetische Anzeigen von transmissiven Flüssigkristallanzeigen (mit Hintergrundbeleuchtung) oder selbstleuchtenden OLED-Bildschirmen, deren Leistungsaufnahme prinzipbedingt höher ist. Ein weiterer Vorteil der elektroforetischen Folie ist ihr bistabiler Anzeigeeffekt. Die geladenen Partikel verharren solange in ihrer Position, bis eine Zustandsänderung durch Anlegen einer Spannung vollzogen wird. Eine einmal eingeschriebene Bildinformation bleibt daher solange erhalten, bis ein neues Bild eingeschrieben wird. Elektrische Leistung wird nur beim Bildwechsel umgesetzt. Elektroforetische Anzeigen eignen sich daher besonders zur Darstellung statischer Bilder, aufgrund der Trägheit der Partikel in der Suspension aber nicht zur Anzeige von Bewegtbildern.

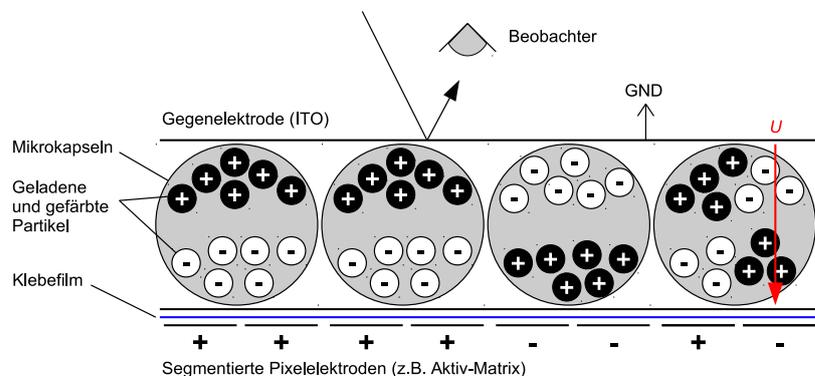


Abbildung 4.12 – Prinzip einer reflexiven Anzeige mit elektroforetischer Folie.

4.2.1 Funktion und Entwurf

Die Ansteuermatrix der Anzeige besteht aus $i = 32$ Zeilen und $j = 32$ Spalten. Dies entspricht 1024 einzelnen Bildpunkten auf einer aktiven Fläche von $2 \times 2 \text{ cm}^2$. In Abbildung 4.13 (a) ist ein Ausschnitt der Matrix skizziert. Im Kreuzungspunkt von Zeilen- und Spaltenleitung befindet sich ein Transistor, der als Schalter eingesetzt wird, um die Bildinformation auf den Bildpunkt einzuschreiben. Das Bild wird zeilenweise aufgebaut. Dazu wird die betreffende Zeile durch Anlegen einer geeigneten Spannung selektiert, wodurch der Transistor leitfähig wird. Anschließend wird

über die Spaltenleitung die Bildinformation auf die Speicher- und Pixelkapazitäten eingeschrieben. Je nach gewünschter Graustufe liegt die Spannung im Fall der elektrophoretischen Folie im Bereich $-15\text{ V} \leq U_{\text{Pixel}} \leq 15\text{ V}$. Nach dem Einschreiben wird der Transistor wieder in den sperrenden Zustand geschaltet, wodurch die Ladung im Bildpunkt erhalten bleibt und die nächste Zeile wird selektiert.

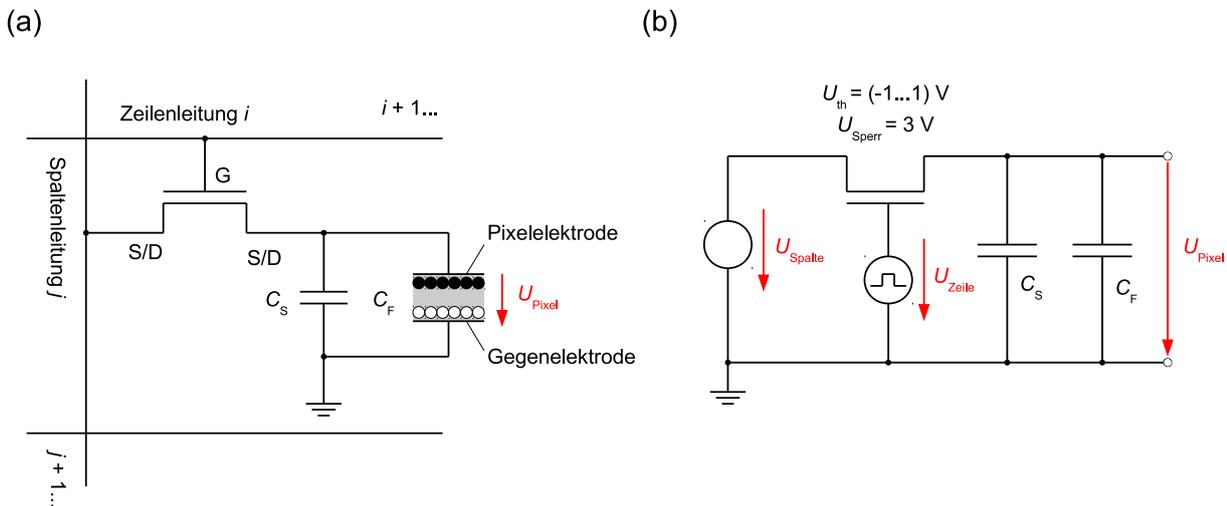


Abbildung 4.13 – (a) Ausschnitt eines Bildpunktes aus der Aktiv-Matrix mit i Zeilen und j Spalten. Die Bildinformation ($-15\text{ V} \leq U_{\text{Pixel}} \leq 15\text{ V}$) wird über die Spaltenleitung auf die Speicherkapazität C_S und die Bildpunktkapazität der elektrophoretischen Folie C_F eingeschrieben, wenn der Transistor über die Zeilenleitung leitend geschaltet ist. (b) Ersatzschaltbild eines Bildpunktes mit Bezeichnung der relevanten Spannungen.

4.2.1.1 Dimensionierung der Ansteuerspannung

Die Ansteuerung des Auswahltransistors beim Einschreiben muss so erfolgen, dass der Transistor unabhängig von der bereits eingeschriebenen Pixelspannung sicher in den leitenden Betrieb geschaltet wird. Nach dem Einschreiben muss der Transistor so angesteuert werden, dass er selbst dann vollständig sperrt, wenn die nächste Zeile über die Spaltenleitung beschrieben wird. Hierfür ist jeweils eine Fallunterscheidung anhand des Ersatzschaltbildes in Abbildung 4.13 (b) für die Zustandsänderung des Bildes von vollständig weiß nach schwarz (und vice versa) durchzuführen (siehe Herleitung in [23]). Hierbei wurden folgende Randbedingungen gesetzt:

- Während des Einschreibevorgangs muss sich der Transistor immer im linearen Bereich befinden, um zwischen Source und Drain einen konstanten, von U_{DS} abhängigen, Widerstand R_{on} zu gewährleisten. Hierfür sind die Bedingungen $U_{\text{GS}} \leq U_{\text{th}}$ und $U_{\text{GS}} - U_{\text{th}} \leq U_{\text{DS}} \leq 0\text{ V}$ einzuhalten.
- Die Schwellenspannung der Transistoren wird in einem Bereich $-1\text{ V} \leq U_{\text{th}} \leq 1\text{ V}$ angenommen.

- Damit der Transistor sicher sperrt, wird die Sperrspannung auf $U_{\text{Sperr}} = 3 \text{ V}$ festgelegt. Diese Spannung darf im Sperrbereich nicht unterschritten werden ($U_{\text{GS}} \geq U_{\text{Sperr}}$).
- Die Pixelspannung liegt für vollständig weiße bzw. vollständig schwarze Graustufen im Bereich $-15 \text{ V} \leq U_{\text{Pixel}} \leq 15 \text{ V}$.

Im ungünstigsten Fall muss nach dieser Fallentscheidung die Zeilenansteuerspannung $U_{\text{Zeile}} \leq -16 \text{ V}$ betragen, um während des Einschreibens den linearen Bereich des Transistors nicht zu verlassen. Damit der Transistor unabhängig von der in die nächste Zeile eingeschriebenen Spannung zuverlässig sperrt, muss die nicht selektierte Zeile mit einer Spannung von $U_{\text{Zeile}} \geq 18 \text{ V}$ angesteuert werden. Die Einhaltung dieser Ansteuerspannungen ist mit dem 60 nm dünnen Dielektrikum nicht möglich. Die Durchbruchfeldstärke des Dielektrikums würde bei einer maximalen Spannungsbelastung von $U_{\text{Zeile}} + U_{\text{Pixel}} = 18 \text{ V} - (-15 \text{ V}) = 33 \text{ V}$ überschritten werden. Daher wurde der Herstellungsprozess für das Dielektrikum optimiert (siehe Kapitel 4.2.2).

4.2.1.2 Dimensionierung der Speicherkapazität

Die Speicherkapazität in AM-Anzeigen wird üblicherweise so dimensioniert, dass einerseits die gewünschte Bildinformation innerhalb der zur Verfügung stehenden Zeit t_{Zeile} während der Selektion der Zeile eingeschrieben werden kann (begrenzt durch den endlichen Widerstand R_{on}) und andererseits die eingeschriebene Bildinformation während der gesamten Bildperiode erhalten wird (begrenzt durch R_{off}).

Während des Ladevorgangs soll die Pixelkapazität C_{Pixel} auf mindestens 99 % der gewünschten Pixelspannung U_{Pixel} geladen werden. Dies entspricht

$$\frac{U_{\text{Pixel}}}{U_{\text{Pixel},0}} = 0,99 = 1 - \exp\left(-\frac{t_{\text{Zeile}}}{R_{\text{on}} C_{\text{Pixel}}}\right) \quad (4.5)$$

mit $\tau_{\text{on}} = R_{\text{on}} C_{\text{Pixel}}$ und $t_{\text{Zeile}} = t_{\text{Bild}} j^{-1}$.

Die eingeschriebene Bildinformation soll während der Dauer der gesamten Bildperiode nicht unter 99 % des ursprünglichen Wertes abfallen, also fordert man

$$\frac{U_{\text{Pixel}}}{U_{\text{Pixel},0}} = 0,99 = \exp\left(-\frac{t_{\text{Bild}}}{R_{\text{off}} C_{\text{Pixel}}}\right). \quad (4.6)$$

Mit der Vorgabe $t_{\text{Bild}} = 250 \text{ ms}$ und $j = 32$ folgt für die Zeitkonstanten

$$\tau_{\text{on}} = R_{\text{on}} C_{\text{Pixel}} \approx 1,7 \text{ ms} \quad (4.7)$$

$$\tau_{\text{off}} = R_{\text{off}} C_{\text{Pixel}} \approx 25 \text{ s}. \quad (4.8)$$

Der Transistorkanal hat im linearen Bereich typischerweise einen Widerstand von $R_{\text{on}} = 50 \text{ M}\Omega$ und im Sperrbereich einen minimalen Widerstand von $R_{\text{off}} = 1 \text{ T}\Omega$. Um die geforderten Bedingungen einzuhalten, ergibt sich für die Pixelkapazität ein mögliches Intervall von

$$\frac{\tau_{\text{off}}}{R_{\text{off}}} = 25 \text{ pF} \leq C_{\text{Pixel}} \leq 34 \text{ pF} = \frac{\tau_{\text{on}}}{R_{\text{on}}}. \quad (4.9)$$

Für die Pixelkapazität gilt $C_{\text{Pixel}} = C_{\text{S}} + C_{\text{F}}$ (vgl. Abbildung 4.13 (b)). Da $C_{\text{S}} \gg C_{\text{F}}$, kann C_{F} vernachlässigt werden und es gilt $C_{\text{S}} \approx C_{\text{Pixel}}$ [23]. Die Fläche der Speicherkapazität wurde auf $A_{\text{S}} = 300 \times 140 \mu\text{m}^2$ festgelegt, was mit $C'_{\text{S}} = 66,4 \text{ nF cm}^{-2}$ einer Kapazität von $C_{\text{S}} \approx 28 \text{ pF}$ entspricht.

4.2.2 Optimierung des Dielektrikums

Die Durchbruchmechanismen anodisch oxidiertes Dielektrika in Abhängigkeit unterschiedlicher Prozessbedingungen wurden bereits in [34] untersucht. Dabei wurde die kritische Feldstärke, bei der von einem elektrischen Durchbruch zu sprechen ist, bei Überschreitung einer Stromdichte von $10^{-6} \text{ A cm}^{-2}$ festgelegt. Im Fall von Al_2O_3 betrug $E_{\text{BD}}^+ \approx 5 \text{ MV cm}^{-1}$ (ermittelt für $d = 60 \text{ nm}$). Die Durchbruchfeldstärke ist ferner nahezu unabhängig von der Schichtdicke des Dielektrikums [34]. In dieser Arbeit wurde das Durchbruchverhalten anodisierter Al_2O_3 -Schichten nochmals sorgfältig untersucht, um die Schichtdicke optimal auf die Anforderungen der elektrophoretischen Anzeige abzustimmen. Wie aus Kapitel 4.2.1.1 hervorgeht, übersteigen die benötigten Ansteuerspannungen die Spannungsfestigkeit des 60 nm dünnen Dielektrikums. Der Prozess zur Anodisierung musste daher skaliert werden.

Hierzu wurden Testkondensatoren ($2 \times 1 \text{ mm}^2$) mit unterschiedlichen Schichtdicken des Dielektrikums hergestellt. Die Anodisierung erfolgte wie im Basisprozess beschrieben. Zur Variation der Schichtdicke wurde die Abschaltspannung $U_{\text{ab}} = 0,8 \text{ V nm}^{-1}$ skaliert (vgl. Tabelle 4.3). Wie anhand der gemessenen Kapazitäten gezeigt werden konnte, ist die Schichtdicke linear skalierbar. Die maximale Abweichung bezogen auf den entsprechenden Wert von 60 nm beträgt unter $3,5 \%$.

Tabelle 4.3 – Abschaltspannungen für unterschiedliche Schichtdicken und gemessene Kapazitäten.

d in nm	U_{ab} in V	C in nF
60	48	2,32
80	64	1,78
100	80	1,43
120	96	1,20

Das Durchbruchverhalten wurde anschließend durch quasi-statische Messung⁴ der Leckstromdichte durch die Kondensatoren untersucht. Aufgrund der relativ geringen Schaltfrequenz in elektro-phoretischen Anzeigen entspricht dies der realistischen Beanspruchung der Transistoren. Bei der Messung wurde die Spannungsrampe an die Grundelektrode (Al) angeschlossen, die Strommessung erfolgte über die Deckelektrode (Cr). Es wurden jeweils Messungen in positiver und negativer Spannungsrichtung an unterschiedlichen Kondensatoren durchgeführt und in einem Diagramm $|J_C| = f(U_C)$ zusammengestellt. In Abbildung 4.14 ist die Leckstromdichte J_C durch 60 nm Al_2O_3 in Abhängigkeit der angelegten Spannung U_C in hoher Auflösung (5 Messpunkte pro Volt) aufgetragen.

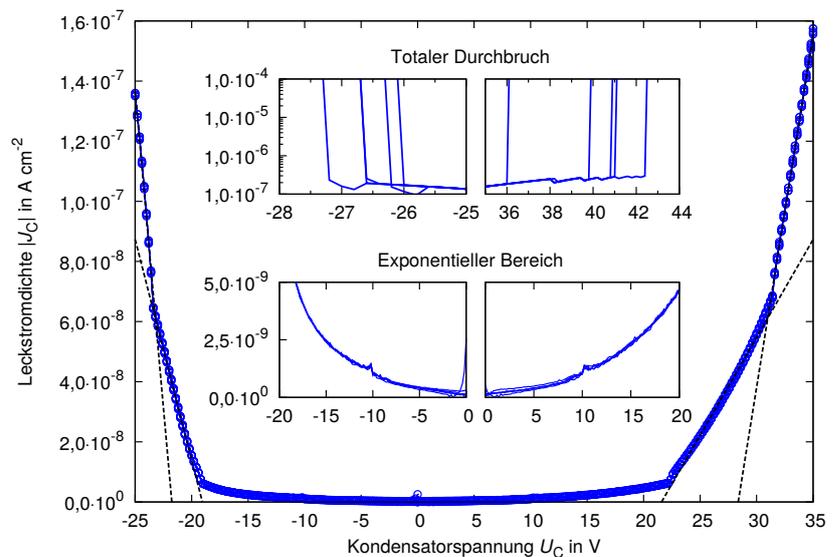


Abbildung 4.14 – Leckstromdichte und Durchbruchverhalten (quasi-statische Messung) von 60 nm dünnem anodisiertem Aluminiumoxid (Fläche der Kondensatoren $2 \times 1\ mm^2$, $N = 5$ Messungen).

Man erkennt dabei vier charakteristische Bereiche. Bei niedrigen Spannungen $|U_C| \leq 20\ V$ nimmt der Verlauf der Leckstromdichte zunächst exponentiell zu und wechselt anschließend durch einen charakteristischen Knick der Kennlinie in einen Bereich mit annähernd linearer Steigung. Bei weiterer Erhöhung von $|U_C|$ nimmt die Steigung abrupt zu und die Stromdichte erhöht sich weiterhin annähernd linear. Dieses Verhalten ist für $N = 5$ untersuchte Kondensatoren praktisch identisch. Wenn eine kritische Spannung erreicht wird – diese Spannung kann individuell variieren – nimmt die Stromdichte schlagartig über mehrere Größenordnungen zu und das Dielektrikum bricht voll-

⁴ Mit Pico-Ampèremeter HP4041B, Messparameter: Hold Time = Step Delay = 200 ms.

ständig durch. Weiterhin erkennt man, dass die Kennlinien bezüglich $U_C = 0\text{ V}$ asymmetrisch sind (in Übereinstimmung mit [34]). In negativer Richtung erfolgt der Durchbruch bereits bei geringer Spannung. Wie man erkennt, ist die Definition des Durchbruchs bei Übersteigen einer kritischen Stromdichte von 10^{-6} A cm^{-2} nicht sinnvoll, da das Dielektrikum in diesem Bereich bereits vollständig durchbricht. Daher wird in dieser Arbeit der Übergang vom exponentiellen zum ersten linearen Ansteigen der Leckstromdichte bei ca. $5 \times 10^{-9}\text{ A cm}^{-2}$ als zulässiger Grenzwert definiert.

In Abbildung 4.15 sind die Leckstromdichten in Abhängigkeit der Schichtdicke von Al_2O_3 dargestellt. In diesem Diagramm ist außerdem der definierte Grenzbereich bei $|J_C| = 5 \times 10^{-9}\text{ A cm}^{-2}$ eingetragen. Wie im gerade diskutierten Fall, markiert dieser Wert auch bei den anderen Schichtdicken den Übergangsbereich vom exponentiellen zum linearen Ansteigen von J_C . Mit zunehmender Dicke des Dielektrikums ist – wie zu erwarten – eine höhere Spannung erforderlich, um diesen Übergangsbereich zu erreichen. Im Fall der Kurve für $d = 120\text{ nm}$ wird der Grenzwert bei Unterschreiten von $U_C = -29\text{ V}$ erreicht. In Anbetracht der geforderten Spannungsfestigkeit von maximal 33 V wird der Grenzwert dabei leicht überschritten. Die Stromdichte ist in diesem Fall aber immer noch sehr gering und liegt sicher im unteren ersten linearen Bereich. Daher ist eine Schichtdicke von 120 nm ein optimaler Wert für die Realisierung der elektro-phoretischen Anzeige.

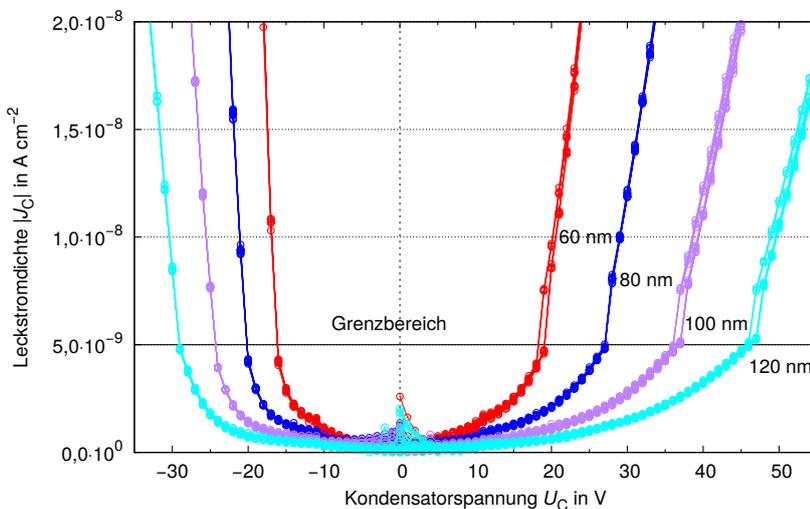


Abbildung 4.15 – Leckstromdichte in Abhängigkeit der Schichtdicke des Aluminiumoxids und Lage des Übergangs zwischen exponentiellem und erstem linearen Bereich ($N = 10$ Messungen je Schichtdicke).

4.2.3 Herstellung und Charakterisierung

Um den Aufbau der Anzeige nachzuvollziehen, ist in Abbildung 4.16 ein Querschnitt durch einen Bildpunkt skizziert. Nachfolgend werden die Schritte zur Herstellung der Anzeige, wie in [23] durchgeführt, erläutert. Eine ausführliche Prozessbeschreibung findet sich in Anhang A.11.

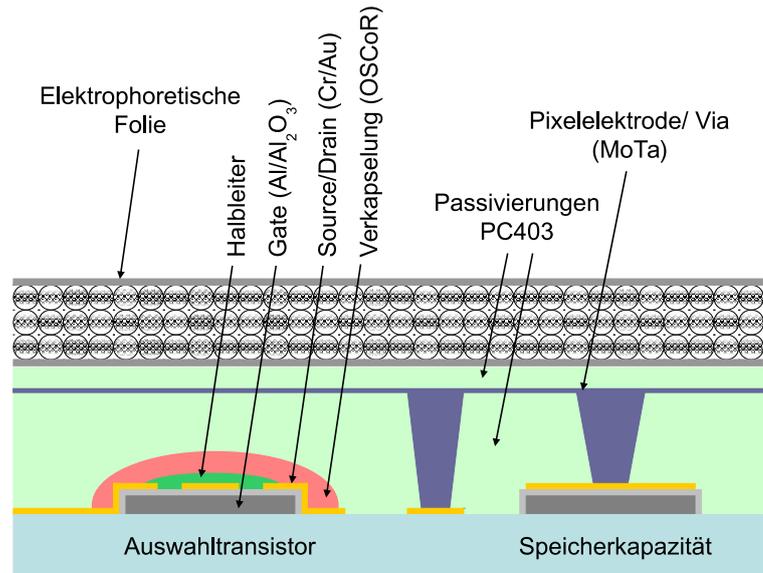


Abbildung 4.16 – Querschnitt durch einen Bildpunkt der elektrophoretischen Anzeige zur Erklärung des Schichtaufbaus.

Die Anzeige wurde auf einem Glassubstrat hergestellt. Da die maximale Prozesstemperatur aber bei 150 °C liegt, wäre die Herstellung prinzipiell auch auf Foliensubstraten umsetzbar. Auf den untersten Ebenen wurden zunächst Zeilen- und Spaltenleitungen, der Auswahltransistor und die Speicherkapazität aufgebaut (vgl. Abbildung 4.17 (a)). Diese Schritte basieren weitestgehend auf dem bereits bekannten Basisprozess. Um die Anforderungen an die Spannungsfestigkeit des Dielektrikums zu erfüllen, wurde der Prozess zur Anodisierung so modifiziert, dass die Schichtdicke des Oxids auf 120 nm verdoppelt wurde.

Nach der Herstellung der Grundstrukturen wurde der Bereich um den Transistorkanal durch Monolagen funktionalisiert, sodass der Halbleiter nach dem Drucken sicher auf diesen Bereich begrenzt wird. Kritisch waren hierbei die Prozessparameter des Druckprozesses. Um ein Überfluten der Transistoren zu verhindern, wurde der Halbleiter aus einem Druckkopf mit nominalem Tropfenvolumen von 1 pl und einem Tropfenabstand von 15 µm verdruckt. Dies führt, wie in Abbildung 4.17 (b) gezeigt, zur optimalen Benetzung des Halbleiters im aktiven Bereich des Transistors. Anschließend wurde der Halbleiter durch OSCoR verkapselt. Die Haftung dieses Lacks war trotz vorhergehender hydrophober Funktionalisierung ausreichend.

Um anschließend allerdings die erste Passivierungsschicht (PC403) aufzubringen, ist ein kurzer Zerstäubungsätzschritt notwendig. Dadurch wird die stark hydrophobe Wirkung des fluorierten OSCoR-Lacks aufgehoben. Diese Prozedur hatte auf die verkapselten Transistoren keine negativen Auswirkungen. Die Passivierungsschicht wurde lithographisch strukturiert, um Durchkontaktierungen zur Pixelelektrode zu schaffen. Anschließend ist zur Vernetzung des Photolacks ein Tempersschritt erforderlich. Eine Temperatur von 150 °C hat sich als ausreichend erwiesen und ist zugleich die höchste Temperatur des Gesamtprozesses.

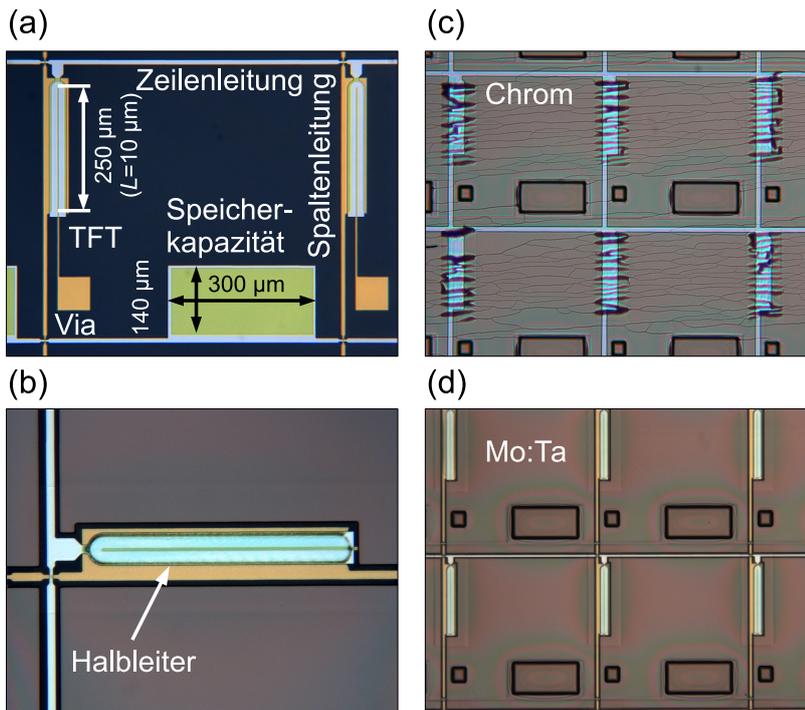


Abbildung 4.17 – (a) Bildpunkt mit Zeilen- und Spaltenleitungen, Auswahltransistor und Speicherkapazität. (b) Optimale Begrenzung des Halbleiters auf den aktiven Bereich des TFTs. (c) und (d) Ausschnitte der Bildpunktmatrix mit Pixelelektroden aus Chrom und Mo:Ta. Rissbildung durch Schichtspannungen im Fall von Chrom.

Das Material der Pixelelektrode wird anschließend auf die Passivierungsschicht durch Kathodenzerstäubung abgeschieden. Dieses Material muss sich nasschemisch selektiv zu den darunterliegenden Metallebenen strukturieren lassen. Daher kommen grundsätzlich entweder Chrom oder Molybdän-Tantal (Mo:Ta) infrage. Im Fall von Chrom kam es innerhalb der Pixelelektroden zur ausgeprägten Rissbildung (vgl. Abbildung 4.17 (c)). Dies wurde auf die typischerweise hohen Schichtspannungen in gesputterten Chromschichten zurückgeführt. Im Fall von Mo:Ta war dieses Verhalten nicht zu beobachten (vgl. Abbildung 4.17 (d)). Die Strukturierung von Mo:Ta konnte selektiv zu den darunterliegenden Metallen in kommerzieller Chromätzmischung durchgeführt werden. Die folgende Entfernung der Lackmaske erfolgte, statt wie üblicherweise in organischen Lösemitteln, durch Flutbelichten und anschließendes Entwickeln in alkalischer Lösung. Dies verhindert ein Anlösen oder Quellen der darunterliegenden Passivierungsschicht.

Zur Passivierung der Pixelelektrode wurde eine zweite Schicht aus PC403 aufgebracht. Diese Schicht ist erforderlich, um Kriechströme in der Ebene der Pixelelektrode durch den Klebfilm zu minimieren und den Kontrast der Anzeige zu erhöhen [60].

Anschließend wird die elektrophoretische Folie durch manuelles Laminieren mit einer Handwalze auf die aktive Fläche des Substrates aufgebracht. Die elektrische Kontaktierung der Gegenelektrode erfolgt punktuell durch Leitkleber.

Zur einfacheren Charakterisierung der Anzeige wurden jeweils 4 Zeilen- und Spaltenleitungen zu Blöcken zusammengefasst. Die Ansteuerung erfolgte durch Rechtecksignale, die mit einem externen Signalgenerator erzeugt wurden. Die Amplituden der Signale wurden, wie in Kapitel 4.2.1.1

beschrieben, gewählt, d.h. $U_{\text{Zeile}} = \pm 18\text{V}$ und $U_{\text{Spalte}} = \pm 15\text{V}$. Die Funktion der entwickelten Anzeige wird durch die Fotografie in Abbildung 4.18 belegt. Die Aktiv-Matrix enthält nur wenige fehlerhafte Bildpunkte, was als Beleg für die hohe Reproduzierbarkeit des Druckprozesses gilt. Außerdem ist hiermit anhand einer praktischen Anwendung gezeigt worden, dass die organischen Transistoren auch in komplexen Systeme eingesetzt werden können. Die Transistoren sind durch die Verkapselung robust genug, um nachfolgenden Prozessschritten zu widerstehen und überstehen thermischen (bis 150°C), sowie mechanischen Stress (Laminieren).

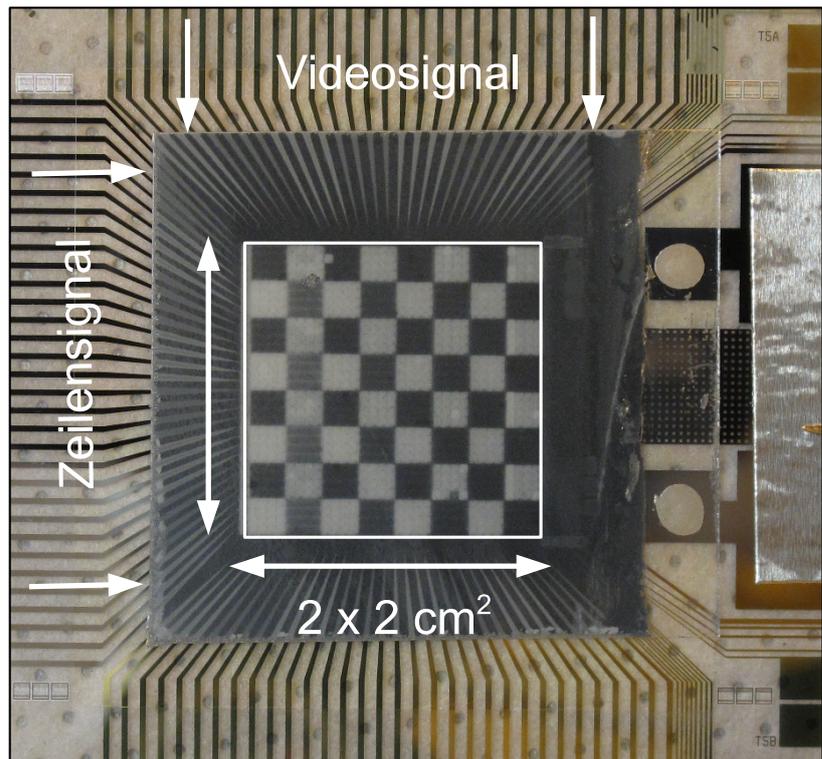


Abbildung 4.18 – Darstellung eines Schachbrettmusters. Die Anzeige hat eine Auflösung von 32×32 Bildpunkten mit einer Fläche von ca. $500\ \mu\text{m}^2$. Zur Ansteuerung wurden jeweils vier Zeilen bzw. Spalten blockweise zusammengefasst.

5 Wesentliche Ergebnisse

Der Schwerpunkt dieser Arbeit lag in der Entwicklung von organischen Dünnschichttransistoren mit gedrucktem Halbleiter mit dem Ziel eines gemeinsamen Herstellungsprozesses für p- und n-Kanal-Transistoren in komplementären Schaltungen. Die dabei eingesetzten Halbleiter unterscheiden sich in ihrer Stoffklasse (Polymere und PDI-Derivat), was in wesentlichen Unterschieden der Verarbeitbarkeit im Sinne des Druckprozesses und in den durch die Morphologie des Halbleiterfilms beeinflussten elektrischen Eigenschaften resultiert.

Während der Einfluss des Lösemittels auf den Polymerhalbleiter nicht untersucht wurde, stellte sich im Fall des PDI-Derivats eine signifikante Abhängigkeit der Morphologie in Abhängigkeit des eingesetzten Lösemittels heraus. Zwei Lösemittel mit vergleichsweise hohem Dampfdruck (o-DCB und Tetralin) verursachen auf Aluminiumoxid einen körnigen, tendentiell diskontinuierlichen Film, während der Halbleiter bei Verwendung eines Lösemittels mit niedrigem Dampfdruck (DMP) zu zweidimensionalem Schichtwachstum neigt, was zu einem ebenen, geschlossenen Film führt. Dieser Film besitzt eine polykristalline Struktur, was durch die optische Anisotropie belegt werden konnte. Entsprechend der unterschiedlichen Morphologie des Halbleiters ist die Spanne der ermittelten Ladungsträgerbeweglichkeit von $10^{-4} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ bis $10^{-1} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ bei BGBC-Transistoren erheblich. Als weiterer kritischer Parameter stellte sich im Fall des PDI-Derivats die Prozessierung und Wahl des Kontaktmetalls heraus, während dies beim Polymerhalbleiter unkritisch war. Aufgrund des sehr dünnen und mechanisch fragilen Films ist die Strukturierung der Source/Drain-Kontakte durch Lift-Off erforderlich. Das auslaufende, rundliche Kantenprofil führt in diesem Fall zur optimalen Benetzung der Kanten und vermindert die Tendenz zum Abriss des Films, wie dies bei steilen, geätzten Kanten vermutet wird. In Verbindung mit einem energetisch geeigneten Kontaktmetall (Ag) führt dies zu verbesserten Kontakteigenschaften, die elektrisch durch eine weniger verrauschte Eingangskennlinie messbar sind.

Weitere Unterschiede ergeben sich durch die Verarbeitbarkeit der Materialien durch Tintenstrahldrucken. Die Benetzung des Gateoxids durch den Polymerhalbleiter und dessen Trocknungsverhalten sind unproblematisch. Der gedruckte Nassfilm benetzt die Transistorgrundstrukturen optimal, d.h. das Gleichgewicht zwischen dem inneren Zusammenhalt der Halbleiterlösung und den Wechselwirkungen mit der bedruckten Oberfläche ist ausgeglichen, was zu einer moderaten Sprei-

tung des Nassfilms führt. Der Nassfilm trocknet innerhalb weniger Sekunden und während der Trocknung bleibt der Nassfilm auf den vorgesehenen Bereich lokalisiert. Hinsichtlich der Transistorgeometrie hat sich eine generell längliche, hier elliptische Geometrie als geeignet erwiesen. Entscheidend ist die Abscheidung des Halbleiters innerhalb eines Transistors in einem Druckdurchgang, um Überlappungen im Halbleiterfilm zu vermeiden, wie sie durch sequentielles Drucken entstehen. Dies würde zu lokalen Störungen der Morphologie führen, resultierend in einer erhöhten Störstellenkonzentration, was sich durch eine geringere Steilheit S und erhöhte Schwankungen von U_{th} bemerkbar macht.

Das Verdrucken des PDI-Derivats ist vergleichsweise anspruchsvoll, wobei hier wieder signifikante Unterschiede in Abhängigkeit des Lösemittels zum tragen kommen. Der Nassfilm aus Lösungen in *o*-DCB und Tetralin trocknet aufgrund des relativ hohen Dampfdrucks, wie beim Polymerhalbleiter, innerhalb weniger Sekunden. Die Spreitung des Nassfilms ist hierbei aber ausgeprägter, was bei einem nicht optimal auf die Geometrie abgestimmtem verdruckten Volumen zum großflächigen Verfließen des Films führen kann. Im Gegensatz dazu verdampft das Lösemittel DMP, selbst bei geringen verdruckten Volumen, innerhalb mehrerer Minuten. Für eine ungestörte Kristallisation ist es sogar erforderlich, das bedruckte Substrat für bis zu 30 min auf der beheizten Druckerplatte zu belassen. Der Nassfilm benetzt das zuvor durch Plasmareinigung vorbehandelte Substrat derart gut, dass es zur extremen Spreitung des Films um die vorgesehenen Transistorstrukturen herum kommt. Während der Trocknung kommt es außerdem zur willkürlichen Wanderung des Nassfilms relativ zu den bedruckten Strukturen. Die endgültige Lage des getrockneten Halbleiters kann weder vorhergesagt noch kontrolliert werden. Daher war die Einführung technologischer Maßnahmen zur reproduzierbaren Lokalisation des Halbleiters erforderlich. Die Ausnutzung lokaler Unterschiede der Oberflächenspannung durch strukturierte, selbstorganisierende Monolagen führte zwar zu einer kontrollierbaren Lokalisation. Doch die Notwendigkeit der Plasmavorbehandlung zur Entfernung von Oberflächenverunreinigungen des Kontaktmetalls schließt diese Lösung aus. Für den Polymerhalbleiter hat sich diese Maßnahme allerdings als geeignet erwiesen. Als Alternative wurde die Lokalisation durch strukturierte Polymerwannen (PC403) untersucht. Zwar hat sich herausgestellt, dass die extreme Spreitung des Nassfilms aufgrund der dominierenden Wechselwirkungen zwischen PC403 und der Halbleiterlösung nicht verhindert werden kann. Dennoch führt diese Maßnahme zur reproduzierbaren Lokalisation des Halbleiters nach der Trocknung. Der Rand der Wannenstrukturen wirkt als eine Art Nukleationspunkt und zwingt den allmählich verdampfenden Nassfilm in den vorgesehenen aktiven Bereich des Transistors. Es lassen sich reproduzierbar vergleichsweise leistungsfähige Transistoren mit $\mu \approx 10^{-1} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ herstellen.

Die verwendeten organischen Halbleiter haben sich als weitgehend stabil gegenüber Umwelteinflüssen gezeigt. Besonders das PDI-Derivat zeigt auch ohne Verkapselung nach mehreren Jahren Lagerung an Luft keine Verschlechterung der elektrischen Eigenschaften. Einschränkend ist hier

zu erwähnen, dass diese Aussage auf Ergebnissen mit der nachteiligen Morphologie des Halbleiters aus o-DCB mit relativ geringer anfänglicher Ladungsträgerbeweglichkeit beruht. Im Fall des Polymerhalbleiters ist eine Verkapselung zur Verringerung der Degradation erforderlich; im Übrigen erfordert jedes komplexere System aus Schaltungen und Anzeigen aus prozesstechnischer Sicht die Verkapselung des Halbleiters. Unter den untersuchten lösemittelbasierten Verkapselungen stellte sich ein fluorierter Photolack (OSCoR) mit gegenüber den Halbleitern orthogonalen Lösungseigenschaften als Material der Wahl heraus. Durch die Verkapselung des Polymerhalbleiters wurde eine Stabilisierung der Schwellspannung infolge elektrischer Beanspruchung erzielt, was wahrscheinlich auf einen verringerten Einfluss durch Back-Channel-Effekte zurückzuführen ist. Außerdem verhindert das hydrophobe Material den Eintrag von H_2O aus der Umgebung, womit die Erzeugung von Ladungsträgerfallen und Polarisierungseffekten reduziert wird. Selbst eine mehrstündige Immersion in Wasser führte nicht zur Degradation des Polymerhalbleiters. Auch das PDI-Derivat (aus Lösung in o-DCB und Tetralin) kann durch OSCoR verkapselt werden. Es wurde weder eine wesentliche Verbesserung noch eine Verschlechterung durch die Verkapselung beobachtet. Einschränkend ist zu erwähnen, dass der polykristalline Film basierend aus Lösung in DMP selbst durch die orthogonale Verkapselung geschädigt wird. Dies ist höchstwahrscheinlich auf die empfindlichen mechanischen Eigenschaften des Films zurückzuführen.

Für beide Halbleiter wurden Spezialprozesse entwickelt, die jeweils zu optimalen elektrischen Eigenschaften geführt haben. Im Fall des Polymerhalbleiters war es möglich, einen alternativen Aufbau mit obenliegenden, konventionell strukturierten Kontakten zu realisieren. Der Halbleiter widersteht sowohl den eingesetzten Ätzmedien (KI/I_2 -Lösung und kommerzielle Chromätzmischung), als auch den Lösemitteln zur Lackentfernung (Azeton, Wasser). In Verbindung mit einem funktionalisierten Gateoxid konnte so die Ladungsträgerbeweglichkeit auf $\mu \approx 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ gesteigert und die Ansteuerspannung auf $|U_{\text{GS}}| \leq 3 \text{ V}$ verringert werden. Allerdings verschlechtert das funktionalisierte Gateoxid die Benetzung durch den Halbleiter, sodass die Reproduzierbarkeit des Druckprozesses eingeschränkt wird.

Das PDI-Derivat zeigt erstaunlicherweise selbst bei Abscheidung aus Lösung in o-DCB ein optimales elektrisches Verhalten, wenn eine Top-Gate-Architektur mit Polymerdielektrikum gewählt wird. Der unpolare Charakter des Doppelschicht-Dielektrikums reduziert vermutlich die Konzentration aktiver Störstellen an der Grenzfläche zum Halbleiter. Zudem wirkt das Dielektrikum als Verkapselung der Halbleiterschicht. Durch das obenliegende Gate ist außerdem die effektive Fläche für den Ladungsträgeraustausch zwischen den Kontakten und dem Halbleiter deutlich vergrößert. Dies resultiert in leistungsfähigen Transistoren mit stabiler Schwellspannung und $\mu \approx 10^{-1} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Allerdings verursacht die geringe Gatekapazität hohe Ansteuerspannungen, was im Widerspruch zu den Projektzielen steht.

Aufgrund der unterschiedlichen Anforderungen der Halbleiter ist die Schnittmenge kompatibler Prozesse unter der Vielzahl der untersuchten Prozesse gering. Bereits durch die erheblichen Abweichungen der Ladungsträgerbeweglichkeit um zwei Größenordnungen scheidet DMP als Lösemittel für das PDI-Derivat aus, da komplementäre Transistoren weitgehend ähnliche elektrische Eigenschaften aufweisen müssen. Dieser Ausschluss ergäbe sich ohnehin durch die Notwendigkeit der Verkapselung. Die Realisierung komplementärer Schaltungen erfolgte daher durch die technologisch einfachen BGBC-Prozesse mit Abscheidung des PDI-Derivats aus Lösung in o-DCB. Es konnten funktionsfähige komplementäre Inverter, Ringoszillatoren und Nand-Gatter hergestellt werden. Allerdings war die Betriebsstabilität problematisch. Infolge von Schwellspannungsverschiebungen hin zu stark positiven Werten von U_{GS} bei beiden Transistortypen wurde die rasche Degradation der Signalpegel beobachtet. Dies verhinderte die Realisierung komplexerer Schaltungen zur Ansteuerung einer Anzeige. Das eingesetzte anodisierte Dielektrikum hat sich zwar als vorteilhaft zur Erzielung niedriger Ansteuerspannungen, hoher Reproduzierbarkeit und optimaler Bedruckbarkeit erwiesen. Allerdings ist die polare Oberfläche für den Ladungstransport in organischen Halbleitern ungeeignet, was zu instabilen Schwellspannungen führt. Als Alternative wurden unipolare Schaltungen basierend auf Pseudo-CMOS-Technik untersucht. Die Beschränkung auf den Polymerhalbleiter führte zu einem stabileren Betrieb der Schaltungen. Es wurde sogar eine Art Lernprozess beobachtet, der vermutlich dazu führte, dass sich die Schwellspannungen der Transistoren im eingeschwungenen Zustand der Schaltung auf einen optimalen Wert einstellten.

Als weitere Anwendung wurde eine elektrophoretische Aktiv-Matrix-Anzeige mit einer Auflösung von 32×32 Bildpunkten mit Ansteuerung durch gedruckte Transistoren entwickelt. Der Anodisierungsprozess für das Gatedielektrikum wurde dabei angepasst, um die Anforderungen an eine erhöhte Spannungsfestigkeit zu erfüllen. Die vergleichsweise hohe Integrationsdichte innerhalb der Ansteuermatrix erfordert die Beschränkung des Polymerhalbleiters auf den aktiven Bereich der Transistoren. Dies wurde durch strukturierte Monolagen sichergestellt. Die Transistoren waren durch die Verkapselung mit OSCoR widerstandsfähig gegenüber den nachfolgenden Passivierungs-, Abscheide- und Strukturierungsschritten. Die maximale Temperatur für die Herstellung der Anzeige lag bei 150°C . Die Funktionsfähigkeit der Anzeige – und damit die Integration des Transistorprozesses in ein komplexes, mehrschichtiges System – konnte durch externe Ansteuerung belegt werden.

A Anhang

A.1 Standardprozesse für Photolithografie

A.1.1 Substratreinigung

1. Substrate in Überlaufbecken spülen (DI-Wasser, High Flow, 10 min)
2. Substrate in 1 % Mucosollösung unter Ultraschall reinigen (ca. 70 °C, 10 min)
3. Substrate in Überlaufbecken spülen (DI-Wasser, High Flow, 10 min)
4. Substrate unter Ultraschall reinigen (DI-Wasser, ca. 70 °C, 10 min)
5. Substrate trocknen (eintauchen in Überlaufbecken bei ca. 80 °C und ablaufen lassen)

A.1.2 Lithographieprozess für Positivlack AZ TFP-650

1. Substrat belackten (1500 min^{-1} , Programm TFP150-A)
2. Soft Bake auf Heizplatte (150 °C, 90 s, Programm 115C_150)
3. Photolack belichten (Hg-Dampflampe, 6 s, 7 mW cm^{-2})
4. Photolack entwickeln (AZ-Developer : $\text{H}_2\text{O} = 1 : 1$, ca. 25 s)
5. Substrat spülen in DI-Wasser (ca. 1 min), anschließend trockenblasen

A.1.3 Lithographieprozess für Negativlack ma-N1420

1. Substrat belackten (1750 min^{-1} , 35 s, Programm MA-N1420)
2. Soft Bake auf Heizplatte (110 °C, 130 s, Programm MA-N1420)
3. Photolack belichten (Hg-Dampflampe, 60 s, 7 mW cm^{-2})
4. Photolack entwickeln (ma-D533S unverdünnt, für Lift-Off ca. 60 s, 60 s sonst)
5. Substrat spülen in DI-Wasser (ca. 1 min), anschließend trockenblasen

A.1.4 Lithographieprozess für Negativlack OSCoR-4000

1. Substrat belackten (2000 min^{-1} , 40 s, ergibt ca. 800 nm)
2. Soft Bake auf Heizplatte ($90 \text{ }^\circ\text{C}$, 90 s)
3. Photolack belichten (Hg-Dampflampe, 10 s, 7 mW cm^{-2})
4. Post Exposure Bake auf Heizplatte ($75 \text{ }^\circ\text{C}$, 90 s, Programm OSCOR_5x5)
5. Photolack entwickeln
 - 3M Novec HFE-3000 Bad I ca. 1 min 20 s bis 1 min 40 s
 - 3M Novec HFE-3000 Bad II ca. 20 s
6. Substrat nach dem Entwickeln nicht trockenblasen und sofort ohne Zeitverzug in Lack-schleuder fixieren, mit frischem Lösemittel 3M Novec HFE-3000 vollständig benetzen und bei niedriger Schleuderdrehzahl (ca. 100 min^{-1}) trockenschleudern

A.1.5 Lithographieprozess für Positivlack PC403

1. Substrat belackten (1000 min^{-1} , 30 s, ergibt ca. $3 \mu\text{m}$, Programm PC403_3)
2. Soft Bake auf Heizplatte ($75 \text{ }^\circ\text{C}$, 120 s, Programm TC150)
3. Photolack belichten (Hg-Dampflampe, 40 s, 7 mW cm^{-2})
4. Photolack entwickeln (TMA-238-WA : H_2O = 1 : 6, ca. 90 s)
5. Substrat spülen in DI-Wasser (ca. 1 min), anschließend trockenblasen

A.1.6 Lithographieprozess für Negativlack SU-8

1. Substrat belackten (Programm SU8-15u)
2. Soft Bake auf Heizplatte (Programm SU8-PEB)
3. Photolack belichten (Hg-Dampflampe, 35 s, 7 mW cm^{-2})
4. Post Exposure Bake auf Heizplatte (Programm SU8-PEB)
5. Photolack entwickeln
 - AZ-Thinner Bad I ca. 3 min
 - AZ-Thinner Bad II ca. 30 s
 - 2-Propanol ca. 30 s
6. Substrat spülen in DI-Wasser (ca. 1 min), anschließend trockenblasen

A.1.7 Entlacken in Azeton

1. Entlacken in Azeton Bad I für 10 min unter Ultraschall
2. Entlacken in Azeton Bad II für 10 min unter Ultraschall
3. Entlacken in 2-Propanol für 10 min unter Ultraschall
4. Substrate trockenblasen

A.1.8 Entlacken in Avantor PRS-3000

1. Entlacken in PRS-3000 Bad I für 10 min bei ca. 70 °C unter Ultraschall
2. Entlacken in PRS-3000 Bad II für 10 min bei ca. 70 °C unter Ultraschall
3. Substrate in Überlaufbecken spülen (DI-Wasser, High Flow, 5 min)
4. Substrate unter Ultraschall reinigen (DI-Wasser kalt, 5 min)
5. Substrate in 2-Propanol unter Ultraschall reinigen (5 min)
6. Substrate trockenblasen

A.1.9 Goldätzlösung

Zusammensetzung der Basislösung: 400 g KI, 100 g I₂ und 400 g H₂O.

A.2 Basisprozess für organische Transistoren

Basisprozesses für Substrate mit bedruckbaren TFT-Strukturen der Art BGBC. Die Source/Drain-Kontakte können entweder durch Ätzen oder durch einen Lift-Off-Prozess strukturiert werden. Der Prozess startet mit gereinigten Glassubstraten (vgl. Anhang A.1.1) der Größe 15 × 15 cm² vom Typ Corning Eagle 2000 oder XG mit einer Stärke von 0,7 mm bzw. 1,1 mm. Diese Substrate werden später zu 9 bedruckbaren Grundsubstraten der Größe 5 × 5 cm² vereinzelt. Es stehen zwei Maskensätze zur Verfügung:

1. Abscheidung einer Haftschrift aus Ta₂O₅ (optional)
 - Substrate 1 min bei 10 % Sputterleistung in Ar-Plasma ansputtern
 - Abscheidung von ca. 30 nm Ta₂O₅ durch HF-Sputtern

Tabelle A.1 – Überblick über Maskensätze für TFT-Grundstrukturen.

Maskensatz	Geometrie	$W/\mu\text{m}$	$L/\mu\text{m}$	Elektrodenform
Jet-FET V1.0	A	455	10	zentrisch-rund
	B	455	20	zentrisch-rund
	C	720	10	zentrisch-elliptisch
	D	720	20	zentrisch-elliptisch
	E	1420	10	mäandrisch
Kontaktwiderstand V1.0	A	400	5	Standard
	B	400	10	Standard
	C	400	20	Standard
	D	400	40	Standard
	E	400	80	Standard

- *Bemerkung:* Die Haftschiicht ist nur erforderlich, falls die Source/Drain-Schicht durch Aufdampfen statt Sputtern abgeschieden wird oder falls die Strukturierung dieser Schicht durch einen Lift-Off-Prozess erfolgt.
2. Abscheidung des Gatemetalls Al:Nd (9:1)
 - Substrate 1 min bei 10 % Sputterleistung in Ar-Plasma ansputtern
 - Abscheidung von 150 nm Al:Nd durch DC-Sputtern
 3. Strukturierung des Gatemetalls
 - Maske: Gate
 - Substrate belacken, belichten und entwickeln (vgl. Anhang A.1.2)
 - Metall ätzen in $\text{H}_3\text{PO}_4/\text{HNO}_3$ -Ätzmischung (Honeywell), Temperatur ca. 38 °C, auf Sicht ätzen, 1 min spülen
 - Substrate entlacken (vgl. Anhang A.1.7)
 4. Definition Gate-Dielektrikum
 - Maske: No Dielectric
 - Substrate belacken, belichten und entwickeln (vgl. Anhang A.1.2)
 5. Anodisierung des Gatemetalls
 - 2,5 l Wasserstoffperoxid (Konzentration 30 %) mit 0,5 l H_2O mischen und mit 1 M Ammoniakwasser (NH_4OH) auf pH = 7 einstellen
 - Spannungsbegrenzung $U_{\text{ab}} = 0,8 \text{ Vnm}^{-1}$ (standardmäßig 48 V für 60 nm Oxid)
 - Strombegrenzung $I = AJ = A \cdot 0,35 \text{ mAcm}^{-2}$ (Flächen und einzustellende Ströme siehe Tabelle A.2)
 - Substrate in der Lösung anodisieren (Dauer 10 min)
 - Substrat anschließend 1 min spülen in H_2O und trockenblasen
 - Substrate entlacken (vgl. Anhang A.1.7)

Tabelle A.2 – Zu anodisierende Flächen und Strombegrenzungen bei einer Stromdichte von $0,35 \text{ mA cm}^{-2}$.

Maskensatz	Substrat	A/cm^2	I/A
Jet-FET V1.0	Einzelsubstrat $5 \times 5 \text{ cm}^2$	4,27	1,49
	Substrat $15 \times 15 \text{ cm}^2$	40,45	14,16
Kontaktwiderstand V1.0	Einzelsubstrat $5 \times 5 \text{ cm}^2$	3,91	1,37
	Substrat $15 \times 15 \text{ cm}^2$	37,23	13,03

Die vier nachfolgenden Prozessschritte sind durchzuführen, wenn das Source/Drain-Metall durch Lift-Off strukturiert werden soll.

1. Lift-Off-Maske strukturieren

- Substrate 1 min bei 10 % Sputterleistung in Ar-Plasma ansputtern
- Maske: Source/Drain
- Substrate belacken, belichten und entwickeln (vgl. Anhang A.1.3)
- *Bemerkung:* Das Ansputtern ist unmittelbar vor dem Belacken durchzuführen, da dieser Schritt die Lackhaftung temporär erhöht und nur dadurch ein fehlerfreier Lift-Off-Prozess durchgeführt werden kann

2. Source/Drain-Metall aufdampfen

- Ag oder Au ca. 70 nm

3. Lift-Off

- Photolack ca. 10 min lang in Azeton lösen, Ultraschall vermeiden
- Dabei das Substrat mit der Schichtseite schräg nach unten geneigt lagern, sodass sich die Metallschicht vom Substrat ablösen kann
- Mögliche Metallreste durch ruckartiges Bewegen des Substrates ablösen
- Substrat nach vollständigem Lift-Off sofort mit Azeton aus Laborflasche abspülen
- Ohne Trockenschritt Substrat sofort in frischem Azetonbad und anschließend in Propanol jeweils 10 min unter Ultraschall reinigen

4. Substrate zuschneiden

Die vier nachfolgenden Prozessschritte sind durchzuführen, wenn das Source/Drain-Metall durch nasschemisches Ätzen strukturiert werden soll.

1. Abscheidung des Source/Drain-Metalls Cr/Au

- Substrate 1 min bei 10 % Sputterleistung in Ar-Plasma ansputtern
- Abscheidung von max. 5 nm Cr durch DC-Sputtern
- Abscheidung von 45 nm Au durch DC-Sputtern

- *Bemerkung*: Die Chrom-Haftschrift sollte nur wenige nm dünn sein (optisch quasi-transparent); in der Praxis ist eine Oszillation bei einer Palettengeschwindigkeit von 3 m min^{-1} ausreichend
2. Strukturierung des Source/Drain-Metalls
 - Maske: Source/Drain
 - Substrate belacken, belichten und entwickeln (vgl. Anhang A.1.2)
 - Ag ätzen in 1:4 verdünnter Basislösung (vgl. Anhang A.1.9), Dauer 8 s, anschließend 1 min spülen und trockenblasen
 - Cr ätzen (Ammoniumcarnitrat/Perchlorsäure-Ätzmischung von Technique France), Dauer 12 s, anschließend 1 min spülen und trockenblasen
 3. Substrate zuschneiden
 4. Substrate entlacken (vgl. Anhang A.1.8)

A.3 Konventionell geätzte, obenliegende Kontakte

Prozess zur nasschemischen Strukturierung von Source/Drain-Kontakten aus Ag oder Au auf bereits bedruckten Grundsubstraten.

1. Abscheidung des Kontaktmetalls
 - Ag oder Au ca. 60 nm bis 70 nm durch Aufdampfen
2. Strukturierung der Source/Drain-Kontakte
 - Maske: Source/Drain
 - Substrate belacken, belichten und entwickeln (vgl. Anhang A.1.2)
 - Ag ätzen in 1:10 verdünnter Basislösung (vgl. Anhang A.1.9), Dauer ca. 20 s, anschließend 1 min spülen und trockenblasen
 - Cr ätzen in 1:8 verdünnter Ammoniumcarnitrat/Perchlorsäure-Ätzmischung von Technique France), Dauer ca. 25 s, anschließend 1 min spülen und trockenblasen
3. Lackentfernung
 - Lack 10 s in Azeton lösen
 - 1 min in H_2O spülen, trockenblasen
4. Trockenschritt
 - z.B. 1 h bei 110°C im Vakuumtemperofen
 - oder 1 h bei 80°C im Konvektionsofen

A.4 Transistoren mit niedrigen Spannungen

1. Abscheidung von Ta_2O_5 wie in Anhang A.2
2. Strukturierung Gate
 - Maske: Kontaktwiderstand V1.0 Gate
 - Abscheidung von ca. 50 nm Al durch Aufdampfen
 - Strukturierung des Gatemetalls wie in Anhang A.2
 - 5 min UV-Ozon-Behandlung zur Entfernung von Lackrückständen
3. Anodisierung wie in Anhang A.2; $U_{\text{ab}} = 12 \text{ V}$ für 15 nm Oxid
4. Trocknung der Substrate 1 h im Umluftofen bei $200 \text{ }^\circ\text{C}$
5. Funktionalisierung des Gateoxids
 - 5 min UV-Ozon-Behandlung
 - Funktionalisierung 1 h in $c = 1 \text{ mmol l}^{-1}$ Octadecylphosphonsäure in 2-Propanol
 - Substrat 1 min spülen in 2-Propanol und trockenblasen
 - Substrat trocknen im Umluftofen 30 min bei $80 \text{ }^\circ\text{C}$
6. Halbleiter drucken
 - Polymerhalbleiter
 - 1 h Vakuumtemperung bei $90 \text{ }^\circ\text{C}$ und $p < 1 \cdot 10^{-2} \text{ mbar}$
7. Strukturierung Source/Drain
 - Maske: Kontaktwiderstand V1.0 Gate
 - 50 nm Ag aufdampfen bei $1,5 \text{ } \text{\AA} \text{ s}^{-1}$
 - Ag strukturieren wie in Anhang A.3

A.5 Verkapselung der Transistoren

Verkapselung der bedruckten Grundstrukturen nach Standardprozessen:

1. mit OSCoR wie in Anhang A.1.4
2. mit PC403 wie in Anhang A.1.5
3. mit ma-N1420 wie in Anhang A.1.3
4. mit SU-8 wie in Anhang A.1.6

Im Anschluss Temperung bei $140 \text{ }^\circ\text{C}$ im Vakuumtemperofen für 2 h.

A.6 Berechnung der Dampfdruckkurven

Der Dampfdruck p (in kPa) eines Lösemittels bei unterschiedlichen Temperaturen T (in K) kann durch die Antoine-Gleichung

$$\lg p = A - \frac{B}{C + T} \quad (\text{A.1})$$

angenähert werden [15, 16]. Dabei sind A , B und C die tabellierten Antoine-Koeffizienten, die für einen bestimmten Temperaturbereich gültig sind. Für die relevanten Lösemittel sind diese Koeffizienten in Tabelle A.3 angegeben.

Tabelle A.3 – Antoine-Koeffizienten für o-DCB, Tetralin und Dimethylphthalat (DMP) nach [15, 16].

Lösemittel	A	B/K	C/K
o-DCB	6,265 19	1702,426	-53,887
Tetralin	6,426 83	1876,823	-55,019
DMP	9,783 73	4702,876	66,405

A.7 Benetzung des Halbleiters auf OPS

In Abbildung A.1 ist eine Mikroskopaufnahme eines Transistors mit funktionalisierter Gate-Elektrode abgebildet.

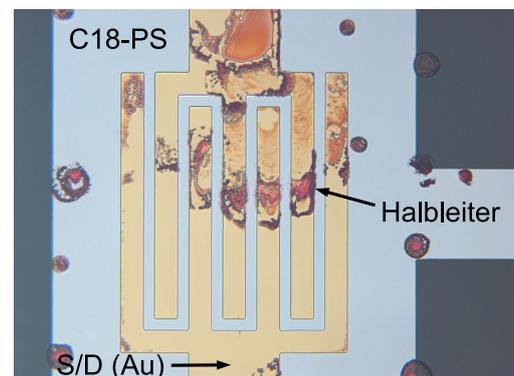


Abbildung A.1 – Benetzungsverhalten eines bedruckten Transistors mit funktionalisierter Gate-Oberfläche durch Alkylphosphonsäuren (OPS).

Zur Abscheidung der Monolage aus OPS wurde das Substrat in einem Sauerstoff-Mikrowellenplasma zunächst einige Sekunden behandelt, mit dem Ziel, eine möglichst dichte Packung von OH-Gruppen auf dem Aluminiumoxid zu erzeugen. Die selbstorganisierenden Moleküle wurden anschließend aus einer Lösung in Propanol ($c \approx 2 \text{ mmol l}^{-1}$) innerhalb ca. einer

Stunde abgeschieden. Das Substrat wurde nach Bildung der Monolage in Propanol gespült, trockengeblasen und auf einer Heizplatte getrocknet. Der n-Typ-Halbleiter wurde aus Lösung in o-DCB auf die Transistorstrukturen verdrückt.

Man erkennt in Abbildung A.1, dass der Halbleiter das funktionalisierte Gate praktisch nicht benetzt. Selbst aus dem engen Transistorkanal ($10\ \mu\text{m}$) wird der Halbleiter verdrängt. Ursächlich für die schlechte Benetzbarkeit ist die extrem hydrophobe Oberfläche (charakteristische Oberflächenspannungen siehe Tabelle 2.2). Weiter erkennt man, dass die Goldkontakte des Transistors mit dem Halbleiter benetzt werden. Dies ist Folge der Affinität von Alkylphosphonsäuren (wie OPS) zu Metalloxydoberflächen. Auf Metallen der Kupfergruppe bildet sich aufgrund mangelnder Bindungsmöglichkeit keine Monolage.

A.8 Strukturierte Abscheidung von Monolagen

Der hier beschriebene Prozess eignet sich zur strukturierten Abscheidung von Monolagen auf Aluminiumoxid (Dodecylphosphonsäure) und Gold (Hexadecanthiol) zur Lokalisation des Polymerhalbleiters.

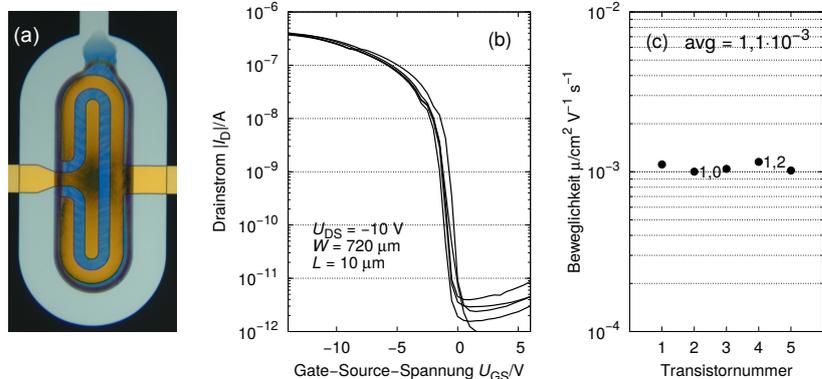
1. Definition des bedruckbaren Bereichs durch Abdecken mit Photolack
 - mit ma-N1420 wie in Anhang A.1.3
 - oder mit AZ TFP-650 wie in Anhang A.1.2
2. Funktionalisierung von Al_2O_3
 - RIE-Plasma: O_2 $20\ \text{ml min}^{-1}$, Dauer 30 s, Leistung 10 W, Druck 0,06 mbar
 - Unmittelbar nach Plasma in Dodecylphosphonsäure-Lösung tauchen (100 mg C12-PS auf 1000 ml H_2O) für 45 min bis 1 h
 - 1 min spülen in DI-Wasser
 - 15 min trocknen bei $120\ ^\circ\text{C}$ im Umluftofen
3. Funktionalisierung von Au
 - Exsikkator auf $90\ ^\circ\text{C}$ aufheizen und evakuieren (Hausvakuum)
 - $50\ \mu\text{ml}$ Hexadecanthiol und 1 ml Toluol in Petrischale mischen
 - Substrat und Petrischale in den Exsikkator legen
 - Exsikkator evakuieren und mit N_2 fluten (zwei bis drei Spülzyklen)
 - Substrat für 2,5 h im evakuierten Exsikkator lagern
4. Lackentfernung wie in Anhang A.1.8

A.9 Lokalisation des Polymerhalbleiters durch Monolagen

Wie bei der n-Typ-Halbleiterlösung in DMP erfolgreich gezeigt werden konnte, ist auch die Lokalisation des Polymerhalbleiters durch Ausnutzung unterschiedlicher Oberflächenspannungen hydrophober und hydrophiler Bereiche mit selbstorganisierenden Molekülen möglich. Insbesondere für kleinere Transistorgeometrien kann dies notwendig werden, um den Halbleiter nur in einem definierten Bereich abzuscheiden.

In Abbildung A.2 (a) ist eine Mikroskopaufnahme eines solchen Transistors gezeigt. Bis auf eine kleine aber unkritische Fehlerstelle, bleibt der Halbleiter klar auf den definierten Bereich begrenzt. Die gemessenen Eingangskennlinien in (b) und die extrahierten Ladungsträgerbeweglichkeiten in (c) entsprechen den Erwartungswerten. Im Gegensatz zum n-Typ-Halbleiter wirken sich Lackrückstände auf den Injektionskontakten durch Abdeckung des aktiven Bereichs vor der Funktionalisierung beim Polymerhalbleiter nicht signifikant auf das elektrische Verhalten der Transistoren aus. Aus dieser Sicht ist das untersuchte Verfahren für den Polymerhalbleiter daher ohne Einschränkung geeignet und wurde in einen Prozess zur Herstellung einer funktionsfähigen elektrophoretischen Aktiv-Matrix-Anzeige integriert.

Abbildung A.2 – (a) Transistor mit Lokalisation des Polymerhalbleiters durch Monolagen. (b) Gemessene Eingangskennlinien und (c) extrahierte Ladungsträgerbeweglichkeiten von Transistoren mit begrenztem Halbleiter und Au-Kontakten.



A.10 Top-Gate-Prozess

1. Strukturierung der Source/Drain-Kontakte
 - Maske: Kontaktwiderstand V1.0 Source/Drain
 - Abscheidung von Cr/Au und Strukturierung wie in Anhang A.2
 - Lackentfernung wie in Anhang A.1.8
2. Halbleiterlösung ansetzen und drucken
 - 9 mg ml^{-1} Halbleiter in o-DCB

- Tempern im Umluftofen bei 90 °C und N₂-Fluss von 1,5 m³ h⁻¹ für 1,25 h
3. Dielektrikum Schicht 1 (in Glovebox)
 - Konzentration 0,4 wt% Feststoff in Cyclohexan
 - Aufschleudern bei 3000 min⁻¹ für 30 s
 - Soft Bake 100 °C für 180 s
 - 30 min Vakuumtemperatur bei 110 °C und $p < 1 \cdot 10^{-2}$ mbar
 4. Dielektrikum Schicht 2 (in Glovebox)
 - Konzentration 70 mg ml⁻¹ in Butylacetat : Ethyllactat = 4 : 6
 - Aufschleudern bei 2000 min⁻¹ für 60 s
 - Soft Bake 100 °C für 180 s
 - 1 h Vakuumtemperatur bei 110 °C und $p < 1 \cdot 10^{-2}$ mbar
 5. Strukturierung Gate
 - Schattenmaske: Gate
 - 100 nm Al durch Aufdampfen

Das Doppeldielektrikum hat eine kombinierte Schichtdicke von ca. 860 nm und eine relative Permittivität von $\epsilon_r \approx 3,1$.

A.11 Herstellungsprozess für AM-EPD-Backplane

Herstellung der Backplane:

1. Reinigung Substratgläser 10 × 12 cm² wie in Anhang A.1.1
2. Abscheidung Ta₂O₅-Haftschicht wie in Anhang A.2
3. Abscheidung 200 nm Al:Nd wie in Anhang A.2
4. Strukturierung Gate/Spaltenleitung
 - Maske: Gate/Spaltenleitung/GND
 - Substrate belackten (Programm TFP10-A), belichten (Hard Contact) und entwickeln wie in Anhang A.1.2
 - Al:Nd ätzen wie in Anhang A.2
 - Lackentfernung wie in Anhang A.1.7
5. Definition Gatedielektrikum
 - Maske: No Dielectric/Passivation
 - Substrate 0,5 min bei 10 % Sputterleistung in Ar-Plasma ansputtern
 - Substrate belackten, belichten und entwickeln (ca. 30 s) wie in Anhang A.1.3
6. Anodisierung

- Prozess wie in Anhang A.2
 - $U_{ab} = 96 \text{ V}$ für 120 nm Oxid
 - Strombegrenzung 0,7 mA
 - Dauer ca. 20 min
 - Lackentfernung wie in Anhang A.1.7
7. Abscheidung Cr/Au (5 nm/45 nm) durch Sputtern wie in Anhang A.2
 8. Strukturierung Source/Drain/Spaltenleitung
 - Maske: Source/Drain/Spaltenleitung
 - Substrate belackten, belichten und entwickeln wie in Anhang A.1.2
 - Substrate 0,5 min bei 10 % Sputterleistung in Ar-Plasma ansputtern
 - Cr/Au ätzen wie in Anhang A.2
 - Lackentfernung wie in Anhang A.1.8
 9. Definition des Druckbereichs
 - Maske: Wall
 - Substrate 0,5 min bei 10 % Sputterleistung in Ar-Plasma ansputtern
 - Substrate belackten, belichten und entwickeln (ca. 30 s) wie in Anhang A.1.3
 - Monolagen abscheiden wie in Anhang A.8
 10. Drucken des Halbleiters
 - Polymerhalbleiter, Kartusche 1 pl, Drop Spacing 15 μm
 - Halbleiter tempern bei 110 °C für 2 h im Vakuumtemperofen
 11. Verkapselung des Halbleiters
 - Maske: Encapsulation
 - Substrate belackten, belichten und entwickeln wie in Anhang A.1.4
 - Verkapselung tempern bei 140 °C für 2 h im Vakuumtemperofen
 12. Passivierung mit PC403
 - Maske: Via
 - Substrate 0,5 min bei 5 % Sputterleistung in Ar-Plasma ansputtern
 - Substrate belackten, belichten und entwickeln wie in Anhang A.1.5
 - Soft Bake 0,5 h bei 120 °C
 - Hard Bake 1,5 h bei 150 °C
 13. Abscheidung Pixelelektrode
 - Substrate 2 min bei 20 % Sputterleistung in Ar-Plasma ansputtern
 - Abscheidung von 100 nm Mo:Ta
 14. Strukturierung Pixelelektrode
 - Maske: No TFT/Leitung
 - Substrate belackten, belichten und entwickeln wie in Anhang A.1.2
 - Mo:Ta ca. 2 min ätzen in OSC Chrome Etch

- Lackentfernung durch 8 s Flutbelichtung und entwickeln (AZ-Developer : H₂O = 1 : 1, ca. 40 s)
- anschließend spülen und trockenblasen

15. Passivierung der Pixelelektrode mit PC403

- Maske: No Dielectric/Passivation
- Substrate 0,5 min bei 10 % Sputterleistung in Ar-Plasma ansputtern
- Substrate belackten (Programm PC403_HB für ca. 1 µm), belichten und entwickeln wie in Anhang A.1.5
- Hard Bake 1,5 h bei 150 °C

Nach Herstellung der Backplane wird die elektrophoretische Folie mit einer Handwalze auf den aktiven Bereich des Substrates laminiert. Zur Kontaktierung der Gegenelektrode muss zunächst der Klebefilm und das elektrophoretische Medium an der betreffenden Stelle der Folie vorsichtig mit 2-Propanol freigewischt werden. Die Kontaktierung zwischen Gegenelektrode und elektrophoretischer Folie erfolgt durch Silberleitlack. Es ist hilfreich, das Lösemittel des Leitlacks nach dem Laminieren der Folie im Umluftofen bei ca. 80 °C zu verdampfen. Dabei sollte die Folie mit einem Aluminiumblock beschwert werden, um den elektrischen Kontakt zu optimieren.

Literaturverzeichnis

- [1] ABDUR, Rahim ; JEONG, Kyunghoon ; LEE, Mi J. ; LEE, Jaegab: High performance of pentacene organic thin film transistors by doping of iodine on source/drain regions. In: *Organic Electronics* 14 (2013), S. 1142–1148 (Zitiert auf Seite 66)
- [2] ANTE, Frederik ; KÄLBLEIN, Daniel ; ZAKI, Tarek ; ZSCHIESCHANG, Ute ; TAKIMIYA, Kazuo ; IKEDA, Masaaki ; SEKITANI, Tsuyoshi ; BURGHARTZ, Joachim N. ; KERN, Klaus ; KLAUK, Hagen: Contact Resistance and Megahertz Operation of Aggressively Scaled Organic Transistors. In: *Small* 8 (2012), Nr. 1, S. 73–79 (Zitiert auf den Seiten 48, 64, 65 und 70)
- [3] ANTHONY, John E. ; FACCHETTI, Antonio ; HEENEY, Martin ; MARDER, Seth R. ; ZHAN, Xiaowei: n-Type Organic Semiconductors in Organic Electronics. In: *Advanced Materials* 22 (2010), S. 3876–3892 (Zitiert auf den Seiten 38, 39, 42, 43 und 44)
- [4] BAO, Zhenan ; LOVINGER, Andrew J. ; BROWN, Janelle: New Air-Stable n-Channel Organic Thin Film Transistors. In: *Journal of the American Chemical Society* 120 (1998), S. 207–208 (Zitiert auf den Seiten 39 und 43)
- [5] BASF SE: *GSID 1210865-1*. Materials Safety Data Sheet. – Stand 20.07.2012 (Zitiert auf Seite 57)
- [6] BENZEL, Daniel: *Vergleich verschiedener Architekturen organischer Feldeffekttransistoren für komplementäre logische Schaltungen*, Universität Stuttgart, Institut für Großflächige Mikroelektronik, Diplomarbeit, 2010 (Zitiert auf den Seiten 129, 130 und 131)
- [7] BÜRGSTEIN, Thomas: *Mikrokristallines Silizium als Halbleiter in Aktivmatrizen für Organische-Lichtemittierende-Dioden-Anwendungen*, Universität Stuttgart, Dissertation, 2011 (Zitiert auf Seite 32)
- [8] CAIRONI, Mario ; GILI, Enrico ; SIRRINGHAUS, Henning: Ink-jet Printing of Downscaled Organic Electronic Devices. In: KLAUK, Hagen (Hrsg.): *Organic Electronics II – More Ma-*

- terials and Applications*. Weinheim : Wiley-VCH, 2012, S. 281–326 (Zitiert auf den Seiten 25 und 26)
- [9] CRUICKSHANK, Craig: Organic Semiconductor Industry: Recent Trends in Patent Filing. In: HECKER, Klaus (Hrsg.): *Organic Electronics* Bd. 1. Frankfurt am Main : VDMA Verlag GmbH, 2006, S. 13–16 (Zitiert auf Seite 17)
- [10] CZEMPIK, Tobias: *Entwicklung von Zeilentreibern auf Basis gedruckter organischer Dünnschichttransistoren für Aktiv-Matrix-Anzeigen*, Universität Stuttgart, Institut für Großflächige Mikroelektronik, Diplomarbeit, 2014 (Zitiert auf den Seiten 137, 138, 139 und 140)
- [11] DAAMI, A. ; BORY, C. ; BENWADIH, Mohamed ; JACOB, S. ; GWOZIECKI, Romain ; CHARTIER, I. ; COPPARD, R. ; SERBUTOVIEZ, Christophe ; MADDIONA, L. ; FONTANA, E. ; SCUDERI, Ant.: Fully printed organic CMOS technology on plastic substrates for digital and analog applications. In: *Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2011, S. 328–330 (Zitiert auf Seite 19)
- [12] DE BOER, R. W. I. ; GERSHENSON, M. E. ; MORPURGO, A. F. ; PODZOROV, V.: Organic single-crystal field-effect transistors. In: *Physica Status Solidi A* 201 (2004), Nr. 6, S. 1302–1331 (Zitiert auf den Seiten 88 und 90)
- [13] DE LEEUW, D. M. ; SIMENON, M. M. J. ; BROWN, A. R. ; EINERHAND, R. E. F.: Stability of n-type doped conducting polymers and consequences for polymeric microelectronic devices. In: *Synthetic Metals* 87 (1997), S. 53–59 (Zitiert auf den Seiten 18 und 39)
- [14] DEMTÖDER, Wolfgang: *Experimentalphysik I, Mechanik und Wärme*. 4. Auflage. Springer Berlin Heidelberg, 2006 (Zitiert auf Seite 30)
- [15] DYKYJ, J. ; SVOBODA, J. ; WILHOIT, R.C. ; FRENKEL, M. ; HALL, K.R.: Subvolume A: Vapor Pressure and Antoine Constants for Hydrocarbons, and Sulfur, Selenium, Tellurium, and Halogen Containing Organic Compounds. In: HALL, K. R. (Hrsg.): *Vapor Pressure of Chemicals*. Berlin : Springer, 1999 (Landolt-Börnstein - Group IV: Physical Chemistry) (Zitiert auf Seite 162)
- [16] DYKYJ, J. ; SVOBODA, J. ; WILHOIT, R.C. ; FRENKEL, M. ; HALL, K.R.: Subvolume B: Vapor Pressure and Antoine Constants for Oxygen Containing Organic Compounds. In: HALL, K. R. (Hrsg.): *Vapor Pressure of Chemicals*. Berlin : Springer, 2000 (Landolt-Börnstein - Group IV: Physical Chemistry) (Zitiert auf Seite 162)

- [17] ECK, W. ; GRUNZE, M.: 3.8.10 Chemisorption of polyatomic chain-like hydrocarbons on metals and semiconductors. In: BONZEL, H.P. (Hrsg.): *Adsorbed Layers on Surfaces*. Berlin : Springer, 2005 (Landolt-Börnstein - Group III Condensed Matter), S. 371–385 (Zitiert auf den Seiten 50 und 51)
- [18] FRÜHAUF, Norbert: *Flachbildschirme*, Universität Stuttgart, Institut für Großflächige Mikroelektronik, Vorlesungsmanuskript, Sommersemester 2010 (Zitiert auf Seite 141)
- [19] FU, Yu ; TSAI, Feng-Yu: Air-stable polymer organic thin-film transistors by solution-processed encapsulation. In: *Organic Electronics* 12 (2011), Nr. 1, S. 179–184 (Zitiert auf den Seiten 74, 76 und 79)
- [20] FUKUDA, Kenji ; SEKITANI, Tsuyoshi ; YOKOTA, Tomoyuki ; KURIBARA, Koichi ; HUANG, Tingwen ; SAKURAI, Takayasu ; ZSCHIESCHANG, Ute ; KLAUK, Hagen ; IKEDA, Makoto ; KUWABARA, Hirokazu u. a.: Organic Pseudo-CMOS Circuits for Low-Voltage Large-Gain High-Speed Operation. In: *IEEE Electron Device Letters* 32 (2011), Nr. 10, S. 1448–1450 (Zitiert auf den Seiten 135, 136 und 138)
- [21] FUKUDA, Kenjiro ; HAMAMOTO, Takanori ; YOKOTA, Tomoyuki ; SEKITANI, Tsuyoshi ; ZSCHIESCHANG, Ute ; KLAUK, Hagen ; SOMEYA, Takao: Effects of the alkyl chain length in phosphonic acid self-assembled monolayer gate dielectrics on the performance and stability of low-voltage organic thin-film transistors. In: *Applied Physics Letters* 95 (2009), Nr. 20, S. 203301 (Zitiert auf den Seiten 46, 51, 53, 72, 100 und 101)
- [22] GASIOROWSKI, Jacek: *Doping induced effects in organic semiconductors and bulk heterojunctions*, Johannes-Kepler-Universität Linz, Dissertation, 2013 (Zitiert auf Seite 66)
- [23] GAVRANIC, Dalibor: *Entwicklung einer elektrophoretischen Anzeige mit Aktiv-Matrix-Ansteuerung durch gedruckte organische Transistoren*, Universität Stuttgart, Institut für Großflächige Mikroelektronik, Bachelorarbeit, 2013 (Zitiert auf den Seiten 141, 143, 145 und 147)
- [24] GUNDLACH, D. J. ; JACKSON, T. N. ; SCHLOM, D. G. ; NELSON, S. F.: Solvent-induced phase transition in thermally evaporated pentacene films. In: *Applied Physics Letters* 74 (1999), Nr. 22, S. 3302–3304 (Zitiert auf den Seiten 66 und 69)
- [25] GUNDLACH, D. J. ; LIN, Y.-Y. ; JACKSON, T. N. ; NELSON, S. F. ; SCHLOM, D. G.: Pentacene organic thin-film transistors—molecular ordering and mobility. In: *IEEE Electron Device Letters* 18 (1997), Nr. 3, S. 87–89 (Zitiert auf Seite 88)

- [26] GUNDLACH, D. J. ; ZHOU, L. ; NICHOLS, J. A. ; JACKSON, T. N. ; NECLIUDOV, P. V. ; SHUR, M. S.: An experimental study of contact effects in organic thin film transistors. In: *Journal of Applied Physics* 100 (2006), S. 024509 (Zitiert auf den Seiten 35, 48, 64 und 65)
- [27] HOROWITZ, Gilles: Organic Transistors. In: KLAUK, Hagen (Hrsg.): *Organic Electronics – Materials, Manufacturing and Applications*. Weinheim : Wiley-VCH, 2006, S. 3–32 (Zitiert auf den Seiten 35 und 70)
- [28] HUANG, Tsung-Ching ; FUKUDA, Kenjiro ; LO, Chun-Ming ; YEH, Yung-Hui ; SEKITANI, Tsuyoshi ; SOMEYA, Takao ; CHENG, Kwang-Ting: Pseudo-CMOS: A Design Style for Low-Cost and Robust Flexible Electronics. In: *IEEE Transactions on Electron Devices* 58 (2011), Nr. 1, S. 141–150 (Zitiert auf den Seiten 135 und 138)
- [29] HÖHLA, Steffen ; GARNER, Sean ; HOHMANN, Michael ; KUHL, Oliver ; LI, Xinghua ; SCHINDLER, Axel ; FRUEHAUF, Norbert: Active Matrix Color-LCD on 75 μm Thick Flexible Glass Substrates. In: *Journal of Display Technology* 8 (2012), Nr. 6, S. 309–316 (Zitiert auf Seite 33)
- [30] INSTITUT FÜR ARBEITSSCHUTZ DER DEUTSCHEN GESETZLICHEN UNFALLVERSICHERUNG (IFA): *GESTIS-Stoffdatenbank*. <http://www.dguv.de/ifa/Gefahrstoffdatenbanken/GESTIS-Stoffdatenbank/index.jsp>. – Zugriff am 12.02.2015 (Zitiert auf den Seiten 57 und 86)
- [31] ISHIDA, Koichi ; HUANG, Tsung-Ching ; HONDA, Kazuhiro ; SHINOZUKA, Yasuhiro ; FUKETA, Hiroshi ; YOKOTA, Tomoyuki ; ZSCHIESCHANG, Ute ; KLAUK, Hagen ; TORTISSIER, Gregory ; SEKITANI, Tsuyoshi u. a.: Insole pedometer with piezoelectric energy harvester and 2 V organic circuits. In: *IEEE Journal of Solid-State Circuits* 48 (2013), Nr. 1, S. 255–264 (Zitiert auf Seite 18)
- [32] ISHII, Hisao ; SUGIYAMA, Kiyoshi ; ITO, Eisuke ; SEKI, Kazuhiko: Energy Level Alignment and Interfacial Electronic Structures at Organic/Metal and Organic/Organic Interfaces. In: *Advanced Materials* 11 (1999), Nr. 8, S. 605–625 (Zitiert auf den Seiten 35 und 70)
- [33] JEDAA, Abdesselam ; BURKHARDT, Martin ; ZSCHIESCHANG, Ute ; KLAUK, Hagen ; HABICH, Dana ; SCHMID, Günter ; HALIK, Marcus: The impact of self-assembled monolayer thickness in hybrid gate dielectrics for organic thin-film transistors. In: *Organic Electronics* 10 (2009), Nr. 8, S. 1442–1447 (Zitiert auf den Seiten 46, 52, 53, 72 und 73)
- [34] JELTING, Silke: *Organische Dünnschichttransistoren für den Einsatz in flexiblen Aktiv Matrix Anzeigen*, Universität Stuttgart, Dissertation, 2010 (Zitiert auf den Seiten 18, 33, 45, 46, 47, 48, 52,

53, 55, 75, 81, 145 und 147)

- [35] JONES, Brooks A. ; AHRENS, Michael J. ; YOON, Myung-Han ; FACCHETTI, Antonio ; MARKS, Tobin J. ; WASIELEWSKI, Michael R.: High-Mobility Air-Stable n-Type Semiconductors with Processing Versatility: Dicyanoperylene-3,4:9,10-bis(dicarboximides). In: *Angewandte Chemie* 116 (2004), Nr. 46, S. 6523–6526 (Zitiert auf den Seiten 19, 44 und 90)
- [36] JONES, Brooks A. ; FACCHETTI, Antonio ; WASIELEWSKI, Michael R. ; MARKS, Tobin J.: Tuning Orbital Energetics in Arylene Diimide Semiconductors. Materials Design for Ambient Stability of n-Type Charge Transport. In: *Journal of the American Chemical Society* 129 (2007), Nr. 49, S. 15259–15278 (Zitiert auf den Seiten 19, 39, 41, 43 und 44)
- [37] JSR CORP.: *PC403*. Materials Safety Data Sheet. – Stand 17.09.1007 (Zitiert auf den Seiten 78 und 103)
- [38] JUNG, Soyoun ; CHOO, Yeon G. ; JI, Taeksoo: Lift-Off Photolithographic Top-Contact OTFTs Using a Bilayer of PVA and SU8. In: *IEEE Electron Device Letters* 33 (2012), Nr. 4, S. 603–605 (Zitiert auf den Seiten 65, 66 und 69)
- [39] KAHN, Bruce E.: Organic Electronics Technology. In: HECKER, Klaus (Hrsg.): *Organic Electronics* Bd. 51. Frankfurt am Main : VDMA Verlag GmbH, 2006, S. 19–32 (Zitiert auf den Seiten 22, 24 und 26)
- [40] KATZ, H. E. ; LOVINGER, A. J. ; JOHNSON, J. ; KLOC, C. ; SIEGRIST, T. ; LI, W. ; LIN, Y.-Y. ; DODABALAPUR, A.: A soluble and air-stable organic semiconductor with high electron mobility. In: *Nature* 404 (2000), S. 478–481 (Zitiert auf Seite 43)
- [41] KLAUK, Hagen: *Organische Transistoren*, Universität Stuttgart, Vorlesungsmanuskript, 2007 (Zitiert auf Seite 43)
- [42] KLAUK, Hagen ; ZSCHIESCHANG, Ute ; HALIK, Marcus: Low-voltage organic thin-film transistors with large transconductance. In: *Journal of Applied Physics* 102 (2007), S. 074514 (Zitiert auf den Seiten 19, 35, 46, 48, 63 und 65)
- [43] KLAUK, Hagen ; ZSCHIESCHANG, Ute ; PFLAUM, Jens ; HALIK, Marcus: Ultralow-power organic complementary circuits. In: *Nature* 445 (2007), S. 745–748 (Zitiert auf den Seiten 46, 72 und 73)
- [44] KOCH, N. ; ELSCHNER, A. ; JOHNSON, R.L. ; RABE, J.P.: Energy level alignment at interfaces with pentacene: metals versus conducting polymers. In: *Applied Surface Science* 244

- (2005), Nr. 1-4, S. 593–597 (Zitiert auf Seite 70)
- [45] KOEZUKA, H. ; TSUMURA, A. ; ANDO, T.: Field-Effect Transistor with Polythiophene Thin Film. In: *Synthetic Metals* (1987), Nr. 18, S. 699–704 (Zitiert auf Seite 18)
- [46] LETZKUS, Florian ; ZAKI, Tarek ; ANTE, Frederik ; RICHTER, Harald ; BURGHARTZ, Joachim N. ; BUTSCHKE, Jörg ; KLAUK, Hagen: Si Stencil Masks for Organic Thin Film Transistor Fabrication. In: *Proceedings of SPIE* 8166 (2011), S. 8166B–1–8166B–12 (Zitiert auf Seite 65)
- [47] MICRO RESIST TECHNOLOGY GMBH: *ma-N 1400 Negativ-Photoresist Serie*. Materials Safety Data Sheet. – Stand 22.04.2013 (Zitiert auf Seite 78)
- [48] MICROCHEM CORP.: *SU-8 2000 Series Resist*. Materials Safety Data Sheet. – Stand 10.08.2012 (Zitiert auf den Seiten 78 und 103)
- [49] MINAKATA, Takashi ; NAGOYA, Ichiro ; OZAKI, Massaru: Highly ordered and conducting thin film of pentacene doped with iodine vapor. In: *Journal of Applied Physics* 69 (1991), Nr. 10, S. 7354–7356 (Zitiert auf Seite 66)
- [50] MINARI, Takeo ; LIU, Chuan ; KANO, Masataka ; TSUKAGOSHI, Kazuhito: Controlled Self-Assembly of Organic Semiconductors for Solution-Based Fabrication of Organic Field-Effect Transistors. In: *Advanced Materials* 24 (2012), Nr. 2, S. 299–306 (Zitiert auf Seite 53)
- [51] MINEMAWARI, H. ; YAMADA, T. ; MATSUI, H. ; TSUTSUMI, J. ; HAAS, S. ; CHIBA, R. ; KUMAI, R. ; HASEGAWA, T.: Inkjet printing of single-crystal films. In: *Nature* 475 (2011), Nr. 7356, S. 364–367 (Zitiert auf den Seiten 88 und 90)
- [52] MOTTAGHI, Mohammed ; HOROWITZ, Gilles: Field-induced mobility degradation in pentacene thin-film transistors. In: *Organic Electronics* 7 (2006), S. 528–536 (Zitiert auf den Seiten 69 und 94)
- [53] NELSON, Shelby F. ; ZHOU, Lisong: Active-matrix Light-emitting Displays. In: KLAUK, Hagen (Hrsg.): *Organic Electronics – Materials, Manufacturing and Applications*. Weinheim : Wiley-VCH, 2006, S. 367–394 (Zitiert auf Seite 76)
- [54] NICHOLS, J. A. ; GUNDLACH, D. J. ; JACKSON, T. N.: Potential imaging of pentacene organic thin-film transistors. In: *Applied Physics Letters* 83 (2003), Nr. 12, S. 2366–2368 (Zitiert auf Seite 49)

- [55] NOBELPRIZE.ORG: *The Nobel Prize in Chemistry 2000*. http://www.nobelprize.org/nobel_prizes/chemistry/laureates/2000/. – Zugriff am 27.11.2015 (Zitiert auf Seite 17)
- [56] ORTHOGONAL INC.: *OSCoR 4000*. Materials Safety Data Sheet. – Stand 29.04.2013 (Zitiert auf Seite 78)
- [57] RADUSCH, Jirka: *Optimierung eines Herstellungsprozesses für gedruckte organische Dünnschichttransistoren*, Universität Stuttgart, Institut für Großflächige Mikroelektronik, Studienarbeit, 2012 (Zitiert auf Seite 98)
- [58] RANDLER, Martin: *Herstellung von gedruckten Flüssigkristall-Anzeigen auf Foliensubstraten mit vakuumfreiem Zellenbau*, Universität Stuttgart, Dissertation, 2001 (Zitiert auf den Seiten 31 und 53)
- [59] RIVNAY, J. ; JIMISON, L. H. ; NORTHRUP, J. E. ; TONEY, M. F. ; NORIEGA, R. ; LU, S. ; MARKS, T. J. ; FACCHETTI, A. ; SALLES, A.: Large modulation of carrier transport by grain-boundary molecular packing and microstructure in organic thin films. In: *Nature materials* 8 (2009), Nr. 12, S. 952–958 (Zitiert auf den Seiten 88, 90 und 91)
- [60] RUPP, Johannes: *Herstellung bistabiler Anzeigen mit elektrophoretischer Folie*, Universität Stuttgart, Institut für Großflächige Mikroelektronik, Studienarbeit, 2011 (Zitiert auf Seite 149)
- [61] SCHALBERGER, Patrick: *Komplementäre Niedertemperatur-Polysiliziumschaltungen für vollintegrierte Aktiv Matrix Anzeigen mit organischen Leuchtdioden*, Universität Stuttgart, Dissertation, 2012 (Zitiert auf den Seiten 32 und 33)
- [62] SCHMIDT, Andreas: *Römp Online*. <https://roempp.thieme.de/roempp4.0/do/data/RD-01-03048>. – Zugriff am 21.02.2015 (Zitiert auf Seite 77)
- [63] SCHMIDT, Andreas: *Römp Online*. <https://roempp.thieme.de/roempp4.0/do/data/RD-16-04606>. – Zugriff am 21.02.2015 (Zitiert auf Seite 77)
- [64] SHERAW, Chris D. ; JACKSON, Thomas N. ; EATON, Dave L. ; ANTHONY, John E.: Functionalized pentacene active layer organic thin-film transistors. In: *Advanced Materials* 15 (2003), Nr. 23, S. 2009–2011 (Zitiert auf Seite 18)
- [65] SHIM, Chang-Hoon ; MARUOKA, Fumito ; HATTORI, Reiji: Structural Analysis on Organic Thin-Film Transistor With Device Simulation. In: *IEEE Transactions on Electron Devices* 57 (2010), Nr. 1, S. 195–200 (Zitiert auf Seite 64)

- [66] SHIRAKAWA, H. ; LOUIS, E. J. ; G., MacDiarmid A. ; CHIANG, C. K. ; HEEGER, A.: Synthesis of Electrically Conducting Organic Polymers: Halogen Derivatives of Polyacetylene, (CH)_x. In: *J. Chem. Soc, Chem. Commun.* (1977), Nr. 16, S. 578–580 (Zitiert auf Seite 17)
- [67] STRECKER, Michael: *Abscheidung von Kohlenstoffnanoröhren mittels Dielektrophorese*, Universität Stuttgart, Diplomarbeit, 2009 (Zitiert auf Seite 47)
- [68] STRECKER, Michael ; BRILL, Jochen ; KÖHLER, Silke ; WEITZ, Ralf T. ; FRUEHAUF, Norbert: Understanding organic thin-film transistor fabrication based on application-relevant deposition and patterning techniques. In: *Physica Status Solidi A* 212 (2015), Nr. 8, S. 1634–1642 (Zitiert auf den Seiten 59, 64 und 71)
- [69] STRECKER, Michael ; GAVRANIC, Dalibor ; REMMELE, Julian ; BRILL, Jochen ; WEITZ, Ralf T. ; FRUEHAUF, Norbert: Encapsulation of printed organic thin-film transistors using a photo-patternable resist based on orthogonal solvents. In: *Proc. of 2014 Flexible and Printed Electronics Conference* (2014). – Session 7 (TFTs) (Zitiert auf Seite 74)
- [70] STÖCKER, H.: *Taschenbuch der Physik. 5.* Frankfurt am Main : Wissenschaftlicher Verlag Harri Deutsch, 2004 (Zitiert auf den Seiten 70 und 98)
- [71] SUBRAMANIAN, Vivek ; FUENTE VORNBROCK, Alejandro de la ; MOLESA, Steve ; SOLTMAN, Daniel ; TSENG, Huai-Yuan: Printing Techniques for Thin-Film Electronics. In: KLAUK, Hagen (Hrsg.): *Organic Electronics II – More Materials and Applications*. Weinheim : Wiley-VCH, 2012, S. 237–254 (Zitiert auf den Seiten 25 und 26)
- [72] TSAI, Feng-Yu ; FU, Yu: Organic Thin-Film Transistors with Solution-Processed Encapsulation. In: MITTAL, Vikas (Hrsg.): *Encapsulation Nanotechnologies*. Hoboken, NJ, USA : John Wiley and Sons, 2013, S. 203–223 (Zitiert auf den Seiten 74, 77 und 79)
- [73] VERES, Janos ; OGIER, Simon ; LLOYD, Giles ; DE LEEUW, Dago: Gate Insulators in Organic Field-Effect Transistors. In: *Chemistry of Materials* 16 (2004), S. 4543–4555 (Zitiert auf den Seiten 45 und 71)
- [74] VESEL, Alenka: Hydrophobization of Polymer Polystyrene in Fluorine Plasma. In: *Materiali in tehnologije* 45 (2011), Nr. 3, S. 217–220 (Zitiert auf den Seiten 31 und 110)
- [75] VRIJMOETH, J. ; STOK, R. W. ; VELDMAN, R. ; SCHOONVELD, W. A. ; KLAPWIJK, T. M.: Single crystallites in “planar polycrystalline“ oligothiophene films: Determination of orientation and thickness by polarization microscopy. In: *Journal of Applied Physics* 83 (1998), Nr. 7, S. 3816–3824 (Zitiert auf Seite 90)

- [76] WALSER, M. P. ; KALB, W. L. ; MATHIS, T. ; BATLOGG, B.: Low-voltage organic transistors and inverters with ultrathin fluoropolymer gate dielectric. In: *Applied Physics Letters* 95 (2009), Nr. 23, S. 233301–1 (Zitiert auf Seite 19)
- [77] WEIMER, Paul K.: An Evaporated Thin-Film Triode. In: *IRE Transactions on Electron Devices* 8 (1961), Nr. 5, S. 421 (Zitiert auf Seite 32)
- [78] WEIMER, Paul K.: The TFT–A New Thin-Film Transistor. In: *Proceedings of the IRE* 50 (1962), Nr. 6, S. 1462–1469 (Zitiert auf Seite 32)
- [79] WEITZ, R. T. ; AMSHAROV, K. ; ZSCHIESCHANG, U. ; BURGHARD, M. ; JANSEN, M. ; KELSCH, M. ; RHAMATI, B. ; AKEN, P. A. van ; KERN, K. ; KLAUK, H.: The Importance of Grain Boundaries for the Time-Dependent Mobility Degradation in Organic Thin-Film Transistors. In: *Chemistry of Materials* 21 (2009), Nr. 20, S. 4949–4954 (Zitiert auf den Seiten 43 und 44)
- [80] WEITZ, R. T. ; AMSHAROV, Konstantin ; ZSCHIESCHANG, Ute ; VILLAS, Esther B. ; GOSWAMI, Dipak K. ; BURGHARD, Marko ; DOSCH, Helmut ; JANSEN, Martin ; KERN, Klaus ; KLAUK, Hagen: Organic n-Channel Transistors Based on Core-Cyanated Perylene Carboxylic Diimide Derivatives. In: *Journal of the American Chemical Society* 130 (2008), Nr. 14, S. 4637–4645 (Zitiert auf den Seiten 19, 43 und 44)
- [81] WOHLFAHRT, Ch.: 2 Pure Liquids: Data. In: MADELUNG, O. (Hrsg.): *Static Dielectric Constants of Pure Liquids and Binary Liquid Mixtures*. Berlin : Springer, 1991 (Landolt-Börnstein - Group IV Physical Chemistry), S. 74 (Zitiert auf Seite 78)
- [82] WÜRTHNER, Frank: Kunststoff-Transistoren werden reif für Massenanwendungen in der Mikroelektronik. In: *Angewandte Chemie* 113 (2001), Nr. 6, S. 1069–1071 (Zitiert auf den Seiten 17 und 18)
- [83] YAN, He ; CHEN, Zhihua ; ZHENG, Yan ; NEWMAN, Christopher ; QUINN, R. J. ; DÖTZ, Florian ; KASTLER, Marcel ; FACCHETTI, Antonio: A high mobility electron-transporting polymer for printed transistors. In: *Nature* 457 (2009), S. 679–687 (Zitiert auf Seite 44)
- [84] ZAKHIDOV, Alexander A. ; LEE, Jin-Kyun ; DEFRANCO, John A. ; FONG, Hon H. ; TAYLOR, Priscilla G. ; CHATZICHRISTIDI, Margarita ; OBER, Christopher K. ; MALLIARAS, George G.: Orthogonal processing: A new strategy for organic electronics. In: *Chemical Science* 2 (2011), Nr. 6, S. 1178–1182 (Zitiert auf Seite 78)

- [85] ZAKHIDOV, Alexander A. ; LEE, Jin-Kyun ; FONG, Hon H. ; DEFRANCO, John A. ; CHATZICHRISTIDI, Margarita ; TAYLOR, Priscilla G. ; OBER, Christopher K. ; MALLIARAS, George G.: Hydrofluoroethers as orthogonal solvents for the chemical processing of organic electronic materials. In: *Advanced Materials* 20 (2008), Nr. 18, S. 3481–3484 (Zitiert auf Seite 78)
- [86] ZAKI, Tarek ; ANTE, Frederik ; ZSCHIESCHANG, Ute ; BUTSCHKE, Jörg ; LETZKUS, Florian ; RICHTER, Harald ; KLAUK, Hagen ; BURGHARTZ, Joachim N.: A 3.3 V 6-Bit 100 kS/s Current-Steering Digital-to-Analog Converter Using Organic P-Type Thin-Film Transistors on Glass. In: *IEEE Journal of Solid-State Circuits* 47 (2012), Nr. 1, S. 292–300 (Zitiert auf den Seiten 18, 65 und 72)

Danksagung

Der Autor dankt der öffentlichen Förderung dieser Arbeit durch das Bundesministerium für Bildung und Forschung der Bundesrepublik Deutschland als Teil des Forschungsprojekts *Kosadis* im Rahmen des Spitzenclusters *Forum Organic Electronics*.