



AUFBAU EINES ELEKTROLYSEGLEICHRICHTERS IN PARALLEL-TOPOLOGIE

vorgelegt am Institut für Leistungselektronik und Elektrische Antriebe

Forschungsarbeit

von

Jörg Haarer

Betreuer: M.Sc. Steffen Bintz

Prüfer: Prof. Dr.-Ing. Jörg Roth-Stielow

Beginn der Arbeit: 09.10.2017

Ende der Arbeit: 16.07.2018

Abgabe der Ausarbeitung: 14.02.2019

Erklärung

Ich versichere,

dass ich die Arbeit selbständig verfasst habe,

dass ich keine anderen als die angegebenen Quellen benutzt habe und ich alle wörtlich oder
sinngemäß aus anderen Werken übernommenen als solche gekennzeichnet habe,

dass die eingereichte Arbeit weder vollständig noch in wesentlichen Teilen Gegenstand eines
anderen Prüfungsverfahrens gewesen ist,

dass ich die Arbeit noch nicht veröffentlicht habe

und dass das elektronische Exemplar mit dem gedruckten übereinstimmt.

Datum: _____ Unterschrift: _____

Danksagung

An dieser Stelle möchte ich mich bei meinem Betreuer Steffen Binz für die Betreuung meiner Forschungsarbeit bedanken. Im Besonderen für die Unterstützung und die Geduld, welche ich bei der Umsetzung eigener Konzepte erfahren habe. Auch gilt mein Dank allen Mitarbeitern am ILEA, die durch ihre Hilfe bei technischen Fragen und durch das gute Arbeitsklima zum Gelingen dieser Arbeit beigetragen haben. Bedanken möchte ich mich auch bei Tobias Schmid für den ergiebigen Austausch während meiner Arbeit.

Inhaltsverzeichnis

Abbildungsverzeichnis	VII
Tabellenverzeichnis	XI
Abkürzungs - und Symbolverzeichnis	XII
1 Einleitung	1
1.1 Motivation	1
1.2 Ziel der Arbeit	2
2 Grundlagen	3
2.1 Der Thyristorstromrichter	3
2.1.1 Der Thyristor	3
2.1.2 Die Topologie des B6-Stromrichters	4
2.1.3 Das Ansteuerverfahren	5
2.2 Der aktive Gleich- und Wechselrichter	5
2.2.1 Die Topologie des aktiven Gleich- und Wechselrichters	5
2.2.2 Das Modulationsverfahren	6
2.3 Der Transformator	6
2.4 Der Elektrolyse-Stack	7
3 Die Paralleltopologie	10
3.1 Stand der Technik bei Elektrolysegleichrichtern	10
3.2 Das Grundprinzip der Paralleltopologie	13
3.3 Die praktische Realisierung der Paralleltopologie	13
3.4 Die Betriebsstrategie der Paralleltopologie	15
4 Das Regelsystem	17
4.1 Übersicht	17
4.2 Grundprinzip des Regelsystems	17

4.3	Die Stromregelung des B6-Thyristorstromrichters	20
4.3.1	Die Regelstrecke des B6-Thyristorstromrichters	20
4.3.2	Der Regler des B6-Thyristorstromrichters	21
4.4	Die Stromregelung des aktiven Gleich- und Wechselrichters	25
4.4.1	Die Regelstrecke des aktiven Gleich- und Wechselrichters	25
4.4.2	Die Störgrößenaufschaltung des aktiven Gleich- und Wechselrichters .	28
4.4.3	Der Zustandsregler des aktiven Gleich- und Wechselrichters	28
4.4.4	Der Prototype Repetitive Controller des aktiven Gleich- und Wechsel- richters	28
4.4.5	Das Regelsystem des aktiven Gleich- und Wechselrichters	45
4.4.6	Der Leistungsregler des aktiven Gleich- und Wechselrichters	46
5	Netzsynchrisation	47
5.1	Grundlagen einer Phasenregelschleife	47
5.2	Realisierung der Phasenregelschleife	48
5.2.1	Der Phasenkomparator	49
5.2.2	Das Schleifenfilter	51
5.2.3	Der frequenzvariable Oszillator	52
5.3	Die Netzsynchrisation des aktiven Gleich- und Wechselrichters	52
6	Der Demonstrationsaufbau	54
6.1	Der Gesamtaufbau	54
7	Die Leistungselektronik	57
7.1	Der B6-Thyristorstromrichter	59
7.1.1	Die Thyristorhalbbrücke	59
7.2	Aktiver Gleich- und Wechselrichter	61
7.2.1	MOSFET-Halbbrücke	61
7.3	Netztransformatoren	62
7.4	Passive Komponenten	63
8	Signalelektronik	64
8.1	ILEA-Bus	64
8.2	FPGA-Karte	66
8.3	AD-Wandler-Karte	66
8.4	Erfassungskarte	68

8.5	Logikkarte	69
9	FPGA-Konfiguration	71
9.1	Struktur der FPGA-Konfiguration	71
9.2	Zahlenformate	73
9.2.1	Das Standardzahlenformat	73
9.2.2	Das Winkelzahlenformat	74
9.3	AD-Wandler	74
9.4	ADPLL	75
9.4.1	Struktur ADPLL	75
9.4.2	Der CORDIC Algorithmus	76
9.5	Normierung	78
9.6	Sollgrößengenerierung	79
9.7	Gleitender Mittelwertfilter	79
9.8	Verzögerung der gemessenen Netzspannung	79
9.9	Regler B6-Thyristorstromrichter	80
9.10	Regler aktiver Gleich- und Wechselrichter	80
9.11	Nullkomponentensteuerung	80
9.12	Berechnung der 3. Harmonischen	80
9.13	Inverse der Zwischenkreisspannung	80
9.14	PWM	81
9.15	Zündimpulserzeugung	81
9.16	Oszilloskop	81
9.17	NIOS II	82
9.18	Weitere Module	82
10	Software	83
10.1	Bediensoftware	83
10.1.1	Klasse Programm	83
10.1.2	Klasse Übersicht	84
10.1.3	Klasse Oszilloskop	84
10.1.4	Klasse Regelung	85
10.1.5	Klasse Einstellungen	86
10.1.6	Klasse Kommunikationsschnittstelle	86
10.1.7	Kommunikationsprotokoll	87
10.2	NIOS II Software	90

11 Inbetriebnahme	91
11.1 Inbetriebnahme des B6-Thyristorstromrichters	91
11.2 Inbetriebnahme des aktiver Gleich- und Wechselrichter	91
12 Messergebnisse	93
12.1 Messergebnisse B6-Thyristorstromrichter	93
12.1.1 Messergebnisse Netzgrößen	93
12.1.2 Messergebnisse Gleichgrößen	96
12.2 Messergebnisse aktiver Gleich- und Wechselrichter	97
12.2.1 Messergebnisse Netzgrößen	97
12.2.2 Messergebnisse Gleichgrößen	99
12.3 Messergebnisse der Paralleltopologie ohne Prototype Repetitive Controller . .	100
12.3.1 Messergebnisse Netzgrößen	100
12.3.2 Messergebnisse Gleichgrößen	103
12.4 Messergebnisse der Paralleltopologie mit Prototype Repetitive Controller . .	104
12.4.1 Messergebnisse Netzgrößen	104
12.4.2 Messergebnisse Ventilströme	107
12.4.3 Messergebnisse Gleichgrößen	109
13 Auswertung der Messergebnisse	110
13.1 Auswertung der Messergebnisse mittels Kenngrößen	110
13.2 Auswertung der Messergebnisse im Frequenzbereich	113
14 Zusammenfassung und Ausblick	121
14.1 Zusammenfassung	121
14.2 Ausblick	121
Literaturverzeichnis	122
Anhang	124
A.1 Hardwaremodifikationen an Stadtartkomponenten des ILEA-Bussystems . .	124
A.2 Jumper-Positionen der Karten des ILEA-Bussystems	125

Abbildungsverzeichnis

1.1	Mögliche Wandlung von elektrischer in chemische Energie durch Elektrolyse	1
2.1	Schaltzeichen und Aufbau eines Thyristors	3
2.2	Zustände eines Thyristors	4
2.3	Vereinfachtes Schaltbild des B6-Thyristorstromrichters	5
2.4	Vereinfachtes Schaltbild aktiver Gleich- und Wechselrichter	6
2.5	Einphasiges T-Ersatzschaltbild des Transformators	7
2.6	Kennlinie des Elektrolyse-Stacks	8
2.7	Vereinfachtes Ersatzschaltbild des Elektrolyse-Stacks	8
3.1	Schematische Darstellung eines Elektrolysegleichrichters zu Gewinnung von Wasserstoff	10
3.2	Beispielhafte Netzströme eines B6-Thyristorstromrichters	11
3.3	Beispielhafter Netzstrom eines B6-Thyristorstromrichters	12
3.4	Überlagerung der Teilströme der Paralleltopologie	14
3.5	Blockschaltbild der Paralleltopologie	15
3.6	Vereinfachtes Schaltbild der Paralleltopologie	16
4.1	Übersichtsblockschaltbild des Regelsystems	19
4.2	Blockschaltbild der Regelung des B6-Thyristorstromrichters	21
4.3	Gleichstromseitiger Ausgangsstrom über der Zwischenkreisspannung und dem Zündverzögerungswinkel aufgetragen	23
4.4	Konturdiagramm gleichstromseitiger Ausgangsstrom über der Zwischenkreisspannung und dem Zündverzögerungswinkel aufgetragen	24
4.5	Einphasiges Ersatzschaltbild der Regelstrecke des aktiven Gleich- und Wechselrichters	25
4.6	Vereinfachtes einphasiges Ersatzschaltbild der Regelstrecke des aktiven Gleich- und Wechselrichters	26

4.7	Blockschaltbild des einphasigen vereinfachten Ersatzschaltbildes der Regelstrecke des aktiven Gleich- und Wechselrichters	27
4.8	Zeitdiskretes Blockschaltbild des einphasigen vereinfachten Ersatzschaltbildes der Regelstrecke des aktiven Gleich- und Wechselrichters	27
4.9	Zeitdiskreter Zustandsregler des aktiven Gleich- und Wechselrichters mit Störgrößenaufschaltung	29
4.10	Blockschaltbild eines allgemeinen Regelsystems	30
4.11	Beispielregelsystem mit PI-Regler	32
4.12	Blockschaltbild des grundlegenden zeitkontinuierlichen Repetitive Controllers	35
4.13	Polstellen des grundlegenden Repetitive Controllers	36
4.14	Allgemeines Regelsystem mit grundlegendem Repetitive Controller	36
4.15	Blockschaltbild des zeitdiskreten Prototype Repetitive Controllers für den aktiven Gleich- und Wechselrichter	40
4.16	Einschwingen des Beispiel Prototype Repetitive Controllers im Zeitbereich	41
4.17	Einschwingen des Beispiel Prototype Repetitive Controllers im Periodenraum	42
4.18	Pol- Nullstellendiagramm des Prototype Repetitive Controllers	43
4.19	Pol- Nullstellendiagramm des durch einen Tiefpass bedämpften Prototype Repetitive Controllers	44
4.20	Vollständiges Regelsystem des aktiven Gleich- und Wechselrichters	45
4.21	Blockschaltbild des Leistungsreglers	46
5.1	Übersichtsschaltbild einer Phasenregelschleife	48
5.2	Blockschaltbild der ADPLL	49
5.3	Blockschaltbild des Reglers der PWM-Frequenz	52
6.1	Foto des Demonstrationsaufbaus des Elektrolysegleichrichters	54
6.2	Schematischer Aufbau des Demonstrationsaufbaus	56
7.1	Ebene 1 der Leistungselektronik im Hochleistungsbaukasten	57
7.2	Ebene 2 der Leistungselektronik im Hochleistungsbaukasten	58
7.3	Foto der Thyristorhalbbrücke	59
7.4	Schaltplan der Zündschaltung	60
7.5	Foto der MOSFET-Halbbrücke	62
8.1	Foto des ILEA-Bussystems	64
8.2	Foto der FPGA-Karte	66
8.3	Foto der AD-Wandler-Karte	67

8.4	Foto der Erfassungskarte	68
8.5	Foto der Logikkarte	70
9.1	Struktur der FPGA-Konfiguration	72
9.2	Struktur der ADPLL	75
10.1	Bildschirmfoto des Tabs Übersicht der grafischen Oberfläche	84
10.2	Bildschirmfoto des Tabs Oszilloskop der grafischen Oberfläche	85
10.3	Bildschirmfoto des Tabs Regelung der grafischen Oberfläche	85
10.4	Bildschirmfoto des Tabs Einstellungen der grafischen Oberfläche	86
12.1	Netzströme des B6-Thyristorstromrichters im eingeschwungenen Zustand und Einzelbetrieb	94
12.2	Netzströme des B6-Thyristorstromrichters während des Einschwingens im Einzelbetrieb	95
12.3	Ausgangsseitige Gleichgrößen des B6-Thyristorstromrichters im eingeschwungenen Zustand	96
12.4	Netzströme des aktiven Gleich- und Wechselrichters	97
12.5	Netzströme des aktiven Gleich- und Wechselrichters bei einem Sprung der Führungsgröße von 0 auf 5 kW	98
12.6	Ausgangsseitige Gleichgrößen des aktiven Gleich- und Wechselrichters im eingeschwungenen Zustand	99
12.7	Netzgrößen des B6-Thyristorstromrichters in Paralleltopologie ohne Prototype Repetitive Controller	100
12.8	Netzgrößen des aktiven Gleich- und Wechselrichters in Paralleltopologie ohne Prototype Repetitive Controller	101
12.9	Überlagerung der Teilströme der Paralleltopologie ohne Prototype Repetitive Controller	102
12.10	Netzströme der Paralleltopologie ohne Prototype Repetitive Controller	102
12.11	Gleichgrößen der Paralleltopologie ohne Prototype Repetitive Controller	103
12.12	Netzgrößen des B6-Thyristorstromrichter in Paralleltopologie mit Prototype Repetitive Controller	104
12.13	Netzgrößen des aktiven Gleich- und Wechselrichters in Paralleltopologie mit Prototype Repetitive Controller	105
12.14	Überlagerung der Teilströme der Paralleltopologie mit Prototype Repetitive Controller	106

12.15	Netzströme der Paralleltopologie mit Prototype Repetitive Controller	106
12.16	Ventilströme des B6-Thyristorstromrichters in Paralleltopologie mit Prototype Repetitive Controller	107
12.17	Ventilströme des aktiven Gleich- und Wechselrichters in Paralleltopologie mit Prototype Repetitive Controller	108
12.18	Gleichgrößen der Paralleltopologie mit Prototype Repetitive Controller . . .	109
13.1	Frequenzspektrum des Stroms der Phase u des B6-Thyristorstromrichters . .	113
13.2	Frequenzspektrum des Stroms der Phase u des aktiven Gleich- und Wechselrichters	114
13.3	Vergrößertes Frequenzspektrum des Stroms der Phase u des aktiven Gleich- und Wechselrichters	115
13.4	Frequenzspektrum des Stroms der Phase u der Paralleltopologie ohne Repetitive Controller	116
13.5	Frequenzspektrum des Stroms der Phase u der Paralleltopologie mit Prototype Repetitive Controller	117
13.6	Vergrößertes Frequenzspektrum des Stroms der Phase u der Paralleltopologie mit Prototype Repetitive Controller	117
13.7	Frequenzspektrum des Stroms der Phase u der Paralleltopologie mit Repetitive Controller im Bereich der PWM-Frequenz	118
13.8	Wavelet des Einschwingvorgangs des aktiven Gleich- und Wechselrichters . .	120
13.9	Wavelet der Harmonischen mit einer Ordnung größer zwei des Einschwingvorgangs des aktiven Gleich- und Wechselrichters	120

Tabellenverzeichnis

2.1	Kenngrößen des beispielhaften Elektrolyse-Stacks	7
5.1	Eigenschaftsparameter Kerbfilter Phasenkomparator	51
6.1	Nenngrößen für die der Demonstrationsaufbaus	55
7.1	Nenngrößen der Netztransformatoren	62
7.2	Bauteilwerte der passiven Komponenten	63
8.1	ILEA-Bus Belegung	65
8.2	Teiler und Abbildungsmaßstäbe der Erfassungskarten	69
9.1	Standardzahlenformat	74
9.2	Winkelzahlenformat	74
9.3	Vergleich Hardwarebedarf CORDIC-Rechnenwerke	76
9.4	Parameter des allgemeinen CORDIC-Algorithmus für den linearen Multiplikations- und Additionsmodus	78
10.1	Kommunikationsprotokoll zwischen Steuerrechner und NIOS II	88
13.1	Auswertung der Messergebnisse anhand der Qualitätskriterien	112
A.1	Hardwaremodifikationen an Stadtartkomponenten des ILEA-Bussystems . .	124
A.2	Jumper-Positionen der Karten des ILEA-Bussystems	125

Abkürzungs - und Symbolverzeichnis

Symbolverzeichnis

α	Zündverzögerungswinkel
α_i	Winkel der Teildrehung i
$\Delta\omega$	Differenz der Kreisfrequenz
$\Delta\varphi$	Differenz der Phase
η	Wirkungsgrad
Γ	Generierendes Polynom im Laplace-Bereich
γ_i	Koeffizienten der Ableitungen des generierenden Polynoms
$\Gamma_{W_0}(s)$	Laplace-Transformierte des generierenden Polynoms einer Konstanten Führungsgröße
$\gamma_{w,i}$	Koeffizienten der Ableitungen des LTI-Systems, dass die Führungsgröße generiert
$\Gamma_{Z_0}(s)$	Laplace-Transformierte des generierenden Polynoms einer Konstanten Störgröße
$\gamma_{z,i}$	Koeffizienten der Ableitungen des LTI-Systems, dass die Störgröße generiert
ν	Allgemeiner Laufindex
ω	Kreisfrequenz
ω_1	Kreisfrequenz der ersten Harmonischen
ω_{Netz}	Kreisfrequenz des Versorgungsnetzes
$\omega_{Netz,N}$	Nennkreisfrequenz des Versorgungsnetzes
φ	Phasenwinkel zwischen Spannung und Strom

Φ_{Netz}	Phasenwinkel der Netzspannung
Φ_{PLL}	Phasenwinkel des variablen Oszillator der PLL
φ_{Netz}	Phasenverschiebung der Netzspannung
φ_{PLL}	Phasenverschiebung des variablen Oszillator der PLL
ω_{PLL}	Kreisfrequenz des variablen Oszillator der PLL
Φ_{error}	Differenz zwischen berechnetem und realem Phasenwinkel
φ_{soll}	Sollphasenwinkel
φ_u	Phasenwinkel der Spannung der Phase u
φ_v	Phasenwinkel der Spannung der Phase v
φ_w	Phasenwinkel der Spannung der Phase w
σ_i	Drehsinn der Teildrehung i
ξ	Gesamtleistungsfaktor
a	Allgemeiner Parameter
a_0	Koeffizient der Fourier-Reihe
a_i	Koeffizienten der Fourier-Reihe
$A_R(s)$	Nenner der Übertragungsfunktion eines Reglers im Laplace-Bereich
$A'_R(s)$	Teil des Nenners der Übertragungsfunktion eines Reglers im Laplace-Bereich
$A_S(s)$	Nenner der Übertragungsfunktion einer Regelstrecke im Laplace-Bereich
$A_W(s)$	Nenner der Führungsgröße im Laplace-Bereich
$A_Z(s)$	Nenner der Störgröße im Laplace-Bereich
b	Parameter zur Kompensation des Amplitudengangs der nicht stabil kompensierbaren Nullstellen
b_0	Koeffizienten der Fourier-Reihe
b_i	Koeffizienten der Fourier-Reihe
$B_R(s)$	Zähler der Übertragungsfunktion eines Reglers im Laplace-Bereich

$B_{S,aktiv}^-(z)$	Teil des Zähler der Übertragungsfunktion der Regelstrecke des aktiven Gleich- und Wechselrichters mit nicht stabil kompensierbaren Nullstellen im z-Bereich
$B_{S,aktiv}(z)$	Zähler der Übertragungsfunktion der Regelstrecke des aktiven Gleich- und Wechselrichters
$B_{S,aktiv}^+(z)$	Teil des Zähler der Übertragungsfunktion der Regelstrecke des aktiven Gleich- und Wechselrichters mit stabil kompensierbaren Nullstellen im z-Bereich
$B_S(s)$	Zähler der Übertragungsfunktion einer Regelstrecke im Laplace-Bereich
$\tilde{B}_S(z^{-1})$	Übertragungsfunktion zur Kompensation des Phasengangs der nicht stabil kompensierbaren Nullstellen
$B_W(s)$	Zähler der Führungsgröße im Laplace-Bereich
$B_Z(s)$	Zähler der Störgröße im Laplace-Bereich
C	Einstellparameter des Prototype Repetitive Controllers
C_{aktiv}	Einstellparameter des Prototype Repetitive Controllers des aktiven Gleich- und Wechselrichters
C_{Kerb}	Verstärkungsfaktor des Kerbfilters
C_{ZK}	Zwischenkreiskapazität
d	Anzahl der Verzögerungsglieder die aus der Übertragungsfunktion einer Regelstrecke ausgeklammert werden können
f_{Kerb}	Kerbfrequenz
$H_{PRC}(z^{-1})$	Übertragungsfunktion eines Prototype Repetitive Controllers im z-Bereich

$H_{PRC,TP}(z^{-1})$	Übertragungsfunktion eines Prototype Repetitive Controllers mit Tiefpass im z -Bereich
$H_{R,Repetitive}(s)$	Übertragungsfunktion eines theoretischen Repetitive Controller im Laplace-Bereich
$H_{R,Repetitive}(s)^{\#}$	Modifizierte Übertragungsfunktion eines theoretischen Repetitive Controller in Laplace-Bereich
$H_{R,Repetitive}(z^{-1})$	Übertragungsfunktion eines Repetitive Controller im z -Bereich
$H'_{R,Repetitive}(z^{-1})$	Teil einer Übertragungsfunktion eines Repetitive Controller im z -Bereich
$H_R(s)$	Übertragungsfunktion eines Reglers im Laplace-Bereich
$H_{R,Zustandsregler}(z^{-1})$	Zeitdiskrete Übertragungsfunktion des Zustandsreglers des aktiven Gleich- und Wechselrichters
$H_{S,aktiv}(z^{-1})$	Zeitdiskrete Übertragungsfunktion der vereinfachten Regelstrecke des aktiven Gleich- und Wechselrichters
$H_S(s)$	Übertragungsfunktion einer Regelstrecke im Laplace-Bereich
$H_S(z^{-1})$	Übertragungsfunktion einer Regelstrecke im z -Bereich
$H_{S,aktiv}(z^{-1})$	Übertragungsfunktion der Regelstrecke des aktiven Gleich- und Wechselrichters im z -Bereich
$H_TP(z^{-1})$	Übertragungsfunktion eines Tiefpass
i	Laufvariable
i_A	Anodenstrom
i_a	Allgemeiner Strom
i_b	Allgemeiner Strom
i_c	Allgemeiner Strom
\hat{I}	Amplitude eines Stromes
i_{DC}	Gleichstromseitiger Ausgangsstrom
$i_{DC,aktiv}$	Ausgangsseitiger Strom eines aktiven Gleich- und Wechselrichters

$i_{DC,B6}$	Ausgangsseitiger Strom eines B6-Thyristorstromrichters
$i_{DC,B6,soll}$	Gleichstromseitiger Sollausgangsstrom des B6-Thyristorstromrichters
$i_{DC,soll}$	Gleichstromseitiger Sollausgangsstrom
i_G	Gatestrom
$i_{Netz,aktiv}$	Sollstrom des aktiven Gleich- und Wechselrichters aus dem Versorgungsnetz
$i_{Netz,aktiv,soll}$	Sollstrom des aktiven Gleich- und Wechselrichters aus dem Versorgungsnetz
$i_{Netz,B6}$	Strom des B6-Thyristorstromrichters aus dem Versorgungsnetz
$i_{Netz,Differenzstrom}$	Differenzstrom aus dem Versorgungsnetz
$i_{Netz,soll}$	Sollstrom aus dem Versorgungsnetz
$i_{Netz,Thyristor}$	Strom den ein Thyristorstromrichter aus dem Versorgungsnetz
$i_{Netz,u}$	Strom aus dem Versorgungsnetz der Phase U
$i_{Netz,v}$	Strom aus dem Versorgungsnetz der Phase V
$i_{Netz,w}$	Strom aus dem Versorgungsnetz der Phase W
$I_{N,Stack}$	Nennstrom des beispielhaften Elektrolyse-Stacks
i_{prim}	Primärseitiger Strom eines Transformators
i_{sec}	Sekundärseitiger Strom eines Transformators
i_U	Strom der Phase U
i_V	Strom der Phase V
i_W	Strom der Phase W
K	Einstellparameter eines Zustandsreglers
k	Zeitpunkte im zeitdiskreten Bereich
K_1	Einstellparameter eines Zustandsreglers
k_{11}	Parameters eines zeitdiskreten Modells
K_P	P-Anteil eines PI-Reglers
$K_{P,SF}$	Proportionalanteil des PI-Reglers des Schleifenfilters

k_{y1}	Parameters eines zeitdiskreten Modells
L_D	Induktivität der Glättungsdrossel des B6-Thyristorstromrichters
L_h	Hauptinduktivität eines Transformators
L_{Netz}	Induktiver Anteil der Impedanz des Versorgungsnetzes
$L_{\sigma 1}$	Primärseitige Streuinduktivität eines Transformators
$L_{\sigma 2}$	Sekundärseitige Streuinduktivität eines Transformators
m	Parameter des allgemeinen CORDIC-Algorithmus
M_0	Sollamplitude der periodischen Regelgröße
$M(k)$	Amplitude der periodischen Regelgröße zum Zeitpunkt k
M'_{Netz}	Angepasste Amplitude des Sollnetzstromes
N	Anzahl der Abtastintervalle während einer Periode einer periodischen Führungs- und oder Störgröße
P	Wirkleistung
P_3	Wirkleistung in einem dreiphasigen System
P_{ab}	Abgegebene Wirkleistung
P_{Auf}	Aufgenommene Wirkleistung
$P_{DC,soll}$	Gleichstromseitige Solleleistung
$P_{N,Stack}$	Nennleistung des beispielhaften Elektrolyse-Stacks
Q_ν	MOSFET der Nummer ν
r	Koeffizient zur Vorgabe der Kerbbreite
R_1	Primärseitiger Wicklungswiderstand eines Transformators

R_2	Sekundärseitiger Wicklungswiderstand eines Transformators
R_{Fe}	Ersatzwiderstand zur Modellierung der Eisenverluste eines Transformators
R_{Netz}	Ohmscher Anteil der Impedanz des Versorgungsnetzes
R_{Stack}	Innenwiderstand eines Elektrolyse-Stacks
S	Scheinleistung
s	Laplace-Variable
s_0	Polstelle beim Gleichanteil
s_i	Polstelle beim i -fachen der ersten Harmonischen
T_A	Abtastintervall
T_I	Zeitkonstante des I-Anteils eines PI-Reglers
t_i	Parameter des allgemeinen CORDIC-Algorithmus
$T_{I,B6}$	Zeitkonstante des I-Reglers des B6-Thyristorstromrichters
$T_{I,M}$	Zeitkonstante des I-Reglers des Leistungsreglers
$T_{I,SF}$	Integralanteil des PI-Reglers des Schleifenfilters
T_ν	Thyristor der Nummer ν
T_{PT1}	Zeitkonstante eines PT1-Glieds
Tr	Transformator
U_0	Zersetzungsspannung eines gesamten Elektrolyse-Stacks
u_{AK}	Anoden-Kathodenspannung
\hat{U}	Amplitude einer Spannung
u_{DC}	Gleichstromseitige Ausgangsspannung
u_L	Spannung über einer Induktivität
u_{Netz}	Netzspannung
\hat{U}_{Netz}	Amplitude der Spannung des Versorgungsnetzes

u_{Netz}^*	Nachgebildete Spannung des Versorgungsnetzes
$u_{Netz,u}$	Spannung des Versorgungsnetzes der Phase u
$u_{Netz,v}$	Spannung des Versorgungsnetzes der Phase v
$u_{Netz,w}$	Spannung des Versorgungsnetzes der Phase w
$U_{N,Stack}$	Nennspannung des beispielhaften Elektrolyse-Stacks
u_{prim}	Primärseitige Spannung eines Transformators
u_R	Spannung über einem Widerstand
u_{sec}	Sekundärseitige Spannung eines Transformators
u_{st}	Steuersignal
u_{Stack}	Spannung über einem Elektrolyse-Stack
u_U	Spannung der Phase U
u_V	Spannung der Phase V
u_W	Spannung der Phase W
u_{ZP}	Spannung am Schaltknoten des Zweipunktwechselrichters
\ddot{u}	Übersetzungsverhältnis eines Transformators
$\ddot{u}^\#$	Nachgebildetes Übersetzungsverhältnis eines Transformators
V_{PT1}	Koeffizient eines PT1-Glieds
$w(0)$	Anfangsbedingungen einer Führungsgröße im Laplace-Bereich
$W_0(s)$	Laplace-Transformierte einer Konstanten Führungsgröße
w_0	Konstante Führungsgröße
$W(s)$	Führungsgröße im Laplace-Bereich
$Z(s)$	Störgröße im Laplace-Bereich
$W(z^{-1})$	Werte der ersten Periode einer Periodischen Führungsgröße im z-Bereich
$z(t)$	Führungsgröße im Zeitbereich
w_x	Welligkeit von x

$w(z^{-1})$	Führungsgröße im z-Bereich
X	Effektivwert von X
X_1	Effektivwert der ersten Harmonischen von X
$X_d(s)$	Regeldifferenz im Laplace-Bereich
$\overline{ x }$	Gleichrichtwert von x
x_i	Variable des CORDIC-Algorithmus im Schritt i
$X(s)$	Regelgröße im Laplace-Bereich
y_i	Variable des CORDIC-Algorithmus im Schritt i
z	Variable der z-Ebene
$z(0)$	Anfangsbedingungen einer Störgröße im Laplace-Bereich
$Z_0(s)$	Laplace-Transformierte einer Konstanten Störgröße
z_0	Konstante Störgröße
z_i	Variable des CORDIC-Algorithmus im Schritt i
Z_{Last}	Gleichstromseitige Lastimpedanz
$Z(z^{-1})$	Werte der ersten Periode einer Periodischen Störgröße im z-Bereich
$z(t)$	Störgröße im Zeitbereich
$Z(z^{-1})$	Störgröße im z-Bereich

Abkürzungsverzeichnis

<i>AD</i>	Analog-Digital
<i>PLL</i>	All Digital Phase-Locked Loop
<i>CORDIC</i>	Coordinate Rotation Digital Computer
<i>FPGA</i>	Field Programmable Gate Array
<i>IP – Core</i>	Intellectual Property Core
<i>LTI – System</i>	Lineares zeitinvariantes System
<i>MOSFET</i>	Metall-Oxid-Halbleiter-Feldeffekttransistor
<i>PLL</i>	Phase-Locked Loop
<i>PWM</i>	Pulsweitenmodulation
<i>SPI</i>	Serial Peripheral Interface

1 Einleitung

1.1 Motivation

Im Rahmen der Energiewende ist es notwendig bei einem Energieüberschuss durch stark fluktuierende erneuerbare Energien große Mengen an Energie zu speichern und diese bei Bedarf wieder abgeben zu können. Die direkte Speicherung großer Mengen an elektrischer Energie gestaltet sich allerdings schwierig. Deshalb werden immer mehr Ansätze verfolgt, bei denen die elektrische Energie auf einen chemischen Energieträger übertragen wird. Die Überführung von elektrischer in chemische Energie erfolgt dabei durch die Elektrolyse von Wasser, durch die Wasserstoff gewonnen wird.

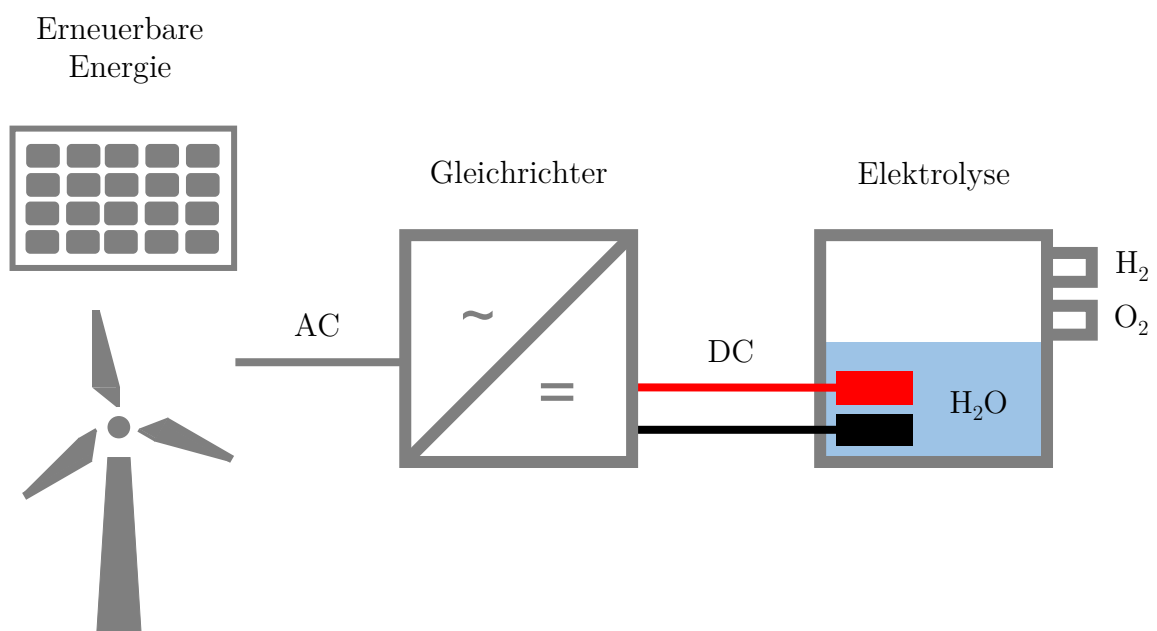


Abbildung 1.1: Mögliche Wandlung von elektrischer in chemische Energie durch Elektrolyse

Der für die Elektrolyse benötigte Gleichstrom wird dabei von einem Elektrolysegleichrichter, der an das Energieversorgungsnetz angeschlossen ist, bereitgestellt. Um die Elektrolyse von

Wasserstoff wirtschaftlich interessant zu gestalten, ist es von entscheidender Bedeutung, dass der Elektrolysegleichrichter einen hohen Wirkungsgrad bei gleichzeitig minimalen Netzurückwirkungen aufweist.

1.2 Ziel der Arbeit

Das Ziel der studentischen Arbeit ist der Aufbau eines Demonstrationsaufbaus eines Elektrolysegleichrichters, der die genannten Anforderungen nach einem hohen Wirkungsgrad bei niedrigen Netzurückwirkungen erfüllt. Um diesen Anforderungen gerecht zu werden, soll der Elektrolysegleichrichter in einer neuartigen Paralleltopologie aufgebaut werden. Im ersten Schritt dieser Arbeit sollen dazu die benötigten Hardware- und Softwarekomponenten, sowie das notwendige Regelsystem entworfen und realisiert werden. Im zweiten Schritt ist geplant, mit dem fertiggestellten Demonstrationsaufbau den Funktionsnachweis der Paralleltopologie für eine praktische Realisierung durch Messungen und den zugehörigen Auswertungen zu erbringen.

2 Grundlagen

2.1 Der Thyristorstromrichter

Inhalt dieses Unterkapitels sind die Grundlagen des für den Demonstrationsaufbau verwendeten Thyristorstromrichters. Dazu wird zunächst der Thyristor, das zentrale Bauelement aller Thyristorstromrichter, betrachtet. Im Anschluss daran wird auf die für den Demonstrationsaufbau verwendete Thyristorstromrichtertopologie eingegangen.

2.1.1 Der Thyristor

Der Thyristor ist ein Halbleiterbauelement, das im Jahr 1957 bei General Electric entwickelt wurde und besteht in seiner grundlegenden Form, wie in 2.1 dargestellt, aus vier Siliziumschichten welche im Wechsel n- beziehungsweise p-dotiert sind. Thyristoren besitzen drei elektrische Anschlüsse. Dies sind die Kathode, die Anode und das Gate.

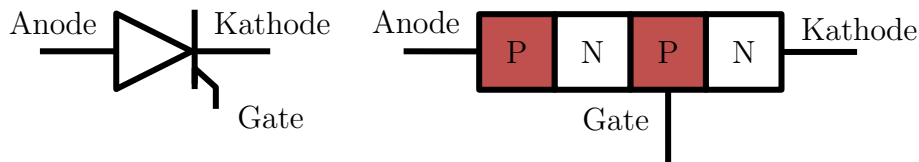


Abbildung 2.1: Schaltzeichen und Aufbau eines Thyristors

Die Funktionsweise eines idealen Thyristors lässt sich wie folgt beschreiben: Liegt eine negative Spannung über der Anoden-Kathodenstrecke an, so befindet sich der Thyristor im sperrenden Zustand und es fließt kein Strom durch den Thyristor. Wird eine positive Spannung an die Anoden-Kathodenstrecke angelegt, blockiert der Thyristor. Auch in diesem Zustand fließt kein Strom. Jedoch kann der Thyristor im blockierenden Zustand durch Einprägen eines Stromes in den Gate-Anschluss gezündet und dadurch in den leitenden Zustand versetzt werden, in welchem ein positiver Anodenstrom durch den Thyristor fließt. Der Stromfluss durch den Thyristor hält nach der Zündung so lange an, bis der Anodenstrom auf einen Wert

von Null absinkt. Zur besseren Veranschaulichung ist in Abbildung 2.2 das Funktionsprinzip des Thyristors zusätzlich in Form eines Zustandsautomaten dargestellt [1].

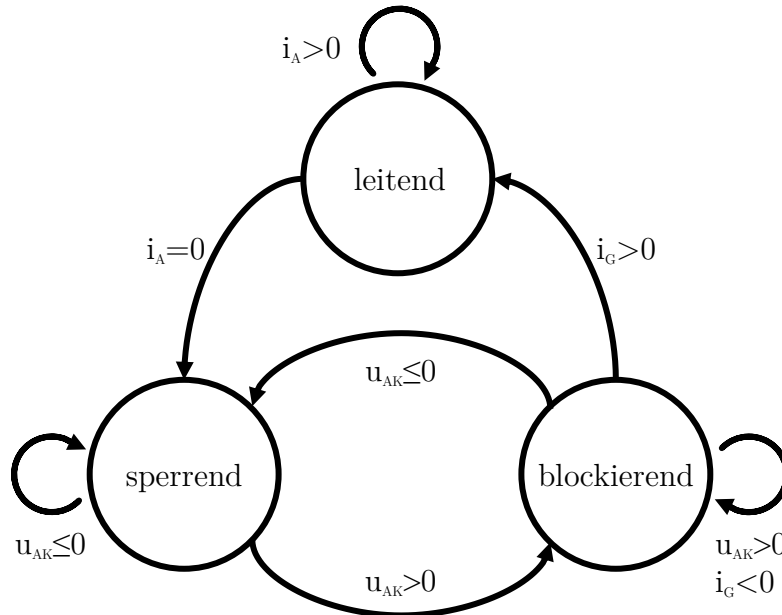


Abbildung 2.2: Zustände eines Thyristors

Der einfache Aufbau des Thyristors wie in Abbildung 2.1 in Kombination mit jahrzehntelanger Erfahrung in der Fertigung von Thyristoren, ist der Grund warum sehr zuverlässige Thyristoren mit hoher Blockierspannung und hoher Stromtragfähigkeit kostengünstig hergestellt werden können. Dadurch sind Thyristoren für den Einsatz in großtechnischen Elektrolysegleichrichtern prädestiniert und bis heute Stand der Technik.

2.1.2 Die Topologie des B6-Stromrichters

Bei dem für den Demonstrationsaufbau verwendeten Thyristorstromrichter handelt es sich um einen sogenannten B6-Thyristorstromrichter. Das Präfix “B6” steht dabei für die Topologie des Thyristorstromrichters, in diesem Fall eine sechspulsige Brückenschaltung, die zu den netzgeführten Stromrichtern zählt. Der B6-Thyristorstromrichter besteht im Wesentlichen, wie in Abbildung 2.3 zu sehen, aus dem Stromrichtertransformator Tr über den die Brückenschaltung an das Versorgungsnetz angeschlossen ist, den sechs Thyristoren T_1 bis T_6 der Brückenschaltung und einer Glättungsdrossel L_D zur Glättung des ausgangsseitigen Gleichstromes. Des weiteren ist am Ausgang die Last Z_{Last} angeschlossen.

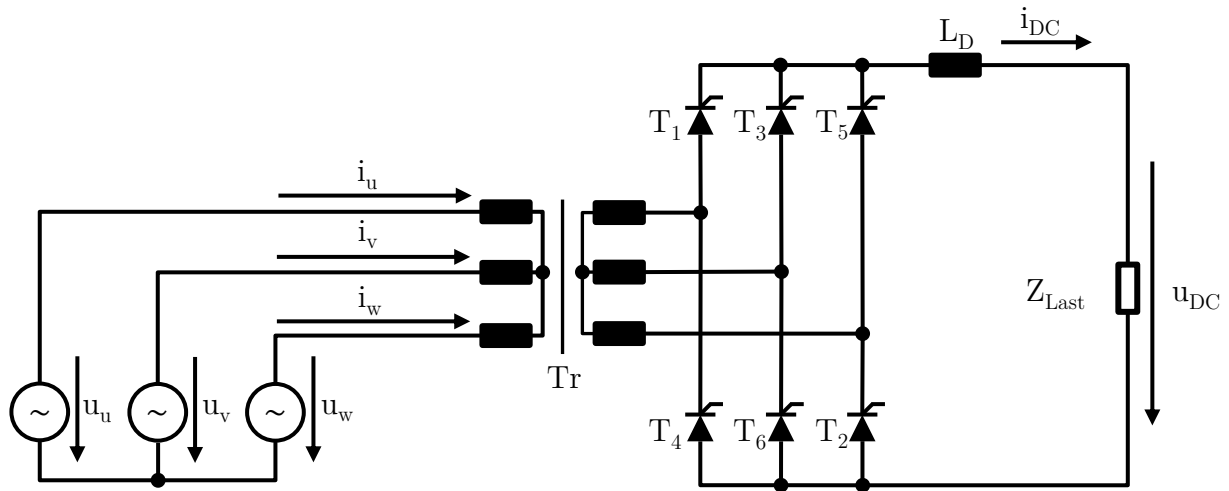


Abbildung 2.3: Vereinfachtes Schaltbild des B6-Thyristorstromrichters

2.1.3 Das Ansteuerverfahren

Die Ansteuerung der Thyristoren erfolgt mittels kurzer Gate-Impulse, die von einer Zündschaltung erzeugt werden. Um den Leistungsfluss aus dem Versorgungsnetz zu beeinflussen, wird der Zündwinkel der Thyristoren bezüglich des natürlichen Zündzeitpunktes variiert. Im Allgemeinen vergrößert sich die dem Versorgungsnetz entnommene Leistung, wenn der Zündwinkel α in Richtung des natürlichen Zündzeitpunktes verschoben wird. Für eine detailliertere Betrachtung wird an dieser Stelle auf die Literaturstelle [2] verwiesen.

2.2 Der aktive Gleich- und Wechselrichter

2.2.1 Die Topologie des aktiven Gleich- und Wechselrichters

Der aktive Gleich- und Wechselrichter des Demonstrationsaufbaus wird als dreiphasiger Zweipunktwechselrichter mit vorgeschaltetem Netztransformator realisiert. Der Zweipunktwechselrichter besteht im Wesentlichen aus sechs leistungselektronischen Schaltern und der Zwischenkreiskapazität. Am Ausgang ist die Last Z_{Last} angeschlossen. Abbildung 2.4 zeigt die für diese Arbeit geplante Realisierung eines Zweipunktwechselrichters mit Metall-Oxid-Halbleiter-Feldeffekttransistoren (MOSFETs) als leistungselektronische Schalter. Für die genauere Betrachtung des Zweipunktwechselrichters wird auf [3] verwiesen.

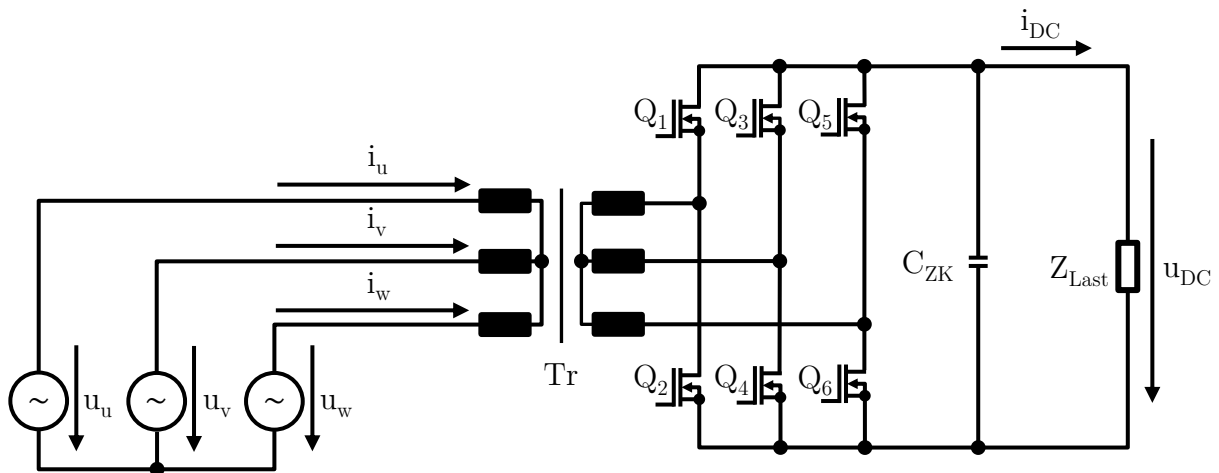


Abbildung 2.4: Vereinfachtes Schaltbild aktiver Gleich- und Wechselrichter

2.2.2 Das Modulationsverfahren

Der aktive Gleich- und Wechselrichter wird mittels Pulsweitenmodulation (PWM) angesteuert. Als Referenzsignal des Modulationsverfahrens wird ein Dreieckssignal gewählt, da dieses durch seine Symmetrie die einfache Erfassung des arithmetischen Mittelwerts eines Stromes durch eine induktive Last ermöglicht. Um die verfügbare Stellreserve besser auszunutzen, wird den Steuersignalen der drei Phasen eine Sinusschwingung mit dreifacher Netzfrequenz und einer Amplitude von einem Sechstel des Steuersignals überlagert. Auch an dieser Stelle wird für genauere Erläuterungen zum Modulationsverfahren auf die Literatur [3] verwiesen.

2.3 Der Transformator

Um die Spannung des Versorgungsnetzes am Eingang des B6-Thyristorstromrichters und des aktiven Gleich- und Wechselrichters anzupassen, kommen, wie in Abbildung 2.3 und 2.4 gezeigt, dreiphasige Transformatoren zum Einsatz. Abbildung 2.5 zeigt das einphasige Ersatzschaltbild des Transformators.

Das T-Ersatzschaltbild modelliert neben der idealen Spannungs- und Stromübersetzung des Transformators auch dessen Magnetisierung, Streuflüsse, Eisen- und Kupferverluste. Die Betrachtung des einphasigen Ersatzschaltbilds ist zulässig, da für diese Arbeit stets von symmetrischen Bedingungen ausgegangen wird. Für die Auslegung der Transformatoren wird auf

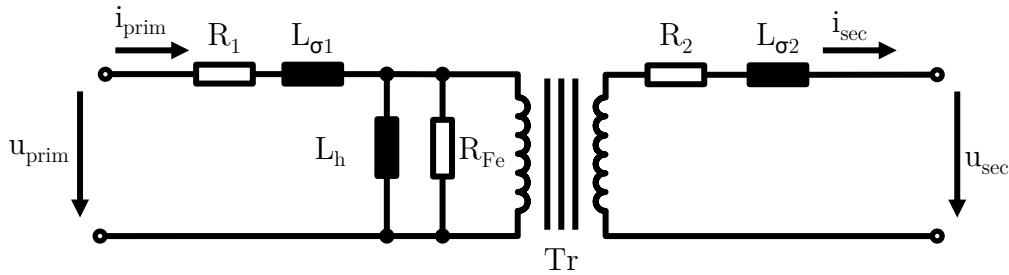


Abbildung 2.5: Einphasiges T-Ersatzschaltbild des Transformators

Quelle [1] verwiesen. Es sei jedoch erwähnt, dass die Auslegung des Übersetzungsverhältnisses derart zu erfolgen hat, dass ein Zünden der Thyristoren des B6-Thyristorstromrichters in jedem relevanten Betriebspunkt möglich ist und der aktive Gleich- und Wechselrichter stets über ausreichend Stellreserve verfügt, wobei die Streuflüsse des Transformators von wesentlicher Bedeutung sind.

2.4 Der Elektrolyse-Stack

Am gleichstromseitigen Ausgang eines Elektrolysegleichrichters wird als Last der Elektrolyse-Stack angeschlossen. Daher ist es für die Entwicklung eines Elektrolysegleichrichters notwendig, ein Modell eines Elektrolyse-Stacks zu bestimmen, das dessen elektrische Eigenschaften abbildet. Dazu wird beispielhaft ein angenommener Elektrolyse-Stack mit den Kenngrößen in Tabelle 2.1 betrachtet.

	Wert	Einheit
$P_{N,Stack}$	10	kW
$U_{N,Stack}$	180	V
U_0	150	V
$I_{N,Stack}$	55,56	A
R_{Stack}	540	$m\Omega$

Tabelle 2.1: Kenngrößen des beispielhaften Elektrolyse-Stacks

Die zu diesem beispielhaft angenommenen Elektrolyse-Stack gehörende Kennlinie ist in Abbildung 2.6 dargestellt.

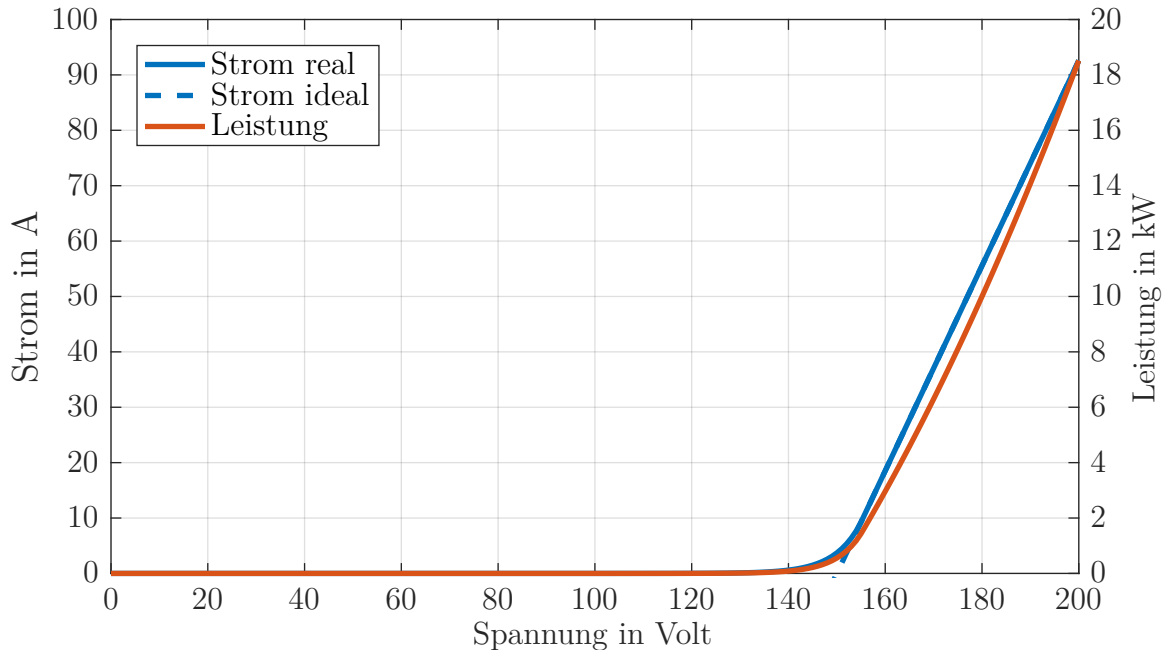


Abbildung 2.6: Kennlinie des Elektrolyse-Stacks

Wie aus Abbildung 2.6 ersichtlich, setzt der Stromfluss an einem realen Elektrolyse-Stack mit steigender Spannung u_{Stack} zunächst langsam ein. Wird die sogenannte Zersetzungsspannung U_0 erreicht, beginnt der Strom näherungsweise linear mit der Spannung anzusteigen. Da der Strom vor dem Erreichen der Zersetzungsspannung einen vergleichsweise geringen Wert aufweist, ist es in erster Näherung möglich, die Kennlinie idealisiert als linear anzunehmen. Aus dieser vereinfachten Kennlinie lässt sich ein statisches Modell eines Elektrolyse-Stacks in Abbildung 2.7 gewinnen, welches eine für diese Arbeit ausreichende Genauigkeit bietet. Ein statisches Modell reicht aus, da damit zu rechnen ist, dass die am gleichstromseitigen Ausgang eines Elektrolysegleichrichters in Paralleltopologie auftretenden Größen in guter Näherung als Gleichgrößen betrachtet werden können.

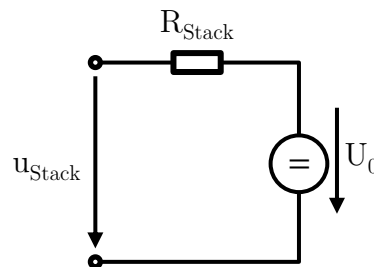


Abbildung 2.7: Vereinfachtes Ersatzschaltbild des Elektrolyse-Stacks

Wie in Abbildung 2.7 zu sehen, besteht das Ersatzschaltbild aus einer Spannungsquelle U_0 , die das Produkt aus der Anzahl der Zellen des Elektrolyse-Stacks und der Zersetzungsspannung von Wasser darstellt und dem Widerstand R_{Stack} der den Innenwiderstand des Elektrolyse-Stacks nachbildet.

3 Die Paralleltopologie

3.1 Stand der Technik bei Elektrolysegleichrichtern

Abbildung 3.1 zeigt den typischen Aufbau eines Elektrolysegleichrichters, wie er bis heute Stand der Technik ist und zur Gewinnung von Wasserstoff zum Einsatz kommt.

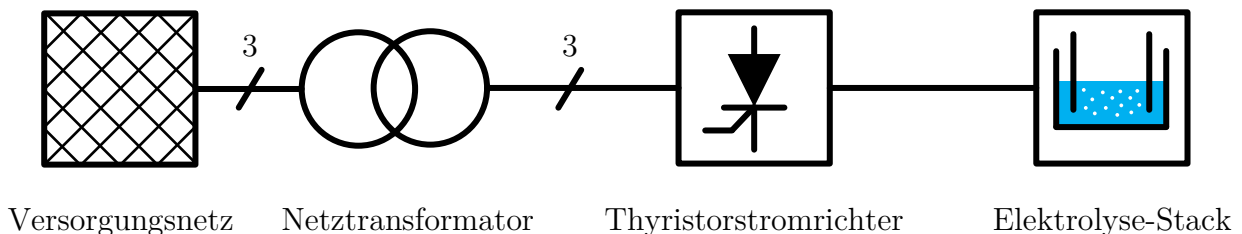


Abbildung 3.1: Schematische Darstellung eines Elektrolysegleichrichters zu Gewinnung von Wasserstoff

Trotz der Verfügbarkeit von moderneren leistungselektronischen Halbleiterbauelementen werden Gleichrichter zumeist in Thyristortechnik realisiert. Die wesentlichen Gründe dafür sind:

- Der hohe Wirkungsgrad resultierend aus den geringen Schalt- und Durchlassverlusten der Thyristoren.
- Die Realisierbarkeit von Gleichrichtern großer Leistung, da Thyristoren mit hoher Sperrspannung und großer Stromtragfähigkeit verfügbar sind.
- Die sehr hohe Zuverlässigkeit von Thyristoren durch deren einfachen Aufbau und die jahrzehntelange Erprobung der Thyristortechnik.
- Die vergleichsweise niedrigen Anschaffungskosten.

Die Verwendung eines Thyristorstromrichters bringt jedoch folgende wesentliche Nachteile mit sich:

- Der hohe und vom Betriebspunkt abhängige Blindleistungsbedarf, der vom Versorgungsnetz gedeckt werden muss.
- Starke Netzurückwirkungen durch harmonische Anteile in den dem Versorgungsnetz entnommenen Strömen, die mit hohem Filteraufwand beseitigt werden müssen.
- Die Notwendigkeit einer großen Glättungsdrossel um die Restwelligkeit des gleichstromseitigen Ausgangsstroms zu reduzieren.

Die Ursache der genannten unerwünschten Eigenschaften von Thyristorstromrichtern lassen sich durch die Betrachtung der dem Versorgungsnetz entnommenen Ströme einfach erklären. Abbildung 3.2 zeigt beispielhaft die Spannung der Phase u und die Ströme die ein B6-Thyristorstromrichter dem Versorgungsnetz entnimmt.

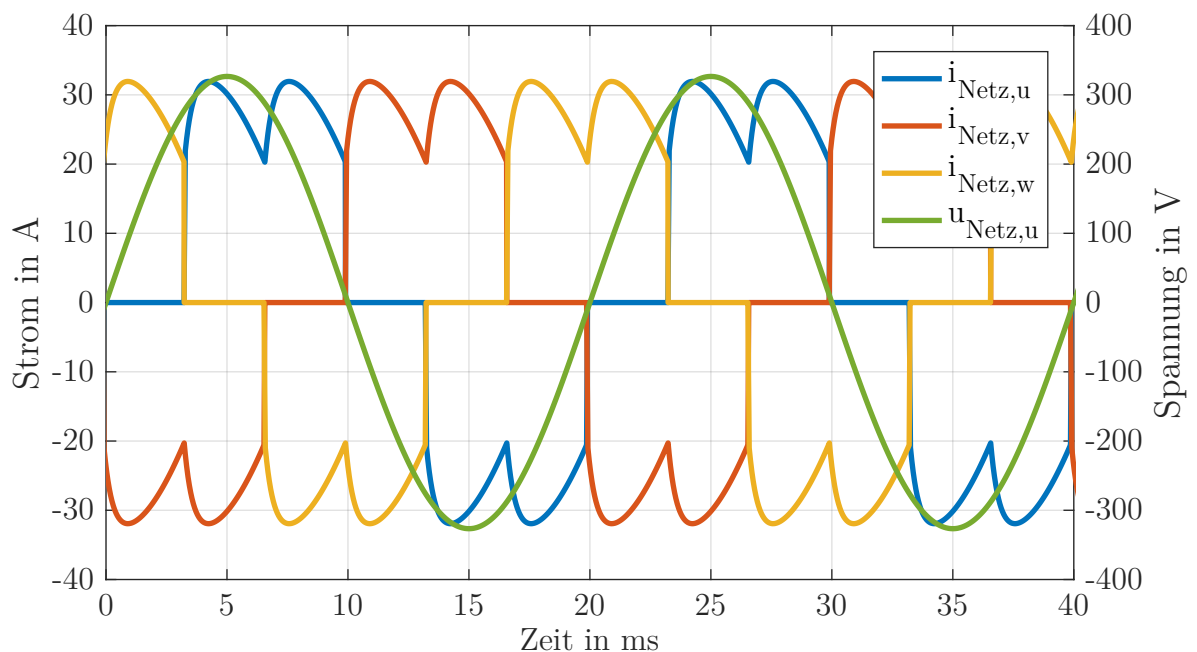


Abbildung 3.2: Beispielhafte Netzströme eines B6-Thyristorstromrichters

Wie zu erkennen, stellen die aus dem Versorgungsnetz aufgenommenen Ströme ein dreiphasiges symmetrisches System dar. Daher genügt es für die folgenden Überlegungen, nur eine Phase zu betrachten, da aufgrund der Symmetrie dieselben Überlegungen auch für die verbleibenden beiden Phasen gelten müssen.

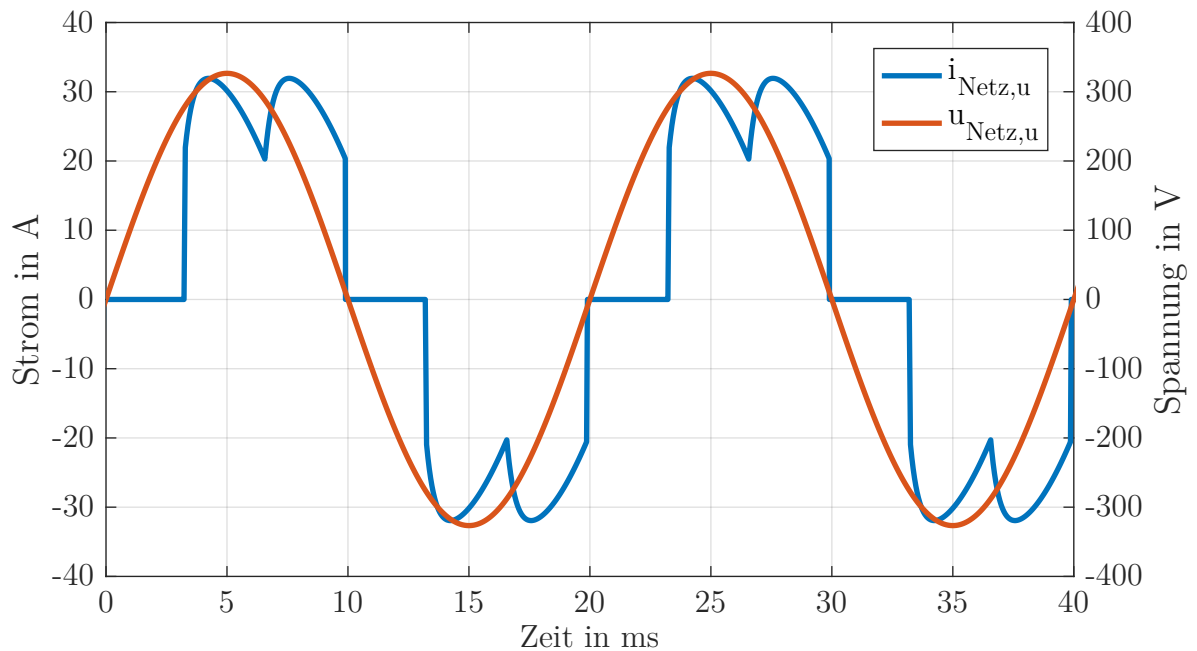


Abbildung 3.3: Beispielhafter Netzstrom eines B6-Thyristorstromrichters

In Abbildung 3.3 ist zu erkennen, dass der zeitliche Verlauf des dargestellten Stroms eindeutig nicht sinusförmig ist, wodurch die harmonischen Anteile des Stroms begründet sind. Des Weiteren ist zu erkennen, dass die Grundschwingung des Stroms eine Phasenverschiebung zu der zugehörigen Spannung aufweist. Diese ist zusammen mit der für die Kommutierung der Ströme zwischen zwei Phasen benötigten Kommutierungsblindleistung die Ursache für den betriebspunktabhängigen Blindleistungsbedarf der Schaltung, der sich mit dem Zündwinkel der Thyristoren verändert. Aus Abbildung 3.2 ist des Weiteren ersichtlich, dass es sich bei dem aus den Phasenströmen resultierenden ausgangsseitigen Strom nicht um eine reine Gleichgröße handelt. Dies ist darauf zurückzuführen, dass die dem Versorgungsnetz entnommene Leistung nicht konstant ist, was wiederum aus den nicht sinusförmigen Strömen aus dem Versorgungsnetz resultiert. Die wesentlichen unerwünschten Eigenschaften, die ein Thyristorstromrichter mit sich bringt, sind also alle darauf zurückzuführen, dass die dem Versorgungsnetz entnommenen Ströme keinen sinusförmigen zeitlichen Verlauf ohne Phasenverschiebung zu den zugehörigen Spannungen aufweisen. Im Umkehrschluss bedeutet dies, dass die wesentlichen unerwünschten Eigenschaften von Thyristorstromrichtern alle samt beseitigt werden können, wenn es durch eine geeignete Maßnahme gelingt, dass dem Versorgungsnetz im zeitlichen Verlauf sinusförmige Ströme ohne Phasenverschiebung zur zugehörigen Netzspannung entnommen werden.

3.2 Das Grundprinzip der Paralleltopologie

Um dem Versorgungsnetz im zeitlichen Verlauf sinusförmige Ströme ohne Phasenverschiebung zur zugehörigen Netzspannung zu entnehmen, kommt eine Paralleltopologie zum Einsatz. Deren Grundprinzip ist es, dass der Summenstrom in Gleichung 3.1 aus einem gegebenen Strom $i_a(t)$ und einem durch Gleichung 3.2 zu bestimmenden Differenzstrom $i_b(t)$ einen beliebigen zeitlichen Verlauf $i_c(t)$ aufweisen kann.

$$i_c(t) = i_a(t) + i_b(t) \quad (3.1)$$

$$i_b(t) = i_c(t) - i_a(t) \quad (3.2)$$

Wird dieses Prinzip auf einen Thyristorstromrichter für einen Elektrolysegleichrichter angewandt, so ist es möglich, dass durch das Parallelschalten eines Thyristorstromrichters mit einer geeigneten leistungselektronischen Topologie der Summenstrom einer Phase einen sinusförmigen zeitlichen Verlauf ohne Phasenverschiebung zur zugehörigen Spannung des Versorgungsnetzes aufweist. Der Differenzstrom, der hierfür benötigt wird, lässt sich mittels Gleichung 3.3 bestimmen.

$$i_{Netz,Differenzstrom}(t) = i_{Netz,soll}(t) - i_{Netz,Thyristor}(t) \quad (3.3)$$

Abbildung 3.4 stellt die sich ergebenden zeitlichen Verläufe der Ströme und die zur Phase gehörende Spannung für den Beispielstrom eines B6-Thyristorstromrichters aus Abbildung 3.3 dar.

3.3 Die praktische Realisierung der Paralleltopologie

Wie aus Abbildung 3.4 eindeutig ersichtlich, muss die leistungselektronische Topologie, die den Differenzstrom stellt, sowohl als Gleichrichter arbeiten und Energie aus dem Versorgungsnetz entnehmen, als auch als Wechselrichter und Energie in das Versorgungsnetz zurückspeisen. Es muss daher ein aktiver Gleich- und Wechselrichter zum Einsatz kommen. Wird dieser mit einem Thyristorstromrichter parallelgeschaltet und die beiden dreiphasigen Transformatoren zu einem Dreiwicklungstransformator zusammengefasst, so erhält man die in Abbildung 3.5 als Blockschaltbild dargestellte Paralleltopologie.

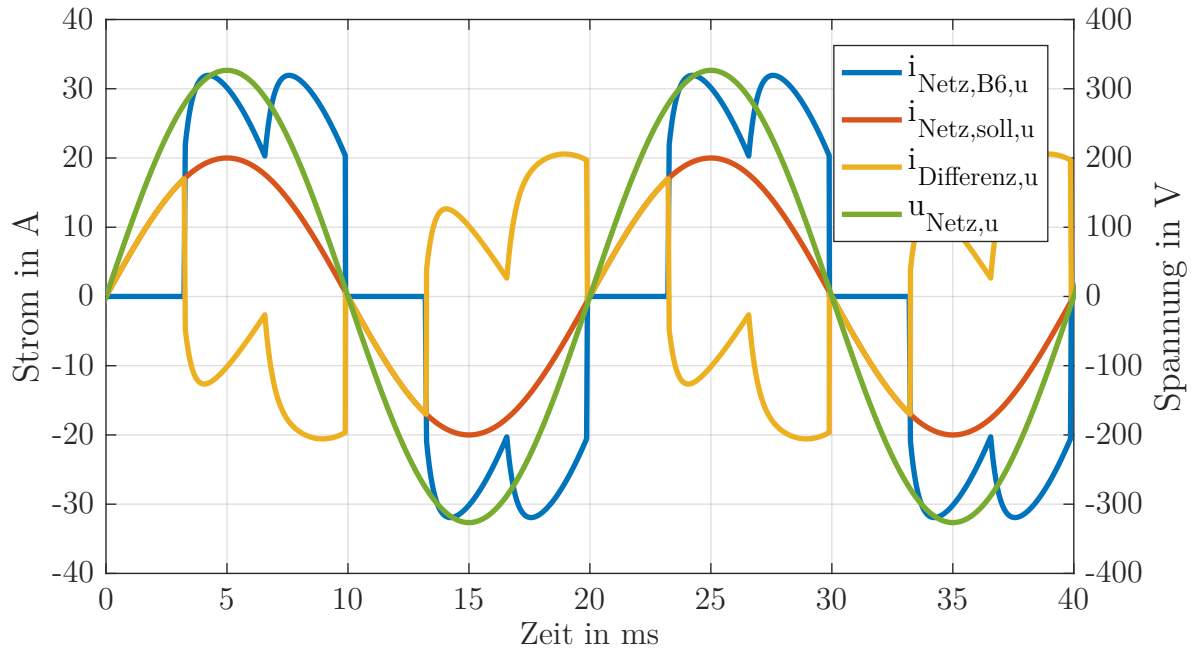


Abbildung 3.4: Überlagerung der Teilströme der Paralleltopologie

Im Zuge dieser Arbeit kommt als Thyristorstromrichter der B6-Thyristorstromrichter aus Abschnitt 2.1.2 und als aktiver Gleich- und Wechselrichter der auf einem Zweipunktwechselrichter basierende, in Abschnitt 2.2 vorgestellte aktive Gleich- und Wechselrichter zum Einsatz. Abbildung 3.6 zeigt das vereinfachte Schaltbild der resultierenden Paralleltopologie. Die Parallelschaltung von B6-Thyristorstromrichter und aktivem Gleich- und Wechselrichter erfolgt dabei dadurch, dass die Glättungsdrossel des B6-Thyristorstromrichters an den Zwischenkreis des aktiven Gleich- und Wechselrichters angeschlossen wird. So bleiben die positiven Eigenschaften des Thyristorstromrichters erhalten, die unerwünschten Effekte können durch den aktiven Gleichrichter kompensiert werden.

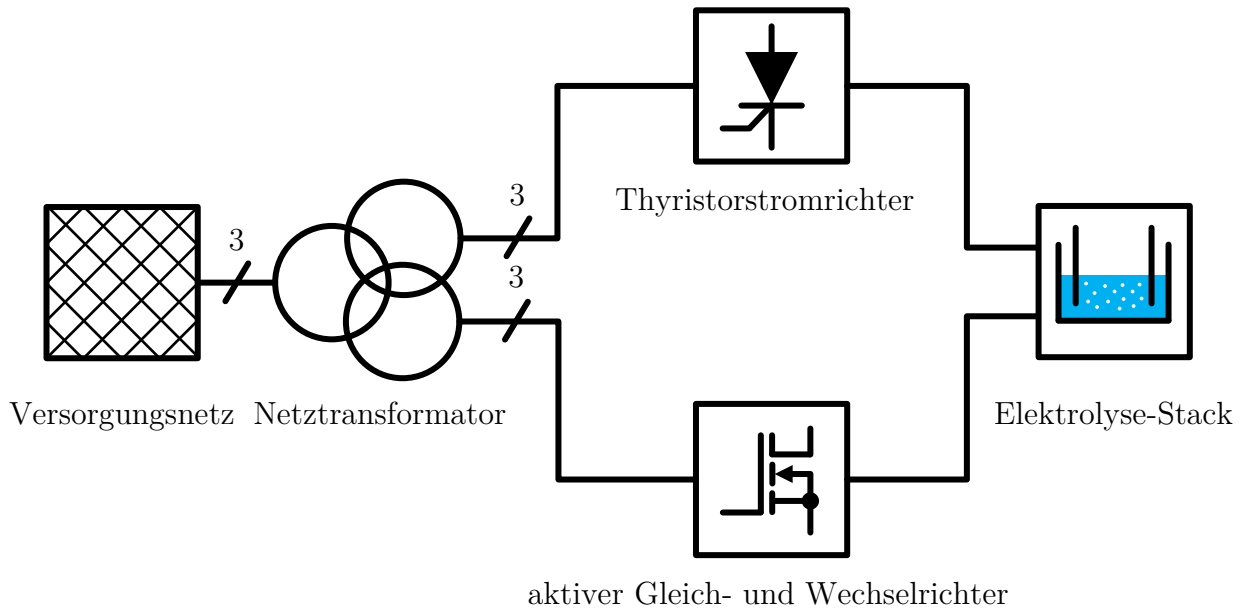


Abbildung 3.5: Blockschaltbild der Paralleltopologie

3.4 Die Betriebsstrategie der Paralleltopologie

Die Betriebsstrategie für die Paralleltopologie besteht darin, die Leistung, die der Elektrolysegleichrichter aus dem Versorgungsnetz entnimmt und ausgangsseitig an den Elektrolyse Stack abgibt, derart auf den Thyristorstromrichter und den aktiven Gleich- und Wechselrichter aufzuteilen, so dass sich in jedem Betriebspunkt der optimale Wirkungsgrad einstellt. Als Nebenbedingung wird gefordert, dass die Rückwirkungen auf das Versorgungsnetz minimiert werden. Im Normalbetrieb ist das Ziel daher, dass der Elektrolysegleichrichter ausschließlich Wirkleistung aus dem Versorgungsnetz entnimmt. Es sind jedoch auch Szenarien denkbar, in denen die Erbringung von Netzdienstleistungen eine Rolle spielen können. Der Elektrolysegleichrichter wird in einem solchen Szenario derart betrieben, dass er kapazitive oder induktive Blindleistung aus dem Versorgungsnetz entnimmt und so zur Blindleistungsregelung eingesetzt werden kann. Die Entwicklung dieser Betriebsstrategie ist jedoch nicht Gegenstand dieser Arbeit.

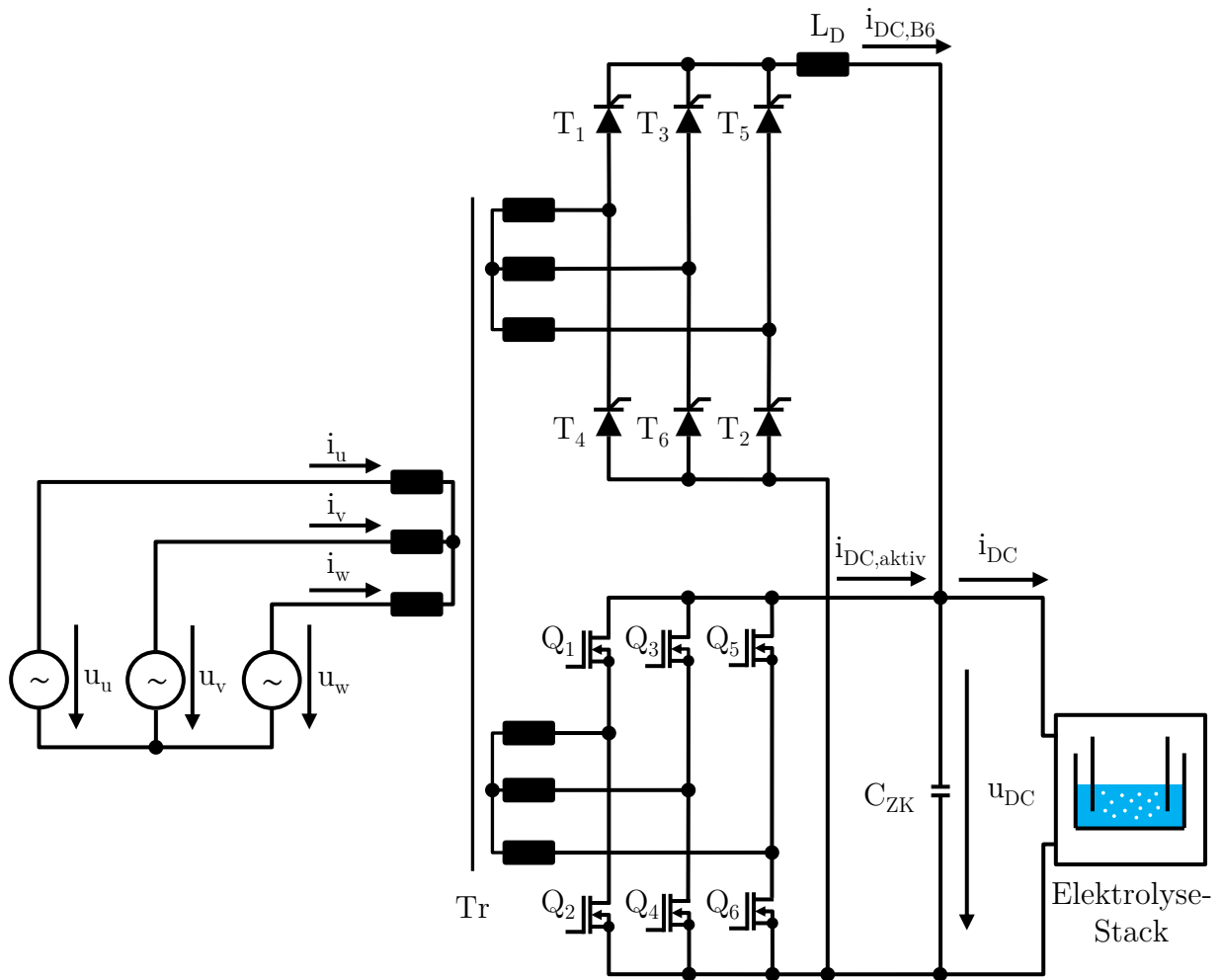


Abbildung 3.6: Vereinfachtes Schaltbild der Paralleltopologie

4 Das Regelsystem

4.1 Übersicht

In diesem Kapitel wird das für den Elektrolysegleichrichter in Paralleltopologie entworfene Regelsystem vorgestellt. Da dieses aus mehreren Teilreglern besteht, wird zunächst eine Übersicht über das gesamte Regelsystem gegeben. In Abbildung 4.1 ist dazu das Übersichtsblockschaltbild dargestellt.

4.2 Grundprinzip des Regelsystems

Die Grundidee für das Regelsystem ist eine Leistungsbilanz. Wie nachfolgend gezeigt wird, ist die Wirkleistung in einem dreiphasigen symmetrischen Drehstromsystem mit sinusförmigen Größen und einem Leistungsfaktor $\cos(\varphi) = 1$ über die gesamte Periodendauer konstant.

$$P_3 = u_u(t) \cdot i_u(t) + u_v(t) \cdot i_v(t) + u_w(t) \cdot i_w(t) \quad (4.1)$$

mit:

$$\sin^2(a) = \frac{1}{2}(1 - \cos(2a)) \quad (4.2)$$

$$P_3 = \hat{U} \cdot \hat{I} \cdot (\sin^2(\omega t) + \sin^2(\omega t - \frac{2\pi}{3}) + \sin^2(\omega t - \frac{4\pi}{3})) \quad (4.3)$$

$$P_3 = \hat{U} \cdot \hat{I} \cdot (\frac{3}{2} - \frac{1}{2}(\cos(2\omega t) + \cos(2\omega t - \frac{4\pi}{3}) + \cos(2\omega t - \frac{8\pi}{3}))) \quad (4.4)$$

$$P_3 = \hat{U} \cdot \hat{I} \cdot (\frac{3}{2} - \frac{1}{2}(e^{j(2\omega t - \frac{3\pi}{6})} + e^{j(2\omega t - \frac{7\pi}{6})} + e^{j(2\omega t - \frac{11\pi}{6})})) \quad (4.5)$$

durch geometrische Überlegungen und Addition der Zeiger:

$$P_3 = \hat{U} \cdot \hat{I} \cdot (\frac{3}{2} - \frac{1}{2}(0)) \quad (4.6)$$

$$P_3 = \sqrt{2} \cdot U \cdot \sqrt{2} \cdot I \cdot \frac{3}{2} \quad (4.7)$$

$$P_3 = 3 \cdot U \cdot I \quad (4.8)$$

Geht man davon aus, dass die Topologie des verwendeten Elektrolysegleichrichters verlustfrei arbeitet und keine Energie innerhalb der leistungselektronischen Topologie zwischengespeichert wird, ergibt sich dadurch direkt, dass die Leistung an der Ausgangsseite ebenfalls konstant ist. Betrachtet man nun die Kennlinie des beispielhaften Elektrolyse-Stacks in Abbildung 2.6, so ist zu erkennen, dass für eine gegebene Leistung die Spannung, die über dem Elektrolyse-Stack abfällt und der Strom, der durch den Elektrolyse-Stack fließt, eindeutig bestimmt sind. Da die Ausgangsleistung konstant ist, stellen sich somit dem Arbeitspunkt entsprechende Gleichgrößen im Ausgangsstrom und der Ausgangsspannung ein. Unter idealen Bedingungen genügt es daher, wenn das Regelsystem dafür Sorge trägt, dass dem dreiphasigen Versorgungsnetz des Elektrolysegleichrichters sinusförmige Ströme ohne Phasenverschiebung entnommen werden, um ausgangsseitig Gleichgrößen zu erhalten.

Dem Regelsystem wird als Führungsgröße die gewünschte gleichstromseitige Ausgangsleistung und als zusätzliche Steuergröße der gewünschte Grundschwingungsleistungsfaktor $\cos(\varphi)$ der Netzströme vorgegeben. Die gleichstromseitige Solla Ausgangsleistung wird im ersten Schritt mittels der Ausgangsspannung u_{DC} in den Solla Ausgangsstrom i_{DC} umgerechnet. Dieser wird im nächsten Schritt mit dem Verteilungsfaktor V multipliziert, um den Ausgangsstrom auf den Thyristorstromrichter und den aktiven Gleich- und Wechselrichter aufzuteilen. Der Solla Ausgangsteilstrom wiederum wird als Führungsgröße an den Stromregler des B6-Thyristorstromrichter übergeben. Der Stromregler stellt dann den gewünschten Strom im arithmetischen Mittel ein. Für den Aufbau der Regelung des aktiven Gleich- und Wechselrichters wird ebenfalls mit der gleichstromseitigen Ausgangsleistung begonnen. Jedoch wird diese nun mittels des Nennwertes der Netzspannung in die Amplituden der Netzströme umgerechnet, die von Nöten sind, um die vorgegebene Ausgangsleistung zu erreichen, wenn das Versorgungsnetz seine Nennspannung aufweist. Die so bestimmte Amplitude wird mit Sinusschwingungen, deren Phasenwinkel und damit auch Kreisfrequenz aus den Netzspannungen gewonnen werden, multipliziert. Von den so gewonnenen zeitlichen Verläufen der gewünschten Netzströme werden die vom B6-Thyristorstromrichter bereits entnommenen Netzströme subtrahiert. Die verbleibenden Differenzen stellen die Führungsgrößen für den aktiven Gleich- und Wechselrichter dar und werden daher den Stromreglern des aktiven Gleich- und Wechselrichters zugeführt. Da der aktive Gleich- und Wechselrichter jedoch nicht wie angenommen verlustlos arbeitet und die Spannung des Versorgungsnetzes im Allgemeinen leicht von ihrem Nennwert abweicht, ist es notwendig, die mittels der Leistungsbilanz bestimmte Amplituden der Netzströme anzupassen. Dies geschieht durch den Leistungsregler, der die Amplituden der Ströme aus dem Versorgungsnetz so beeinflusst, dass gleichstromseitig die vorgegebene Leistung eingeregelt wird.

4.3 Die Stromregelung des B6-Thyristorstromrichters

4.3.1 Die Regelstrecke des B6-Thyristorstromrichters

Die Bestimmung einer nutzbaren Regelstrecke und Übertragungsfunktion für den B6-Thyristorstromrichter gestaltet sich als sehr komplex. Der Hauptgrund dafür ist, dass der zu regelnde gleichstromseitige Ausgangsstrom des B6-Thyristorstromrichters selbst unter idealisierten Bedingungen eine nichtlineare Funktion zahlreicher Größen ist. Diese Größen sind: die Netzspannung, die gleichstromseitige Ausgangsspannung des Zwischenkreiskondensators, der Zündwinkel α des Stromrichters, der Strom durch die Glättungsdrossel im Moment des

Zündzeitpunkts, die angeschlossene Last sowie die Netz- und Transformatorimpedanzen. Ein weiterer Grund ist, dass die Regelstrecke keine regelungstechnisch nutzbare Zeitkonstante aufweist. Im ersten Ansatz wurden daher umfangreiche numerische Berechnungen durchgeführt, um Look-Up-Tabellen für den Zündwinkel α zu generieren, um für jeden möglichen Betriebspunkt im Arithmetischen Mittel den gewünschten gleichstromseitigen Ausgangsstrom einzustellen. Mittels Simulationen wurde das Funktionsprinzip dieser Methode anschließend theoretisch verifiziert. Jedoch zeigt sich, dass diese Methode für eine praktische Realisierung weniger geeignet ist. Die Gründe dafür sind, dass die Parameter der Regelstrecke sehr genau bekannt sein müssen, dass die gleichstromseitige Ausgangsspannung und der Strom durch die Glättungsdrossel sehr genau und mit sehr hoher Abtastfrequenz gemessen werden müssen, um den exakten Zündzeitpunkt bestimmen zu können und die Look-Up-Tabelle durch die Abhängigkeit von drei Eingangsgrößen sehr groß ist wodurch große Mengen an schnellem Speicher benötigt werden. Verschärft werden diese Anforderungen noch dadurch, dass die Simulation eine starke Sensitivität des gleichstromseitigen Ausgangsstromes für kleine Änderungen des Zündwinkels zeigt. Aus diesen Gründen wurde der Ansatz für die praktische Realisierung verworfen und ein deutlich besser zu realisierender Ansatz gewählt.

4.3.2 Der Regler des B6-Thyristorstromrichters

Ein praktikabler Ansatz zur Regelung des gleichstromseitigen Ausgangsstromes des B6-Thyristorstromrichters stellt die Regelung dessen arithmetischen Mittelwertes durch einen zeitdiskreten I-Regler dar.

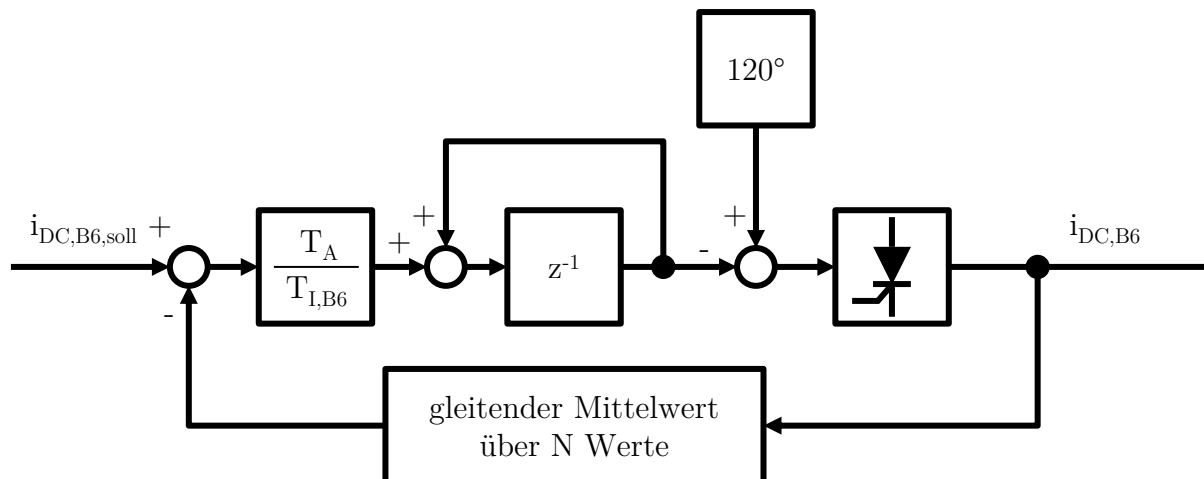


Abbildung 4.2: Blockschaltbild der Regelung des B6-Thyristorstromrichters

Dazu wird als erstes die Differenz aus der, wie in Abschnitt 4.2 beschrieben, gewonnenen Führungsgröße und dem arithmetischen Mittelwert der Regelgröße bestimmt. Die Bestimmung des arithmetischen Mittelwerts wird dabei durch ein gleitendes Mittelwertfilter realisiert. Der gleitende Mittelwert sollte über ein Vielfaches einer sechstel Periodendauer des Versorgungsnetzes entsprechen, da der Ausgangsstrom eines B6-Thyristorstromrichteres mit dem sechsfachen der Frequenz des Versorgungsnetzes pulsiert und das Ausgangssignal des Filters im eingeschwungenen Zustand bei dieser Wahl eine Gleichgröße darstellt. Für den Demonstrationsaufbau wird der gleitende Mittelwert über eine ganze Periode des Versorgungsnetzes gebildet. Dieser Wert wurde empirisch ermittelt und stellt eine gute Abwägung zwischen Genauigkeit und Dynamik des Reglers dar. Als nächstes wird durch Subtrahieren der beiden beschriebenen Größen die Regeldifferenz gewonnen, die im Anschluss einem zeitdiskreten Integrierer, der die Zeitkonstante $T_{I,B6}$ aufweist, zugeführt wird. Aus dem Ausgangssignal des Integrierers lässt sich nun der Zündwinkel α bestimmen. Dies geschieht, indem, ausgehend von einem Startwert von 120 Grad für α , in dem kein Strom gestellt wird, das Ausgangssignal des Integrierers subtrahiert wird, wodurch der Zündwinkel sich in Richtung des natürlichen Zündzeitpunktes verschiebt. Voraussetzung für die Funktion des Reglers ist es, dass eine Verschiebung des Zündwinkels hin zum natürlichen Zündzeitpunkt für den gesamten Betriebsbereich eine Erhöhung des arithmetischen Mittelwerts des gleichstromseitigen Ausgangsstromes zur Folge hat. Um dies sicherzustellen, eignet sich eine „worst-case“ Abschätzung unter Zuhilfenahme der in Abschnitt 4.3.1 erwähnten Simulationsergebnisse. In Abbildung 4.3 ist der arithmetische Mittelwert des ausgangsseitigen Gleichstromes über den Zündwinkel α und der ausgangsseitigen Spannung u_{DC} aufgetragen. Dabei wurde der gleichstromseitige Anfangsstrom stets zu Null gewählt, so dass die maximale Variation des Zündwinkels zum Erreichen des geforderten arithmetischen Mittelwerts notwendig ist. Der Strom durch den Elektrolyse-Stack wurde zu Null gewählt, da so der gesamte ausgangsseitige Gleichstrom den Zwischenkreiskondensator des aktiven Gleich- und Wechselrichters lädt, wodurch sich die „worst-case“ Abschätzung für die Spannungszeitfläche über der Glättungsdrossel ergibt.

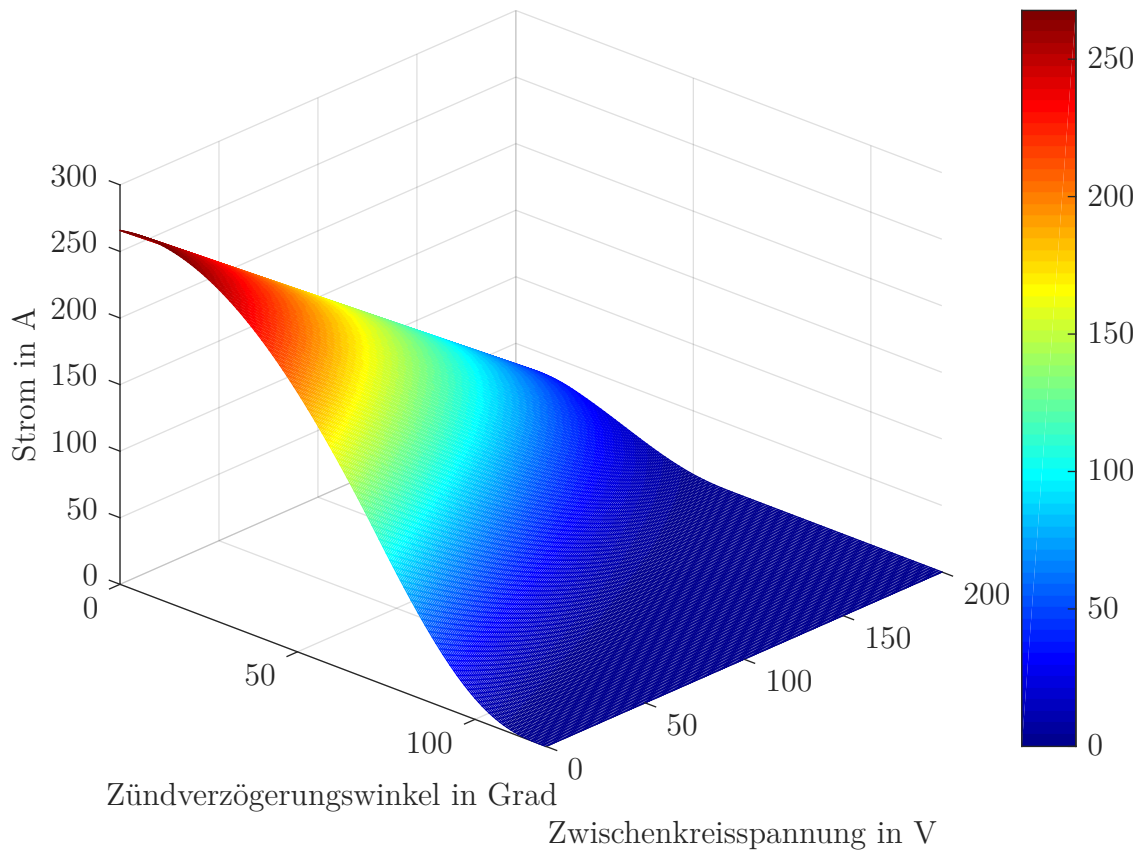


Abbildung 4.3: Gleichstromseitiger Ausgangsstrom über der Zwischenkreisspannung und dem Zündverzögerungswinkel aufgetragen

Betrachtet man Abbildung 4.3 in der Draufsicht und zeichnet Kurven für konstante Ströme ein, so ergibt sich das Konturdiagramm in Abbildung 4.4.

Es ist deutlich zu erkennen, dass sich für kleine Zündverzögerungswinkel nahe des natürlichen Zündzeitpunktes der arithmetische Mittelwert des gleichstromseitigen Ausgangsstroms bei einer Verringerung des Zündverzögerungswinkels ebenfalls verringert, was der Umkehr des Regelsinns entspricht. Es kann jedoch ebenso entnommen werden, dass dieser Effekt selbst für den hier dargestellten "worst-case" nur außerhalb des zulässigen Betriebsbereiches des angenommenen Elektrolyse-Stacks aus Abschnitt 2.4 auftritt. Die Grenzen des Betriebsbereichs sind durch die maximale Zwischenkreisspannung von 180 Volt und den maximalen ausgangsseitigen Gleichstrom von 55,56 Ampere gegeben.

Das dynamische Verhalten des Stromreglers des B6-Thyristorstromrichters wird maßgeblich durch das FIR-Filter zur Berechnung des arithmetischen Mittelwerts und der Zeitkonstante des I-Reglers bestimmt. Da die bereits erwähnten Eigenschaften der Regelstrecke eine

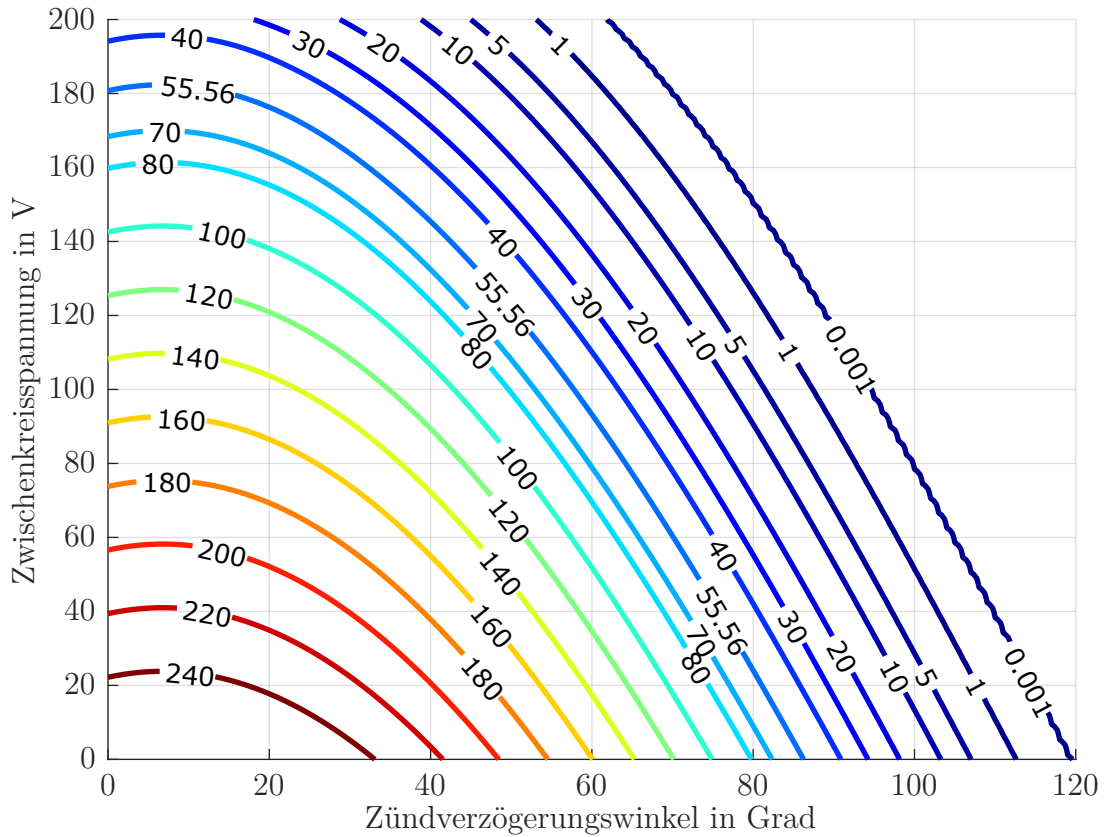


Abbildung 4.4: Konturdiagramm gleichstromseitiger Ausgangsstrom über der Zwischenkreisspannung und dem Zündverzögerungswinkel aufgetragen

rechnerische Auslegung unpraktikabel machen, wird auch die Zeitkonstante des I-Regler durch einen empirischen Ansatz bestimmt. Die Zeitkonstante wird so gewählt, dass bei einem Sprung der Führungsgröße auf ihren Nennwert kein Überschwingen in den zeitlichen Verläufen der Ströme aus dem Versorgungsnetz auftreten.

4.4 Die Stromregelung des aktiven Gleich- und Wechselrichters

Gegenstand dieses Unterkapitels ist die Entwicklung des Stromreglers für den aktiven Gleich- und Wechselrichter. Dazu wird zunächst ein geeignetes Modell der Regelstrecke bestimmt, diese im Anschluss diskretisiert. Im Anschluss erfolgt mit Hilfe dieses zeitdiskreten Modells der Regelstrecke die Auslegung des Regelsystems.

4.4.1 Die Regelstrecke des aktiven Gleich- und Wechselrichters

Für die Modellierung der Regelstrecke wird der Aufbau des aktiven Gleich- und Wechselrichters herangezogen. Das einphasige Ersatzschaltbild zeigt, dass die Regelstrecke aus dem Versorgungsnetz, dem Netztransformator und dem daran angeschlossenen Zweipunktwechselrichter besteht. Die einphasige Betrachtung ist zulässig, da das gesamte System in guter Näherung als symmetrisch betrachtet werden kann.

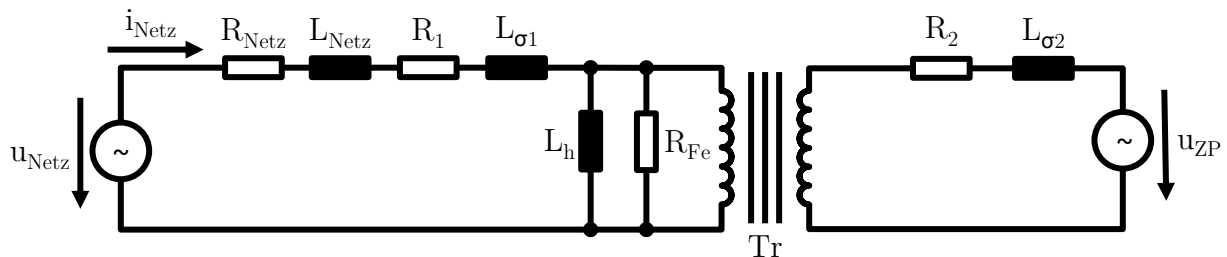


Abbildung 4.5: Einphasiges Ersatzschaltbild der Regelstrecke des aktiven Gleich- und Wechselrichters

Das Versorgungsnetz wird durch die Netzspannung, welche als eine ideale Spannungsquelle mit einem sinusförmigen zeitlichen Verlauf, der Amplitude \hat{U}_{Netz} und der Kreisfrequenz ω_{Netz} sowie der als ohmsch-induktiv angenommenen Netzimpedanz nachgebildet. Die Grundlage für das Modell des Transformators bildet das T-Ersatzschaltbild aus Abschnitt 2.3. Das Modell des Zweipunktwechselrichters besteht lediglich aus einer idealen Spannungsquelle u_{ZP} , deren Spannung dem mikroskopischen Mittelwert am Ausgang des Zweipunktwechselrichters entspricht. Aus regelungstechnischer Sicht ist diese Vereinfachung möglich, da die Pulsperiodendauer der Ausgangsspannung deutlich kleiner als der kleinste relevante, im Regelsystem auftretende Zeitmaßstab, ist. Die Eisenverluste und der Strom durch die Hauptinduktivität werden bei der Modellbildung vernachlässigt. Dies ist möglich, da die Ströme durch die

Hauptinduktivität und durch den Widerstand zur Modellierung der Eisenverluste im Vergleich zu den Strömen durch die Streuinduktivitäten und Wicklungswiderstände sehr klein sind. Der große Vorteil dieser Vereinfachung ist, dass alle verbleibenden Ersatzelemente nun in Reihe geschaltet sind und sich ein sehr einfaches, aber dennoch ausreichend genaues Modell der Regelstrecke bilden lässt. Dies ist für die praktische Realisierung von großem Vorteil, da sich für eine einfache Regelstrecke niedriger Ordnung mit geringem Aufwand ein Regler dimensionieren lässt, welcher eine hohe Dynamik und Stabilität aufweist. Die verbleibenden Ersatzelemente können nun wie in Gleichung 4.9 und 4.10 zusammengefasst werden.

$$R = R_{Netz} \cdot \ddot{u}^2 + R_1 \cdot \ddot{u}^2 + R_2 \quad (4.9)$$

$$L = L_{Netz} \cdot \ddot{u}^2 + L_{\sigma 1} \cdot \ddot{u}^2 + L_{\sigma 2} \quad (4.10)$$

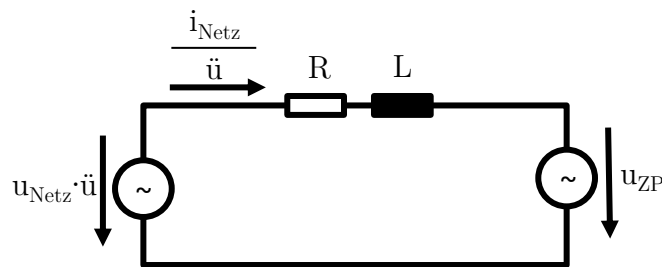


Abbildung 4.6: Vereinfachtes einphasiges Ersatzschaltbild der Regelstrecke des aktiven Gleich- und Wechselrichters

Mittels des Ersatzschaltbildes in Abbildung 4.6 werden nun die folgenden drei Gleichungen aufgestellt. Im nächsten Schritt werden diese Gleichungen mittels der Laplace-Transformation in den Frequenzbereich überführt. Für die Laplace-Transformation gilt $s = \sigma + j\omega$. Es wird davon ausgegangen, dass zu Beginn alle energietragenden Größen den Wert Null aufweisen.

$$u_{Netz} \cdot \ddot{u} = u_R + u_L + u_{ZP} \quad (4.11)$$

$$u_R = R \cdot \frac{\dot{i}_{Netz}}{\ddot{u}} \quad (4.12)$$

$$u_L = L \cdot s \cdot \frac{\dot{i}_{Netz}}{\ddot{u}} \quad (4.13)$$

Mit den so gewonnenen Gleichungen kann nun das regelungstechnische Blockschaltbild für

eine Phase des aktiven Gleich- und Wechselrichters aufgebaut werden.

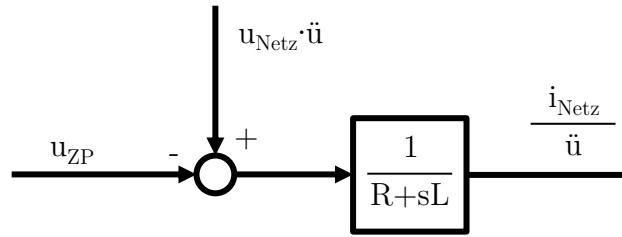


Abbildung 4.7: Blockschaltbild des einphasigen vereinfachten Ersatzschaltbildes der Regelstrecke des aktiven Gleich- und Wechselrichters

Im nächsten Schritt wird mittels der bilinearen Transformation das regelungstechnische Ersatzschaltbild zeitlich diskretisiert.

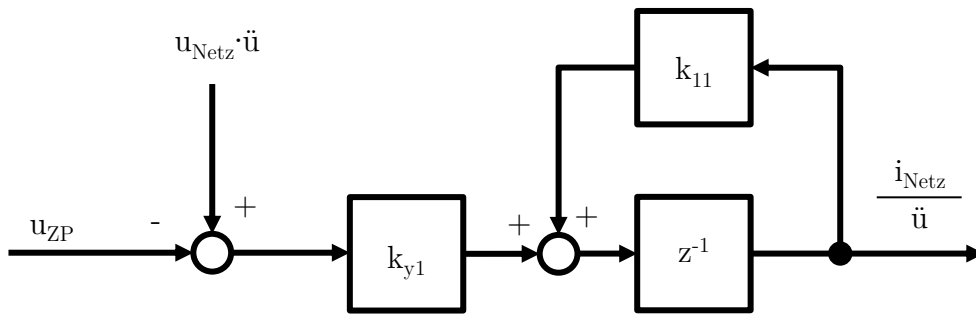


Abbildung 4.8: Zeitdiskretes Blockschaltbild des einphasigen vereinfachten Ersatzschaltbildes der Regelstrecke des aktiven Gleich- und Wechselrichters

Die Koeffizienten k_{y1} und k_{11} sind dabei durch Gleichung 4.14 und 4.15 bestimmt.

$$k_{y1} = \frac{1}{R} (1 - e^{-\frac{T_A R}{L}}) \quad (4.14)$$

$$k_{11} = e^{-\frac{T_A R}{L}} \quad (4.15)$$

Die Übertragungsfunktion ergibt sich unter der Voraussetzung, dass für die Störgröße $u_{Netz} \cdot \ddot{u} = 0$ gilt, zu:

$$H_{S,aktiv}(z^{-1}) = -\frac{k_{y1}}{z - k_{11}} \quad (4.16)$$

4.4.2 Die Störgrößenaufschaltung des aktiven Gleich- und Wechselrichters

Für den in Abschnitt 4.4.3 entworfenen Zustandsregler wird die übersetzte Netzspannung als Störgröße betrachtet. Um die Störgröße im Regelsystem zu eliminieren, wird die Netzspannung übersetzt und auf die Stellgröße des Zustandsreglers, wie in Abbildung 4.9 zu sehen, addiert. Da zwischen der Abtastung der Netzspannung und Ausgabe der Stellgröße eine Zeitdauer von einem Abtastintervall vergeht, wird die Störgröße nicht vollständig eliminiert. Eine Verbesserung wird dadurch erzielt, dass die Periodizität der Spannung des Versorgungsnetzes ausgenutzt wird, indem die abgetastete Spannung um weitere $N - 1$ Abtastintervalle verzögert wird, wodurch die entstandene Phasenverschiebung ausgeglichen wird.

4.4.3 Der Zustandsregler des aktiven Gleich- und Wechselrichters

In diesem Abschnitt wird der Zustandsregler für den aktiven Gleich- und Wechselrichter vorgestellt. Die Struktur des Regelsystems ist in Abbildung 4.9 zu sehen.

Die Führungsübertragungsfunktion des Regelsystems wird durch Gleichung 4.17 beschrieben.

$$H_{R,Zustandsregler}(z^{-1}) = -\frac{Kk_{y1}}{z - k_{11} - KK_1k_{y1}} \quad (4.17)$$

Da sich die Führungsgröße des Reglers zu jedem Abtastzeitpunkt ändert, wurde der Regler nach dem "Dead-Beat"Verfahren ausgelegt, da dieser ansonsten nie vollständig einschwingt, was eine bleibende Regelabweichung zur Folge hat. Die Einstellparameter K und K_1 werden für eine Auslegung nach dem "Dead-Beat"Verfahren wie in Gleichung 4.18 und 4.19 bestimmt.

$$K = -\frac{1}{k_{y1}} \quad (4.18)$$

$$K_1 = k_{11} \quad (4.19)$$

4.4.4 Der Prototype Repetitive Controller des aktiven Gleich- und Wechselrichters

Da aufgrund der getroffenen Vereinfachungen der Regelstrecke und durch Abweichungen in den Streckenparametern damit zu rechnen ist, dass bei der Verwendung eines reinen Zustandsreglers ohne integrierendes Verhalten eine Regelabweichung auftritt, wird das Regelsystem um einen Repetitive Controller erweitert. Zur Erläuterung von dessen Funktion und

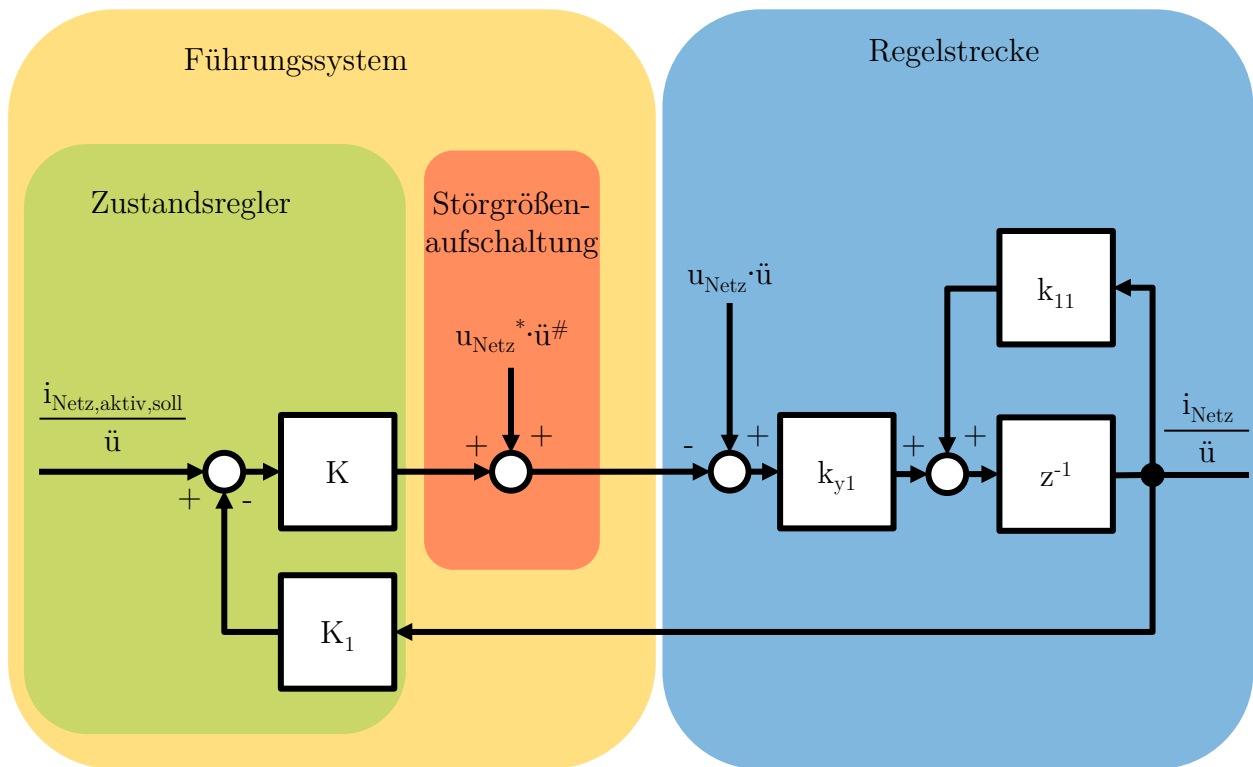


Abbildung 4.9: Zeitdiskreter Zustandsregler des aktiven Gleich- und Wechselrichters mit Störgrößenaufschaltung

Auslegung wird zunächst das Prinzip des internen Modells erläutert und im Anschluss mit dessen Hilfe die Idee des Repetitive Controllers hergeleitet und veranschaulicht.

Das Prinzip des internen Modells

In Abbildung 4.10 ist das Blockschaltbild eines allgemeinen linearen zeitvarianten (LTI) Regelsystems zu sehen. Es besteht aus einer Regelstrecke mit der Übertragungsfunktion $H_S(s)$ und einem Regler, der eine Übertragungsfunktion von $H_R(s)$ aufweist. Am Eingang des Regelsystems wird die Führungsgröße $W(s)$ vorgegeben. Zusätzlich greift eine an den Eingang der Regelstrecke verschobene Störgröße $Z(s)$ in das Regelsystem ein.

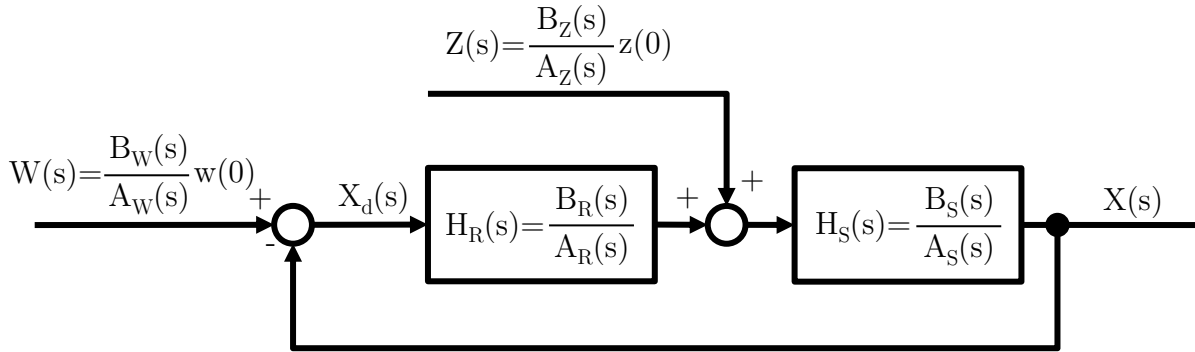


Abbildung 4.10: Blockschaltbild eines allgemeinen Regelsystems

In vielen Fällen können die auf das Regelsystem einwirkende Störgröße $z(t)$ und oder die Führungsgröße $w(t)$ als das Ausgangssignal eines LTI-Systems mit den Anfangsbedingungen $z(0)$ beziehungsweise $w(0)$ betrachtet werden. Die Gleichungen 4.20 und 4.21 beschreiben diese LTI-Systeme vollständig.

$$\frac{d^n z(t)}{dt^n} + \sum_{i=0}^{n-1} \gamma_{z,i} \frac{d^i z(t)}{dt^i}, z(0) \text{ gegeben} \quad (4.20)$$

$$\frac{d^n w(t)}{dt^n} + \sum_{i=0}^{n-1} \gamma_{w,i} \frac{d^i w(t)}{dt^i}, w(0) \text{ gegeben} \quad (4.21)$$

Werden beide Gleichungen mittels der Laplace-Transformation in den Bildbereich überführt, erhält man 4.22 und 4.23.

$$Z(s) = \frac{B_z(s)}{A_z(s)} z(0) \quad (4.22)$$

$$W(s) = \frac{B_W(s)}{A_W(s)} w(0) \quad (4.23)$$

Der Nenner der Gleichungen 4.22 und 4.23 kann dabei wie in Gleichung 4.24 folgend dargestellt werden.

$$\Gamma(s) = s^n + \sum_{i=0}^{n-1} \gamma_i s^i \quad (4.24)$$

Wie aus Gleichung 4.24 ersichtlich, handelt es sich beim Nenner der in Gleichung 4.22 und 4.23 beschreibenden LTI-Systeme um Polynome. Diese Polynome $\Gamma(s)$ werden als generierende Polynome bezeichnet, da sie maßgeblich für die Generierung der Störgröße $Z(s)$ beziehungsweise $W(s)$ verantwortlich sind.

hungsweise Führungsgröße $W(s)$ sind.

Das Prinzip des internen Modells besagt nun, dass ein stabiles Regelsystem bestehend aus einer stabilen Regelstrecke und einem stabilen Regler im stationären Zustand keine bleibende Regelabweichung besitzt, wenn in der Übertragungsfunktion des Reglers im Nennerpolynom das generierende Polynom des die Störgröße und/oder Führungsgröße erzeugenden LTI-Systems wie in Gleichung 4.25 zu sehen als Faktor vorhanden ist. Die Amplitude der Störung muss dabei nicht bekannt sein [4].

$$A_R(s) = A'_R(s)A_W(s)A_Z(s) \quad (4.25)$$

Das Prinzip des Internen Modells lässt sich durch die Betrachtung der Übertragungsfunktion für die Regeldifferenz beweisen. Diese ergibt sich zu:

$$X_d(s) = \frac{W(s) - Z(s)H_S(s)}{1 + H_R(s)H_S(s)} \quad (4.26)$$

$$X_d(s) = \frac{B_W(s)A_Z(s)A_S(s) - A_W(s)B_Z(s)B_S(s)}{A_Z(s)A_W(s)A_S(s)} \frac{A_S(s)A_R(s)}{A_R(s)A_S(s) + B_R(s)B_S(s)} \quad (4.27)$$

Durch einsetzen von Gleichung 4.25 folgt:

$$X_d(s) = \frac{B_W(s)A_Z(s)A_S(s)A'_R(s) - A_W(s)B_Z(s)B_S(s)A'_R(s)}{A_R(s)A_S(s)B_R(s)B_S(s)} \quad (4.28)$$

Da die Regelstrecke und der Regler stabile Übertragungsfunktionen aufweisen müssen, befinden sich sämtliche Polstellen in Gleichung 4.28 innerhalb der linken komplexen Halbebene. Da in der linken Halbebene die Dämpfung der Laplace-Variablen einen negativen Wert aufweist, ist sichergestellt, dass im eingeschwungenen Zustand die Regeldifferenz zu Null wird. Das Prinzip des internen Modells kommt bei einer Vielzahl von Regelsystemen zur Anwendung, oft ohne dass sich der Entwickler des Regelsystems darüber Gedanken macht. Das beste Beispiel stellt vermutlich der weitverbreitete PI-Regler dar. Setzt man in das allgemeine Regelsystem aus Abbildung 4.10 für die Übertragungsfunktion der Regelstrecke $H_S(s)$ ein allgemeines PT1-Glied, für die Übertragungsfunktion des Reglers $H_R(s)$ die eines PI-Reglers Gleichung 4.29, für die Störgröße $z(t)$ eine konstante Störung z_0 und die konstante Führungsgröße w_0 für $w(t)$ ein, so erhält man das in Abbildung 4.11 dargestellte Regelsystem.

$$H_{PI} = K_P + \frac{1}{sT_I} = \frac{1}{s}(K_P s + \frac{1}{T_I}) \quad (4.29)$$

Für die gegebene konstante Führungsgröße und eine konstante Störgröße $z(t)$ wird der PI-

Regler im eingeschwungenen Zustand keine Regelabweichung aufweisen. Betrachtet man die einseitige Laplace-Transformierte der konstanten Führungsgröße und der konstanten Störgröße in Gleichung 4.30 und Gleichung 4.31, so lässt sich dieses Verhalten mittels des Prinzips des internen Modells einfach erklären.

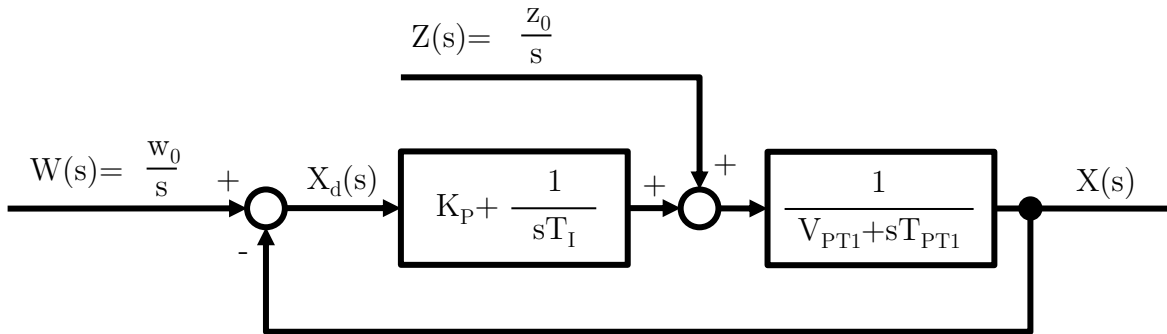


Abbildung 4.11: Beispielregelsystem mit PI-Regler

$$W_0(s) = \mathcal{L}\{w_0\}(s) = \frac{1}{s}w_0 \quad (4.30)$$

$$Z_0(s) = \mathcal{L}\{z_0\}(s) = \frac{1}{s}z_0 \quad (4.31)$$

Wie eindeutig zu erkennen, ist das generierenden Polynom der konstanten Führungs- und Störgröße durch Gleichung 4.32 und Gleichung 4.33 gegeben.

$$\Gamma_{W_0}(s) = s \quad (4.32)$$

$$\Gamma_{Z_0}(s) = s \quad (4.33)$$

Da die äquivalenten generierenden Polynome wie in Gleichung 4.29 zu sehen, ein Faktor des Nenners der Übertragungsfunktion des PI-Reglers sind und sowohl der PI-Regler, als auch das PT1-Glied ein stabiles System darstellen, ist das Prinzip des internen Modells erfüllt, solange die Einstellparameter des Reglers innerhalb deren Stabilitätsgrenzen gewählt werden.

Das Prinzip des Repetitive Controllers

Tritt in einem Regelsystem eine Führungsgröße $w(t)$ und/oder eine Störgröße $z(t)$ auf, deren generierende Polynome nicht bekannt sind, so ist die Auslegung eines Reglers nach dem

Prinzip des internen Modells nach der zuvor vorgestellten Methode nicht möglich. Weisen die Führungs- und Störgröße jedoch eine Periodizität mit bekannter Periodendauer T_P auf, so ist eine Sonderform der Realisierung eines Reglers nach dem Prinzip des internen Modells möglich. Diese Sonderform wird als Repetitive Controller bezeichnet [5]. Die Idee des Repetitive Controllers ist es, die Periodizität der Führungsgröße $w(t)$ und oder der Störgröße $z(t)$ auszunutzen und ein generisches Generatorpolynom zu finden, das für alle periodischen Führungsgrößen $w(t)$ und alle periodischen Störgrößen $z(t)$ das Prinzip des internen Modells erfüllt. Ein Beispiel für eine solche periodische Führungsgröße ist die Führungsgröße des Stromreglers des aktiven Gleich- und Wechselrichters. Als Beispiel für eine periodische Störgröße kann die Auswirkung der Totzeit des aktiven Gleich- und Wechselrichters herangezogen werden. Nach Fourier kann jede periodische und abschnittsweise stetige Funktion als Summe sämtlicher Harmonischen der zugehörigen Periodendauer T_P und einem Gleichanteil dargestellt werden.

$$f(t) = a_0 + \sum_{i=1}^{\infty} (a_i \cos(i\omega_1 t) + b_i \sin(i\omega_1 t)) \quad (4.34)$$

Das gesuchte Generatorpolynom kann also nach dem Prinzip des internen Modells ein Produkt aus dem Generatorpolynom des Gleichanteils sowie der Generatorpolynome sämtlicher Harmonischer sein. Um die zugehörigen Generatorpolynome zu bestimmen, werden nachfolgend die einseitige Laplace-Transformierte des Gleichanteils in Gleichung 4.35 und die einseitige Laplace-Transformierte einer Harmonischen in Gleichung 4.36 bestimmt.

$$F_0(s) = \mathcal{L}\{a_0\}(s) = \frac{a_0}{s} \quad (4.35)$$

$$F_i(s) = \mathcal{L}\{a_i \cos(i\omega_1 t) + b_i \sin(i\omega_1 t)\}(s) = \frac{a_i s + b_i \omega_1}{s^2 + i^2 \omega_1^2} \quad (4.36)$$

Die Teilgeneratorpolynome ergeben sich somit zu:

$$\Gamma_0(s) = s \quad (4.37)$$

$$\Gamma_i(s) = s^2 + i^2 \omega_1^2 \quad (4.38)$$

Wird das Produkt der Teilgeneratorpolynome in Gleichung 4.39 gebildet, so ergibt sich als

gesuchtes Generatorpolynom:

$$\Gamma(s) = s \cdot \prod_{i=1}^{\infty} s^2 + i^2 \omega_1^2 \quad (4.39)$$

Nachdem das generische Generatorpolynom bestimmt ist, stellt sich die Frage nach einer möglichst einfachen Realisierung des Repetitive Controllers. Der einfachste denkbare Ansatz stellt die Übertragungsfunktion in Gleichung 4.40 dar.

$$H_{R,Repetitive}(s) = \frac{1}{s \cdot \prod_{i=1}^{\infty} s^2 + i^2 \omega_1^2} \quad (4.40)$$

Dies gestaltet sich jedoch als problematisch, da das ermittelte Generatorpolynom eine unendliche Ordnung aufweist. Da nach dem Prinzip des internen Modells jedoch lediglich das Generatorpolynom im Nenner der Übertragungsfunktion des Reglers auftreten muss, ist es möglich, den Zähler unter der Voraussetzung, dass keine Pol-Nullstellenkompensation auftritt, zu variieren. In Gleichung 4.41 wird dieser Freiheitsgrad genutzt und der Zähler des Repetitive Controllers modifiziert. Die Variation der Amplitude der Harmonischen und die Verschiebung im Zähler sind dabei aus genanntem Grund ohne weitere Einschränkungen möglich.

$$H_{R,Repetitive}^{\#}(s) = \frac{1}{s} \prod_{i=1}^{\infty} \frac{i^2 \omega_1^2 \cdot \frac{e^{\frac{T_P}{2}s}}{T_P}}{s^2 + i^2 \omega_1^2} \quad (4.41)$$

Die modifizierte Übertragungsfunktion des Reglers in Gleichung 4.41 lässt sich nun unter Zuhilfenahme der Identität in Gleichung 4.43 wie folgt umformen:

$$H_{R,Repetitive}^{\#}(s) = \frac{\frac{e^{\frac{T_P}{2}s}}{T_P}}{\frac{\omega_1}{\pi} \sinh\left(\frac{\pi s}{\omega_1}\right)} \quad (4.42)$$

$$\frac{\sinh(a\pi s)}{a} = \pi s \prod_{i=1}^{\infty} \left(1 + a^2 \frac{s^2}{i^2}\right) \quad (4.43)$$

Im darauffolgenden Schritt wird Gleichung 4.42 für die Kreisfrequenz ω_1 der ersten Harmonischen in Gleichung 4.45 eingesetzt und der Sinushyperbolicus durch Exponentialfunktionen ausgedrückt. Dadurch ergibt sich:

$$H_{R,Repetitive}^{\#}(s) = \frac{e^{\frac{T_P}{2}s}}{e^{\frac{T_P}{2}s} - e^{-\frac{T_P}{2}s}} \quad (4.44)$$

$$\omega_1 = \frac{2\pi}{T_P} \quad (4.45)$$

Zuletzt wird der Zähler der Gleichung 4.44 auf einen Wert von eins gebracht, wodurch sich Gleichung 4.46 ergibt.

$$H_{R,Repetitive}^\#(s) = \frac{1}{1 - e^{-T_P s}} \quad (4.46)$$

Mit Gleichung 4.46 ist eine realisierbare Übertragungsfunktion für den Repetitive Controller gefunden. Es lässt sich zeigen, dass es sich bei Gleichung 4.46 um das minimale System handelt, welches alle periodischen Signale der Periodendauer T_P erzeugen kann. Auf den Beweis wird an dieser Stelle jedoch verzichtet, da dieser den Rahmen dieser studentischen Arbeit sprengen würde. Die Realisierung des grundlegenden Repetitiven Controllers erfolgt wie in Abbildung 4.12 zu sehen, über eine positive Rückkopplung der Stellgröße durch ein Verzögerungsglied auf den Eingang des Reglers.

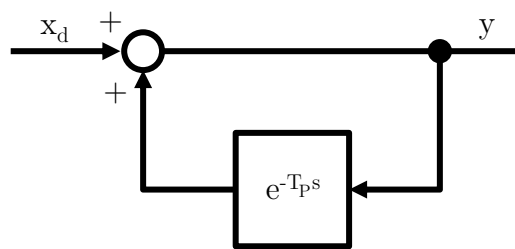


Abbildung 4.12: Blockschaltbild des grundlegenden zeitkontinuierlichen Repetitive Controllers

Um die Funktion des so bestimmten grundlegenden Repetitiven Controllers zu plausibilisieren, werden die Polstellen von dessen Übertragungsfunktion in Gleichung 4.46 bestimmt. Das Ergebnis dieser Berechnung ergibt sowohl komplex konjugierte Polpaare, als auch eine Polstelle im Ursprung der komplexen Ebene.

$$s_i = \pm j \cdot \frac{2\pi}{T_P} \cdot i = \pm j \cdot \omega_1 \cdot i, i \in [1, \infty] \quad (4.47)$$

$$s_0 = 0 \quad (4.48)$$

Werden die Pole, wie in Abbildung 4.13 über der komplexen Ebene aufgetragen, ist gut zu erkennen, dass alle Pole auf der Imaginären Achse liegen.

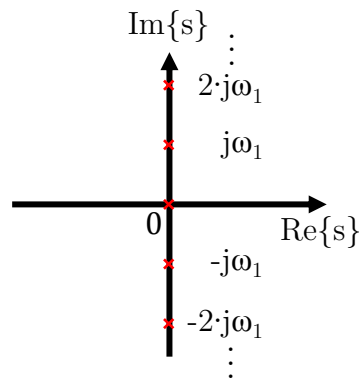


Abbildung 4.13: Polstellen des grundlegenden Repetitiven Controllers

Bei der grundlegenden Form des Repetitive Controllers handelt es sich somit um ein labiles System. Die Lage der Polstellen auf der Imaginären Achse ergibt sich neben der Polstelle im Ursprung stets zu Vielfachen der Kreisfrequenz ω_1 der zugehörigen Periodendauer T_P . Der Repetitive Controller weist daher für sämtliche Harmonischen der Kreisfrequenz ω_1 und für einen Gleichanteil eine unendliche Verstärkung auf. Durch die unendliche Verstärkung ist sichergestellt, dass im eingeschwungenen Zustand für all diese Frequenzen und den Gleichanteil keine Regeldifferenz auftritt. Dieses Ergebnis deckt sich mit den Anforderungen, die an den Repetitive Controller durch die Zerlegung der periodischen Führungsgröße und periodischen Störgröße mittels Fourierreihe gestellt wurden.

Eine weitere sehr anschauliche aber nicht mathematische Erklärung für die Funktion des Repetitive Controllers kann man durch die Betrachtung des Blockschaltbildes des Regelsystems in Abbildung 4.14 gewinnen.

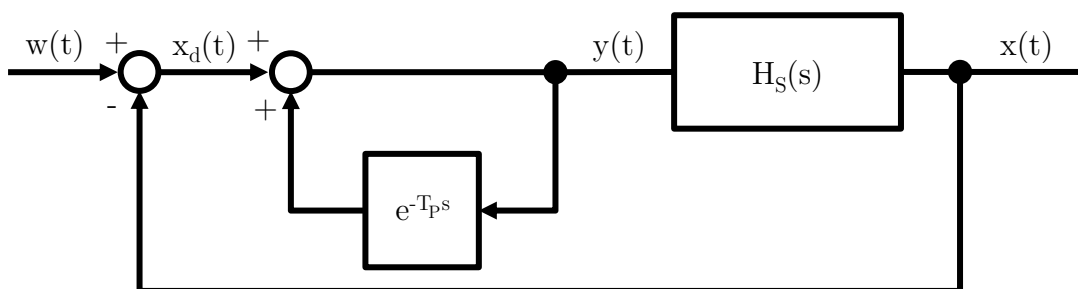


Abbildung 4.14: Allgemeines Regelsystem mit grundlegendem Repetitive Controller

Am Eingang des Reglers wird die periodische Führungsgröße $w(t)$ mit der Periodendauer T_P vorgegeben. Durch Subtrahieren der Regelgröße $x(t)$ erfolgt die Bestimmung der Regeldifferenz $x_d(t)$. Auf diese Regeldifferenz wird die um die Periodendauer T_P verzögerte Summe der Regeldifferenzen aus den vorangegangenen Perioden addiert, wodurch sich ein Integral-

verhalten ausbildet. Genauer betrachtet ergeben sich durch das Verzögerungsglied unendlich viele Integrierer, die für je einen der infinitesimal aneinander liegenden Zeitpunkte arbeiten. Jeder dieser Integrierer eliminiert im eingeschwungenen Zustand die ihm zugeordnete Regeldifferenz vollständig, folglich wird auch die Regeldifferenz für den gesamten zeitlichen Verlauf vollständig eliminiert.

Das Regelsystem aus Abbildung 4.14 ist zwar prinzipiell, so wie dargestellt, funktionsfähig und lässt sich beispielsweise mit Matlab/Simulink sehr einfach simulieren. Für die reale praktische Realisierung sind jedoch weitere Anpassungen notwendig.

Der zeitdiskrete Repetitive Controller

Die erste Anpassung ist notwendig, da das Regelsystem dieser Arbeit mithilfe eines Field Programmable Gate Array (FPGA) realisiert werden soll. Daher muss das zeitkontinuierliche Regelsystem in ein zeitdiskretes überführt werden. Für zeitdiskrete periodische Führungsbeziehungsweise Störgrößen muss gelten:

$$z(k + N) = z(k) \quad (4.49)$$

$$w(k + N) = w(k) \quad (4.50)$$

Wobei N stets eine ganze Zahl ist und der Anzahl der Abtastintervalle innerhalb einer Periode der periodischen Führungs- und oder Störgröße entsprechen muss.

Die zugehörigen LTI-Systeme, welche eine periodische Führungs- beziehungsweise Störgröße generieren, besitzen die in Gleichung 4.51 und Gleichung 4.52 aufgeführten Übertragungsfunktionen [6].

$$W(z^{-1}) = W'(z^{-1}) \frac{1}{1 - z^{-N}} \quad (4.51)$$

$$Z(z^{-1}) = Z'(z^{-1}) \frac{1}{1 - z^{-N}} \quad (4.52)$$

Mit:

$$W'(z^{-1}) = \sum_{k=0}^{N-1} w(k) z^{-k} \quad (4.53)$$

$$Z'(z^{-1}) = \sum_{k=0}^{N-1} z(k) z^{-k} \quad (4.54)$$

Nach dem Prinzip des internen Modells ergibt sich somit die Übertragungsfunktion des grundlegenden zeitdiskreten Repetitiven Controllers wie in Gleichung 4.55 dargestellt.

$$H_{R,Repetitive}(z^{-1}) = H'_{R,Repetitive}(z^{-1}) \frac{1}{1 - z^{-N}} \quad (4.55)$$

Eine weitere Anpassung ist notwendig, da das Einschwingverhalten des Repetitive Controllers beeinflusst werden soll. Dazu muss $H'_{R,Repetitive}(z^{-1})$ bestimmt werden.

Eine Möglichkeit $H'_{R,Repetitive}(z^{-1})$ zu bestimmen stellt die Lösung einer diophantischen Gleichung dar. Da dies jedoch für Gleichungen hoher Ordnung, wie sie bei Repetitive Controllern auftreten, sehr aufwändig ist, wird diese Methode in der Praxis selten angewandt. Eine einfache aber sehr effektive Lösung des Problems stellt eine Variante des Repetitive Controllers dar, die als Prototype Repetitive Controller bezeichnet wird [7]. Für dessen Entwurf wird die Übertragungsfunktion der Regelstrecke im ersten Schritt in folgende allgemeine Form umgeformt.

$$H_S(z^{-1}) = z^{-d} \frac{B_S(z^{-1})}{A_S(z^{-1})} \quad (4.56)$$

Für die Regelstrecke des aktiven Gleich- und Wechselrichters erhält man:

$$H_{S,aktiv}(z^{-1}) = z^{-1} \frac{-k_{y1}}{1 - k_{11}z^{-1}} \quad (4.57)$$

Im Anschluss daran wird das Zählerpolynom in zwei Terme zerlegt. Der Term B_S^+ umfasst dabei alle Nullstellen innerhalb des Einheitskreises, B_S^- die Nullstellen außerhalb des Einheitskreises. Dies ist notwendig, da lediglich die Nullstellen innerhalb des Einheitskreises kompensiert werden können, da ansonsten Polstellen außerhalb des Einheitskreises auftreten, die zu einem instabilen Regelsystem führen.

Da die Regelstrecke des aktiven Gleich- und Wechselrichters keine Nullstellen außerhalb des Einheitskreises besitzt, gilt:

$$B_{S,aktiv}^+(z^{-1}) = B_{S,aktiv}(z^{-1}) \quad (4.58)$$

$$B_{S,aktiv}^-(z^{-1}) = 1 \quad (4.59)$$

Nun kann mittels der folgenden Gleichung 4.60 der ideale Prototype Repetitive Controller

für die gegebene Regelstrecke bestimmt werden.

$$H_{PRC}(z^{-1}) = C \cdot \frac{z^{-N+d} \cdot A_S(z^{-1}) \cdot \tilde{B}_S(z^{-1})}{(1 - z^{-N}) \cdot b \cdot B_S^+(z^{-1})} \quad (4.60)$$

Der Einstellparameter C ist dabei der Verstärkungsfaktor des Prototype Repetitive Controllers. Dieser bestimmt die Geschwindigkeit, mit welcher der Regler einschwingt. Um die Stabilität des Prototype Repetitive Controllers zu gewährleisten, muss die Bedingung aus Gleichung 4.61 erfüllt sein [7].

$$0 < C < \frac{2}{\max_{\omega T \in [0, \pi]} |B_S^-(e^{-j\omega T})|^2} \quad (4.61)$$

Für die Regelstrecke des aktiven Gleich- und Wechselrichters ergibt sich:

$$0 < C_{aktiv} < 2 \quad (4.62)$$

Die zulässigen Werte für C sind dabei in drei Intervalle zu unterteilen.

- Für $0 < C_{aktiv} < 1$ ist die Amplitude M der periodischen Regelgröße in der nachfolgenden Periode bestimmt durch:

$$M(k) = M_0(1 - (1 - C_{aktiv})^k) \quad (4.63)$$

- Für $C_{aktiv} = 1$ erreicht die Amplitude nach einer Periode ihren Endwert M_0 .
- Für $1 < C_{aktiv} < 2$ tritt ein Überschwingen in der Amplitude der periodischen Regelgröße auf.

Der Einstellparameter C_{aktiv} wurde für den aktiven Gleich- und Wechselrichter zu 0.01 gewählt. Um die Dynamik des Prototype Repetitive Controllers zu verbessern, ist eine Vergrößerung von C_{aktiv} möglich. Jedoch sollte der Wert stets kleiner gleich eins gewählt werden, da die maximale Dynamik bereits für $C_{aktiv}=1$ erreicht wird.

Der Term $\tilde{B}_S^-(z^{-1})$ dient dazu, die Phase, der Parameter b die Amplitude der Nullstellen von $B_S^-(z^{-1})$ zu kompensieren.

Auf eine detaillierte Betrachtung wird an dieser Stelle verzichtet, da die Regelstrecke des aktiven Gleich- und Wechselrichters, wie bereits erwähnt, keine Nullstellen außerhalb des Einheitskreises aufweist.

Es gilt:

$$\tilde{B}_{S,aktiv}^-(z^{-1}) = 1 \quad (4.64)$$

$$b_{aktiv} = 1 \quad (4.65)$$

Somit ergibt sich die Übertragungsfunktion des Prototype Repetitive Controllers des aktiven Gleich- und Wechselrichters zu:

$$H_{PRC} = -C_{aktiv} \cdot \frac{z^{-N+1} - k_{11} \cdot z^{-N}}{k_{y1}(1 - z^{-N})} \quad (4.66)$$

Eine mögliche Form der Realisierung des Prototype Repetitive Controllers aus Gleichung 4.66 stellt das Blockschaltbild in Abbildung 4.15 dar.

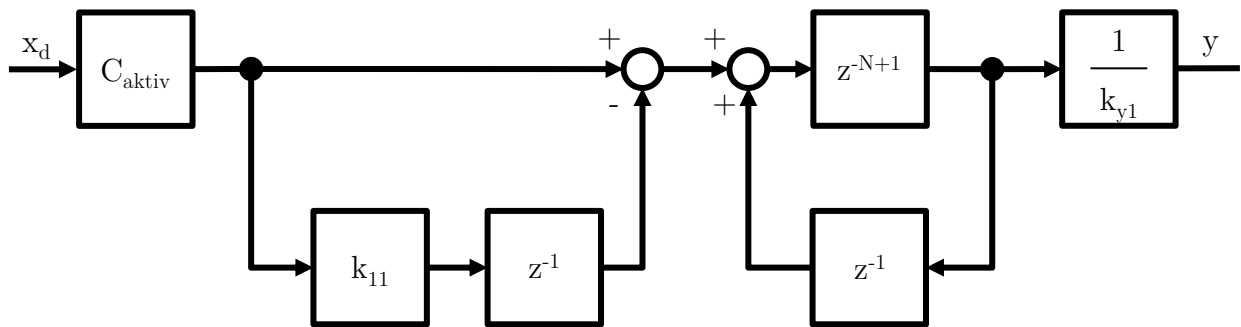


Abbildung 4.15: Blockschaltbild des zeitdiskreten Prototype Repetitive Controllers für den aktiven Gleich- und Wechselrichter

Anhand des Blockschaltbilds in Abbildung 4.15 lässt sich die Funktion des Prototype Repetitive Controllers anschaulich erklären. Die Regeldifferenz zum Zeitpunkt k wird zunächst mit dem Verstärkungsfaktor C_{aktiv} gewichtet. Dies entspricht der Vorgabe der Geschwindigkeit mit der der Prototype Repetitive Controller einschwingt. Im Anschluss wird die Differenz aus der gewichteten Regeldifferenz und der mit dem Faktor k_{11} zusätzlich gewichteten und verzögerten Regeldifferenz gebildet. Das Bilden dieser Differenz entspricht der Berücksichtigung der Impulsantwort der Regelstrecke. Im Anschluss erfolgt die Verzögerung um N Abtastperioden wobei die Verzögerung, die aus dem zeitdiskreten Modell der Regelstrecke bestimmt wurde, mitberücksichtigt wird, weshalb die Stellgröße um $d = 1$ Abtastperioden früher ausgegeben wird. Zuletzt wird die Amplitude der Stellgröße um den Kehrwert des Parameters k_{y1} korrigiert, wodurch der Zusammenhang zwischen Stell- und Regelgröße berücksichtigt

wird. Abbildung 4.16 zeigt das Einschwingverhalten des Regelsystems bestehend aus dem Prototype Repetitive Controller aus Abbildung 4.15 und der Regelstrecke des aktiven Gleich- und Wechselrichters. Die Anzahl der Abtastzeitpunkte pro Periode wurde dabei beispielhaft zu $N=16$ gewählt.

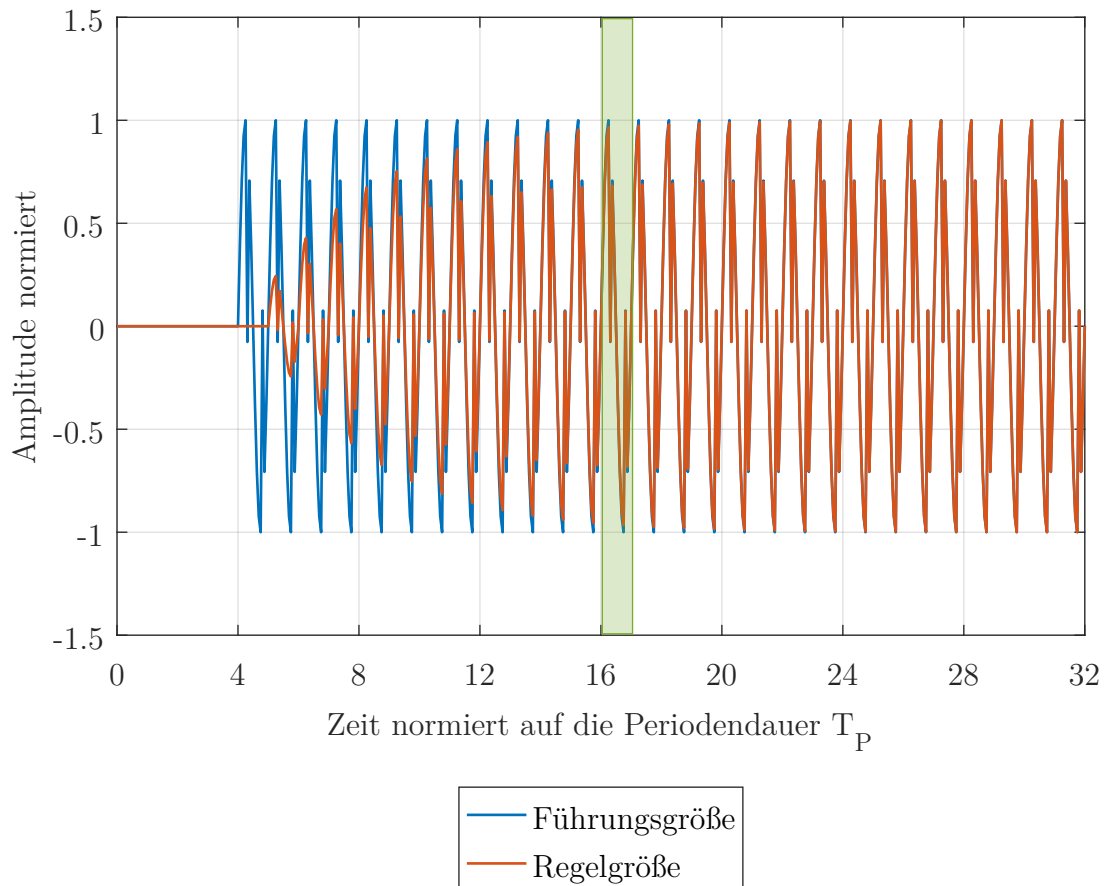


Abbildung 4.16: Einschwingen des Beispiel Prototype Repetitive Controllers im Zeitbereich

In Abbildung 4.16 ist gut zu erkennen, wie die in orange dargestellte Regelgröße sich asymptotisch der in blau dargestellten Führungsgröße annähert. Zwei Besonderheiten fallen dabei bei näherer Betrachtung ins Auge. Die erste Besonderheit ist, dass die erste Veränderung der Regelgröße um eine Periode der Führungsgröße verzögert auftritt. Dieses Verhalten ist durch das Verzögerungsglied mit der Verzögerung N des Prototype Repetitive Controllers in Abbildung 4.15 begründet. Die zweite Besonderheit ist, dass beim Einschwingen des Prototy-

pe Repetitive Controllers die Amplitude der Regelgröße, wie in Gleichung 4.63 beschrieben, von Periode zu Periode sich der Amplitude der Führungsgröße annähert. Dieses Verhalten ist zwar bei der Verwendung eines Prototype Repetitive Controllers gewünscht, jedoch verblüfft dieses im ersten Moment, da es sich grundlegend vom Einschwingverhalten herkömmlicher Regelsysteme unterscheidet. Um zu verstehen, wie ein Einschwingverhalten, wie in Abbildung 4.16 zu sehen, zustande kommt, werden die einzelnen Perioden der Führungs- und Regelgröße in Abbildung 4.17 auf einer zusätzlichen Periodenachse aufgetragen.

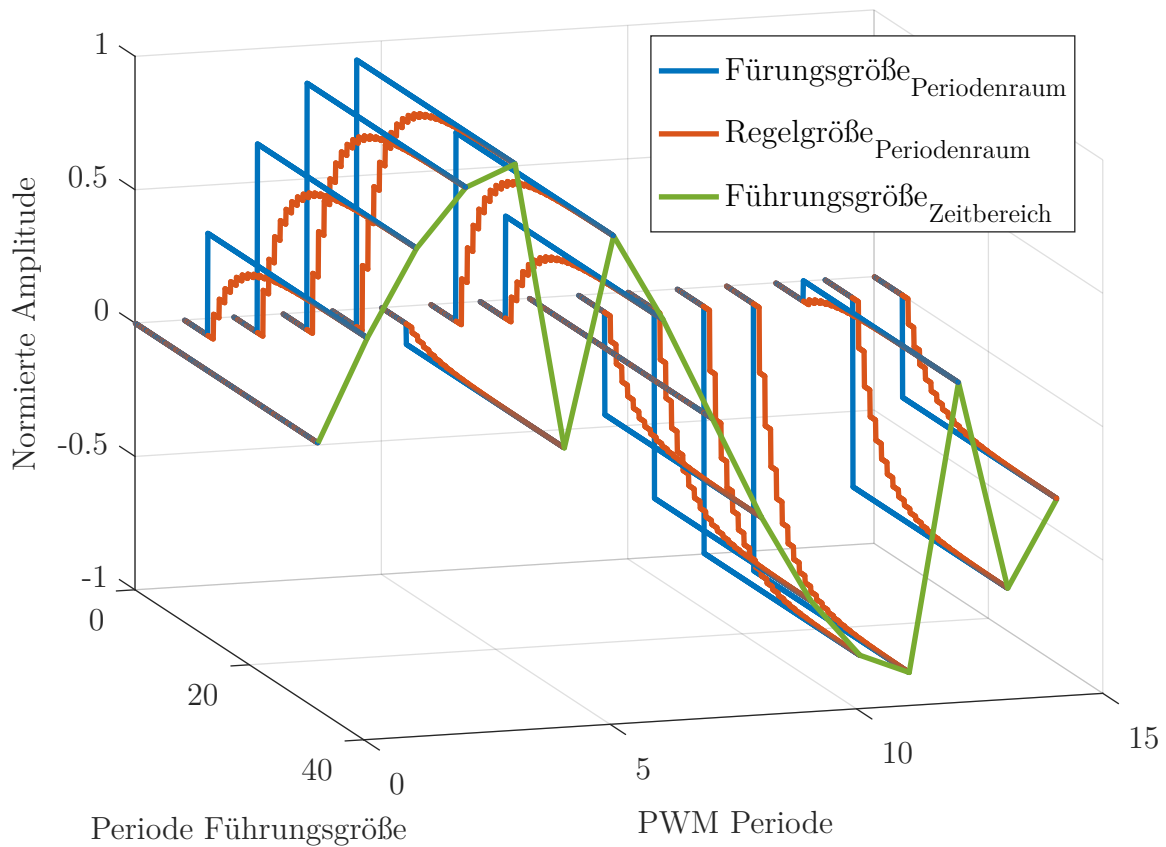


Abbildung 4.17: Einschwingen des Beispiel Prototype Repetitive Controllers im Periodenraum

Eine mögliche Betrachtungsweise für einen zeitdiskreten Prototype Repetitive Controller ist, sich diesen als eine Kombination von N I-Reglern vorzustellen. Jeder I-Regler ist dabei genau einem festen Abtastzeitpunkt innerhalb der Periodendauer von Führungs- und Regelgröße zugeordnet. Für den in Abbildung 4.17 dargestellten Fall eines Prototype Repetitive Controllers sind die einzelnen I-Regler durch die besondere Dimensionierung des Reglers entkoppelt. Dadurch weisen alle N I-Regler dasselbe Einschwingverhalten auf und beeinflussen sich nicht

gegenseitig. Betrachtet man die Pol- und Nullstellen des beispielhaften Prototype Repetitive Controllers in Abbildung 4.18, so stellt man fest, dass die Polstellen äquidistant über den Einheitskreis verteilt sind.

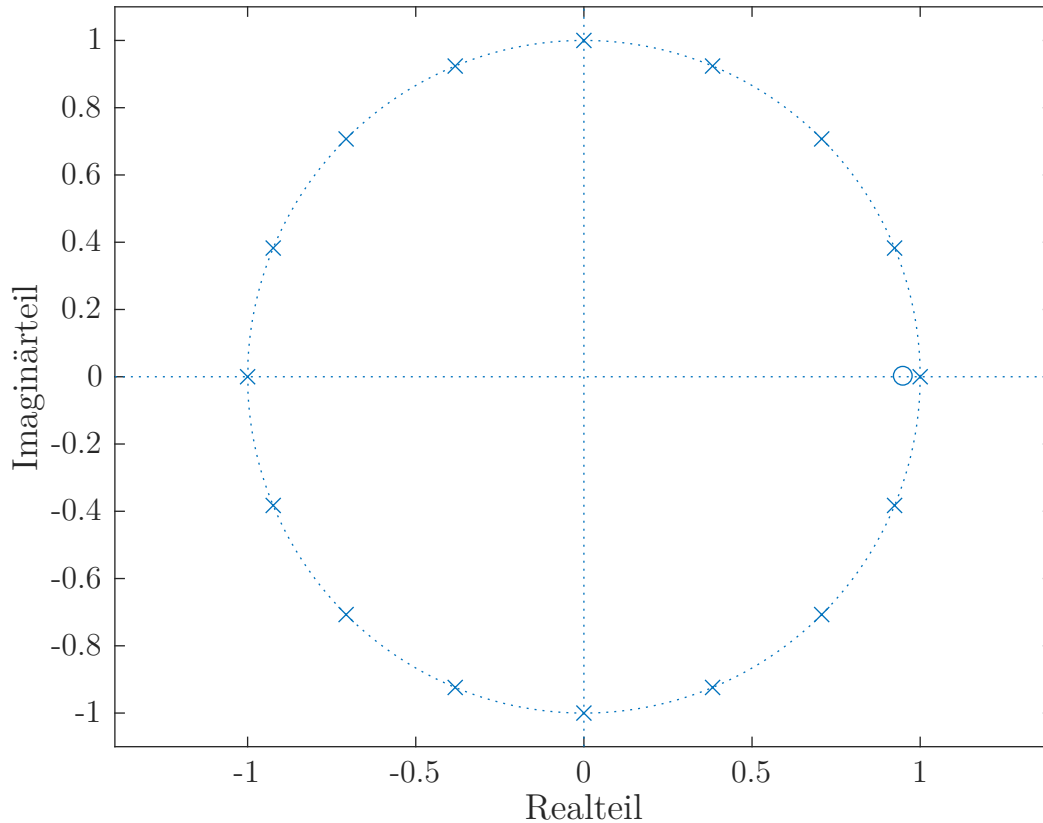


Abbildung 4.18: Pol- Nullstellendiagramm des Prototype Repetitive Controllers

Durch die Lage der Polstellen auf dem Einheitskreis handelt es sich bei dieser Art der Realisierung des Prototype Repetitive Controllers um ein labiles System. Treten dadurch in der Praxis Stabilitätsprobleme auf, so ist es möglich, mittels eines Tiefpassfilters, das in die Rückkopplung des Verzögerungsgliedes des Prototype Repetitive Controllers integriert wird, die Stabilität des Regelsystems zu verbessern. Gleichung 4.67 zeigt die durch das Einbringen des Tiefpasses resultierende allgemeine Übertragungsfunktion eines Prototype Repetitive Controllers.

$$H_{PRC,TP}(z^{-1}) = C \cdot \frac{z^{-N+d} \cdot H_{TP}(z^{-1}) \cdot A_S(z^{-1}) \cdot \tilde{B}_S^-(z^{-1})}{(1 - H_{TP}(z^{-1}) \cdot z^{-N}) \cdot b \cdot B_S^+(z^{-1})} \quad (4.67)$$

Da der Tiefpassfilter keine Phasenverschiebung in das Regelsystem einbringen soll, da an-

sonsten die Eigenschaften des Prototype Repetitive Controllers verloren gehen, kommen an dieser Stelle antikausale Tiefpassfilter mit symmetrischen Koeffizienten zum Einsatz. Gleichung 4.68 ist ein Beispiel für ein solches Filter.

$$H_{TP}(z^{-1}) = \frac{z^{-1} + 2 + z}{4} \quad (4.68)$$

Die meist hohe Ordnung des Verzögerungsglieds des Prototype Repetitive Controllers sorgt in der Regel dafür, dass die Kausalität des gesamten Reglers erhalten bleibt und dieser auch praktisch realisierbar ist. Das Ergebnis dieser Maßnahme ist in Abbildung 4.19 zu betrachten.

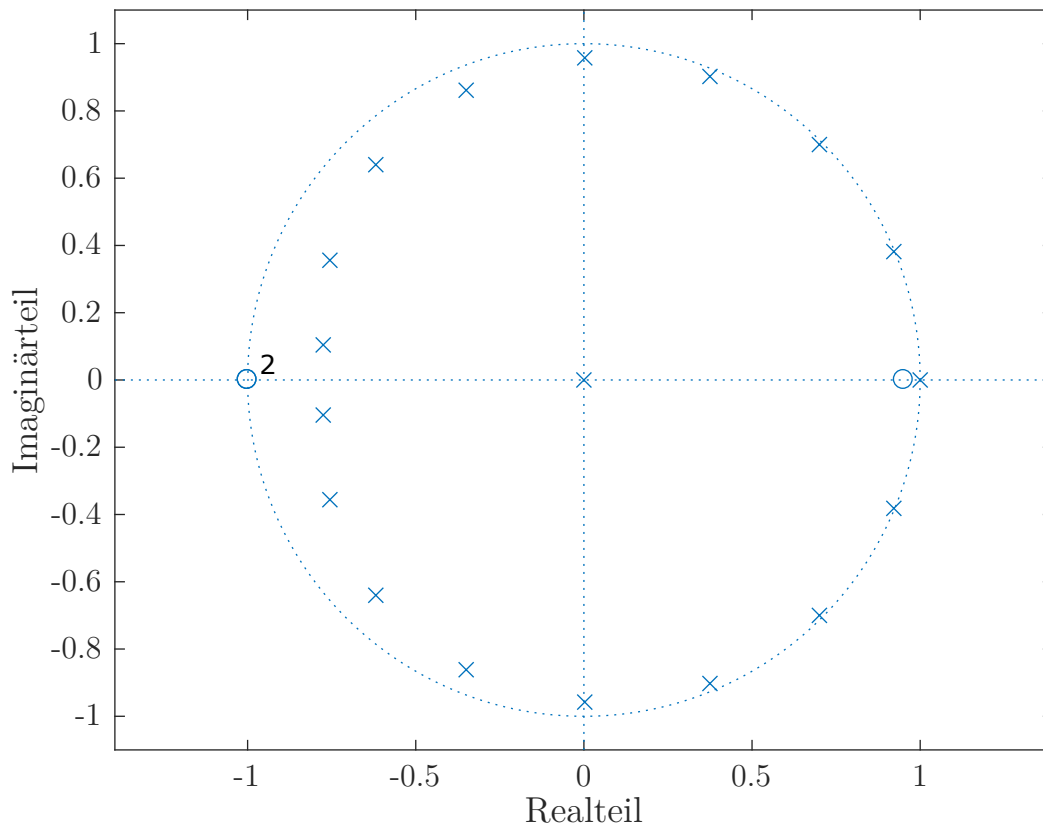


Abbildung 4.19: Pol- Nullstellendiagramm des durch einen Tiefpass bedämpften Prototype Repetitive Controllers

Die Polstellen des Prototype Repetitive Controllers sind mit Ausnahme der für den Gleichanteil ins Innere des Einheitskreises gewandert. Wie für einen Tiefpass zu erwarten, sind die Polstellen bei hohen Frequenzen besonders stark in Richtung des Ursprungs des Koordinatensystems gewandert. Dieser Effekt ist jedoch gewünscht, da besonders die unendliche

Verstärkung bei hohen Frequenzen zur Instabilität des Regelsystems führt.

4.4.5 Das Regelsystem des aktiven Gleich- und Wechselrichters

Das vollständige Regelsystem einer Phase des aktiven Gleich- und Wechselrichters ist in Abbildung 4.20 zu sehen. Es besteht in seiner endgültigen Form aus dem in Abschnitt 4.4.3 entworfenen Zustandsregler mit der Störgrößenaufschaltung für die Netzspannung und dem in vorangegangenen Abschnitt beschriebenen überlagerten Prototype Repetitive Controller.

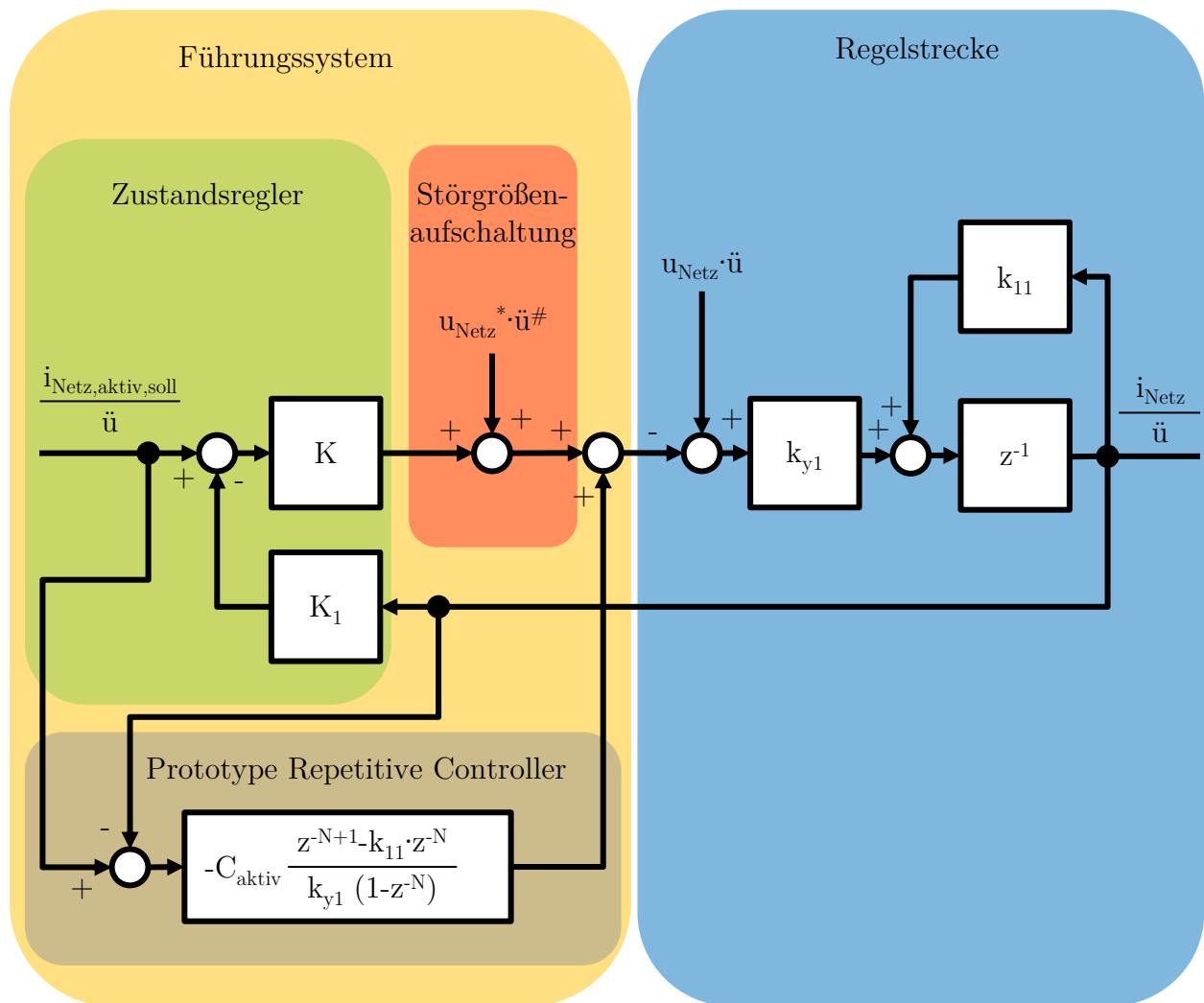


Abbildung 4.20: Vollständiges Regelsystem des aktiven Gleich- und Wechselrichters

Durch die Kombination der Eigenschaften eines Zustandsreglers mit Störgrößenaufschaltung und einem Prototype Repetitive Controller erfüllt das Regelsystem die Anforderungen, welche bei einem Gleichrichter in Paralleltopologie an das Regelsystem des aktiven Gleich- und

Wechselrichters gestellt werden in herausragender Weise, wie später in Kapitel 12 anhand der Messergebnisse noch zu sehen sein wird. Der Grund dafür ist, dass der Zustandsregler mit Störgrößenaufschaltung eine sehr hohe Dynamik aufweist und daher extrem schnell auf dynamische Vorgänge reagiert. Gleichzeitig wird durch das integrierende Verhalten des überlagerten Prototype Repetitive Controllers sichergestellt, dass eine durch den Zustandsregler aufgrund von fehlerhaften Streckenparametern und Störgrößen auftretende Regelabweichung dynamisch vollständig eliminiert wird.

Die Regelsysteme der beiden verbleibenden Phasen sind aufgrund der vorliegenden Symmetrie identisch gestaltet.

4.4.6 Der Leistungsregler des aktiven Gleich- und Wechselrichters

Als letzte Komponente des gesamten Regelsystems wird der Leistungsregler betrachtet. Dieser ist notwendig, da in der Leistungsbilanz keinerlei Verluste berücksichtigt werden, diese in der Realität jedoch selbstverständlich auftreten und die Netzspannung einen von ihrem Nennwert abweichenden Effektivwert aufweisen kann. Damit das Regelsystem trotzdem die vorgegebene ausgangsseitige Leistung einregelt, wird mittels eines I-Reglers die Amplitude des Sollnetzstromes solange variiert, bis Soll- und Ist-Leistung auf der Ausgangsseite übereinstimmen. Das zugehörige Blockschaltbild des Leistungsreglers ist in Abbildung 4.21 zu sehen.

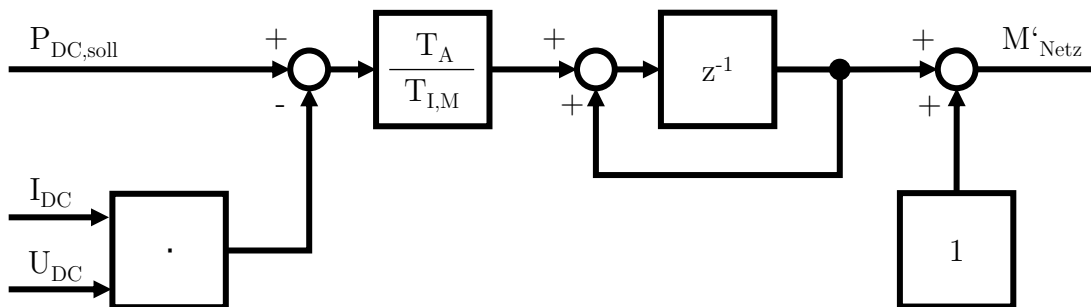


Abbildung 4.21: Blockschaltbild des Leistungsreglers

5 Netzsynchrisation

Für den B6-Thyristorstromrichter und den aktiven Gleich- und Wechselrichter ist es notwendig, die Frequenz, beziehungsweise den Phasenwinkel des Versorgungsnetzes zu kennen, um diese darauf synchronisieren zu können. Für den in dieser Arbeit aufgebauten Elektrolysegleichrichter in Paralleltopologie ist die Synchronisation im Speziellen aus folgenden Gründen notwendig:

1. Die Bestimmung des Phasenwinkels für die Erzeugung der Zündimpulse der Thyristoren
2. Die Erzeugung der Führungsgröße für das Regelsystem
3. Zur Synchronisation der PWM-Frequenz sowie der Abtastung für den Prototype Repetitive Controller

Für die Realisierung der Netzsynchrisation existieren zwei weit verbreitete Ansätze. Der erste ist die Nulldurchgangserkennung der Netzspannung. Der Vorteil dieses Verfahrens ist der geringe Realisierungsaufwand. Nachteilig ist allerdings, dass lediglich zwei Nulldurchgänge pro Periode auftreten, die ausgewertet werden können. Jedoch stellt der B6-Thyristorstromrichter aufgrund seiner sehr kleinen Glättungsdrossel sehr hohe Anforderungen an die Genauigkeit des Phasenwinkels, aus dem die Zündimpulse der Thyristoren bestimmt werden. Aus diesem Grund wurde für die Netzsynchrisation der Ansatz einer Phasenregelschleife verfolgt. Dieser Ansatz zeichnet sich dadurch aus, dass er sehr robust gegenüber Verzerrungen der Netzspannung ist und die geforderte Genauigkeit bei der Bestimmung des Phasenwinkels und der Frequenz des Versorgungsnetzes gewährleisten kann.

5.1 Grundlagen einer Phasenregelschleife

Eine Phasenregelschleife, im englischen Phase-Locked Loop (PLL), stellt ein Regelsystem dar, mit dem die Phasenlage und damit einhergehend die Frequenz zwischen einem Eingangssignal und Ausgangssignal auf einen konstanten beziehungsweise auf den selben Wert

geregelt werden kann. Die grundlegende Struktur einer Phasenregelschleife ist in Abbildung 5.1 dargestellt. Sie besteht aus drei Komponenten. Diese sind der Phasenkomparator, das Schleifenfilter und ein steuerbarer Oszillator. Der Phasenkomparator hat die Aufgabe, die Phasendifferenz zwischen dem auf das zu synchronisierende Eingangs- und dem Ausgangssignal des steuerbaren Oszillators zu bestimmen. Im Anschluss wird die Phasendifferenz mittels des Schleifenfilters in eine Kreisfrequenzänderung $\Delta\omega$ umgerechnet, um welche die Frequenz des steuerbaren Oszillators solange variiert wird, bis die Phasenlage des zu synchronisierenden Signals dem gewünschten Wert entspricht.

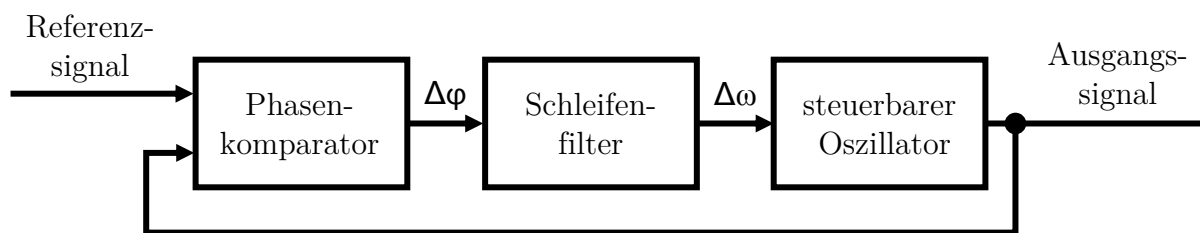


Abbildung 5.1: Übersichtsschaltbild einer Phasenregelschleife

5.2 Realisierung der Phasenregelschleife

Für hohe Frequenzen werden Phasenregelschleifen häufig als integrierte Schaltung vollständig oder zumindest teilweise analog realisiert. Für die Netzfrequenz von 50 Hz jedoch, wären die benötigten elektrischen Bauelemente in Form von Kondensatoren und vor allem Induktivitäten so groß, dass eine sinnvolle Realisierung als integrierte Schaltung nicht mehr möglich ist. Aus diesem Grund wird die Phasenregelschleife für die Netzsynchronisation vollständig als digitales Rechenwerk realisiert. Diese Realisierungsform wird in der meist englischen Literatur [8] als All Digital Phase Locked Loop (ADPLL) bezeichnet. Abbildung 5.2 zeigt den Aufbau der ADPLL.

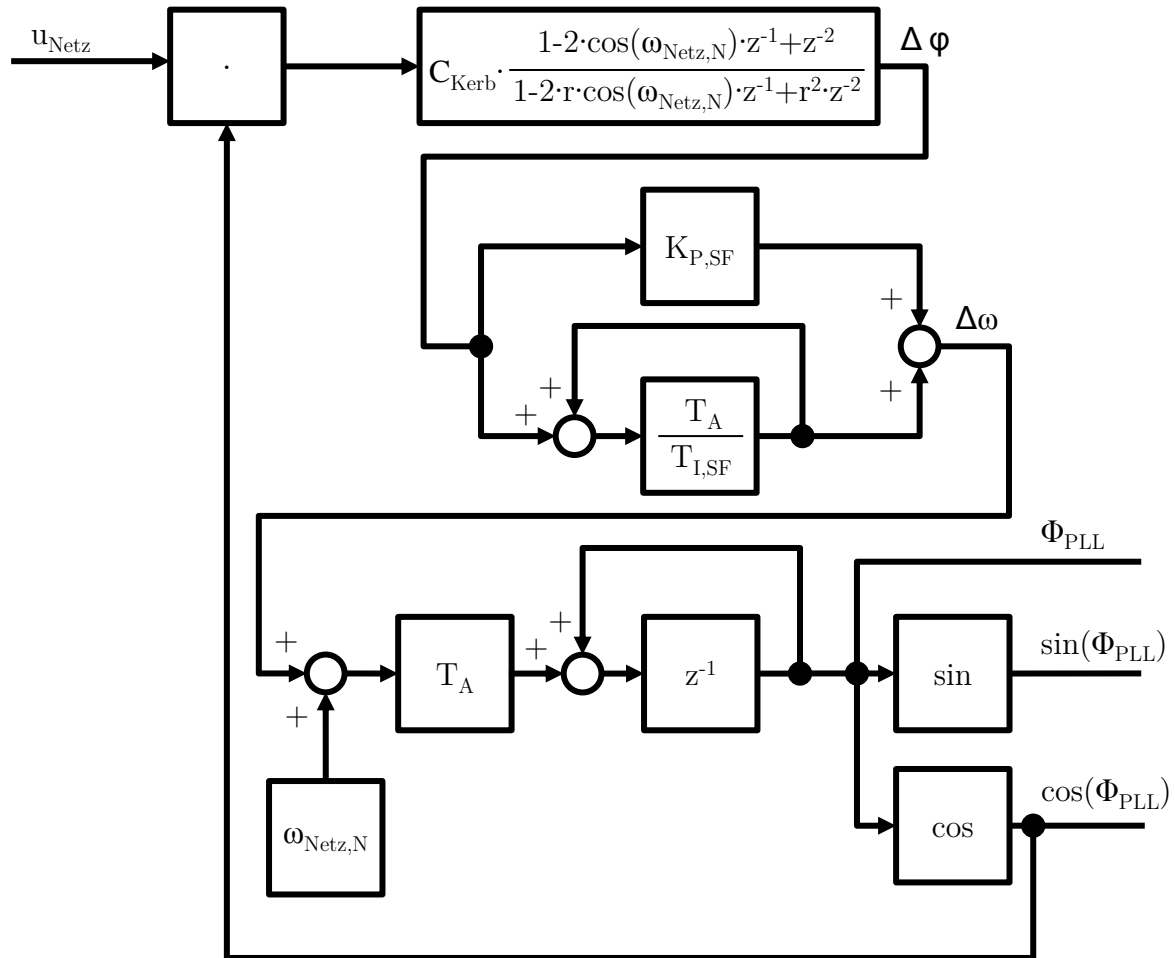


Abbildung 5.2: Blockschaltbild der ADPLL

5.2.1 Der Phasenkomparator

Der Phasenkomparator wird mittels einer Multiplikation mit anschließendem Kerbfilter realisiert. Die Grundlage dafür stellt das Additionstheorem in Gleichung 5.1 dar.

$$\sin(x) \cdot \cos(y) = \frac{1}{2}(\sin(x - y) + \sin(x + y)) \quad (5.1)$$

Die Spannung u_{Netz} kann näherungsweise wie in Gleichung 5.2 dargestellt werden.

$$u_{\text{Netz}} = \hat{U}_{\text{Netz}} \cdot \sin(\Phi_{\text{Netz}}) = \hat{U}_{\text{Netz}} \cdot \sin(\omega_{\text{Netz}} \cdot t + \varphi_{\text{Netz}}) \quad (5.2)$$

Das Ausgangssignal der Cosinus Berechnung des frequenzvariablen Oszillators ist durch Gleichung 5.3 dargestellt.

chung 5.3 bestimmt.

$$\cos(\Phi_{PLL}) = \cos(\omega_{PLL} \cdot t + \varphi_{PLL}) \quad (5.3)$$

Unter Zuhilfenahme des Additionstheorems in Gleichung (5.1) ergibt die Multiplikation der Netzspannung mit dem cosinusförmigen Ausgangssignal des variablen Oszillators folgende Gleichung.

$$\begin{aligned} \cos(\Phi_{PLL}) \cdot u_{Netz} = \frac{\hat{U}_{Netz}}{2} \cdot (\sin((\omega_{Netz} - \omega_{PLL}) \cdot t + (\varphi_{Netz} - \varphi_{PLL})) + \\ \sin((\omega_{Netz} + \omega_{PLL}) \cdot t + (\varphi_{Netz} + \varphi_{PLL}))) \end{aligned} \quad (5.4)$$

Das Ergebnis der Umformung setzt sich aus zwei sinusförmigen Termen zusammen. Der erste enthält die benötigte Information über die Phasendifferenz. Er lässt sich unter der Annahme $\omega_{Netz} \approx \omega_{PLL}$ näherungsweise wie folgt vereinfachen.

$$\cos(\Phi_{PLL}) \cdot u_{Netz} = \frac{\hat{U}_{Netz}}{2} \cdot (\sin(\varphi_{Netz} - \varphi_{PLL}) + \sin((\omega_{Netz} + \omega_{PLL}) \cdot t + (\varphi_{Netz} + \varphi_{PLL}))) \quad (5.5)$$

Der zweite Term besitzt unter derselben Annahme in etwa die doppelte Netzfrequenz und wird im nächsten Schritt mittels eines Kerbfilters, der im nächsten Unterkapitel erläutert wird, entfernt. Dadurch vereinfacht sich Gleichung 5.5 folgendermaßen.

$$\cos(\Phi_{PLL}) \cdot u_{Netz} = \frac{\hat{U}_{Netz}}{2} \cdot (\sin(\varphi_{Netz} - \varphi_{PLL})) \quad (5.6)$$

Nun wird die Kleinwinkelnäherung auf Gleichung (5.6) angewandt. Dies ist zulässig, da die Phasendifferenz stets auf Null geregelt wird und der resultierende Fehler somit sehr gering ist. Als Ergebnis erhält man die linearisierte unnormierte Phasendifferenz.

$$\frac{\hat{U}_{Netz}}{2} \cdot (\varphi_{Netz} - \varphi_{PLL}) \quad (5.7)$$

Wird nun die gemessene Netzspannung auf ihre Amplitude normiert und der verbleibende Term um den Faktor zwei verstärkt, erhält man die Phasendifferenz $\Delta\varphi$ zwischen Netzspannung und dem variablen Oszillator.

$$\Delta\varphi = \varphi_{Netz} - \varphi_{PLL} \quad (5.8)$$

Diese Phasendifferenz kann nun dem Schleifenfilter zugeführt werden. Zuvor muss jedoch noch das Kerbfilter zur Beseitigung des Frequenzanteils mit doppelter Netzfrequenz betrachtet werden. Das Kerbfilter wird als zeitdiskretes Filter 2. Ordnung mit unendlicher Impulsantwort entworfen. Diese Art von Filter hat den Vorteil, dass der Frequenzgang an der Kerbfrequenz eine sehr starke Dämpfung aufweist und die Breite der Kerbe sehr schmal vorgegeben werden kann. Die allgemeine Übertragungsfunktion für das Kerbfilter lässt sich wie folgt darstellen:

$$H_{Kerb}(z) = C_{Kerb} \cdot \frac{1 - 2 \cdot \cos(\omega_{Kerb}) \cdot z^{-1} + z^{-2}}{1 - 2 \cdot r \cdot \cos(\omega_{Kerb}) \cdot z^{-1} + r^2 \cdot z^{-2}} \quad (5.9)$$

Dabei ist ω_{Kerb} die Kerbfrequenz, r die Kerbbreite und C der Längsverstärkungsfaktor zur Kompensation der Dämpfung des Gleichanteils. Für das verwendete Filter wurden die Eigenschaftsparameter f_{Kerb} , r und der Einstellparameter V wie folgt gewählt beziehungsweise bestimmt:

	Wert	Einheit
f_{Kerb}	100	Hz
r	0,9	
C_{Kerb}	$\frac{1}{H_{Kerbfilter}(1)} = 3,235$	

Tabelle 5.1: Eigenschaftsparameter Kerbfilter Phasenkomparator

5.2.2 Das Schleifenfilter

Das Schleifenfilter wird mittels eines zeitdiskreten PI-Reglers realisiert. Die Parameter können, wie in [8] vorgestellt, bestimmt werden. Für die praktische Realisierung zeigte sich allerdings, dass eine empirische Auslegung die besten Ergebnisse liefert. Der Grund dafür liegt darin, dass für die Auslegung in [8] von einer idealen sinusförmigen Netzspannung ausgegangen wird, in Wirklichkeit jedoch die Netzspannung erhebliche Verzerrungen aufweist, auf die das Regelsystem mitunter sehr empfindlich reagiert, was sich in einem nichtlinearen Verlauf des geregelten Netzwinkels äußert. Die Dynamik des Reglers wird daher soweit gesenkt, bis eine Balance zwischen notwendiger Dynamik und ausreichender Robustheit gegenüber den Verzerrungen der Netzspannung erreicht wird. Mit den empirisch ermittelten Einstellparametern schwingt die Phasenregelschleife in circa drei Sekunden ein und weist im eingeschwungenen Zustand einen maximalen dynamischen Fehler im Netzwinkel von 0,2 Grad auf.

5.2.3 Der frequenzvariable Oszillator

Die Basis des frequenzvariablen Oszillators stellt ein zeitdiskreter Integrierer mit einer Zeitkonstante von eins dar. Am Eingang des Integrierers liegt die Summe aus der Nennkreisfrequenz der Netzspannung und der vom Schleifenfilter berechneten Differenz der Kreisfrequenz an. Das Ausgangssignal des Integrierers entspricht somit dem Momentanwert des Phasenwinkels. Im Anschluss werden Sinus und Cosinus des Phasenwinkels berechnet.

5.3 Die Netzsynchronisation des aktiven Gleich- und Wechselrichters

Wie in Abschnitt 4.4.4 erwähnt, ist es für die Realisierung des zeitdiskreten Prototype Repetitive Controllers notwendig, dass eine Netzperiode in genau N gleichlange Zeitabschnitte unterteilt wird. Die Abtastung sämtlicher für den Prototype Repetitive Controller relevanten Größen muss daher ebenfalls äquidistant N mal pro Netzperiode durchgeführt werden. Da die Abtastung sämtlicher zu erfassender Größen aus Gründen der technischen Realisierung an den PWM-Zähler gekoppelt ist und je einmal beim Erreichen des Maximal- und Minimalwerts des PWM-Zählers ausgeführt wird, ist es notwendig, die PWM-Frequenz über ein Regelsystem adaptiv derart anzupassen, dass diese stets auf einen festen Wert, der einem ganzzahligen Vielfachen der Netzfrequenz entspricht, zu regeln. Dazu wird der Maximal- und Minimalwert des PWM-Zählers durch das in Abbildung 5.3 dargestellte Regelsystem variiert. Dieses wird immer dann, wenn der PWM-Zähler seinen Maximalwert erreicht ausgeführt.

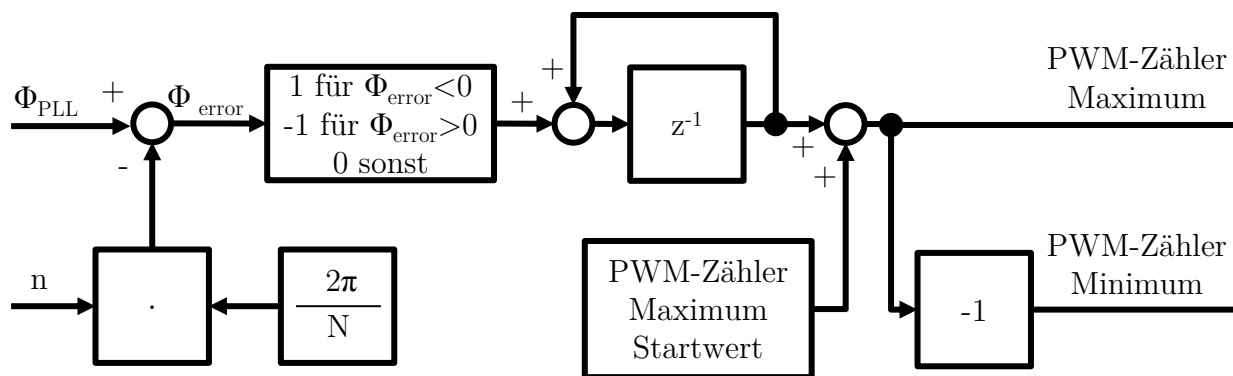


Abbildung 5.3: Blockschaltbild des Reglers der PWM-Frequenz

Dabei wird dem Regelsystem der Phasenwinkel Φ_{PLL} und die Nummer n der aktuellen PWM-Periode zugeführt. Zunächst wird aus der Nummer n der aktuellen PWM-Periode berechnet, welcher Phasenwinkel beim Erreichen des Maximalwerts des PWM-Zählers vorliegen sollte. Dann wird die Differenz aus dem Sollphasenwinkel und dem Istphasenwinkel Φ_{PLL} bestimmt. Eilt der Phasenwinkel Φ_{PLL} dem errechneten Sollphasenwinkel hinterher, so wird der Maximalwert des Zählers um eins erhöht und der Minimalwert des Zählers um eins verringert wodurch sich die PWM-Frequenz verringert. Eilt der Phasenwinkel Φ_{PLL} dem errechneten Sollphasenwinkel voraus, wird die PWM-Frequenz durch die Verringerung des Maximalwerts und eine Vergrößerung des Minimalwerts des PWM-Zählers um je eins vergrößert. Auf diese Weise wird die PWM-Frequenz solange variiert, bis jede PWM-Periode genau einem ihr zugeordneten Intervall des Phasenwinkel entspricht. Für den Fall $N=16$ ist beispielsweise der ersten PWM-Periode das Intervall $[0; \frac{\pi}{8}]$ zugeordnet.

6 Der Demonstrationsaufbau

6.1 Der Gesamtaufbau

Der Inhalt dieses Kapitels ist eine Übersicht der hardwaretechnischen Realisierung des Demonstrationsaufbaus. In Abbildung 6.1 ist der vollständige, während dieser Arbeit aufgebaute Laboraufbau zu sehen.

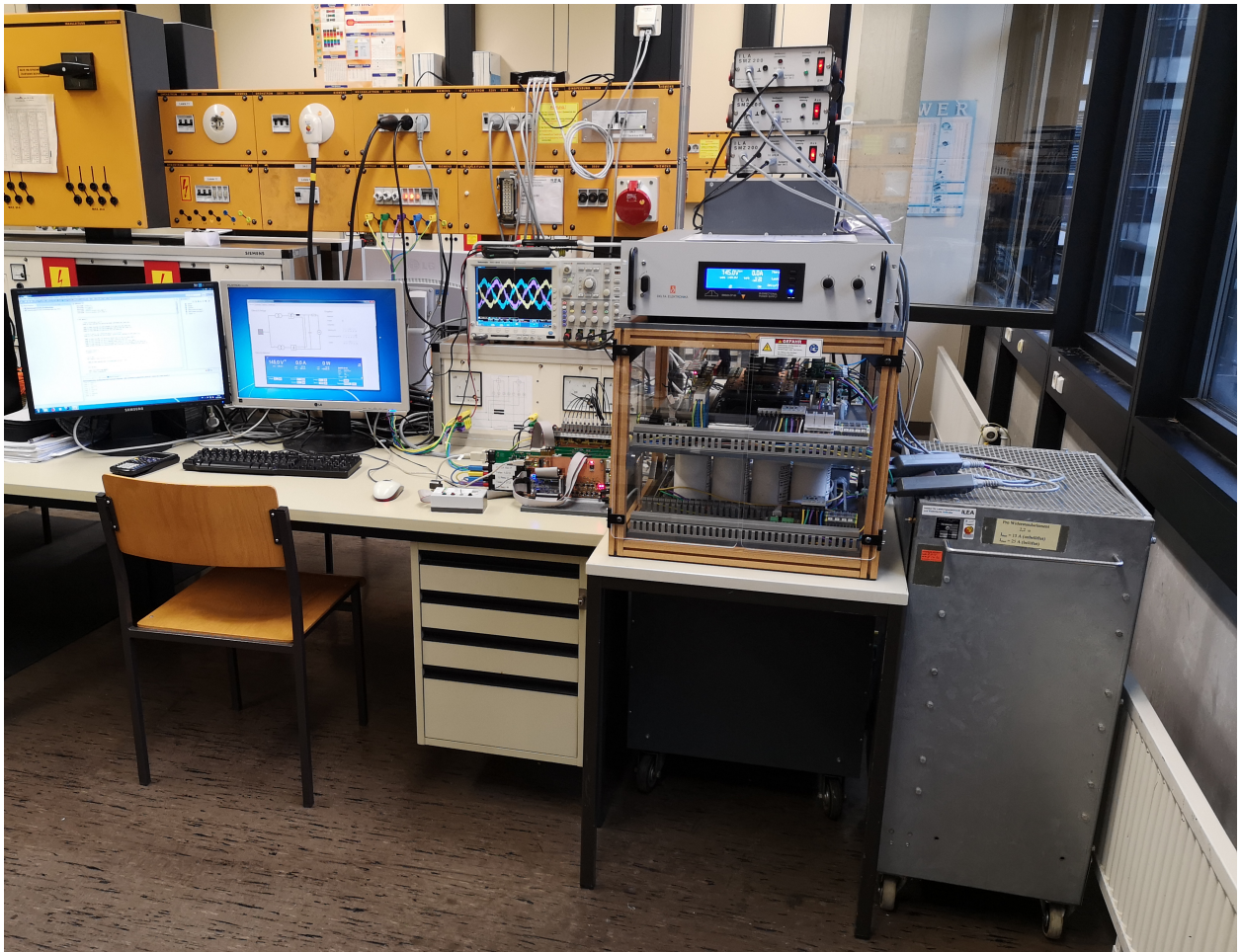


Abbildung 6.1: Foto des Demonstrationsaufbaus des Elektrolysegleichrichters

Schematisch ist der Laboraufbau in Abbildung 6.2 dargestellt. Die Komponenten des Demonstrationsaufbaus lassen sich in Leistungselektronik und Signalelektronik unterteilen. Die Leistungselektronik besteht aus zwei dreiphasigen Transformatoren, einem B6-Thyristorstromrichter mit Glättungs-drossel, dem Zweipunktwechselrichter, dem gemeinsamen Zwischenkreis und der Last zur Nachbildung des Elektrolyse-Stacks, bestehend aus einem Zweiquadranten-netzteil und einem Widerstand. Die Signalelektronik beinhaltet drei Erfassungskarten, eine Analog-Digital (AD)-Wandler-Karte, eine Cyclone III Logikkarte und eine Cyclone IV FPGA-Karte, welche alle über das ILEA-Bussystem miteinander verbunden sind, sowie einem Steuerrechner, der per UART an die FPGA-Karte angebunden ist.

Die Nenngrößen für die der Demonstrationsaufbau dimensioniert wurde, sind in Tabelle 6.1 aufgelistet.

	Wert	Einheit
Nennleistung	10	kW
Nennnetzspannungen	230	V
Nennnetzströme	20,4124	A
Nennausgangsspannungen	180	V
Nennausgangsstrom	55,5556	A
Nenn-PWM-Frequenz	9600	Hz
Nennabtastfrequenz	19200	Hz

Tabelle 6.1: Nenngrößen für die der Demonstrationsaufbaus

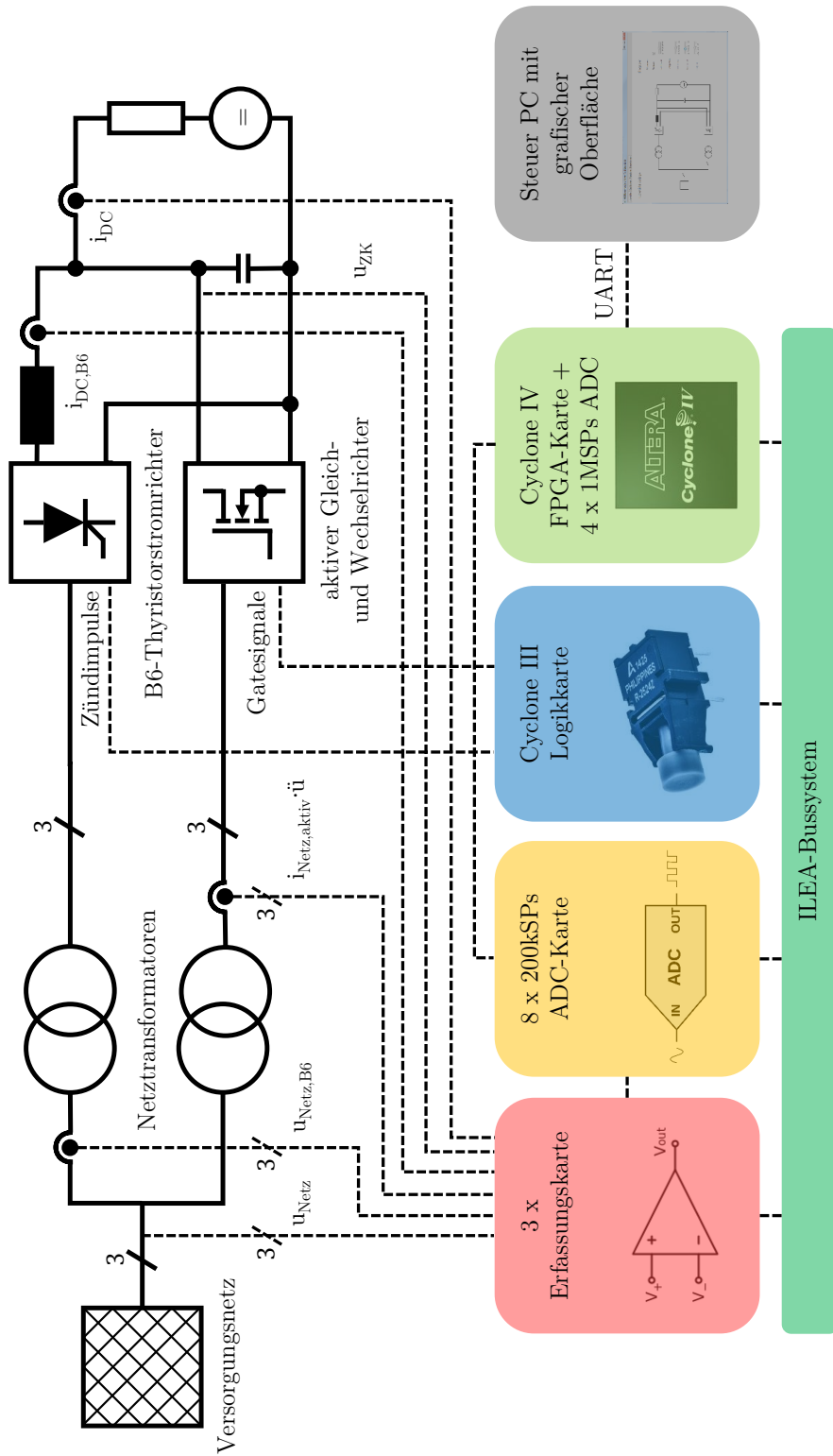


Abbildung 6.2: Schematischer Aufbau des Demonstrationsaufbaus

7 Die Leistungselektronik

Die Leistungselektronik des Demonstrationsaufbaus wurde auf der Plattform des am ILEA verwendeten Hochleistungsbaukasten aufgebaut und verteilt sich auf zwei Ebenen.

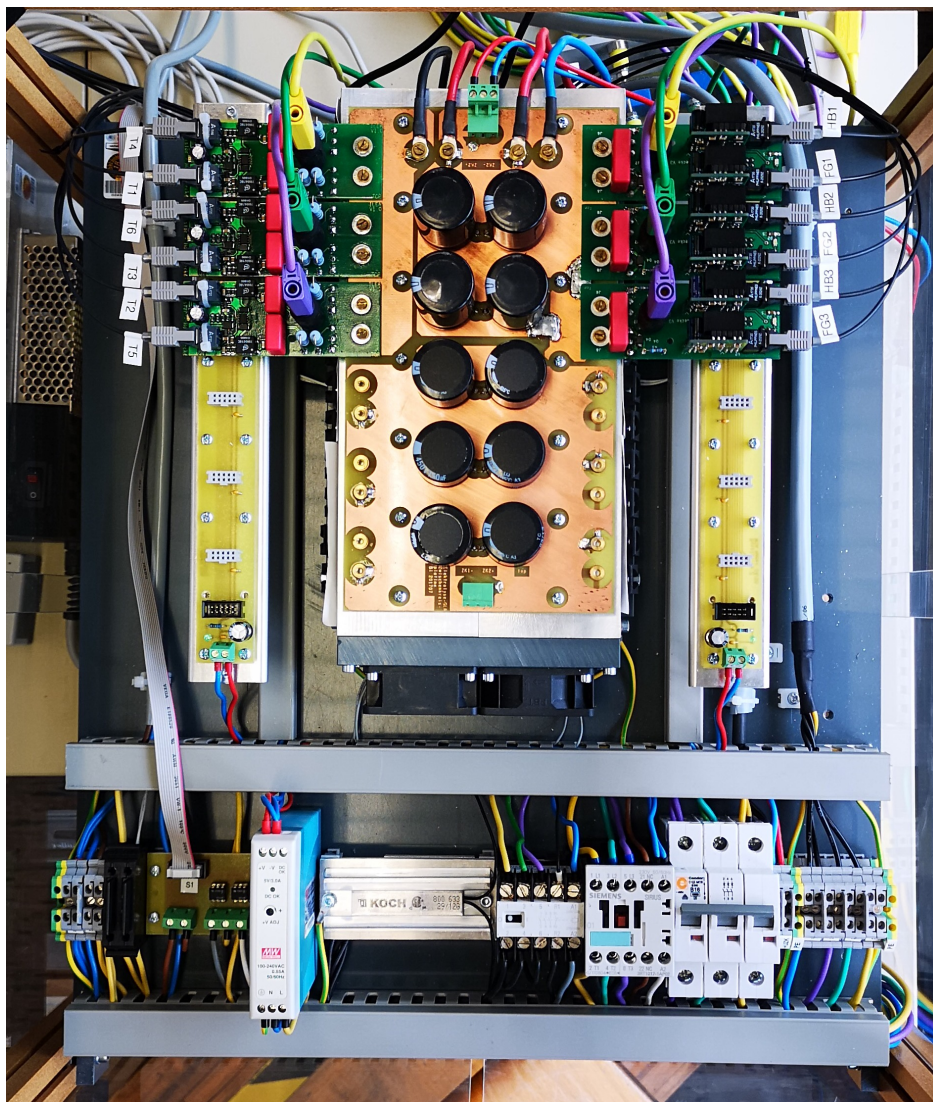


Abbildung 7.1: Ebene 1 der Leistungselektronik im Hochleistungsbaukasten

Die erste Ebene beherbergt dabei den gemeinsamen Zwischenkreis sowie die Halbbrückenmodule des Thyristorstromrichters und des aktiven Gleich- und Wechselrichters. Außerdem sind auf dieser Ebene ein Leitungsschutzschalter für den dreiphasigen Netzanschluss und ein Schütz zum Abtrennen des Demonstrators vom Versorgungsnetz angebracht. Ebenfalls auf der ersten Ebene montiert sind eine potentialgetrennte Ansteuerung des Schützes, ein Schaltnetzteil zur Versorgung der Halbbrückenmodule, ein Entladewiderstand zum Entladen des Zwischenkreises, sowie ein getrennter einphasiger Netzanschluss für die Versorgung der Schütze und des Schaltnetzteils.

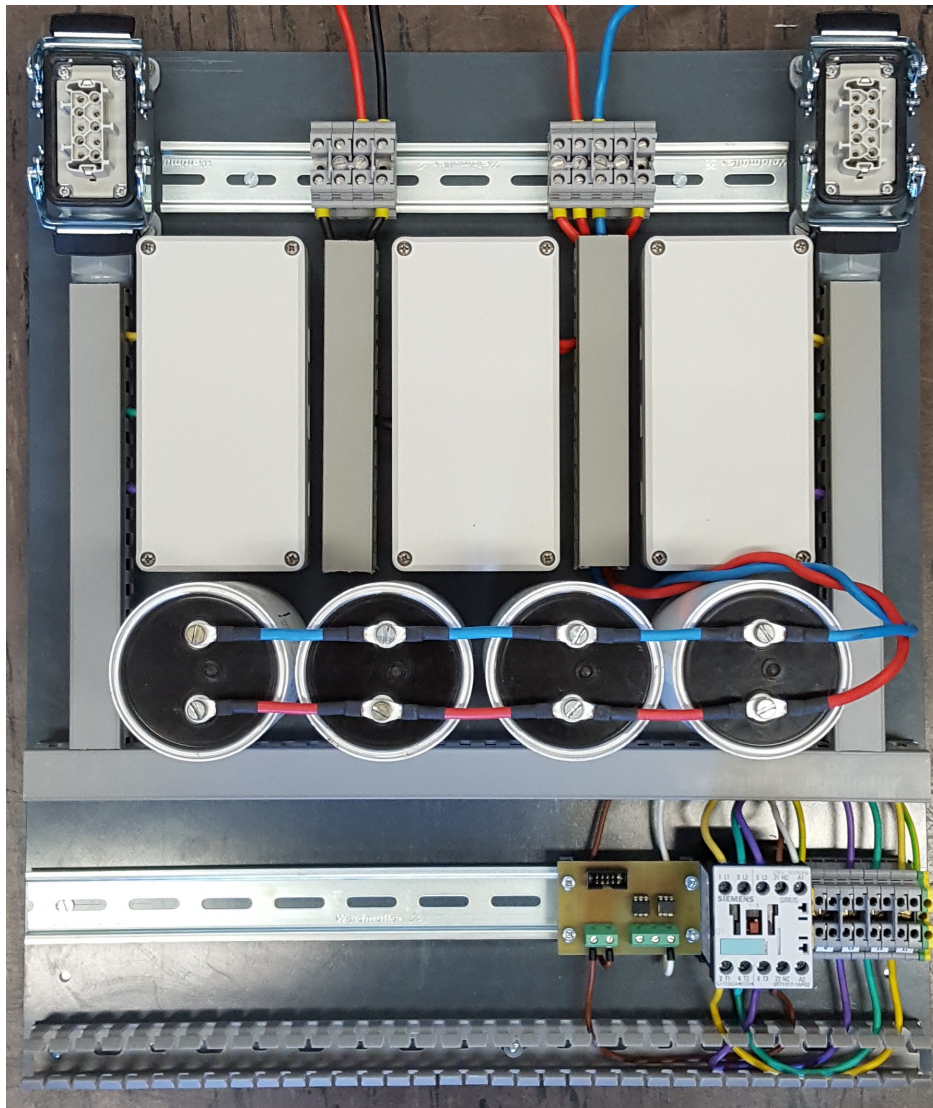


Abbildung 7.2: Ebene 2 der Leistungselektronik im Hochleistungsbaukasten

Die zweite Ebene nimmt die Kondensatoren zur Vergrößerung der Zwischenkreiskapazität, die Stecker zum Anschluss der Netztransformatoren sowie ein Schütz zur Abtrennung des aktiven Gleich- und Wechselrichters mit zugehöriger potentialgetrennter Ansteuerung vom Versorgungsnetz auf. Zusätzlich sind die Strommesswandler zur Erfassung der Netzteilströme und der gleichstromseitigen Ströme angebracht.

7.1 Der B6-Thyristorstromrichter

Der B6-Thyristorstromrichter besteht aus drei Thyristorhalbbrücken, die im nächsten Abschnitt vorgestellt werden. Der Kathodensammelpunkt ist über eine Glättungsdrossel mit einer Induktivität von $1\mu\text{H}$ an den gemeinsamen Zwischenkreis angeschlossen.

7.1.1 Die Thyristorhalbbrücke

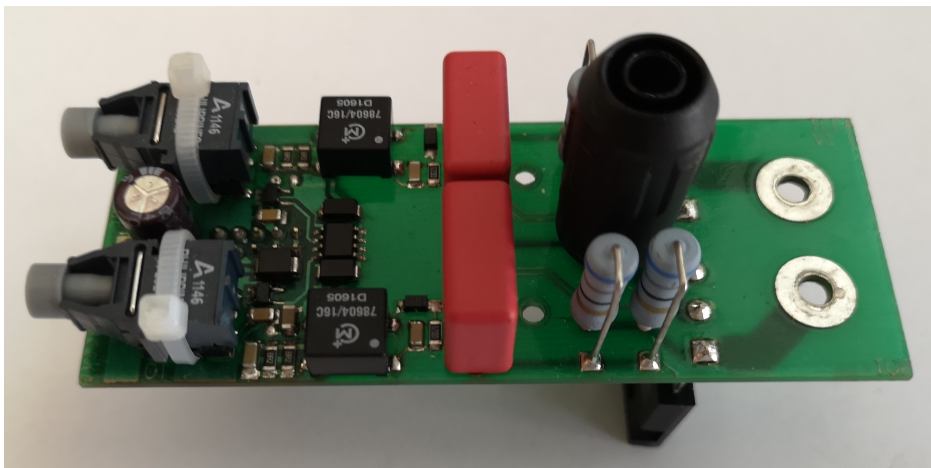


Abbildung 7.3: Foto der Thyristorhalbbrücke

Leistungsteil

Der Leistungsteil besteht aus zwei Thyristoren von Typ TN5050H-12WY des Herstellers ST Microelectronics. Die Thyristoren weisen eine Blockierspannung von 1200V und eine Stromtragfähigkeit von 50A auf. Parallel zu jedem Thyristor ist ein RC-Glied zur Schaltentlastung der Thyristoren geschaltet.

Zündschaltung

Die Zündimpulse um die Thyristoren vom blockierenden in den leitenden Zustand zu überführen, werden von einer Zündschaltung [9] [10] mit folgenden Eigenschaften erzeugt:

- Potentialtrennung zwischen dem Ansteuersignal und der Gate-Kathodenstrecke des Thyristors.
- Eine ausreichende Länge des Zündimpulses ($\geq 10\mu s$ für den TN5050H)
- Ein ausreichend großer Gatestrom ($5 \cdot I_{GT} = 5 \cdot 10 \dots 50 mA \approx 200 mA$ für den TN5050H)
- Erzeugung des gewünschten zeitlichen Stromverlaufes des Gatestroms

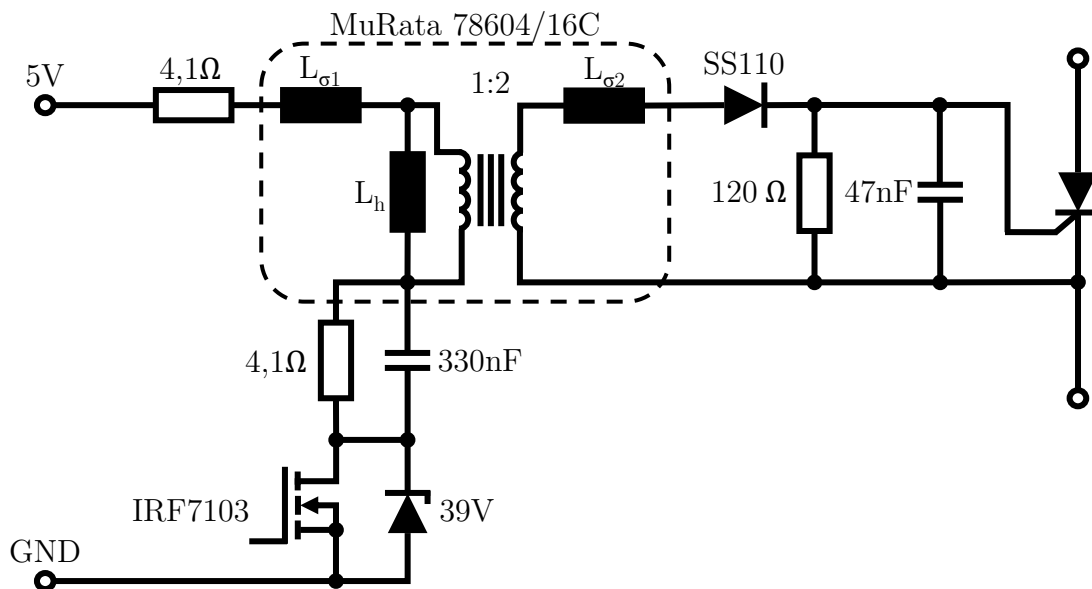


Abbildung 7.4: Schaltplan der Zündschaltung

Die Potentialtrennung zwischen dem Ansteuersignal und der Gate-Kathodenstrecke des Thyristors wird mittels eines Impulstransformators realisiert. Dabei ist zu beachten, dass dieser eine ausreichend große Hauptinduktivität aufweist um die Länge des Gateimpulses gewährleisten zu können. Durch Anlegen des Steuersignals an den als MOSFET ausgeführten Schalter wird der Zündvorgang eingeleitet. Der Gatestrom zwischen 50 bis 200 Milliampere wird über die beiden zur Primärwicklung des Impulsübertragers in Serie geschalteten Strombegrenzungswiderstände eingestellt. Grundsätzlich ist es möglich, einen Thyristor mit einem Zündstrom beliebigen zeitlichen Verlaufes zu zünden, solange der Mindestgatestrom, die Mindestgatespannung und die Mindestimpulsdauer, die zum Zünden des Thyristors benötigt

sind, erreicht werden. Allerdings ist es vorteilhaft, wenn die steigende Flanke des Zündimpulses ein starkes aber kurzes Überschwingen aufweist, um den Thyristor schnell und sicher zu zünden. Praktisch wird der zeitliche Stromverlauf des Zündimpulses dadurch erreicht, dass parallel zu einem der Widerstände der Strombegrenzung ein Kondensator geschaltet wird, der für die hochfrequenten Anteile der steigenden Flanke des Zündimpulses die Impedanz des Strompfades herabsetzt, wodurch sich die kurzzeitige Überhöhung des Zündstromes ergibt. Um im Moment des Abschaltens des Schalters eine unzulässig hohe, durch die im Strompfad vorhandenen Induktivitäten verursachte, induzierte Spannung zu verhindern, wird parallel zum Schalttransistor eine Zener-Diode geschaltet. Für die Realisierung wurde in diesem Fall eine 39 Volt Zener-Diode verwendet, wodurch sichergestellt ist, dass die maximal zulässige Drain-Source-Spannung des Schalttransistors von 50 Volt nicht überschritten wird.

7.2 Aktiver Gleich- und Wechselrichter

Der aktive Gleich- und Wechselrichter besteht wie der B6-Thyristorstromrichter ebenfalls aus drei Halbbrücken, die Inhalt des folgenden Unterkapitels sein sollen. Die Halbbrücken sind beim aktiven Gleich- und Wechselrichter direkt mit dem Zwischenkreis verbunden.

7.2.1 MOSFET-Halbbrücke

Auf einem MOSFET Modul befinden sich zwei zu einer Halbbrücke verschaltete MOSFETs vom Typ IRF250P224 des Herstellers International Rectifiers (Infineon). Die Transistoren besitzen eine Sperrspannung von 250 Volt zwischen Drain und Source und eine Stromtragfähigkeit von 96 Ampere (zwischenzeitlich wurde der Wert im Datenblatt auf 128 Ampere geändert) im Effektivwert. Der Drain-Source-Widerstand im eingeschalteten Zustand beträgt bei 125 Grad Celsius 18 Milliohm. Zur Verringerung der Kommutierungsinduktivität und Entlastung der Elektrolytkondensatoren des Zwischenkreises wurde ein Folienkondensator mit einer Kapazität von 330 Nanofarad in unmittelbarer Nähe der Leistungstransistoren verbaut.

Die Ansteuerung der Leistungstransistoren erfolgt über isolierte Gatetreiber, die von einem potentialgetrennten DC/DC Wandler versorgt werden.

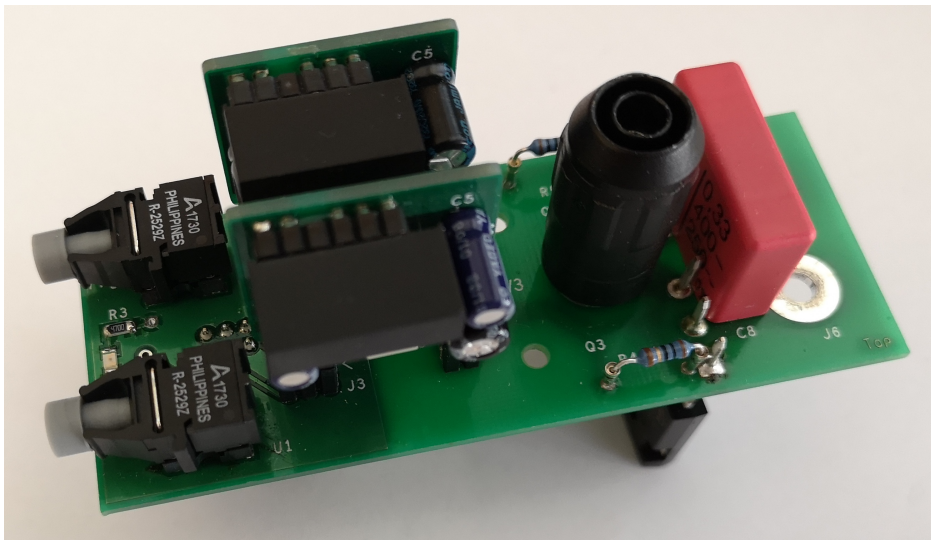


Abbildung 7.5: Foto der MOSFET-Halbbrücke

7.3 Netztransformatoren

Bei den verwendeten Netztransformatoren handelt es sich um zwei identische dreiphasige Stromrichtertransformatoren. Insgesamt besitzt jeder Transformator 12 Wicklungen. Jeder Phase sind vier Wicklungen zugeordnet. Je zwei Wicklungen der Primärseite und zwei Wicklungen der Sekundärseite. Dadurch wird die maximale Flexibilität bei der Verschaltung der Wicklungsgruppen erreicht. Die Daten der Transformatoren werden in Tabelle 7.1 angegeben.

	Wert	Einheit
Nennleistung	15	kVA
Nennfrequenz	50	Hz
Nennspannung primär	2x200	V
Nennspannung sekundär	2x84	V
Nennstrom primär	11,6	A
Nennstrom sekundär	32	A

Tabelle 7.1: Nenngrößen der Netztransformatoren

Der Transformator des B6-Stromrichters wird in Yy0 Konfiguration mit einem Übersetzungsverhältnis von 0,42 verschalten. Dazu werden sowohl beide Primärwicklungen als auch die beiden Sekundärwicklungen einer Phase getrennt in Reihe geschaltet. Der Transformator des aktiven Gleich- und Wechselrichters wird ebenfalls in Yy0 Konfiguration verschalten jedoch mit einem Übersetzungsverhältnis von 0,21. Dazu werden die primärseitigen Wicklungen in

Serie verschalten. Die sekundärseitigen Wicklungen werden parallelgeschaltet, um die Stromtragfähigkeit des Transformators zu erhöhen und die Streuinduktivität zu verringern.

7.4 Passive Komponenten

Als wesentliche passive Komponenten sind die Zwischenkreiskapazität des aktiven Gleich- und Wechselrichters und die Glättungsdrossel des B6-Stromrichters zu nennen. Die Bauteilwerte sind in Tabelle 7.2 aufgelistet.

	Wert	Einheit
L_D	1	mH
C_{ZK}	2670	μF

Tabelle 7.2: Bauteilwerte der passiven Komponenten

8 Signalelektronik

8.1 ILEA-Bus

Die Signalelektronik ist auf Grundlage des ILEA-Bussystems modular aufgebaut. Die einzelnen Platinen/Karten können über einen 96-poligen Stecker in das Bussystem eingesteckt werden, welches als Parallelbus ausgeführt ist. Die Modularität ermöglicht, die Wiederverwendbarkeit von bereits entwickelten und häufig benötigten Schaltungen, so dass nur spezielle Komponenten neu entwickelt werden müssen. Abbildung 8.1 zeigt das ILEA-Bussystem des Demonstrationsaufbaus, Tabelle 8.1 die Belegung der Busleitungen.

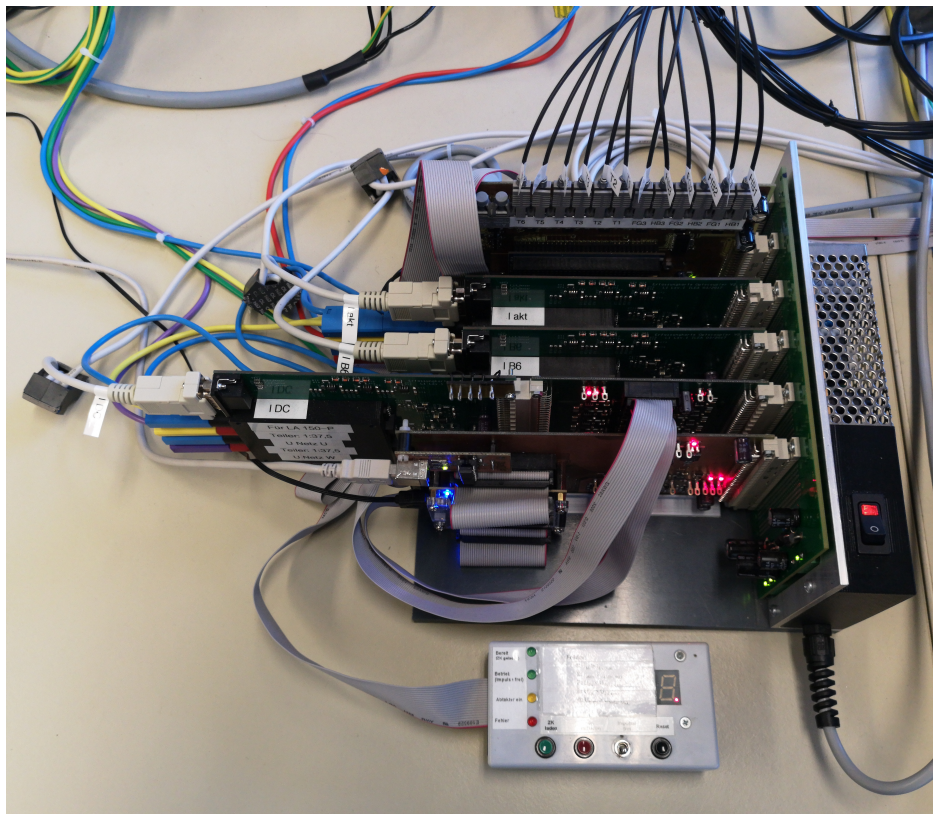


Abbildung 8.1: Foto des ILEA-Bussystems

Leitungsnummer	Signalname a	Signalname b	Signalname c	Signalquelle
1	-	-	-	-
2	-	-	AGND	-
3	-	-	AGND	-
4	-	-	-	-
5	-	-	-	-
6	Zündimpuls $_{Thy1}$	Zündimpuls $_{Thy2}$	GND	FPGA-Karte
7	Zündimpuls $_{Thy3}$	Zündimpuls $_{Thy4}$	GND	FPGA-Karte
8	Zündimpuls $_{Thy5}$	Zündimpuls $_{Thy6}$	GND	FPGA-Karte
9	PWM $_u$	Schütz $_{B6,EIN,10s}$	GND	FPGA-Karte
10	PWM $_v$	-	GND	FPGA-Karte
11	PWM $_w$	-	GND	FPGA-Karte
12	Freigabe $_{Software}$	-	GND	FPGA-Karte
13	In Betrieb $_{aktiv}$	In Betrieb $_{B6}$	GND	Logikkarte
14	Schütz $_{B6}$	-	GND	Logikkarte
15	Schütz $_{aktiv}$	-	GND	Logikkarte
16	-	-	GND	Logikkarte
17	-	-	GND	-
18	-	-	GND	-
19	$\Phi_{90,1}$	$\overline{\Phi_{90,1}}$	-	-
20	$\Phi_{0,1}$	$\overline{\Phi_{0,1}}$	-	-
21	$Index_1$	$\overline{Index_1}$	-	-
22	VCC	VCC	VCC	-
23	DGND	DGND	DGND	-
24	-	-	-	-
25	VDD	VDD	VDD	-
26	AGND	AGND	AGND	-
27	-VDD	-VDD	-VDD	-
28	$i_{Netz,aktiv,u}$	$i_{Netz,aktiv,v}$	AGND	Erfassungskarte 1
29	$i_{Netz,aktiv,w}$	$u_{Netz,u}$	AGND	Erfassungskarte 1
30	$i_{Netz,B6,u}$	$i_{Netz,B6,v}$	AGND	Erfassungskarte 1/2
31	$i_{Netz,B6,w}$	u_{ZK}	AGND	Erfassungskarte 2
32	$u_{Netz,v}$	$u_{Netz,w}$	AGND	Erfassungskarte 2

Tabelle 8.1: ILEA-Bus Belegung

8.2 FPGA-Karte

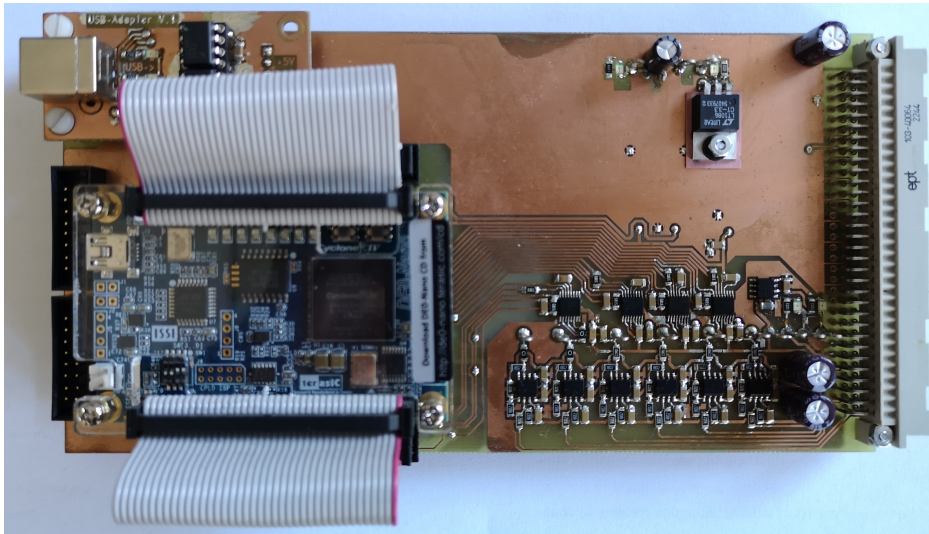


Abbildung 8.2: Foto der FPGA-Karte

Die FPGA-Karte stellt das Herzstück der Signalelektronik dar und dient als Trägerplatine für die sich darauf befindliche FPGA-Platine vom Typ DE0-Nano vom Hersteller Terasic. Die DE0-Nano Platine beherbergt einen FPGA vom Typ EP4CE22F17C6N aus der Produktfamilie Cyclone IV des Herstellers Intel/Altera, sowie weitere Peripherie, die an folgender Stelle genau beschrieben ist [11]. Auf der Trägerplatine sind für die Erfassung von analogen Signalen vier AD-Wandler vom Typ ADC128S102 des Herstellers Texas Instruments mit einer Auflösung von 12 Bit und einer maximalen Abtastfrequenz von einem Megahertz sowie der benötigten Pegelanpassung, welche durch Operationsverstärkerschaltungen realisiert ist, verbaut. Des Weiteren verfügt die FPGA-Karte über Pegelwandler, die den 5 Volt Logikpegel des ILEA-Bussystems auf einen für die Spezifikation des FPGA passenden Pegel von 3,3 Volt anpassen. Für die Kommunikation zwischen FPGA und einem Steuerrechner steht über eine aufsteckbare Platine eine isolierte, virtuelle, serielle Schnittstelle zur Verfügung. Die virtuelle, serielle Schnittstelle wird durch einen FTDI232 des Herstellers FTDI, die Potentialtrennung durch Optokoppler realisiert.

8.3 AD-Wandler-Karte

Die in diesem Unterkapitel vorgestellte AD-Wandler-Karte behebt zwei Einschränkungen des vorhandenen ILEA-Bussystems. Zum einen reichen die sechs AD-Wandler-Kanäle der

FPGA-Karte nicht aus, um alle vier Spannungen und acht Ströme, die für das Regelsystem benötigt werden, zu erfassen. Zum anderen können lediglich zwei Erfassungskarten, die im Abschnitt 8.4 vorgestellt werden, in das ILEA-Bussystem eingesteckt werden, von denen jede nur drei Ströme und zwei Spannungen erfassen kann. Deshalb wird eine dritte Erfassungskarte benötigt, was jedoch zu Konflikten in der Belegung des ILEA-Bussystems führt.

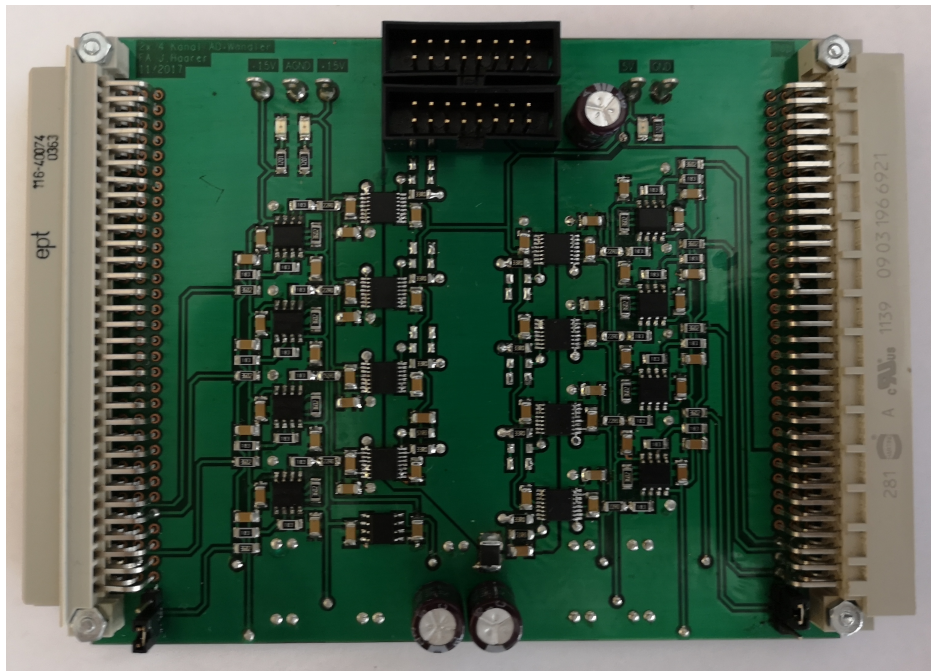


Abbildung 8.3: Foto der AD-Wandler-Karte

Aus diesen Gründen wurde eine AD-Wandler-Karte mit acht AD-Wandler-Kanälen aufgebaut, welche die Anzahl der benötigten AD-Wandler-Kanäle der FPGA-Karte erweitert und als Bindeglied zwischen ILEA-Bussystem und der dritten benötigten Erfassungskarte dient. Über die AD-Wandler-Karte ist es möglich, je vier zusätzliche Größen vom ILEA-Bussystem und der in die AD-Wandler-Karte eingesteckten Erfassungskarte analog-digital zu wandeln. Die analogen Größen der dritten Erfassungskarte werden dabei nicht auf den ILEA-Bus gelegt, sondern direkt an die AD-Wandler auf der AD-Wandler-Karte weitergeleitet. Als AD-Wandler kommt der ADC128S022 von Texas Instruments zum Einsatz. Der AD-Wandler weist eine Auflösung von 12 Bit und eine Abtastrate von fünfzig- bis zweihunderttausend Abtastungen pro Sekunde auf und besitzt acht analoge Eingänge. Der eigentliche AD-Wandler ist jedoch nur einfach vorhanden. Daher reduziert sich bei der Verwendung aller acht Eingänge die Abtastrate um die Anzahl der verwendeten Eingänge. Ein weiterer Nachteil, der bei der Verwendung mehrerer Eingänge auftritt, ist, dass durch das zeitliche Multiplexen

die zu erfassenden Größen zu unterschiedlichen Zeitpunkten abgetastet werden. Bei der Verwendung aller acht Eingänge vergeht zwischen der ersten und der achten Abtastung eine Zeit von mindestens $40 \mu\text{s}$, was bei 10 kHz Abtastfrequenz 40 Prozent der Periodendauer der Abtastung entspricht. Aus diesen Gründen besitzt jeder Kanal der AD-Wandler-Karte einen eigenen AD-Wandler-Baustein. Die Pegelanpassung der abzutastenden analogen Signale wird, wie auf der FPGA-Karte, über eine Operationsverstärkerschaltung realisiert.

8.4 Erfassungskarte

Wie bereits erwähnt, müssen zur Steuerung, Regelung und Überwachung des Aufbaus insgesamt zwölf Spannungen und Ströme erfasst werden. Diese sind jeweils dreiphasig die Netzspannung, die sekundärseitigen Transformatorströme des aktiven Gleich- und Wechselrichters sowie die Netzströme des B6-Thyristorstromrichters. Gleichstromseitig sind die Ausgangs- bzw. Zwischenkreisspannung, der gesamte Ausgangsstrom und der Ausgangsstrom des B6-Thyristorstromrichters zu erfassen. Dazu werden drei Erfassungskarten aus dem ILEA-Baukasten verwendet. Jede der Erfassungskarten besitzt zwei Eingänge zur potentialgetrennten Erfassung von Spannungen und ermöglicht zudem den Anschluss von drei Strommesswandlern.

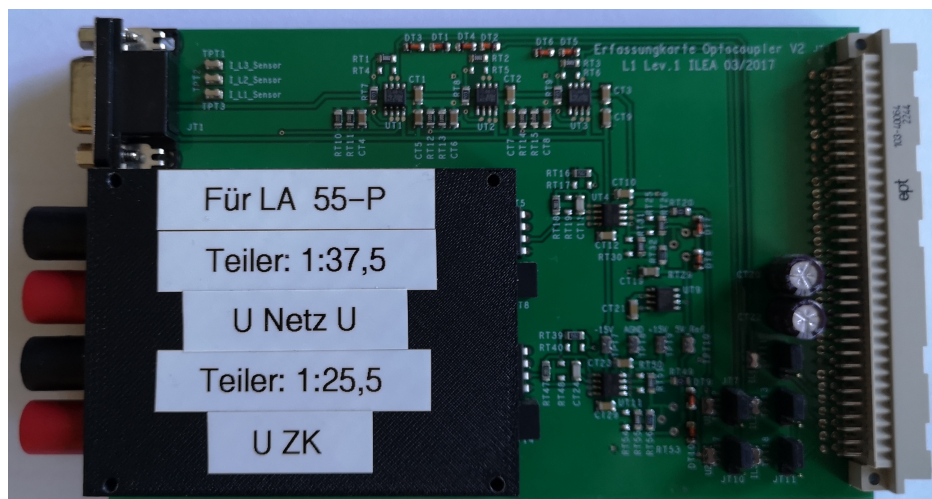


Abbildung 8.4: Foto der Erfassungskarte

Der Messbereich für die Spannungen wird über einen aufsteckbaren Spannungsteiler vorgegeben. Dieser muss so bestimmt werden, dass die zu erfassenden Spannungen auf Spannungssignale im Bereich von $\pm 10 \text{ Volt}$ abgebildet werden. Der Spannungsteiler für die Erfassung der Netzspannung wurde so ausgelegt, dass bei einer Netzspannung, die zehn Prozent von ihrem

Nennwert nach oben abweicht, eine Reserve von fünf Prozent erhalten bleibt. Für den Spannungsteiler der Zwischenkreisspannung wurde die maximale Sperrspannung der verwendeten MOSFETs angesetzt.

	Signalname	Teiler	Abbildungsmaßstab
Erfassungskarte 1	$u_{Netz,u}$	1:37,5	37,5 V \rightarrow 1 V
Erfassungskarte 1	u_{ZK}	1:25,5	25,5 V \rightarrow 1 V
Erfassungskarte 1	$i_{Netz,aktiv,u}$	1:2000	5A \rightarrow 1V
Erfassungskarte 1	$i_{Netz,aktiv,v}$	1:2000	5A \rightarrow 1V
Erfassungskarte 1	$i_{Netz,aktiv,w}$	1:2000	5A \rightarrow 1V
Erfassungskarte 2	$u_{Netz,v}$	1:37,5	37,5 V \rightarrow 1 V
Erfassungskarte 2	$i_{Netz,B6,u}$	1:1000	10A \rightarrow 1V
Erfassungskarte 2	$i_{Netz,B6,v}$	1:1000	10A \rightarrow 1V
Erfassungskarte 2	$i_{Netz,B6,w}$	1:1000	10A \rightarrow 1V
Erfassungskarte 3	$u_{Netz,u}$	1:37,5	37,5 V \rightarrow 1 V
Erfassungskarte 3	$u_{Netz,w}$	1:37,5	37,5 V \rightarrow 1 V
Erfassungskarte 3	i_{DC}	1:2000	7,5A \rightarrow 1V
Erfassungskarte 3	$i_{DC,B6}$	1:2000	7,5A \rightarrow 1V

Tabelle 8.2: Teiler und Abbildungsmaßstäbe der Erfassungskarten

8.5 Logikkarte

Die im Folgenden beschriebene Logikkarte hat zum einen den Zweck, die von der FPGA-Karte auf das ILEA-Bussystem gelegten Zünd- und PWM-Signale potentialgetrennt über Lichtwellenleiter an die entsprechenden Halbbrückenmodule zu senden, zum anderen dient die Logikkarte dazu, die mittels der Erfassungskarten auf das ILEA-Bussystem gelegten Größen zu überwachen und den Demonstrationsaufbau beim Überschreiten festgelegter Grenzwerte abzuschalten und so vor Beschädigung zu schützen. Die Grundlage der Logikkarte bildet auch in diesem Fall ein FPGA aus dem Hause Intel/Altera, jedoch aus der Produktreihe Cyclone III. Die Platine wurde im Rahmen der Masterarbeit von Steffen Bintz entwickelt, weshalb für eine genauere Betrachtung auf diese studentische Arbeit [12] verwiesen wird.

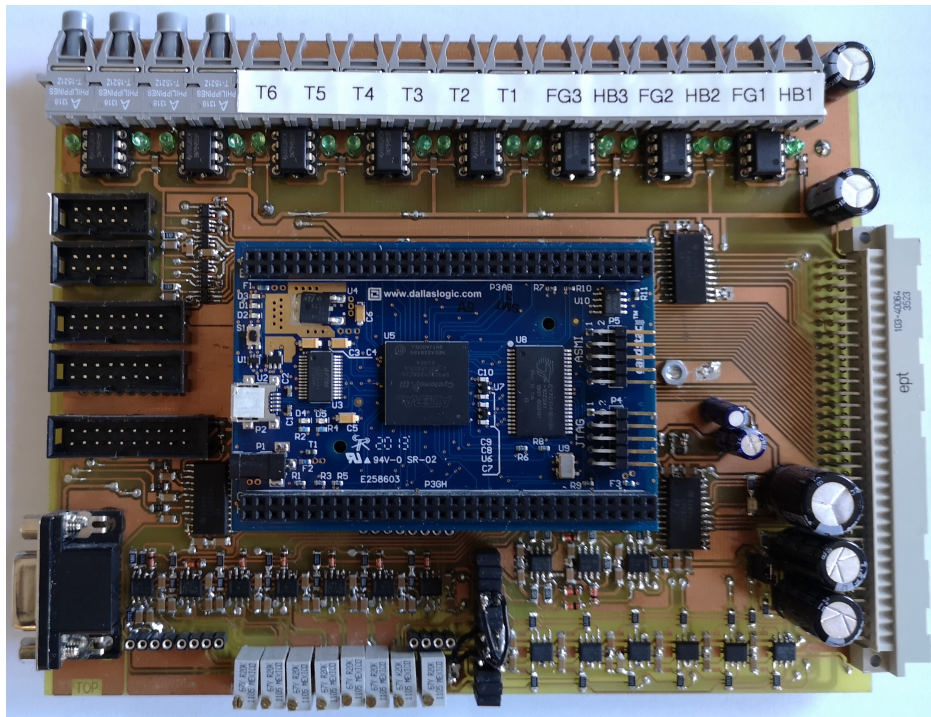


Abbildung 8.5: Foto der Logikkarte

9 FPGA-Konfiguration

Inhalt dieses Kapitels ist die Hardwarebeschreibung für das Altera/Intel Cyclone IV FPGA der im Kapitel Signalelektronik beschriebenen FPGA-Karte.

9.1 Struktur der FPGA-Konfiguration

Die Hardwarebeschreibung umfasst im Wesentlichen folgenden Punkte:

- Die Befehl- und Datenübertragung zu den AD-Wandlern
- Die Netzsynchronisation
- Die Ausführung der Regelalgorithmen
- Die Erzeugung der PWM- und Zündsignale
- Die Kommunikationsschnittstelle zum Steuerrechner

Abbildung 9.1 zeigt die Struktur der FPGA-Konfiguration. Es sei erwähnt, dass bei der Darstellung der Struktur der FPGA-Konfiguration die Signale des verwendeten NIOS II Prozessors und die, der zur Betrachtung von internen Signalen entwickelten Oszilloskopfunktion, nicht dargestellt sind, um die Übersichtlichkeit nicht weiter zu verringern. Der NIOS II Prozessor gibt im Wesentlichen die Führungsgrößen für das Regelsystem und die Einstellparameter für die einzelnen Regler aus. Das Modul für die Oszilloskopfunktion kommuniziert mit dem NIOS II Prozessor und kann ansonsten mit beliebigen Signalen zur Aufzeichnung verbunden werden.

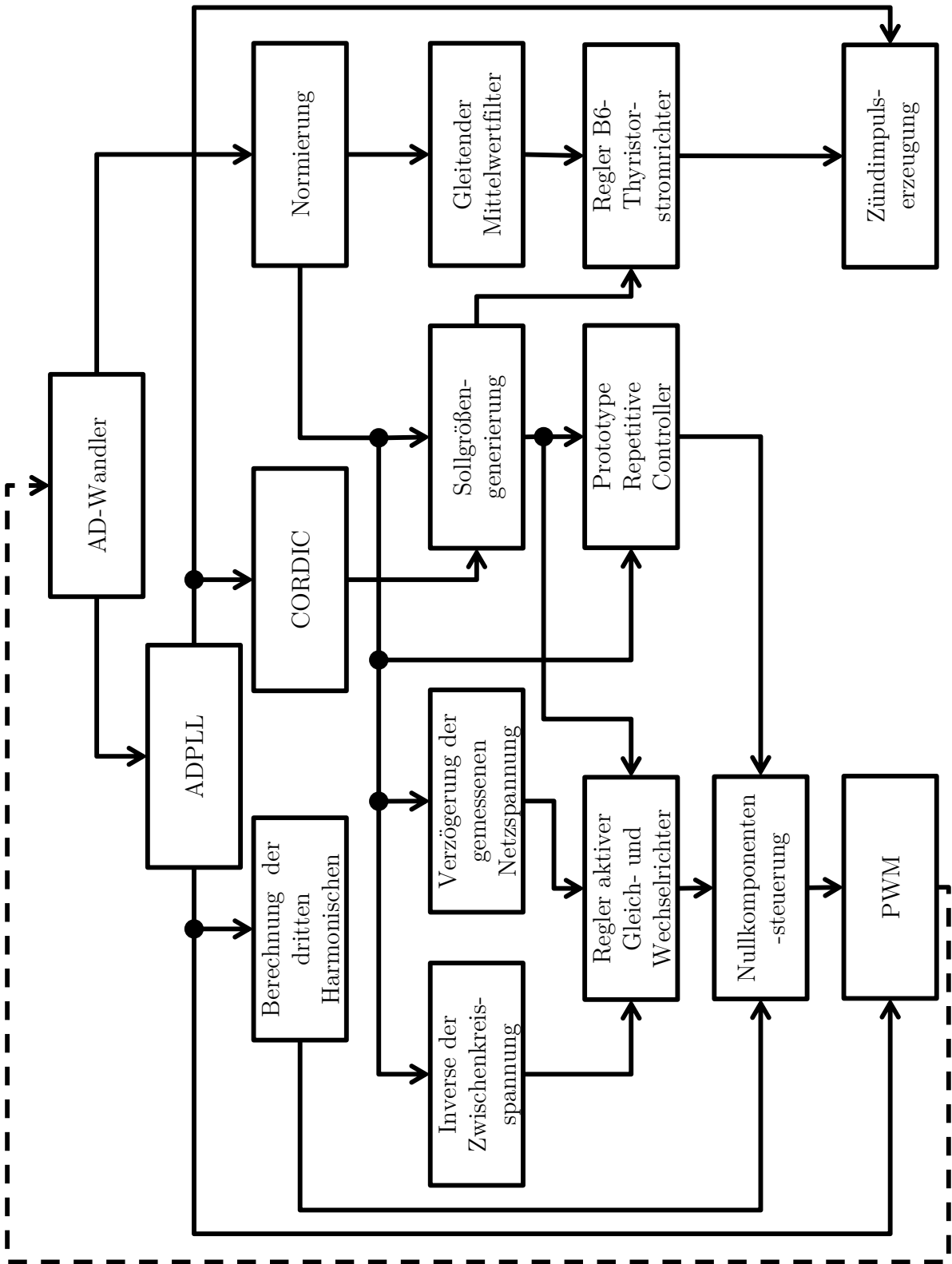


Abbildung 9.1: Struktur der FPGA-Konfiguration

Der Ablauf der FPGA-Konfiguration kann wie folgt beschrieben werden:

1. Der Ablauf wird gestartet, wenn der PWM-Zähler seinen Maximalwert erreicht und dadurch die AD-Wandlung sämtlicher zu erfassender Größen ausgelöst wird.
2. Die Ergebnisse der AD-Wandlung werden im nächsten Schritt normiert. Außerdem werden zwei der abgetasteten Netzspannungen je einer ADPLL zugeführt.
3. Nun wird der Sinus der Phasenwinkel, den die ADPLL-Einheiten ausgeben, durch ein Coordinate Rotation Digital Computer (CORDIC)-Rechenwerke bestimmt. Zudem wird die dritte Harmonische bestimmt, indem der Sinus des dreifachen Phasenwinkels, den eine der ADPLL-Einheit ausgibt, ebenfalls durch ein CORDIC-Rechenwerk bestimmt. Parallel dazu wird der gleitende Mittelwert des ausgangseitigen Gleichstromes des B6-Thyristorstromrichters sowie die Inverse des gleitenden Mittelwerts der Zwischenkreisspannung berechnet. Ebenfalls parallel dazu wird die abgetastete Netzspannung um $N-1$ Abtastintervalle verzögert.
4. Im nächsten Schritt werden die Führungsgrößen für die einzelnen Teilregler bestimmt und die Regelalgorithmen der Stromregelung des B6-Thyristorstromrichters und des aktiven Gleich- und Wechselrichters ausgeführt.
5. In einem letzten Zwischenschritt werden die Steuerspannungen des aktiven Gleich- und Wechselrichters von einer möglichen Nullkomponente befreit.
6. Abschließend werden die Zündimpulse für den B6-Thyristorstromrichter und die PWM-Signale für den aktiven Gleich- und Wechselrichter erzeugt.

9.2 Zahlenformate

Für die Rechenwerke kommen im Wesentlichen zwei Zahlenformate zum Einsatz. Diese werden im folgenden Abschnitt beschrieben.

9.2.1 Das Standardzahlenformat

Als Standardzahlenformat wird ein Festkommaformat mit 16 Bit Wortbreite im Zweierkomplement gewählt. 12 Bit werden dabei für Nachkommastellen verwendet.

Bit	15	14	13	12	11	...	1	0
Wertigkeit	-8	4	2	1	$\frac{1}{2}$...	$\frac{1}{2048}$	$\frac{1}{4096}$

Tabelle 9.1: Standardzahlenformat

Mit diesem Zahlenformat ist somit folgender Wertebereich darstellbar:

$$W_{Standard} = \left[-8; 8 - \frac{1}{4096}\right]$$

Die Genauigkeit, die mit dem Standardzahlenformat erreicht werden kann, beträgt $\frac{1}{4096} \approx 0,0002441$

Diese Wahl ist sinnvoll, da innerhalb der FPGA-Konfiguration hauptsächlich mit normierten Größen gearbeitet wird und diese sich somit im Nennbetrieb im Wertebereich $[-1; 1]$ bewegen. Somit bleibt genügend Reserve um kleinere Rechenoperationen durchführen zu können ohne dass Überläufe auftreten.

9.2.2 Das Winkelzahlenformat

Für das Rechnen mit Winkeln in der Einheit Radiant ist es vorteilhaft, die Wertigkeit der einzelnen Bits als Bruchteile von π zu definieren.

Bit	31	30	29	28	27	...	1	0
Wertigkeit	π	$\frac{\pi}{2}$	$\frac{\pi}{4}$	$\frac{\pi}{8}$	$\frac{\pi}{16}$...	$\frac{\pi}{2^{30}}$	$\frac{\pi}{2^{31}}$

Tabelle 9.2: Winkelzahlenformat

Dieses Format hat den Vorteil, dass ein Register, in dem der Winkel eines mit der Kreisfrequenz ω rotierenden Zeigers, beim Erreichen eines Wertes von $2 \cdot \pi$ überläuft. Dadurch ist keine aufwändige Modulo-Berechnung für die Überlaufbehandlung notwendig.

9.3 AD-Wandler

Das Modul AD-Wandler hat zum einen die Aufgabe, ein Serial Peripheral Interface (SPI) zur Kommunikation zwischen AD-Wandler und FPGA zur Verfügung zu stellen, zum anderen ist das Modul dafür zuständig, dass der AD-Wandler mit den korrekten Daten versorgt wird. Zusätzlich erzeugt das Modul den Takt, der für die SPI-Übertragung benötigt wird.

9.4 ADPLL

Im folgenden Abschnitt wird die Realisierung der ADPLL vorgestellt. Dabei kommt eine neuartige, sehr hardwareeffiziente Rechenarchitektur zum Einsatz.

9.4.1 Struktur ADPLL

Abbildung 9.2 zeigt die Struktur der Realisierung der ADPLL.

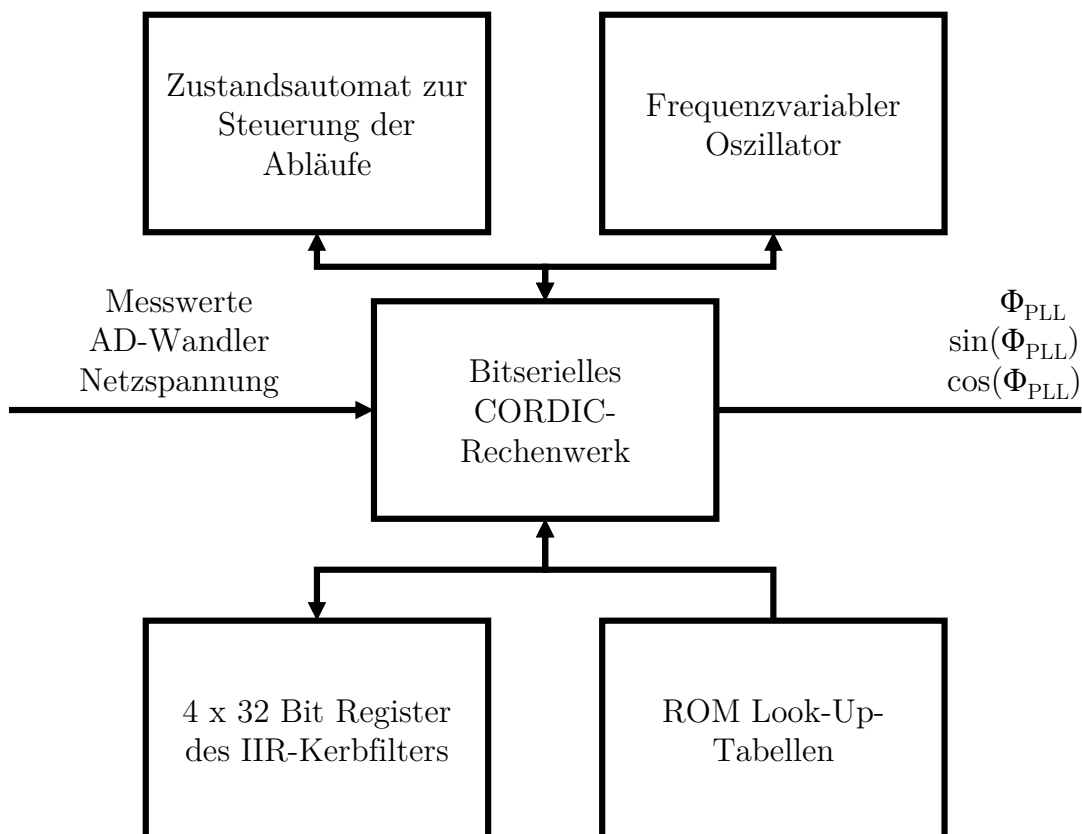


Abbildung 9.2: Struktur der ADPLL

Die Grundlage bildet dabei ein CORDIC-Rechenwerk mit den dazugehörigen Look-Up-Tabellen, die in einem ROM abgelegt sind. Um den Phasendetektor mittel IIR-Kerbfiler zu realisieren, wird das CORDIC-Rechenwerk um die benötigten Register erweitert. Auch der frequenzvariable Oszillator wird mit dem bitseriellen CORDIC-Rechenwerk verbunden. Um die Abläufe im CORDIC-Rechenwerkes zu steuern, kommt ein Zustandsautomat zum Einsatz.

Durch diese Architektur des Rechenwerkes ist es möglich, alle für die ADPLL benötigten

Rechenoperationen mit einem gemeinsam genutzten CORDIC-Rechenwerk auszuführen. Um die für diese Arbeit geforderte Rechengenauigkeit bei minimalem Hardwarebedarf zu realisieren wird das CORDIC-Rechenwerk mit einer Wortbreite von 32 Bit realisiert und ist sowohl bitseriell als auch rekursiv ausgeführt.

Das Ergebnis dieser speziellen Architektur des Rechenwerkes in Kombination damit, dass das CORDIC-Rechenwerk für sämtliche Rechenoperationen verwendet wird, ist eine sehr hohe Rechengenauigkeit bei gleichzeitig sehr geringem Hardwarebedarf. Zum Vergleich wird in Tabelle 9.3 der Hardwarebedarf des während dieser Arbeit entwickelten CORDIC-Rechenwerkes und der entwickelten ADPLL mit einem CORDIC-Rechenwerk identischer Wortbreite, das von Altera/Intel als IP-Core zur Verfügung gestellt wird, aufgelistet. Die Angaben in Prozent beziehen sich dabei auf die gesamte verfügbare Hardware des verwendeten FPGAs.

	IP-Core CORDIC	CORDIC	ADPLL
Logikelemente	8227	286	580
Logikelemente prozentual	37,3%	1,28%	2,6%
M9k RAM	0 Byte	128 Byte	256 Byte
M9k RAM prozentual	0%	0,17%	0,34%

Tabelle 9.3: Vergleich Hardwarebedarf CORDIC-Rechenwerke

9.4.2 Der CORDIC Algorithmus

Der im Jahr 1959 von Jack E. Volder für die Navigation von Überschallflugzeugen entwickelte grundlegende CORDIC-Algorithmus (COordinate Rotation DIgital Computer) ermöglicht es, sehr effektiv trigonometrische Funktionen bei hoher numerischer Stabilität sehr exakt anzunähern [13]. Der ursprüngliche Verwendungszweck des CORDIC-Algorithmus in Kombination mit der zur damaligen Zeit verfügbaren Rechenleistung, lässt bereits erahnen, welches enormes Potential von diesem Rechenverfahren für Echtzeitsysteme ausgeht.

Die Idee für die Berechnung der trigonometrischen Funktionen Sinus und Cosinus ist dabei, dass eine Drehung des Koordinatensystem um den Winkel $-\varphi$ der Drehung, eines sich darin dargestellten Zeigers, um den Winkel φ entspricht. Wird als Anfangsvektor der Einheitsvektor auf der x-Achse gewählt, entspricht der Realteil des gedrehten Zeigers dem $\cos(\varphi)$ und der Imaginärteil dem $\sin(\varphi)$.

$$\begin{pmatrix} x \\ y \end{pmatrix} = \begin{bmatrix} \cos(\varphi) & -\sin(\varphi) \\ \sin(\varphi) & \cos(\varphi) \end{bmatrix} \cdot \begin{pmatrix} 1 \\ 0 \end{pmatrix} \quad (9.1)$$

Für die effektive Berechnung ist es vorteilhaft, den $\cos(\varphi)$ aus der Drehmatrix auszuklammern und so nur noch eine Abhängigkeit von einer trigonometrischen Funktion zu erhalten.

$$\begin{pmatrix} x \\ y \end{pmatrix} = \cos(\varphi) \cdot \begin{bmatrix} 1 & -\tan(\varphi) \\ \tan(\varphi) & 1 \end{bmatrix} \cdot \begin{pmatrix} 1 \\ 0 \end{pmatrix} \quad (9.2)$$

Im nächsten Schritt wird die Drehung um den Winkel φ in eine Linearkombination von fest vorgegebenen Teildrehungen zerlegt. Dabei wird zusätzlich der Drehsinn σ eingeführt, da die feste Vorgabe der Winkel der Teildrehungen dazu führen kann, dass zunächst der Zeiger um einen zu großen Winkel gedreht wird, was die Umkehr des Drehsinns der nächsten Teildrehung erfordert.

$$\varphi = \sum_{i=0}^{n-1} \alpha_i \cdot \sigma_i \quad (9.3)$$

Die Winkel der Teildrehungen α_i werden fest vorgegeben zu:

$$\alpha_i = \arctan\left(\frac{1}{2^i}\right) \quad (9.4)$$

Die Bestimmung des Drehsinns erfolgt gemäß Gleichung 9.5.

$$\sigma_i = \begin{cases} -1 & \text{für } z_i \leq 0 \\ 1 & \text{sonst} \end{cases} \quad (9.5)$$

Wobei die verbleibende Winkeldifferenz z_i , mittels Gleichung 9.6 bestimmt wird.

$$z_i = z_{i-1} - \sigma_{i-1} \cdot \alpha_{i-1} \text{ mit: } z_0 = \varphi \text{ und } \sigma_0 = 1 \quad (9.6)$$

Damit ist es gelungen, die Berechnung von Sinus und Cosinus auf die Berechnung der verbleibenden trigonometrischen Funktion in Gleichung 9.7, welche durch Schieben realisiert werden kann, eine vorzeichenrichtige Addition und eine Wertetabelle für die Winkel der fest vorgegebenen Teildrehungen zu reduzieren.

$$\tan(\alpha_i) = \frac{1}{2^i} \quad (9.7)$$

Der resultierende Algorithmus ist in Gleichung 9.8 dargestellt.

$$\begin{pmatrix} x_n \\ y_n \end{pmatrix} = \left(\prod_{i=0}^{n-1} \cos(\alpha_i) \right) \cdot \left(\prod_{i=0}^{n-1} \begin{bmatrix} 1 & -\sigma_i \frac{1}{2^i} \\ \sigma_i \frac{1}{2^i} & 1 \end{bmatrix} \right) \cdot \begin{pmatrix} x_0 \\ y_0 \end{pmatrix} \quad (9.8)$$

Das erste Produkt kann bereits vor der Ausführung des Algorithmus bestimmt werden,

wenn Anzahl und Winkel der Teildrehungen bekannt sind. Diese Konstante χ wird dann als CORDIC-Gain bezeichnet.

Durch eine Verallgemeinerung des grundlegenden CORDIC-Algorithmus ist es außerdem möglich, dass zahlreiche weitere mathematische Operationen mittels eines CORDIC-Rechenwerkes angenähert werden können. Für die Realisierung der ADPLL soll im Speziellen das CORDIC-Rechenwerk zur Multiplikation und Addition verwendet werden. Dazu wird die allgemeine Form des CORDIC-Algorithmus in Gleichung 9.9 betrachtet.

$$\begin{pmatrix} x_i \\ y_i \\ z_i \end{pmatrix} = \chi \cdot \begin{bmatrix} 1 & -m\sigma_i\delta_i & 0 & 0 \\ \sigma_i\delta_i & 1 & 0 & 0 \\ 0 & 0 & 1 & -\sigma_i t_i \end{bmatrix} \cdot \begin{pmatrix} x_{i-1} \\ y_{i-1} \\ z_{i-1} \\ 1 \end{pmatrix} \quad (9.9)$$

Wählt man die Parameter wie in Tabelle 9.4 aufgeführt, so arbeitet der CORDIC-Algorithmus in einem linearen Modus, in dem parallel ein Produkt und eine Summe bestimmt werden kann.

m	0
χ	1
$\delta_i = t_i$	$\frac{1}{2^i}$

Tabelle 9.4: Parameter des allgemeinen CORDIC-Algorithmus für den linearen Multiplikations- und Additionsmodus

Der CORDIC-Algorithmus für diesen linearen Multiplikations- und Additionsmodus ist in Gleichung 9.10 gegeben.

$$\begin{pmatrix} x_i \\ y_i \\ z_i \end{pmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ \sigma_i\delta_i & 1 & 0 & 0 \\ 0 & 0 & 1 & -\sigma_i\delta_i \end{bmatrix} \cdot \begin{pmatrix} x_{i-1} \\ y_{i-1} \\ z_{i-1} \\ 1 \end{pmatrix} \quad (9.10)$$

Durch den Wechsel zwischen diesen beiden Modi ist es möglich, mit einem Rechenwerk sämtliche Rechenoperationen, welche für die ADPLL benötigt werden, zu realisieren.

9.5 Normierung

Mittels des Moduls Normierung werden alle von den AD-Wandlern erfassten Größen auf die Bezugswerte der Anlage normiert. Für die Berechnung werden Hardwaremultiplizierer

verwendet. Um Laufzeitprobleme zu vermeiden, wird vor und nach jedem Hardwaremultiplizierer ein Register platziert.

9.6 Sollgrößengenerierung

Das Modul der Sollgrößengenerierung berechnet aus der vorgegebenen gleichstromseitigen Sollleistung über den Verteilungsfaktor den gleichstromseitigen Sollstrom für den B6-Thyristorstromrichter. Parallel dazu werden die Differenzen aus der sinusförmigen Führungsgrößen für die Netzströme und den Netzströmen des B6-Thyristorstromrichters bestimmt und als Führungsgröße an den Regler des aktiven Gleich- und Wechselrichters weitergeleitet.

9.7 Gleitender Mittelwertfilter

Die Realisierung der Berechnung des gleitenden Mittelwertes über eine Netzperiode mit N Abtastungen erfolgt durch das Modul "gleitender Mittelwertfilter". Da die Berechnung des gleitenden Mittelwerts als FIR-Filter, bei dem sämtliche Filterkoeffizienten der Inversen von N entsprechen, aufgefasst werden kann, ist eine sehr einfache und effektive Realisierung möglich. Diese umfasst ein Akkumulatorregister, einen Ringspeicher mit N Speicherstellen sowie einen Zeiger für eine Stelle des Ringspeichers. Für jeden neuen Eingangswert wird zunächst der im Ringspeicher abgelegte Eingangswert der vorigen Netzperiode vom Akkumulator subtrahiert. Die Speicheradresse ist durch die Position des Zeigers bestimmt. Im Anschluss wird der Inhalt der Speicherstelle mit dem neuen Eingangswert des Filters überschrieben und der Eingangswert zum Akkumulator addiert. Zuletzt wird der Zeiger auf die nächste Speicherstelle verschoben. Aufgrund des hohen Speicherbedarfs wird für die Implementierung M9k Speicher des FPGAs verwendet.

9.8 Verzögerung der gemessenen Netzspannung

Die Verzögerung um $N-1$ Abtastperioden für die Netzspannung wird vom Modul Verzögerung der gemessenen Netzspannung erzeugt. Diese basiert ebenfalls auf einem Ringspeicher mit N Speicherstellen sowie einem Schreib- und einem Lesezeiger. Die Adresse, auf die der Lesezeiger zeigt, eilt der des Schreibzeigers immer um $N-1$ Speicherstellen nach. Auch für dieses Modul kommt M9k Speicher zum Einsatz.

9.9 Regler B6-Thyristorstromrichter

Das Modul für den Regler des B6-Thyristorstromrichters wird, wie im Abschnitt 4.3.2 dargestellt, realisiert. Als einzige Besonderheit ist zu erwähnen, dass eine Begrenzung des Zündwinkels auf den natürlichen Zündzeitpunkt durchgeführt wurde, um negative Zündverzögerungswinkel sicher auszuschließen.

9.10 Regler aktiver Gleich- und Wechselrichter

Der Inhalt des Moduls des Zustandsreglers für den aktiven Gleich- und Wechselrichter entspricht, bis auf eine Begrenzung der Stellgröße, der direkten Umsetzung des Blockschaltbilds in Abbildung 4.9.

9.11 Nullkomponentensteuerung

Um einer möglichen Nullkomponente der Steuersignale des aktiven Gleich- und Wechselrichters entgegenzuwirken, wurde das Modul der Nullkomponentensteuerung entwickelt. Dieses Modul summiert zunächst die drei Steuersignale des aktiven Gleich- und Wechselrichters auf. Im Anschluss wird von allen Stellgrößen je ein Drittel der gebildeten Summe subtrahiert.

9.12 Berechnung der 3. Harmonischen

Die dritte Harmonische wird durch ein CORDIC-Rechenwerk realisiert, dem der aktuelle Netzwinkel, multipliziert mit dem Faktor drei, zugeführt wird. Vor der Ausgabe wird das Ergebnis der Berechnung mit einer Verstärkung von einem Sechstel gewichtet.

9.13 Inverse der Zwischenkreisspannung

Die Aufgabe der Berechnung der inversen Zwischenkreisspannung wird durch ein Modul, bestehend aus einem Intellectual Property Core (IP-Core) zur Division und einem Hilfsmodul, das den Zähler von eins bereitstellt und das Ergebnis der Division auf das Standard Zahlenformat anpasst, durchgeführt. Zu beachten ist hierbei, dass bei der Verwendung eines Festkommadividierwerkes, der Zähler die doppelte Wortbreite des Nenners aufweisen muss, damit das Zahlenformat von Eingangssignal und Ausgangssignal der Berechnung erhalten bleibt.

9.14 PWM

Das PWM-Modul ist für die Erzeugung der Schaltbefehle aus den Steuersignalen zuständig. Dafür werden die Steuersignale mit dem Wert eines Zählers verglichen, der zwischen einem Maximalwert und einem Minimalwert auf- und abzählt. Außerdem ist das Modul PWM für die Synchronisation des aktiven Gleich- und Wechselrichters auf das Versorgungsnetz zuständig. Dazu wird der Maximalwert und Minimalwert des PWM-Zählers durch einen Regler so modifiziert, dass die Anzahl der PWM-Perioden innerhalb einer Netzperiode stets genau 384 entspricht. Zusätzlich ist das Modul PWM für die Auslösung der Abtastungen der AD-Wandler zuständig. Um den Abtastzeitpunkt kalibrieren zu können, wird das Abtastsignal durch einen Vergleich einer einstellbaren Konstanten mit dem PWM-Zähler gewonnen.

9.15 Zündimpulserzeugung

Das Modul, das die Zündimpulse generiert, besteht aus einem Automaten, der die Zündreihenfolge vorgibt, einem Zähler, mit dessen Hilfe die Dauer der Zündimpulse vorgegeben wird und einem Vergleicher, der den Zündwinkel mit dem Netzwinkel aus der ADPLL vergleicht und bei Übereinstimmung die Zündung auslöst. Da der Netzwinkel aus der ADPLL geregelt ist, muss beachtet werden, dass der Netzwinkel eine Schrittweite ungleich eins aufweisen kann. Daher darf der Vergleicher den Netzwinkel nicht auf einen konkreten Wert vergleichen, sondern muss den Netzwinkel auf einen Bereich prüfen. Dieser Bereich wurde zu 0,5 Grad gewählt.

9.16 Oszilloskop

Das Oszilloskopmodul ermöglicht es, in Kombination mit den Softwarekomponenten aus Kapitel 10, für bis zu vier Signale, die innerhalb des FPGA auftreten, für jedes Abtastintervall innerhalb einer Netzperiode einen Wert aufzunehmen, an den Steuerrechner zu übertragen und dort anzuzeigen. Die Realisierung erfolgt aufgrund des hohen Speicherbedarfs mittels M9k Speicher des FPGAs, der als RAM zum Einsatz kommt. Als Adresse dient die Nummer der Abtastung innerhalb einer Netzperiode. Die Speicherung neuer Daten wird durch das Auslösen einer neuen Abtastung ausgelöst.

9.17 NIOS II

Das Modul, das den NIOS II Prozessor beinhaltet, wird mittels einer grafischen Oberfläche namens Qsys in der Entwicklungsumgebung Quartus der Version 15.1 erstellt. Beim NIOS II Prozessor handelt es sich um einen RISC Prozessor, der als Softcore durch die Konfiguration von Logikelementen realisiert wird. Über Qsys kann der Prozessor durch umfangreiche Peripherie erweitert werden. In diesem Fall wurde der NIOS II um einen RAM Controller, eine JTAG-UART-Schnittstelle, eine UART-Schnittstelle und zahlreiche GPIO-Ports ergänzt. Der NIOS II Prozessor agiert als Schnittstelle zwischen Steuerrechner und FPGA, indem er das in Kapitel 10 beschriebene Kommunikationsprotokoll ausführt und über GPIO-Ports Daten mit Registern der anderen Module austauscht.

9.18 Weitere Module

Neben den in diesem Kapitel beschriebenen Modulen kommen noch weitere in VHDL entwickelte Module zum Einsatz, auf die jedoch wegen deren Trivialität an dieser Stelle nicht weiter eingegangen wird.

10 Software

In diesem Kapitel werden die Softwarekomponenten des Demonstrationsaufbaus vorgestellt. Zunächst wird die Bediensoftware für den Steuerrechner und im Anschluss daran die Software für den NIOS II Prozessor, der in Kapitel 9 beschrieben wurde, erläutert.

10.1 Bediensoftware

Die Bediensoftware für den Steuerrechner wurde in Java erstellt. Für die grafische Oberfläche wurde dabei JavaFX verwendet. Als Entwicklungsumgebung kommt Eclipse für Java in der Version Oxygen.2 zum Einsatz. Der Aufbau des Programms ist objektorientiert und besteht aus sechs Klassen, die im Folgenden beschrieben werden. Eine Trennung zwischen der Implementierung der grafischen Oberfläche und der Funktionen findet bewusst nicht statt, da Oberfläche und Funktionen unmittelbar voneinander abhängig sind, weshalb eine Aufteilung den Umfang und damit die Übersichtlichkeit des Programm unnötig vergrößern, beziehungsweise verschlechtern würde.

10.1.1 Klasse Programm

Die Programm-Klasse ist die Grundlage des Programms. Sie wird aus der von JavaFX bereitgestellten Klasse "Application" abgeleitet, die ein Grundgerüst für die Entwicklung von grafischen Oberflächen in Form eines leeren Programmfenster bereitstellt. In dieses Programmfenster wird in der Programm-Klasse ein Container eingefügt, der die vier Tabs der Oberfläche beinhaltet.

10.1.2 Klasse Übersicht

Der erste der vier Tabs, der Tab Übersicht, wird von der Übersichts-Klasse zur Verfügung gestellt. Dieser Tab ist, wie in Abbildung 10.1 zu sehen, in zwei Bereiche gegliedert. Im oberen Bereich des Tabs ist der Aufbau des Demonstrationsaufbaus auf der linken Seite systematisch dargestellt. Auf der rechten Seite erfolgt die Vorgabe der Führungs- und Steuergrößen für das Regelsystem, sowie die softwareseitige Freigabe für den Demonstrationsaufbau. Über den unteren Teil des Tabs kann das zur Nachbildung des Elektrolyse-Stacks verwendete Zweiquadranten-Netzteil bedient werden.

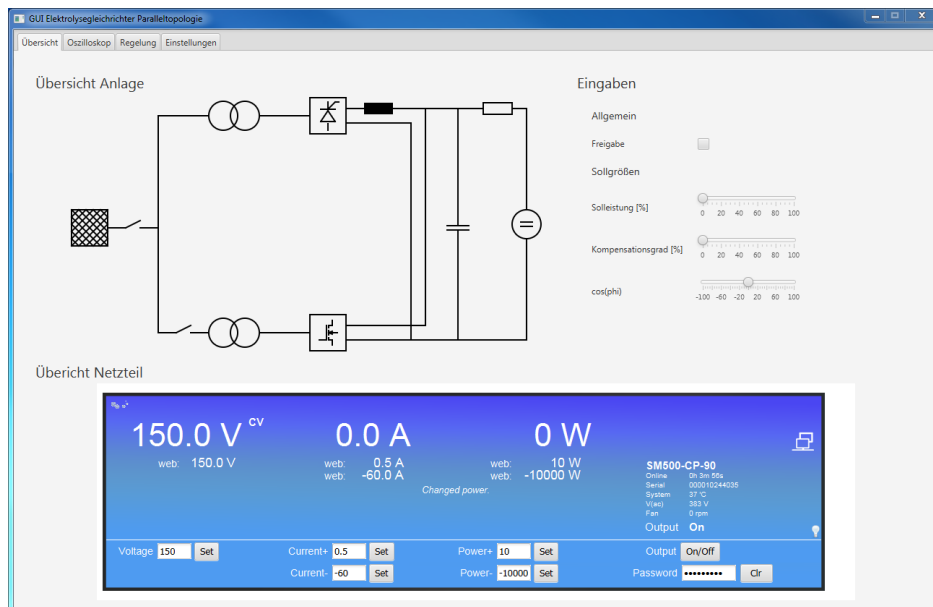


Abbildung 10.1: Bildschirmfoto des Tabs Übersicht der grafischen Oberfläche

10.1.3 Klasse Oszilloskop

Der zweite Tab trägt den Namen Oszilloskop und wird durch die Oszilloskop-Klasse bereitgestellt. Dieser Tab ermöglicht es, in Verbindung mit den in Kapitel 9 und Abschnitt 10.2 beschriebenen Hardware- und Softwarekomponenten, die in Abbildung 10.2 gezeigte Darstellung des zeitlichen Verlaufs von bis zu vier beliebig wählbaren Größen, die im FPGA verfügbar sind anzuzeigen. Die Zeitachse des Oszilloskopes ist dabei derart auf die Netzspannung der Phase u synchronisiert, dass der Nulldurchgang mit dem Wert $t=0$ auf der Zeitachse des Oszilloskopes zusammenfällt.

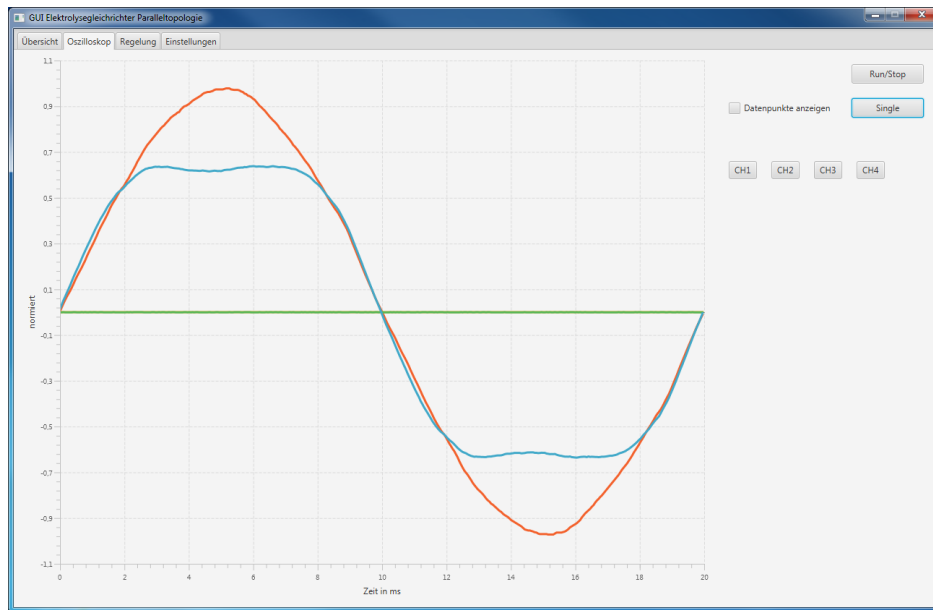


Abbildung 10.2: Bildschirmfoto des Tabs Oszilloskop der grafischen Oberfläche

10.1.4 Klasse Regelung

Um die Einstellparameter des Regelsystems zu justieren, wurde die "Klasse Regelung" entwickelt, über die der Tab Regler realisiert ist. Dieser Tab der Oberfläche, der in Abbildung 10.3 dargestellt ist, ermöglicht es, alle Einstellparameter der Regler in Echtzeit zu variieren.

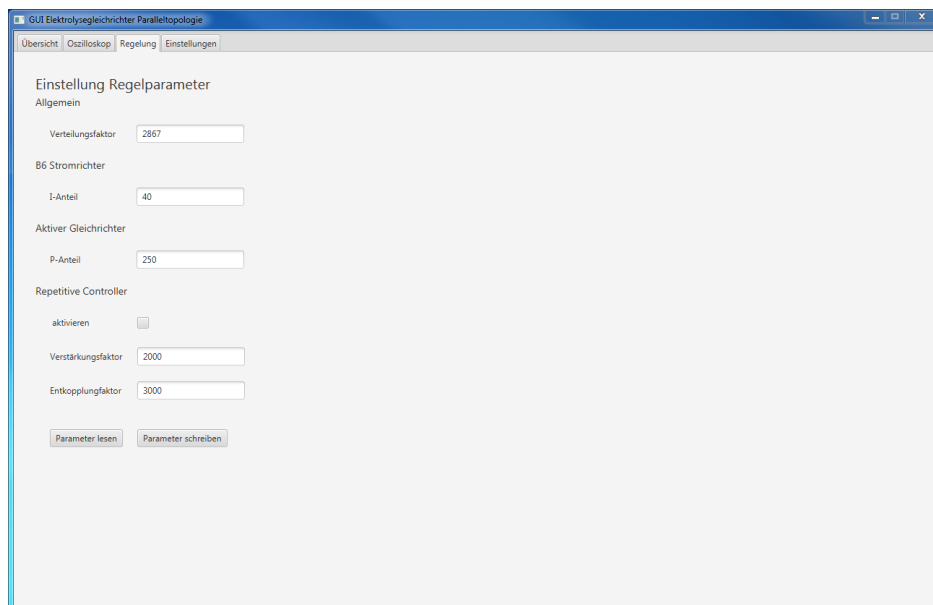


Abbildung 10.3: Bildschirmfoto des Tabs Regelung der grafischen Oberfläche

Hierbei sind jedoch stets im Voraus die Auswirkungen auf das Regelsystem genauestens abzuwägen. Besonders ist dabei die Art der Implementierung der Integrier zu beachten.

10.1.5 Klasse Einstellungen

Der letzte Tab trägt den Namen Einstellungen und ist durch die Klasse Einstellungen realisiert. Über diesen Tab werden die Einstellungen für die Kommunikationsschnittstelle vorgenommen. Dies geschieht über zwei in Abbildung 10.4 erkennbare Auswahlfelder auf der rechten Seite. Über das erste wird die serielle Schnittstelle ausgewählt, über welche die FPGA-Karte mit dem Steuerrechner verbunden ist. Im zweiten Auswahlfeld wird die Baudrate festgelegt. Diese ist standardmäßig auf einen Wert von 115200 Baud gesetzt. Eine Änderung der Baudrate ist möglich, dazu muss jedoch der Taktteiler des NIOS II Prozessors zuvor entsprechend angepasst werden. Auf der linken Seite ist eine Konsole vorhanden, auf der Meldungen ausgegeben werden können.

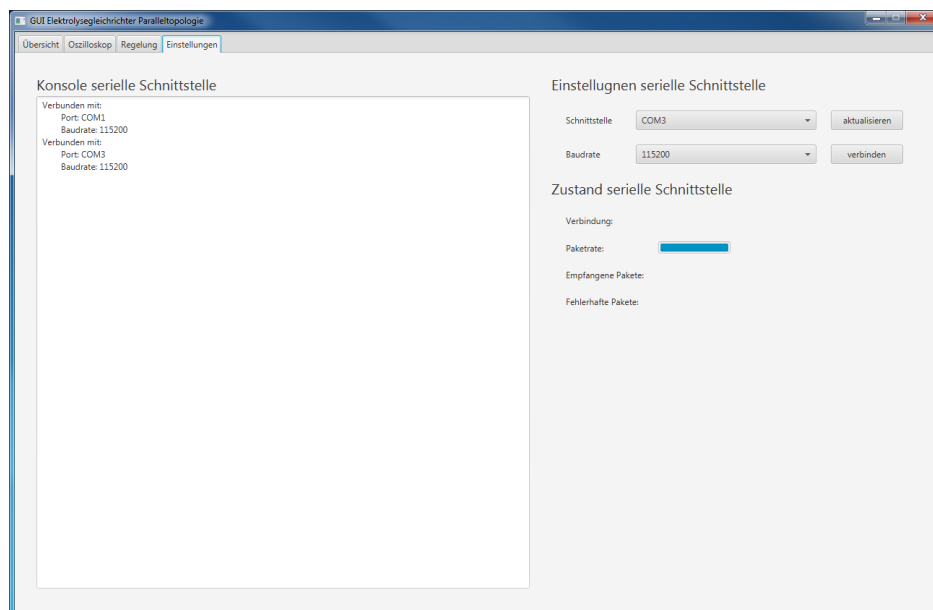


Abbildung 10.4: Bildschirmfoto des Tabs Einstellungen der grafischen Oberfläche

10.1.6 Klasse Kommunikationsschnittstelle

Die letzte Klasse ist für die Kommunikation über die serielle Schnittstelle zuständig. Die benötigten Treiber und Schnittstellen zum Betriebssystem werden von der Bibliothek "Java Simple Serial Connector" kurz "JSSC" bereitgestellt. Innerhalb der Klasse wird das im Unterabschnitt 10.1.7 erläuterte Kommunikationsprotokoll realisiert.

10.1.7 Kommunikationsprotokoll

Das Kommunikationsprotokoll wurde als Master Slave Protokoll konzipiert. Der Steuerrechner ist dabei der Master und der NIOS II Prozessor der Slave. Die Kommunikation erfolgt auf der Basis des Austausches von Paketen, die ASCII Zeichenketten enthalten. Die einzelnen Zeichenketten werden mittels "line feed" und "new line" terminiert. Die Datenpakete werden in drei Arten von Paketen unterteilt:

- Steuerpakete

Steuerpakete enthalten Anweisungen oder Daten. Der Master kann Zahlenwerte mittels eines Steuerpaketes an den Slave senden, der Slave jedoch keine Zahlenwerte an den Master. Jede Datenübertragung beginnt mit einem Steuerpaket, das vom Master ausgesendet wird.

- Zahlenpakete

Zahlenpakete dienen dazu, Zahlenwerte vom Slave an den Master zu übertragen. Sie enthalten den Namen des zu übertragenden Datums sowie dessen Wert, durch ein Komma getrennt.

- Oszilloskopdatenpakete

Das Oszilloskopdatenpakete stellt eine Sonderform des Zahlenpakets dar und dient dazu, die großen Mengen an Messdaten ohne Overhead an den Master zu senden. Dies ist möglich, da die Anzahl der Messwerte in einem Oszilloskopdatenpaket konstant ist. Die Daten werden durch Kommata getrennt übertragen.

Die möglichen Pakete für eine Kommunikation sind in Tabelle 10.1.7 aufgelistet.

Absender	Zeichenkette 1	Zeichenkette 2	Zeichenkette 3	Bedeutung
Steuerpakete				
Master	transmit	enable	check/uncheck	Softwarefreigabe schreiben
Master	transmit	power	Wert (int)	Sollleistung schreiben
Master	transmit	powerActive	Wert (int)	Sollkompensationsgrad schreiben
Master	transmit	cosPhi	Wert (int)	Sollwert $\cos(\varphi)$ schreiben
Master	transmit	CPATX	Wert (5x int)	Einstellparameter schreiben
Master	receive	SST	-	Zustand der Schütze anfragen
Master	receive	CPA	-	Einstellparameter anfragen
Master	receive	SCD	-	Oszilloskopdaten anfragen
Slave	hs1_closed/hs1_open	-	-	Zustand der Schütze
Slave	hs2_closed/ hs2_open	-	-	Zahlenpaket ankündigen
Slave	valueMode	-	-	Oszilloskopdatenpaket ankündigen
Slave	scopemode	-	-	Oszilloskopdatenpaket ankündigen
Zahlenpaket				
Slave	Name (String)	Wert (int)	-	Zahlenpaket senden
Oszilloskopdatenpaket				
Slave	Werte (int,...,int)	-	-	Oszilloskopdatenpaket senden

Tabelle 10.1: Kommunikationsprotokoll zwischen Steuerrechner und NIOS II

Der Protokollablauf mittels der in Tabelle 10.1 beschriebenen Pakete gestaltet sich folgendermaßen:

1. Der Master initiiert eine Übertragung durch das Aussenden eines Steuerpaketes.
2. Beginnt ein Steuerpaket mit "transmit", möchte der Master Daten an den Slave senden. Der Slave führt nach Empfang des Steuerpaketes die darin beschriebene Aktion aus und die Übertragung wird beendet. Handelt es sich um ein Steuerpaket, das mit "receive" beginnt, möchte der Master Daten empfangen.
3. Auf die Empfangsanfrage des Masters antwortet der Slave durch Senden eines Steuerpaketes. Dieses enthält entweder die gewünschten Daten und die Übertragung wird nachdem der Master das Steuerpaket empfangen hat beendet oder der Slave teilt dem Master über das Steuerpaket mit, dass Daten in Form eines Zahlenpaketes oder Oszilloskopdatenpaketes übertragen werden sollen.
4. Nachdem der Master ein Steuerpaket des Slaves empfangen hat, wird je nach Inhalt des Steuerpaketes entweder das enthaltene Datum in Empfang genommen und die Übertragung beendet oder der Master bereitet den Empfang des Zahlen- beziehungsweise Oszilloskopdatenpaketes vor.
5. Empfängt der Master ein Zahlenpaket, wird zunächst der Name des übertragenen Datums aus dem Zahlenpaket ausgelesen, so dass der Master die empfangenen Daten zuordnen kann. Wurde ein Oszilloskopdatenpaket angekündigt, werden die nachfolgenden 1536 Zahlenwerte vom Master empfangen und in fester Reihenfolge dem zugehörigen Oszilloskopkanal zugeordnet. Danach ist die Übertragung beendet und der Master ist bereit, eine neue Übertragung zu initiieren.

Des Weiteren ist das Protokoll so gestaltet, dass Anfragen des Masters nicht unmittelbar beantwortet werden müssen. Dadurch wird der Master nicht durch das Warten auf die Antwort einer Anfrage blockiert. Somit ist es möglich, dass der Master weitere Anfragen sendet, bevor er die Antwort des Slave erhalten hat. Da der Slave eine Antwort an den Master immer mit einem Steuerpaket beginnt, ist eine eindeutige Zuordnung der Daten beim Master sichergestellt, auch wenn einzelne Pakete verloren gehen oder unvollständig sind.

10.2 NIOS II Software

Die Software für den NIOS II Prozessor wurde in C erstellt. Als Entwicklungsumgebung kam ebenfalls Eclipse zum Einsatz, in diesem Fall allerdings eine von Intel/Altera speziell für die Programmierung des NIOS II Prozessor angepassten Version, die Grundgerüste für die Programmierung bereitstellt. Der noch zu schreibende Teil des Programms ist sehr kompakt und kann daher in einer einzigen ".c" Datei mit dem Namen "NIOS_II_software.c" untergebracht werden.

Das Programm besitzt drei Aufgaben. Diese sind:

- Die Kommunikation mit dem Steuerrechner über die serielle Schnittstelle in der Rolle des Slaves
- Das Lesen und Schreiben der Register für Einstellparameter und Führungs- und Steuergrößen
- Das Auslesen der Oszilloskopdaten aus dem Speicher des FPGAs

Der Aufbau des Programms gliedert sich in zwei Teile, eine Initialisierung und die Programmschleife, in der die folgenden Abläufe stattfinden:

1. Die Standardwerte der Eigenschaftsparameter werden in die entsprechenden Register geschrieben.
2. Alle Register mit Führungsgrößen werden auf Null gesetzt.
3. Die serielle Schnittstelle wird geöffnet und deren Baudrate gesetzt.

Im Anschluss daran beginnt eine Endlosschleife, in der die nachfolgenden Abläufe stattfinden:

1. Überprüfen, ob ein neuer Satz von Oszilloskopdaten verfügbar ist. Wenn ja, werden diese aus dem Speicher des FPGA in den Arbeitsspeicherbaustein des NIOS II geladen.
2. Im Anschluss wird abgefragt, ob neue Daten über die serielle Schnittstelle empfangen wurden. Falls ja, wird das Kommunikationsprotokoll abgearbeitet.
3. Im Anschluss daran werden, wenn nötig, Register mit den empfangenen Daten beschrieben.

11 Inbetriebnahme

11.1 Inbetriebnahme des B6-Thyristorstromrichters

Die Inbetriebnahme des B6-Thyristorstromrichters lief weitgehend problemlos ab. Das bis zu diesem Zeitpunkt noch wenig erprobte Thyristorhalbbrückenmodul aus Kapitel 7 arbeitet fehlerfrei. Der mit dem Thyristorhalbbrückenmodul ebenfalls in Kapitel 7 vorgestellte B6-Thyristorstromrichter konnte problemlos bis zu seiner geplanten Nennleistung von 10 Kilowatt bei einer Ausgangsspannung von 180 Volt in eine Ohmsche Last getestet werden. Es gilt einzig zu beachten, die Dauer der am Signaleingang anliegenden Impulse nicht unnötig lange anliegen zu lassen oder gar ein dauerhaftes EIN-Signal anzulegen, da ansonsten die Strombegrenzungswiderstände und der Übertrager überhitzen.

11.2 Inbetriebnahme des aktiver Gleich- und Wechselrichter

Bei der Inbetriebnahme des aktiven Gleich- und Wechselrichters hingegen traten deutlich mehr Probleme auf. Zunächst stellte sich heraus, dass sich durch die primärseitige Messung der Ströme, die der aktive Gleich- und Wechselrichter dem Versorgungsnetz entnimmt, minimale, in der Praxis unvermeidbare asymmetrische Verhältnisse auftreten. Dadurch ergibt sich nach wenigen Sekunden eine erhebliche Nullkomponente auf der Sekundärseite des Transformators. Da diese Nullkomponente vom Transformator nicht auf die Primärseite transformiert wird, kann das Regelsystem der Ausbildung dieser Nullkomponente nicht entgegenwirken. Die Folge ist, dass die Ströme durch die Ventile des aktiven Gleich- und Wechselrichters so weit ansteigen, dass diese letztendlich zerstört werden. Durch die Verlegung der Strommessung des aktiven Gleich- und Wechselrichters auf die Sekundärseite des Transformators konnte das Problem der sich ausbildenden Nullkomponente gelöst werden. Allerdings hat die Verlegung der Strommessung auf die Sekundärseite zur Folge, dass weder der Magnetisierungsstrom des Transformators noch der Strom, der dem Versorgungsnetz

durch die auftretenden Eisenverluste entnommen wird, durch die Regelung berücksichtigt werden kann. Da diese Ströme jedoch im Vergleich zum Strom durch die Streuinduktivität geringe Amplituden besitzen und zudem einen näherungsweise sinusförmigen zeitlichen Verlauf aufweisen, ist es möglich, die Auswirkungen dieser Ströme durch eine geeignete Korrektur des Sollleistungsfaktors des Regelsystems zu korrigieren. Eine weitere Schwierigkeit, die bei der Inbetriebnahme des aktiven Gleich- und Wechselrichters auftrat, war, dass für die nach dem Deadbeat-Verfahren berechneten Einstellparameter des Zustandsreglers, dieser ein instabiles Verhalten aufwies. Aus diesem Grund wurde empirisch ein Satz von Einstellparametern für den Zustandsregler bestimmt, für den das Regelsystem ein stabiles Verhalten in Kombination mit einer hohen Dynamik aufweist. Eine Möglichkeit zur Verbesserung ist es, den Zustandsregler unter Berücksichtigung der synchronisierten Stellgrößenausgabe neu auszulegen. Darauf wurde jedoch aus zeitlichen Gründen im Rahmen dieser Arbeit verzichtet. Ein unschöner, aber wenig problematischer Effekt, der während der Inbetriebnahme entdeckt wurde, ist, dass die Doppelabtastung des Stromes trotz einer sorgfältigen Kalibrierung für den Strom zum Zeitpunkt, in dem das Referenzsignal den Wert zur Auslösung der Abtastungen erreicht, sich minimal von dem Wert unterscheidet, der beim Minimum des Referenzsignals abgetastet wird. Die Ursache hierfür ist vermutlich darauf zurückzuführen, dass, wie in den in Kapitel 11 dargestellten Messergebnissen, Stromschwankungsbreiten von bis zu 35 Ampere auftreten, die in Verbindung mit minimalen Abweichungen im Gesamtsystem zu dieser Abweichung führt. Da jedoch trotz des Fehlers sehr gute Messergebnisse erzielt werden konnten, scheint der Fehler praktisch vernachlässigbar klein zu sein. Der Grund, weshalb dieser Fehler trotzdem erwähnenswert ist, liegt darin, dass durch ihn eine interessante Beobachtung bezüglich des Prototype Repetitive Controllers gemacht werden konnte. In Messungen über die in Kapitel 9 vorgestellte Software zeigte sich, dass der implementierte Prototype Repetitive Controller den vermeintlich sich mit halber Abtastfrequenz ändernden Strom derart ausregeln kann, dass die abgetasteten Werte im eingeschwungenen Zustand exakt auf der Führungsgröße liegen. Dies bedeutet, dass der Prototype Repetitive Controller bis zur maximalen, durch das Nyquisttheorem vorgegebenen Grenzfrequenz, korrekt arbeitet.

12 Messergebnisse

Inhalt dieses Kapitels sind die Messungen am zuvor vorgestellten Demonstrationsaufbau. Zunächst werden dabei der B6-Thyristorstromrichter und der aktive Gleich- und Wechselrichter einzeln vermessen. Diese Messergebnisse dienen bei der anschließenden Vermessung des Gleichrichters in Paralleltopologie als Referenzwerte. Bei allen Messungen kommt das in Kapitel 4 vorgestellte Regelsystem zum Einsatz. Außerdem wird für alle Messungen eine Führungsgröße beziehungsweise ein Sprung in der Führungsgröße auf 5 Kilowatt gleichstromseitiger Ausgangsleistung vorgegeben. Der Verteilungsfaktor für den Gleichrichter in Paralleltopologie wird für alle Messungen so gewählt, dass 70 Prozent der gleichstromseitigen Ausgangsleistung vom B6-Thyristorstromrichter und 30 Prozent vom aktiven Gleich- und Wechselrichter getragen werden.

12.1 Messergebnisse B6-Thyristorstromrichter

12.1.1 Messergebnisse Netzgrößen

Die zeitlichen Verläufe der Ströme, die dem Versorgungsnetz vom B6-Thyristorstromrichter entnommen werden, weisen einen eindeutig nicht sinusförmigen zeitlichen Verlauf auf. Stattdessen handelt es sich, wie in Abbildung 12.1 zu sehen, um die Superposition aus je zwei Teilströmen pro Phase.

Der erste Teilstrom ist der Strom, welcher durch die Thyristoren fließt. Dieser Strom ist periodisch und weist pro Netzperiode in Summe vier stark ausgeprägte Maxima und Minima auf. Dies begründet sich dadurch, dass die Glättungsdrossel mit einer Induktivität von einem Millihenry klein und die gleichstromseitig abgenommene Leistung mit 5 kW gering ist. Die unterschiedlichen Amplituden der Minima und Maxima sind auf die Regelung des ausgangseitigen Gleichstroms zurückzuführen und besitzen zwei Ursachen. Zum einen hat bereits eine minimale Veränderung des Zündwinkels aufgrund der geringen Induktivität der Ausgangsdrossel eine erhebliche Auswirkung auf den Leistungsfluss. Zum anderen ist die Dynamik der Regelung durch das gleitende Mittelwertfilter über eine Netzperiode einge-

schränkt. Dieses Verhalten ist jedoch akzeptabel, da trotz allem im arithmetischen Mittel über eine Netzperiode der korrekte Ausgangsstrom eingestellt wird. Der zweite Teilstrom ist der Magnetisierungsstrom des Stromrichtertransformators. Dieser weist einen näherungsweise sinusförmigen zeitlichen Verlauf mit geringer Amplitude auf und besitzt eine Phasenverschiebung zur Netzspannung.

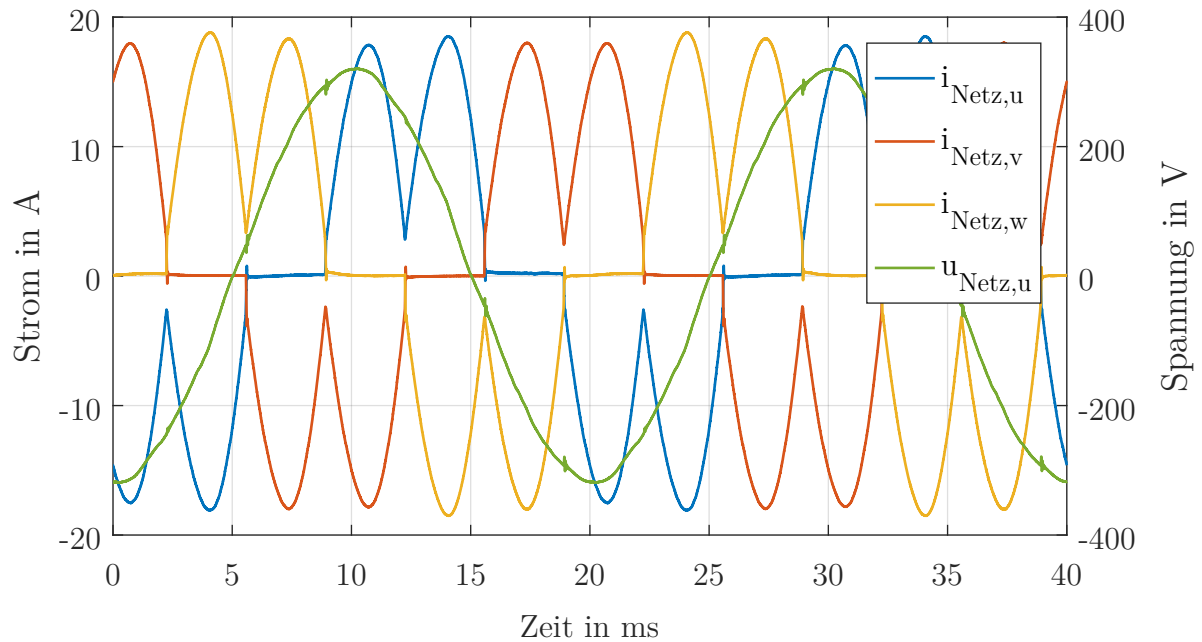


Abbildung 12.1: Netzströme des B6-Thyristorstromrichters im eingeschwungenen Zustand und Einzelbetrieb

Abbildung 12.2 zeigt das Einschwingverhalten der Regelung des B6-Thyristorstromrichters nach einem Sprung in der Führungsgröße von 0 auf 5 Kilowatt. Der verwendete, in Abschnitt 4.3.2 vorgestellte I-Regler weist ein Einschwingverhalten ohne Überschwingen auf. Die aus der Messung bestimmbare Einschwingdauer beträgt 300 ms. Dabei ist jedoch zu beachten, dass bei dieser Messung die gleichstromseitige Ausgangsspannung zur Nachbildung des Elektrolyse-Stacks über ein Zweiquadrantennetzteil fest eingepreßt wurde. Dadurch wird die Dynamik des Reglers maßgeblich beeinträchtigt. Der Grund dafür ist, dass durch das Einprägen der gleichstromseitigen Ausgangsspannung ein Totband entsteht, in dem eine Erhöhung der Stellgröße keinen Einfluss auf die Regelgröße hat, da für kleine Zündwinkel α die gleichstromseitige Ausgangsspannung des B6-Thyristorstromrichters kleiner der durch das Zweiquadrantennetzteil eingepreßten Spannung ist. Dies stellt eine zusätzliche Abhängigkeit dar, deren Auswirkung eine sehr langsame Vergrößerung der Amplitude im Bereich bis 100

ms ist. Nachdem das Totband überwunden ist, setzt jedoch das gewünschte Einschwingverhalten ein.

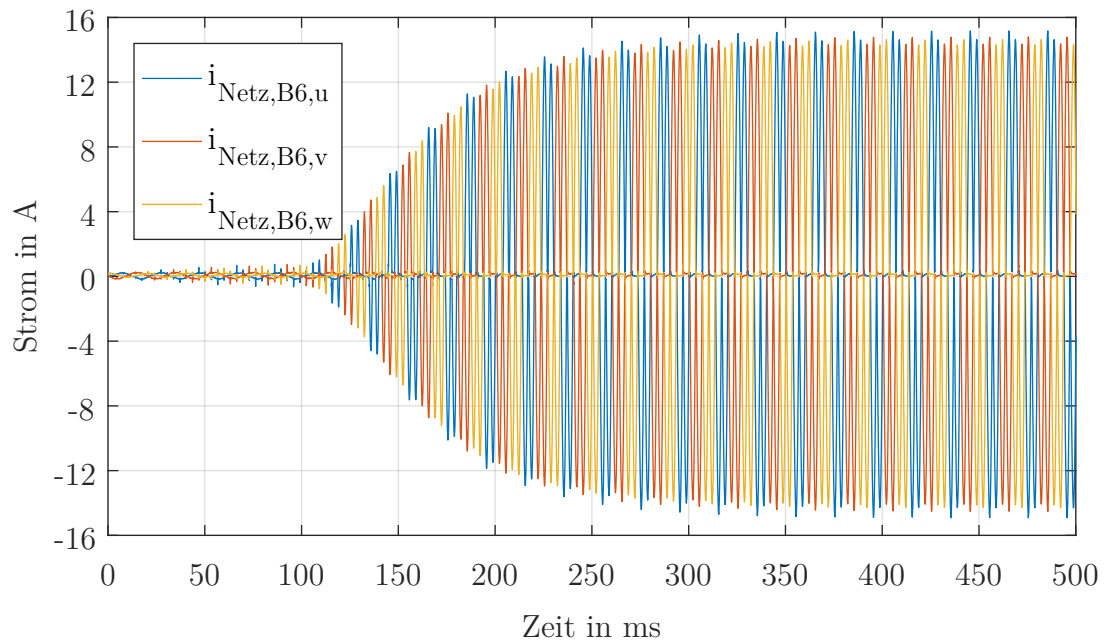


Abbildung 12.2: Netzströme des B6-Thyristorstromrichters während des Einschwingens im Einzelbetrieb

12.1.2 Messergebnisse Gleichgrößen

Die ausgangsseitigen Gleichgrößen des B6-Thyristorstromrichters, welche in Abbildung 12.3 in blau und gelb dargestellt sind, weisen stark ausgeprägte Wechselanteile auf, die den zugehörigen Gleichanteilen überlagert sind. Die Ursache hierfür ist durch die Betrachtung des ebenfalls in Abbildung 12.3 orange dargestellten Stroms durch die Glättungsdrossel des B6-Thyristorstromrichters zu erklären. Der Strom durch die Glättungsdrossel weist pro Netzperiode sechs Strompulse auf, mit denen der ausgangsseitige Zwischenkreiskondensator nachgeladen wird. Ist der Strom durch die Glättungsdrossel kleiner als der gleichstromseitige Ausgangsstrom, so wird die benötigte Energie um die Stromdifferenz auszugleichen vom Zwischenkreiskondensator bereitgestellt. Das Ergebnis ist ein Wechselanteil in der gleichstromseitigen Ausgangsspannung. Da die angeschlossene Last zur Nachbildung des Elektrolyse-Stacks aus einem Widerstand und einer Gleichspannungsquelle besteht, folgt der ausgangsseitige Gleichstrom dem Verlauf der Zwischenkreisspannung.

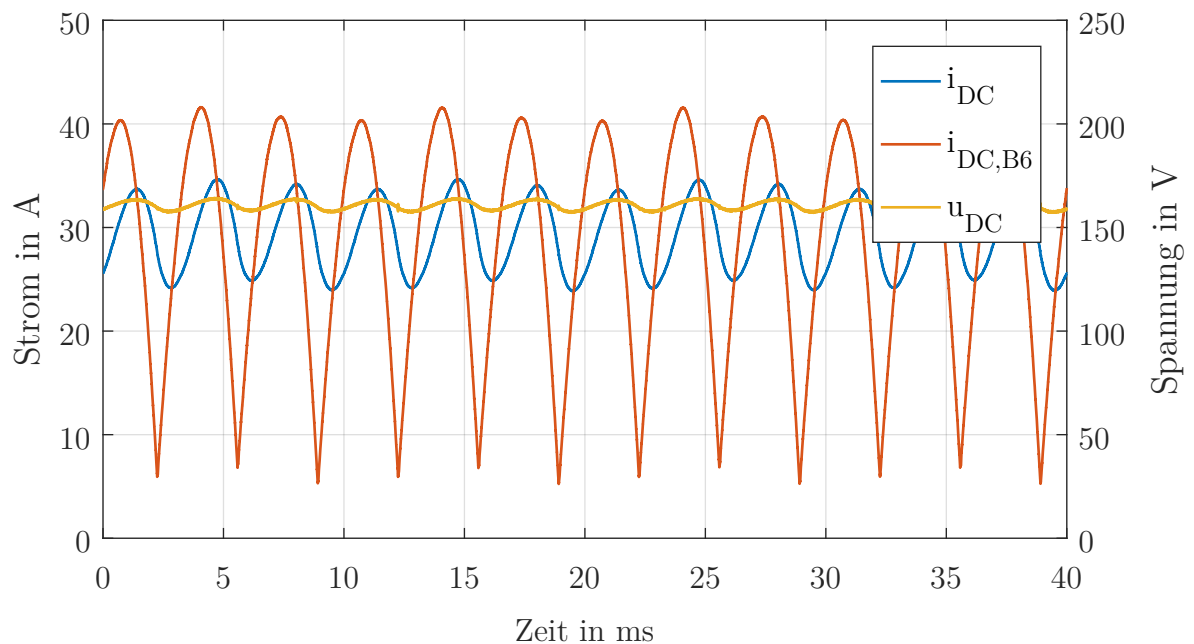


Abbildung 12.3: Ausgangsseitige Gleichgrößen des B6-Thyristorstromrichters im eingeschwungenen Zustand

12.2 Messergebnisse aktiver Gleich- und Wechselrichter

12.2.1 Messergebnisse Netzgrößen

Die Messergebnisse für die Ströme, die der aktive Gleich- und Wechselrichter dem Versorgungsnetz entnimmt, weisen sinusförmige zeitliche Verläufe auf, denen die Stromschwankungen des Zweipunktwechselrichters überlagert sind. Durch das Betrachten der in grün dargestellten Spannung der Phase u und dem zugehörigen in blau dargestellten Strom ist aus Abbildung 12.4 zu erkennen, dass keine nennenswerte Phasenverschiebung zwischen der Spannung und dem Strom der zugehörigen Phase auftritt. Um die Übersichtlichkeit der Abbildung zu erhalten, wurde auf die Darstellung der Spannung der Phase v und w verzichtet. Es zeichnet sich jedoch auch für diese ein identisches Bild ab. Erwähnenswert ist auch der hochfrequente Anteil, welcher der Spannung des Versorgungsnetzes überlagert ist. Dieser wird dadurch verursacht, dass die geringe Impedanz des Transformators zusammen mit der Impedanz des Versorgungsnetzes einen Spannungsteiler bildet und somit ein Teil der Spannung über der Impedanz des Versorgungsnetzes abfällt.

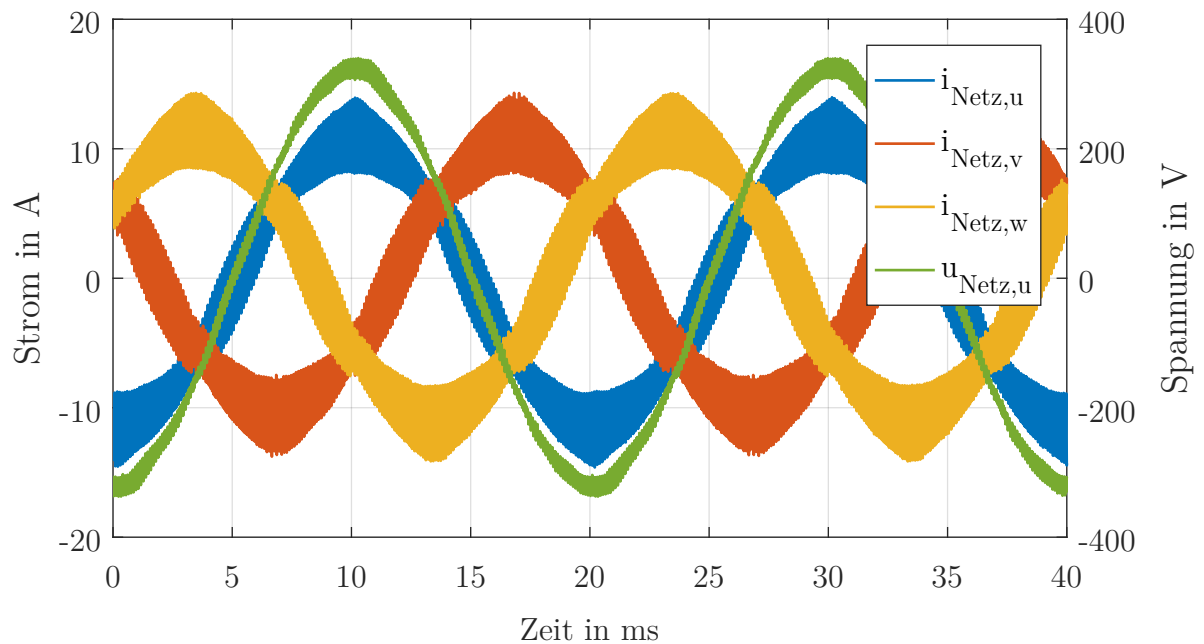


Abbildung 12.4: Netzströme des aktiven Gleich- und Wechselrichters

Das Einschwingverhalten des Reglers des aktiven Gleich- und Wechselrichters ist in Abbildung 12.5 abgebildet. Wie deutlich zu sehen ist, schwingt der Regler innerhalb weniger Pulsperioden ein. Bei genauerer Betrachtung kann die Anzahl der Pulsperioden bis zum eingeschwungenen Zustand zu fünf bestimmt werden. Obwohl die Einstellparameter, wie in Kapitel 11 beschrieben, nicht nach dem "Dead-Beat-Verfahren" eingestellt werden konnten, ist die erzielte Dynamik des Regelsystems sehr gut. Durch den überlagerten Prototype Repetitive Controller ist außerdem sichergestellt, dass die Amplitude der Ströme genau auf den geforderten Wert einschwingt.

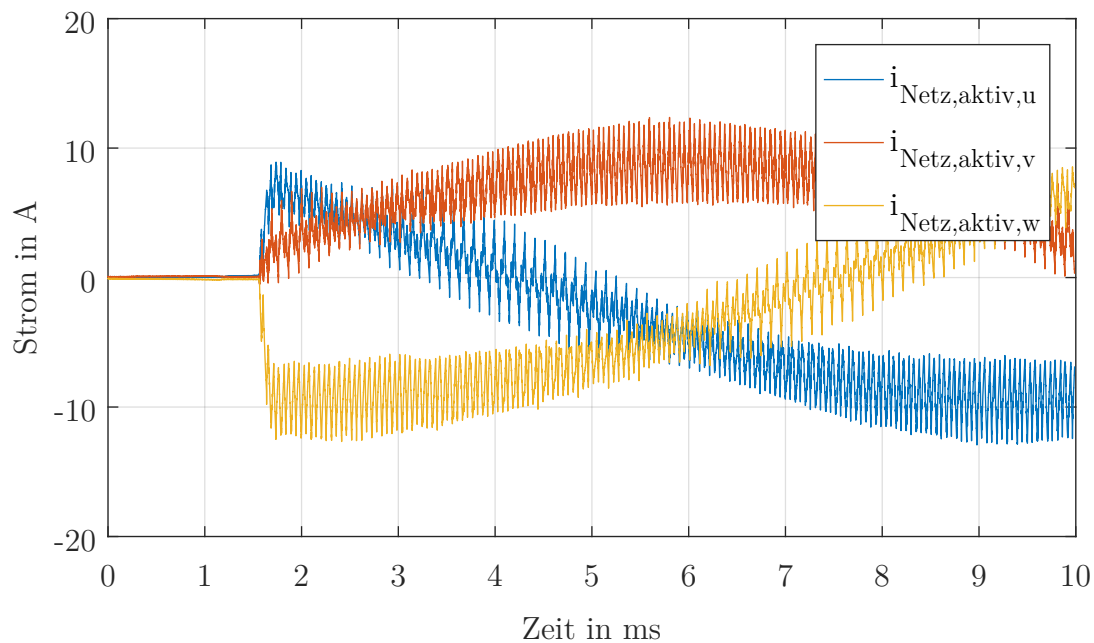


Abbildung 12.5: Netzströme des aktiven Gleich- und Wechselrichters bei einem Sprung der Führungsgröße von 0 auf 5 kW

12.2.2 Messergebnisse Gleichgrößen

Die Messung der gleichstromseitigen Ausgangsspannung und des gleichstromseitigen Ausgangsstromes zeigen näherungsweise konstante Messgrößen. Das hochfrequente Rauschen, das der Spannung u_{DC} überlagert ist, kann auf die Induktivität der circa 75 Zentimeter langen Verbindungsleitungen zu den Zwischenkreiskondensatoren auf der zweiten Ebene der Leistungselektronik zurückgeführt werden. Die Welligkeit im Strom i_{DC} weist die sechsfache Netzfrequenz auf und ist dadurch begründet, dass die Netzspannungen, wie beispielsweise in Abbildung 12.4 zu sehen, starke Verzerrungen aufweisen, wodurch die aufgenommene Leistung nicht konstant ist. Die Ströme aus dem Versorgungsnetz, die durch das Regelsystem eingestellt werden, konnten durch die Analyse des Frequenzspektrums in Kapitel 13 als Ursache ausgeschlossen werden.

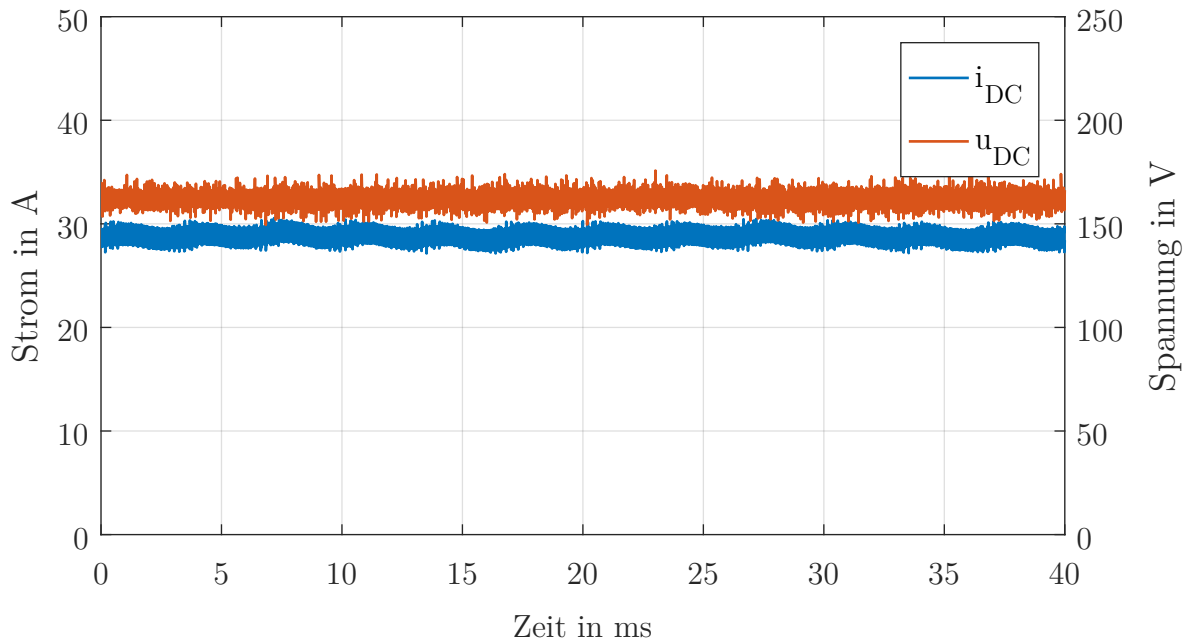


Abbildung 12.6: Ausgangsseitige Gleichgrößen des aktiven Gleich- und Wechselrichters im eingeschwungenen Zustand

12.3 Messergebnisse der Paralleltopologie ohne Prototype Repetitive Controller

12.3.1 Messergebnisse Netzgrößen

Die Messergebnisse der Ströme auf der Seite des Versorgungsnetzes des B6-Thyristorstromrichters in Paralleltopologie unterscheiden sich in zwei wesentlichen Punkten von denen im Einzelbetrieb. Zum einen ist die Amplitude der Ströme durch die Thyristoren verringert und der Zündverzögerungswinkel weist einen vergrößerten Wert auf, da der B6-Thyristorstromrichter in Paralleltopologie lediglich 70 Prozent des gesamten gleichstromseitigen Ausgangsstromes liefert. Zum anderen zeigt sich ein, im Vergleich zu den Strömen des B6-Thyristorstromrichters im Einzelbetrieb, hochfrequenter überlagerter Wechselanteil, welcher durch den von aktiven Gleich- und Wechselrichter erzeugten, hochfrequenten Anteil auf den Spannungen des Versorgungsnetzes erklärt werden kann.

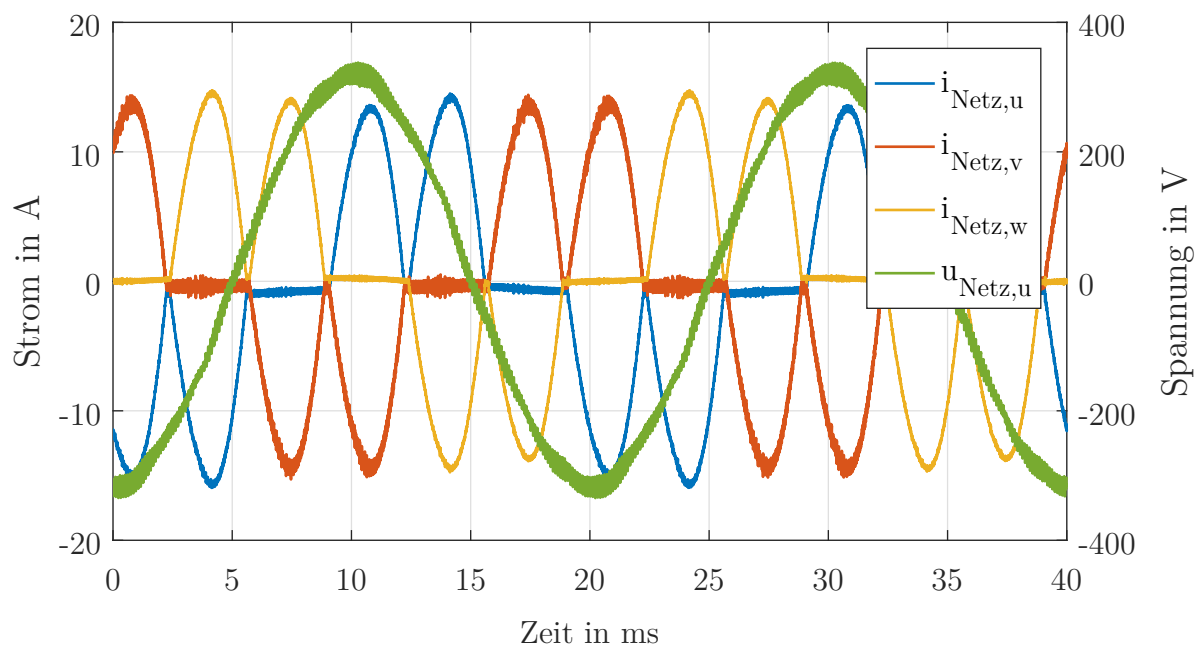


Abbildung 12.7: Netzgrößen des B6-Thyristorstromrichters in Paralleltopologie ohne Prototype Repetitive Controller

Die Ströme, die der aktive Gleich- und Wechselrichter dem Versorgungsnetz entnimmt, beziehungsweise in dieses zurückspeist, ähneln nun den Strömen, die nach dem in Kapitel 3 vorgestellten Prinzip der Paralleltopologie eingestellt werden müssen, um als Summenstrom von B6-Thyristorstromrichter und aktivem Gleich- und Wechselrichter einen sinusförmigen zeitlichen Verlauf zu erhalten.

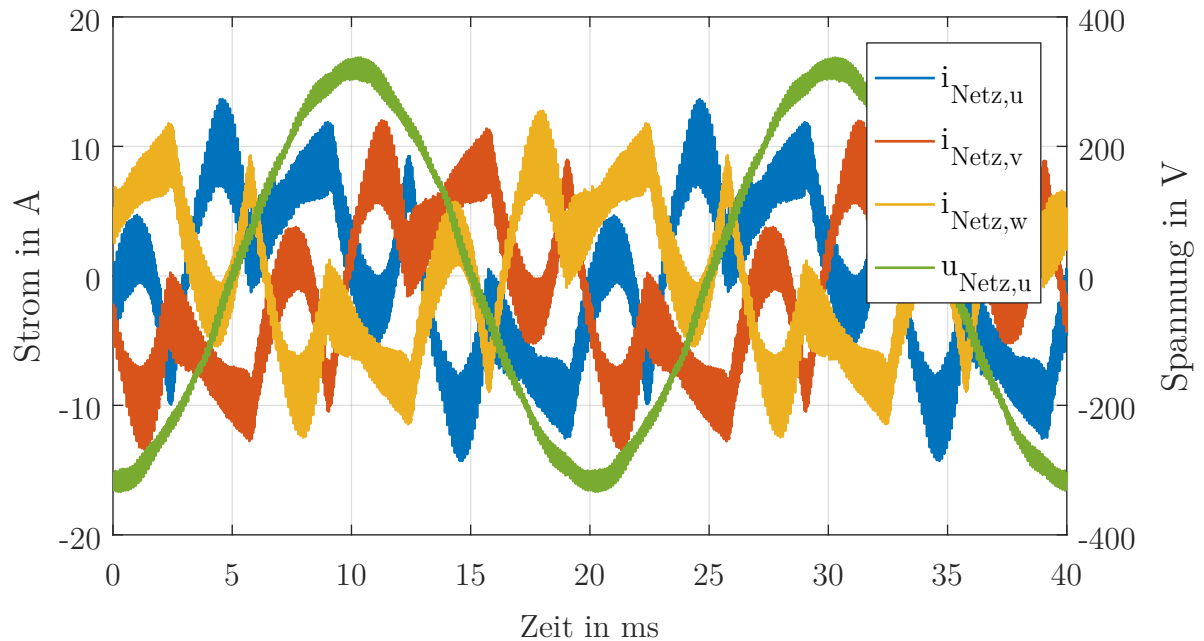


Abbildung 12.8: Netzgrößen des aktiven Gleich- und Wechselrichters in Paralleltopologie ohne Prototype Repetitive Controller

Abweichend vom idealen Strom ist erneut zu sehen, dass die Ströme, die durch den aktiven Gleich- und Wechselrichter fließen, eine überlagerte Stromschwankung aufweisen. Auch ist deutlich zu erkennen, wie während einer Netzperiode mehrfach zwischen Gleich- und Wechselrichterbetrieb gewechselt wird.

Abbildung 12.9 zeigt jedoch, dass die Dynamik des Zustandsreglers direkt nach der Zündung und dem Verlöschen eines Thyristors des B6-Thyristorstromrichter nicht ausreicht, um der geforderten Führungsgröße zu folgen. Abbildung 12.10 zeigt dieses Verhalten für alle drei Phasenströme aus dem Versorgungsnetz.

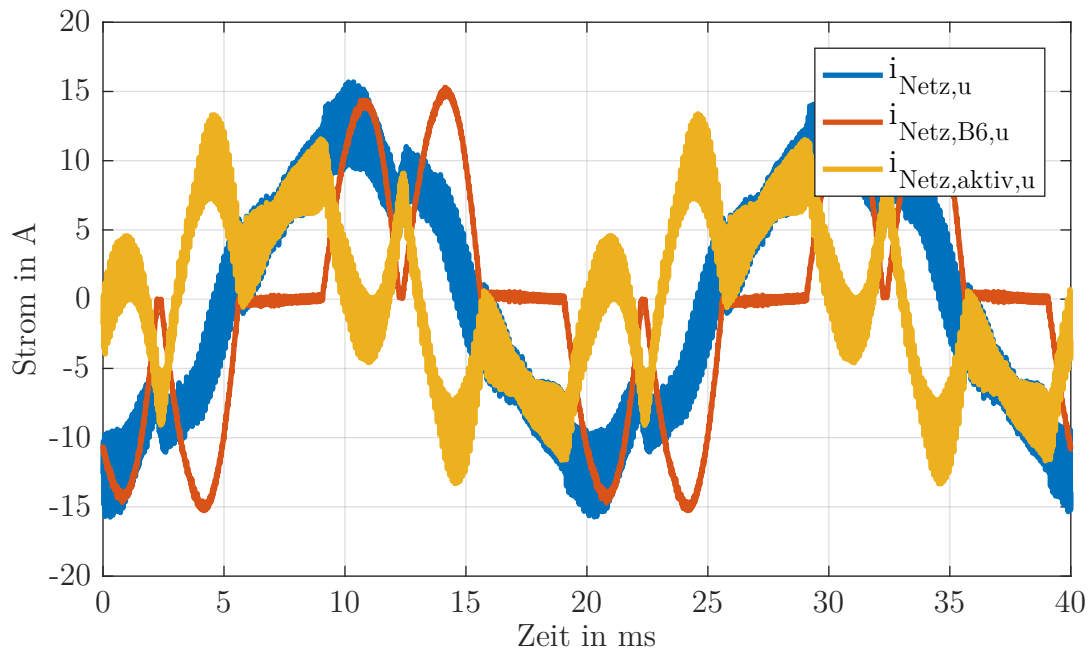


Abbildung 12.9: Überlagerung der Teilströme der Paralleltopologie ohne Prototype Repetitive Controller

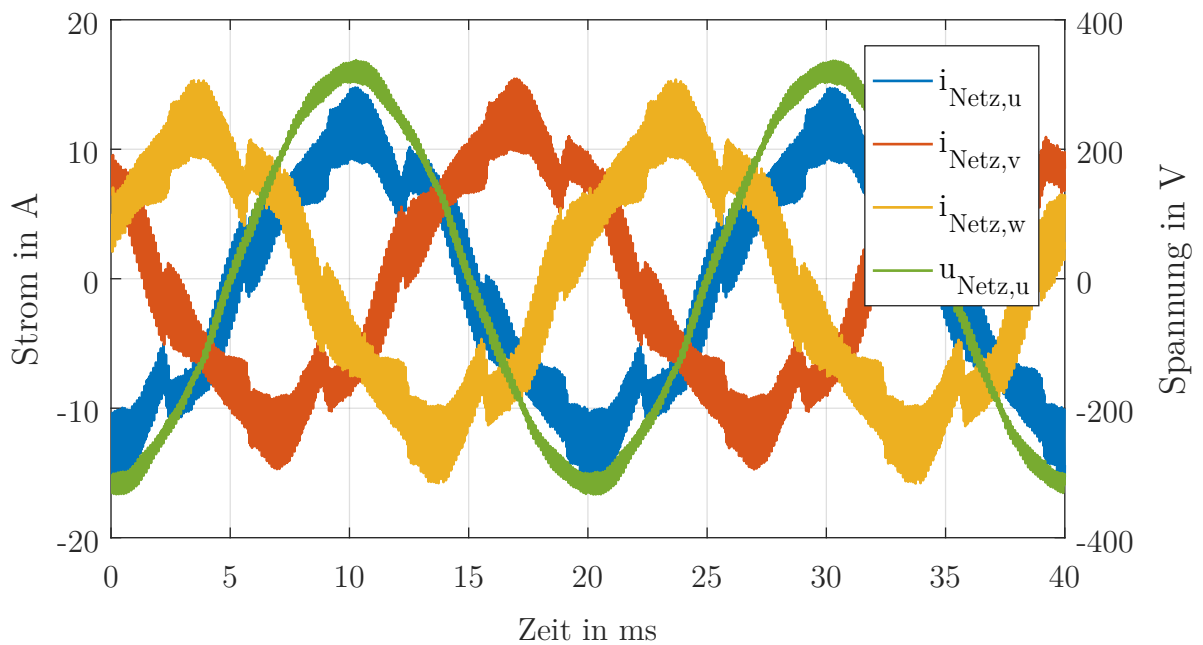


Abbildung 12.10: Netzströme der Paralleltopologie ohne Prototype Repetitive Controller

12.3.2 Messergebnisse Gleichgrößen

Auch in den Gleichgrößen zeigen sich die Auswirkungen der fehlenden Dynamik des Zustandsreglers, wie in Abbildung 12.11 zu sehen ist.

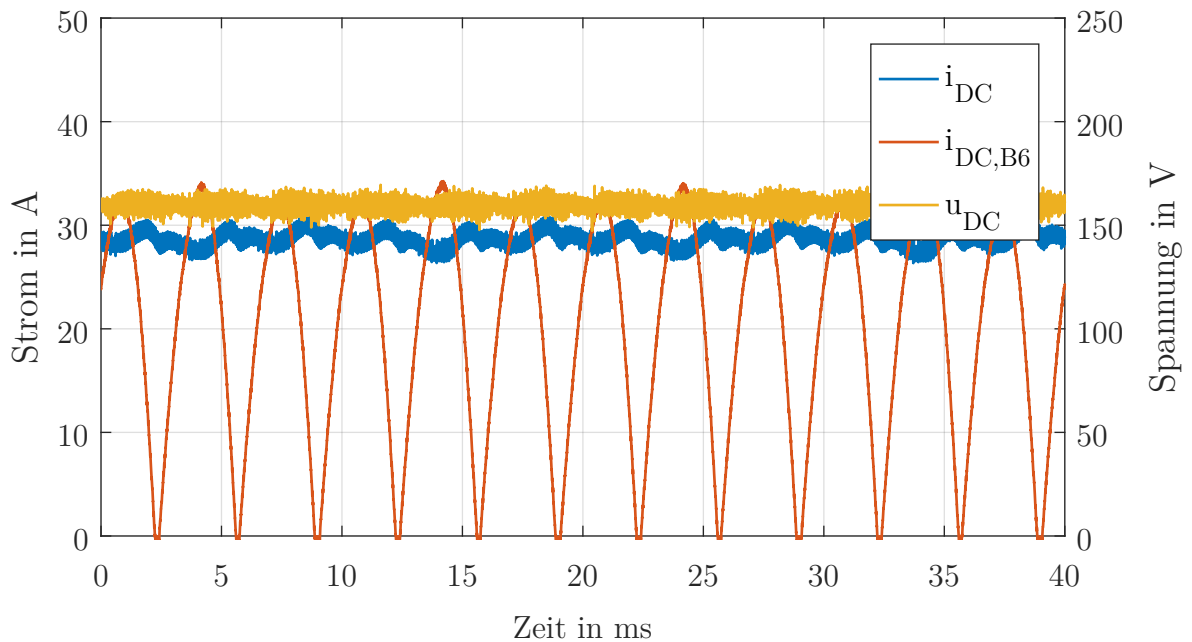


Abbildung 12.11: Gleichgrößen der Paralleltopologie ohne Prototype Repetitive Controller

Betrachtet man die ausgangsseitige Gleichspannung u_{DC} und den ausgangsseitigen Gleichstrom i_{DC} , so ist zu erkennen, dass diese zusätzlich zu dem bereits diskutierten hochfrequenten Rauschen, verursacht durch den aktiven Gleich- und Wechselrichter und dem Wechselanteil mit sechsfacher Netzfrequenz, verursacht durch den B6-Thyristorstromrichter, außerdem weitere Verzerrungen, die periodisch mit sechsfacher Netzfrequenz auftreten. Diese rühren daher, dass immer dann, wenn ein Thyristor gezündet wird, für einen kurzen Zeitintervall der dem Versorgungsnetz entnommene Strom zu groß und nach dem Verlöschen eines Thyristors der entnommene Strom zu klein ist. Für diese Zeitintervalle muss der Differenzstrom des ausgangsseitigen Gleichstromes daher durch die Zwischenkreiskapazität bereitgestellt werden, was eine Änderung der Zwischenkreisspannung und daraus resultierend eine Änderung im ausgangsseitigen Gleichstrom zur Folge hat.

12.4 Messergebnisse der Paralleltopologie mit Prototype Repetitive Controller

12.4.1 Messergebnisse Netzgrößen

Die Ströme, die der B6-Thyristorstromrichter in Paralleltopologie dem Versorgungsnetz entnimmt, wenn der Prototype Repetitive Controller des aktiven Gleich- und Wechselrichters aktiviert wird, zeigen keine erkennbaren Abweichungen, zu denen mit deaktiviertem Prototype Repetitive Controller.

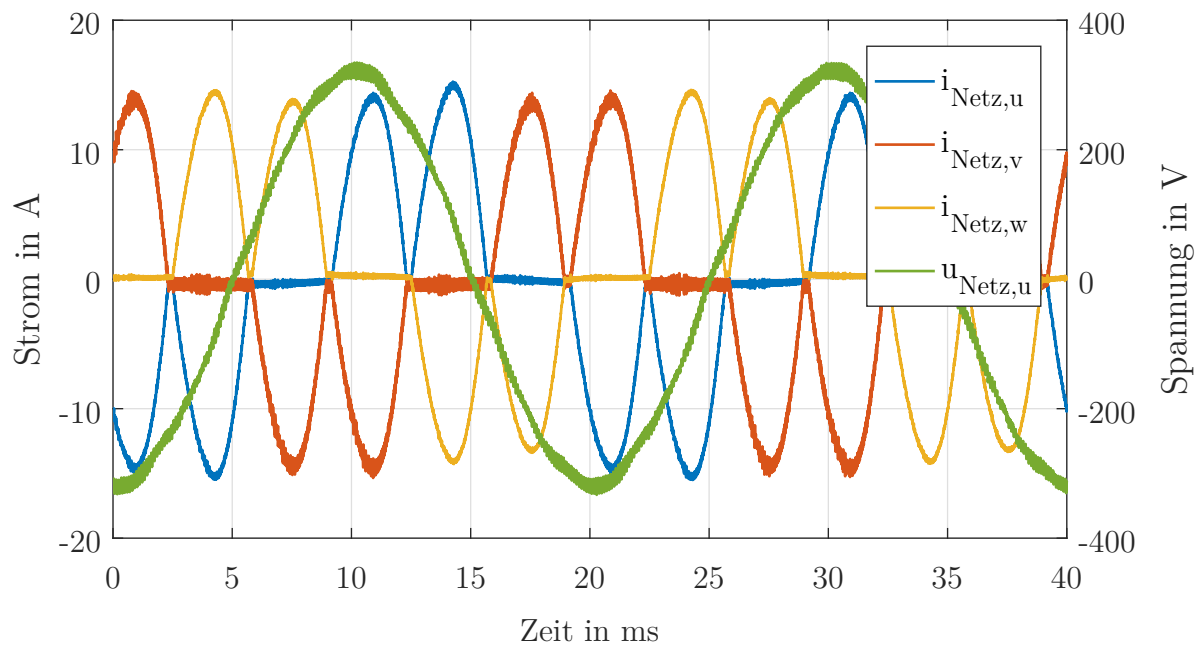


Abbildung 12.12: Netzgrößen des B6-Thyristorstromrichter in Paralleltopologie mit Prototype Repetitive Controller

Die Ströme des aktiven Gleich- und Wechselrichters in Abbildung 12.13 jedoch, zeigen im eingeschwungenen Zustand des Prototype Repetitive Controllers einen leicht veränderten zeitlichen Verlauf auf.

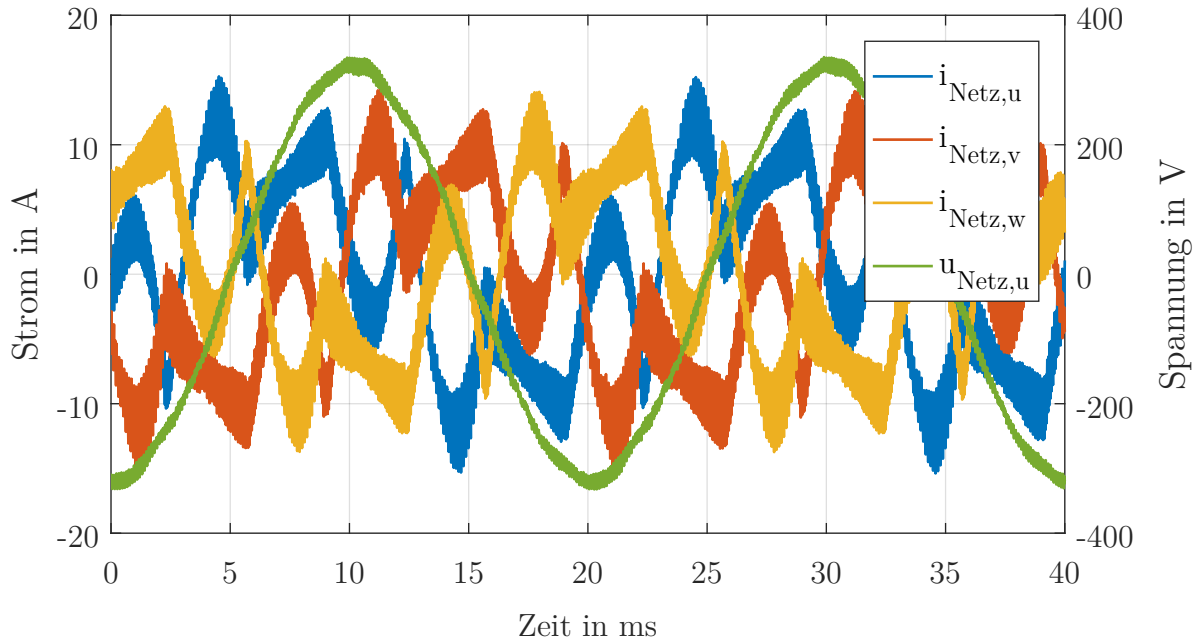


Abbildung 12.13: Netzgrößen des aktiven Gleich- und Wechselrichters in Paralleltopologie mit Prototype Repetitive Controller

Besonders deutlich sind die Veränderungen durch die Betrachtung von Abbildung 12.14 zu erkennen. Im Gegensatz zum Zustandsregler ist das Regelsystem mit Prototype Repetitive Controller dazu in der Lage, die Ströme aus dem Versorgungsnetz auch direkt nach der Zündung oder dem Verlöschen eines Thyristors auf die Führungsgröße einzuregeln, so dass eine ideale Überlagerung der Teilströme von B6-Thyristorstromrichter und aktivem Gleich- und Wechselrichter stattfindet. Die zeitlichen Verläufe der Ströme aus dem Versorgungsnetz in Abbildung 12.15, entsprechen nun nahezu denen des aktiven Gleich- und Wechselrichters aus Abbildung 12.4. Lediglich die Amplitude der hochfrequenten Stromschwankung über einer Netzperiode weist eine veränderte Verteilung auf. Die Erklärung hierfür liegt darin, dass der zeitliche Verlauf der Einschaltdauer sich über einer Netzperiode maßgeblich von dem des Einzelbetriebs des aktiven Gleich- und Wechselrichters unterscheidet und die Stromschwankungsbreite eine Funktion der Einschaltdauer ist.

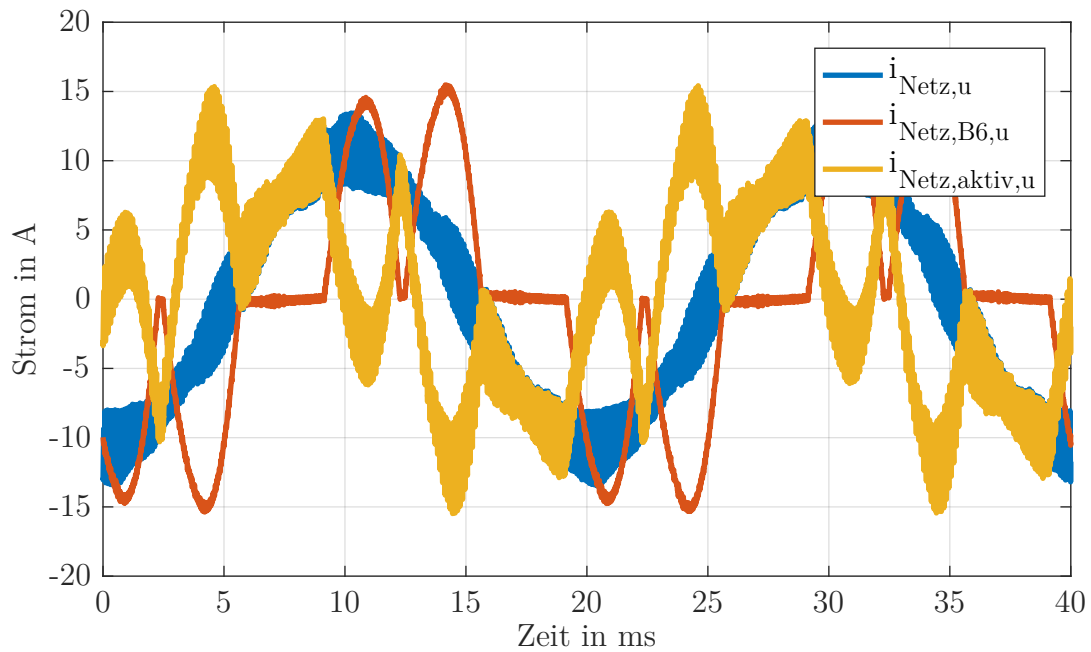


Abbildung 12.14: Überlagerung der Teilströme der Paralleltopologie mit Prototype Repetitive Controller

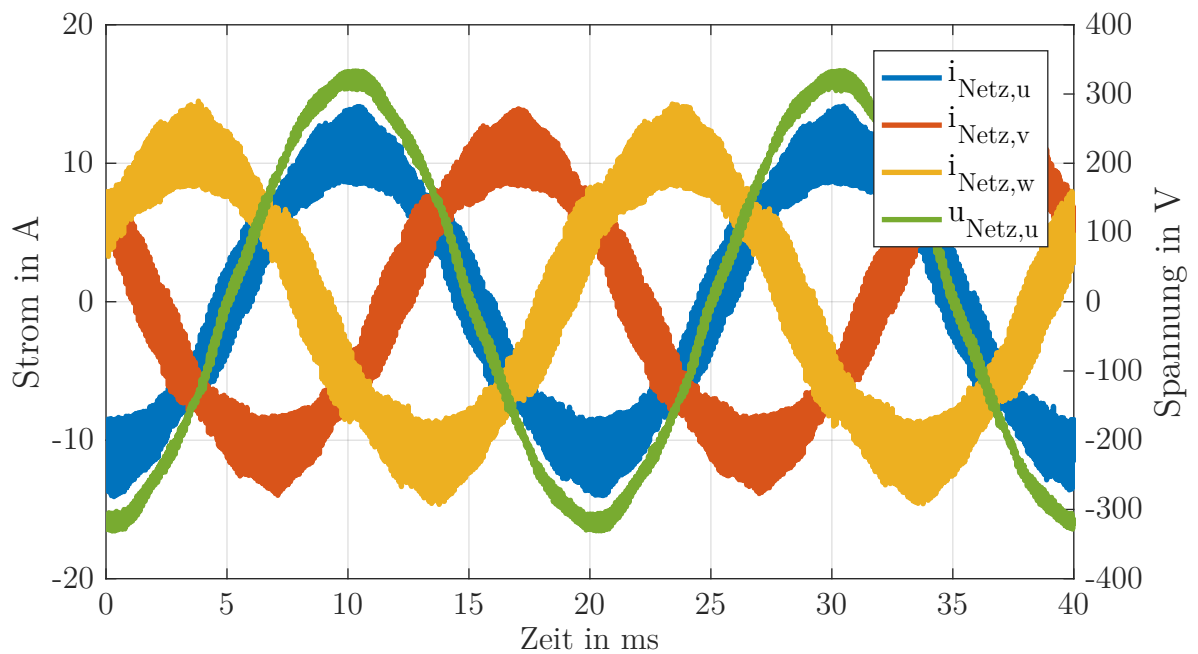


Abbildung 12.15: Netzströme der Paralleltopologie mit Prototype Repetitive Controller

12.4.2 Messergebnisse Ventilströme

Um die Ventilströme nicht gänzlich außer Acht zu lassen, werden diese einmalig für die Paralleltopologie und das Regelsystem mit Prototype Repetitive Controller betrachtet. Im Wesentlichen zeigen Abbildung 12.16 und Abbildung 12.17 die auf die Sekundärseite der Transformatoren übersetzten Ströme die dem Versorgungsnetz entnommen werden. Die Amplituden entsprechen den Werten, die für die verwendeten Transformatoren zu erwarten sind. Zu erwähnen ist allerdings, dass die Magnetisierungsströme, die von der Spannung des Versorgungsnetzes verursacht werden, erwartungsgemäß nicht durch die Ventile fließen. Besonderes Augenmerk sollte außerdem auf die erheblichen Amplituden und Stromschwankungsbreiten durch die Ventile des aktiven Gleich- und Wechselrichters gelegt werden. Die auftretenden Spitzenströme von bis zu 70 Ampere und die Stromschwankungsbreite von bis zu 35 Ampere bei 50 Prozent der Nennlast verdeutlichen nachdrücklich, dass der Auslegung des Transformators des aktiven Gleich- und Wechselrichters hohe Aufmerksamkeit zukommen sollte, um die Stellreserve des aktiven Gleich- und Wechselrichters bestmöglich auszunutzen und die sekundärseitigen Ströme durch den Transformator sowie die damit einhergehenden Verluste minimal zu halten.

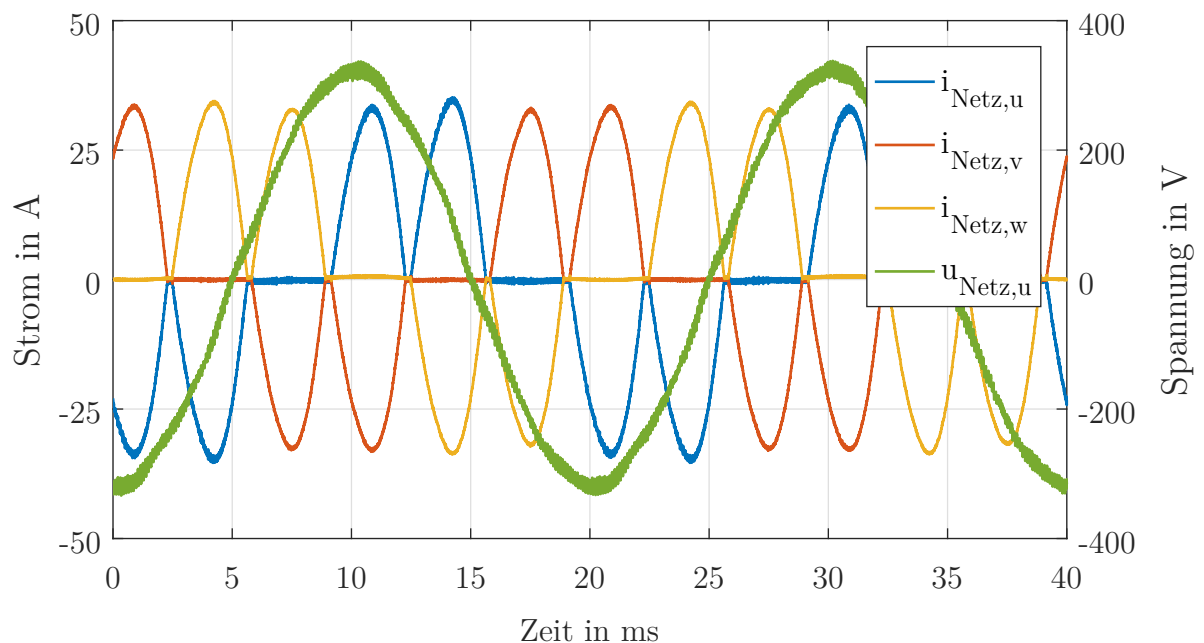


Abbildung 12.16: Ventilströme des B6-Thyristorstromrichters in Paralleltopologie mit Prototype Repetitive Controller

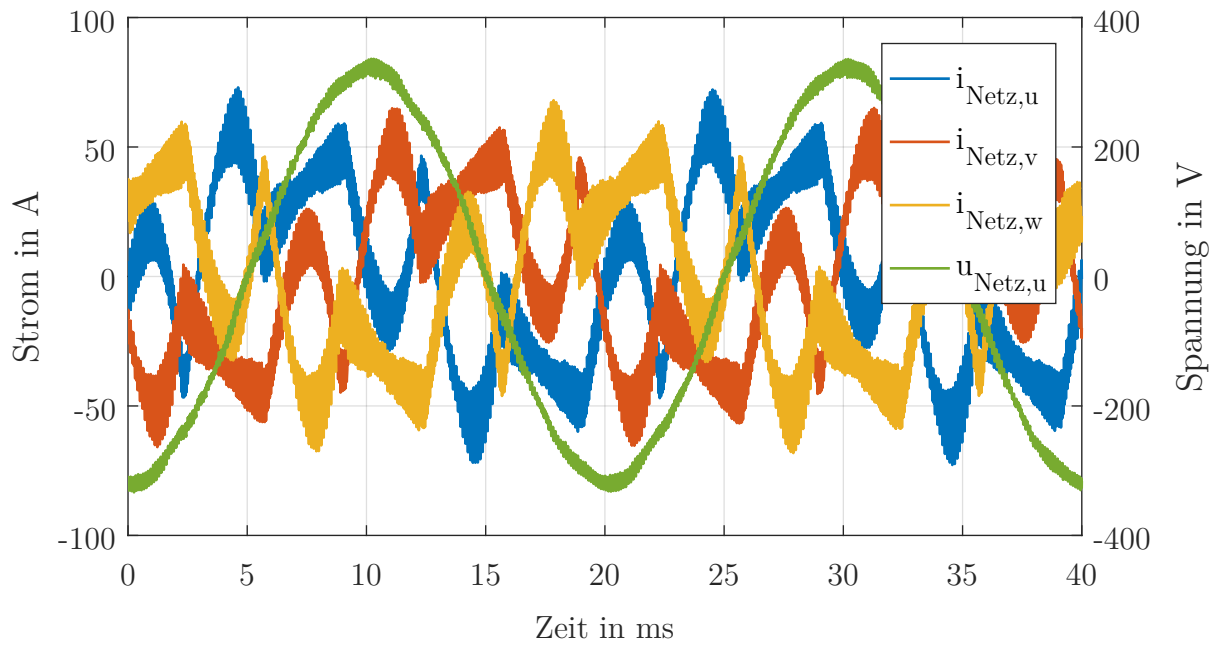


Abbildung 12.17: Ventilströme des aktiven Gleich- und Wechselrichters in Paralleltopologie mit Prototype Repetitive Controller

12.4.3 Messergebnisse Gleichgrößen

Auf der gleichstromseitigen Ausgangsseite ergibt sich, wie in Abbildung 12.18 zu sehen, ein ähnliches Bild wie beim Einzelbetrieb des B6-Thyristorstromrichters, obwohl dem Versorgungsnetz Ströme, die im mikroskopischen Mittel einem nahezu idealen sinusförmigen Verlauf entsprechen, entnommen werden und ausgangsseitig unter den für die Reglerauslegung getroffenen Annahmen mit idealen Gleichgrößen zu rechnen sein müsste. Dies liegt daran, dass entgegen der Annahme bei der Auslegung des Regelsystems, dass keine Energie innerhalb der leistungselektronischen Topologie gespeichert wird, Energie im Magnetfeld der Glättungsdrossel des B6-Thyristorstromrichters gespeichert wird, was dazu führt, dass der Strom durch die Glättungsdrossel einen Wechselanteil mit der sechsfachen Frequenz der Netzfrequenz aufweist. Im Vergleich zu Abbildung 12.3 ist jedoch zu erkennen, dass der ausgangsseitige Gleichstrom i_{DC} eine verringerte Amplitude und eine veränderte Phasenlage zum Strom durch die Glättungsdrossel des B6-Thyristorstromrichters aufweist, was daran liegt, dass ein Teil des ausgangsseitigen Gleichstromes vom aktiven Gleich- und Wechselrichter getragen wird. Dadurch besitzt der Strom, der in die Zwischenkreiskapazität fließt, einen größeren Gleichanteil, was wiederum dazu führt, dass die Zwischenkreisspannung zwischen der Zündung zweier Thyristoren weniger stark absinkt, wodurch die Phasenverschiebung und die geringere Amplitude des Wechselanteils im ausgangsseitigen Gleichstrom i_{DC} erklärt sind.

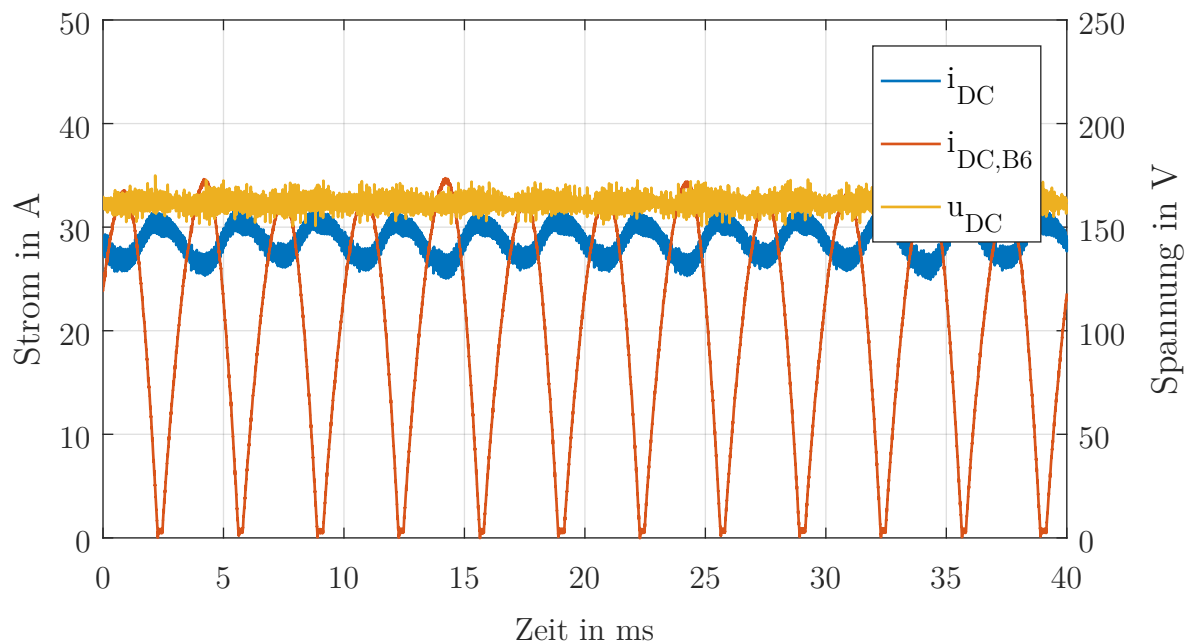


Abbildung 12.18: Gleichgrößen der Paralleltopologie mit Prototype Repetitive Controller

13 Auswertung der Messergebnisse

13.1 Auswertung der Messergebnisse mittels Kenngrößen

Um die im vorangegangenen Kapitel dargestellten Messergebnisse auszuwerten, werden an dieser Stelle die nachfolgenden Qualitätskriterien eingeführt. Mit Hilfe der durch die Qualitätskriterien gewonnenen übersichtlichen Kenngrößen werden die dem Versorgungsnetz entnommenen Ströme, die ausgangseitigen Gleichgrößen und die Effizienz des Demonstrationsaufbaus bewertet und verglichen.

1. Die Total Harmonic Distortion THD

Für die Total Harmonic Distortion einer Messreihe $x(k)$ werden zwei Definitionen herangezogen. Die erste ist die Definition gemäß IEEE-Standard 1459-210 und berechnet sich gemäß Gleichung 13.1. Bei dieser Definition werden alle Oberschwingungen berücksichtigt.

$$THD(x(k)) = \frac{\sqrt{X^2 - X_1^2}}{X_1} \quad (13.1)$$

Die zweite hier eingeführte Definition der Total Harmonic Distortion orientiert sich an der EN 61000-3-2, welche lediglich Harmonische bis zu einer Ordnung von 40 berücksichtigt. Dies wird, wie in Gleichung 13.2 zu sehen, durch den Indize "40" gekennzeichnet.

$$THD_{40}(x(k)) = \frac{\sqrt{\sum_{i=2}^{40} X_i^2}}{X_1} \quad (13.2)$$

2. Der Leistungsfaktor $\cos(\varphi)$

Der Leistungsfaktor $\cos(\varphi)$ ist durch den Cosinus des Phasenwinkels φ zwischen der Grundschiwingung einer Spannung und der Grundschiwingung des zugehörigen Stromes bestimmt.

3. Der Gesamtleistungsfaktor ξ

Im Gegensatz zum Leistungsfaktor berücksichtigt der Gesamtleistungsfaktor neben der Grundschwingung auch die auftretenden Oberschwingungen und wird über die Gesamtscheinleistung und Gesamtwirkleistung gemäß Gleichung 13.3 berechnet

$$\xi = \frac{P}{S} \quad (13.3)$$

4. Die Restwelligkeit w

Die Restwelligkeit w_x einer Messreihe $x(k)$ ist unter Zuhilfenahme des Effektivwerts in Gleichung 13.4 und dem Gleichrichtwert in Gleichung 13.5 gemäß Gleichung 13.6 definiert.

$$X = \sqrt{\frac{1}{n} \cdot \sum_{i=1}^n x_i^2} \quad (13.4)$$

$$|\bar{x}| = \frac{1}{n} \cdot \sum_{i=1}^n |x_i| \quad (13.5)$$

$$w_x = \sqrt{\frac{X^2}{|\bar{x}|} - 1} \quad (13.6)$$

5. Der Wirkungsgrad η

Der Wirkungsgrad berechnet sich aus der aufgenommenen Wirkleistung P_{Ab} und der abgegebenen Wirkleistung P_{Auf} nach Gleichung 13.7.

$$\eta = \frac{P_{Ab}}{P_{Auf}} \quad (13.7)$$

	B6-Thyristorstromrichter	aktiver Gleich- und Wechselrichter	Paralleltopologie
$THD_{i_{Netz}}$	46,30%	17,43%	15,63%
$THD_{40,i_{Netz}}$	46,23%	0,4927%	0,6929%
$\cos(\varphi)_{i_{Netz}}$	0,7573	>0,9999	>0,9999
$\xi_{i_{Netz}}$	0,7577	0,9970	0,9979
$w_{u_{DC}}$	1,276%	0,8678%	0,8363%
$w_{i_{DC}}$	12,07%	1,840%	5,381%
η_{gesamt}	93,33%	87,37%	87,42%

Tabelle 13.1: Auswertung der Messergebnisse anhand der Qualitätskriterien

13.2 Auswertung der Messergebnisse im Frequenzbereich

Mittels der eingeführten Bewertungskriterien ist zwar eine übersichtliche Darstellung der Qualität von Eingangs- und Ausgangsgrößen sowie der Effizienz des Demonstrationsaufbaus möglich. Da diese Werte jedoch lediglich eine globale Aussage für den gemessenen zeitlichen Verlauf treffen, ist eine detailliertere Betrachtung der Messergebnisse notwendig, die zusätzlich lokale Effekte im Zeit- beziehungsweise Frequenzbereich berücksichtigt. Dazu wird auf die gewonnenen Messergebnisse zunächst die Fourier-Transformation angewandt. Es wird stets der Strom der Phase u und die Harmonischen bis zu einer Ordnung von 40 betrachtet. Auf die Betrachtung harmonischer Anteile mit höherer Ordnung wird verzichtet, da diese aufgrund der hohen Frequenz beim Betrieb eines Elektrolysegleichrichters an einem Versorgungsnetz durch die Impedanz des von Oberleitungen oder Erdkabeln stark gedämpft werden oder durch verhältnismäßig geringen Filteraufwand eliminiert werden können.

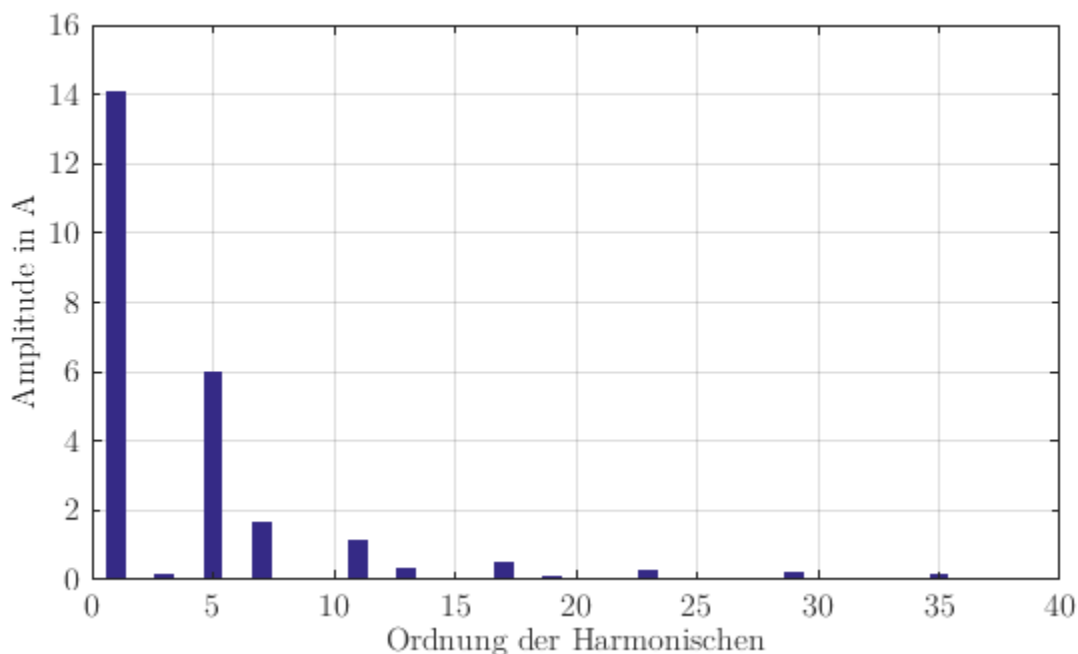


Abbildung 13.1: Frequenzspektrum des Stroms der Phase u des B6-Thyristorstromrichters

Abbildung 13.1 zeigt das Frequenzspektrum des Stromes für den B6-Thyristorstromrichter im Einzelbetrieb. Neben der ersten gewünschten Harmonischen treten weitere unerwünschte Harmonische auf. Eine besonders hohe Amplitude weisen sowohl die fünfte als auch die siebte Harmonische, wie bei B6-Thyristorstromrichtern üblich, auf. Diese harmonischen Anteile sind der Grund für die große Total Harmonic Distortion des B6-Thyristorstromrichters.

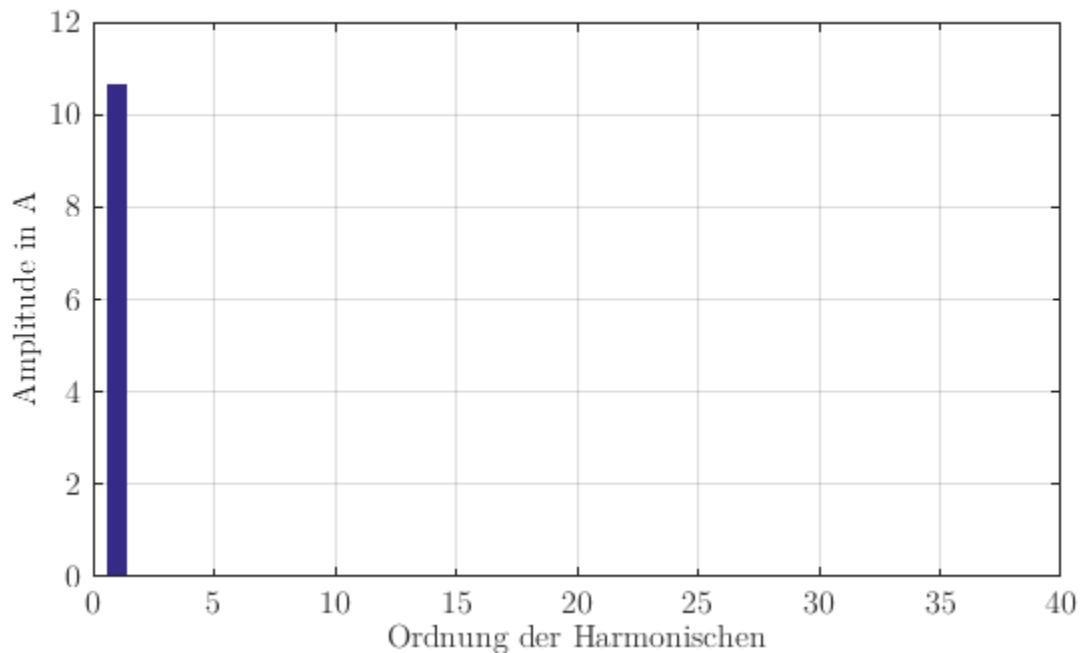


Abbildung 13.2: Frequenzspektrum des Stroms der Phase u des aktiven Gleich- und Wechselrichters

Im Vergleich dazu weist der Strom des aktiven Gleich- und Wechselrichters im Einzelbetrieb wie in Abbildung 13.2 ein nahezu ideales Frequenzspektrum auf. Verändert man den Maßstab für die Amplitude wie in Abbildung 13.3, so ist zu erkennen, dass die am stärksten ausgeprägte Harmonische die dritte mit einer Amplitude von 52 Milliampere ist.

Diese Frequenzspektren des B6-Thyristorstromrichters und des aktiven Gleich- und Wechselrichters dienen als Referenz für den Elektrolysegleichrichter in Paralleltopologie. Das Frequenzspektrum des B6-Thyristorstromrichters stellt dabei den Ausgangszustand mit ausgeprägten Harmonischen dar. Das Frequenzspektrum des aktiven Gleich- und Wechselrichters wird als das bestmögliche Frequenzspektrum angesehen und ist das Ziel für den Gleichrichter in Paralleltopologie.

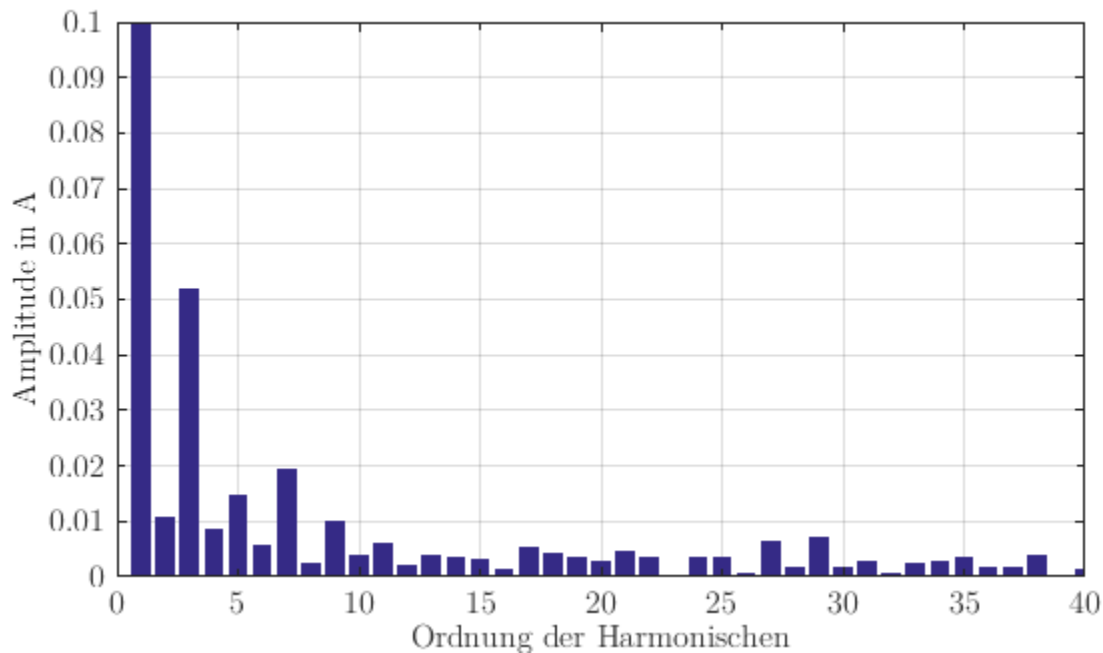


Abbildung 13.3: Vergrößertes Frequenzspektrum des Stroms der Phase u des aktiven Gleich- und Wechselrichters

Für die Messungen am Elektrolysegleichrichter in Paralleltopologie mit deaktiviertem Prototype Repetitive Controller erhält man das Frequenzspektrum aus Abbildung 13.4. Es ist eine deutliche Verringerung der harmonischen Anteile, verglichen mit dem Frequenzspektrum des B6-Thyristorstromrichters im Einzelbetrieb, in Abbildung 13.1 zu erkennen. Jedoch sind weiterhin deutlich ausgeprägte harmonische Anteile im Spektrum vorhanden. Besonders deutlich ausgeprägt sind weiterhin die fünfte und siebte Harmonische. Zu erklären ist dies mit den zeitlichen Verläufen aus Abbildung 12.9. Dort ist zu erkennen, dass direkt nach der Zündung eines Thyristors die Dynamik des Regelsystems des aktiven Gleich- und Wechselrichters nicht ausreicht um der Führungsgröße schnell genug zu folgen. Die Folge ist, dass die Überlagerung der Teilströme zu einem sinusförmigen zeitlichen Verlauf zu diesem Zeitpunkt nicht vollständig gelingt und während dieser Zeitintervalle das Frequenzspektrum dem des B6-Thyristorstromrichters ähnelt.

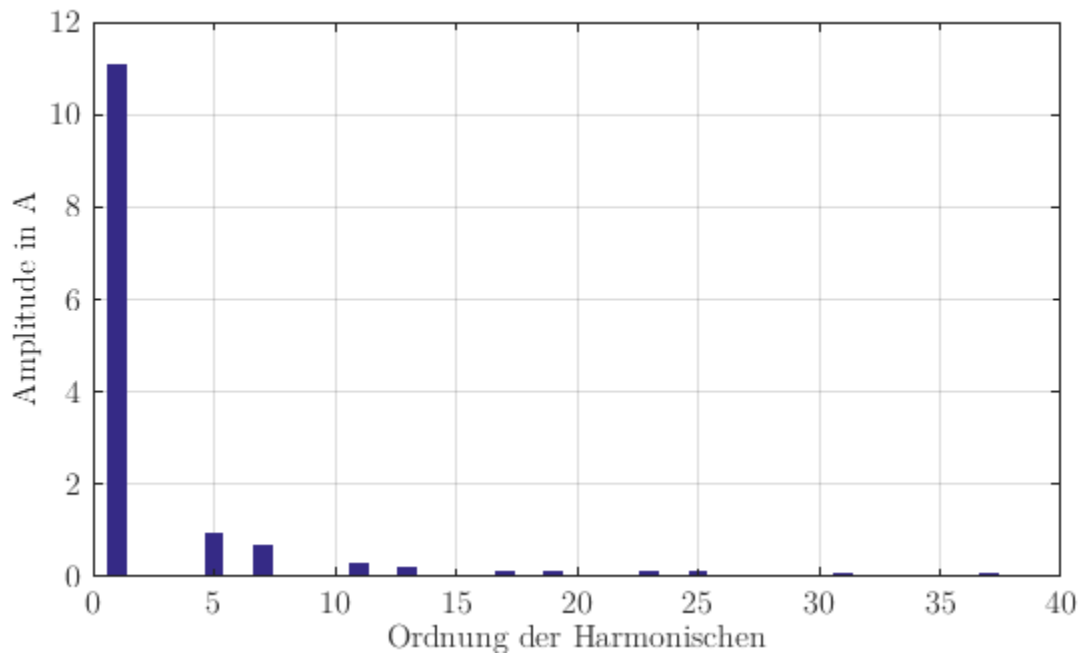


Abbildung 13.4: Frequenzspektrum des Stroms der Phase u der Paralleltopologie ohne Repetitive Controller

Wird der Prototype Repetitive Controller aktiviert, erhält man das Frequenzspektrum in Abbildung 13.5. Auf den ersten Blick sind nun keine harmonischen Anteil mehr zu erkennen. Wie bereits beim Frequenzspektrum des aktiven Gleich- und Wechselrichters, ist es nötig, die Skalierung der Abbildung anzupassen, um die Amplituden der verbleibenden Harmonischen erkennen zu können.

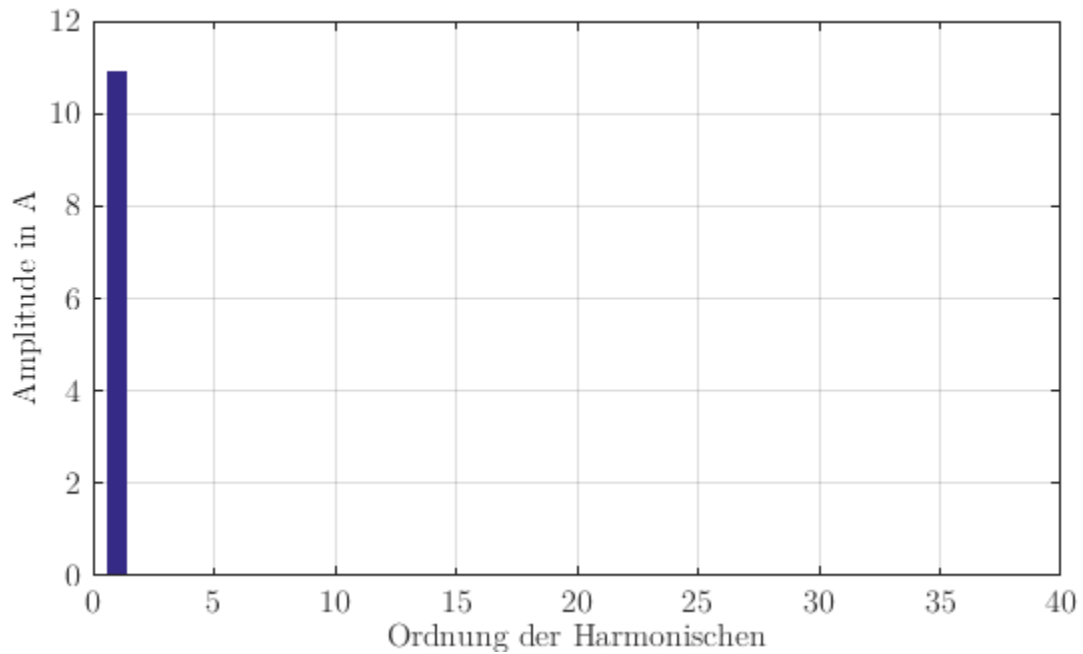


Abbildung 13.5: Frequenzspektrum des Stroms der Phase u der Paralleltopologie mit Prototype Repetitive Controller

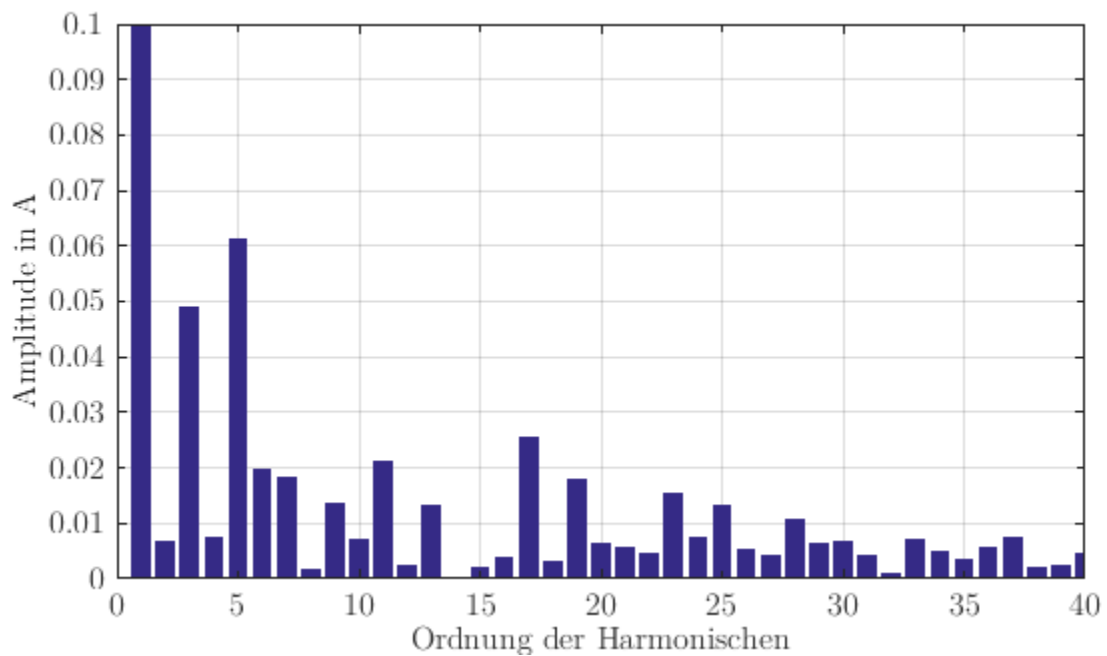


Abbildung 13.6: Vergrößertes Frequenzspektrum des Stroms der Phase u der Paralleltopologie mit Prototype Repetitive Controller

Vergleicht man das Frequenzspektrum der Paralleltopologie mit aktiviertem Prototype Repetitive Controller aus Abbildung 13.6 mit dem des aktiven Gleich- und Wechselrichters im Einzelbetrieb aus Abbildung 13.3, so ist zu sehen, dass das Frequenzspektrum des Gleichrichters in Paralleltopologie lediglich minimal vergrößerte Amplituden aufweist. Dies zeigt, dass es durch ein geeignetes Regelsystem möglich ist, einen Gleichrichter in Paralleltopologie derart zu betreiben, dass das Frequenzspektrum nahezu identisch dem eines aktiven Gleich- und Wechselrichters im Einzelbetrieb und somit dem Zielfrequenzspektrum entspricht.

Als letztes wird zusätzlich für den Elektrolysegleichrichter in Paralleltopologie der Frequenzbereich um die PWM-Frequenz des aktiven Gleich- und Wechselrichters betrachtet. Dieses ist in Abbildung 13.7 dargestellt.

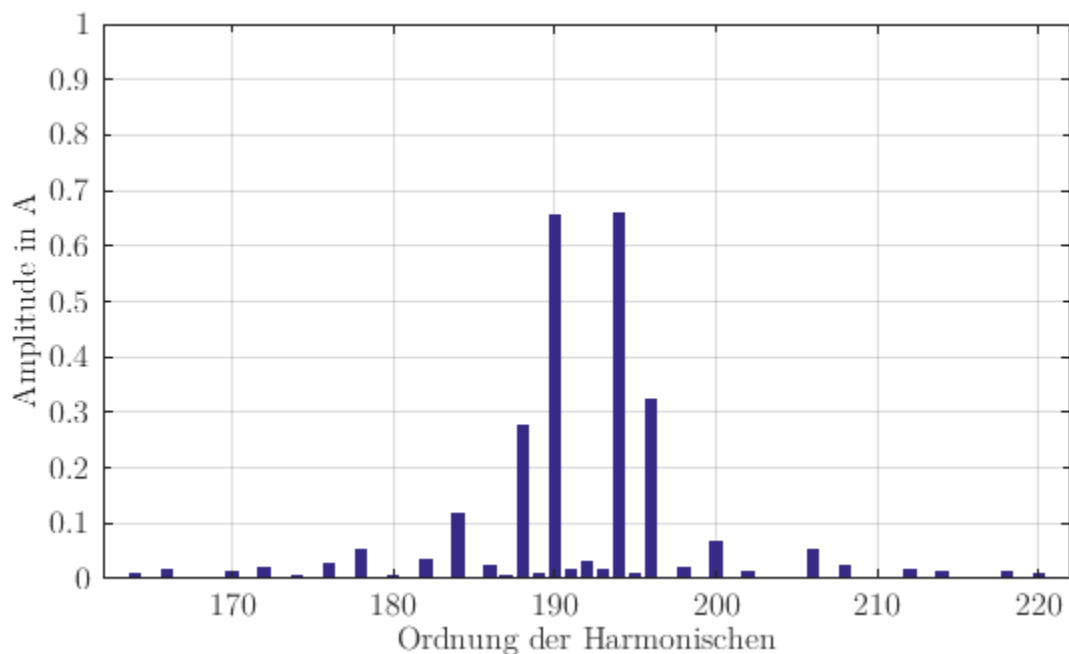


Abbildung 13.7: Frequenzspektrum des Stroms der Phase u der Paralleltopologie mit Repetitive Controller im Bereich der PWM-Frequenz

Es ist zu erkennen, dass die auftretenden Frequenzanteile normalverteilt um die PWM-Frequenz von 9600 Hertz, was der 192. Harmonischen entspricht, auftreten. Dies ist auf die Synchronisation des aktiven Gleich- und Wechselrichters mit dem Versorgungsnetz zurückzuführen, da dazu, wie in Abschnitt 5.3 beschrieben, die PWM-Frequenz variiert wird. Dass statt der 192. Harmonischen vor allem die 190. und 194. Harmonische auftreten, spricht dafür, dass die Verstärkung des Reglers für die Synchronisation des aktiven Gleich- und Wechselrichters einen zu großen Wert aufweist. Dies wurde jedoch erst bei der Auswertung

der Messergebnisse erkannt und daher nicht mehr behoben. Es sei jedoch erwähnt, dass dieses Verhalten auch als positive Eigenschaft betrachtet werden kann, da so die hochfrequenten Störungen über ein breiteres Frequenzband verteilt werden und so nicht an einer Frequenz mit besonders hoher Amplitude auftreten.

Zuletzt wird das Einschwingverhalten des Regelsystems des aktiven Gleich- und Wechselrichters betrachtet. Dazu wird der zeitliche Verlauf des Stromes der Phase u mittels der zeitkontinuierlichen Wavelettransformation in den Zeitfrequenzbereich überführt. Das Ergebnis ist in den Abbildungen 13.8 und 13.9 zu sehen. Zu Beginn der Messung ist lediglich der B6-Thyristorstromrichter aktiv. Die Folgen sind, wie zu erwarten, stark ausgeprägte harmonische Anteile, wie sie aus Abbildung 13.1 bekannt sind. Wird nach einer Sekunde der aktive Gleich- und Wechselrichter zugeschaltet, so verringern sich diese harmonischen Anteile durch die hohe Dynamik des Zustandsreglers schlagartig. Das Frequenzspektrum entspricht dabei dem in Abbildung 13.4. Im weiteren Verlauf ist zu erkennen, dass nahezu sämtliche harmonischen Anteile zwischen der zweiten Harmonischen und der halben Abtastfrequenz gänzlich aus dem Frequenzspektrum eliminiert werden, bis dieses dem in Abbildung 13.6 entspricht. Dies liegt daran, dass der Prototype Repetitive Controller in diesem Zeitintervall einschwingt. Um dieses Verhalten nochmals deutlicher darzustellen, sind in Abbildung 13.9 die Harmonischen ab der zweiten Ordnung dargestellt. Für die Betrachtung der Wavelets sei darauf hingewiesen, dass aufgrund der Unschärferelation lediglich der Bereich oberhalb der weiß gestrichelten Linie Gültigkeit besitzt.

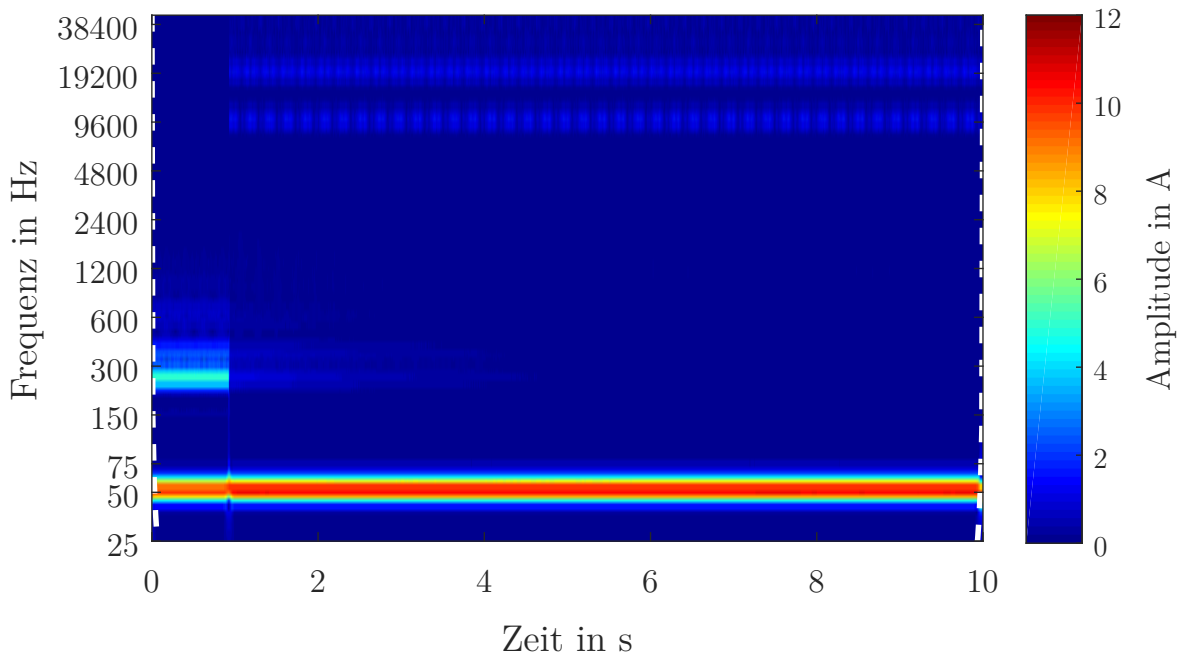


Abbildung 13.8: Wavelet des Einschwingvorgangs des aktiven Gleich- und Wechselrichters

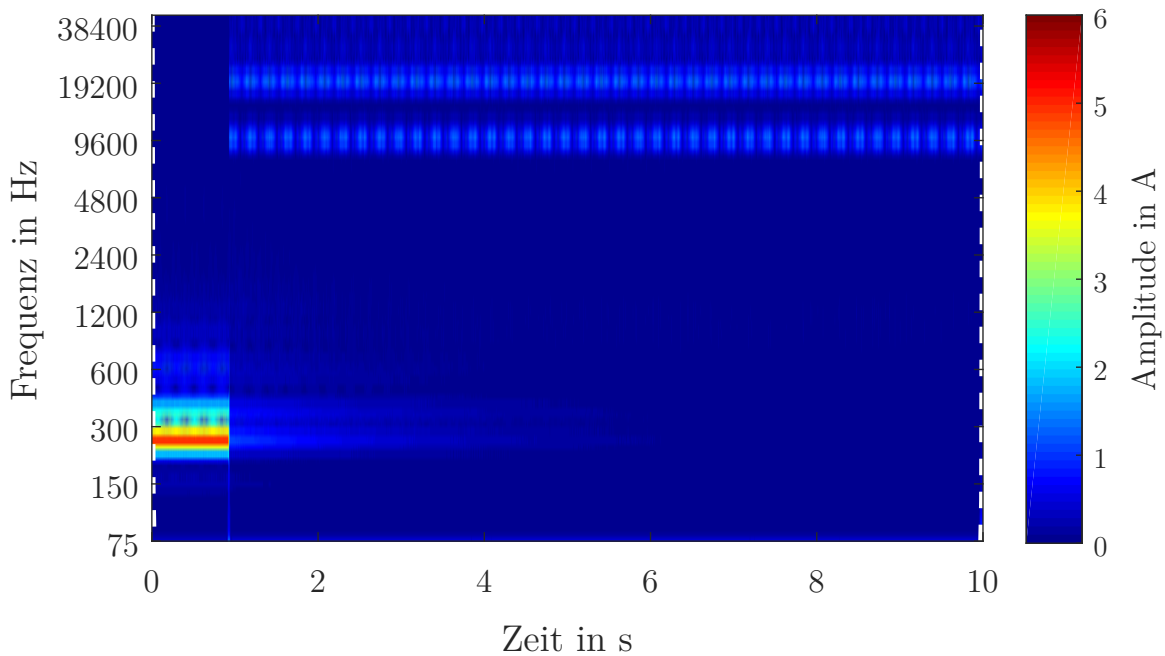


Abbildung 13.9: Wavelet der Harmonischen mit einer Ordnung größer zwei des Einschwingvorgangs des aktiven Gleich- und Wechselrichters

14 Zusammenfassung und Ausblick

14.1 Zusammenfassung

Im Rahmen der studentischen Arbeit wurden im ersten Schritt theoretische Überlegungen für den Aufbau des Elektrolysegleichrichters in Paralleltopologie durchgeführt. Mithilfe der aus Berechnungen und Simulationen gewonnenen Erkenntnisse wurde im zweiten Schritt die Leistungs- und Signalelektronik für einen Demonstrationsaufbau eines Elektrolysegleichrichters in Paralleltopologie aufgebaut. Im dritten Schritt wurden sämtliche benötigten Softwarekomponenten erstellt. Im vierten Schritt wurde der Demonstrationsaufbau in Betrieb genommen und vermessen. Die Messergebnisse für den stationären Fall sind als hervorragend zu bewerten. Die Messergebnisse für dynamische Vorgänge zeigen ebenfalls ein sehr gutes Verhalten des Demonstrators. Somit konnte der praktische Funktionsnachweis der Paralleltopologie anhand des Demonstrationsaufbaus erbracht werden.

14.2 Ausblick

Zukünftig sind weitere Verbesserungen am Regelsystem möglich. Im ersten Schritt sollte die Dynamik des Regelsystems, speziell die des Prototype Repetitive Controllers weiter optimiert werden und die noch ausstehende Realisierung des Leistungsreglers erfolgen. In darauffolgenden Betrachtungen sollte untersucht werden, in wieweit sich die Regelsysteme von B6-Thyristorstromrichter und aktivem Gleich- und Wechselrichter gegenseitig beeinflussen, da es sich bei dem aufgebauten Elektrolysegleichrichter eigentlich um ein sogenanntes MIMO-System handelt, was jedoch aufgrund der enormen Komplexität während dieser Arbeit vernachlässigt wurde. Auch sollte die Ausgangsleistung des Demonstrationsaufbaus weiter erhöht werden, da die durchgeführten Simulationen zeigen, dass eine Erhöhung der Leistung sich positiv auf den Wirkungsgrad auswirkt. Des Weiteren sollte eine optimierte Betriebsstrategie bezüglich der Aufteilung der Leistung zwischen B6-Thyristorstromrichter und aktivem Gleich- und Wechselrichter realisiert werden. Ebenso ist zu untersuchen, ob die Möglichkeit besteht, gänzlich auf die Glättungsdrossel des Stromrichters zu verzichten.

Literaturverzeichnis

- [1] Vasken Ketchedjian. Untersuchung und Bewertung von alternativen Topologien für Wasserelektrolyse-Gleichrichter. *Masterarbeit, Universität Stuttgart, ILEA*, 2017.
- [2] Prof. Dr.-Ing Jörg Roth-Stielow. Leistungselektronik II. *Vorlesungsunterlagen Sommersemester 2016, Universität Stuttgart, ILEA*, 2016.
- [3] Prof. Dr.-Ing Jörg Roth-Stielow. Leistungselektronik I. *Vorlesungsunterlagen Wintersemester 2015/2016, Universität Stuttgart, ILEA*, 2015.
- [4] Xu Chen. Internal Model Principle and Repetitive Control. *Vorlesungsunterlagen, University of California, Bereley*, 2014.
- [5] Yutaka Yamamoto. Learning Control and Related Problems in Infinite-Dimensional Systems. *European Control Conference*, 1993.
- [6] Prof. Perry Y. Li. Advanced Control System Design. *Vorlesungsunterlagen, University of Minnesota*, 2018.
- [7] Yasuyulu Funahashi Riadh Zaier, Manabu Yamada. Discrete-Time Prototype Repetitive Controllers Considering Pole-Assignment and Its Application. *37th SICE Annual Conference International Session Papers*, 1998.
- [8] Manish Bhardwaj. Software Phase Locked Loop Design Using 2000TM Microcontrollers for Single Phase Grid Connected Inverter. *Application Report, Texas Instruments*, 2014.
- [9] Dr.-Ing. Arendt Wintrich und weitere. Applikationshandbuch Leistungshalbleiter. *Semikron International GmbH, ISBN 978-3-938843-85-7*, 2015.
- [10] Colin Rou. Thyristor gate drives. *Dynex, Application Note6148-1*, 2014.
- [11] terasIC. DE0-Nano User Manual. *Bedienungsanleitung*, 2012.

- [12] Steffen Bintz. Untersuchung und Aufbau eines Z-Source-Drei-Level-Inverters für einen Elektrofahrzeugantrieb. *Masterarbeit, Universität Stuttgart, ILEA*, 2014.
- [13] Jack E. Volder. The CORDIC Computing Technique. *Proceedings of the Western Joint Computer Conference*, 1959.

Anhang

A.1 Hardwaremodifikationen an Stadtartkomponenten des ILEA-Bussystems

Teilerplatinen für Teiler 1:37,5 R1, R2, R3, R4, R5, R6, R7, R8, R9, R10	$200k\Omega \rightarrow 75k\Omega$
Teilerplatinen für Teiler 1:25,5 R1, R2, R3, R4, R5, R6, R7, R8, R9, R10	$200k\Omega \rightarrow 51k\Omega$
Erfassungskarte 3 RT1, RT2, RT3	$30k\Omega \rightarrow 20k\Omega$
FPGA-Karte C8, C10, C16, C18	nicht bestückt \rightarrow 100nF

Tabelle A.1: Hardwaremodifikationen an Stadtartkomponenten des ILEA-Bussystems

A.2 Jumper-Positionen der Karten des ILEA-Bussystems

Erfassungskarte 1	
JT6, JT7, JT8, JT10, JT11	Pin 1 und Pin 2
Erfassungskarte 2	
JT6, JT7, JT8, JT10, JT11	Pin 2 und Pin 3
Erfassungskarte 1	
JT6, JT7, JT8, JT10, JT11	Pin 1 und Pin 2
AD-Wandler-Karte	
J5	Pin 2 und Pin 3
J6	Pin 1 und Pin 2
Logikkarte	
J18	Pin 1 und Pin 2
J19	Pin 1 und Pin 2
J20	Pin 1 und Pin 2
J22	Pin 1 und Pin 2
J23	Pin 1 und Pin 2
J24	Pin 1 und Pin 2
J25	Pin 1 und Pin 2
J16	Pin 1 und Pin 2
Logikkarte spezielle Verbindungen	
J21 Pin 1 und J28 Pin 2	
J27 Pin 1 und J21 Pin2	
J27 Pin 2 und GND	
J29 Pin 2 und GND	

Tabelle A.2: Jumper-Positionen der Karten des ILEA-Bussystems