

Entwicklung einer Prozesskette für den Aufbau individualisierter Foliensysteme

Von der Fakultät Konstruktions-, Produktions- und Fahrzeugtechnik
der Universität Stuttgart
zur Erlangung der Würde eines Doktor-Ingenieurs (Dr.-Ing.) genehmigte
Abhandlung

Vorgelegt von
Florian Janek
aus Dessau

Hauptberichter: Prof. Dr.-Ing. André Zimmermann
Mitberichter: Prof. Dr.-Ing. Joachim N. Burghartz

Tag der mündlichen Prüfung: 08.07.2022

Institut für Mikrointegration der Universität Stuttgart
2022

Vorwort

Die vorliegende Arbeit entstand im Rahmen meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Hahn-Schickard Institut für Mikroaufbautechnik in Stuttgart. Vielen Dank möchte ich Herrn Prof. Dr.-Ing. André Zimmermann für die Übernahme des Hauptberichtes aussprechen. Sie haben mir durch Ihr Vertrauen und Ihre fachliche Unterstützung diese Arbeit ermöglicht und stetig unterstützt. Herrn Prof. Dr.-Ing. Joachim N. Burghartz danke ich herzlich für das Interesse an meiner Arbeit und die Übernahme des Zweitgutachtens.

Bei Dr. Thomas Meißner bedanke ich mich für die Unterstützung zur Themenfindung zu Beginn der Arbeit. Bei Dr. Kerstin Gläser bedanke ich mich für die Unterstützung, für die vielen aufmunternden Worte in schwierigen Zeiten und die Hilfe als Korrekturleserin. Bei André Bülau bedanke ich mich für die Hilfe bei der Auslegung des Demonstrators und wertvolle Diskussionen. Weiterhin möchte ich mich bei meinen Kollegen in der Drucktechnik und Mikromontage für die angenehme Atmosphäre, die Unterstützung und die motivierenden Gespräche bedanken. Durch die fachlichen Diskussionen mit euch, durch eure Anregungen und aufmunternde Art habt ihr mir stets weitergeholfen. Einen besonderen Dank richte ich an meine Kollegen aus dem Folienlabor, insbesondere an Sascha Weser, dessen lösungsorientierte Denkweise mich stets beeindruckt hat, und Nadine Eichhorn für die praktische Unterstützung im Labor. Insgesamt möchte ich mich bei allen Kollegen bedanken, die mir während meiner Zeit am Institut sehr ans Herz gewachsen sind und mich durch diese besonderen Jahre meines Lebens begleitet haben.

Zum Schluss möchte ich mich noch bei meiner Familie bedanken, die mich stets motiviert und mich ermutigt hat, weiterzumachen. Der größte Dank gilt meiner Mutter Alexandra, die mir diesen Weg erst ermöglicht hat. Du warst und bleibst mein Vorbild. Auch möchte ich meiner Schwester Saskia danken. Du hast mir in den schwersten Zeiten den Rücken gestärkt und immer an mich geglaubt.

Florian Janek

Inhaltsverzeichnis

Abkürzungsverzeichnis	i
Symbolverzeichnis	i
Kurzfassung	iii
Abstract	v
1. Einleitung.....	1
1.1. Ausgangssituation und Problemstellung.....	2
1.2. Ziele dieser Arbeit.....	4
1.3. Gliederung der vorliegenden Arbeit.....	6
2. Grundlagen	7
2.1. Photolithographie.....	7
2.2. Physical Vapour Deposition: Sputtern.....	9
2.3. Stand der Technik zur Integration von ultradünnen Chips in Foliensysteme	10
2.3.1. Chiporientierung „Face-Down“	10
2.3.2. Chiporientierung „Face-Up“	13
2.3.3. Literaturbekannte Face-Up-Prozessketten	14
3. Konzeptionierung einer neuartigen Prozesskette für individualisierte Foliensysteme	17
3.1. Auswahl von Einzelprozessen.....	18
3.2. Materialauswahl.....	19
3.2.1. Photoresist zur Einbettung.....	19
3.2.2. Tintenauswahl für den Inkjetdruck	20
3.3. Vorgehen zur Entwicklung der Prozesskette.....	20
4. Montageprozesse zur Fixierung ultradünner Siliziumchips	23
4.1. Ablösen ultradünner Siliziumchips von Waferhaftfolie	23
4.2. Verwendung von Bestückungsgeräten zur Chipmontage	24
4.3. Chipmontage mittels Haftfolie	30
5. Prozesse zur Einbettung und elektrischen Kontaktierung ultradünner Chips	37
5.1. Photoresistapplikation	37
5.1.1. Parameterraum Conformal-Coating-Sprühverfahren	38
5.1.2. Conformal-Coating-Sprühapplikation von Lötstopmaterial	39
5.2. Photolithographische Strukturierung mittels Direktbelichtung.....	46
5.2.1. Einflussparameter UV-LED-Direktbelichtung	47
5.2.2. UV-LED-Direktbelichtung und Entwicklung.....	48
5.3. Elektrische Kontaktierung mittels Drucktechnologie.....	54
5.3.1. Parameterraum Inkjetdruck.....	54

5.3.2. Inkjetdruck nanopartikulärer Tinten	58
6. Verknüpfung der Einzelprozesse zur digitalen Prozesskette	71
7. Diskussion.....	86
7.1. Diskussion zur Montage ultradünner Chips	86
7.2. Diskussion zur Sprühapplikation von Lötstopplack	89
7.3. Diskussion zur Direktbelichtung und Entwicklung	90
7.4. Diskussion zum Digitaldruck von Leiterbahnen	91
7.5. Diskussion zur Realisierung einer digitalen Prozesskette	93
7.6. Beurteilung der Zielerreichung.....	95
7.7. Vergleich mit literaturbekannten Prozessketten	96
8. Zusammenfassung und Ausblick	98
9. Literaturverzeichnis.....	99
10. Publikationen.....	106
Konferenzbeiträge.....	106
Veröffentlichungen in Fachzeitschriften	106
11. Lebenslauf.....	107

Abkürzungsverzeichnis

ACA	Anisotropic Conductive Adhesive
AlSiCu	Aluminium-Silizium-Kupfer
BCB	Benzocyclobuten
CFP	Chip-Film Patch
CiF	Chip-in-Foil
CoF	Chip-on-Foil
DI-Wasser	deionisiertes Wasser
DoD	Drop-on-Demand
E-beam	Elektronenstrahl
ICA	Isotropic Conductive Adhesive
IoT	Internet-of-Things
KMU	Kleine und mittlere Unternehmen
MEMS	Mikro-Elektronisch-Mechanisches-System
NCA	Non-Conductive Adhesive
PGMEA	Propylenglycolmonomethyletheracetat
PI	Polyimid
PVD	Physical Vapour Deposition
SiF	System-in-Foil
UTCP	Ultra Thin Chip Package
UV	Ultraviolett

Symbolverzeichnis

$C_{\text{Entwickler}}$		Entwickler-Konzentration
d	[m]/cm ²	Belichtungsdosis
d_{50}	[nm]	Mittlerer Partikeldurchmesser
$d_{\text{Düse}}$	[μm]	Düsendurchmesser
I	[A]	Stromstärke
Oh		Ohnesorge-Zahl
Re		Reynolds-Zahl
T_{Tisch}	[°C]	Substrattischtemperatur
$T_{\text{Entwickler}}$	[°C]	Entwicklertemperatur
t_{Exposure}		Wartezeit nach Entwicklung
$t_{\text{Entwickler}}$		Entwicklungsdauer
V		Verstärkungsfaktor Direktbelichtung
We		Weber-Zahl
Z		Kehrwert der Ohnesorge-Zahl
γ_{lv}	[N/mm]	Oberflächenspannung der Flüssigkeit
γ_{sl}	[N/mm]	Grenzflächenspannung zwischen Substrat und Flüssigkeit
γ_{sv}	[N/mm]	freie Oberflächenenergie des Substrats
θ	[°]	Kontaktwinkel
λ	[nm]	Wellenlänge
ρ_{ele}	[$\mu\Omega \cdot \text{cm}$]	Spezifischer Widerstand
v	[mm/s]	Verfahrgeschwindigkeit
v_{Tropfen}	[m/s]	Tropfengeschwindigkeit
η	[mPa·s]	Viskosität
ρ	[kg/m ³]	Dichte
σ	[N/mm]	Oberflächenspannung

Kurzfassung

Bereits seit einigen Jahren befindet sich das Feld der flexiblen Elektronik im Wachstum. Diese zeichnet sich insbesondere durch ihre hohe mechanische Flexibilität, aber auch durch eine niedrige Bauhöhe und geringe Masse aus. Die Einbettung ultradünner, mechanisch flexibler Siliziumchips in Kunststofffolien erweitert die flexible Elektronik und eröffnet das Potential, Sensorsignale direkt am Ort der Erfassung auswerten zu können. Um eine zielführende Prototypenfertigung dieser Foliensysteme mit eingebetteten, ultradünnen Siliziumchips zu ermöglichen, wurde in dieser Arbeit eine digitale Prozesskette entwickelt, mit der die Fertigung dieser Systeme individualisiert werden kann. Dazu wurden geeignete Einzelprozesse entwickelt und deren Prozessparameter betrachtet. Zu Beginn wurden Prozesse zur Montage der ultradünnen Siliziumchips untersucht, um diese sowohl manuell als auch automatisiert klebtechnisch fixieren zu können. Es wurden dabei sowohl die Montage einzelner Chips als auch die simultane Klebung mehrerer ultradünner Chips berücksichtigt, indem eine innovative Fügemethode unter Zuhilfenahme einer temporär haftenden Klebefolie entwickelt wurde. Damit konnte eine homogene Klebung von 4,7 mm x 4,7 mm großen ultradünnen Siliziumchips mit maximaler Klebstoffschichtdicke von 15 µm erreicht werden. Anschließend wurde ein Conformal-Coating-Sprühverfahren zur Applikation eines mechanisch flexiblen, photosensitiven Lötstopppmaterials untersucht, in das die fixierten Siliziumchips eingebettet wurden. Die Verwendung photolithographischer Prozesse erlaubte die Freistellung von Kontaktflächen auf den geklebten Siliziumchips. Dazu wurde ein auf UV-LEDs basierendes Direktbelichtungsverfahren eingesetzt, sodass auf zusätzliche Photolithographiemasken verzichtet werden konnte. Es wurde weiterhin eine Methodik entwickelt, mit der die Platziertoleranz und die Verdrehung von gefügten, ultradünnen Siliziumchips optisch erfasst und durch ein individuell erstelltes Direktbelichtungslayout kompensiert werden konnte. Mittels Inkjetdruck nanopartikulärer Tinten wurden die eingebetteten Siliziumchips mit Widerstandswerten im niedrigen zweistelligen Ohm-Bereich elektrisch kontaktiert. Die Analyse unterschiedlicher Kontaktöffnungsprägungen ergab, dass beim verwendeten Lötstopppmaterial eine runde Kontaktöffnungsgeometrie mit 90 µm Durchmesser vorteilhaft für die Kontaktierung der Chipmetallflächen über Inkjetdruck ist. Die entwickelten Einzelprozesse wurden anschließend in eine anwendungsorientierte, digitale Prozesskette überführt. Hierbei hatte die Reihenfolge der Einzelprozesse einen entscheidenden Einfluss auf die Durchführbarkeit der Prozesskette und die erzielten Resultate der jeweiligen Einzelprozesse. So konnte festgestellt werden, dass zu Beginn der digitalen Prozesskette die Montage der ultradünnen Siliziumchips, gefolgt von der Einbettung mittels Conformal-Coating, photolithographische Freistellung der Chipkontaktflächen mittels Direktbelichtung und Entwicklung sowie der sich anschließenden elektrischen Kontaktierung über Inkjetdruck erfolgen sollte. Die Bestückung mit diskreten Bauelementen sollte abschließend erfolgen, um die übrigen Prozessschritte nicht einzuschränken. Die resultierenden Foliensysteme mit eingebetteten, ultradünnen Siliziumchips zeigen nach Ablösen vom starren Träger eine hohe mechanische Flexibilität und können so auf gebogenen Oberflächen eingesetzt werden.

Abstract

Flexible electronics can be considered as a still growing market. Key-features are their high mechanical flexibility, low overall thickness and low mass. Flexible electronics can be enhanced by embedding of ultrathin, mechanically flexible silicone chips into polymer foils. This allows not only the measurement of physical parameters, but also the data processing within the foil based systems. This work focusses on processes that enable prototyping of such systems in foil (SiF), leading to a process chain, more specifically a digital process chain, that paves the way for individualized SiF. For this aim, suitable processes have been developed after an investigation of influencing process parameters for each individual process. In the beginning, multiple assembly methods for ultrathin silicon chips for manual as well as automatic placement of such chips on adhesives have been examined. It was possible to assemble a single ultrathin chip as well as arrays of ultrathin chips by utilization of temporary adhesive foil. With this, ultrathin silicon chips in size of 4,7 mm x 4,7 mm were adhesively bonded onto polymer foil with a maximum adhesive thickness of 15 μm . The bonded chips were embedded using conformal spraycoating of a mechanically flexible, photosensitive solder mask material. Photolithographic processes were used to remove embedding material on the metallic contact pads on the surface of the bonded silicon chips. For this, the application of an UV-LED based direct imaging process was explored, therefore no additional masks for the photolithography process were necessary. A novel method for an optical capturing of placement tolerance and rotational misalignment of the bonded chips combined with the generation of individualized direct imaging layouts for the compensation of placement tolerance and rotational misalignment was developed. Furthermore, inkjet printing of metallic, nanoparticulate inks was evaluated for the generation of electrically conductive tracks to contact the pads on the embedded silicon chips. By examination of geometrical variation of the contact openings in size and shape, a resistance value as low as 10 Ω was achieved after printing of multiple ink layers in combination with round openings of 90 μm diameter. The studied process steps, namely the assembly of ultrathin silicon chips by adhesive bonding, the embedding of the bonded chips by conformal spraycoating, the photolithographic opening of chip contact pads after direct imaging and inkjet printing of electrical connections using nanoparticulate inks, were combined to an application-orientated digital process chain. One insight of this transfer was the importance of the process step order. Thus, an assembly of electronic components should be performed at the end of the process chain to avoid negative influences on the other process steps. Finally, the resulting SiF with embedded ultrathin chips were removed from a stiff carrier and showed mechanical flexibility for an application on curved shapes.

1. Einleitung

Das weltweite Interesse an mechanisch flexibler Elektronik ist durch aktuelle Trends wie Smart Health, Smart Wearables oder das Internet-of-Things (IoT) weiterhin ungebrochen und Prognosen sagen weiteres Wachstumspotential voraus. Das ist zum einen dem Consumer-Markt zuzuschreiben, jedoch auch einer steigenden Nachfrage im Medizintechniksektor, der Luftfahrt oder der Automobilindustrie. Die potentiellen Anwendungen sind dabei vielfältig. Das Interesse an flexiblen Displays im Consumer-Markt wird allein durch die Entwicklung faltbarer Smartphones durch prominente Elektronik-Hersteller deutlich, die weltweite Absatzmärkte bedienen. Durch die Realisierung dünnster Strukturen auf Folie werden flexible Sensoren ermöglicht, um so unterschiedliche physikalische Parameter zu erfassen. Der Reifegrad der Sensoranwendungen ist je nach zu erfassendem Parameter unterschiedlich. So sind Temperatur- und Dehnungssensoren bereits seit langem kommerziell erhältlich, während die Erfassung von Vitalparametern komplexer ist und durch den medizintechnischen Einsatz höhere Anforderungen an verwendete Materialien und Zuverlässigkeit stellt.

Ein Ansatz zur Erweiterung mechanisch flexibler Elektronik stellt die Integration von Siliziumchips dar. So können unterschiedliche Funktionen in einem so genannten Foliensystem, in der englischen Literatur System-in-Foil (SiF) genannt, vereint werden [1]. Das Konzept des Foliensystems entstand um die 2000er, als damit begonnen wurde, Siliziumchips in der Dicke soweit zu reduzieren, dass diese nur noch 20 μm – 50 μm Dicke aufwiesen. Das Besondere daran ist, dass das Silizium durch das Dünnen des Materials biegsam wird. Durch das Einbetten in dünnste Kunststoffschichten werden diese empfindlichen, ultradünnen Siliziumchips geschützt und können ihre mechanisch flexible Eigenschaft beibehalten. Damit ergeben sich auch die größten Vorteile gegenüber den etablierten, starren Leiterplatten. Foliensysteme mit integrierten, ultradünnen Siliziumchips sind kompakte elektronische Systeme mit hoher Funktionsdichte, kleinster Bauhöhe, niedriger Masse, mechanischer Flexibilität und einem hohen Formfaktor-Freiheitsgrad.

Erste Forschungseinrichtungen [2] haben die Einbettung ultradünner Chips in Kunststoffschichten bereits zu einem kommerziell nutzbaren Reifegrad entwickelt. Die dafür eingesetzten Prozesse sind hauptsächlich auf die Fertigung hoher Stückzahlen ausgerichtet. Die Herstellung kleiner Stückzahlen, beispielsweise für die Forschung und Entwicklung neuer Foliensysteme oder zur Individualisierung, gestaltet sich unter der Verwendung der bisher zur Verfügung stehenden Prozesse als kostenintensiv. Deshalb werden in dieser Arbeit neuartige Prozesse untersucht, die zu einer innovativen Prozesskette zur wirtschaftlich zielführenden Herstellung individualisierter Foliensysteme mit eingebetteten ultradünnen Siliziumchips führen.

1.1. Ausgangssituation und Problemstellung

Für die Erzeugung von Schaltkreisen werden in der Halbleiterindustrie Siliziumscheiben, sogenannte Wafer, verwendet. Die erzeugten Schaltkreise mitsamt Leiterbahnen und Kontaktflächen liegen meist nur in den obersten 10 μm der Wafer. Das sich darunter befindliche Bulkmaterial dient zur Versteifung und der besseren Handhabung während der Fertigungsprozesse der Schaltkreise auf den Siliziumchips. Das Bulkmaterial kann nach Fertigstellung der Chip-Fertigungsprozesse durch chemisch-mechanisches Schleifen entfernt werden, um so den Siliziumchip zu dünnen [3]. Dies kann prinzipiell bis zu resultierenden Chipdicken von unter 20 μm durchgeführt werden. Unterhalb von 50 μm Dicke wird der Siliziumchip mechanisch biegsam. Je dünner der Chip, umso kleiner ist der mögliche Biegeradius [4]. Diese rückgedünnten Siliziumchips werden als ultradünn bezeichnet und können zum Aufbau von neuartigen Foliensystemen in Kunststoffschichten eingebettet werden, die eine hohe mechanische Flexibilität aufweisen. So können Foliensysteme mit integrierten, ultradünnen Chips dynamischen Bewegungen folgen. Durch den geringen Materialbedarf erhält man elektronische Systeme mit geringer Masse. Da die Systeme nur eine geringe Bauhöhe aufweisen, benötigen sie nur einen geringen Platzbedarf und können auch in engsten Bauräumen eingesetzt werden. Hier können durch die integrierten Siliziumchips die erfassten Sensordaten direkt am Ort der Messung ausgewertet werden. Die Vorteile prädestinieren Foliensysteme für Anwendungen in Einsatzbereichen, die nicht mehr durch starre Leiterplattentechnik bedient werden können.

Ein großer Nutzen liegt in der Medizintechnik, da Foliensysteme den Bewegungen des Trägers folgen können und durch das geringe Gewicht den Patienten kaum beeinträchtigen. Dadurch ergeben sich Möglichkeiten für körpernahe, individuelle Systeme, die auf der Haut getragen werden, oder gar Implantate, die innerhalb des Körpers Signale erfassen und verarbeiten können [5]. So wurden Foliensysteme bereits zur Messung von Elektrokardiogrammen [6] eingesetzt. In der Luftfahrt bieten der geringe Platzbedarf und das im Vergleich zu Leiterplatten geringere Gewicht Vorteile einer Treibstoffeinsparung. Auch kleinste Bauräume in Industriemaschinen können mit sensorischen Einheiten auf Foliensystembasis nachgerüstet werden und ermöglichen so einen Zugang zu Industrie-4.0 oder dem Internet-of-Things (IoT) [7]. So können beispielsweise die Wölbung eines Objektes gemessen [8] oder Magnetfelder detektiert werden [9]. Auch wurde bereits die Integration von Beschleunigungssensoren in Foliensysteme [10] oder die Eignung für Hochfrequenzapplikationen demonstriert [11].

Trotz der genannten Vorteile werden Foliensysteme mit eingebetteten, ultradünnen Chips nur selten genutzt. Anwendungen von Foliensystemen sind bisher hauptsächlich im Forschungsumfeld anzutreffen oder befinden sich in einem frühen Status der Kommerzialisierung. Das mag zum einem an der schwierigeren Handhabung ultradünner Chips liegen. Diese weisen durch Leiterbahnmetallisierung und asymmetrischen Aufbau mechanische Spannungen auf. Durch das Entfernen des versteifenden Bulkmaterials neigen die ultradünnen Chips deshalb zur Wölbung durch thermo-mechanische Spannungen. Zum anderen ist die Aufbau- und Verbindungstechnik herausfordernder im Vergleich zu Chips konventioneller Dicke, da das Silizium weiterhin bei Auftreten punktuell hoher mechanischer Spannung zum Spröbruch neigt. Des Weiteren sind die Anforderungen an Materialien, die zur Herstellung von Foliensystemen eingesetzt werden können, durch die Forderung nach mechanischer Flexibilität deutlich höher im Vergleich zur konventionellen Leiterplattentechnik.

Im nachfolgenden Kapitel zum Stand der Technik wird gezeigt, dass es bereits erprobte Prozessketten gibt, mit denen sich ultradünne Siliziumchips in Polymerschichten einbetten und elektrisch kontaktieren lassen. Dies wird hauptsächlich mit maskenbasierten Batchprozessen durchgeführt, wodurch vergleichsweise hohe Kosten bei der Fertigung niedriger Stückzahlen entstehen. Hier von werden insbesondere kleine und mittlere Unternehmen (KMU) mit innovativen Ideen, aber niedrigem Forschungsetat, von einem Einsatz von Foliensystemen abgeschreckt. Um die Forschung und Entwicklung und damit die Kommerzialisierung zu fördern, müssen deshalb Prozesse entwickelt werden, die auch kleine Stückzahlen beginnend ab Stückzahl 1 mit vertretbaren Kosten ermöglichen. Darüber hinaus kann die Fertigung kostengünstiger, individueller Foliensysteme die Chance bieten, Foliensysteme auch für bisher unbekannte Anwendungen zu erproben oder gar neue Anwendungsfelder zu erschließen.

1.2. Ziele dieser Arbeit

Das Gesamtziel dieser Arbeit ist die Realisierung einer Prozesskette zum Aufbau individualisierter Foliensysteme. Die Prozesskette besteht aus mehreren Einzelschritten, beginnend mit der Applikation des ultradünnen Chips auf einen Folienträger, die anschließende Einbettung, das Öffnen der Kontaktflächen und die elektrische Kontaktierung des Chips. Um dies zu erreichen, wurden mehrere Teilziele definiert:

- 1) Das erste Teilziel stellt die Ermittlung von Materialien und Einzelprozessen dar, die für den Aufbau mechanisch flexibler, individueller Foliensysteme mit eingebetteten, ultradünnen Chips genutzt werden können. Sowohl Materialien als auch Prozesse müssen miteinander kompatibel sein. Dies setzt voraus, dass die verwendeten Materialien eine intrinsische Flexibilität aufweisen oder durch die eingesetzten Prozesse so dünn aufgebracht werden können, dass eine hinreichende mechanische Flexibilität erreicht wird.

Fragestellung 1: Welche Materialien können eingesetzt und welche Einzelprozesse verwendet werden, um mechanisch flexible, individuelle Foliensysteme mit eingebetteten, ultradünnen Siliziumchips aufzubauen?

- 2) Im Rahmen der Arbeit sollen ausschließlich kommerzielle Materialien zur Herstellung von Foliensystemen eingesetzt und unter der Verwendung werkzeugloser Einzelprozesse verarbeitet werden.

Fragestellung 2: Können kommerziell erhältliche Materialien über werkzeuglose Einzelprozesse in einer neuen Herangehensweise so miteinander kombiniert werden, dass eine Layout-flexible Prozesskette entsteht, mit der der Aufbau individualisierter Foliensysteme bereits bei kleinen Stückzahlen wirtschaftlich möglich ist?

- 3) Ein weiteres Teilziel ist die ausschließliche Verwendung von Materialien, die, im Gegensatz zu den bisher in der Literatur eingesetzten Prozessen, unter Normalatmosphäre ohne Schutzgas prozessiert werden können. Dies ist ebenfalls bei der Materialauswahl zu berücksichtigen.

Fragestellung 3: Stehen Materialien zur Verfügung, die eine Prozessführung unter Normalatmosphäre ermöglichen?

- 4) Zur Einbettung ultradünner Chips sind Montagetechniken zur Fixierung der Chips auf einem Substrat notwendig. Das vierte Teilziel ist erreicht, wenn Prozesse zur Handhabung und der klebstoffbasierten Montage der ultradünnen Siliziumchips auf einem mechanisch flexiblen Substrat zur Verfügung stehen. Dabei muss der Klebspalt zum einen ausreichend dünn sein, um die mechanische Flexibilität des Gesamtsystems nicht einzuschränken. Zum anderen muss eine homogene Klebstoffschicht vorhanden sein, um eine zuverlässige mechanische Verbindung zwischen Siliziumchip und Substrat auszubilden.

Fragestellung 4: Wie muss eine klebstoffbasierte Montage eines ultradünnen Siliziumchips auf einem flexiblen Substrat erfolgen, damit homogene und ausreichend dünne Klebstoffspalte realisiert werden?

- 5) Foliensysteme können je nach anvisiertem Anwendungsfeld verschiedene Größen beziehungsweise Formfaktoren annehmen. Der Freiheitsgrad der Substratdimensionierung soll deshalb bei der Entwicklung des Applikationsprozesses beachtet werden. Das fünfte Teilziel ist dann erreicht, wenn ein Applikationsprozess zur Einbettung ultradünner Siliziumchips unabhängig von Form und Größe des Substrats vorliegt.

Fragestellung 5: Kann ein Applikationsprozess zur Einbettung ultradünner Siliziumchips gefunden werden, der unabhängig von Form und Größe des Foliensystems

eingesetzt werden kann? Welche Prozessparameter sind hierfür zu berücksichtigen?

- 6) Das sechste Teilziel beinhaltet die elektrische Kontaktierung der eingebetteten Chips. Um auch niedrige Stückzahlen zu ermöglichen, soll ein maskenloses Verfahren zur Kontaktierung eingesetzt werden, mit dem gegebenenfalls Lageverschiebungen und Verdrehung der ultradünnen Siliziumchips während der Montage ausgeglichen werden können.

Fragestellung 6: Kann ein maskenloses Verfahren zur elektrischen Kontaktierung von eingebetteten, ultradünnen Siliziumchips verwendet werden und erlaubt das Verfahren die Kompensation von Toleranzen während der Chipmontage?

- 7) Teilziel 7 beinhaltet, dass durch die erfolgreiche Verknüpfung der Einzelprozesse eine Prozesskette zur Fertigung individualisierter Foliensysteme möglich ist. Damit ist auch das Gesamtziel erreicht.

Fragestellung 7: Können die untersuchten Einzelprozesse zu einer Prozesskette für den Aufbau individualisierter Foliensysteme verknüpft werden?

1.3. Gliederung der vorliegenden Arbeit

Diese Arbeit ist in insgesamt 8 Kapitel gegliedert. Im einführenden Kapitel 1 wurde dem Leser bereits ein Überblick aufgezeigt, sowohl über die Vorteile von Foliensystemen mit integrierten, ultradünnen Siliziumchips, aber auch über fehlende Prozesse, um Prototypen oder geringe Stückzahlen eben jener Foliensysteme zu wirtschaftlich vertretbaren Kosten fertigen zu können.

In Kapitel 2 wird auf Grundlagen der Photolithographie und einer Form der Metallschichtabscheidung, der Physical Vapour Deposition (PVD) durch Sputtern, eingegangen. Die Kenntnisse sind notwendig, um die Prozesse im sich anschließenden Stand der Technik nachvollziehen zu können. Es werden weiterhin zwei in der Literatur beschriebene Prozessketten aufgezeigt. Das ist zum einen das „Ultra Thin Chip Package“ (UTCP) und zum anderen das „Chip-Film Patch“ (CFP), mit denen eine Einbettung und elektrische Kontaktierung von ultradünnen Siliziumchips in Polymer-schichten erreicht werden kann.

Kapitel 3 befasst sich mit der Konzeptionierung einer innovativen Prozesskette, die im Hinblick auf das Ziel, individualisierte Foliensysteme mit eingebetteten ultradünnen Chips herstellen zu können, geeignete Einzelprozesse beinhaltet und diese in eine anwendungsorientierte Abfolge setzt. Diese Einzelprozesse sind neuartig für die Herstellung von Foliensystemen, und es bedarf der Prozessentwicklung, die in den Kapiteln 4 und 5 durchgeführt wird.

So werden in Kapitel 4 Untersuchungen von klebtechnischen Montageprozessen vorgestellt, die zur Fixierung von ultradünnen Siliziumchips eingesetzt werden können. Hierfür wurden verschiedene Verfahren entwickelt, die sowohl Einzelchips als auch mehrere ultradünne Chips manuell und automatisiert mit geringen Platzertoleranzen übertragen können. Neben der Verwendung von Bestückungsgeräten wurden auch alternative Verfahren überprüft, um Nachteile der konventionellen Pick & Place -Prozesse auszugleichen.

In Kapitel 5 folgt die Beschreibung der Forschungsarbeiten zu den Einzelprozessen zur Einbettung der fixierten Chips mittels Conformal-Coating-Sprühen, der photolithographischen Öffnung der Chipkontaktflächen sowie der elektrischen Kontaktierung mittels Inkjetdrucks nanopartikulärer Tinten. Zu Beginn werden dem Leser diese Einzelprozesse vorgestellt und im Hinblick auf den Stand der Technik sowie den wissenschaftlichen Hintergrund beschrieben. Jeder dieser Prozesse spannt einen Raum von Prozessparametern auf, die begutachtet werden müssen und deren Einfluss auf das gewünschte Resultat zu bestimmen ist.

Letztendlich erlaubt das Verständnis dieser Einzelprozesse die Realisierung einer Prozesskette in Kapitel 6. In diesem Kapitel wird insbesondere auf die Abfolge der Einzelprozesse sowie die sich ergebenden Herausforderungen eingegangen, die bei der Einbettung von ultradünnen Siliziumchips und deren elektrische Kontaktierung zum Aufbau eines Foliensystems berücksichtigt werden müssen.

Die Ergebnisse der Forschungsarbeiten aus den Kapiteln 4 und 5 sowie des Transfers in eine Prozesskette in Kapitel 6 werden in Kapitel 7 zusammengeführt und diskutiert. Es wird ein Vergleich mit den literaturbekannten Prozessketten durchgeführt, und die Vorteile sowie die Beschränkungen der neuentwickelten Prozesskette werden resümiert.

Die Arbeit wird in Kapitel 8 mit einer Zusammenfassung und einem Ausblick abgeschlossen.

2. Grundlagen

Zum großen Anteil haben europäische, wissenschaftliche Arbeitsgruppen und Forschungskoope-
rationen in den letzten 20 Jahren die Entwicklung von Foliensystemen mit ultradünnen Chips vo-
rangebracht, da man die Notwendigkeit einer fortschreitenden Miniaturisierung von elektroni-
schen Systemen sah. Die Fortschritte in diesem Bereich sind auch auf ein tiefes Verständnis mik-
rosystemtechnischer Technologien zurückzuführen. Auf die Grundlagen zweier ausgewählter, oft-
mals zur Fertigung von Foliensystemen eingesetzter Technologien soll in den nachfolgenden Ka-
piteln eingegangen werden. Das ist zum einen in Kapitel 2.1 die *Photolithographie*. Zum anderen
wird in Kapitel 2.2 das *Sputtern* aus der Gruppe der Physical Vapour Deposition vorgestellt. Es
folgt in Kapitel 2.3 der *Stand der Technik zur Integration von ultradünnen Siliziumchips in Foliensystemen*.

2.1. Photolithographie

Die Photolithographie stellt eine Schlüsseltechnologie zur Herstellung immer kleiner werdender,
integrierter Schaltungen dar. Das Ziel der Photolithographie ist die Maskierung einer Oberfläche
mit einer partiell geöffneten Lackschicht, um anschließend die geöffneten Bereiche weiteren Pro-
zessen zugänglich zu machen. So kann die Maskierung beispielsweise ein darunterliegendes Me-
tall vor einem Ätzangriff schützen oder eine lokal begrenzte Abscheidung von Metallen in den ge-
öffneten Oberflächenbereichen erlauben.

Um die Maskierung herzustellen, wird ein photosensitiver Lack, Photoresist genannt, auf die
Oberfläche aufgetragen. Durch die Belichtung mit Licht definierter Wellenlänge wird eine Ände-
rung der Molekülkettenlänge im Photoresist bewirkt. Dies kann zum einen durch Aufbrechen lan-
ger Molekülketten geschehen. Diese Lacke werden als Positivresist bezeichnet. Andererseits löst
eine Belichtung bei einem Negativresist Vernetzungsreaktionen aus, wodurch die Kettenlänge in
den belichteten Bereichen steigt. Die lokale Änderung der Kettenlänge wird nach der Belichtung
dazu genutzt, dass die Bereiche mit niedriger Molekülkettenlänge in einem chemischen Bad, dem
sogenannten Entwickler, in Lösung gehen. Ziel ist der ausschließliche Verbleib der Lackbereiche
mit langkettigen Molekülketten. Eine schematische Darstellung für das unterschiedliche Verhal-
ten von Positiv- und Negativresist ist in Abbildung 1 gezeigt. Nach erfolgter Prozessdurchführung
wird der Resist von der Oberfläche entfernt.

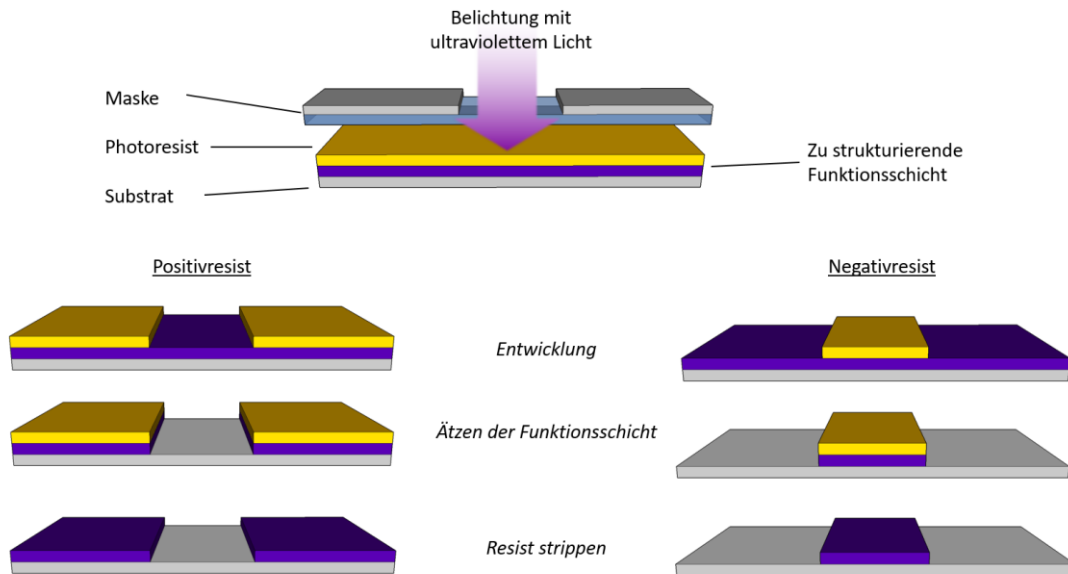


Abbildung 1: Schematische Darstellung des Prozesses der Belichtung, Entwicklung und des Ätzens des freigelegten Bereichs sowohl für Positiv- als auch für Negativresist im Vergleich. (nach [12])

Um zu verhindern, dass das Licht während der Belichtung in die gesamte Lackschicht eindringt, werden Bereiche des Photoresists abgedunkelt. Dafür wird eine partiell mit Chrom beschichtete Glasscheibe als Maske zwischen Belichtungseinheit und Lack positioniert. Die UV-Strahlung zur Belichtung des Lacks wird vom Glas transmittiert, jedoch vom Chrom reflektiert. Je nach Position der Maske zwischen Belichtungseinheit und photosensitivem Lack unterscheidet man hauptsächlich drei Verfahren. Diese variieren in der erreichbaren Auflösung, also der kleinstmöglichen, noch abbildbaren Strukturbreite, im Durchsatz und den Initialkosten. Die geringste Auflösung unter den Maskenbelichtungsverfahren weist das Belichten mit einem Luftspalt zwischen Maske und Photoresist auf, die sogenannte „Proximity“-Belichtung. Die Standzeit der Masken ist hoch, da diese nicht mit dem Photoresist in Kontakt kommen. Im Gegensatz dazu kann es bei der „Contact“-Belichtung, bei der die Glasmasken auf den Photoresist aufgelegt oder sogar angedrückt wird, zur Kontamination der Maske oder zur Beschädigung des Photoresists oder der Maske kommen. Jedoch ist dieses Verfahren notwendig, um eine bessere Auflösung zu erreichen, da Beugungseffekte an den Rändern der Chrommaskierung weniger stark in den Photoresist übertragen werden. Bei beiden Verfahren wird die Maske mit einem „Mask-Aligner“ ausgerichtet und in einem einzigen Belichtungsschritt die gesamte Fläche der Maske genutzt, um das Layout auf den Photoresist zu übertragen (Abbildung 2). Eine Weiterentwicklung ist das „Step-and-repeat“-Verfahren. Über ein Linsensystem in einem „Stepper“ genannten Gerät wird das Strukturbild der Maske auf eine kleinere Abbildungsfläche auf dem Photoresist projiziert. Die Projektion wird sequentiell und wiederholt in den Resist belichtet. Dies stellt zwar hohe Anforderungen an das Linsensystem sowie an die Präzision der Motorik, mit der ein Wafer mitsamt Photoresist unter der Maske verfahren wird, jedoch sind hiermit höhere Auflösungen möglich [13].

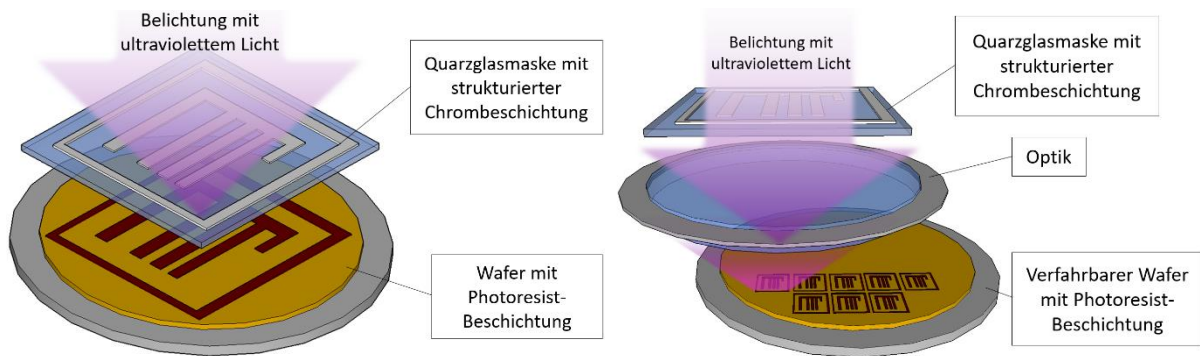


Abbildung 2: Darstellungen der Funktionsweise maskengebundener Belichtungsverfahren. Links: Proximity-Belichtung. Rechts: Belichtung mit einem Stepper.

2.2. Physical Vapour Deposition: Sputtern

Das Sputtern ist ein Verfahren aus der Gruppe der Physical Vapour Deposition (kurz: PVD, im Deutschen: physikalische Gasphasenabscheidung) und dient zur Aufbringung von Metall-, Keramik- und Legierungsschichten. Im Deutschen wird es auch als Kathodenzerstäubung bezeichnet. Hieraus lässt sich bereits ableiten, dass ein Material zerstäubt, also in Partikel zerlegt wird. Hierfür wird das sogenannte Target benutzt. Das Target wird während des Prozesses einem Plasma ausgesetzt, wodurch Ionen des Plasmas Partikel aus der Oberfläche des Targetmaterials herauslösen [14]. Diese gehen in die Gasphase über und scheiden sich letztendlich auf der Oberfläche eines Substrats ab. Wird auf die Abscheidung einer Legierung abgezielt, so hat das Target bereits die gewünschte Zusammensetzung wie die anschließend abgeschiedene Schicht auf dem Substrat. Damit ein Plasma gezündet werden kann, muss in der Kammer, in der Target und Substrat positioniert sind, ein Vakuum vorherrschen. Die Ionen, die zum Beschuss der Targetoberfläche genutzt werden, entstammen einem Prozessgas, das zusätzlich eingeleitet wird. In Abbildung 3 ist eine schematische Darstellung einer Vakuumkammer für die Durchführung eines Sputterprozesses mit dem Prozessgas Argon bei Anlegen einer Gleichspannung gezeigt. Das Argon wird durch ein äußeres angelegtes elektrisches Feld ionisiert. Die massereichen, positiv geladenen Ionen werden in Richtung des Targets beschleunigt, welches als Kathode negativ geladen ist. Dadurch werden aus dem Target Atome oder Cluster herausgelöst, die sich dann auf dem nur wenige Zentimeter entfernten Substrat abscheiden [15]. Um Isolatoren wie beispielsweise Keramiken sputtern zu können, muss anstelle einer Gleichspannung eine (Hochfrequenz-)Wechselspannung eingesetzt werden [16]. Weiterentwicklungen sind das Magnetronsputtern zur Erhöhung der Abtragsrate durch stärkeren Ionenbeschuss des Targets sowie das reaktive Sputtern, bei dem zusätzlich zum Prozessgas reaktive Gase zum Einsatz kommen, um so beispielsweise Oxide oder Nitride abscheiden zu können [17].

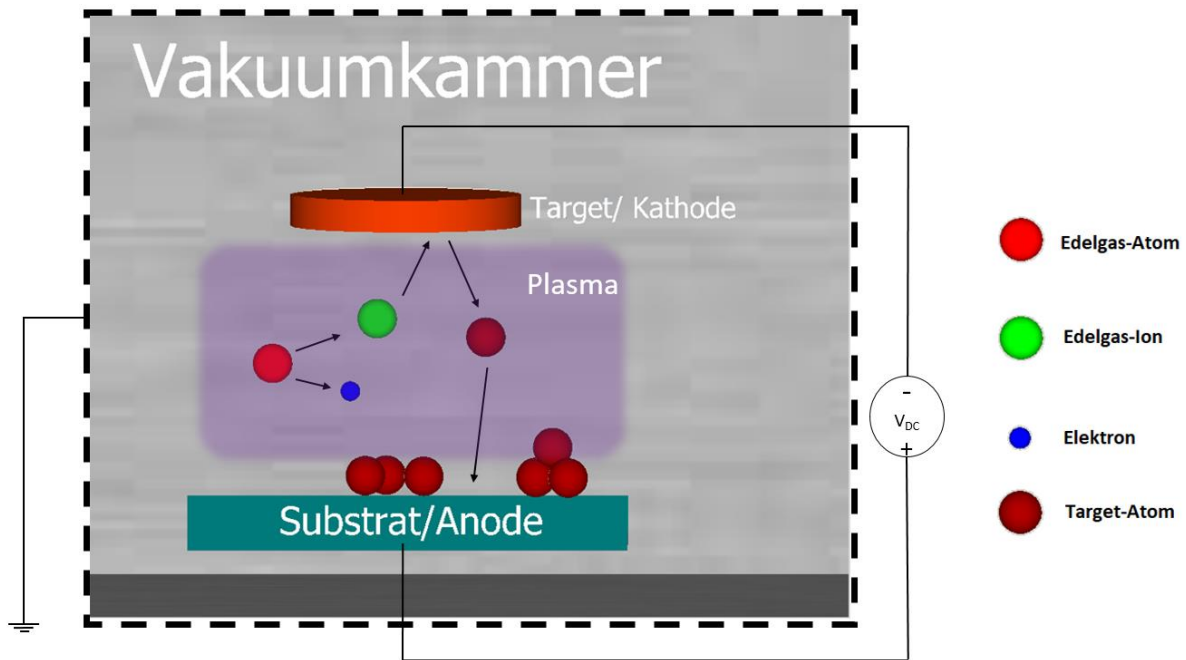


Abbildung 3: Schematische Darstellung einer Vakuumkammer für PVD-Sputterprozesse.

2.3. Stand der Technik zur Integration von ultradünnen Chips in Folien-systeme

In der Literatur lassen sich verschiedene Kombinationen von ultradünnen Chips und Foliensubstraten finden. So können Foliensysteme als „Chip-in-Foil“ (CiF) aufgebaut werden, wenn hierbei der Chip komplett von schützendem Material umgeben wird. Wird ein „Face-down“-Ansatz, erläutert in Kapitel 2.3.1, zum Fügen eines ultradünnen Chips benutzt und wird kein Material zum Einbetten des ultradünnen Chips eingesetzt, handelt es sich bei diesem System um ein „Chip-on-Foil“ (CoF).

Des Weiteren lässt sich die Prozessführung zur Einbettung ultradünner Siliziumchips in zwei Kategorien gliedern. Je nach Orientierung der elektronisch aktiven Chipoberfläche unterscheidet man zwischen „Face-Down“- beziehungsweise „Face-Up“-Montage. In Abhängigkeit der Chiporientierung müssen dann unterschiedliche Methoden zur Einbettung in Polymere sowie zur elektrischen Kontaktierung der ultradünnen Siliziumchips gewählt werden.

2.3.1. Chiporientierung „Face-Down“

In der Prozessführung der „Face-Down“-Variante wird der Chip mit der Kontaktflächenseite auf ein Substrat gefügt, auf dem bereits Leiterbahnen oder Kontaktflächen als Substratmetallisierung vorbereitet sind (Abbildung 4). Diese Art der Kontaktierung ist bei Chips mit Standarddicken als Flip-Chip-Verfahren bekannt. Um eine zuverlässige elektrische Kontaktierung zu erzielen, sind

Lothöcker, meist wird der englische Begriff Bumps verwendet, auf den Chipkontaktflächen notwendig. Es stehen unterschiedliche Montagetechniken und Bump-Metallschichtsysteme für diese Füge-Variante zur Verfügung [18].

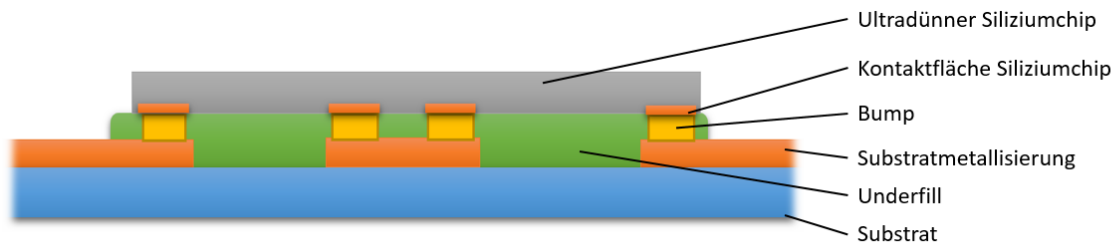


Abbildung 4: Darstellung eines mittels "Face-Down"-Variante gefügten, ultradünnen Siliziumchips.

Bei Siliziumchips mit Standarddicken wird am häufigsten Lot zum Fügen eingesetzt [19]. Als Bumps werden Lotkugeln verwendet. Zusätzlich wird vor dem Aufsetzen des Chips auf die Substratmetallisierung Flussmittel appliziert, um die Ausbildung der elektrischen Verbindung zu unterstützen. Als alternative Methode können auch Goldstuds¹ als Bumps eingesetzt werden, wobei pastöses Lot sowie Flussmittel auf die Substratmetallisierung aufgebracht wird. Zur Erhöhung der Zuverlässigkeit kann zusätzlich ein Polymer zwischen Siliziumchip und Substrat eingebracht werden, das als „Underfill“ bezeichnet wird [20]. Um Kurzschlüsse während des Umschmelzens des Lots zu vermeiden, ist die Verwendung einer Lötstopmmaske auf der Oberfläche der Substratmetallisierung notwendig. Dies stellt einen zusätzlichen Prozessschritt dar.

Auf den Einsatz einer Lötstopmmaske kann durch die Verwendung von Klebstoff anstatt eines umschmelzenden Lots verzichtet werden [18]. Es stehen drei unterschiedliche Arten von Klebstoffen zur Verfügung. Einerseits kann ein elektrisch isolierender Klebstoff (non-conductive adhesive, NCA) appliziert werden, der beim Aufsetzen des Chips durch die Bumps verdrängt wird. Durch den Schrumpf beim Aushärten des Klebstoffs wird der Siliziumchip mit seinen Bumps dauerhaft auf die Substratmetallisierung gedrückt [20], [21]. Die Klebstoffmatrix verstärkt die mechanische Verbindung ähnlich dem Underfiller beim Einsatz von Lot. Einzig die Bumps bilden elektrische Kontakte aus. Andererseits können elektrisch leitfähige Klebstoffe eingesetzt werden. In Abhängigkeit vom Füllgrad des Klebstoffs kann wiederum zwischen elektrisch isotrop leitfähigem (englisch: isotropic conductive adhesive, ICA) oder elektrisch anisotrop leitfähigem Klebstoff (anisotropic conductive adhesive, ACA) unterschieden werden [22]. Der Füllgrad eines ICA ist deutlich höher als der eines ACA. Die Leitfähigkeit des ICA wird durch die Zugabe elektrisch leitfähiger Partikel erreicht, beispielsweise durch Silberpartikel [23]. Der Füllgrad kann bis zu 80 Gew.% betragen [18]. Durch den hohen Füllgrad wird eine elektrische Leitfähigkeit in alle Raumrichtungen erreicht, die wiederum vom Füllgrad, der Aushärtetemperatur und dem resultierendem Vernetzungsgrad abhängig sind [24]. Die isotrope Leitfähigkeit beschränkt gleichzeitig den erreichbaren Pitch², da durch das Aufpressen des Chips der flüssige Klebstoff unter der Chipfläche verteilt wird und damit das Risiko eines Kurzschlusses einhergeht. Im Gegensatz dazu sind die leitfähigen Partikel beim ACA durch den niedrigen Füllgrad statistisch ausreichend weit voneinander entfernt, so dass keine leitfähigen Pfade ausgebildet werden. Diese werden erst während des Aufsetzens

¹ Golddraht-Kontaktierhöcker, die beim Drahtbonden durch das Setzen des ersten Ball-Bonds und anschließendes Abreißen des Drahtes entstehen

² Pitch= Distanz zwischen den Mitten zweier nebeneinanderliegender elektrischer Strukturen, beispielweise zweier Leiterbahnen oder Chipkontaktflächen.

des Chips erreicht, wenn die leitfähigen Partikel zwischen Bump und Leiterbahn eingeklemmt werden [25]. Beim ACA werden neben Silberpartikeln auch versilberte oder vergoldete Nickelpartikel, Glaskugeln mit Silberüberzug oder Kunststoffkugeln mit Nickel/Gold-Beschichtung eingesetzt [18]. Während der Klebstoffaushärtung muss beim ACA zusätzlich zur erhöhten Temperatur noch ein Aufpressdruck auf den Chip vorliegen, damit es zur Verformung der Kugeln und zur Ausprägung einer leitfähigen Verbindung kommt. Da beim ACA weniger Partikel bei der Ausprägung des leitfähigen Pfades zwischen Kontaktpad und Substratmetallisierung beteiligt sind, sind die resultierenden Leitwerte geringer im Vergleich zur Nutzung eines ICA.

Die „Face-down“-Variante wurde bereits ausführlich für das Fügen von ultradünnen Siliziumchips genutzt [9], [26]–[34], zumeist unter der Verwendung von ACA. Zum einen ermöglicht ACA die Nutzung von Siliziumchips mit geringeren Pitches als beim ICA, bei dem das Risiko von Kurzschlüssen mit einer Reduzierung der Kontaktabstände ansteigt. Zum anderen baut sich die elektrische Verbindung dünner auf im Vergleich zu NCA und ICA, da der Durchmesser der leitfähigen Partikel im ACA nur wenige Mikrometer aufweist. Andererseits muss für die Ausbildung einer zuverlässigen elektrischen Kontaktstelle ein Aufpressdruck auf den Chip erfolgen. Dies kann bei zu hohem Anpressdruck oder während einer Biegung des Foliensystems zum Sprödbruch des ultradünnen Siliziumchips führen [35], [36]. Des Weiteren gibt es eine Untersuchung, die bei Biege-Wechsel-Belastungstests bei CoF-Systemen einen früheren Ausfall feststellte als bei CiF-Systemen. Dies ist laut den Autoren der Untersuchung auf eine Rissbildung in den Leiterbahnstrukturen zurückzuführen und nicht auf Versagensmechanismen in Zusammenhang mit dem ultradünnen Chip [33].

Eine neuartige „Face-down“-Variante wurde von Albrecht et. al. in [37] präsentiert. Diese Variante nutzt keine Bumps, sondern Nanodrähte zur Ausbildung einer elektrischen Verbindung. Bei diesem Verfahren wird durch ein poröses Material Elektrolyt auf die Kontaktfläche geleitet, wodurch feine Drähte mit einem Durchmesser im Bereich von 30 nm bis 4 μm auf der Kontaktstelle aufwachsen [38]. Wird dies auf zwei Kontaktflächen durchgeführt, die miteinander gefügt werden sollen, können diese Kontaktflächen ähnlich einer Klettverbindung mechanisch und elektrisch verbunden werden. Aus diesem Grund wird die dahinterstehende Technologie, die einen Pitch $< 5 \mu\text{m}$ erlaubt, als „KlettSintering“ oder „KlettWelding“ bezeichnet.

2.3.2. Chiporientierung „Face-Up“

Die zweite Variante der Chipmontage wird in der Literatur als „Face-Up“ bezeichnet. Hierbei wird die Rückseite des Chips auf die Substratoberfläche geklebt und die freiliegenden Kontaktflächen auf dem Chip stehen in nachfolgenden Prozessschritten für eine elektrische Kontaktierung zur Verfügung (Abbildung 5). Die mechanische Fixierung des Chips auf dem Substrat erfolgt durch elektrisch isolierenden Klebstoff. Daran schließt sich die Applikation einer Polymerschicht zur Einbettung des Chips, die Öffnung der Chipkontaktflächen sowie die elektrische Kontaktierung durch Leiterbahnapplikation an. Alle Prozessschritte erfolgen sequentiell. Abschließend kann eine weitere Kunststoffschicht zum Schutz der Leiterbahnen aufgetragen werden. Da bei dieser Chiporientierung die Metallisierung direkt auf die Chipkontaktfläche aufgetragen wird, können niedrige Gesamtsystemdicken erreicht und ein niedriger Pitch bedient werden. Weiterhin hat diese Variante gegenüber dem „Face-Down“-Aufbau den Vorteil, dass sich lokal keine mechanischen Spannungsspitzen ergeben, die ein Risiko für den Sprödbruch des gedünnten Siliziums darstellen.

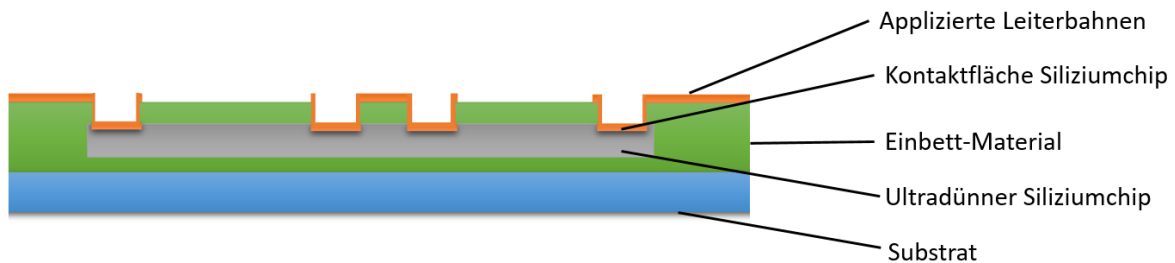


Abbildung 5: Darstellung eines mittels „Face-Up“-Variante gefügten, ultradünnen Siliziumchips.

Arbeitsgruppen, die die „Face-Up“-Variante einsetzen, nutzen hauptsächlich Polyimid (PI) zur Einbettung von ultradünnen Chips, da es mechanisch flexibel sowie chemisch und thermisch sehr beständig ist. Es wird als flüssiges Medium verarbeitet, welches üblicherweise bei hohen Temperaturen bis zu 400° C unter sauerstofffreier Atmosphäre ausgehärtet wird [39]. Weil die hohe Polymerisationstemperatur die Auswahl verfügbarer Klebstoffe zur Fixierung ultradünner Chips stark eingrenzt, wird oftmals Benzocyclobuten (BCB) als Klebstoff genutzt. BCB ist ein hochtemperaturstabiler Photoresist [40], [41], der in nicht vollständig vernetzter Form klebrig ist und so zur mechanischen Fixierung von ultradünnen Chips genutzt werden kann. Auch BCB muss unter sauerstofffreier Atmosphäre ausgehärtet werden [42]. Die Prozessketten beinhalten Prozessschritte zur Erzeugung von Kavitäten, in die in einem nachfolgenden Schritt unter der Verwendung von BCB die ultradünnen Siliziumchips platziert werden.

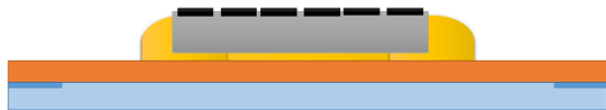
2.3.3. Literaturbekannte Face-Up-Prozessketten

Eine Kooperation der IMEC Group und der Universität Gent präsentierte eine Prozesskette zur Einbettung ultradünner Chips und deren elektrischer Kontaktierung unter Verwendung eines photounempfindlichen Polyimids und BCB [6], [43]. Das so aufgebaute Foliensystem wurde Ultra Thin Chip Package (UTCP) genannt [43]. Die nachfolgend beschriebene Prozesskette eines UTCP ist in Abbildung 6 dargestellt. Ein starrer Glasträger dient als temporäres, starres Substrat zum schichtweisen Aufbau. Die Ecken des Glases wurden mit einem Haftvermittler belegt, da PI 2611 eine schlechte Haftung auf Glas aufweist [44]. Nach Auftragen des PIs mittels Spincoating und dessen Polymerisation wird BCB zur Fixierung eines ultradünnen Siliziumchips dispent. Nach Aufsetzen eines Chips auf dem BCB wird dieses vollständig ausgehärtet. Es wird eine weitere Schicht PI mittels Spincoating aufgebracht und anschließend polymerisiert. Das Öffnen der Chipkontaktflächen erfolgt durch Laserbohren. Die Leiterbahnherstellung wird durch semi-additive PVD durch das Sputtern von TiW/Cu in Kombination mit photolithographischer Maskierung realisiert. Zum Lösen des Foliensystems wird das PI im Bereich schlechter Glasanhaftung mit einem Laser geschnitten, wodurch das Foliensystem von der Oberfläche des Glases gelöst werden kann.

- 1) Vorbereitung einer Polyimidschicht auf einem präparierten Glasträger durch Spin-Coating und Polymerisation. Anschließend Dispensen von BCB.



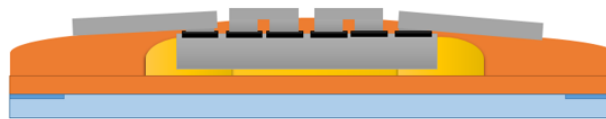
- 2) Face-Up-Platzierung eines ultradünnen Siliziumchips auf das dispensierte BCB.



- 3) Nach Aushärtung des BCB wird eine weitere Lage Polyimid aufgebracht und ausgehärtet.



- 4) Mittels Laserbohrens werden Öffnungen im Polyimid oberhalb der Chipkontaktflächen realisiert. Zur Erzeugung der elektrischen Verbindungen folgen Sputter- sowie photolithographische Strukturierungsprozesse.



- 5) Nach dem Laserschneiden kann das Foliensystem vom Glasträger abgelöst werden.

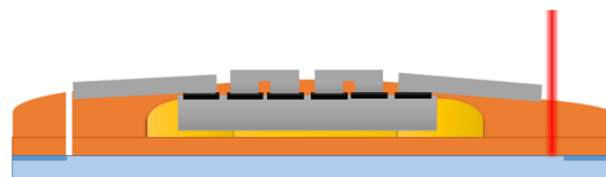


Abbildung 6: Die Prozesskette zur Herstellung eines UTCP nutzt BCB zur Fixierung eines ultradünnen Siliziumchips sowie ein Polyimid zur Einbettung des geklebten Chips. Die Chipkontakte werden mittels Laserbohrens geöffnet. Es folgen Sputter- und photolithographische Strukturierungsprozesse. (nach [6])

Durch die asymmetrische Schichtabfolge sowie thermo-mechanische Spannungen rollten sich die Foliensysteme nach dem Ablösen vom steifen Träger zusammen. Durch die Benutzung eines zweiten, photosensitiven Polyimids sowie eine symmetrische Schichtabfolge konnte dies verhindert werden [44]. Die Prozessschrittfolge ist in Abbildung 7 dargestellt. Dazu wurde auf dem Glassubstrat zuerst photounempfindliches PI aufgesponnen und polymerisiert. Es folgte das Aufspinnen des photosensitiven Polyimids, in welches durch Photostrukturierung eine Kavität eingebracht wurde. Nach Dispensen von BCB in die Kavität wurde in diese ein ultradünner Chip eingesetzt.

Danach wurde das BCB ausgehärtet. Abschließend wurde eine Schicht des nicht-photostrukturierbaren PIs aufgesponnen und polymerisiert. Zur Verstärkung der Anhaftung des photounempfindlichen PIs auf dem photoempfindlichen PI wurde eine Plasmareinigung durchgeführt sowie ein Adhäsionsverstärker aufgetragen. Es folgen das Laserbohren von Durchkontaktierungen, das Sputtern einer Metallschicht in Kombination mit photolithographischer Maskierung zur Strukturierung von Leiterbahnen sowie eine außenstromlose Nachverstärkung der Leiterbahnmetallisierung.

- 1) Vorbereitung einer photounempfindlichen Polyimidschicht auf einem Glasträger durch Spin-Coating und Polymerisation. Anschließend erfolgt das Spin-Coating eines photoempfindlichen Polyimids.



- 2) Das photoempfindliche Polyimid wird photolithographisch strukturiert, so dass eine Kavität entsteht. In diese wird BCB appliziert.



- 3) Es folgt die Face-Up-Platzierung eines ultradünnen Siliziumchips und die Aushärtung des BCB. Anschließend wird eine weitere Schicht photoempfindliches Polyimid über Spin-Coating aufgetragen.



- 4) Die Kontaktflächen des ultradünnen Siliziumchips werden mittels Laserbohrens freigelegt. Zur Erzeugung von elektrischen Verbindungen folgen Sputter- sowie photolithographische Strukturierungsprozesse.



Abbildung 7: Prozessabfolge für die Herstellung eines UTCP unter der Verwendung eines photosensitiven Polyimids. (nach [44])

Durch die Wahl eines alternativen photosensitiven PIs wurde der Prozess zur Fertigung von UTCPs nochmals weiterentwickelt [40]. Dieses PI weist durch Additive eine hohe Adhäsion zu Glas auf. Deshalb wurde vor dem Spincoating des PIs ein Salz als Trennmittel aufgedampft [45]. Die Glasränder wurden vor dem Aufdampfen des Trennmittels maskiert, damit ausschließlich am Rand eine Anhaftung des PIs gegeben war. Im Gegensatz zu den oben beschriebenen Prozessführungen wird keine Kavität für die Chipmontage vorbereitet. Der ultradünne Chip wurde mit BCB auf eine aufgesponnene Schicht des alternativen photosensitiven PIs fixiert. Während der Aushärtung des BCB wurde Druck auf den Chip ausgeübt, um diesen flach auf das PI zu pressen [45]. Nach der Chipmontage wird eine weitere Schicht photosensitiven PIs aufgetragen, welche durch die Rückseite des Glasträgers belichtet wurde. Der Chip fungiert als Maskierung und nur im umgebenden PI kommt es zu Vernetzungsreaktionen, wodurch der Chip von diesem umschlossen wird. Die Oberfläche des Chips wird im Entwicklerbad freigelegt. Es erfolgt ein Plasmaätz-Prozessschritt zur Verbesserung der Haftung einer dritten Schicht photosensitiven PIs und die photolithographische Öffnung der gebumpten Chipflächen. Ähnlich zu den oberen Prozessabfolgen wird durch Sputtern in Kombination mit photolithographischer Maskierung ein Leiterbahnbild zur elektrischen Kontaktierung der Bumps abgeschieden. Durch Laserschneiden des PIs im salzbedampften Bereich auf dem Glas und Einlegen in Wasser konnte das Trennmittel aufgelöst und das Foliensystem von der Glasoberfläche entfernt werden.

Um die Vorteile verschiedener Polyimide in unterschiedlichen Schichten zu nutzen, wurde von Kaiser et. al. die Einbettung ultradünner Siliziumchips in vier verschiedene Polyimide präsentiert,

wobei das Polyimid zur Abdeckung der Kontaktflächen des ultradünnen Chips photolithographisch strukturiert wurde [46]. Das photolithographisch strukturierbare Polyimid wurde nur im Bereich des Chips beibehalten. Nach der elektrischen Kontaktierung der eingebetteten Siliziumchips erfolgte final die Applikation eines nicht-photostrukturierbaren Polyimids zum mechanischen Schutz und zur elektrischen Isolation. Damit konnte auf eine laserbasierte Öffnung der Chipkontaktflächen verzichtet werden.

Auch beim „Chip-Film Patch“ (CFP) genannten Prozess des IMS CHIPS kommen PI und BCB zum Einsatz. Die Einbettung des ultradünnen Chips erfolgt jedoch im Unterschied zum UCTP komplett in BCB [41], [47], um den Nachteil einer schlechten Adhäsion von PI an Silizium sowie den hohen Schrumpf von PI während der Polymerisation zu umgehen [48]. Ein photounempfindliches PI wird zusätzlich zu BCB verwendet, um das nach Aushärtung spröde BCB [49] in eine mechanisch neutrale Fase zu verschieben [41]. Im Gegensatz zum UTCP-Prozess wird beim CFP-Prozess anstatt eines Glases ein Siliziumwafer als Trägermaterial eingesetzt [49]. Auf diesem wird nach mehrmaliger Abscheidung einer haftmindernden Schicht durch Spincoating eine Lage BCB sowie eine Lage PI aufgetragen. Es folgt der Auftrag der ersten Schicht BCB, in die über Photostrukturierung eine Kavität eingebracht und in die mit zusätzlichem BCB ein ultradünner Chip geklebt wird. Nach Aushärten des BCB wird eine weitere Lage BCB zur Einbettung des Chips aufgesponnen. Nach photolithographischer Maskierung werden mittels Trockenätzens die Chipkontaktflächen in der obersten BCB-Schicht geöffnet [47] und über PVD-Sputtern in Kombination mit photolithographischen Prozessen elektrisch kontaktiert. Durch Plasmaätzen und das damit verbundene Aufrauen der Oberfläche wird die erforderliche Haftfestigkeit der Metallstrukturen auf der obersten BCB-Schicht erreicht.

Um etwaigen Prozesstoleranzen beim Klebprozess von ultradünnen Chips entgegenzuwirken, die eine maskenbasierte Lithographie bei der simultanen Belichtung mehrerer ultradünner Chips erschweren oder gar verhindern, wurde in [50] ein Prozess zur maskenlosen Direktbelichtung von photostrukturierbarem Einbettmaterial untersucht. Es wurde gezeigt, dass nach Messung von Verdrehwinkel und Position der Chips durch die Verwendung eines laserbasierten Direktbelichtung ein Belichtungslayout so angepasst werden kann, dass die Kontaktflächen auf den Siliziumchips freigelegt werden konnten. Somit kann in Folgeprozessen die elektrische Kontaktierung dieser eingebetteten Chips erfolgen.

Neben der elektrischen Kontaktierung über PVD Sputterprozesse in Verbindung mit photolithographischer Strukturierung wurde in der Literatur auch die Aerosol-Jet-Technologie als ein Verfahren des Digitaldrucks zur Herstellung von Leiterbahnen untersucht [51]. Das Verfahren wurde zur Applikation von elektrisch leitfähiger Tinte auf einer Oberfläche eingesetzt. Vor dem Face-Up-Klebprozess des ultradünnen Siliziumchips auf einer Trägerfolie wurden Leiterbahnen auf dem Trägersubstrat vorbereitet, die dann mittels Aerosol-Jet-Drucks mit den elektrischen Kontaktflächen auf dem Chip verbunden wurden.

Zusammenfassung

Die am weitest fortgeschrittenen Prozessketten der Face-Up-Orientierung basieren auf Polyimid und BCB. Damit können ultradünne Siliziumchips in ein CiF-System eingebettet werden. Jedoch sind die Materialien unter sauerstofffreier Atmosphäre zu verarbeiten, da diese sonst zur Versprödung neigen. Vor dem Auftrag von PI sind gegebenenfalls Prozesse zur Anpassung der Anhaftung an die darunterliegende Schicht notwendig. Zur Ausgestaltung der Kontaktöffnung können entweder Trockenätzprozesse, Photolithographieprozesse oder Laserbohren genutzt werden.

Hierbei stellt das Trockenätzen den zeitintensivsten Prozess dar, für den zusätzlich eine Maskierung auf der Oberfläche zum Schutz der restlichen Polymerschicht notwendig ist. Werden photoempfindliche Materialien zur Einbettung ultradünner Chips eingesetzt, können mittels Photolithographie alle Kontaktöffnungen simultan freigelegt werden. Laserbohren kann sowohl für photoempfindliche als auch photounempfindliche Polymere genutzt werden. Da beim Laserbohren das Risiko einer Beschädigung der Kontaktflächenmetallisierung besteht, muss entweder eine aufwändige Anpassung der Laserbohrparameter und -strahlführung an das verwendete Polymer und die Kontaktflächenmetallisierung durchgeführt werden [52] oder es müssen dickere Metallschichten oder Bumps vorbereitet werden [27]. PVD-Sputterprozesse sind aufwändig, da diese mit einem Vakuumprozess verbunden sind und eine Leiterbahndefinition mit zusätzlichen photolithographischen Maskierprozessen und/oder Ätzprozessen einhergeht. Aber es wurden auch bereits alternative Prozesse präsentiert, etwa zur adaptiven Belichtung mittels laserbasierter Direktbelichtung von photostrukturierbaren Materialien zur Korrektur von Prozesstoleranzen beim Klebprozess oder zur Applikation von elektrisch leitfähigen Tinten durch Aerosol-Jet-Druck.

3. Konzeptionierung einer neuartigen Prozesskette für individualisierte Foliensysteme

Die Betrachtung der Literatur zur Einbettung ultradünner Chips in Kunststoffschichten zeigt auf, dass bereits Prozesse bekannt sind, mit denen CiF gefertigt werden können. Da sich beim Aufbau in Face-Down-Orientierung durch das Risiko von Spröbruch im Bereich der steifen Bumps eine niedrigere Zuverlässigkeit ergeben kann und durch die Face-Up-Chiporientierung auch niedrige Pitches bedient werden können, wurde für diese Arbeit die Face-Up-Variante ausgewählt. Es zeigt sich, dass die vorgestellten Prozessketten mit Nachteilen für die Individualisierung verbunden sind, wenn Masken zur photolithographischen Strukturierung von Metallschichten nach PVD (Sputtern) eingesetzt werden. Die Fertigung von Masken verursacht zusätzliche Initialkosten sowie Wartezeiten. Eine iterative Prüfung verschiedener Layouts ist nur durch die Fertigung weiterer Masken und dadurch mit hohen Kosten verbunden, wodurch bereits während der Auslegung des Maskendesigns alle relevanten Layouts berücksichtigt werden sollten. Es kann nicht spontan auf Layoutänderungen eingegangen werden. Erst durch die Nutzung maskenloser Direktbelichtungsprozesse wird eine flexible Layoutanpassung sowie eine Adaption des Belichtungslayouts zum Ausgleich von Prozesstoleranzen ermöglicht.

Die Nachteile der zusätzlichen Initialkosten und Herstellungszeiten bei Einschränkungen der Formgebungsvielfalt lassen sich ganz allgemein auf den Einsatz von Produkt-spezifischen Werkzeugen übertragen. Die Anwendung eben dieser Werkzeuge für die Realisierung von Prototypen und individualisierten Produkten ist nur dann sinnvoll, wenn keine Alternativen zur Verfügung stehen und wenn der Nutzen die Kosten überwiegt. Um jedoch das Ziel individualisierter Foliensysteme zu wirtschaftlich vertretbaren Kosten realisieren zu können, sollen in dieser Arbeit Prozesse entwickelt werden, die keine Produkt-spezifischen Werkzeuge erfordern. Die Auswahl dieser Prozesse wird in Kapitel 3.1 beschrieben. Neben geeigneten Prozessen müssen jedoch auch neuartige Materialien eingesetzt werden, um die Zielsetzung zu erreichen. Die definierten Anforderungen sowie die Auswahl der Materialien werden in Kapitel 3.2 geschildert. Diese gewählten Prozesse lassen sich zu einer neuartigen Prozesskette kombinieren, die sich in mehreren Punkten von den bereits bekannten Prozessketten unterscheidet.

3.1. Auswahl von Einzelprozessen

Zur Erreichung der Zielsetzung müssen neben neuartigen Materialien auch unkonventionelle Prozesse eingesetzt werden, die bisher für die Herstellung von CiF nicht berücksichtigt wurden. Dazu zählt zum einen der Materialauftrag über eine Sprühapplikation auf einem Conformal Coater zur Einbettung des fixierten ultradünnen Chips. Im Gegensatz zum Spincoating, welches zum Materialauftrag ein rotationssymmetrisches Substrat benötigt, kann das Substrat beim Conformal-Coating-Sprühverfahren beinahe beliebig in Form und Größe ausgeprägt sein. Wenn ein photosensitives Material aufgesprüht wird, können mit einem Direktbelichtungsprozess ohne den Einsatz von Masken Öffnungen zur Freistellung der Chipkontaktflächen erzeugt werden. Da so maskenlos gearbeitet wird, können individuelle Layouts umgesetzt werden, beispielsweise zum Ausgleich von Platzierungstoleranzen durch den Montageprozess der Chips. Auch können Änderung der Kontaktbelegung, beispielsweise durch eine Umstellung des eingesetzten Chips, in kurzer Zeit durchgeführt werden. Zur elektrischen Kontaktierung der eingebetteten Siliziumchips wurde ein Verfahren des Digitaldrucks, der Inkjetdruck nanopartikulärer Tinten, ausgewählt. Dadurch können metallische Partikel selektiv auf eine Oberfläche aufgetragen werden, ohne eine zusätzliche Maskierung aufbringen zu müssen. Nach einem Sinterschritt formen die gedruckten, metallischen Nanopartikel Leiterbahnen auf der Oberfläche aus. Durch die Kombination von Direktbelichtung und Inkjetdruck können auf identisch bestückten und besprühten Substraten unterschiedliche Funktionen eines Siliziumchips genutzt werden, womit eine kostengünstige Fertigung von Folien-systemen ab Stückzahl 1 ermöglicht wird. Da sowohl beim Conformal Coating als auch beim Direktbelichtungsverfahren und beim Inkjetdruck ein digitaler Entwurf beziehungsweise ein digitales Layout direkt in oder auf ein real vorliegendes Substrat überführt wird, wird in dieser Arbeit die Aneinanderreihung der aufgeführten Prozesse, wie in Abbildung 8 dargestellt, als „digitale Prozesskette“ bezeichnet.

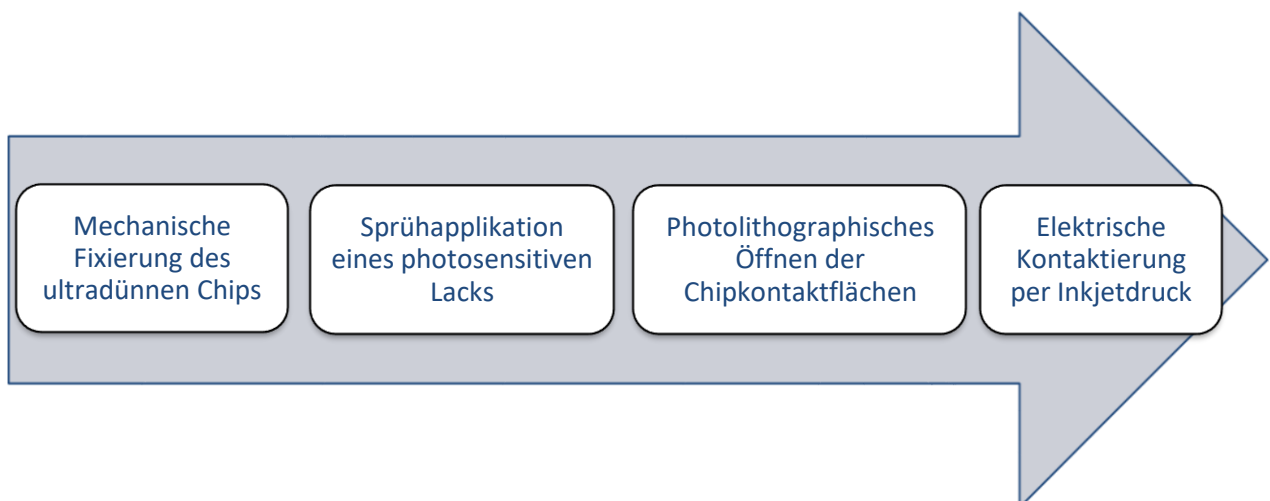


Abbildung 8: Schema einer „digitalen Prozesskette“, die zur Herstellung von individualisierten Folien-systemen eingesetzt werden kann.

3.2. Materialauswahl

3.2.1. Photoresist zur Einbettung

Die Anforderungen an das Material zur Einbettung ultradünner, auf einem Foliensubstrat fixierter Chips sind hoch. Wichtigstes Merkmal des Materials muss die mechanische Flexibilität sein, um das resultierende Foliensystem nicht zu versteifen. Auch muss das Material photolithographisch prozessiert werden können, damit eine Direktbelichtung und damit eine digitale Prozesskette möglich sind. Die Viskosität des Photoresists sollte an die Sprühapplikation angepasst sein oder die Viskosität muss sich durch ein geeignetes Lösungsmittel einstellen lassen. Das Material sollte gegenüber den in den anschließenden Prozessen verwendeten Lösungsmitteln chemisch stabil sein und thermische Belastungen, beispielsweise Sintern von Drucktinte mit metallischen Nanopartikeln, ohne Defekte überstehen. Weiterhin sollte das Material elektrisch isolieren und es darf nicht verspröden, da dies zu Rissen und damit bei Biegewechselbelastungen zum Ausfall des Gesamtsystems führen kann. Wünschenswert ist ein Ausgleich des Höhenunterschieds der Chipkante zum darunterliegenden Foliensubstrat, so dass im Druckprozess ein Übergang von Leiterbahnen über die Chipfläche hinaus gewährleistet werden kann. Um die Kosten von insbesondere großflächigen Foliensystemen möglichst gering zu halten, soll auf eine Prozessierung sowie eine thermische Aushärtung in Vakuum beziehungsweise sauerstofffreier Atmosphäre verzichtet werden. Alle genannten Anforderungen sind in Tabelle 1 nochmals zusammengefasst.

Tabelle 1: Anforderungen an Materialien zur Einbettung eines ultradünnen Chips.

Anforderung an potentielle Einbettmaterialien	
- Mechanische Flexibilität nach Lackaushärtung.	- Photosensitivität für photolithographische Strukturierung.
- Für Sprühapplikation entwickelt oder Viskosität mit Lösungsmittel einstellbar.	- Ausgleichen von Höhenunterschieden, um einen Übergang der Leiterbahnen zu ermöglichen.
- Benetzung auf Materialien der Leiterplatten- und Halbleiterindustrie.	- Chemische Stabilität gegenüber typischen Lösungsmitteln in Inkjetintinen.
- Prozessierbarkeit und Aushärtung in sauerstoffhaltiger Atmosphäre.	- Mechanische Stabilität zum Schutz der eingebetteten Chip.

Die vielseitigen und hohen Anforderungen limitieren die Auswahl kommerziell verfügbarer Materialien. Es stehen theoretisch photosensitive Materialien auf Basis von Polyimid zur Verfügung, die auch in sauerstoffhaltiger Atmosphäre verarbeitet und ausgehärtet werden können. Jedoch zeigen diese bei Applikation mittels Conformal Coating und anschließender thermischer Aushärtung oberflächennahe Defekte [53], deren Ursache auch nach Kontaktaufnahme mit dem Hersteller nicht geklärt werden konnte. Somit wurde auf den Einsatz von PI-basierten Materialien verzichtet. Damit stand nur noch die Verwendung mechanisch flexibler, photosensitiver Lötstopmaterialien zur Einbettung zur Verfügung. Das Zweikomponentensystem NPR80 / ID100 [54] (Hersteller Nippon Polytec Corp., Japan) wurde ausgewählt, da dieses für den Auftrag mittels Siebdruck konzipierte Lötstopmaterial mit einem für Lacke und Tinten gängigen Lösungsmittel verdünnt und so auch über eine Sprühapplikation verarbeitet werden kann. Die Zielschichtdicke ist

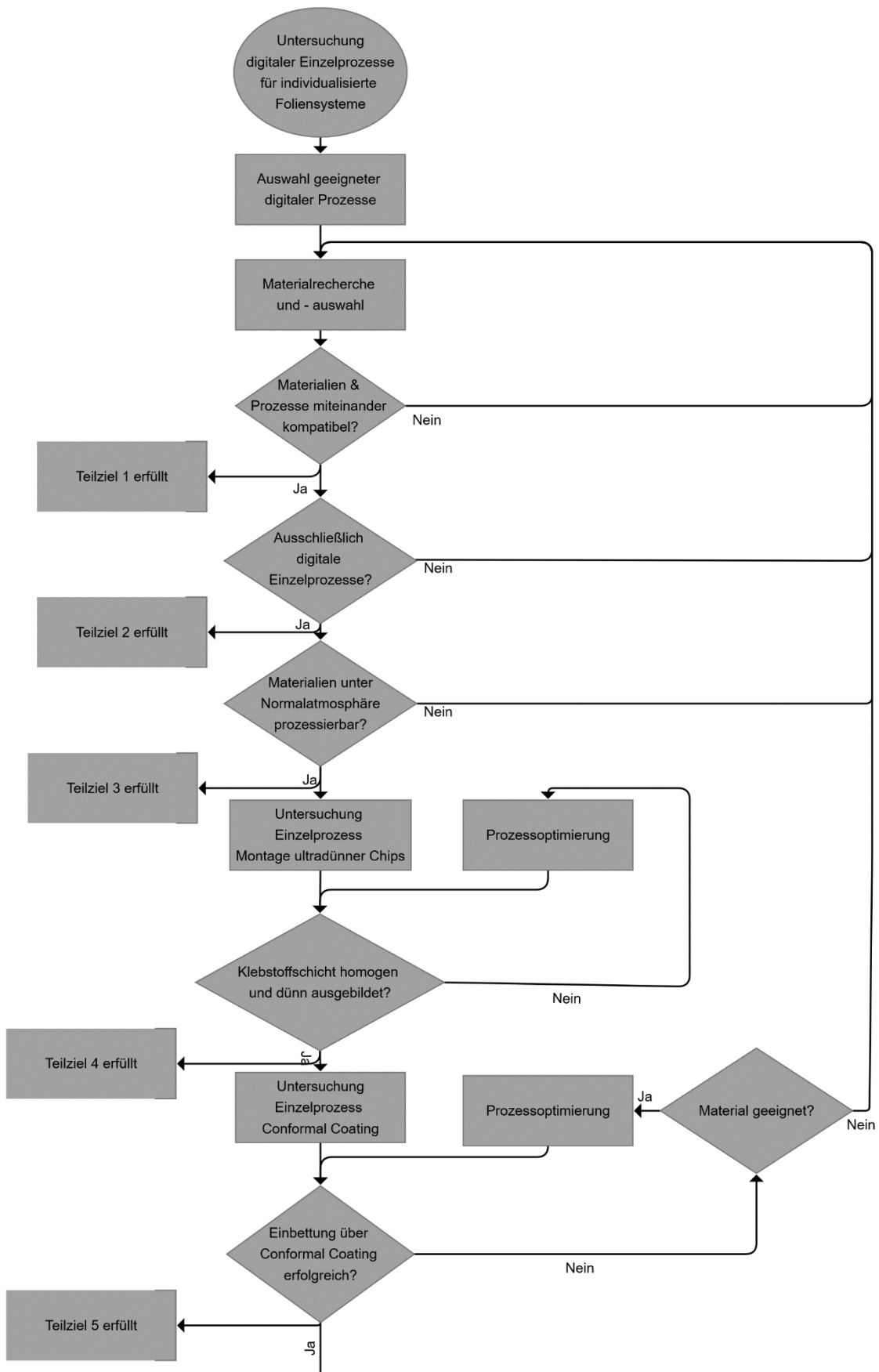
mit 15 μm – 20 μm verzeichnet, die je nach Chipdicke ausreichend zum Ausgleich von Höhenunterschieden sein kann. Bei dieser Schichtdicke beträgt die Auflösung bei Linien bis zu minimal 50 μm Stegbreite bei minimal 50 μm Abstand [54]. Bei Öffnungen kann ein minimaler Durchmesser von 80 μm realisiert werden [55]. Weiterhin ist das Material für den Einsatz auf Leiterplatten konzipiert und gegenüber allen gängigen Lösungsmitteln chemisch stabil. Es besteht keine Sensitivität auf Sauerstoff während der Verarbeitung und thermischen Aushärtung. Zusammenfassend kann festgehalten werden, dass das Material alle definierten Anforderungen erfüllt.

3.2.2. Tintenauswahl für den Inkjetdruck

Für den Inkjetdruck wiederum stehen verschiedene, kommerziell erhältliche, nanopartikuläre Tinten zur Verfügung. Es wurden zwei kommerziell erhältliche Tinten ausgewählt, mit denen eine elektrische Kontaktierung der eingebetteten Chips überprüft wurde. Dies war zum einen eine Tinte mit Silber-Nanopartikeln (Sicrys I30EG-1, PV Nano Cell, Israel). Diese Tinte weist einen Füllgrad von 30 Gew% Silber-Nanopartikel in Ethylenglykol-basiertem Lösungsmittel auf. Nach Herstellerangaben zeigen die Partikel einen mittleren Durchmesser von $d_{50} = 70 \text{ nm}$, und gedruckte Leiterbahnen können nach Sintern bei 150 $^{\circ}\text{C}$ für 30 min einen spezifischen Widerstand von $\rho_{\text{ele}} \leq 14 \mu\Omega \cdot \text{cm}$ erreichen. Zum anderen wurde eine Tinte mit Gold-Nanopartikeln (DryCure Au-J, C-INK Co., Japan) eingesetzt, die einen Füllgrad von 10 Gew% Gold-Nanopartikel in Wasser-Glycerol-basiertem Lösungsmittel hat. Die Partikelgröße ist im technischen Datenblatt mit 15 – 20 nm angegeben. Eine Trocknung beziehungsweise Sinterung kann im Temperaturbereich von 100 $^{\circ}\text{C}$ bis 250 $^{\circ}\text{C}$ erfolgen, mit dem in Abhängigkeit der gewählten Temperatur ein spezifischer Widerstand von ca. $\rho_{\text{ele}} \sim 7,5 \mu\Omega \cdot \text{cm}$ erreicht wird.

3.3. Vorgehen zur Entwicklung der Prozesskette

Die Verarbeitung der ausgewählten Materialien mit einer digitalen Prozesskette soll in den nachfolgenden Kapiteln auf ihre Tauglichkeit für den Aufbau von individualisierten Foliensystemen überprüft werden. Dazu müssen die Einzelprozesse untersucht und ihre jeweilige Eignung bewertet werden. Das Conformal-Coating-Sprühverfahren stellt viele Prozessparameter zur Optimierung der Schichtqualität zur Verfügung, die wiederum die nachgelagerte Direktbelichtung beeinflusst. Neben den Parametern, die für die Belichtung erarbeitet werden müssen, haben auch Softbake und Resist-Entwicklung Einfluss auf die Ausformung von Kontaktöffnungen. Diese müssen so ausgeprägt sein, dass eine elektrische Kontaktierung mittels Inkjetdruck ermöglicht wird. Für die beiden ausgewählten Tinten müssen Druckparameter erarbeitet werden, um Leiterbahnen von den Chipkontaktflächen hin zu einer Peripherie zu generieren. Jeder Prozessschritt spannt einen Parameterraum auf, der untersucht und in Hinblick auf das Zusammenspiel mit den anderen Parameterräumen betrachtet werden muss. Um zu entscheiden, ob ein jeweiliger Einzelprozess geeignet und mit den anderen Einzelprozessen kompatibel ist, wurde ein Prozessketten-Flussdiagramm erstellt und an richtungsweisenden Schritten die gesetzten Teilziele notiert. Das Prozessketten-Flussdiagramm ist in Abbildung 9 dargestellt.



(Fortsetzung auf der nächsten Seite)

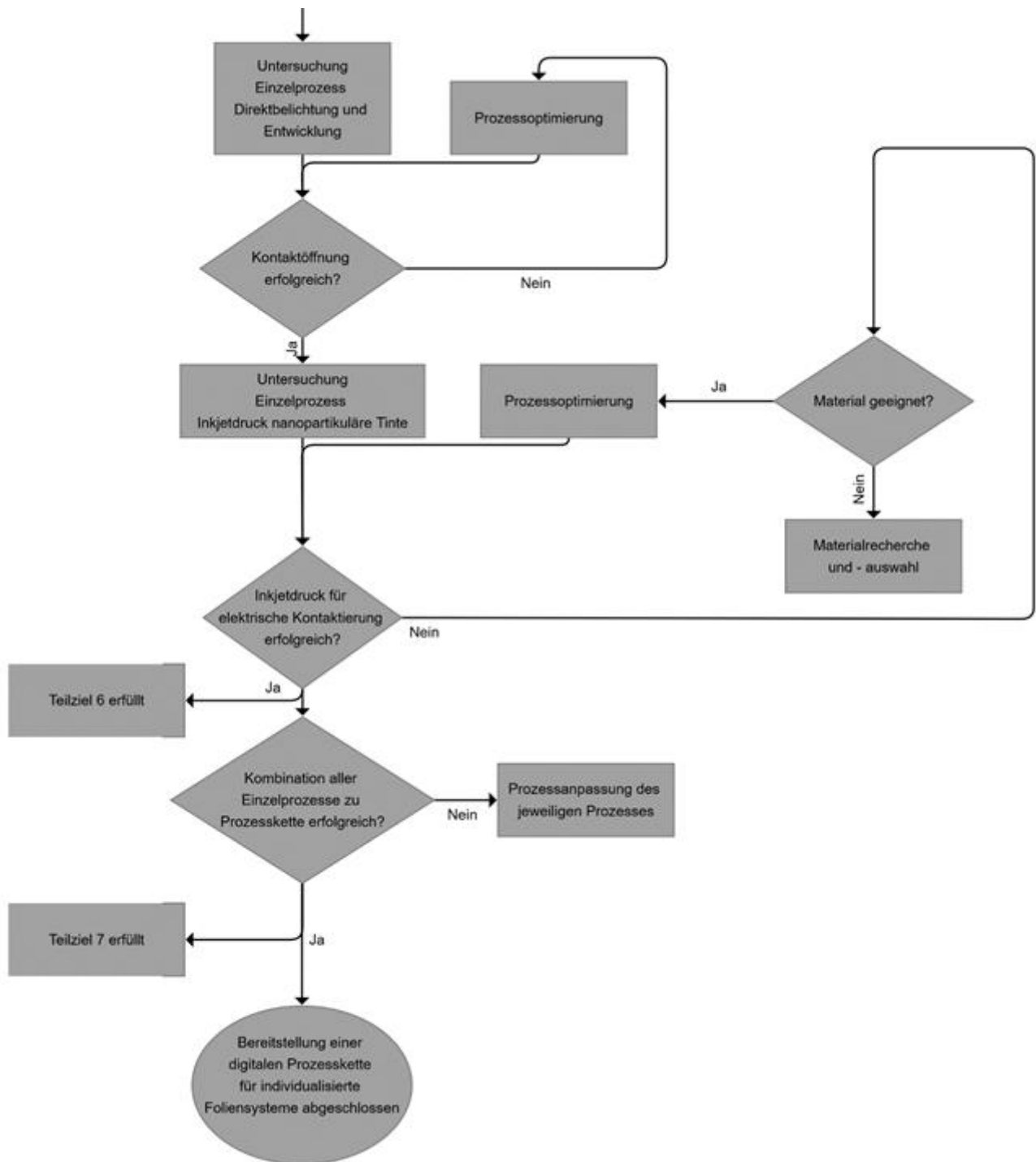


Abbildung 9: Flussdiagramm zur Untersuchung von digitalen Einzelprozessen zur Evaluation der Eignung für die digitale Prozesskette zum Aufbau von individualisierten Foliensystemen.

4. Montageprozesse zur Fixierung ultradünner Siliziumchips

Ähnlich zu Siliziumkomponenten mit Standarddicken liegen auch ultradünne Siliziumchips nach den Schleifprozessen zum Dünnen des Siliziums auf Waferhaftfolie vor. Bereits das Ablösen der ultradünnen Chips von einer Waferhaftfolie unterscheidet sich vom Vorgehen bei Chips mit Standarddicke. Die Herausforderungen und Lösungen zum *Ablösen ultradünner Siliziumchips von Waferhaftfolie* werden in Kapitel 4.1 beschrieben. Damit die abgelösten, ultradünnen Siliziumchips in ein Foliensystem integriert werden können, müssen diese mit Klebstoff mechanisch auf einem Substrat fixiert werden. Untersuchungen zu Montagetechniken, insbesondere zur Handhabung von ultradünnen Chips sowie zur klebtechnischen Fixierung, sind in der Literatur kaum zu finden. Es wurde zwar bereits gezeigt, dass über Pick & Place-Werkzeuge die Aufnahme von ultradünnen Chips möglich ist [56], jedoch fehlen weitergehende Untersuchungen, beispielsweise zur optimalen Gestaltung des Ansaugwerkzeugs oder zur Montage mehrerer ultradünner Chips. Um hierüber Erkenntnisse zu gewinnen, wurden in Kapiteln 4.2 Untersuchungen zu Pick & Place-Prozessen für ultradünne Siliziumchips vorgestellt. Da sich Nachteile in der direkten Platzierung von ultradünnen Chips auf flüssigem Klebstoff zeigten, wurde in Kapitel 4.3 ein weiterführender Ansatz unter Zuhilfenahme von Haftfolie untersucht.

4.1. Ablösen ultradünner Siliziumchips von Waferhaftfolie

Bei Siliziumchips mit Standarddicke werden zum Ablösen der vereinzelt Chips von Waferhaftfolien simultan zwei Werkzeuge benutzt. Eines wird vollflächig auf den Chip aufgesetzt und saugt diesen durch Unterdruck an. Bei temperatursensitiven Waferhaftfolien wird das Werkzeug zusätzlich aufgeheizt, um so die Haftkraft der Folie auf den Chip zu reduzieren. Ein zweites, nadelartiges oder kegelförmiges Werkzeug drückt von unten durch die Folie auf die Rückseite des Chips. Durch die mechanische Unterstützung wölbt sich die Waferhaftfolie, wodurch sich die Klebefläche und damit die Haftkraft der Waferhaftfolie auf die Chips reduziert. Dadurch ist ein Ablösen der Siliziumchips mit Taktzeiten unter einer Sekunde möglich. Der Einsatz von nadelartigen oder kegelförmigen Werkzeugen ist bei ultradünnen Chips wegen der hohen Sprödbuchanfälligkeit des Siliziums nur bedingt möglich. Durch das Dünnen der Chips und die damit einhergehende Abnahme der mechanischen Steifigkeit können lokale, mechanische Spannungen, zum Beispiel durch eine Nadel, zum Sprödbuch des kristallinen Siliziums führen (Abbildung 10,a). Die Arbeitsgruppe von Liu et al. [57] hat den Einfluss der Nadelanzahl und der Chipdicke auf das Ablöse- und Bruchverhalten von ultradünnen Chips untersucht. Es zeigte sich, dass eine variable Nadelanzahl zur Ablösung des Chips von Waferhaftfolie genutzt werden kann, ohne diesen durch Sprödbuch zu zerstören. Zu Beginn wird ein Raster mit mehreren Nadeln auf die Rückseite des Chips gedrückt. Während sich die Chipfläche von außen nach innen ablöst, werden sukzessive Nadeln von außen nach innen von der Chipoberfläche entfernt, bis letztendlich nur noch eine Nadel im Zentrum des Chips das Ablösen von der Folie ermöglicht. Die Arbeitsgruppe merkte jedoch auch die Notwendigkeit einer präzisen Nadelführung während des Ablöseprozesses an. Feil et. al. führten Versuche zum Ablösen von ultradünnen Chips von Waferhaftfolie ohne Nadeln durch [56]. Es zeigte sich, dass sich ultradünne Chips durch alleinige Ansaugung von temperaturempfindlicher Waferhaftfolie lösen lassen (Abbildung 10,b). Durch Temperatureintrag bilden sich Gasblasen an

der Grenzfläche zwischen Waferhaftfolie und Siliziumchip, wodurch sich die klebende Fläche reduziert. Das Ablösen von UV-empfindlicher Waferhaftfolie stellte sich hingegen als nicht zielführend heraus, da auch nach UV-Bestrahlung die Haftkraft der Folie noch zu hoch war, um die ultradünnen Chips ohne Nadelunterstützung zu entfernen.

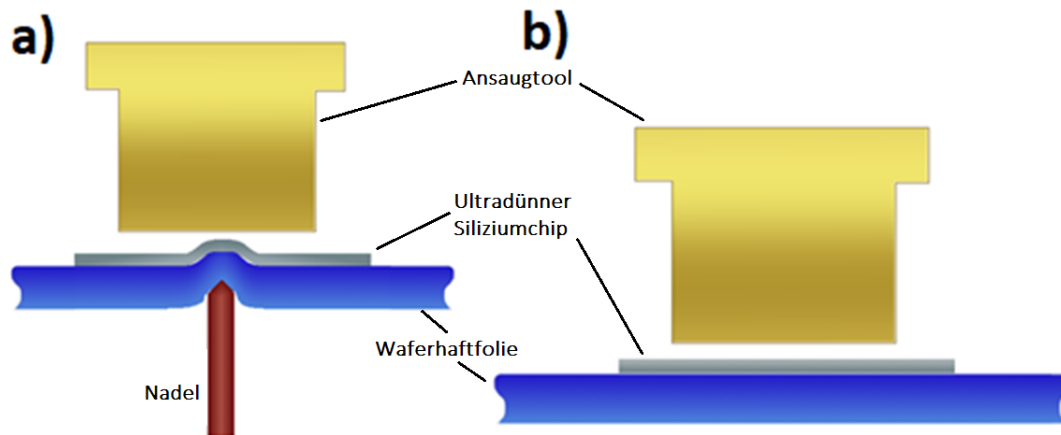


Abbildung 10: a) Abnahme eines ultradünnen Chips mit der Unterstützung einer von unten angreifenden Nadel führt zum Sprödbruch des gedünnten Siliziummaterials durch eine lokal wirkende mechanische Spannungsspitze. b) Durch die Verwendung einer geeigneten Waferhaftfolie kann allein unter der Verwendung eines beheizten Ansaugtools ein Entfernen des ultradünnen Siliziumchips von der Waferhaftfolie erreicht werden. (nach [58])

In eigenen Untersuchungen konnten die Ergebnisse zum Einsatz von temperaturempfindlicher Waferhaftfolie in Kombination mit einem geheizten Ansaugwerkzeug zum Ablösen von ultradünnen Chips bestätigt werden [58]. Für die Versuche wurde ein manueller Bestücker (Fineplacer Lambda, Finetech, Berlin, Deutschland) mit einem beheizbaren Adapter eingesetzt, in dem Messing-Ansaugwerkzeuge installiert wurden. Für die Ablöseversuche wurden von einem externen Hersteller (IMS CHIPS, Stuttgart, Deutschland) ultradünne Siliziumchips, gedünnt auf 30 μm Dicke mit einer Fläche von 4,7 mm x 4,7 mm, auf einer temperatursensitiven Waferhaftfolie (Revalpha Tape 3196, Nitto Denko, Japan) bezogen. In der vom Hersteller des Bestückers bereitgestellten Software wurden unterschiedliche Temperaturen zwischen 100 °C und 170 °C eingestellt, wodurch der beheizbare Adapter und das installierte Ansaugwerkzeug aufgeheizt wurden. Nach Erreichen der eingestellten Temperatur wurde das beheizte Ansaugwerkzeug auf die Siliziumchips aufgesetzt. Der Temperatureintrag wurde durch Trübfärbung der Waferhaftfolie sichtbar. Es zeigte sich, dass bei 120 °C nach ca. 10 s der Chip von der Waferhaftfolie gelöst werden konnte, während ab Erreichen einer Werkzeugtemperatur von 160 °C die Siliziumchips innerhalb einer Sekunde gelöst werden konnten [58].

4.2. Verwendung von Bestückungsgeräten zur Chipmontage

Zur Untersuchung der Chipmontage ultradünner Siliziumchips wurde ein manueller Bestücker (Fineplacer Lambda, Finetech, Deutschland) eingesetzt. In die Werkzeughalterung des Bestückers wurden über einen Adapter Werkzeuge aus Messing zur Ansaugung von bereits von Waferhaftfolie gelösten, ultradünnen Siliziumchips installiert. Zu Beginn des Platziervorgangs wurde ein Sili-

zum Chip mit dem Ansaugwerkzeug aufgenommen. Bei der Aufnahme des Chips ist das unterschiedliche Verhalten von ultradünnen Siliziumchips im Vergleich zu Siliziumchips mit Standarddicke zu beachten. Während der Fertigung von Schaltkreisen und Leiterbahnen werden unterschiedliche Materialien bei unterschiedlichen Prozesstemperaturen auf die Oberseite der Siliziumchips aufgebracht. Dies führt zu einer thermo-mechanischen Verspannung, woraus eine Wölbung der ultradünnen Siliziumchips resultiert [59]. Das Bulkmaterial bei Siliziumchips mit Standarddicke versteift den Chip ausreichend, damit keine Wölbung eintreten kann. Je weiter das Bulkmaterial entfernt wird, desto stärker kann dies zur Wölbung der Siliziumchips führen, wie in Abbildung 11 dargestellt. Die Wölbung ohne extern wirkende Kräfte kann bei der Aufnahme durch das Ansaugwerkzeug zu einer unerwünschten Deplatierung am Werkzeug führen. Durch Kameras oder Binokulare kann die Position des Chips sowie dessen Verdrehung am Ansaugwerkzeug detektiert werden, um dies während der Platzierung zu korrigieren.

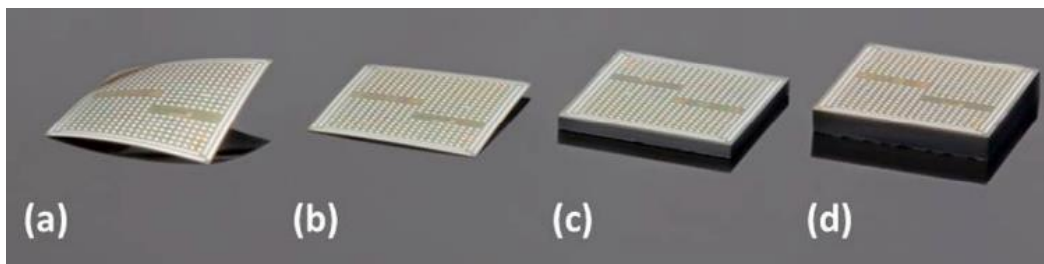


Abbildung 11: Darstellung der Wölbung verschieden dicker Siliziumchips mit funktionellen Strukturen. a) 10 μm Dicke, b) 20 μm Dicke, c) 400 μm Dicke und d) 675 μm Dicke. (© 2014 IEEE [60])

Des Weiteren zeigte sich bei der Benutzung eines Ansaugwerkzeugs mit mittig konzentrierten Ansauglöchern, dass dadurch der flexible Chip eine zusätzliche Wölbung erfährt, dargestellt in Abbildung 12. Aus diesem Grund wurde ein weiteres Ansaugwerkzeug mit über die gesamte Ansaugfläche verteilten Ansaugöffnungen gefertigt und für die weiteren Versuche eingesetzt.

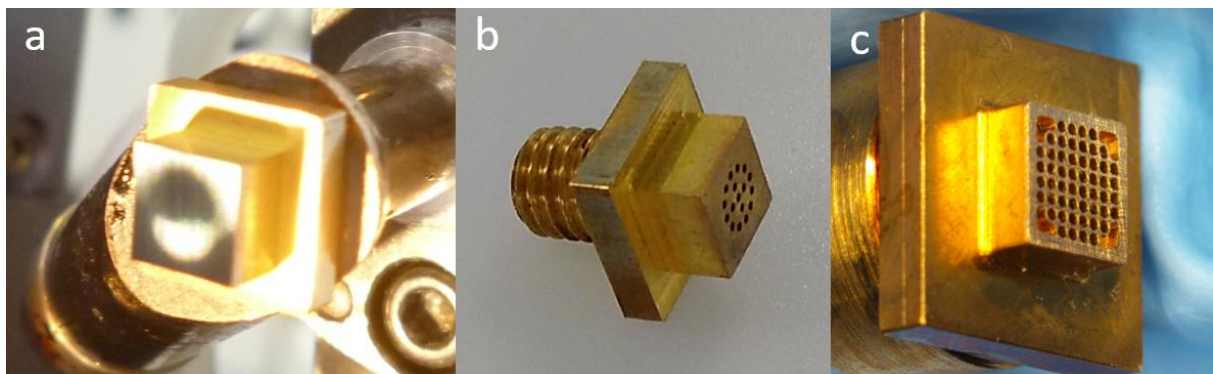


Abbildung 12: a) Verformung eines an ein Werkzeug angesaugten ultradünnen Chips. b) Die Ansaugfläche des Werkzeugs ist mittig zentriert, wodurch es zur Verformung des Chips kommt. c) Verbessertes Ansaugwerkzeug mit vollflächiger Ansaugung.

Das zu bestückende Substrat wurde auf den Probentisch des Bestückers gelegt und durch Nadeldispensen mit einem manuellen Druck-Zeit-Dispenser (Modell JB1113N, Fisnar, USA) ein Klebstofftropfen auf das Substrat gesetzt. Nachdem die Positionierung auf dem Zielsubstrat definiert worden war, wurde der Chip auf den vorbereiteten Klebstoff aufgesetzt. Es wurden vier verschiedene Klebstoffe für den Einsatz als Klebmedium für ultradünne Chips auf Polyimidfolie (Flexiso PI FI 16000, Dr. Dietrich Müller GmbH, Deutschland) untersucht. Dies sind zwei 1-Komponenten-Acrylatklebstoffe (Epotek OG 116, Epotek OG 603, beide Epoxy Technology, USA) und zwei 2-

Komponenten-Epoxidklebstoffe (Epotek 301, Epotek 354, beide Epoxy Technology, USA). Die Acrylatklebstoffe sind UV-härtende Klebstoffe, bei denen eine Vernetzungsreaktion durch einen Energieeintrag mittels Strahlung im ultravioletten Wellenlängenbereich ausgelöst wird. Der Klebstoff Epotek OG 603 ist mit 150-250 mPa·s als sehr niedrigviskos einzustufen. Im Gegensatz dazu ist Epotek OG 116 mit 20.000 – 30.000 mPa·s ein hochviskoser Klebstoff. Die Viskositäten der Epoxidklebstoffe unterscheiden sich geringfügiger, wobei Epotek 301 mit 100-200 mPa·s ein sehr dünnflüssiges und Epotek 354 mit 4000-6000 mPa·s ein leicht zähflüssiges Verhalten aufweist. Beide Klebstoffe werden thermisch gehärtet. Epotek 301 kann bei Raumtemperatur für 24 Stunden oder bei 65 °C für 60 min ausgehärtet werden. Zur Aushärtung des Epotek 354 hingegen wird eine Mindesttemperatur von 80 °C für 120 min benötigt. Bei höheren Temperaturen verringert sich die benötigte Mindestdauer zur Aushärtung. Eine Übersicht der Klebstoffe und ihrer Eigenschaften ist in Tabelle 2 zu finden.

Tabelle 2: Übersicht der getesteten Klebstoffe samt Aushärtebedingungen und Viskositäten.

	Epotek OG 116	Epotek OG 603	Epotek 301	Epotek 354
Aushärtungs- verfahren (Mindest- anforderung)	UV-Bestrahlung		23 °C / 24 h oder 65°C / 60 min	80°C / 120 min oder 150°C / 10 min
Viskosität [mPa·s]	20.000- 30.000	150 - 250	100 - 200	4000 - 6000

Es zeigte sich beim Nadeldispensen des Klebstoffs OG 116, dass durch die hohe Viskosität ein höherer Arbeitsdruck eingesetzt werden muss, um einen Klebstofftropfen zu platzieren. Für das Dispensieren des Epotek OG 116 musste eine Nadel mit Innendurchmesser 0,25 mm und ½“ Nadellänge verwendet werden, um bei 3 bar Arbeitsdruck einen Tropfen aus der Nadel austreten zu lassen. Beim Aufsetzen des Chips drängte jedoch Klebstoff aus dem Klebespalt hervor. Es konnte mit diesem hochviskosen Klebstoff kein reproduzierbarer Dispens- bzw. Aufsetzprozess ohne Risiko des Herausdringens von Klebstoff erreicht werden.

Bei beiden niedrigviskosen Klebstoffen (Epotek OG 603 und Epotek 301) konnte bei 1 bar Arbeitsdruck eine Nadel mit einem Innendurchmesser von 0,15 mm genutzt werden. Beim Aufsetzen des Chips konnte in der Seitenkamera des manuellen Bestückers beobachtet werden, wie sich die niedrigviskosen Medien unter der Chipfläche verteilen. Zur Aushärtung des UV-sensitiven Klebstoffs wurde nach dem Aufsetzen des Chips ein UV-Punktstrahler mit einer emittierten Wellenlänge von 365 nm (Dr. Hönle, Deutschland) seitlich an den Schichtstapel aus Substrat, Klebstoff, Siliziumchip und Ansaugwerkzeug geführt. Um zu verhindern, dass sich der Chip durch thermomechanische Eigenspannungen wölbt, wurde während der UV-Aushärtung das Werkzeug auf dem Chip belassen. Es wurde an allen vier Seiten des Klebespalts eine Belichtung für 60 s durchgeführt. Anschließend wurde die Ansaugung deaktiviert und das Werkzeug von der Siliziumoberfläche entfernt. Es stellte sich heraus, dass sich die Chips bei Verwendung einer mechanisch flexiblen PI-Folie als Substrat von der Klebestelle lösten. Die Klebestelle wurde freigelegt und der Siliziumchip konnte manuell entfernt werden. Der Klebstoff verblieb gehärtet im Randbereich der Klebung auf

dem PI zurück. Im Zentrum der Klebestelle fand keine Aushärtung des Klebstoffs statt, der Klebstoff lag noch im flüssigen Zustand vor. Nach dieser Erkenntnis wurde von einer weiteren Verwendung von UV-sensitiven Klebstoffen in dieser Arbeit abgesehen.

Die Verwendung der thermisch aushärtenden Epoxidklebstoffe brachte zielführendere Ergebnisse hervor. Nach Aufsetzen des Siliziumchips auf einen dispensten Klebstofftropfen Epotek 301 und kurzer Wartezeit zur Verteilung des Klebstoffs innerhalb des Klebespalts wurde die Ansaugung des Werkzeugs deaktiviert und das Werkzeug vom Chip entfernt. Der Chip verblieb nach Aufsetzen flach auf dem Substrat. Nach 24 Stunden Aushärtezeit bei ca. 23 °C wurde die Oberflächentopografie des 20 µm dicken Chips, zu sehen in Abbildung 13, mit einem Weißlichtinterferometer (Wyko NT9100, Bruker, USA) vermessen. Der dünnflüssige Klebstoff verteilt sich im Klebespalt zwischen Chip und Substrat, so dass eine homogene Klebeschicht resultierte. Der Klebespalt kann auf ca. 6-8 µm abgeschätzt werden. Die in der Literatur genannte Erkenntnis, dass die Werkzeugfläche kleiner als die Chipfläche gestaltet werden sollte, um das Risiko einer Klebstoff-Kontamination zu reduzieren [56], konnte bestätigt werden. Das Herausdrücken überschüssigen Klebstoffs aus dem Klebstoffspalt und das Eindringen des sehr dünnflüssigen Klebstoffs in die Grenzfläche zwischen Chipoberseite und Ansaugwerkzeug kann zur Kontamination sowie zur Beschädigung des ultradünnen Siliziumchips oder des Ansaugwerkzeugs führen (Abbildung 14). Eine weitere, für die Entwicklung eines Klebeprozesses nachteilige Eigenschaft ist die geringe Verarbeitungszeit des Epotek 301, die mit maximal 120 Minuten nach Vermischen der beiden Komponenten ein zügiges Arbeiten notwendig macht.

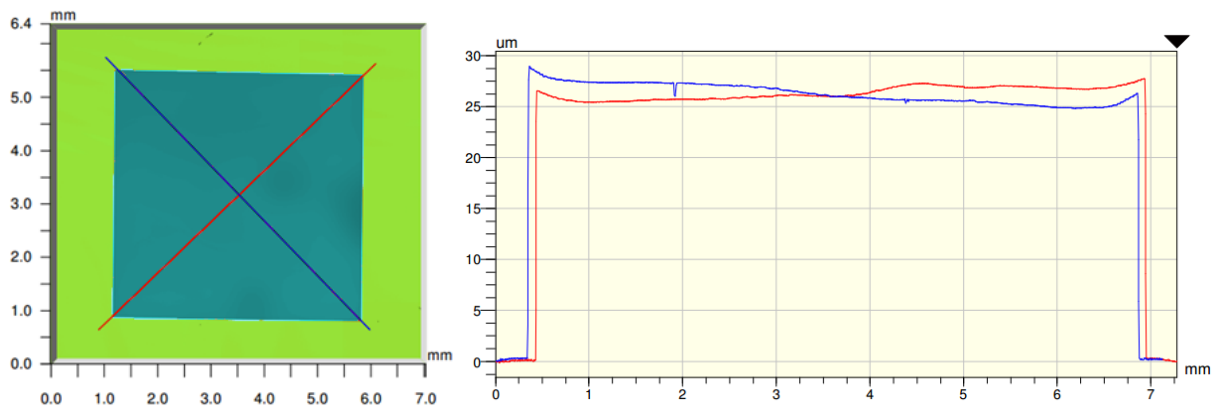


Abbildung 13: Weißlichtinterferometrische Aufnahme einer Oberfläche eines 20 µm dünnen Siliziumchips mit 4,7 mm x 4,7 mm Fläche, geklebt mit nadeldispenstem Klebstoff Epotek 301 auf einer Polyimidoberfläche.

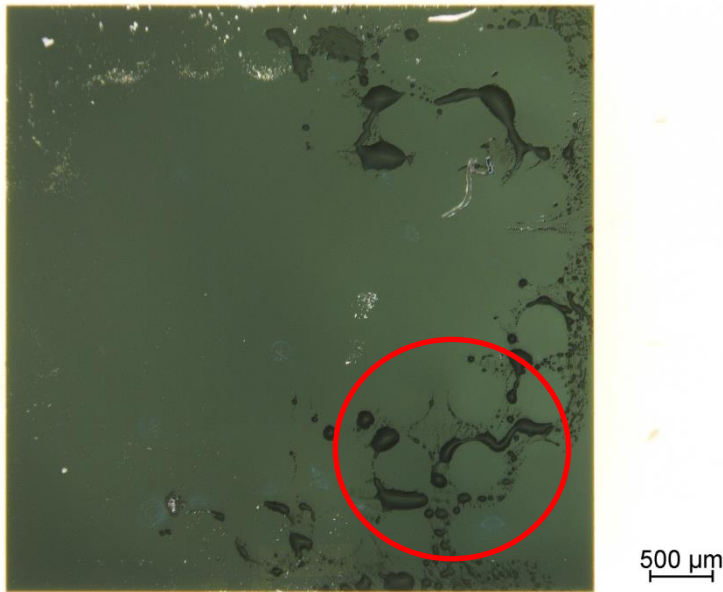


Abbildung 14: Klebstoffkontamination der angesaugten Chipfläche eines Silizium-Testchips (ohne weitere Strukturen). Die Löcher im Werkzeug zum Ansaugen des Chips wurden in den Klebstoff auf der Siliziumoberfläche übertragen (rote Kreismarkierung).

Der zähflüssige Klebstoff Epotek 354 konnte bei Verwendung mit einer Nadel mit Innendurchmesser 0,25 mm, ½“ Nadellänge und einem Arbeitsdruck von ca. 1 bar in Tropfenform auf die Polyimidoberfläche aufgesetzt werden. Die Verarbeitungszeit des Klebstoffs beträgt maximal 3 Tage nach Vermischen beider Reaktionspartner. Nach Aufsetzen des Chips auf den Klebstoftropfen wurde 60 s gewartet, damit sich der Klebstoff unter dem Chip verteilen konnte. Die Viskosität von 4000 – 6000 mPa·s bewirkt eine ausreichende Fließfähigkeit zur Verteilung im Klebespalt innerhalb einer Minute. Anschließend wurde die Ansaugung des Werkzeugs deaktiviert und das Werkzeug von der Oberfläche entfernt. Abschließend wurde der Klebstoff bei 80 °C für 120 min in einem Konvektionsofen ausgehärtet. In Abbildung 15 ist die Topografie der Oberfläche mit einem fixierten Siliziumchip mit 20 μm Dicke und einer Fläche von 4,7 mm x 4,7 mm nach Klebung mit Epotek 354 auf einem Glassubstrat zu sehen, aufgenommen mit einem Weißlichtinterferometer. Durch die bekannte Dicke des Siliziumchips lässt sich der Klebespalt auf ca. 2 μm Dicke abschätzen. Die lokalen Erhöhungen der Dicke lassen sich auf lokale Ansammlungen von Klebstoff oder dem Einschluss von Gas zurückführen.

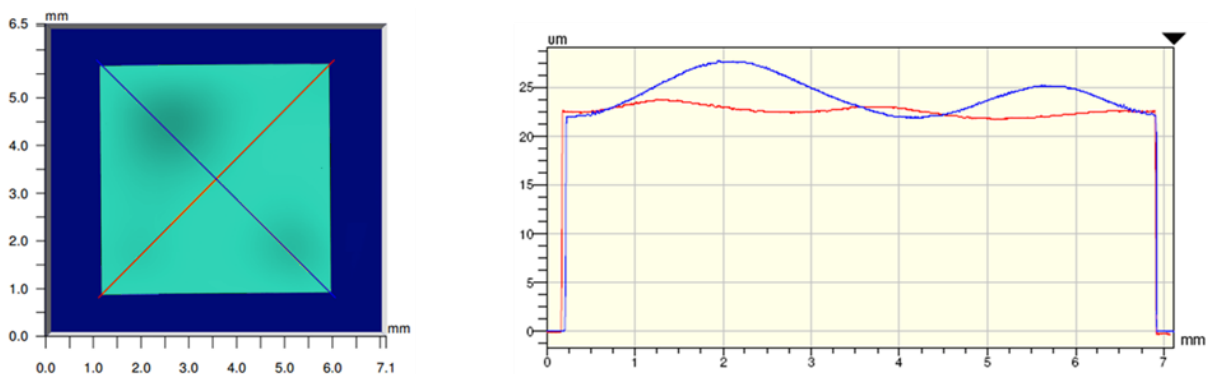


Abbildung 15: Weißlichtinterferometrische Aufnahme der Oberfläche eines mit einem manuellen Bestücker auf Klebstoff gesetzten, auf einen Glasträger geklebten, 20 μm dicken Siliziumchips mit 4,7 mm x 4,7 mm Größe. Die rechts angezeigten Kurven geben das Oberflächenprofil der zwei diagonal verlaufenden Messlinien auf der linken Seite wieder. Die bekannte Schichtdicke des Siliziumchips erlaubt eine Bestimmung der Schichtdickenverteilung des Klebstoffs.

Mit der Erkenntnis, dass mit einem Ansaugwerkzeug mit vollflächiger Ansaugung eine manuelle Chipmontage zur Klebung der ultradünnen Siliziumchips möglich ist, wurde der Prozess zur Automatisierung auf einen industriellen Bestückungsautomaten (Vico XTec, Haecker Automation GmbH., Deutschland) übertragen. Zu Beginn wird ein Zielsubstrat manuell auf eine Substrathalterungsplatte gelegt und an zwei Anschlägen ausgerichtet. Es wird Klebstoff (Epotek 354, Epoxy Technology, USA) auf eine vorab im Programm definierte Sollposition auf dem Zielsubstrat appliziert. Mit einem Ansaugwerkzeug mit vollflächiger Ansaugung wird ein Chip aufgenommen und mit einer Kamera Lage und Verdrehwinkel des angesaugten Chips auf der Ansaugfläche optisch detektiert, um diese durch Translation und Rotation des Ansaugwerkzeugs auszugleichen. Es folgt das Platzieren des Siliziumchips auf dem Klebstoff. Der Aufsetzvorgang erfolgt in drei Schritten mit unterschiedlicher Verfahrensgeschwindigkeit, um eine kontrollierte, gleichmäßige Verteilung des Klebstoffes zu erreichen. Im ersten Schritt wird das Werkzeug mit angesaugtem Chip bis auf 200 μm Höhe über das Substrat verfahren. Danach wird der Chip mit 100 $\mu\text{m/s}$ auf eine Höhe von 100 μm gesenkt. Im letzten Schritt wird der Chip mit der niedrigsten Verfahrensgeschwindigkeit von 20 $\mu\text{m/s}$ bis zum Aufsetzen auf das Substrat geführt. In dieser Position verbleibt das Ansaugwerkzeug für 30 s, während der Chip weiterhin angesaugt wird. Es ist über eine Seitenkamera erkennbar, dass sich Klebstoff durch Kapillarkräfte unter dem Siliziumchip bis hin in die Chipecken verteilt. Durch die Deaktivierung der Ansaugung wird der Bestückungsvorgang abgeschlossen. Diesem Prozess folgend, wurden neun ultradünne Siliziumchips mit 30 μm Dicke und ohne funktionelle Strukturen auf ein Glassubstrat mit Polyimidbeschichtung geklebt (Abbildung 16). In die Polyimidbeschichtung wurden vor der Bestückung drei horizontale und drei vertikale Linien geschnitten. Die Schnittpunkte der Linien dienten während des Bestückungsprozesses als Positionierungspunkte. Nach der Bestückung wurde das Substrat aus dem Bestückungsautomaten entnommen und der Klebstoff bei 80° C für 120 min in einem Konvektionsofen ausgehärtet. Es ist mit bloßem Auge erkennbar, dass sich die Siliziumchips sowohl von definierten Platzierungspositionen entfernten, als auch einen Verdrehwinkel aufweisen. Als Ursache wird der noch flüssige Klebstoff angesehen, dessen Viskosität bei einer Temperierung auf 80 °C zunächst sinkt, bevor es zur Vernetzung und damit zur Aushärtung kommt. Dadurch ist keine ausreichende mechanische Fixierung gegeben. Die ultradünnen Chips schwimmen auf dem Klebstoff mit der Folge einer deutlichen Positionsveränderung. Besteht keine Anforderung an die Platziergenauigkeit, können ultradünne Chips automatisiert ohne Kontamination der Chipoberseite auf Klebstoff platziert und der Klebstoff separat ausgehärtet werden. Durch das schrittweise Aufsetzen des Chips hat der Klebstoff ausreichend Zeit, sich über die gesamte Klebefläche zu verteilen. Die Aufnahme des Oberflächenprofils eines 30 μm dicken und 4,7 mm x 4,7 mm großen Siliziumchips mittels Weißlichtinterferometrie ist in Abbildung 17 dargestellt. Im Profil ist eine Aufwölbung des Chips zu erkennen, die durch die Ansammlung von Klebstoff im Zentrum des Klebespalts herbeigeführt wird. Im Zentrum steigt die Klebespaltdicke auf bis zu ca. 25 μm an.

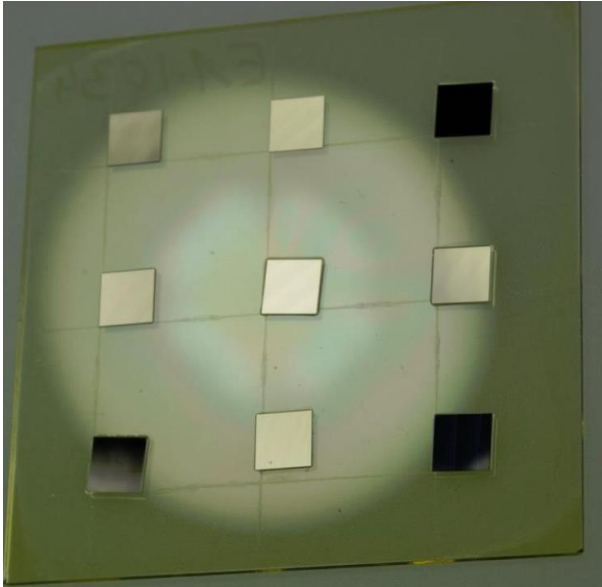


Abbildung 16: Lichtmikroskopische Aufnahme von neun $30\ \mu\text{m}$ dicken Siliziumchips ohne funktionelle Strukturen, automatisiert auf einen Glasträger mit Polyimidschicht und Klebstoff platziert. Vor der Platzierung der ultradünnen Chips wurden 3×3 Linien in die Polyimidschicht geschnitten. Nach dem Aushärten des Klebstoffs ist mit bloßem Auge erkennbar, dass einige Chips verdreht oder von der definierten Platzierposition entfernt sind.

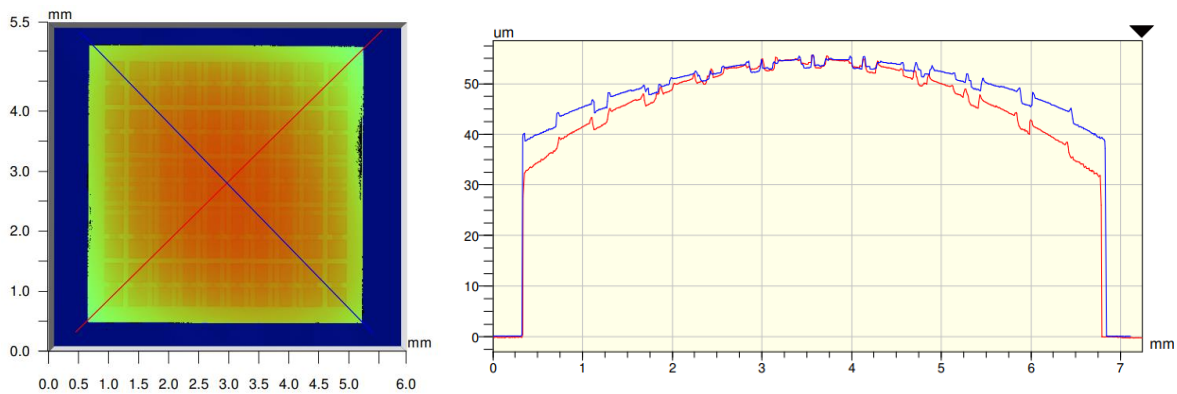


Abbildung 17: Weißlichtinterferometrische Aufnahme der Oberfläche eines automatisch auf Klebstoff gesetzt und auf einen Glasträger geklebten, $30\ \mu\text{m}$ dicken Siliziumchips mit $4,7\ \text{mm} \times 4,7\ \text{mm}$ Größe. Die rechts angezeigten Kurven geben das Oberflächenprofil der zwei diagonal verlaufenden Messlinien auf der linken Seite wieder. Die bekannte Schichtdicke des Siliziumchips erlaubt eine Bestimmung der Schichtdickenverteilung. Der Klebstoff sammelte sich im Zentrum der Klebung an. Kontaktflächen auf der Oberfläche der Siliziumchips werden in den Kurven als erhabene Strukturen sichtbar.

4.3. Chipmontage mittels Haftfolie

Um eine Deplatzierung der Siliziumchips während der Klebstoffaushärtung zu verhindern, wurde eine alternative Methode zur Verklebung von ultradünnen Chips untersucht. Der Prozess ist in Abbildung 18 dargestellt. Zu Beginn wurden ultradünne Chips Face-Down auf eine temporär klebende Folie platziert. Im Anschluss folgt der Klebstoffauftrag auf die exponierte Chiprückseite. Nach Aufsetzen der Chip-tragenden Folie auf das Zielsubstrat folgte die Aushärtung des Klebstoffs. Final wird die temporär klebende Folie entfernt. Die ultradünnen Chips verbleiben verklebt auf dem Zielsubstrat.

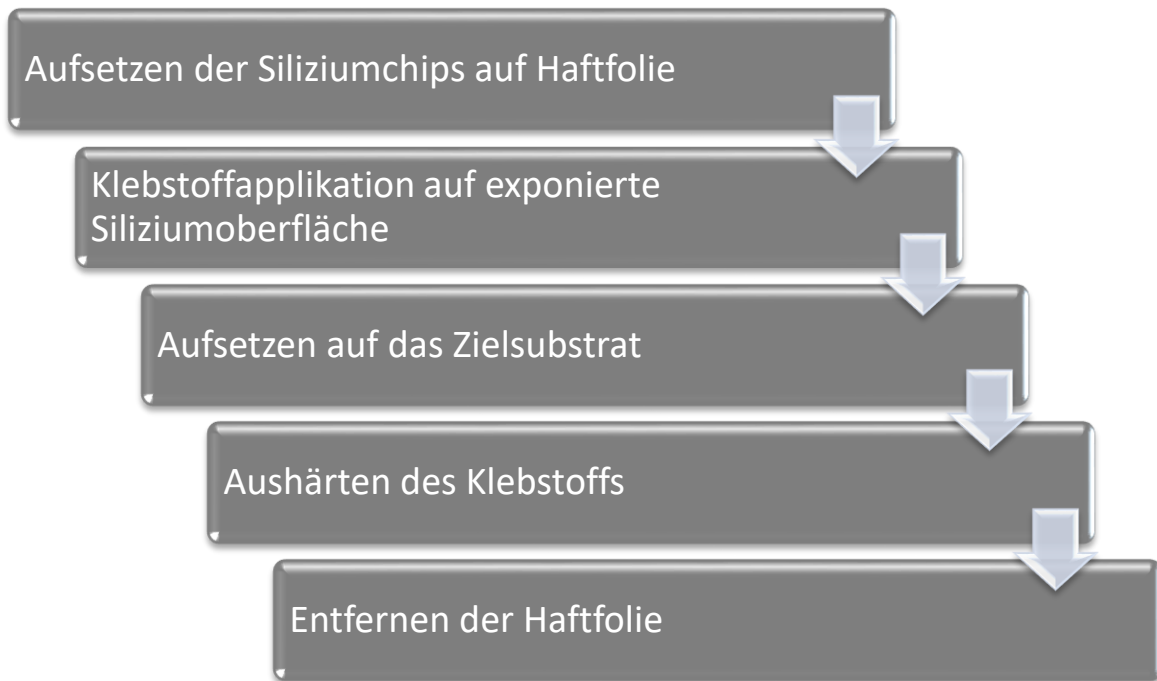


Abbildung 18: Prozessabfolge zur Chipmontage mit einer Haftfolie als temporärem Träger.

Für die Untersuchung dieses Prozesses wurde eine temperatur-sensitive Waferhaftfolie (Revalpha Tape 3196, Nitto Denko, Japan) eingesetzt. Bei dieser Waferhaftfolie verringert sich bei Erreichen einer Temperatur über 100 °C die Haftkraft auf die ultradünnen Chips, wodurch ein beschädigungsfreies Ablösen möglich ist. Um die Übertragung der ultradünnen Chips auf die Waferhaftfolie zu erleichtern, wurde zu Beginn eine Schablone mit Kavitäten zum Einlegen der Chips verwendet. Die Prozessabfolge ist in Abbildung 19 dargestellt. Die Herstellung der Schablonen kann durch das Laminieren von Trockenresist auf einem starren Träger und die photolithographische Erzeugung von Kavitäten in der Trockenresistschicht erfolgen [61]. Ultradünne Siliziumchips werden in die Kavitäten eingelegt und an den Kavitätsrändern ausgerichtet. Die Platzierung der Chips in die Kavitäten erfolgt dabei Face-Up in der Anordnung, die final auch auf dem Zielsubstrat vorzufinden sein soll. Es folgt das Aufsetzen einer Waferhaftfolie auf die Oberfläche des Trägers. Die Folie wird letztendlich vom Träger abgezogen, wobei die Siliziumchips geklebt an der Waferhaftfolie verbleiben.

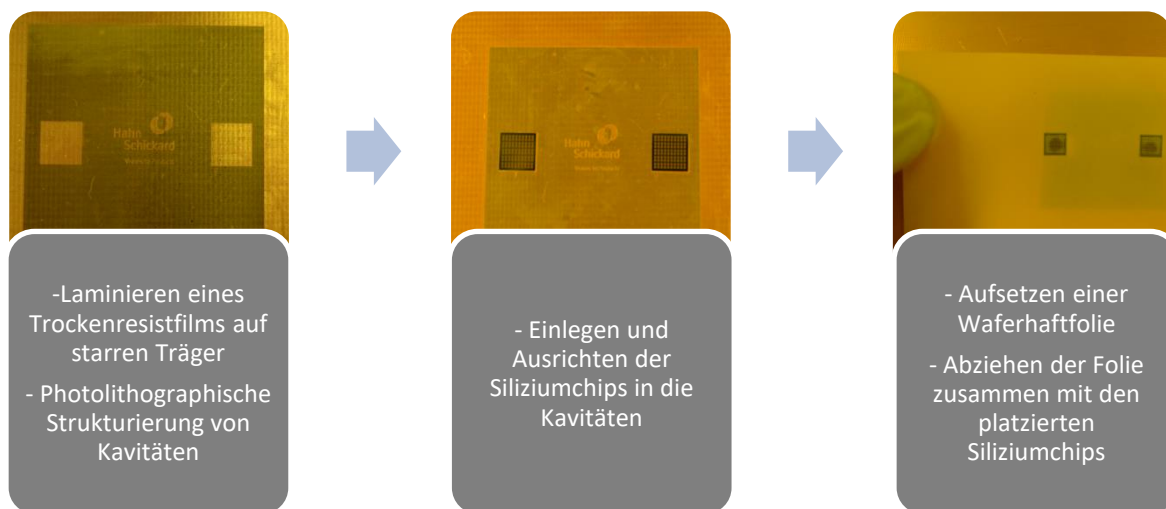


Abbildung 19: Prozessreihenfolge zur Herstellung einer Schablone mit Kavitäten in laminiertem Trockenresist auf einem starren Träger. Ultradünne Chips werden in die Kavitäten eingelegt und an den Kavitätsrändern ausgerichtet. Es folgt das Aufsetzen einer Waferhaftfolie, die zusammen mit den Siliziumchips wieder abgezogen wird.

Zur Erhöhung des Durchsatzes kann weiterhin auch die automatisierte Bestückung genutzt werden. In Abbildung 20 ist die Fixierung dreier ultradünner Chips auf einer Haftfolie gezeigt, die zuvor mittels automatisierter Bestückung auf die Haftfolie aufgesetzt wurden. Mit einem manuellen Dispenser (Smart Dispense 06, Martin, Deutschland) wurde Klebstoff (EpoTek 354, Epoxy Technology, USA) auf die Rückseite der Chips appliziert.



Abbildung 20: Ultradünne Chips fixiert auf einer einseitig klebenden Haftfolie. Es wurde Klebstoff auf die exponierte Rückseite dispent.

Die Haftfolie wurde anschließend sowohl auf PI-Folie (Flexiso PI FI 16000, Dr. Dietrich Müller GmbH, Deutschland) als auch auf Glas (Menzel Objektträger, Carl Roth, Deutschland) geklebt (Abbildung 21). Überschüssiger Klebstoff wurde beim Aufsetzen und Aufdrücken der Folie auf das Zielsubstrat aus dem Klebespalt gedrückt.

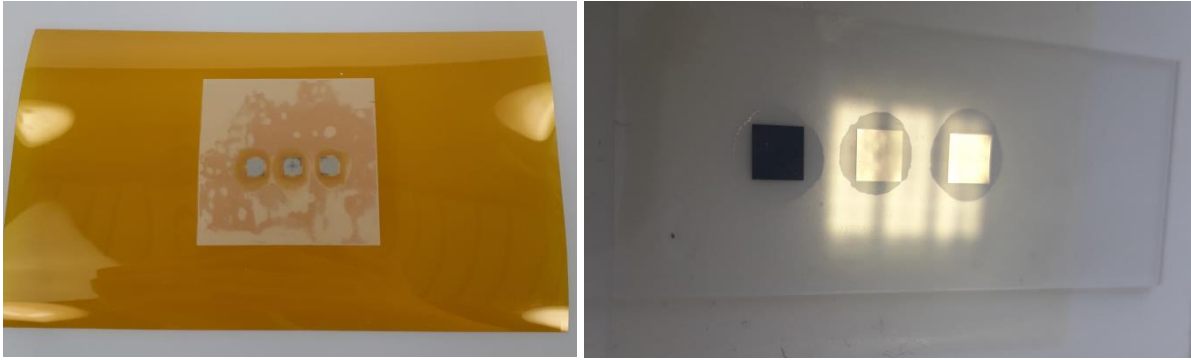


Abbildung 21: Haftfolie mit fixierten ultradünnen Chips, geklebt auf (links) Polyimidfolie und (rechts) Glas. Überschüssiger Klebstoff wurde aus dem Klebstoffspalt verdrängt und umgibt nun die Chips.

Nach Aushärtung des Klebstoffs bei 80° C für 120 Minuten kann die Haftfolie nach erneuter Temperierung auf 100° C ohne Beschädigung der Siliziumchips entfernt werden. Die ultradünnen Chips verbleiben auf dem Zielsubstrat (Abbildung 22). Der aus dem Klebespalt gedrückte Klebstoff verbleibt ausgehärtet in einem Bereich um den Siliziumchip herum auf dem Zielsubstrat zurück. Die Haftfolie wurde nicht mit dem Substrat verklebt.

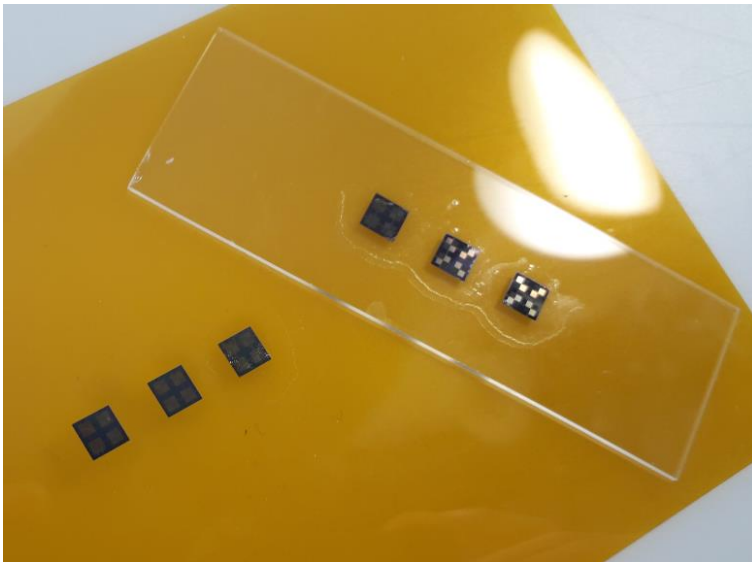


Abbildung 22: Nach Aushärtung des Klebstoffs kann die Haftfolie zur Fixierung der ultradünnen Chips entfernt werden. Der verdrängte Klebstoff verbleibt sichtbar auf Polyimid und Glas.

Die so übertragenen Siliziumchips sind durch die Anhaftung an den Klebefilm der Haftfolie mechanisch fixiert. Durch diese Fixierung bleiben die ultradünnen Siliziumchips auch während der Aushärtung des Klebstoffs plan. Zur Messung der Planarität wurde das Oberflächenprofil der geklebten Chips sowie des umgebenden Substrats mit einem Weißlichtinterferometer erfasst. In Abbildung 23 ist eine Weißlichtinterferometeraufnahme eines ca. 30 µm dicken, 4,7 mm x 4,7 mm großen, auf PI-Folie geklebten Siliziumchips gezeigt. Im Zentrum der Klebung sammelte sich Klebstoff an, was zur Erhöhung der Klebstoffschicht auf ca. 15 µm führte. In Bezug auf die Größe des Chips von 4,7 mm x 4,7 mm wird die Planarität des Chips als ausreichend homogen für Folgeprozesse eingestuft. Außerhalb des Siliziumchips sind Reste des ausgehärteten, beim Aufsetzen des Siliziumchips aus dem Klebespalt herausgedrückten Klebstoffs auf der Polyimidoberfläche sichtbar.

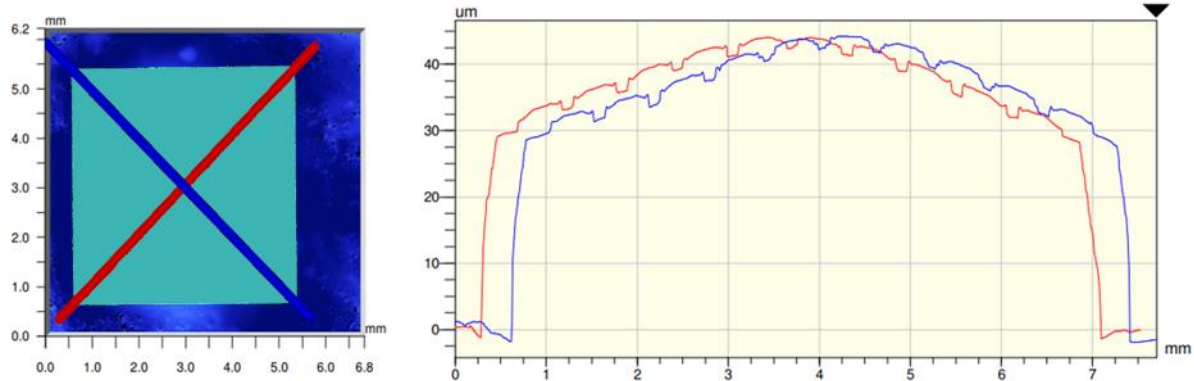


Abbildung 23: Weißlichtinterferometrische Aufnahme der Oberfläche eines geklebten, 30 µm dicken Siliziumchips mit 4,7 mm x 4,7 mm Größe. Die rechts angezeigten Kurven geben das Oberflächenprofil der zwei diagonal verlaufenden Messlinien auf der linken Seite wieder. Die bekannte Schichtdicke des Siliziumchips erlaubt eine Bestimmung der Schichtdickenverteilung. Dieser sammelte sich im Zentrum der Klebung an. Kontaktflächen auf der Oberfläche der Siliziumchips werden in den Kurven als erhabene Strukturen sichtbar.

Zur Bestimmung der relativen Platziergenauigkeit der ultradünnen Chips auf der Waferhaftfolie wurde ein Video-Inspektions-System (Nikon iNEXIV VMA-2520, Nikon Metrology, Großbritannien) eingesetzt. Für die Messung wurden, wie in Abbildung 24 gezeigt, vier ultradünne Chips als Messobjekte mit nomineller Distanz von 10 mm sowohl in X- als auch in Y-Distanz automatisiert auf eine Waferhaftfolie platziert.

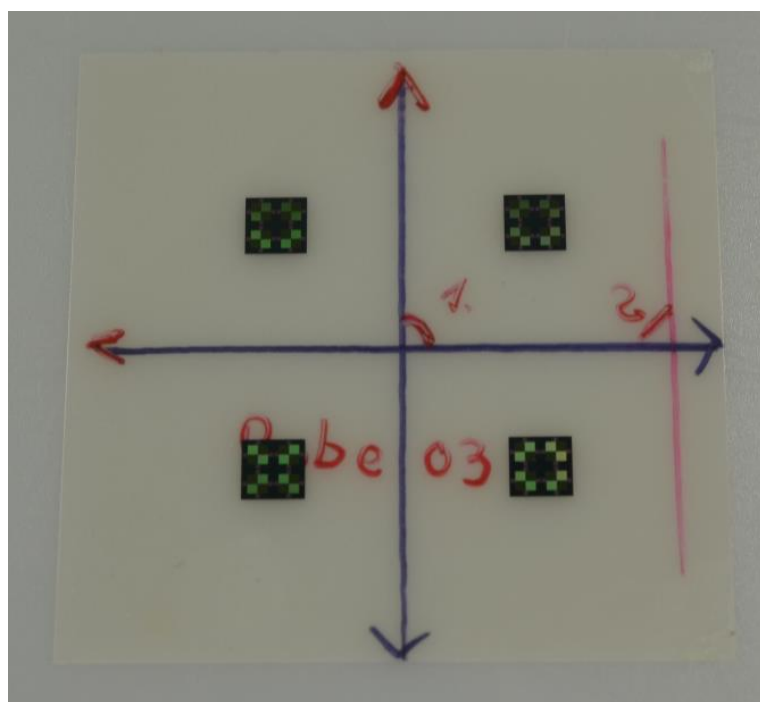


Abbildung 24: Automatisch auf Waferhaftfolie platzierte, ultradünne Siliziumchips. Der nominelle Abstand der Chips beträgt sowohl in X- als auch in Y-Distanz 10 mm.

Mit dem Video-Inspektions-System wurden markante, kontrastreiche Punkte auf der Oberfläche des Chips bestimmt. Für die vorliegenden Chips sind dies Ecken von Strukturen in gegenüberliegenden Chipecken. Den vier Ecken wurden virtuelle Linien zugewiesen, gezeigt in Abbildung 25, deren Schnittpunkt den Chipmittelpunkt darstellt. Der Chipmittelpunkt stellt den Nullpunkt eines neuen, virtuellen Koordinatensystems dar. Durch eine virtuelle Linie zwischen den beiden unteren Messpunkten wurde die Orientierung der virtuellen X-Achse definiert.

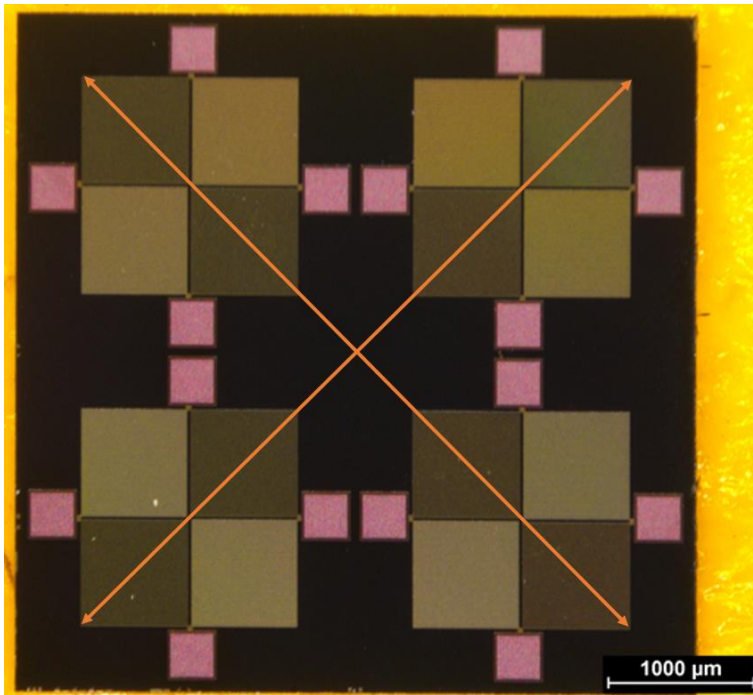


Abbildung 25: Für die Berechnung des Chipmittelpunktes wurden zwei virtuelle Linien zwischen vier virtuellen Punkten auf dem Chip erzeugt.

Für die anderen drei Chips wurde die Erfassung der virtuellen Chipmittelpunkte analog zur Erfassung des ersten Chips durchgeführt, jedoch mit dem Unterschied, dass die Position der Chipmittelpunkte jeweils die relative Distanz zum ersten Chip darstellt, die nominal 10 mm in X- sowie in Y-Richtung betragen sollte. Durch die Berechnung des Winkels, der zwischen der virtuellen X-Achse des ersten Chips und den jeweiligen virtuellen Linien der anderen Chips aufgespannt wird, kann die relative Verdrehung der Chips zueinander berechnet werden. Die so bestimmte relative Platzierungstoleranz ergab sich rechnerisch zu maximal $\pm 25 \mu\text{m}$ in X- und Y-Orientierung. Die Berechnung des Verdrehwinkels ergab sich zu maximal $0,15^\circ$.

5. Prozesse zur Einbettung und elektrischen Kontaktierung ultradünner Chips

Nach der klebtechnischen Montage der ultradünnen Siliziumchips auf einem Foliensubstrat müssen diese in eine elektrisch isolierende Schicht eingebettet werden, um anschließend Leiterbahnen zur elektrischen Verbindung der eingebetteten Chips erzeugen zu können. In dieser Arbeit sind für die Applikation einer elektrisch isolierenden Schicht, für die Öffnung der Chipkontaktflächen sowie für die maskenlose Herstellung von Leiterbahnen drei Verfahren bzw. Technologien ausgewählt worden, die bisher in diesem Kontext noch nicht oder nur zu einem geringen Grad wissenschaftlich betrachtet worden sind. Die Untersuchungen zu den ausgewählten Verfahren bzw. Technologien werden in den nachfolgenden Kapiteln vorgestellt.

Die Einbettung der gefügten, ultradünnen Chips wird durch die Applikation eines elektrisch isolierenden, photosensitiven Materials durchgeführt. In Kapitel 5.1 wird dazu auf den Stand der Technik zur Photoresistapplikation und dessen Nachteile in Bezug auf Foliensysteme eingegangen. In Kapitel 5.1.1 wird ein alternatives Verfahren zur Applikation von flüssigen Medien, das Conformal-Coating-Sprühverfahren, sowie der sich für einen Photoresist aufspannende Prozessparameterraum vorgestellt. Es folgt in Kapitel 5.1.2 die Untersuchung des Conformal-Coating-Sprühverfahrens mit der Verwendung eines Negativphotoresists.

In Kapitel 5.2 wird zu Beginn auf den Stand der Technik zur maskenlosen Direktbelichtung von Photolacken eingegangen. In Kapitel 5.2.1 werden die Einflussparameter eines LED-basierten Direktbelichtungsprozesses diskutiert, der in Kapitel 5.2.2 tiefergehend untersucht wird.

In dieser Arbeit wird zur maskenlosen Abscheidung von Leiterbahnen ein Inkjetdruckverfahren verwendet. In den Stand der Technik des Inkjetdrucks leitet Kapitel 5.3 ein. In Kapitel 5.3.1 werden wissenschaftliche Grundlagen sowie der für den Prozess identifizierte Parameterraum vorgestellt, die zum Verständnis des Inkjetdruck-Verfahrens sowie zur Beurteilung der Druckergebnisse beitragen. In Kapitel 5.3.2 wird das Vorgehen zur Untersuchung eines Inkjetdruck-Prozesses mit nanopartikulären Tinten aufgezeigt sowie die Ergebnisse zur Generierung von elektrisch leitfähigen Leiterbahnen präsentiert.

5.1. Photoresistapplikation

In der Industrie ist Spincoating, welches im Deutschen als Rotations- oder Schleuderbeschichtung bezeichnet werden kann, das meistverwendete Verfahren zur Applikation von Photoresist [13]. Bisher wird in der Literatur ausschließlich Spincoating zur Beschichtung von Einbettmaterialien und Photoresist bei Foliensystemen genutzt. Der Applikationsprozess beginnt mit der Positionierung eines Wafers auf der dafür vorgesehenen Substrathalterung. Es folgt das Dispensieren des flüssigen Photoresists in das Zentrum der planaren Waferoberfläche. Der Wafer wird in Rotation versetzt, wodurch sich der Photoresist durch Zentrifugalkräfte auf der Oberfläche des Wafers verteilt [62]. Überschüssiges Material wird durch die Rotation über den Rand des Wafers hinaus abgeschleudert. Demnach kann über die Schleuderzeit und -drehzahl die resultierende Schichtdicke definiert werden. Im letzten Schritt wird ein Großteil des Lösungsmittels während des sogenann-

ten Softbakes durch Erwärmung der Materialschicht ausgedampft, wodurch die Photoresistschicht mechanisch stabilisiert wird. Nachteilig ist, dass nur runde Substrate mit planarer Oberfläche für die Beschichtung genutzt werden können. Für die Beschichtung von strukturierten, erhabenen oder mit Kavitäten ausgestatteten Oberflächen können Sprühapplikatoren eingesetzt werden, die bisher vorrangig zur Herstellung von Mikro-Elektronisch-Mechanischen-Systemen (MEMS) genutzt wurden [63]–[69]. Hierbei wird während der Rotation des Wafers Photoresist auf die Oberfläche aufgesprüht. Dadurch ergibt sich eine homogenere Beschichtungsqualität bei gleichzeitig reduziertem Materialverbrauch, doch beschränken sich bisherige Arbeiten durch den Fokus auf MEMS auf runde Wafer. Um in dieser Arbeit auch großflächige Foliensysteme mit beliebigem Formfaktor beschichten zu können, soll eine Sprühapplikation von Lötstopmaterial durch einen Conformal Coater zur großflächigen Sprühbelackung von Foliensubstraten untersucht werden.

5.1.1. Parameterraum Conformal-Coating-Sprühverfahren

Das Conformal-Coating-Sprühverfahren wird bereits industriell neben der Applikation von Schutzlacken auf bereits mit Bauelementen bestückten Leiterplatten auch zum Auftrag von Lötstopplack auf Leiterplatten eingesetzt. Es ermöglicht die Beschichtung von Leiterplatten mit nahezu beliebigen Formfaktoren und beliebiger Größe und erfüllt damit die Forderung des Teilziels 5. Im Rahmen dieser Arbeit wurde ein Prozess realisiert, durch den ein für Siebdruckbeschichtung konzipierter Lötstopplack mittels eines Conformal-Coating-Sprühverfahrens zur Einbettung ultradünner Siliziumchips genutzt werden kann. Im Rahmen der Versuche wurden die in Abbildung 26 dargestellten Faktoren ermittelt, die unterschiedlich stark die resultierende Lackschicht beeinflussen. Die Faktoren wurden zur besseren Übersicht in die drei Kategorien Sprühapplikation, Materialformulierung und Substratbeschaffenheit eingeteilt. Im Bereich der Sprühapplikation sind sowohl der Kartuschendruck, der die Durchflussmenge des Mediums durch das Sprühventil bestimmt, als auch der Atomisierdruck des Fördergases, der die Aufspannung eines Sprühkegels bewirkt, als wichtigste Parameter zu nennen. Beide Parameter beeinflussen grundlegend die Durchführbarkeit des Sprühprozesses, da diese über eine stabile Ausprägung und Kontinuität des Sprühkonus entscheiden. Weiter haben auch die Verfahrensgeschwindigkeit und Verfahrenhöhe des Sprühkopfes als auch der gewählte Bahnabstand Einfluss auf Dicke und Homogenität der Lackschicht. Zur Kategorie Materialformulierung zählen hauptsächlich die Faktoren Viskosität und Feststoffgehalt. Die Viskosität kann durch die Zugabe eines geeigneten Lösungsmittels reduziert werden, es muss aber vorausgesetzt werden, dass das Lösungsmittel keine anderen Eigenschaften des Photoresists verändert. Es ist zu beachten, dass prinzipiell identische Lösungsmittel, jedoch bezogen von unterschiedlichen Herstellern, die Beschichtungsqualität durch die Zugabe von Additiven beeinflussen können [70]. Zusätzlich ist bei zweikomponentigen Lacksystemen aus Harz und Härter die zeitabhängige Zunahme der Viskosität durch chemische Vernetzungsreaktionen zu berücksichtigen, dem durch Anpassung der Sprühprozessparameter begegnet werden kann. Weiterhin ist bei photoaktiven Komponenten ein Lösungsmittelaustrieb zur mechanischen Stabilisierung der Lackschicht, Softbake genannt, notwendig, um anschließend eine Belichtung durchführen zu können. Der Softbake ist so durchzuführen, dass weder Gaseinschlüsse noch spannungsbedingte Risse oder ähnliche Schäden in der Schicht entstehen. In Abhängigkeit des gewählten Lacks kann nach Fertigstellung der photolithographischen Strukturen eine Aushärtung durch einen sogenannten Hardbake notwendig sein, wodurch der Lack chemisch stabilisiert wird. Die

dritte Kategorie beschreibt die Substratbeschaffenheit. Je nach vorgelagerten Reinigungsprozessen, vorliegendem Metallschichtsystem und Substratmaterial oder Prozessen zur Hydrophilisierung oder Hydrophobisierung der Oberfläche haben Rauheit und freie Oberflächenenergie einen entscheidenden Einfluss auf die Benetzbarkeit der Oberfläche. Die Temperatur des Substrats hat dagegen nur einen geringen Einfluss auf die Benetzbarkeit, darf jedoch wegen der Temperaturabhängigkeit des Softbakes nicht vernachlässigt werden.



Abbildung 26: Übersicht über die Einflussparameter auf die Schichtqualität nach Sprühbeschichtung eines flüssigen, photosensitiven Mediums.

5.1.2. Conformal-Coating-Sprühapplikation von Lötstopmaterial

Zur Einbettung der auf Foliensubstrate montierten, ultradünnen Siliziumchips wurde das mechanisch flexible, als Negativresist photosensitive Lötstopmaterial NPR80/ID100 (Hersteller Nippon Polytec Corp., Japan) ausgewählt. Das zweikomponentige Lacksystem wurde im Verhältnis von 100 Gewichtsteilen Harz zu 38 Gewichtsteilen Härter in einem Rührbecher vermischt. Im gemischten Zustand weist das System einen Viskositätsbereich von 2000 mPa·s bis 2400 mPa·s auf [55]. Dies ist für einen Auftrag im Sprühverfahren zu hochviskos. Aus diesem Grund wurde nach dem Mischen beider Komponenten das Lösungsmittel Propylenglycolmonomethyletheracetat (PGMEA) zur Reduzierung der Viskosität hinzugegeben und für mindestens fünf Minuten verrührt. Anschließend wurde das Gemisch in eine 30 ml Kartusche gefüllt, ein Stopfen in die Kartusche eingesetzt und die Kartusche in einen Sprühapplikator (Type DD-5140, Nordson DIMA BV, Niederlande) eines Conformal-Coating-Systems (Elite Coater DR-070, Nordson DIMA BV, Niederlande) integriert.

Zu Beginn musste eine geeignete Verdünnungsstufe gefunden werden, um eine Sprühapplikation zu ermöglichen. Es wurden unterschiedliche Gewichtsanteile PGMEA bei verschiedenen Kartuschen- und Atomisierdrücken überprüft. Beim Verhältnis 1: 0,35 (NPR80/ID100: PGMEA) ist die Viskosität des Lötstoppmaterials zu hoch, so dass sogar bei einem Kartuschendruck von 5 bar kein Durchfluss durch das Ventil erreicht werden konnte. Ab der Verdünnungsstufe 1: 0,42 beginnt sich bei mindestens 2 bar Kartuschendruck und 1,5 bar Atomisierdruck ein instabiler Vorhang aufzuspannen. Erst ab einem Vermischungsverhältnis von 1: 1,25 konnte bei 0,5 bar Kartuschendruck und 0,8 bar Atomisierdruck ein stabiler Sprühkonus erreicht werden.

Die mittels Sprühapplikation zu besprühende Fläche wurde in der Herstellersoftware des Conformal-Coaters-Systems als „Gebiet“ definiert. Zur Ausrichtung des virtuell definierten Gebiets mit dem reell vorliegenden Substrat wurden vor jedem Sprühvorgang die Substratecken mit einer integrierten Kamera erfasst. Innerhalb des definierten Gebiets verfährt der Sprühkopf mit eingestellter Höhe und definierter Verfahrgeschwindigkeit in Bahnen über das ruhende Substrat. Weiterhin ist der Zeitpunkt zum Öffnen und Schließen des Sprühkopf-Ventils während des Verfahrens zu definieren. Zu Beginn einer Bahn öffnet das Ventil, es verbleibt geöffnet bis zum Ende der Bahn und schließt dann. Anschließend verfährt das Sprühventil um einen definierten Bahnabstand. Bei der Rückfahrt des Sprühventils erfolgt, analog zur ersten Bahn, das Öffnen des Sprühventils zu Beginn der zweiten Bahn und das Schließen des Ventils zum Ende der zweiten Bahn. Das Öffnen und Schließen des Ventils kann über die Parameter „Einschaltzeit“ und „Ausschaltzeit“ angepasst werden, wodurch eine Anhäufung von Material zu Beginn sowie Ende einer Sprühbahn reduziert oder durch ein dauerhaft offen geschaltetes Ventil erzwungen werden kann.

Bei den Versuchen wurde eine Parameterkombination der Einflussfaktoren

- Kartuschendruck,
- Atomisierdruck,
- Verfahrgeschwindigkeit,
- Bahnabstand,
- Verfahrhöhe,
- sowie Einschaltzeit und
- Ausschaltzeit

ermittelt, mit der eine geschlossene Materialabscheidung mit der im technischen Datenblatt definierten Zielschichtdicke von 15 μm – 20 μm erreicht wurde [54]. Die Versuche erfolgten auf einer Kupferoberfläche, die vor der Sprühbeschichtung mit Aceton und einem faserarmen Tuch gereinigt wurden. Der Probenstisch des Conformal Coaters wurde konstant auf 50 °C geheizt. Die Ermittlung der geeigneten Parameter wurde sukzessive durch Variation eines Parameters und durch Beibehalt der übrigen Parameter durchgeführt. Es wurde mit den zum Aufspannen eines Sprühkonus benötigten Arbeitsdrücken begonnen. Es folgten die Untersuchungen der weiteren Parameter in der Reihenfolge, in der sie in den nachfolgenden Beschreibungen gelistet sind:

Arbeitsdrücke

Ab einem Kartuschendruck von 0,5 bar konnte ein stabiler Durchfluss des verdünnten Lötstopplacks durch das Ventil erreicht werden. Bei höherem Kartuschendruck wird ein höherer Volumenstrom durch das Ventil erzwungen, wodurch eine höhere Lackschichtdicke erreicht wird. Da die Schichtdicke auch über den Parameter Verfahrgeschwindigkeit beeinflusst werden kann, wurde

mit 0,5 bar ein Wert gewählt, der eine stabile Ausprägung des Sprühkonus erlaubt. Der Atomisierdruck wurde auf 0,8 bar eingestellt. Niedrigere Drücke führten zu einer instabilen Ausprägung des Sprühkonus. Höher gewählte Drücke haben bei zu niedriger Verfahrenhöhe zur Verdrängung des bereits applizierten Materials geführt.

Verfahrenhöhe

Die maximal mögliche Verfahrenhöhe von 30 mm wurde für die Sprühbeschichtung gewählt, da damit die nach optischer Bewertung homogenste Verteilung des aufgesprühten Materials erzielt wurde. Eine niedrigere Verfahrenhöhe kann insbesondere in Verbindung mit zu hohen Arbeitsdrücken zur Verdrängung des bereits applizierten Materials führen.





Bahnabstand

Bei zu weit auseinanderliegenden Abständen steigt das Risiko, dass das flüssige Material der einzelnen Bahnen nicht ineinanderfließen kann, um eine geschlossene Schicht auszubilden. Wird der Abstand jedoch zu niedrig gewählt, wird gegebenenfalls zu viel Material auf das Substrat aufgebracht, wodurch die angestrebte Zielschichtdicke überstiegen wird. Auch können starke Schichtdickenschwankungen auftreten. Ein Bahnabstand von 5 mm ergab ein zufriedenstellendes Ergebnis in Hinblick auf die Verteilung des aufgesprühten Lacks.

Ein- und Ausschaltzeiten

Die Einschalt- und Ausschaltzeiten wurden zur Reduzierung der Lackansammlungen in den Randbereichen der zu beschichtenden Fläche angepasst. In Tabelle 3 sind Sprühflächen mit resultierenden Randausprägungen bei unterschiedlichen Einschalt- und Ausschaltzeiten des Ventils bei einer Verfahrensgeschwindigkeit von 450 mm/s aufgezeigt. Ohne Veränderung der Einschalt- bzw. Ausschaltzeiten ($t_{\text{ein}} = 0 \text{ ms}$, $t_{\text{aus}} = 0 \text{ ms}$) werden scharf abgegrenzte Randgebiete erzeugt. Positive Vorzeichen bewirken eine Verzögerung des Signals zum Öffnen oder Schließen des Ventils. Im Gegensatz dazu wird bei einem negativen Vorzeichen das Ventil vorzeitig geöffnet (Bahnbeginn) bzw. geschlossen (Bahnende). In den Versuchen wurde bei positiven Werten für die Einschaltzeit und negativen Werten für die Ausschaltzeit festgestellt, dass das Ventil zu lange geschlossen verbleibt, wodurch insgesamt zu wenig Material abgeschieden wurde. Bei negativen Werten der Einschaltzeit und positiven Werten der Ausschaltzeit vergrößert sich der Bereich der sich am Rand befindlichen Lackansammlung mit konturlosem Übergang in den mittigen Beschichtungsbereich. Hier ergaben eine Einschaltzeit von -30 ms sowie eine Ausschaltzeit von +30 ms die zielführendsten Ergebnisse, um einerseits ausreichend Material im Zentrum der zu besprühenden Fläche abzuschneiden, ohne den Randbereich zu stark zu verbreitern.

Tabelle 3: Sprühflächen auf kupferkaschierter Leiterplatte mit variablen Einschalt-/ Ausschaltzeiten. Parameter: 450 mm/s Verfahrensgeschwindigkeit, 5 mm Bahnabstand, 30 mm Verfahrhöhe, 0,5 bar Kartuschendruck, 0,8 bar Atomisierdruck.

Einschalt-/Ausschaltzeiten	Resultierende Sprühflächen
<p>Einschaltzeit: +30 ms Ausschaltzeit: -30 ms</p>	 <p><i>Durch die gewählten Einschalt- und Ausschaltzeiten wurde das Sprühventil nur kurzzeitig am Ende der Sprühbahn geöffnet. Es wurde mittig kein Lötstopmaterial appliziert.</i></p>
<p>Einschaltzeit: 0 ms Ausschaltzeit: 0 ms</p>	 <p><i>Die Lötstopmaterial-Ansammlungen zum Start und Ende der Bahnen sind deutlich abgegrenzt. Es wurde Material im Zentrum der Fläche abgeschieden.</i></p>
<p>Einschaltzeit: -30 ms Ausschaltzeit: +30 ms</p>	 <p><i>Die Ansammlung am Rand des Sprühgebiets ist unscharf ausgebildet. Das Sprühventil verbleibt über die gesamte Zeit geöffnet. Es wurde Material im Zentrum der Fläche abgeschieden.</i></p>
<p>Einschaltzeit: -50 ms Ausschaltzeit: +50 ms</p>	 <p><i>Eine weitere Zunahme der Einschalt- / Ausschaltzeiten bedeutet ein früheres Öffnen bzw. späteres Schließen des Ventils zu Beginn bzw. zum Schluss der Sprühbahnen. Dadurch vergrößert sich die Fläche der Lötstopmaterial-Ansammlung im Randgebiet.</i></p>

Verfahrensgeschwindigkeit

Nach Festlegung aller anderen Parameter konnte durch den Parameter Verfahrensgeschwindigkeit die Zielschichtdicke von 15 μm bis 20 μm eingestellt werden. Die anderen, zuvor beschriebenen und bereits untersuchten Parameter verblieben konstant bei ihren genannten Werten. Untersucht wurden die Verfahrensgeschwindigkeiten $v_1 = 350 \frac{\text{mm}}{\text{s}}$, $v_2 = 400 \frac{\text{mm}}{\text{s}}$ sowie $v_3 = 450 \frac{\text{mm}}{\text{s}}$. Es wurde je Geschwindigkeit auf je zwei kupferkaschierten Leiterplatten Lötstoppmaterial aufgesprüht. Nach der Sprühbeschichtung wurde die Leiterplatte für 20 min auf einer auf 80 °C geheizten Heizplatte für einen Softbake gelagert. Hierdurch wurde nach Lösungsmittelaustrieb eine ausreichend stabile Schicht erhalten, um deren Schichtdicke durch Aufsetzen einer Sonde (FTA3.3H, Helmut Fischer GmbH, Institut für Elektronik und Messtechnik, Deutschland) mittels Wirbelstromverfahren (FMP40, Helmut Fischer GmbH, Institut für Elektronik und Messtechnik, Deutschland) vermessen zu können. Die Schichtdicke wurde wie in Abbildung 27 an neun Punkten auf jeder Leiterplatte gemessen. Es zeigte sich, dass $v_1 = 350 \frac{\text{mm}}{\text{s}}$ eine zu hohe Schichtdicke zur Folge hat (Tabelle 4). Sowohl $v_2 = 400 \frac{\text{mm}}{\text{s}}$ (Tabelle 5) als auch $v_3 = 450 \frac{\text{mm}}{\text{s}}$ (Tabelle 6) erzeugen Schichtdicken im Zielschichtdickenbereich von 15 μm – 20 μm . Für den Prozess der Sprühbeschichtung wurde die Verfahrensgeschwindigkeit $v_2 = 400 \frac{\text{mm}}{\text{s}}$ gewählt, da $v_3 = 450 \frac{\text{mm}}{\text{s}}$ das Risiko birgt, die geforderte minimale Schichtdicke von 15 μm zu unterschreiten.

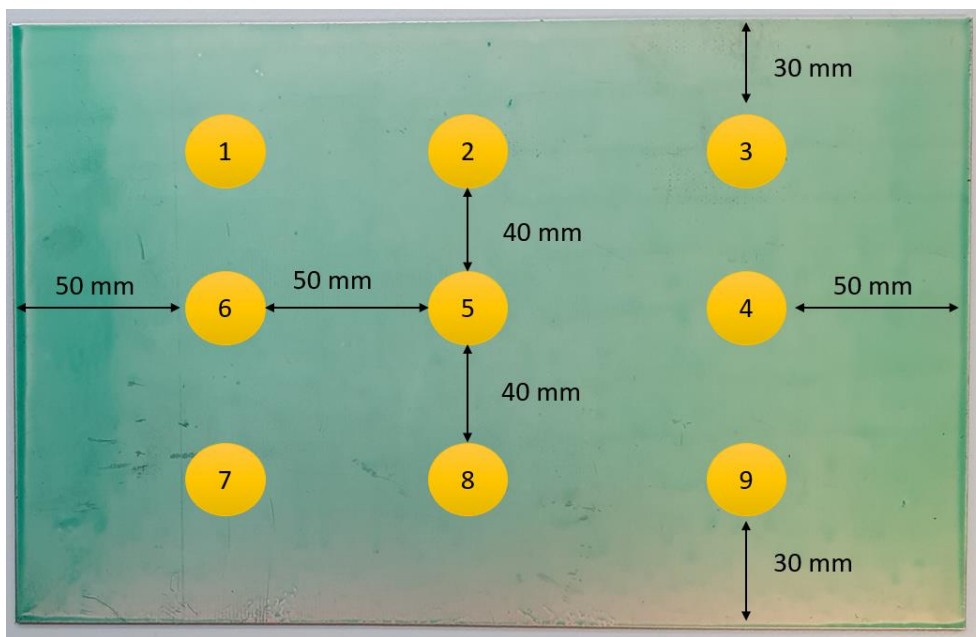


Abbildung 27: Ermittlung der Schichtdicke einer aufgesprühten Lötstoppmaterialschicht auf einer kupferkaschierten Leiterplatte. Für die Messungen wurden neun Punkte definiert. Die Längenangaben stellen gewählte Abstände zwischen den Messpunkten bzw. zum Leiterplattenrand dar.

Tabelle 4: Schichtdickenverteilung eines aufgespritzten Lötstopplacks auf zwei kupferkaschierten Leiterplatten mit einer Sprühkopf-Verfahrensgeschwindigkeit von 350 mm/s.

Verfahr- Geschwindig- keit	Leiterplatte 1			
	350 mm/s	21,82 µm	21,84 µm	20,91 µm
22,64 µm		20,87 µm	20,14 µm	
22,65 µm		21,17 µm	19,33 µm	
Mittelwert µ:		21,26 µm	Stand.Abw. σ:	1,04 µm
Leiterplatte 2				
19,28 µm		17,15 µm	18,46 µm	
18,08 µm		19,9 µm	19,27 µm	
19,9 µm		19,98 µm	19,11 µm	
Mittelwert µ:		19,01 µm	Stand.Abw. σ:	0,90 µm

Tabelle 5: Schichtdickenverteilung eines aufgespritzten Lötstopplacks auf zwei kupferkaschierten Leiterplatten mit einer Sprühkopf-Verfahrensgeschwindigkeit von 400 mm/s.

Verfahr- Geschwindig- keit	Leiterplatte 1			
	400 mm/s	16,03 µm	16,79 µm	17,78 µm
17,09 µm		17,32 µm	17,71 µm	
16,77 µm		15,32 µm	16,17 µm	
Mittelwert µ:		16,78 µm	Stand.Abw. σ:	0,77 µm
Leiterplatte 2				
15,68 µm		17,57 µm	16,05 µm	
17,04 µm		18,05 µm	17,3 µm	
17,62 µm		16,43 µm	16,06 µm	
Mittelwert µ:		16,87 µm	Stand.Abw. σ:	0,79 µm

Tabelle 6: Schichtdickenverteilung eines aufgespritzten Lötstopplacks auf zwei kupferkaschierten Leiterplatten mit einer Sprühkopf-Verfahrgeschwindigkeit von 450 mm/s.

Verfahr- Geschwindig- keit	Leiterplatte 1			
	450 mm/s	15,07 µm	13,39 µm	15,53
14,92 µm		16,94 µm	15,91	
15,52 µm		16,31 µm	16,15	
Mittelwert µ:		15,53 µm	Stand.Abw. σ:	0,96 µm
Leiterplatte 2				
14,43 µm		14,94 µm	16,22 µm	
16,64 µm		16,17 µm	15,47 µm	
16,12 µm		15,2 µm	17,35 µm	
Mittelwert µ:		15,84 µm	Stand.Abw. σ:	0,86 µm

In Tabelle 7 sind die ermittelten Prozessparameter zur Conformal-Coating-Sprühbeschichtung von verdünntem (1:1,25) Lötstopppmaterial NPR80/ID100 aufgelistet.

Tabelle 7: Ermittelte Parameter zur Sprühbeschichtung von verdünntem Lötstopplack NPR80/ID100.

Parameter	Wert
Verfahrgeschwindigkeit v	400 mm/s
Bahnabstand	5 mm
Verfahrhöhe	30 mm
Kartuschendruck	0,5 bar
Atomisierdruck	0,8 bar
Einschalt-/ Ausschaltpunkt	-30 ms / +30 ms
Probentischtemperatur T_{Tisch}	50 °C

Zur Identifikation eines geeigneten Softbakeprozesses zur Stabilisierung der Photoresistschicht durch Lösungsmittelaustrieb wurden Richtwerte aus dem technischen Datenblatt des Materials genutzt. Eine zu hoch gewählte Temperatur kann zur Degradation der photoaktiven Komponente führen. Neben erhöhter Temperatur kann eine zu lange Verweilzeit zur Vernetzung der reaktiven Materialkomponenten führen. Dies resultiert nach dem Entwicklungsprozess zu Materialrückständen in Bereichen, die nicht mit UV-Licht bestrahlt wurden und in denen ursprünglich keine Vernetzung stattfinden sollte. Der Hersteller gibt an, dass das Material bei 80 °C für 30 min einem Softbake unterzogen werden kann, ohne Materialrückstände zu erzeugen. Da der Probentisch, auf dem die Substrate während des Conformal-Coating-Sprühprozesses lagen, nur auf 50 °C geheizt wurde, musste ein zweiter Heizschritt auf einer zweiten Heizplatte folgen. Deshalb wurde nach Aufspritzen des flüssigen Lötstopppmaterials 10 min gewartet, um Lösungsmittel aus der Schicht

auszutreiben und diese mechanisch zu stabilisieren. Anschließend wurden die Substrate auf eine zweite, auf 80 °C temperierte Heizplatte transportiert und der Softbakeprozess nach weiteren 15 min abgeschlossen. Nach diesem zweistufigen Softbake wurde das Substrat von der Heizplatte entfernt und auf Raumtemperatur gekühlt. In diesem Zustand ist das Material noch nicht chemisch inert und kann beispielsweise mit Isopropanol oder Aceton noch von der Oberfläche entfernt werden. Zur Erreichung der vollständigen Vernetzung ist ein Hardbake-Schritt bei 150 °C für 60 min im Konvektionsofen notwendig. Zur Abschätzung der Haftfestigkeit der Lötstopmaterialbeschichtung nach erfolgtem Hardbake auf der kupferkaschierten Leiterplatte wurde ein Gitterschnitttest nach DIN EN ISO 2409 durchgeführt. Mit einem Gitterschnittmesser wurde die Beschichtung in einem Quadratmuster geschnitten. Anschließend wurde ein Klebeband auf die Schnittfläche aufgebracht und in einem Winkel von ca. 60° von der Oberfläche entfernt. Das verbleibende Lötstopmaterialgitter zeigte nur geringe Schäden, so dass dem Ergebnis ein Kennwert von 1, dem zweitbesten Ergebnis auf einer Skala von 0 bis 5, zugeordnet wurde.

5.2. Photolithographische Strukturierung mittels Direktbelichtung

Neben den zur Fertigung in der Mikroelektronik hauptsächlich eingesetzten, maskenbasierten Belichtungsverfahren stehen auch maskenlose Alternativen für die Belichtung von photosensitiven Materialien zur Verfügung. Diese nutzen Elektronenquellen, Laser oder LEDs, um ohne zwischengelagerte Maskierungswerkzeuge photosensitives Material mit Strahlung definierter Wellenlänge zu belichten. Die Elektronenstrahlithographie sowie Laser werden bei Anwendungen mit hoher Anforderung an die minimal mögliche Auflösung eingesetzt, wobei die Elektronenstrahlithographie unter der Verwendung von speziellen Photolacken (E-beam-Resist) zur Fertigung von Masken für maskenbasierte Belichtungsverfahren genutzt wird. Der Elektronen- bzw. Laserstrahl verfährt sequenziell die zu belichtenden Bereiche ab. Nachteilig ist der niedrige Durchsatz, der durch die hohe Auflösung und die sequentielle Arbeitsweise zustande kommt. Aus diesem Grund wird für die Direktbelichtung von Resistmaterial zur Maskierung von Kupferkaschierungen auf Leiterplatten eine LED-basierte Variante der Direktbelichtung genutzt, die eine Auflösung von mehreren zehn Mikrometern zur Definition von Leiterbahnen und Kontaktlöchern bei höherem Durchsatz im Vergleich zu laserbasierten Direktbelichtern aufweist. Alle Direktbelichtungsverfahren haben gemeinsam, dass das zu belichtende Layout digitalen Ursprungs ist und die kostenintensive und zeitaufwändige Maskenherstellung entfällt. Dieser Vorteil ist für den Einsatz in der Forschung und Entwicklung attraktiv, da in kurzer Zeit unterschiedliche Layouts erprobt werden können. Der hohe Freiheitsgrad der Gestaltung des Belichtungslayouts sowie die schnelle Übertragung vom digitalen Vorbild in das photosensitive Material auf dem Substrat prädestinieren den Einsatz von Direktbelichtungsverfahren für die individuelle Fertigung von Foliensystemen.

Es wurde bereits gezeigt, dass laserbasierte Direktbelichtungsverfahren zum Ausgleich von Verdrehwinkeln und Plaziertoleranzen von eingebetteten, ultradünnen Siliziumchips genutzt werden können [71], [72]. Um zu zeigen, dass auch LED-Direktbelichtungsverfahren mit dem Potential eines höheren Durchsatzes verwendbar sind, soll in der vorliegenden Arbeit für die maskenlose UV- Belichtung ein LED-basiertes Direktbelichtungssystem verwendet werden (MIVATec 2020L DI, MIVA Technologies GmbH, Deutschland). Über ein Mikrospiegelarray, integriert in eine verfahrbare Belichtungseinheit, wird das von LEDs emittierte UV-Licht auf eine photosensitive Oberfläche gelenkt. Die Nutzung eines Mikrospiegelarrays zur Umlenkung des LED-Lichts erlaubt

die lokal begrenzte, hochaufgelöste sowie individualisierbare UV-Belichtung der Oberfläche ohne die Notwendigkeit einer zusätzlichen Maskierung. Die Matrixanordnung der Mikrospiegel ermöglicht eine flächige Belichtung, während die Belichtungseinheit in definierter Höhe mäanderförmig über die zu belichtende Oberfläche verfährt. Um auch bei einer hohen Verfahrgeschwindigkeit der Belichtungseinheit eine ortsfeste, hochaufgelöste Belichtung der Oberfläche zu gewährleisten, müssen die einzelnen Spiegelemente ausreichend schnell verkippt werden können.

Mit der Belichtung des photosensitiven Materials geht auch die Entwicklung der Strukturen einher. Deshalb wird neben der Erarbeitung der LED-Belichtungsparameter auch eine Betrachtung des Entwicklungsprozesses durchgeführt.

5.2.1. Einflussparameter UV-LED-Direktbelichtung

Für das eingesetzte Direktbelichtungsverfahren mittels UV-LED-Belichtung haben neben Maschinenbezogenen Parametern auch die Materialeigenschaften Einfluss auf die Qualität der resultierenden Strukturen (Abbildung 28). Wichtigster Parameter ist die in den Photoresist eindringende, effektive Dosis. Erst ab dem Erreichen einer minimal benötigten Dosis können chemische Prozesse zur Vernetzung oder Spaltung von Molekülketten gestartet werden. Dabei unterscheiden sich die benötigten Dosen je nach verwendetem Lack sowie in der Verwendung von Positiv- und Negativresist. Bei LED-Direktbelichtungsgeräten ergibt sich die emittierte Dosis in Abhängigkeit der Verfahrgeschwindigkeit der beweglichen Belichtungseinheit und damit der Belichtungsdauer sowie der zum Betrieb der UV-LEDs eingestellten Stromstärke. Um Photolacke mit unterschiedlichen Wellenlängensensitivitäten verarbeiten zu können, sind UV-LEDs mit unterschiedlichen Wellenlängen in den Direktbelichtern verbaut.

Für unterschiedliche Wellenlängen weisen Photolacke verschieden starke Ausprägungen der optischen Absorptions-, Transmissions- und Reflektionseigenschaften auf. Auch die Eigenschaften der Oberfläche, auf der der Photoresist aufgetragen wird, beeinflusst die erreichbare Strukturauflösung. So hat das optische Reflektionsvermögen der Oberfläche einen Einfluss auf die eingetragene Dosis. Durch reflektiertes UV-Licht, welches durch Strukturen an der Oberfläche gestreut wird, können somit Vernetzungsreaktionen in nicht belichteten Bereichen des Photoresists ausgelöst werden [13], wodurch eine Reduzierung der Dosis bei stark reflektierenden Substraten notwendig sein kann. Des Weiteren muss die Adhäsion des Photoresists auf dem Substratmaterial berücksichtigt werden, da bei unzureichender Anhaftung des Resists auf dem darunterliegenden Material Entwicklermedium zwischen Photoresist und Substratoberfläche gespült werden kann und dies zur Ablösung von Material in den vernetzten Bereichen führt. Mit der Betrachtung des Belichtungsprozesses ist parallel die Betrachtung des Entwicklungsprozesses verknüpft. Hierbei muss eine geeignete Parameterkombination aus Belichtungsparametern, Entwicklerkonzentration, Temperierung, Entwicklungsdauer und dem zum Stoppen des Entwicklungsprozesses notwendigen Spülprozess gefunden werden.

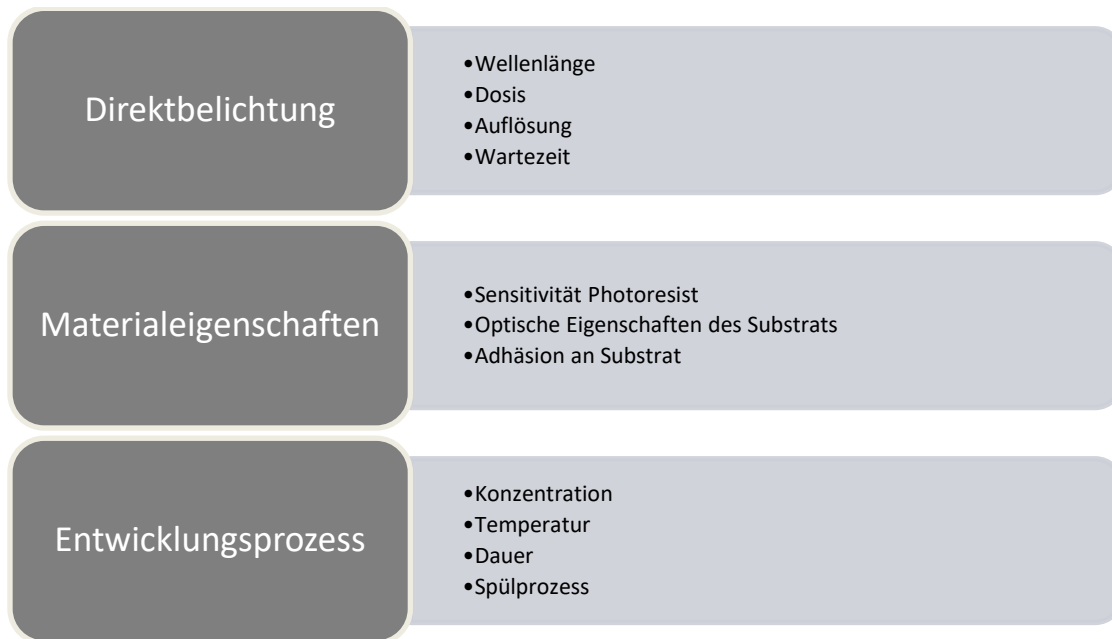


Abbildung 28: Übersicht über Einflussparameter auf die Ausprägung der Photoresiststrukturen nach Direktbelichtung und Entwicklung.

5.2.2. UV-LED-Direktbelichtung und Entwicklung

Zur Probenvorbereitung wurden ultradünne Siliziumchips klebtechnisch auf PI-Folie fixiert und in eine 15 µm – 20 µm dicke, aufgesprühte NPR80/ID100- Lötstopplackschicht eingebettet. Die PI-Folie wurde vorab zur besseren Handhabbarkeit der Proben unter Verwendung eines Trockenresists auf eine Leiterplatte laminiert. Die Chips weisen auf der Oberfläche 210 Widerstände auf (Abbildung 29). Die Widerstandsstruktur selbst liegt unter einer elektrisch isolierenden Passivierung. Nur die an den Enden der Widerstände gelegenen Metallflächen aus einer Aluminium-Silizium-Kupfer (AlSiCu)-Legierung stehen für die elektrische Kontaktierung zur Verfügung. Da die aufgesprühte Lötstopplackschicht photosensitiv ist, können mittels Direktbelichtung und Entwicklung spezifisch diese Kontaktflächen vom Lötstopppmaterial befreit werden, während das umgebende Material erhalten bleibt.

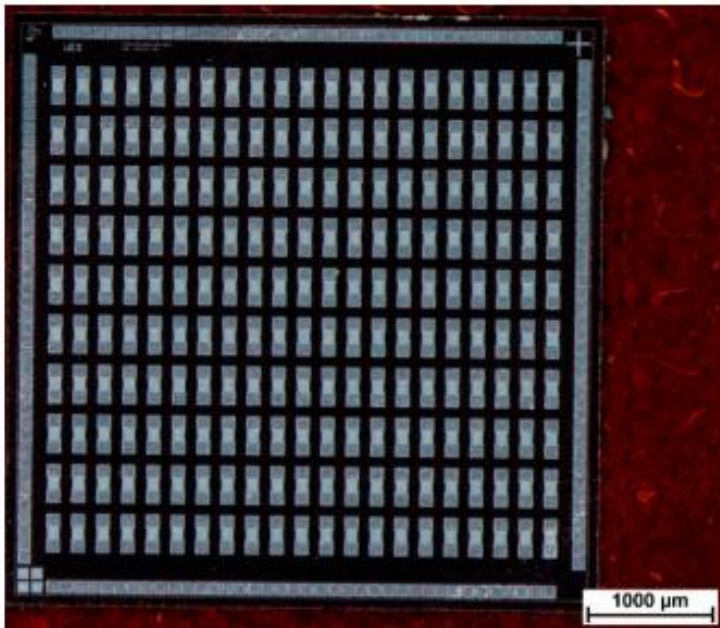


Abbildung 29: Siliziumchip mit 210 Widerständen, geklebt auf eine mit Trockenresist fixierte Polyimidfolie.

Das für die Direktbelichtung benötigte Layout wurde in einem Schaltungsentwurfsprogramm (EAGLE, CadSoft Computer GmbH, Autodesk, USA) konzipiert. Dazu wurden die vom Chipfertiger bereitgestellten Chiplayouts so vereinfacht, dass die Kontaktflächen als Quadrate im Schaltungsentwurfsprogramm isoliert vorhanden sind. Für den vorliegenden Chip mit sich wiederholenden Kontaktflächen an den Enden der Widerstandsstrukturen wurden so an den entsprechenden Positionen Quadrate definiert, beispielhaft dargestellt in Abbildung 30. Die Ausgabe des Layouts im Gerberformat listet nach einem Header die zur Belichtung vorgesehenen „Werkzeuge“ auf. Diese Werkzeuge werden für den Direktbelichtungsprozess als Formen interpretiert. Im vorliegenden Fall verarbeitet das Werkzeug D10 Rechtecke mit Größe $100\ \mu\text{m} \times 100\ \mu\text{m}$. Für jedes Werkzeug werden anschließend die Positionen der Formen aufgelistet. Abbildung 31 zeigt, dass durch Änderung oder Ergänzung der Form und Größe eines Werkzeugeintrags ausgewählte Kontaktöffnungen an spezifischen Positionen in kurzer Zeit direkt in einem Textprogramm editiert werden können, in diesem Fall wurden die Rechtecke in Kreise geändert. Für die Entwicklung des Direktbelichtungsprozesses wurden mit diesem Vorgehen Layouts mit sowohl quadratischen als auch runden Werkzeugeinträgen generiert. Die Größe wurde so angepasst, dass die im Datenblatt des Lötstoppmaterials NPR80/ID100 angegebene, minimale Kontaktöffnungsgröße von $80\ \mu\text{m}$ entsteht.

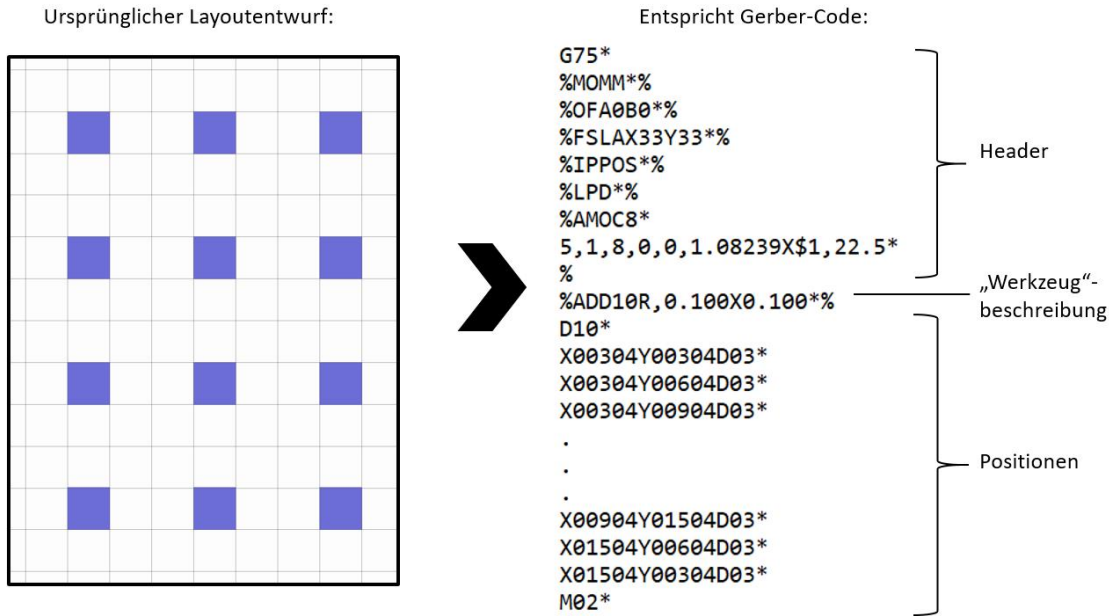


Abbildung 30: Die im Schaltungsentwurfsprogramm definierten Quadrate wurden im Gerberformat ausgegeben, um das Layout für die Belichtung mittels Direktbelichtung vorzubereiten. In Gerber-Code sind nach einem Header die für die Belichtung benötigten „Werkzeuge“ definiert, die über Größe und Ausprägung der belichteten Bereiche entscheiden. Danach werden die Positionen, an der die Belichtung mit dem jeweiligen Werkzeug stattfindet, definiert.

Geänderter Gerber-Code:

```

G75*
%MOMM*%
%OFA0B0*%
%FSLAX33Y33*%
%IPPOS*%
%LPD*%
%AMOC8*
5,1,8,0,0,1.08239X$1,22.5*
%
%ADD10R,0.100X0.100*%
%ADD11C,0.100*%
D10*
X00304Y00304D03*
X00304Y00604D03*
X00304Y00904D03*
.
.
.
D11*
X00605Y00304D03*
X00605Y00604D03*
X00605Y00904D03*
.
.
.
M02*

```

Entspricht im Layoutentwurf:

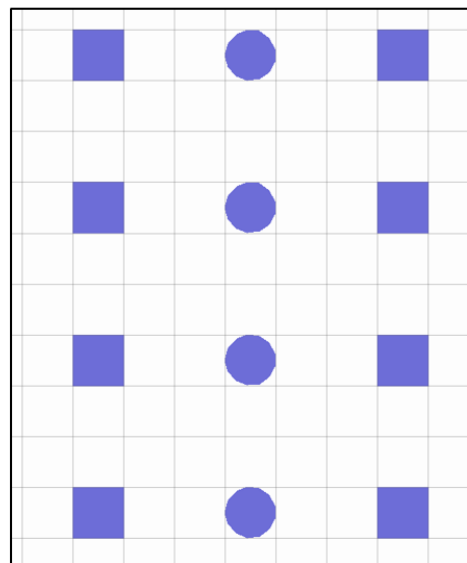


Abbildung 31: Durch Editierung der Werkzeugeinträge können spezifische Kontaktöffnungen in Form und Größe geändert oder ergänzt werden. Im Vergleich zur Abbildung 30 wurden durch die Erweiterung eines Werkzeugeintrags und ausgewählter Positionen gezielt quadratische Kontaktöffnungen in runde Kontaktöffnungen verändert.

Das technische Datenblatt des Lötstopmaterials gibt eine minimale Belichtungs-dosis von $d \geq 500 \text{ mJ/cm}^2$ zur ausreichenden Vernetzung des Negativresists an, ohne eine Angabe zur Wellenlänge mit höchster Sensitivität zu nennen. Aus diesem Grund wurden für die Belichtungen die vier zur Verfügung stehenden Wellenlängen $\lambda_1 = 365 \text{ nm}$, $\lambda_2 = 375 \text{ nm}$, $\lambda_3 = 390 \text{ nm}$ und $\lambda_4 = 405 \text{ nm}$ des Direktbelichters simultan genutzt, wobei die Stromstärke I der vier Wellenlängen gleich hoch

aus $2^8 = 256$ Gesamtwerten ausgewählt wurde. Die Verfahrensgeschwindigkeit wird über den Eintrag „Verstärkungsfaktor“ V verändert, wobei 100 (einheitenlos) die schnellste Geschwindigkeit und 16000 (einheitenlos) die langsamste Geschwindigkeit darstellt. Die Software errechnet über eine dem Anwender nicht bekannte Formel eine effektive Dosis. Zur Untersuchung einer geeigneten Dosis zur Belichtung der photosensitiven Lötstoppschicht wurden unterschiedliche Werte des Verstärkungsfaktors V sowie der Stromstärke I überprüft. Der Belichtungsmodus wurde als „Negativbild“ des vorbereiteten Layouts gewählt, so dass die im Gerber-Code angegebenen Positionen mit den Formen und Größen der Werkzeugeinstellung unbelichtet verbleiben, während das umgebende Negativresistmaterial belichtet und eine Vernetzungsreaktion im belichteten Material ausgelöst wurde. Die Gesamtgröße der belichteten Fläche wurde über zwei zusätzliche Rechtecke mit Größe $1\ \mu\text{m} \times 1\ \mu\text{m}$ in den diagonalen Ecken des Substrats, die im Gerber-Code ergänzt wurden, definiert. Nach der Belichtung wurden die Proben für 15 Minuten ruhen gelassen.

Zur Entwicklung der belichteten Lötstoppschicht wurde entsprechend des technischen Datenblatts eine Kaliumcarbonat-Entwicklerlösung mit Konzentration $c_{\text{Entwickler}} = 0,8\ \%$, temperiert auf $T_{\text{Entwickler}} = 30\ \text{°C}$, verwendet. Entgegen der Empfehlung des technischen Datenblatts, in dem eine Entwicklungsdauer von $t = 30\ \text{s}$ empfohlen wird, wurde nach empirischen Versuchen der Entwicklungsprozess für $t = 45\ \text{s}$ in einem Sprühentwicklerbecken durchgeführt. Die Dauer wurde erhöht, um eine höhere Zuverlässigkeit der Entwicklung zu erreichen. Zum Stoppen des Entwicklungsvorgangs wurden die Substrate in ein Becken mit deionisiertem Wasser (DI-Wasser) eingetaucht, anschließend mit zusätzlichem DI-Wasser abgespült und die Oberfläche mit Druckluft getrocknet. Finalisiert wurde der Entwicklungsprozess mit einem Hardbake bei $150\ \text{°C}$ für 60 min in einem Konvektionsofen. Die Dauer von 45 s zeigte keine negative Auswirkung auf die entwickelten Strukturen. Die belichteten Bereiche des Lötstopplacks sind ausreichend vernetzt, um auch der erhöhten Entwicklungszeit zu widerstehen. Versuche zur maximalen Entwicklungsdauer zeigten erst ab $t \geq 75\ \text{s}$ eine Degradation des Lötstoppmaterials (Abbildung 32). Erwartungsgemäß bewirkt eine zu geringe effektive Belichtungs-dosis ($d = 294\ \text{mJ}/\text{cm}^2$, $V = 500$, $I = 25$) eine unzureichende Vernetzung im Lötstoppmaterial, so dass der Randbereich der Kontaktöffnungen inhomogen ausgebildet wird (Abbildung 33). Effektive Belichtungs-dosen, die über dem vom Hersteller genannten Mindestwert von $d = 500\ \text{mJ}/\text{cm}^2$ liegen, zeigten zufriedenstellende Ergebnisse (Abbildung 34, $d = 706\ \text{mJ}/\text{cm}^2$, $V = 300$, $I = 100$). Auch erhöhte Belichtungs-dosen, die mehr als dem doppelten der empfohlenen Belichtungs-dosis entsprechen ($d = 1130\ \text{mJ}/\text{cm}^2$, $V = 100$, $I = 120$), führten zu keiner sichtbaren Änderung der Kontaktöffnungsform, und die Strukturen sind ähnlich zu Abbildung 34 ausgeformt. In Tabelle 8 sind die bei der Untersuchung ermittelten, optimierten Parameter für die LED-Direktbelichtung und den sich anschließenden Entwicklungsprozess zusammengefasst.

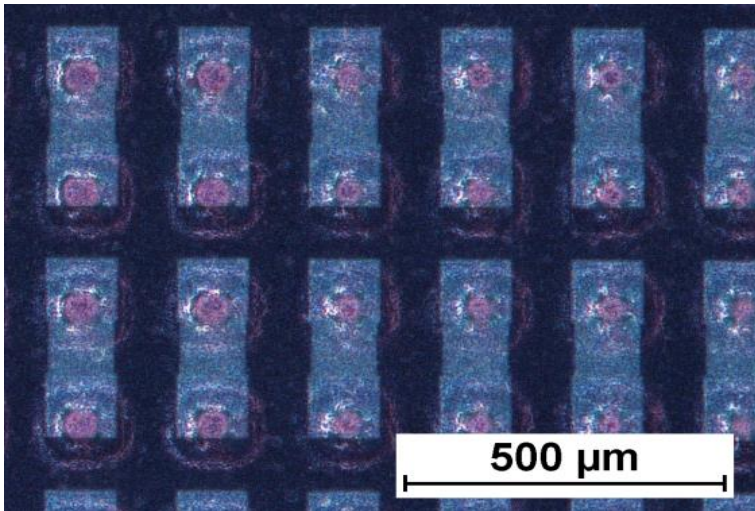


Abbildung 32: Eine zu hoch gewählte Entwicklungszeit kann zur Degradation des vernetzten Bereiches um die Kontaktlöcher führen. ($t_{\text{Entwickler}} \geq 75 \text{ s}$),

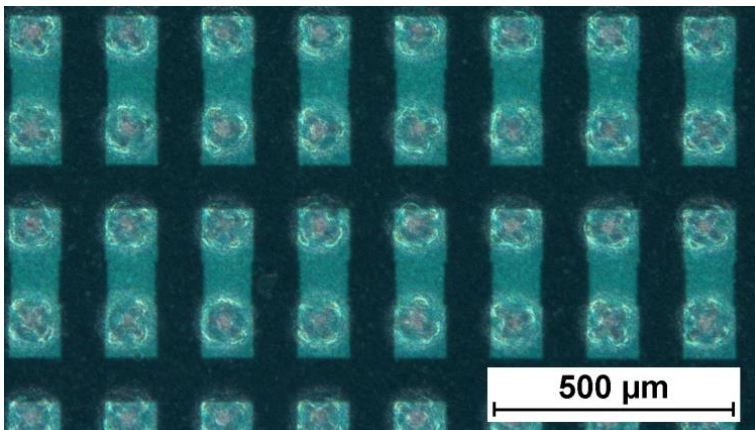


Abbildung 33: Eine unzureichend gewählte Belichtungs-dosis bewirkt eine zu schwache Vernetzung des Resistmaterials und inhomogene Ausprägung der Kontaktöffnungen. ($d = 294 \text{ mJ/cm}^2$)

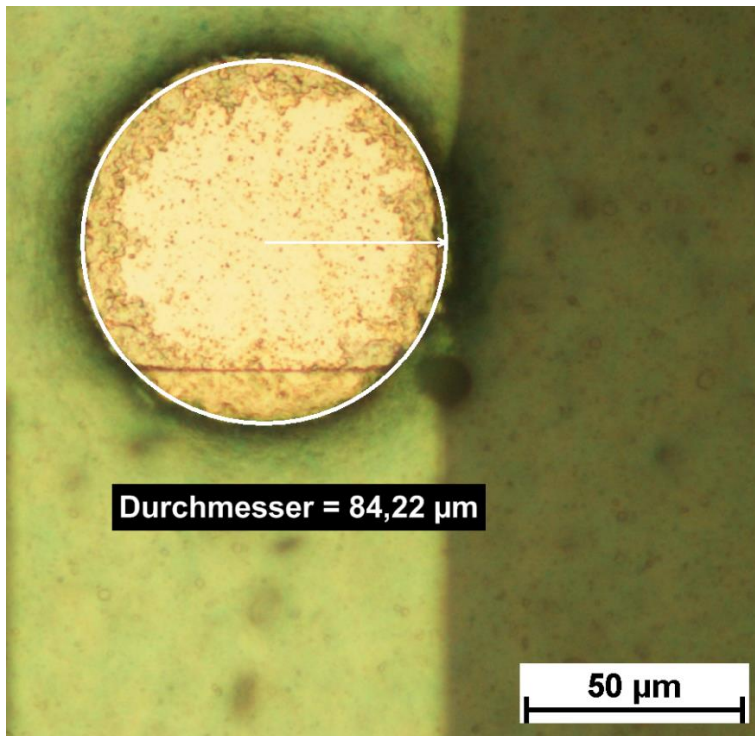


Abbildung 34: Ca. 84 µm große, runde Kontaktöffnung nach 45 s Entwicklung bei 30 °C Entwicklertemperatur für $d=706 \text{ mJ/cm}^2$.

Tabelle 8: Parameter zur Direktbelichtung und Entwicklung von photosensitivem Lötstopmaterial NPR 80/ID 100.

Parameter	Wert
<i>Emittierte Wellenlängen</i>	365 nm, 385 nm, 395 nm, 405 nm
<i>Effektive Dosis d</i>	706 mJ/cm^2
<i>Wartezeit nach Belichtung t_{Exposure}</i>	15 min
<i>Kaliumcarbonat- Entwicklerkonzentration $c_{\text{Entwickler}}$</i>	0,8 %
<i>Entwicklertemperatur $T_{\text{Entwickler}}$</i>	30 °C
<i>Entwicklungsdauer $t_{\text{Entwickler}}$</i>	45 s

5.3. Elektrische Kontaktierung mittels Drucktechnologie

Nach photolithographischer Strukturierung des Lötstoppmaterials zur Generierung von Kontaktöffnungen im Bereich der Kontaktflächen muss nun noch die elektrische Kontaktierung durchgeführt werden. Dazu wurde das Inkjetverfahren aus dem Bereich des Digitaldrucks als digitaler Prozess ausgewählt, da es eine Möglichkeit zur individuellen elektrischen Kontaktierung von zwei oder mehr Kontakten darstellt. Beim Inkjetverfahren werden an definierten Positionen auf der Oberfläche Tropfen niedrigviskoser Tinte appliziert. Das Verfahren lässt sich in die zwei Kategorien Drop-on-Demand Inkjet (DoD) und Continuous Inkjet gliedern. Beim Continuous-Inkjet-Verfahren werden kontinuierlich Tintentropfen aus einer Düse ausgeschieden. In Bereichen auf der Oberfläche, auf denen keine Abscheidung von Tinte gewünscht wird, werden die Tropfen durch eine elektrische Aufladung in einen Auffangbehälter abgelenkt und recycelt. Im Gegensatz dazu werden beim DoD-Verfahren die Inkjetdüsen nur bei Bedarf zur Tropfenausscheidung angeregt. In Oberflächenbereichen, in denen keine Tinte vorgesehen ist, erfolgt keine Tropfenausscheidung. Das Volumen der Tropfen beträgt bis zu wenigen Pikolitern, wodurch eine hohe Druckauflösung realisiert wird. Allgemein stehen zur Tropfengenerierung verschiedene Technologien zur Verfügung, die eine Verdrängung eines Tintenvolumens aus einer Kammer hervorrufen [73]:

- thermische Anregung,
- mechanischer Impuls auf eine Membran oder
- piezoelektrische Aktorik.

Da in dieser Arbeit ein System mit piezoelektrischer Aktorik genutzt wird, soll nachfolgend in Kapitel 5.3.1 *Parameterraum Inkjetdruck* auf die wissenschaftlichen Grundlagen der Tropfengenerierung sowie zu Benetzungseigenschaften eingegangen werden. Es folgt eine Betrachtung von Einflussparametern auf das resultierende Druckbild nach Inkjet-Druck mit nanopartikulärer Tinte. Anschließend werden in Kapitel 5.3.2 *Inkjetdruck nanopartikulärer Tinten* die Untersuchungen des Inkjetdruckprozesses vorgestellt.

5.3.1. Parameterraum Inkjetdruck

In dieser Arbeit wird das Verfahren der piezoelektrischen Aktorik genutzt. Die piezoelektrischen Aktoren, über die jede Düse verfügt, werden über elektrische Spannungsverläufe angesteuert. Diese Spannungsverläufe werden in der sogenannten Waveform zusammengefasst und bestimmen das Volumen und das Austrittsverhalten der jeweiligen Tintentropfen aus der Düse. Zur physikalischen Beschreibung des Tintenverhaltens werden die dimensionslosen Größen Weber-Zahl, Reynolds-Zahl sowie die sich daraus ergebende Ohnesorge-Zahl genutzt. Diese sind wie folgt definiert [74], [75]:

$$We = \frac{\rho * d_{Düse} * v_{Tropfen}^2}{\sigma} \quad (\text{Formel 1})$$

$$Re = \frac{\rho * d_{Düse} * v_{Tropfen}}{\eta} \quad (\text{Formel 2})$$

$$Oh = \frac{\sqrt{We}}{Re} = \frac{\eta}{\sqrt{\sigma * \rho * d_{Düse}}} \quad (\text{Formel 3})$$

mit Dichte ρ , Düsendurchmesser des Druckkopfes $d_{\text{Düse}}$, Tropfengeschwindigkeit v_{Tropfen} und Oberflächenspannung der Tinte σ . Die Weber-Zahl, dargestellt in Formel 1, gibt die Relation zwischen Trägheitskraft und Oberflächenspannung eines Fluides an. Während bei kleinen Weber-Zahlen die Oberflächenspannung eines Tropfens dominiert und die Kugelform angenommen wird, steigt mit wachsender Weber-Zahl die Neigung zur Verformung des Tropfens. In der drucktechnischen Anwendung bestimmt die Weberzahl damit die Neigung zum Ausstoß eines Tropfens aus einer Druckdüse [76]. Die Reynolds-Zahl (Formel 2) beschreibt das Strömungsverhalten von Fluiden. Es wird dabei zwischen dem laminaren Strom bei kleinen Reynolds-Zahlen bis hin zu turbulentem Strom bei hohen Reynolds-Zahlen unterschieden. Das Verhältnis der beiden eingeführten, dimensionslosen Größen bildet die in Formel 3 dargestellte Ohnesorge-Zahl. Die Berechnung der Ohnesorge-Zahl hat den Vorteil, dass die in der Praxis oftmals nicht bekannte Tropfengeschwindigkeit v nicht zur Bestimmung notwendig ist [77]. Sie stellt damit eine praxisorientierte Kenngröße zur Bestimmung der Druckbarkeit einer Tinte dar [74], [75]. Das Tintenverhalten und damit die Druckbarkeit wird bei nanopartikulären Tinten durch die Zusammensetzung aus Nanopartikeln mit definiertem Füllgrad mit spezifischer Partikelgröße in einem Lösungsmittel oder einem Lösungsmittelgemisch bestimmt. Wird der Kehrwert Z (Formel 4) der Ohnesorge-Zahl in ein Diagramm (Abbildung 35) eingetragen, kann daraus direkt auf den druckbaren Bereich einer spezifischen Tinte geschlossen werden [76].

$$Z = \frac{1}{oh} \quad (\text{Formel 4})$$

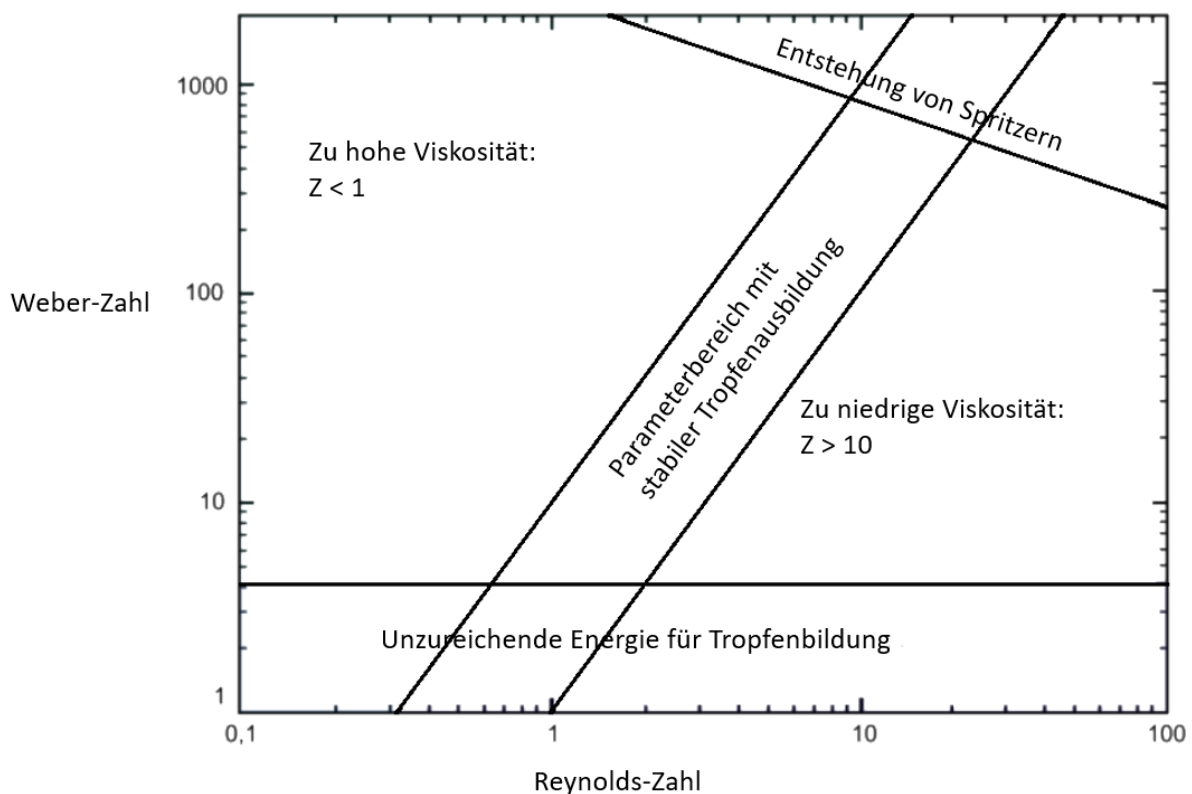


Abbildung 35: Diagramm nach Derby [75] zur Darstellung des druckbaren Parameterbereichs mit stabiler Tropfenausbildung.

Kommerziell erhältliche Tinten unterscheiden sich nicht nur in der Wahl der metallischen Nanopartikel, deren Ausformung, Größe sowie Größenverteilung, sondern auch in den vom Hersteller gewählten Lösungsmitteln, in denen die Nanopartikel vorliegen. Diese Merkmale sowie weitere

Additive, beispielsweise zur Vermeidung von Agglomeraten bei Lagerung, beeinflussen die Viskosität der Tinten und somit die Druckbarkeit und das resultierende Druckbild.

Konsequenterweise müssen auch die gewählten Maschinenparameter betrachtet werden, um die Qualität des Inkjetdrucks zu bewerten. Für den Zweck der Übersichtlichkeit wurden in Abbildung 37 auch die Layouteigenschaften, Druckauflösung sowie Layoutgestaltung, zu denen beispielsweise die Linienbreite und die Lagenanzahl zählen, mit zu den Maschinenparametern gezählt. Dies liegt darin begründet, dass die Druckauflösung sowohl softwareseitig als auch hardwareseitig durch den Anstellwinkel der Druckkartusche berücksichtigt werden muss, um den gewünschten Tropfenabstand auf der Oberfläche des Substrats zu erreichen. Neben der Druckauflösung kann auch durch eine angepasste Layoutgestaltung das applizierte Gesamtvolumen beeinflusst und damit ein definiertes Leiterbahnbild erzeugt werden. Zur Vollständigkeit sollen auch die Parameter Waveform, Meniskusvakuum und Verfahrenhöhe erwähnt werden. Diese wurden jedoch in dieser Arbeit nicht untersucht, um die Anzahl an variablen Parametern zu verringern.

Drei wichtige Substrateigenschaften stellen die Rauheit, die Benetzbarkeit der zu bedruckenden Oberfläche sowie die Substrattemperatur dar. Auf das Benetzungsverhalten von Tropfen auf einer Oberfläche soll an dieser Stelle nochmals genauer eingegangen werden. Zum Verständnis des Benetzungsverhaltens muss eine Energiebetrachtung erfolgen. Dazu soll ein System aus einem Flüssigkeitstropfen auf einer Oberfläche eines Feststoffs in einer gasförmigen Umgebung betrachtet werden (Abbildung 36). In Abhängigkeit der Benetzbarkeit der Oberfläche wird der Tropfen unterschiedliche Ausprägungen aufweisen. Zur Unterscheidung der Ausprägungen wird der Kontaktwinkel des Tropfenrands auf der Oberfläche bestimmt. Verteilt sich der Tropfen zu einem Flüssigkeitsfilm, ist folglich kein Kontaktwinkel messbar ($\theta=0^\circ$). Dies wird als spreitend bezeichnet. Bei guter Benetzung wird sich der Tropfen auf der Oberfläche zwar verteilen, jedoch wird eine hemisphärische Form mit Kontaktwinkeln $0 < \theta < 90^\circ$ angenommen. Bei unzureichender Benetzung wird der Tropfen kaum Kontaktfläche mit der Oberfläche des Feststoffs haben und liegt sphärisch mit Kontaktwinkeln im Bereich $90^\circ < \theta < 180^\circ$ auf dieser auf. Bei der Benetzung müssen die freie Oberflächenenergie des Feststoffs und die Oberflächenenergie bzw. Oberflächenspannung des Tropfens in Beziehung zueinander gesetzt werden. Im Gleichgewichtszustand kann die nach Young benannte Gleichung zur Betrachtung der Energien genutzt werden (Formel 5). Unter der Voraussetzung einer idealen Oberfläche folgt aus der Gleichung (Formel 5) mit:

- γ_{lv} = Oberflächenspannung der Flüssigkeit,
- γ_{sv} = freie Oberflächenenergie des Feststoffs,
- γ_{sl} = Grenzflächenenergie zwischen Festkörper und Flüssigkeit sowie
- Kontaktwinkel θ ,

dass der Kontaktwinkel abnimmt mit steigender freien Oberflächenenergie des Feststoffs beziehungsweise mit sinkender Oberflächenspannung der Flüssigkeit.

$$\gamma_{lv} * \cos(\theta) = \gamma_{sv} - \gamma_{sl} \quad \text{(Formel 5)}$$

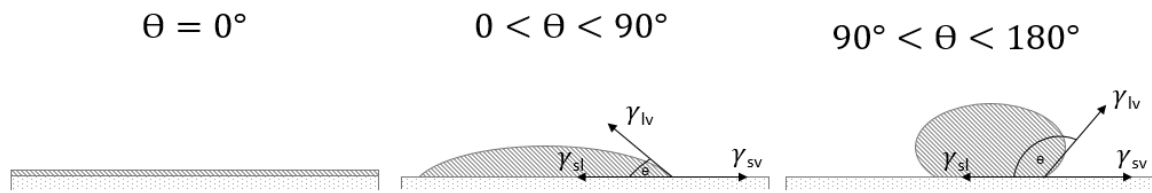


Abbildung 36 Darstellung nach Yuan et.al.[78]. In Abhängigkeit der Benetzbarkeit eines Flüssigkeitstropfens auf einem Feststoff entstehen unterschiedliche Ausprägungen des Benetzungsverhaltens, charakterisiert durch den Kontaktwinkel θ .

Alle oben genannten Einflussparameter wurden in Abbildung 37 zusammengefasst und den Kategorien Tinteneigenschaften, Layout und Maschinenparameter sowie Substrateigenschaften zugeordnet.



Abbildung 37: Übersicht über Einflussparameter auf das resultierende Druckbild nach dem Inkjetdruck.

5.3.2. Inkjetdruck nanopartikulärer Tinten

Zur Probenvorbereitung wurde PI-Folie mit Trockenresist auf eine Leiterplatte laminiert. Auf die Oberfläche der PI-Folie wurden dann Testchips mit insgesamt 210 Widerständen fixiert. Die Widerstände verbinden je zwei Kontaktflächen mit AlSiCu-Metallisierung. Nach der Klebung wurde die Oberfläche der Siliziumchips mit Aceton und einem faserarmen Tuch gereinigt und mittels Sprühbeschichtung in Lötstopmaterial NPR80/ID100 eingebettet. Die Kontaktflächen der Widerstände wurden mittels photolithographischer Belichtung und Entwicklung geöffnet. Es wurden sowohl runde (Abbildung 38) als auch quadratische (Abbildung 39) Kontaktöffnungen mit sowohl ca. 90 μm als auch ca. 130 μm Größe definiert. Auf einem Chip sind zur Hälfte runde und zur anderen Hälfte quadratische Kontaktöffnungen zu finden. Die runde Ausprägung befindet sich in der oberen Hälfte des Chips, die quadratische Ausprägung in der unteren Hälfte der Chips (Abbildung 40). Die Größe der Öffnungen eines Chips ist konstant, das heißt es sind auf einem Chip entweder 90 μm Öffnungen oder 130 μm Öffnungen vorhanden.

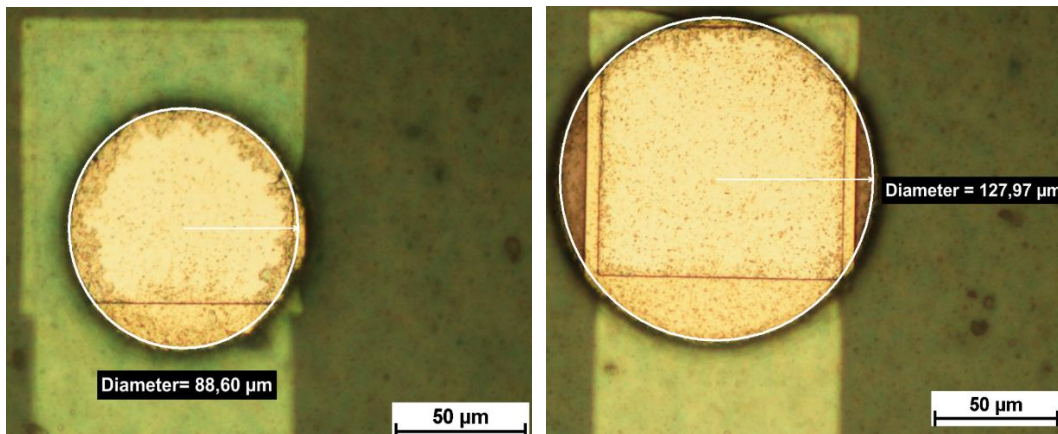


Abbildung 38: Runde, photolithographisch geöffnete Kontaktflächen mit ca. 90 μm bzw. ca. 130 μm Durchmesser. (aus [79])

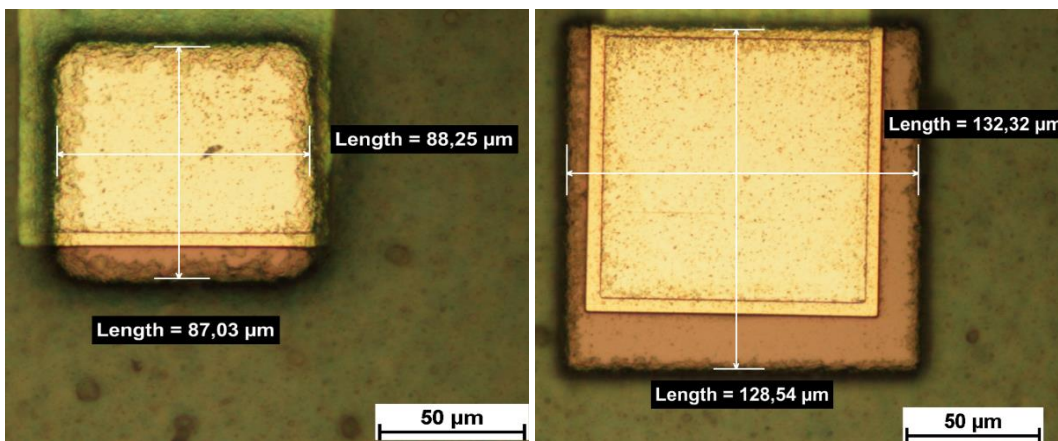


Abbildung 39: Quadratische, photolithographisch geöffnete Kontaktflächen mit ca. 90 μm bzw. ca. 130 μm Größe. (aus [79])

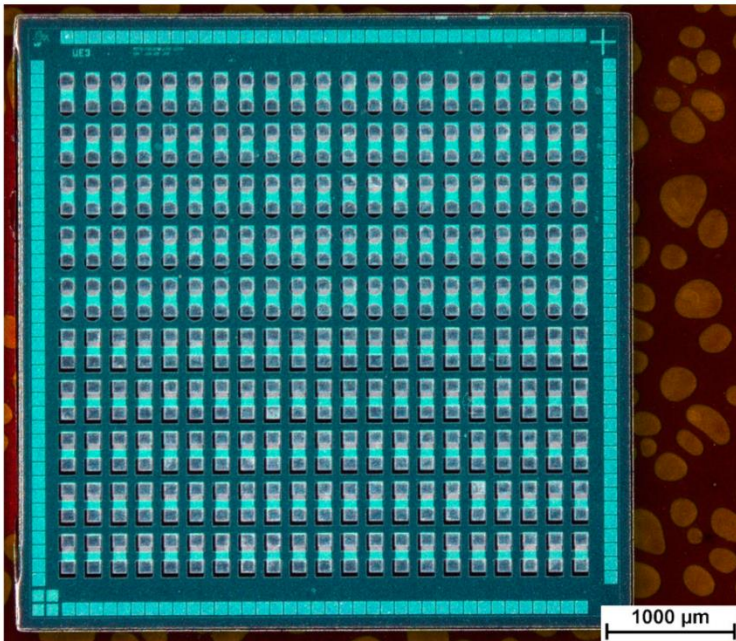


Abbildung 40: Ultradünner Siliziumchip, fixiert auf einer Polyimidfolie und eingebettet in Lötstopmaterial. Die Kontaktflächen der Widerstände wurden photolithographisch geöffnet. Die 130 µm Öffnungen der oberen Hälfte sind rund ausgeprägt. Die 130 µm x 130 µm Öffnungen der unteren Hälfte sind quadratisch ausgeprägt. (aus [79])

Zur Untersuchung des Inkjetdrucks von Leiterbahnen auf Lötstopmaterial wurde ein DoD-Inkjet-Drucker (Dimatix DMP 2850, Fujifilm, Japan) verwendet. Es wurden zwei kommerziell erhältliche Tinten eingesetzt. Zum einen wurde eine Tinte mit Silber-Nanopartikeln (Sicrys I30EG-1, PV Nano Cell, Israel) mit einem Füllgrad von 30 Gew% Silber-Nanopartikel in Ethylenglykol-basiertem Lösungsmittel verwendet. Zum anderen wurde eine Tinte mit Gold-Nanopartikeln (DryCure Au-J, C-INK, Japan) mit 10 Gew% Gold-Nanopartikel in Wasser-Glycerol-basiertem Lösungsmittel verwendet. Jeweils 2 ml der Tinten wurden in dedizierte Inkjetdrucker-Kartuschen (DMC 11610, Fujifilm, Japan) eingefüllt. Um Agglomerate herauszufiltern, die sich in der Silbertinte gebildet haben könnten, wurde zum Befüllen der Kartusche ein Filter mit 450 nm Porengröße eingesetzt. Der Behälter der Goldtinte wurde mehrere Minuten einem Ultraschallbad ausgesetzt und die Goldtinte ohne zusätzlichen Filter in eine Drucker-Kartusche gefüllt. Nach Einfüllen der jeweiligen Tinten wurde ein 10 pl Druckkopf mit 16 piezoelektrischen Düsen auf die Kartuschen aufgesteckt und die Kartuschen in den DoD-Inkjet-Drucker eingesetzt. Es wurden die vom Hersteller bereitgestellten Waveformen für den Inkjetdruck der jeweiligen Tinten genutzt. Das Meniskusvakuum wurde konstant auf einem mittleren Wert von 5 inH₂O³ belassen. Die Verfahrenshöhe wurde jeweils auf die niedrigste mögliche Höhe eingestellt. Die Kartuschentemperatur wurde auf 37 °C eingestellt, da mit dieser Temperatur ein reproduzierbarer Tropfenaustritt aus der Kartusche erreicht wurde.

Die Oberfläche des Lötstopmaterials wurde vor dem Inkjetdruck mit Aceton und einem faserarmen Tuch gereinigt und eventuell verbleibende Fasern mit Druckluft von der Oberfläche entfernt. Die Substrate wurden dann ohne Verzögerung auf den beheizbaren Probenstisch des DoD-Inkjet-Druckers gelegt. Vor dem Druckprozess wurden sowohl eine Offset-Korrektur der Düsen, eine

³ Inch H₂O: Die Angabe des Meniskusvakuums erfolgt in der Software des genutzten Dimatix Inkjetdruckers in der nicht-SI-Einheit Inch-H₂O.

Justage der Verfah- bzw. Druckhöhe als auch für jeden Chip eine erneute Winkelkorrektur durchgeführt. Für die Winkelkorrektur wurde je eine Ecke von der ersten als auch von der letzten Kontaktfläche der obersten Widerstandsreihe genutzt.

Für den Druckprozess wurde ein Drucklayout mit horizontalen Linien entworfen. Die Linien verbinden je zwei benachbarte Kontaktflächen unterschiedlicher Widerstände (Abbildung 41). Es wurde eine Leiterbahnbreite von 3 Pixeln und eine Druckauflösung von 1016 dpi gewählt, womit sich ein theoretischer Tropfenabstand von 25 µm ergibt (Formel 6).

$$1016 \text{ dpi (dots per inch)} \triangleq 0,04 \frac{\text{Tropfen}}{\mu\text{m}} \triangleq \frac{25 \mu\text{m}}{\text{Tropfen}} \quad (\text{Formel 6})$$

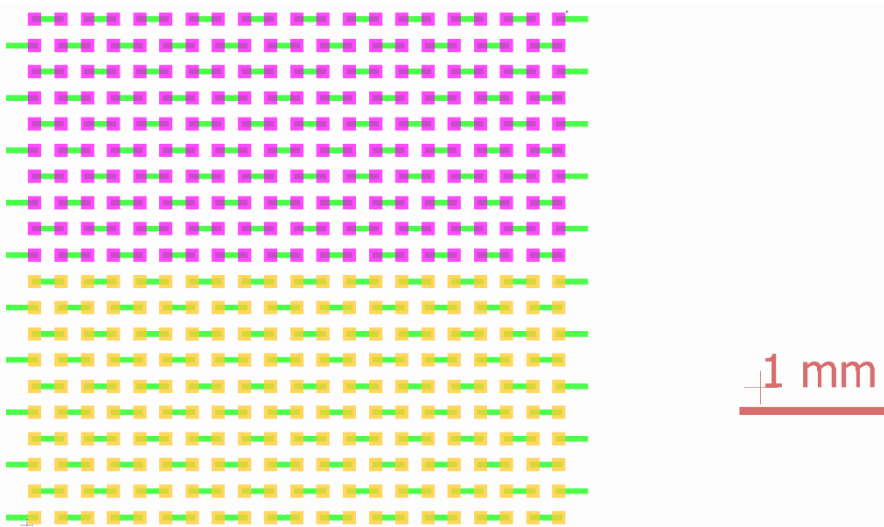


Abbildung 41: Für den Druckprozess wurde ein Layout mit horizontalen Linien definiert (grün dargestellt). Diese verbinden jeweils zwei Kontaktflächen unterschiedlicher Widerstände. In der Abbildung sind nur die Kontaktflächen der Widerstände, jedoch nicht die vertikale elektrische Verbindung der Widerstände dargestellt. Die obere, in Lila eingefärbte Hälfte zeigt den Bereich der runden Ausprägung der Kontaktöffnung an. Die untere, in Gelb eingefärbte Hälfte zeigt den Bereich der quadratischen Ausprägung der Kontaktöffnungen an.

Für den Druck wurde der Probestisch auf 50 °C für beide Tinten erwärmt. Es zeigte sich während der Versuche, dass einerseits bei dieser Temperatur ausreichend schnell Lösungsmittel aus der abgeschiedenen Tinte ausgetrieben wird, um ein Verfließen der Tinte und damit einhergehende Kurzschlüsse zu verhindern. Andererseits ist die Temperatur ausreichend niedrig gewählt, um die sich über den Probestisch verfahrenende Kartusche mit Druckkopf nicht zu stark zu erwärmen. Ein Anstieg der Druckkopf-Temperatur kann während des Druckprozesses die Viskosität der Tinte verändern und somit die als konstant angenommenen Druckbedingungen beeinträchtigen.

Zusätzlich zur variierenden Form und Größe der Kontaktöffnungen wurde für beide Inkjettinten die Anzahl der gedruckten Lagen variiert. Dazu wurde die Anzahl der Überfahrten des Druckkopfes sowohl für Silber- als auch für Goldtinte variiert. In der oberen Chiphälfte mit runden Kontaktlöchern als auch in der unteren Hälfte mit quadratischen Kontaktlöchern wurden je eine Reihe zur Kontrolle der korrekten Ausrichtung der Düsen sowie eine Reihe mit einer Überfahrt, zwei Überfahrten, drei Überfahrten und fünf Überfahrten gedruckt (Abbildung 42).



Abbildung 42: Die Anzahl der Überfahrten des Druckkopfes und damit die Anzahl der gedruckten Schichten wurde sowohl für Silber- als auch für Goldtinte variiert. Sowohl in der Hälfte mit runden Kontaktlöchern als auch in der Hälfte mit quadratischen Kontaktlöchern wurden eine Kontrollreihe sowie eine Reihe mit einer Überfahrt, zwei Überfahrten und fünf Überfahrten gedruckt. Die Abbildung zeigt das Druckergebnis der Goldtinte auf einem Substrat mit 130 µm Öffnungsgröße.

Nach dem Inkjetdruck der Leiterbahnen wurde das Substrat auf dem beheizten Probenstisch belassen, um das enthaltene Lösungsmittel in der Tinte zu verdampfen und die Tinte auf der Oberfläche zu trocknen. Anschließend wurden die Leiterbahnen beider Tinten in einem Ofen bei 150 °C für 60 min thermisch gesintert, um so Kontaktstellen zwischen den metallischen Partikeln und einen elektrisch leitfähigen Pfad auszubilden.

In Abbildung 43 sind Leiterbahnen nach Inkjetdruck und Sintern von Goldtinte für runde Kontaktöffnungen mit 90 µm Durchmesser sowohl mit einer Überfahrt als auch fünf Überfahrten gezeigt. Weiterhin sind in Abbildung 44 Mikroskopieaufnahmen gezeigt, die das Resultat von mit Goldtinte gedruckten Leiterbahnen zu quadratischen Kontaktöffnungen mit 90 µm Kantenlänge nach thermischem Sintern, sowohl nach einer Überfahrt als auch nach fünf Überfahrten, zeigen. In Abbildung 45 sind Mikroskopieaufnahmen von mit Silbertinte gedruckten Leiterbahnen zu quadratischen Kontaktöffnungen mit 90 µm Kantenlänge nach thermischem Sintern dargestellt, sowohl nach einer Überfahrt als auch nach fünf Überfahrten. Ergänzend dazu sind in Abbildung 46 Leiterbahnen nach Inkjetdruck und Sintern von Silbertinte für quadratische Kontaktöffnungen mit 130 µm Größe, auch für eine Überfahrt sowie für fünf Überfahrten abgebildet. Zur Vervollständigung sind in Abbildung 47 Mikroskopieaufnahmen von mit Silbertinte gedruckten Leiterbahnen nach einer Überfahrt sowie nach 5 Überfahrten zu runden Kontaktöffnungen mit 130 µm Durchmesser nach thermischem Sintern gezeigt. Es ist ersichtlich, dass eine einzelne Drucklage nicht ausreicht, um eine vollständige Füllung der Kontaktlöcher mitsamt Bedeckung der Kontaktlochflanken zu erreichen. Zusätzlich ist im Falle der Silbertinte eine unzureichende Ausbildung der Leiterbahnen zwischen sowohl runden als auch quadratischen 130 µm großen Öffnungen festzustellen, da ein Teil der Tinte in die Kontaktlöcher abfließt. Durch Erhöhung der Drucklagenanzahl kann eine höhere Abdeckung der Kontaktlochflanken, bis hin zur vollständigen Abdeckung des gesamten Kontaktlochs, erreicht werden. Auch ist eine komplette Belegung der freigelegten Fläche der Kontaktöffnung bei mehreren Drucklagen erkennbar (Abbildung 47). Weiterhin erscheinen die mit Goldtinte gedruckten Leiterbahnen (Abbildung 44) eine höhere Oberflächenrauheit aufzuzeigen als die mit Silbertinte gedruckten Leiterbahnen (Abbildung 45).

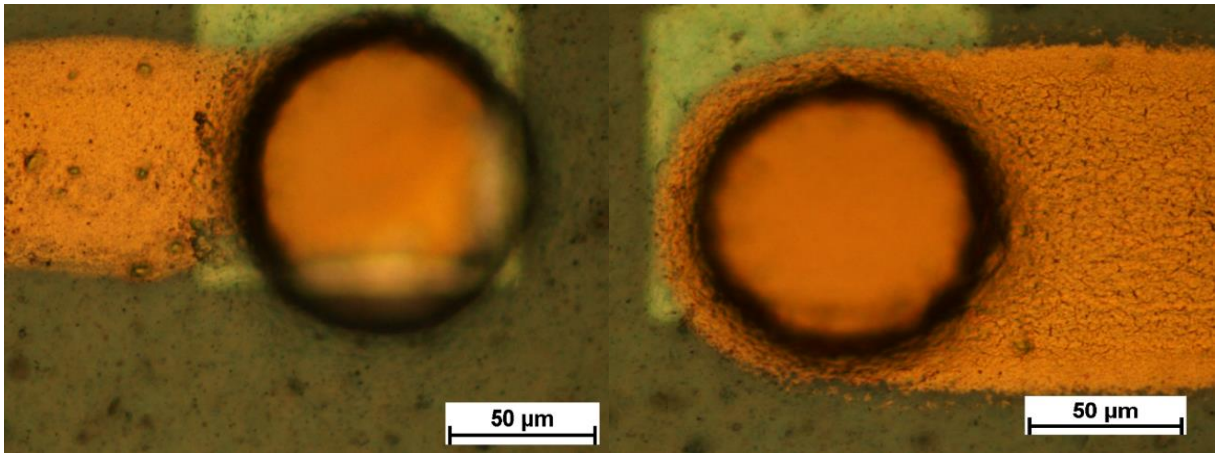


Abbildung 43: Mikroskopieaufnahmen von mit Goldtinte gedruckten Leiterbahnen zu runden Kontaktöffnungen mit 90 µm Durchmesser nach thermischem Sintern. Links: eine Überfahrt, rechts: fünf Überfahrten. (aus [79])

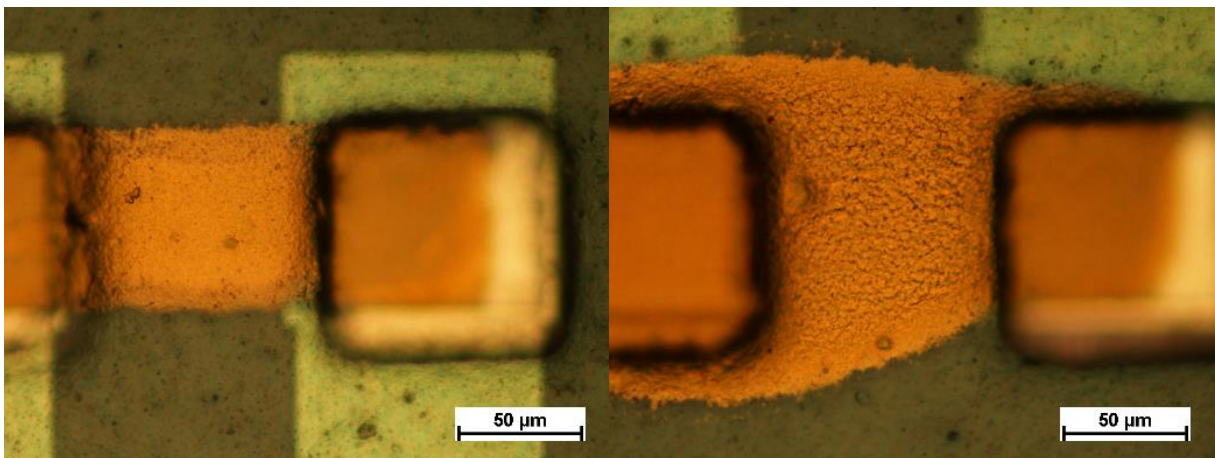


Abbildung 44: Mikroskopieaufnahmen von mit Goldtinte gedruckten Leiterbahnen zu quadratischen Kontaktöffnungen mit 90 µm Kantenlänge nach thermischem Sintern. Links: eine Überfahrt, rechts: fünf Überfahrten.

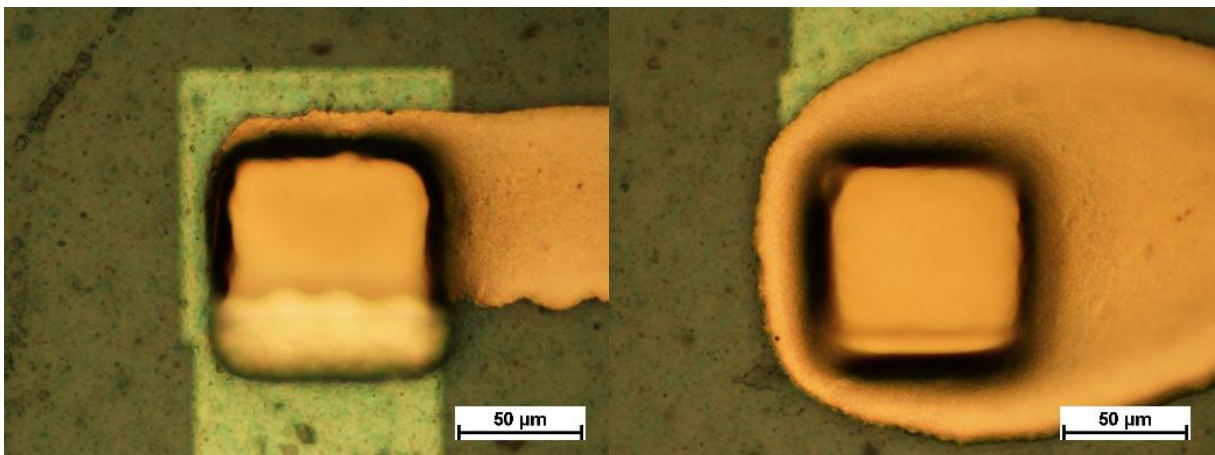


Abbildung 45: Mikroskopieaufnahmen von mit Silbertinte gedruckten Leiterbahnen zu quadratischen Kontaktöffnungen mit 90 µm Kantenlänge nach thermischem Sintern. Links: eine Überfahrt, rechts: fünf Überfahrten.

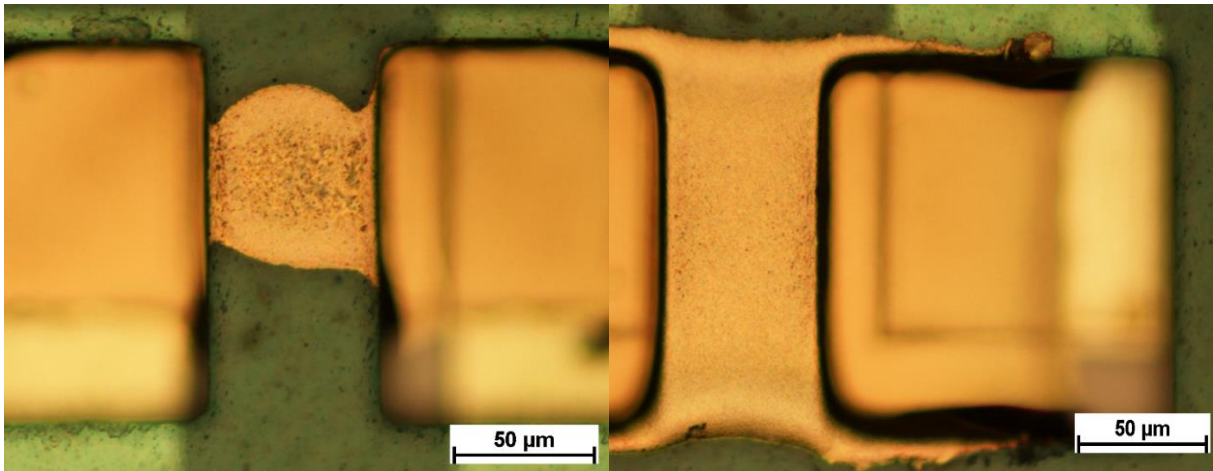


Abbildung 46: Mikroskopieaufnahmen von mit Silbertinte gedruckten Leiterbahnen zu quadratischen Kontaktöffnungen mit 130 µm Kantenlänge nach thermischem Sintern. Links: eine Überfahrt, rechts: fünf Überfahrten. (aus [79])

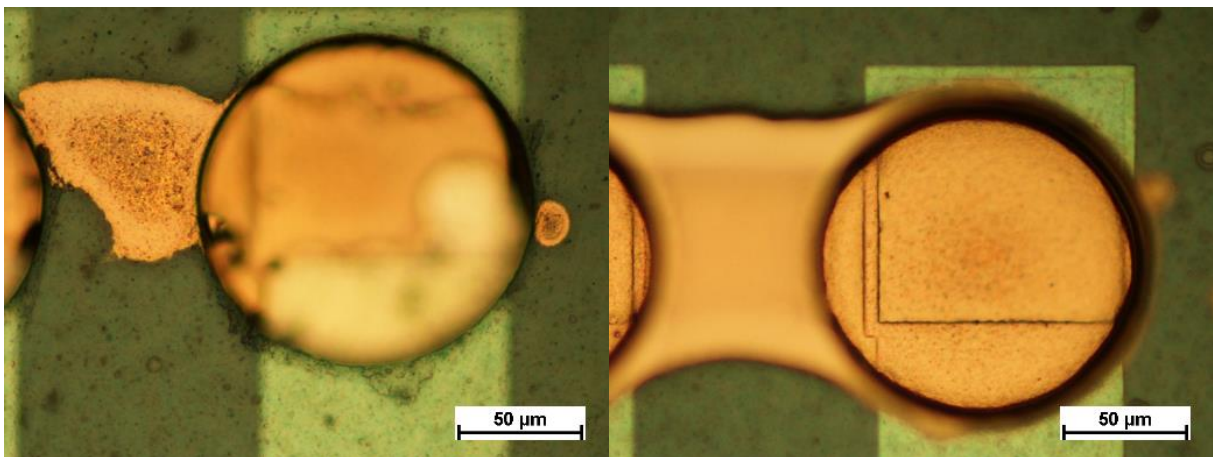


Abbildung 47: Mikroskopieaufnahmen von mit Silbertinte gedruckten Leiterbahnen zu runden Kontaktöffnungen mit 130 µm Durchmesser nach thermischem Sintern. Links: eine Überfahrt, rechts: fünf Überfahrten.

Zur Beurteilung der Kontaktausprägung und damit zur Eignung der Tinten für die elektrische Kontaktierung der eingebetteten Chips wurde eine Zwei-Punkt-Widerstandsmessung durchgeführt. Aufgrund der geringen Fläche im Bereich der gedruckten Leiterbahnmitte zum Aufsetzen der Messspitze konnte keine Vier-Punkt-Messung durchgeführt werden. Es wurde, wie in Abbildung 48 dargestellt, jeweils der Widerstand vom Mittelpunkt einer gedruckten Leiterbahn bis zum Mittelpunkt der jeweils nächsten Leiterbahn gemessen. Der Widerstandswert setzt sich als Summe aus drei Anteilen zusammen. Zum einen ist das der Widerstandswert der vergrabenen Widerstände auf dem Chip. Dieser wurde vor der Lackeinbettung zu 1 Ω gemessen. Zum zweiten muss der Widerstand der gedruckten Leiterbahn berücksichtigt werden. Ein weiterer Faktor ist der Kontaktwiderstand der Tinte auf der AlSiCu-Kontaktfläche des Siliziumchips.

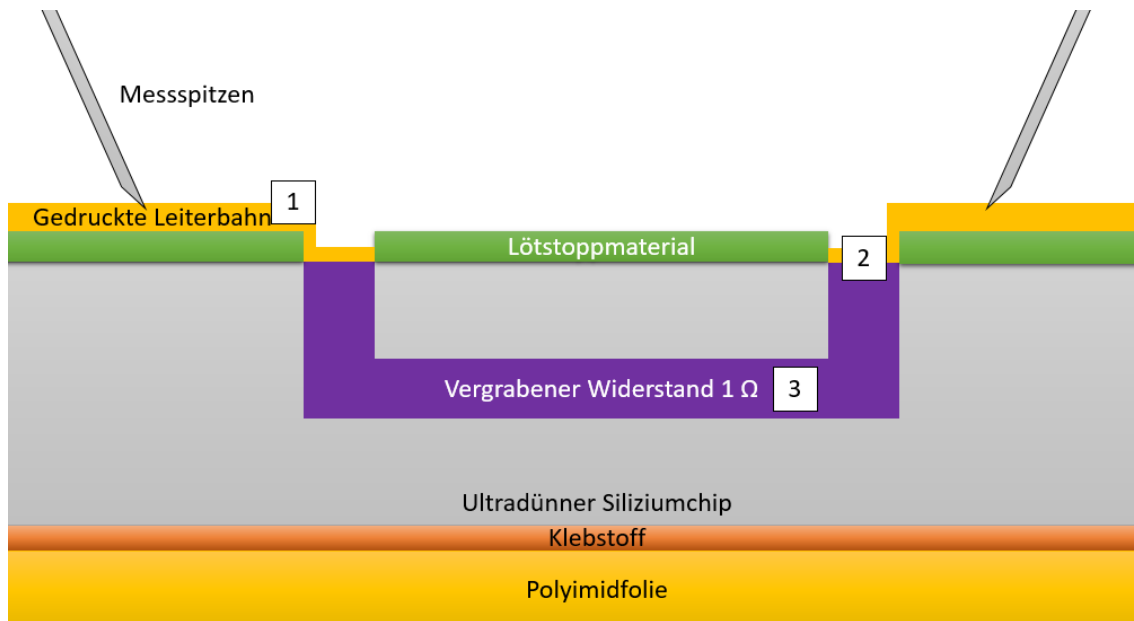


Abbildung 48: Schematische Darstellung der Schichtabfolge eines Foliensystems mit eingebettetem, ultradünnem Siliziumchip. Über Messspitzen wurde der elektrische Widerstand vergrabener Widerstände und Inkjet-gedruckter Leiterbahnen vermessen. Drei Faktoren beeinflussen den elektrischen Widerstand: 1) Widerstand der gedruckten Leiterbahn, 2) Kontaktwiderstand Tinte-Chipkontaktfläche, 3) Widerstand der vergrabenen Struktur. Darstellung nicht maßstabsgetreu.

Insgesamt wurden pro Parameterkombination aus Tinte, Überfahrtenanzahl, Kontaktöffnungsgröße und Öffnungsausprägung 21 Messwerte gemessen. Die Mittelwerte sowie die Standardabweichung der Messergebnisse sind für den Inkjetdruck mit Silbertinte Sicrys I30EG-1 in Tabelle 9 und für den Inkjetdruck mit Goldtinte DryCure Au-J in Tabelle 10 dargestellt. Widerstände, die durch Unterbrechungen nicht messbar waren, wurden nicht für die Berechnung berücksichtigt. Für die entsprechenden Parameterkombinationen ergibt sich dadurch eine geringere Anzahl an Messwerten für die Mittelwert- und Standardabweichungsberechnung. Die Anzahl der nicht messbaren Widerstände ist jeweils mit dem Zusatz „Defekte“ in den Tabellen verzeichnet.

Die Messung der Widerstandswerte der Silbertinte zeigt bei sowohl runden als auch quadratischen 90 µm großen Öffnungen keine Defekte. Der Widerstand sinkt bei 90 µm großen, runden Kontaktöffnungen mit zunehmender Lagenanzahl von wenigen hundert Ohm auf mehrere zehn Ohm. Im Falle der 90 µm großen, quadratischen Kontaktöffnungen kann durch Erhöhung der Lagenanzahl keine Reduzierung der Widerstandswerte festgestellt werden. Bei 130 µm Kontaktöffnungen können erst ab drei Überfahrten defektfreie elektrische Übergänge erreicht werden. Durch Steigerung der Drucklagenanzahl können sowohl bei runden als auch quadratischen Kontaktöffnungen die Widerstandswerte stark reduziert werden. Im Falle der runden Öffnungen mit 130 µm Durchmesser wird eine Reduzierung der Widerstandswerte auf bis zu wenigen hundert Ohm erreicht. Die gemessenen Widerstandswerte bei quadratischen Kontaktöffnungen mit 130 µm Kantenlänge zeigen eine Reduzierung bis zu wenige zehn Kiloohm. Eine Kontaktlochgröße von 90 µm zeigt insgesamt niedrigere Widerstände als Kontaktöffnungen mit 130 µm Durchmesser bzw. Kantenlänge.

Im Falle der Goldtinte konnten bereits ab zwei Drucklagen bei allen Kontaktlochausprägungen defektfreie elektrische Kontaktierungen mit einem Widerstand im niedrigen zweistelligen Ohm-Bereich erzielt werden. Eine Erhöhung der Lagenanzahl reduzierte die Widerstandswerte nur um wenige Ohm oder bewirkte keine Änderung des elektrischen Widerstands. Defekte konnten nur im Fall von einlagigen Verbindungen bei runden und quadratischen Öffnungen mit 130 µm Größe

detektiert werden. Einlagige Verbindungen zwischen runden Kontaktöffnungen mit 90 µm Durchmesser zeigen einen Widerstand von mehreren zehn Kiloohm bzw. zwischen quadratischen Kontaktöffnungen mit 90 µm Kantenlänge zeigen einen Widerstand im Bereich von mehreren hundert Kiloohm.

Im Vergleich dazu weisen die mit Goldtinte DryCure Au-J gedruckten Leiterbahnen weniger Defekte sowie ab zwei Drucklagen niedrigere Widerstandswerte auf als die mit Silbertinte Sicrys I30EG-1 gedruckten Leiterbahnen.

Tabelle 9: Gemessene Widerstände für Inkjet-gedruckte Silberleiterbahnen.

Widerstandswerte Silbertinte Sicrys I30EG-1		Lagenanzahl			
		1 Überfahrt	2 Überfahrten	3 Überfahrten	5 Überfahrten
<i>Durchmesser der runden Kontaktöffnungen</i>	90 µm	211,3 Ω ± 121,1 Ω	189,6 Ω ± 299 Ω	47 Ω ± 36,1 Ω	51,1 Ω ± 30,4 Ω
	130 µm	19 Defekte: 11 MΩ ± 1,4 MΩ	2 Defekte: 33,4 MΩ ± 124,1 MΩ	2,2 kΩ ± 5,8 Ω	129 Ω ± 109,6 Ω
<i>Kantenlänge der quadrati- schen Kontakt- öffnungen</i>	90 µm	64,3 Ω ± 19,2 Ω	44,5 Ω ± 24 Ω	69,6 Ω ± 87,7 Ω	36,4 Ω ± 21,4 Ω
	130 µm	14 Defekte: 6,2 MΩ ± 8,7 MΩ	4 Defekte: 1,8 MΩ ± 3,8 MΩ	399,5 kΩ ± 1,7 MΩ	28,9 kΩ ± 129,7 kΩ

Tabelle 10: Gemessene Widerstände für Inkjet-gedruckte Goldeiterbahnen.

Widerstandswerte Goldtinte DryCure Au-J		Lagenanzahl			
		1 Überfahrt	2 Überfahrten	3 Überfahrten	5 Überfahrten
<i>Durchmesser der runden Kontaktöffnungen</i>	90 µm	33,4 kΩ ± 152,7 kΩ	18,8 Ω ± 5,9 Ω	15,6 Ω ± 9,5 Ω	12,9 Ω ± 7 Ω
	130 µm	1 Defekte: 1,2 MΩ ± 2,3 MΩ	16,7 Ω ± 6 Ω	11,9 Ω ± 3 Ω	9,9 Ω ± 3,7 Ω
<i>Kantenlänge der quadratischen Kontaktöffnungen</i>	90 µm	287,2 kΩ ± 591 kΩ	16,7 Ω ± 6,3 Ω	14 Ω ± 8,9 Ω	14 Ω ± 11,2 Ω
	130 µm	3 Defekte: 5,8 MΩ ± 8,8 MΩ	14,9 Ω ± 3,9 Ω	9,6 Ω ± 2,6 Ω	9,6 Ω ± 9,6 Ω

Zur Beurteilung des Fließverhaltens der Tinte auf dem Lötstopmaterial wurden mit einem Weißlichtinterferometer (Wyko NT9100, Bruker, USA) Aufnahmen der bedruckten Oberflächen angefertigt. Es wurde das Profil entlang einer Linie erfasst, die senkrecht zur Druckrichtung, das heißt der Verfahrrichtung der Inkjet-Kartusche, verläuft (Abbildung 49). Abbildung 50 bis Abbildung 53 zeigen die Schichtdickenverteilung der gedruckten Silber- und Goldtinten-Leiterbahnen zwischen runden Kontaktöffnungen mit 90 µm beziehungsweise 130 µm Durchmesser bei unterschiedlicher Lagenanzahl von einer Lage, drei Lagen sowie fünf Lagen. Es ist ersichtlich, dass der geringere Füllgrad der DryCure Au-J Goldtinte eine geringere Schichtdicke erzeugt im Vergleich zur Sicrys I30EG-1 Silbertinte. So konnte beispielsweise nach fünf Drucklagen zwischen runden Kontaktlöchern mit 90 µm Durchmesser im Falle der Silbertinte eine maximale Schichtdicke von ca. 3 µm (Abbildung 50) erreicht werden, während die maximale Schichtdicke der Goldtinte ca. 0,5 µm (Abbildung 52) beträgt. Andererseits wird auch die unterschiedliche Benetzbarkeit der Tinten und das damit verbundene Verfließen der Tinten auf der Oberfläche deutlich. Die nach Verdampfen des Lösungsmittels zurückbleibenden Partikel der Silbertinte lagern sich bevorzugt im Randbereich der gedruckten Leiterbahnen an, während sich die Partikel der Goldtinte im Zentrum der Leiterbahnen ansammeln. Des Weiteren ergibt sich nach Sinterung der Goldtinte eine höhere Rauheit der Oberfläche im Vergleich zur Rauheit der Silbertinte. Diese Ergebnisse decken sich mit der optischen Beurteilung der höheren Rauheit der Goldtintenoberfläche (Abbildung 44) im Vergleich zur Oberfläche der Silbertinte (Abbildung 45).

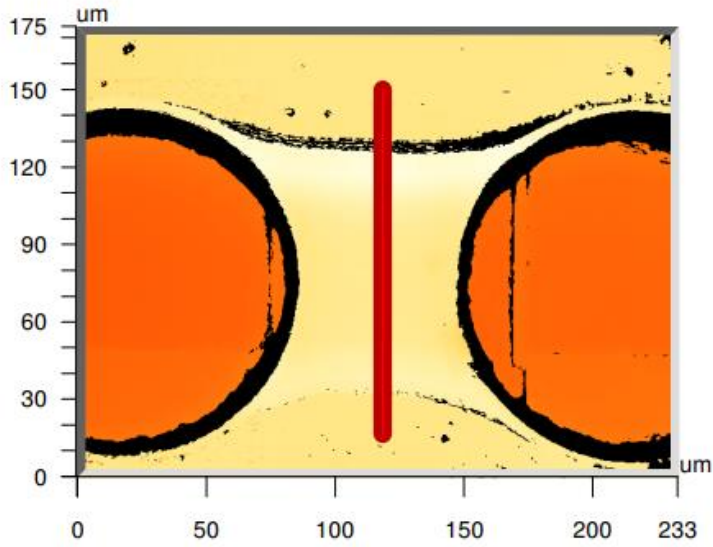


Abbildung 49: Für die Auswertung der Tintenverteilung auf der Oberfläche des Lötstopplacks wurde mittels Weißlichtinterferometer das Profil entlang einer senkrecht zur Leiterbahn verlaufenden Linie erfasst. In der Aufnahme ist eine gedruckte Leiterbahn zwischen zwei Kontaktöffnungen mit 130 µm Durchmesser abgebildet.

Sicrys I30EG-1, 90 µm runde Öffnungen

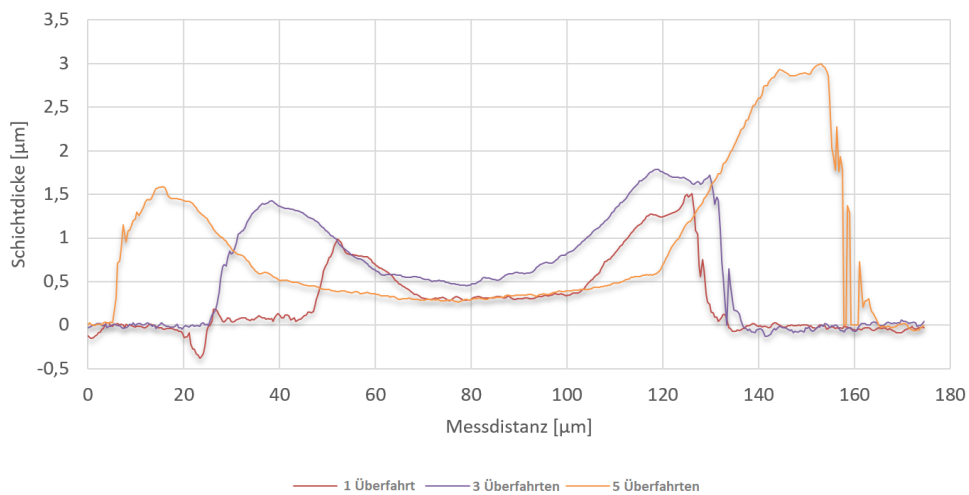


Abbildung 50: Weißlichtinterferometrische Aufnahme der Oberfläche mit Inkjet-gedruckter Silbertinten-Leiterbahn zwischen runden Kontaktöffnungen mit 90 µm Durchmesser nach 1, 3 und 5 gedruckten Lagen. (nach [79])

Sicrys I30EG-1, 130 μm runde Öffnungen

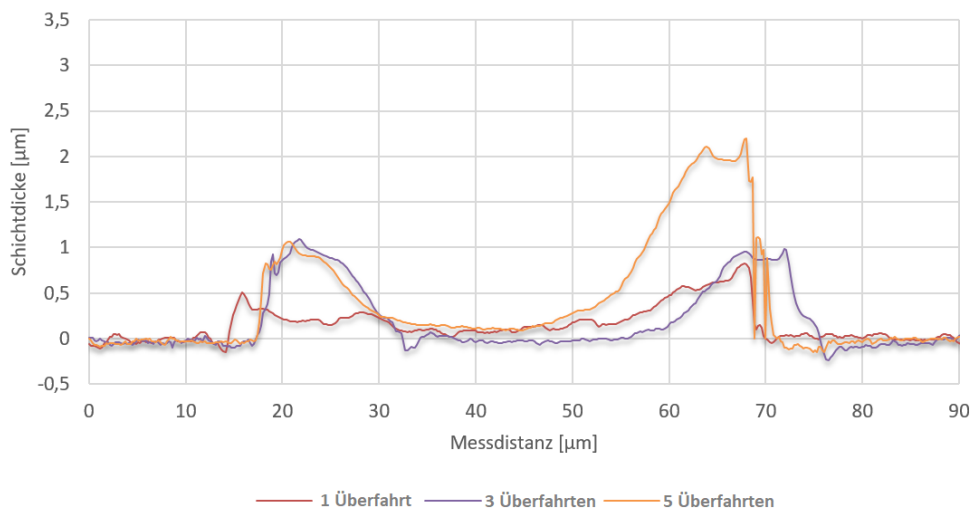


Abbildung 51: Weißlichtinterferometrische Aufnahme der Oberfläche mit Inkjet-gedruckter Silbertinten-Leiterbahn zwischen runden Kontaktöffnungen mit 130 μm Durchmesser nach 1, 3 und 5 gedruckten Lagen. (nach [79])

Drycure Au-J, 90 μm runde Öffnungen

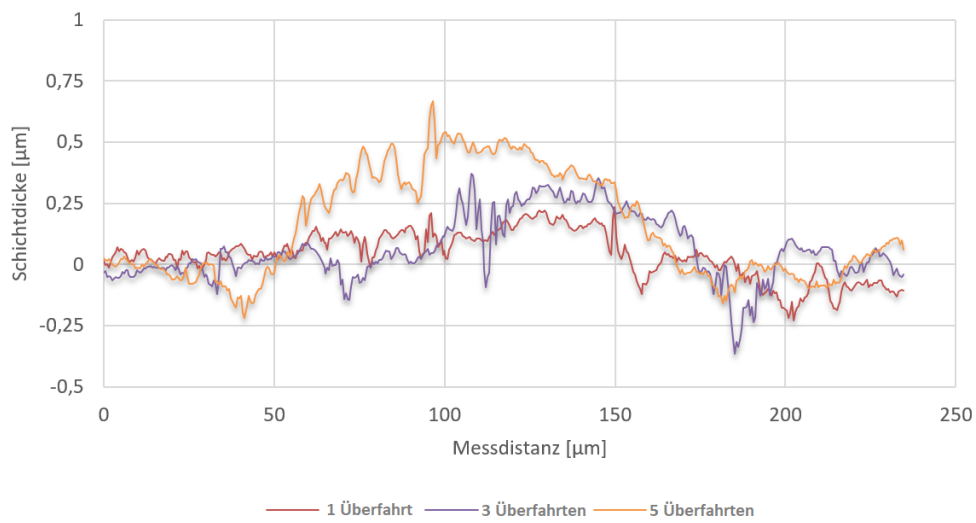


Abbildung 52: Weißlichtinterferometrische Aufnahme der Oberfläche mit Inkjet-gedruckter Goldtinten-Leiterbahn zwischen runden Kontaktöffnungen mit 90 μm Durchmesser nach 1, 3 und 5 gedruckten Lagen. (nach [79])

Drycure Au-J, 130 μm runde Öffnungen

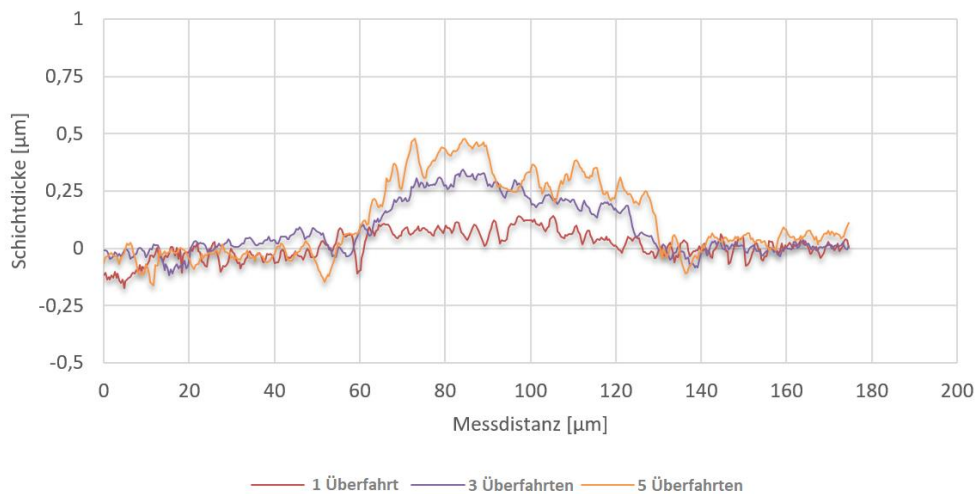


Abbildung 53: Weißlichtinterferometrische Aufnahme der Oberfläche mit Inkjet-gedruckter Goldtinten-Leiterbahn zwischen runden Kontaktöffnungen mit 130 μm Durchmesser nach 1, 3 und 5 gedruckten Lagen. (nach [79])

Nach Charakterisierung der gedruckten und gesinterten Leiterbahnen wurde das CiF vom starren Träger abgezogen, das eine hohe mechanische Flexibilität zeigt (Abbildung 54).

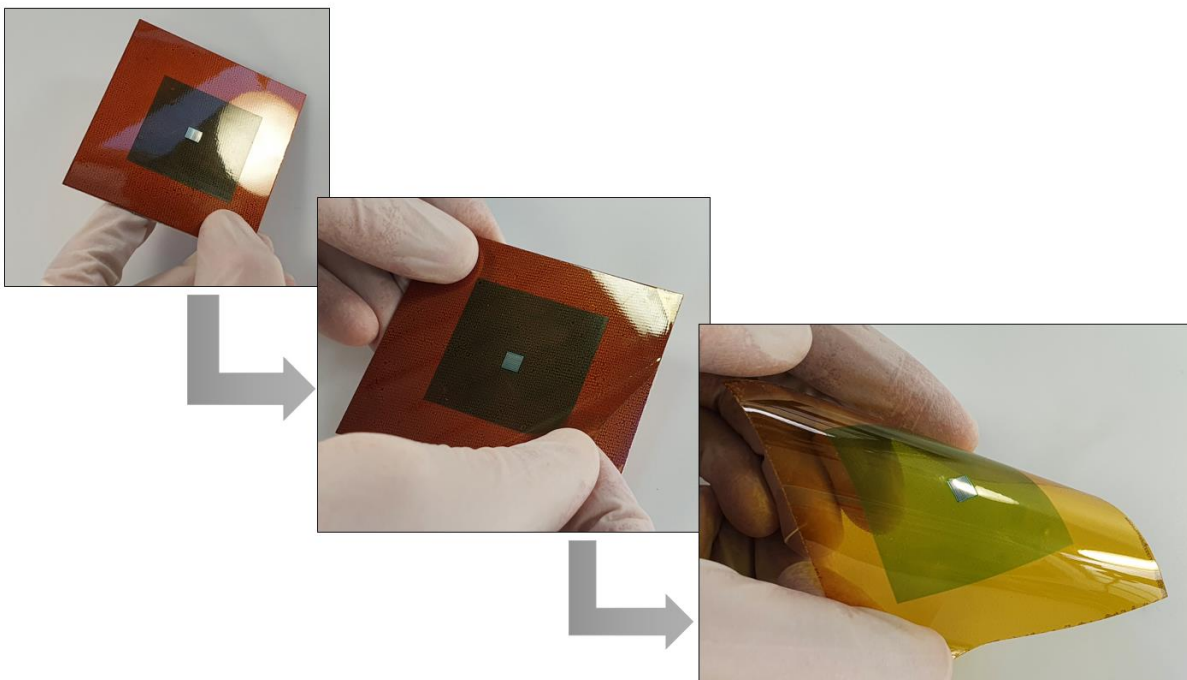


Abbildung 54: Für einfacheres Handling wurde die Substratfolie mittels Laminieren auf einen starren Träger fixiert. Die Folie kann vom Träger abgezogen und Rückstände des Trockenfilmresists, im letzten Bild am Rand zu sehen, können mit Lösungsmittel gereinigt werden.

6. Verknüpfung der Einzelprozesse zur digitalen Prozesskette

Im vorherigen Kapitel wurden Kenntnisse über Einzelprozesse erlangt, die zur Montage ultradünner Siliziumchips, ihrer Einbettung in Lötstopmaterial sowie ihrer elektrischen Kontaktierung eingesetzt werden können. In diesem Kapitel soll nun die Betrachtung zur Kombination der Einzelprozesse zu einer digitalen Prozesskette durchgeführt werden. Wie zu Beginn erwähnt, eignen sich Foliensysteme aufgrund der mechanischen Flexibilität und dem geringen Volumenbedarf als Plattform für unterschiedliche sensorische Anwendungen. Aus diesem Grund soll das Ziel dieses Kapitels ein Foliensystem sein, mit dem potentiell sensorische Aufgaben erledigt werden können. Daher wurde ein kommerziell erhältlicher Kapazität-zu-Digital-Siliziummikrochip (Typ PCap01, acam-messelectronic GmbH, Deutschland) ausgewählt, mit dem verschiedene Messaufgaben erfüllt werden können. Die 2,15 mm x 1,67 mm großen Chips wurden extern von 380 µm auf 43 µm Dicke gedünnt. Die Metallisierung der Kontaktflächen ist nicht bekannt. Als Substrat dienen kupferkaschierte PI-Folien mit 25 µm Dicke, die nach Strukturierung der 18 µm Kupferlage als anwendungsnaher Schaltungsträger zum Aufbau des Foliensystems genutzt wurden. Das Laminieren der flexiblen Substratfolien auf ein steifes Handlingssubstrat mittels lösbarer Haftschrift ermöglichte den einfacheren Umgang sowie zuverlässige Prozessierbarkeit während der Entwicklung der Einzelprozesse und soll auch in der Realisierung der Prozesskette eingesetzt werden. Die digitale Prozesskette besteht aus Chipmontage, Sprühbeschichtung, photolithographischer Öffnung der Kontaktflächen sowie elektrischer Kontaktierung mittels Inkjetdruck. In Hinblick auf eine technische Anwendung sollen auch diskrete Bauelemente auf dem PCB berücksichtigt werden, die beispielsweise zum Betrieb des µ-Controllers oder in Form von Steckverbindern auf die Oberfläche montiert werden. Hier gilt es zu überprüfen, zu welchem Zeitpunkt innerhalb der Prozesskette die Montage der Bauelemente ohne Beeinträchtigung der weiteren Prozessschritte erfolgen kann.

Ein möglicher Ansatz zur Prozessreihenfolge ist in Abbildung 55 dargestellt. Da Löten zur Montage von Bauelementen auf Schaltungsträgern der industrielle Standard ist, wurde dieses Verfahren auch zur Bestückung des Folienschaltungsträgers mit diskreten Bauelementen genutzt. Bei diesem Verfahren treten je nach Wahl des Lotes maximale Temperaturen von bis zu 260 °C auf und liegen höher als bei den anderen Prozessschritten. Aus diesem Grund wurde die Bestückung der Bauelemente zu Beginn der Prozesskette ausgeführt. Die zu erwartenden Maximaltemperaturen der anderen Prozessschritte sind ebenfalls in der Abbildung aufgeführt.

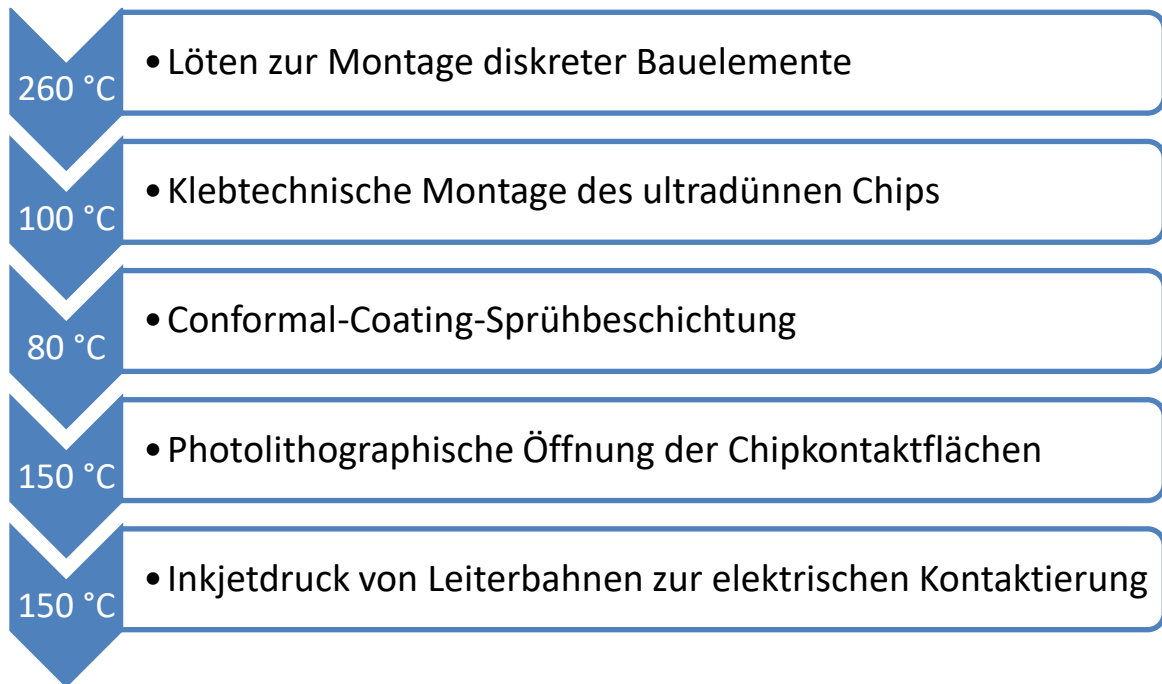


Abbildung 55: Reihenfolge von Prozessschritten der digitalen Prozesskette. Lötén weist die höchste Verarbeitungstemperatur auf und wurde deshalb zu Beginn durchgeführt.

Das Schaltungsträgerlayout ist in Abbildung 56 gezeigt. Die roten Bereiche und Strukturen stellen die auf der Oberfläche der PI-Folie verbleibende Kupfermetallisierung in Form von Massefläche und Leiterbahnen dar. Im Zentrum der Massefläche ist die Platzierung des Siliziumchips vorgesehen. Im Rahmen dieser Arbeit wurden für die Chipplatzierung zwei Oberflächen überprüft. Zum einen wurden ultradünne Chips auf eine Kupferoberfläche im Bereich der Chipplatzierung montiert. Zum anderen wurden Folienschaltungsträger hergestellt, bei denen im Bereich der Chipplatzierung die Kupferoberfläche geätzt wurde und die Chips auf die PI-Folie verklebt wurden. Der von Lötstopppmaterial bedeckte Bereich ist nicht eingezeichnet. Grüne Markierungen zeigen Öffnungen im Lötstopppmaterial, um über gedruckte Tintenleiterbahnen den Siliziumchip mit Kupferleiterbahnen des Folienschaltungsträgers zu verbinden.

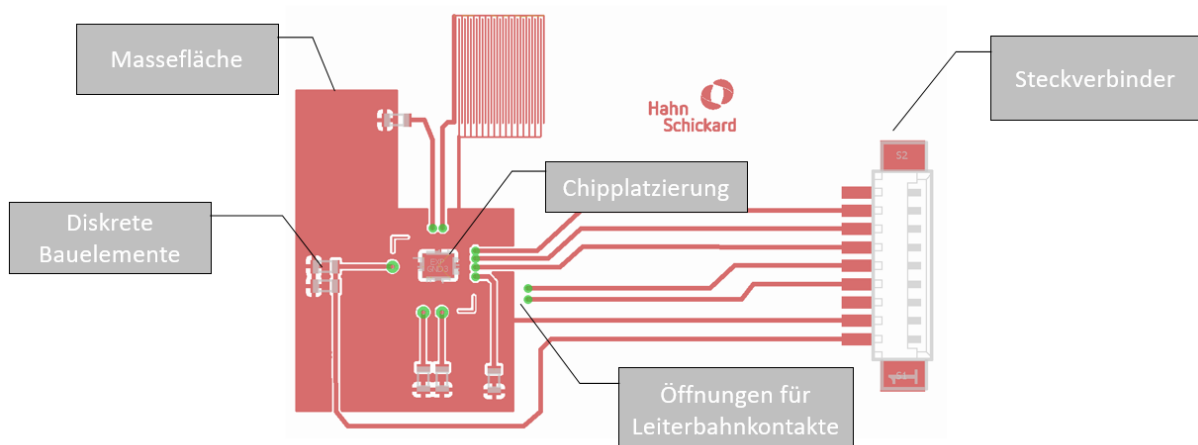


Abbildung 56: Layout des als Demonstrator gewählten Schaltungsträgers. Rote Bereiche stellen Kupfermetallisierung dar. Im Zentrum einer Massefläche befindet sich ein Bereich zur klebtechnischen Fixierung des ultradünnen Chips.

Die resultierende Kupfermetallisierung auf der PI-Folie nach Ätzen ist in Abbildung 57 abgebildet. Die makroskopisch raue Struktur der Leiterplatte, die als starrer Träger dient, hat sich durch den

Laminationsprozess in die Trockenresistschicht übertragen und wird als hellgelbe Punkte unter dem gelben Polyimidmaterial sichtbar. Nach Reinigung der Oberfläche mit Aceton und einem faserarmen Tuch wurden mittels manuellem Nadeldispensens Lotdepots eines SAC 405 Lots auf die entsprechenden Kontaktflächen aufgetragen. Nach Aufsetzen der Bauelemente folgte das Reflowlöten in einem Durchlaufofen. Durch die Erwärmung auf 260 °C verfärbte sich die Trockenresistschicht unterhalb der PI-Folie dunkelblau (Abbildung 58). Die eingeschlossene Luft expandierte und bewirkte lokales Ablösen der Schaltungsträgerfolie vom Trockenresist. Zudem kam es zur Oxidation der Kupferleiterbahnen. Weiterhin ist eine Wölbung der Leiterplatte, die als starrer Träger genutzt wurde, eingetreten (Abbildung 59). Es ist zu beachten, dass die Leiterplatte als Träger für eine Schaltungsträgerfolie dient, auf der vier CiF parallel aufgebaut werden.

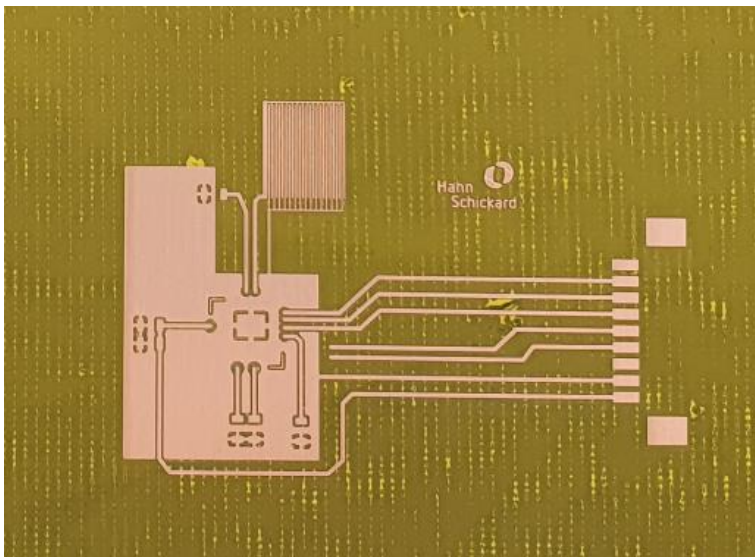


Abbildung 57: Kupferstruktur nach Ätzen der Kupferkaschierung auf Polyimidfolie. Die Folie wurde vor der photolithographischen Maskierung und dem Ätzen auf eine Leiterplatte fixiert. Helle gelbe Flecke im Bereich der dunkelgelben Polyimidfolie zeigen die Oberflächenstruktur des Leiterplattenkupfers, welche sich in die zur Fixierung genutzte Trockenresistschicht übertragen hat.

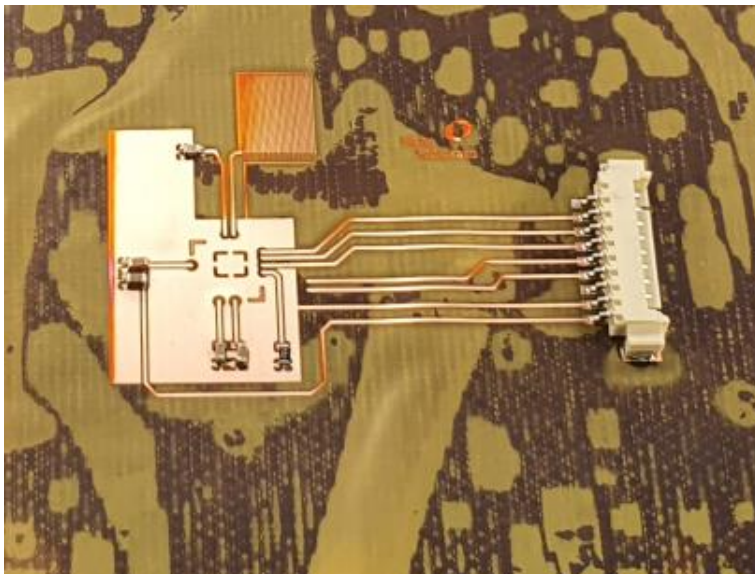


Abbildung 58: Durch die hohe Erwärmung während des Reflowprozesses zur Montage der Bauelemente verfärbte sich der laminierte Trockenresist unterhalb der Polyimidfolie dunkelblau. Eingeschlossene Luft expandierte und bewirkte partielles Ablösen der Folie vom Trockenresist.

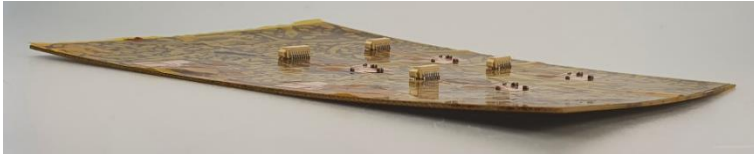


Abbildung 59: Wölbung der Leiterplatte nach Reflowlöten bei 260 °C Maximaltemperatur. Es wurden parallel vier Systeme auf einer flexiblen Schaltungsträgerfolie, fixiert auf einem starren Träger, aufgebaut.

Die klebtechnische Montage der ultradünnen Chips wurde über die Verwendung von Haftfolie durchgeführt (Kapitel 4.3, S. 30). Nach Übertrag eines ultradünnen Chips auf die Haftfolie wurde diese zugeschnitten, so dass die Folie nicht mit den bereits gefügten, diskreten Bauelementen kollidierte (Abbildung 60). Nach Aushärtung des Klebstoffs (EpoTek 354, Epoxy Technology, USA) bei 80 °C für 120 min wurde das gesamte Substrat auf einer Heizplatte auf 100 °C aufgewärmt, um eine Reduzierung der Haftkraft der Haftfolie zu erreichen. Nach optischer Trübung der Haftfolie konnte diese am einseitig überstehenden Ende vom Substrat abgezogen und entfernt werden. Die Oberfläche des Klebebereichs wurde nach Entfernen der Haftfolie mit Aceton abgewischt, um eventuelle Rückstände der Haftfolie zu entfernen. Nach klebtechnischer Montage des Chips müssen die Lage und der Verdrehwinkel des Chips in Relation zum Leiterbahnbild erfasst werden (Abbildung 61), um dies nach der Einbettung der Chips in photosensitives Material im Direktbelichtungsprozess sowie zur drucktechnischen Leiterbahnapplikation zu berücksichtigen.

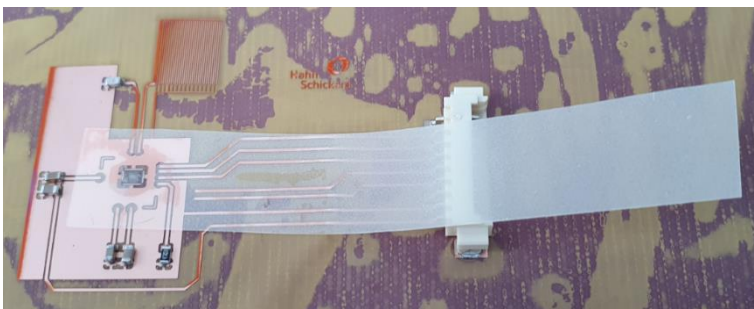


Abbildung 60: Montageprozess der ultradünnen Chips auf dem Folienschaltungsträger mittels Haftfolie.

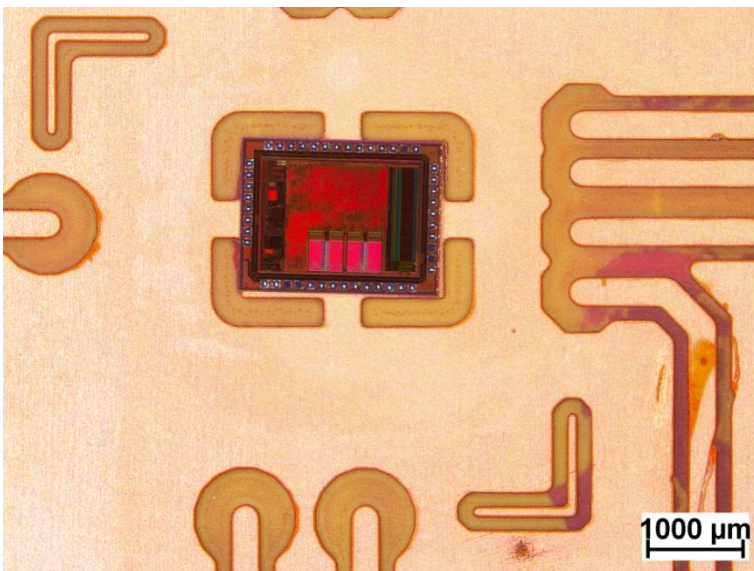


Abbildung 61: Nach Montage eines Chips mittels Haftfolie müssen die Lage und der Verdrehwinkel des Chips in Relation zum Leiterbahnbild erfasst werden.

Es wurde bereits gezeigt, dass Platziertoleranzen oder Verdrehwinkel zweier Siliziumchips im Direktbelichtungsprozess durch Berechnung der in Bezug stehenden Kontaktflächen ausgeglichen

werden können [50], [71]. Zum Ausgleich von Platziertoleranzen oder Verdrehwinkel wurde in dieser Arbeit eine optische Methode erarbeitet, deren Ablauf in Abbildung 62 gezeigt ist. Es wurden in Mikroskopieaufnahmen der Oberfläche alle relevanten Chipkontakte sowie Leiterbahnkontakte markiert und die Aufnahme in ein Schwarz-Weiß-Bild überführt. Bei bekannter Auflösung der Mikroskopieaufnahmen wurde das Schwarz-Weiß-Bild in ein Schaltungsentwurfsprogramm importiert. Der Abgleich des ursprünglichen Layouts, das für die Erzeugung des Kupferleiterbahnbildes auf dem Folienschaltungsträger entworfen wurde, mit dem importierten Layout ermöglicht so die Generierung von Maschinendaten im Gerberformat, in denen die individuellen Informationen über Lage und Verdrehung des Chips in Relation zu den Kupferleiterbahnen enthalten sind. Zusätzlich wurden Markierungspunkte an Positionen gegenüberliegender Chipecken in den Gerber-Code implementiert, damit eine optische Erfassung des Chips im Direktbelichter durchgeführt werden kann.

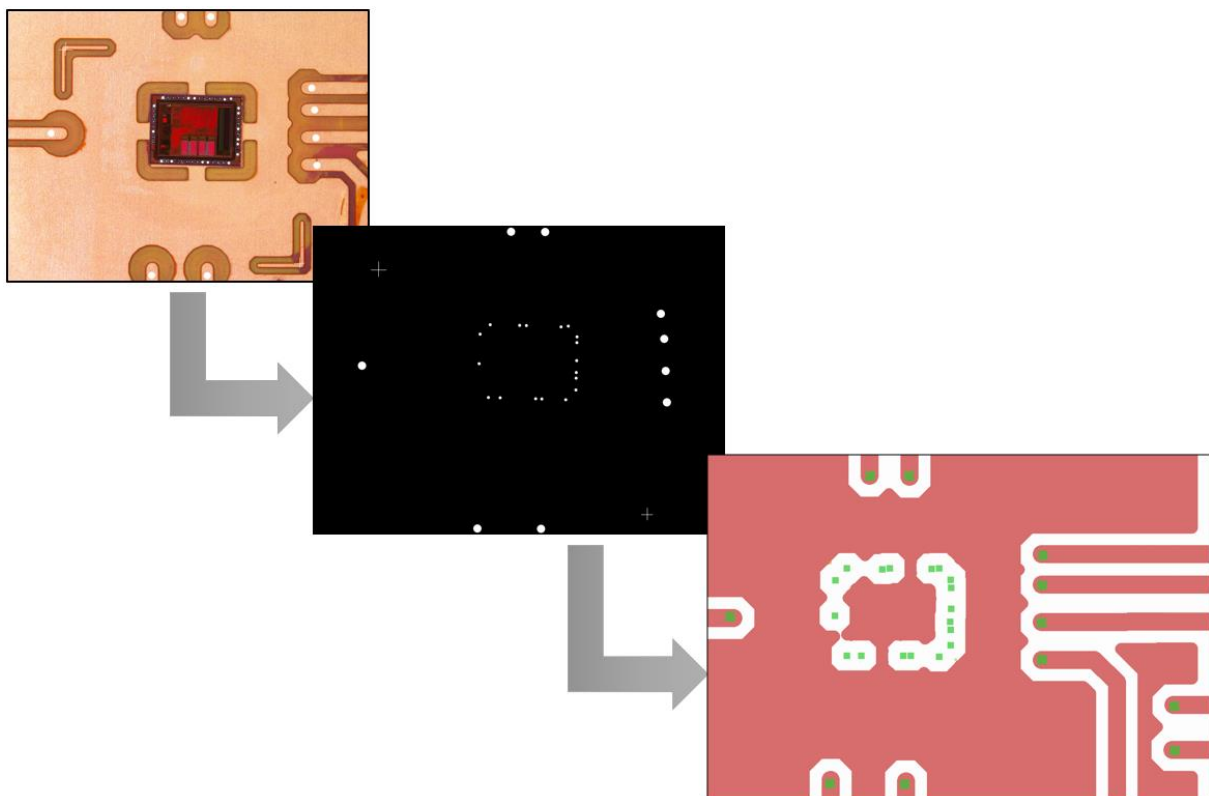


Abbildung 62: Ablauf zur Generierung individueller Direktbelichtungslayouts. Zu Beginn werden relevante Positionen in der Mikroskopieaufnahme markiert. Durch Überführung in ein Schwarz-Weiß-Bild kann ein Import in ein Schaltungsentwurfsprogramm durchgeführt werden, mit dem wiederum Maschinenparameter im Gerber-Format ausgegeben werden können.

Nach Generierung des individuellen Gerber-Codes wurden die fixierten, ultradünnen Chips mit Lötstopplack NPR 80/ID 100 sprühbeschichtet (Kapitel 5.1.2, S.39) und es wurde ein zweistufiger Softbake durchgeführt. Ein Gitterschnitttest zur Abschätzung der Haftfestigkeit des Lötstoppmaterials auf dem Folienschaltungsträger führte zur Zerstörung des Foliensubstrats, wodurch der Test nicht durchgeführt werden konnte. Das zerstörte Substrat wurde nicht mehr für weitere Arbeiten berücksichtigt.

Das individuelle Layout wurde zur Direktbelichtung des photosensitiven Lötstoppmaterials (Kapitel 5.2.2, S. 48) eingesetzt. Die Auswahl der gegenüberliegenden Chipecken als Markierungspunkte für die Lage des Substrats auf dem Probenstisch des Direktbelichters ermöglichte eine hohe

Wiederholbarkeit der Chipfassung, da diese einen hohen Kontrast gegenüber dem grünen Lötstopplack aufweisen (Abbildung 63). Nach 15 min Wartezeit zur Vernetzung der UV-belichteten Bereiche wurde eine Entwicklung in Kaliumcarbonatlösung (Kapitel. 5.2.2; S. 48) durchgeführt. In Abbildung 64 wird ein Chip gezeigt, dessen relevante Kontaktflächen trotz hoher Platziertoleranz und Verdrehung des Chips durch Verwendung eines individuellen Belichtungslayouts photolithographisch geöffnet werden konnten.

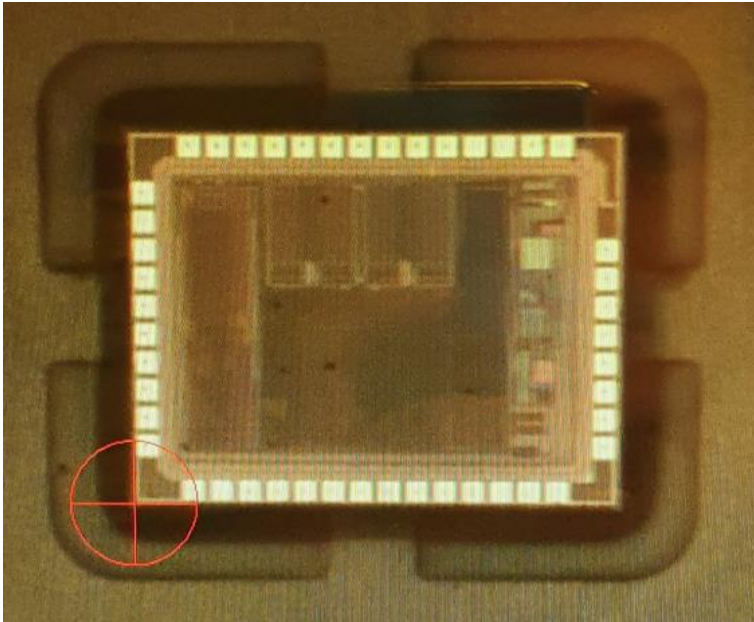


Abbildung 63: Die gegenüberliegenden Chipecken wurden als Markierungspunkte für die Erfassung der Lage des Substrats auf der Probenhalterung des Direktbelichters genutzt, da diese in der Gerätekamera trotz der Einbettung in grünem Lötstoppmaterial einen hohen Kontrast aufwiesen und reproduzierbar erfasst werden konnten.

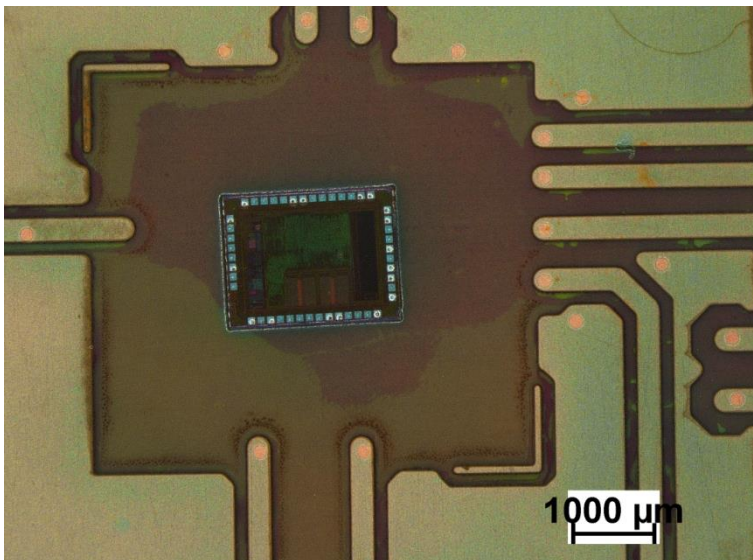


Abbildung 64: Trotz deutlicher Platzierungsauigkeit und deutlicher Verdrehung konnten die Chipkontaktflächen und die entsprechenden Leiterbahnkontakte mit Hilfe der individuell angepassten Prozessführung strukturiert werden.

Zur Generierung des Inkjetdruck- Leiterbahnlayouts wurden die bereits für die Generierung der Direktbelichtungsdaten verwendeten Schaltungsentwurfsdaten genutzt, da hierin bereits die Kontaktöffnungen auf den jeweiligen Siliziumchips und Kupferleiterbahnen nach Ausgleich von Platzierungsauigkeit und Verdrehung definiert sind. Das Leiterbahnbild wurde als monochrome

Bitmap-Datei in einer Auflösung von 1016 dpi exportiert (Kapitel 5.3.2, S. 58). Diese Auflösung entspricht einem Tropfenabstand von 25 µm im Inkjetdruckprozess mit dem Dimatix-Drucker bei einem Kartuschenanstellwinkel von 5,6 °. Die monochrome Bitmap-Datei wird als Ausgangsformat für den Transfer in die Dimatix-Software benötigt, die daraus ein binäres Druckbild erstellt. Es wurde die Tinte DryCure Au-J mit Gold-Nanopartikel für den Inkjet-Druckprozess eingesetzt. Bedingt durch die Bauhöhe des Steckers musste die Verfahrenshöhe der Kartusche auf 4 mm über der Lötstopmaterialoberfläche gesetzt werden. Die hohe Distanz zwischen Druckkartusche und Substratoberfläche wirkte sich durch weit verteilte Satellitentropfen neben den Leiterbahnen negativ auf das Druckbild aus (Abbildung 65). Die Tropfen sind durch die hohe Distanz und die damit verbundene längere Flugzeit stärkeren Turbulenzen ausgesetzt, wodurch eine Änderung der Flugbahn begünstigt wird [80].

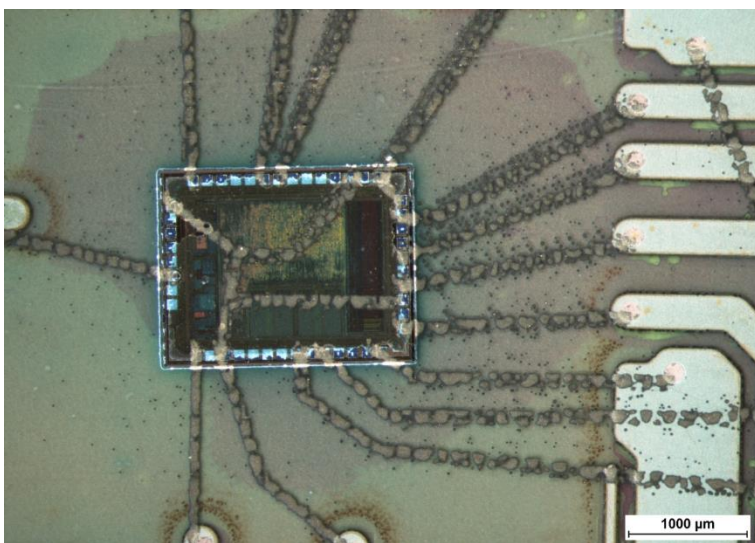


Abbildung 65: Leiterbahnbild nach Inkjetdruck und Sintern von Goldtinte DryCure Au-J. Durch die Bauhöhe der bereits gefügten Bauelemente musste die Verfahrenshöhe der Druckkartusche mit vier Millimetern Distanz eingestellt werden. Dies wirkte sich durch Satellitentropfen und undefinierte Leiterbahnen negativ auf das Druckbild aus.

Nach Durchlauf der Prozesskette lassen sich folgende Punkte resümieren:

- Durch den bereits zu Beginn der Prozesskette durchgeführten Bestückungsprozess der Bauelemente und den damit verbundenen Lötprozess bei hoher Temperatur kam es zur Verformung der Leiterplatte, die als temporärer Träger genutzt wurde, sowie zur Verfärbung des als Fixierschicht genutzten Trockenresists. Lufteinschlüsse dehnten sich im Zuge der Erwärmung aus und führten lokal zum Ablösen des Folienschaltungsträgers.
- Die bereits platzierten Bauelemente schränken die Verwendung der Haftfolie ein. Diese musste für die Platzierung des Chips an die Platzverhältnisse auf dem Folienschaltungsträger zugeschnitten werden.
- Der Platziertoleranz und dem Verdrehwinkel des ultradünnen Chips auf dem Foliensubstrat konnte durch die optische Erfassung und Überführung in ein Direktbelichtungslayout erfolgreich entgegengewirkt werden.
- In Abhängigkeit der Dicke der verwendeten Bauelemente musste ein hoher Abstand zwischen Substrat und Kartusche während des Druckprozesses gewählt werden, wodurch Satellitentropfen und undefinierte Leiterbahnen entstehen konnten.

Zur Verbesserung der Resultate wurde eine Änderung der Reihenfolge der Einzelprozesse durchgeführt (Abbildung 66). So konnten die Nachteile der temperaturorientierten Prozesskette umgangen werden.

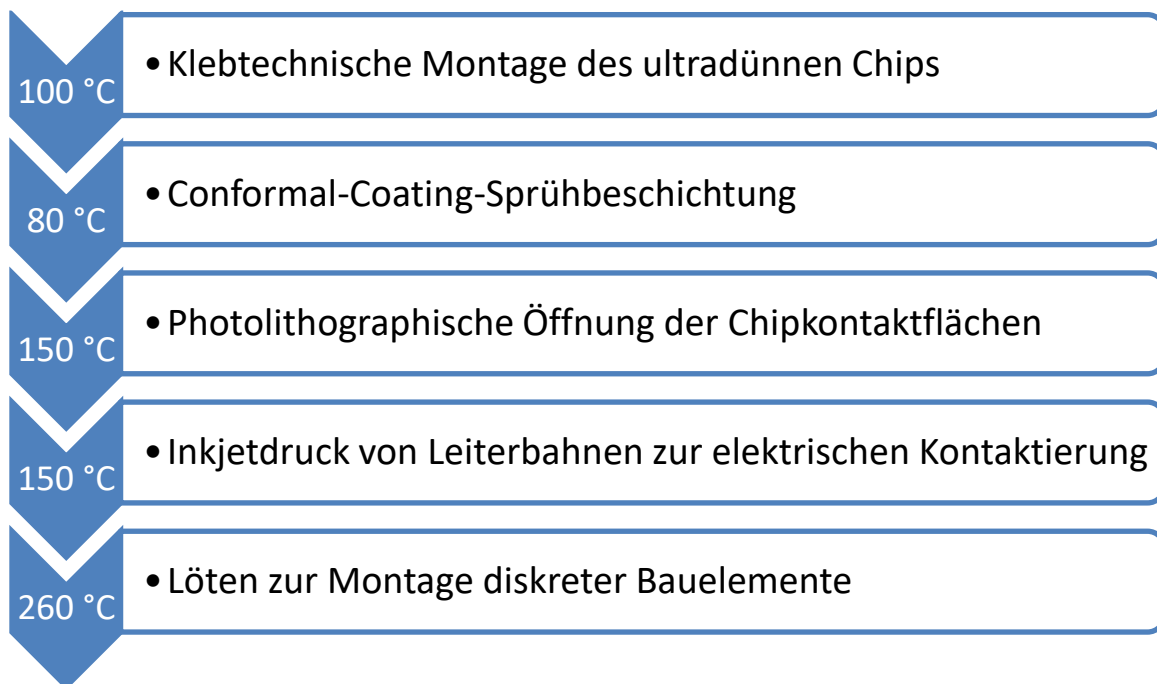


Abbildung 66: Reihenfolge digitaler Einzelprozesse in der prozessorientierten Prozesskette.

Ein Vorteil der geänderten Reihenfolge zeigt sich bereits beim Klebeprozess der ultradünnen Chips unter Verwendung von Haftfolie (Abbildung 67). Diese musste nicht mehr in Form und Größe angepasst werden, um bei engem Bauraum eine Kollision mit gefügten Bauelementen zu verhindern.

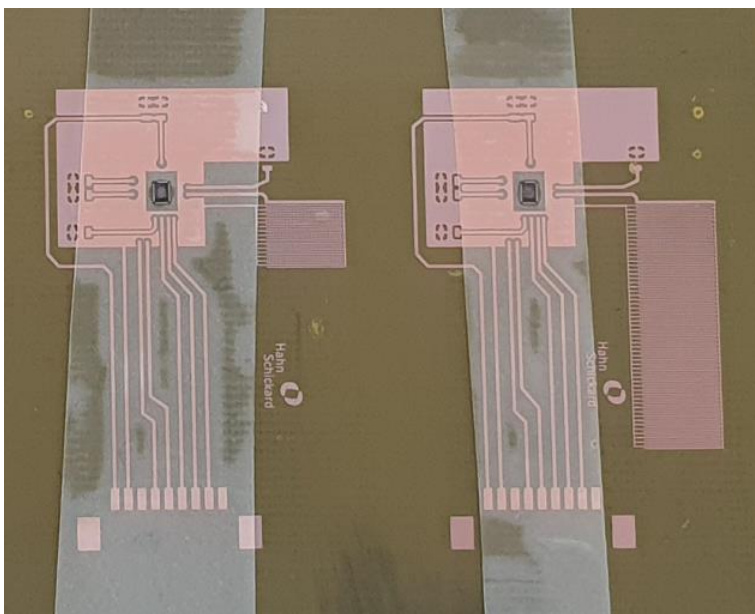


Abbildung 67: Fixierung ultradünner Chips mittels Haftfolie auf unbestücktem Folienschaltungsträger.

Durch eine Erwärmung des Gesamtsystems auf 100 °C auf einer Heizplatte konnte die Adhäsion der Haftfolie stark reduziert und die Haftfolie von der Oberfläche entfernt werden. Die Siliziumchips verblieben geklebt auf der Oberfläche. Die Topografie der Oberfläche des auf ca. 43 µm gedünnten Siliziumchips wurde mit einem Weißlichtinterferometer erfasst, um sowohl die Planarität des aufgeklebten Siliziumchips als auch die Klebstoffdicke zu bestimmen. Das Ergebnis einer Messung ist in Abbildung 68 dargestellt. Es wurden Klebstoffschichtdicken im niedrigen, einstelligen Mikrometerbereich erreicht. Die Schichtdickenschwankung des Klebstoffs ist mit dieser Messmethode nicht zuverlässig bestimmbar, so dass die Planarität als ausreichend homogen für eine Applikation von Einbettmaterial angesehen wurde.

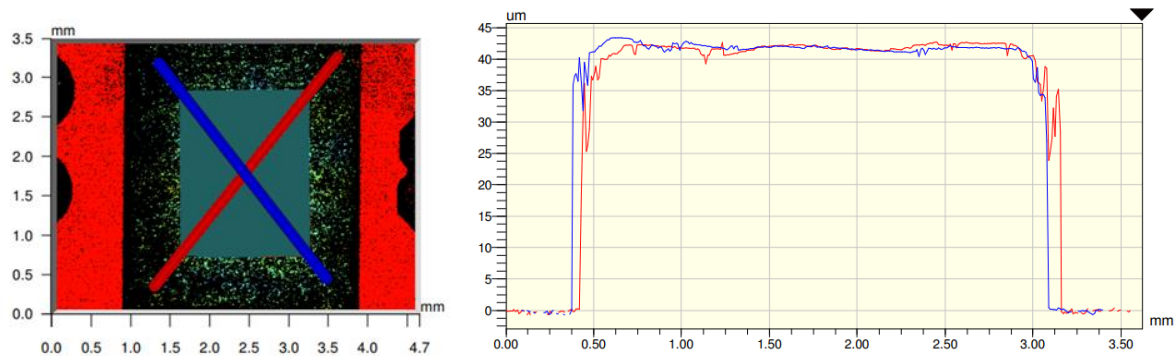


Abbildung 68: Aufnahme einer Weißlichtinterferometer-Messung zur Erfassung der Planarität eines geklebten, ultradünnen, ca. 43 µm dicken Siliziumchips auf einer Polyimidfolie. Links: Im Zentrum der Aufnahme befindet sich der Siliziumchip, im Randbereich ist eine Kupferoberfläche dargestellt. Über die zwei eingezeichneten, diagonal verlaufenden Messlinien (links) wurden sowohl die Planarität als auch die Dicke des Klebstoffspalts erfasst (rechts), die im niedrigen, einstelligen Mikrometerbereich liegt.

Da zum Zeitpunkt der Einbettung mittels Sprühbeschichtung mit Lötstopppmaterial noch kein Hochtemperaturschritt stattfand, kam es nicht zur lokalen Ablösung von PI-Folie durch Luftansammlung (Abbildung 69). Die PI-Folie verblieb flach auf dem starren Träger. Die Kupferstrukturen können mit einer Sprühbeschichtung vor Oxidation und Abrasion geschützt werden.

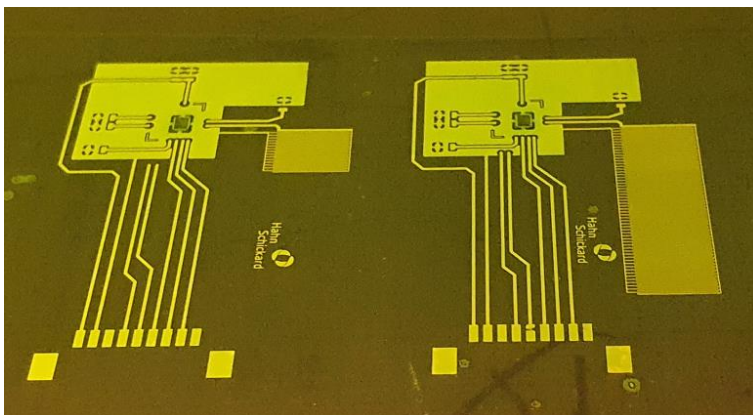


Abbildung 69: Mit Lötstopppmaterial besprühte ultradünne Chips.

Kupferflächen, die für die Montage von diskreten Bauelementen vorgesehen sind, werden durch die photolithographische Strukturierung freigestellt (Abbildung 70). Es konnte vereinzelt beobachtet werden, dass Barrieren aus Lötstopppmaterial zwischen zwei benachbarten Kontaktflächen wie in Abbildung 71 gezeigt durch den Entwicklungsprozess beschädigt worden sind.

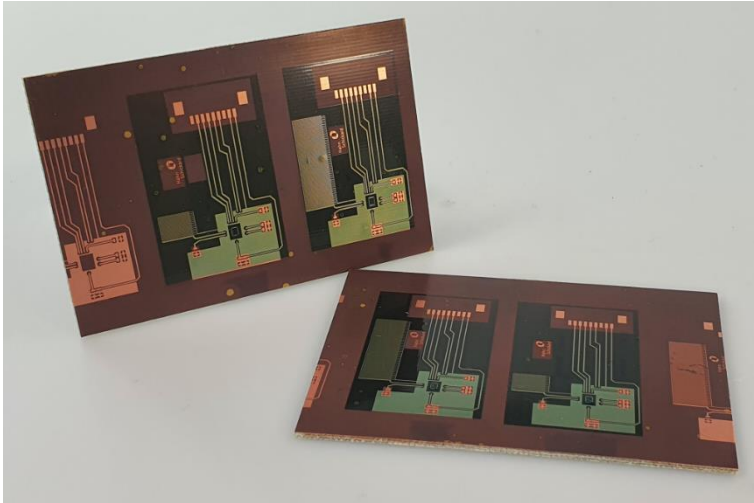


Abbildung 70: Auf einen Folienschaltungsträger geklebte ultradünne Chips, eingebettet in gesprühtem Lötstopmaterial. Kontaktflächen auf den Siliziumchips sowie auf den Kupferstrukturen wurden photolithographisch freigestellt.

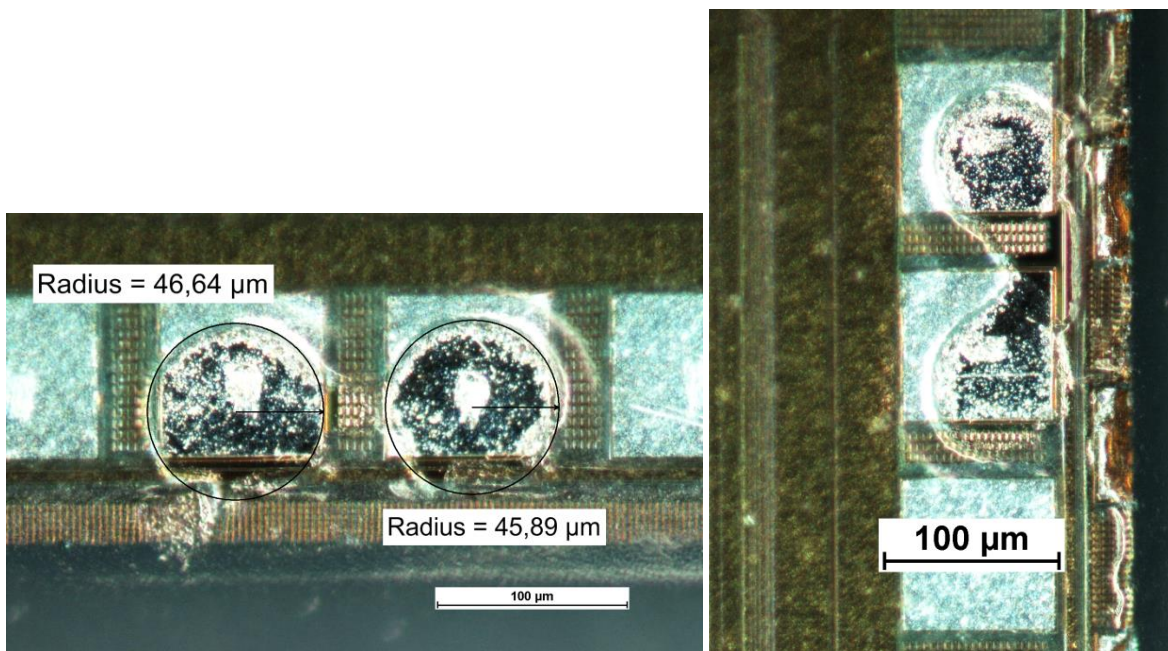


Abbildung 71: Photolithographische Freistellungen von benachbarten Chipkontaktflächen. Die weißen Flecken im Zentrum der Kontaktflächen stammen von einer elektrischen Prüfung durch den Hersteller. Es kam zur lokalen Beschädigung der Lötstopbarriere während der Entwicklung.

Zur Bestimmung der Kantenbedeckung des gesprühten Lötstopplack-Materials wurden Querschliffe der in Lötstopplack eingebetteten Kupferleiterbahnen nach dem Hardbake angefertigt. Für eine bessere Handhabung während des Einbettens wurde das Foliensystem mechanisch fixiert auf der starren Leiterplatte belassen. Es ist zu sehen, dass der Lötstopplack die Oberfläche vollflächig nivelliert (Abbildung 72).

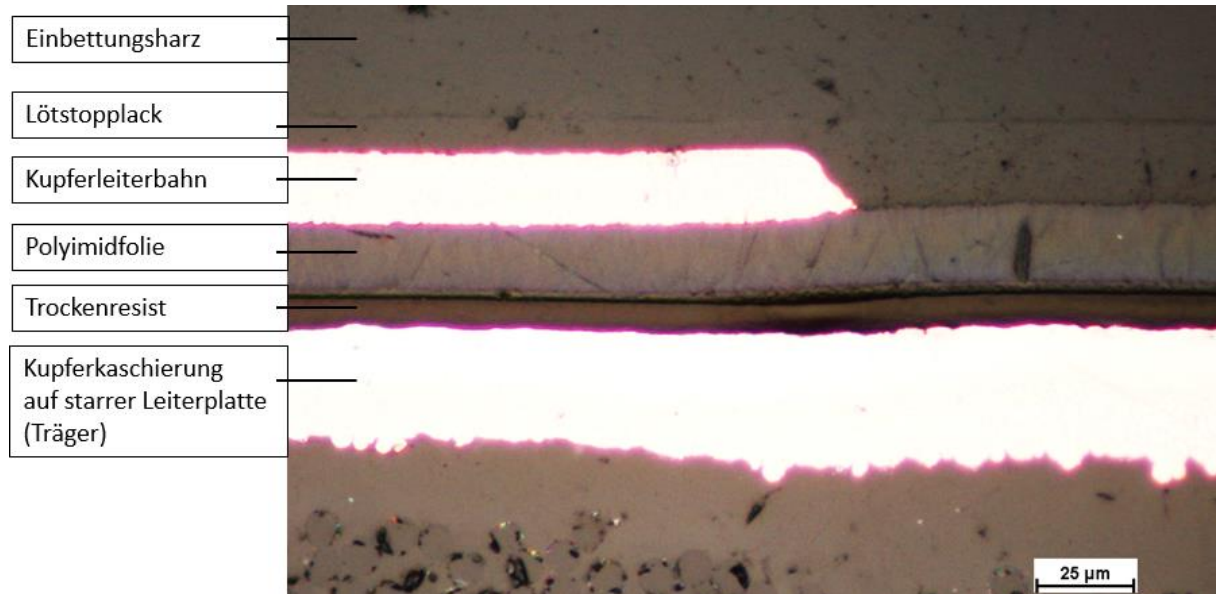


Abbildung 72: Querschliff einer in Lötstopplack eingebetteten Kupferleiterbahn auf Polyimidfolie, mit Trockenresist mechanisch fixiert auf einer starren Leiterplatte. Zur besseren Sichtbarkeit der Grenzflächen der einzelnen Materialschichten wurde der Kontrast dieser Abbildung erhöht.

Der größte Vorteil der geänderten Prozessreihenfolge ergibt sich für den Inkjetdruckprozess, da die Druckkartusche mit deutlich geringerem Abstand über die Oberfläche verfahren werden kann. Weiterhin wurde die Auflösung auf 2540 dpi geändert sowie nur mit einer Linienbreite von 1 Pixel gedruckt, um so möglichst dünne Leiterbahnen abscheiden zu können und das Risiko von Kurzschlüssen zu reduzieren. Darüber hinaus wurde jede Bahn des Layouts separat gedruckt, damit alle Leiterbahnen nur in Druckrichtung, also der Verfahrrichtung der Druckkartusche, gedruckt werden konnten. Dazu wurde zum einen das Substrat grob und zum anderen durch Winkelkalibration der Probenstisch präzise zueinander ausgerichtet, so dass entsprechende Kontaktierungsflächen horizontal angeordnet waren. Die Temperatur des Substrattischs wurde auf 60 °C erhöht, um das Trocknen der Tinte zu beschleunigen. Da nur ein geringes Tintenvolumen gedruckt wurde, konnte die gedruckte Schicht so innerhalb weniger Sekunden getrocknet werden. Erst nach Trocknung der Schicht wurde eine weitere Schicht gedruckt, bis 5 Lagen gedruckt wurden. Nach Inkjetdruck aller Leiterbahnen wurde das Substrat in einem Konvektionsofen platziert, um bei 150 °C für 60 min eine Sinterung der Goldnanopartikel durchzuführen. Die gedruckten Leiterbahnen nach Sintern sind in Abbildung 73 dargestellt.

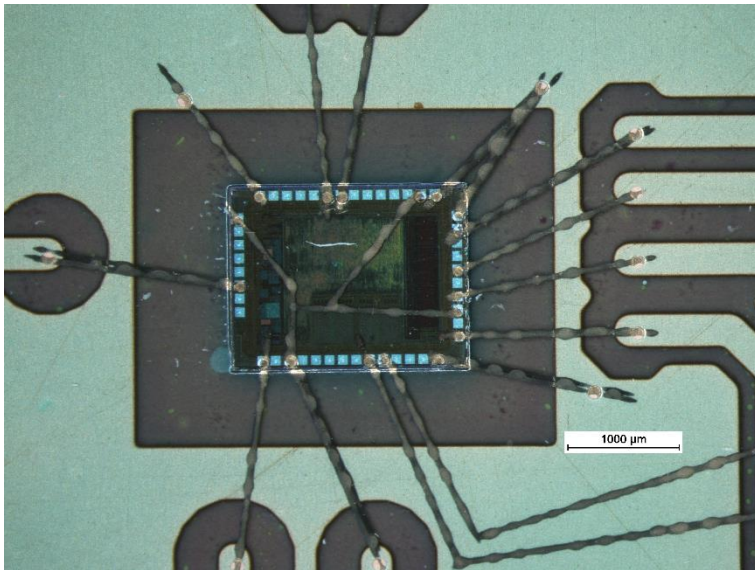


Abbildung 73: Leiterbahnbild nach Optimierung der Druckparameter. Es wurde zum Inkjetdruck einzelner Leiterbahnen eine Druckauflösung von 2540 dpi bei 1 Pixel Breite verwendet.

In Abbildung 74 sind die resultierenden Leiterbahnbreiten mit Schwankungen in einem Bereich zwischen 50 µm und 90 µm gezeigt. Bereits bei der zweiten Lage war festzustellen, dass sich Tinte lokal ansammelt und zur Verbreiterung der Leiterbahn führt (Abbildung 74).

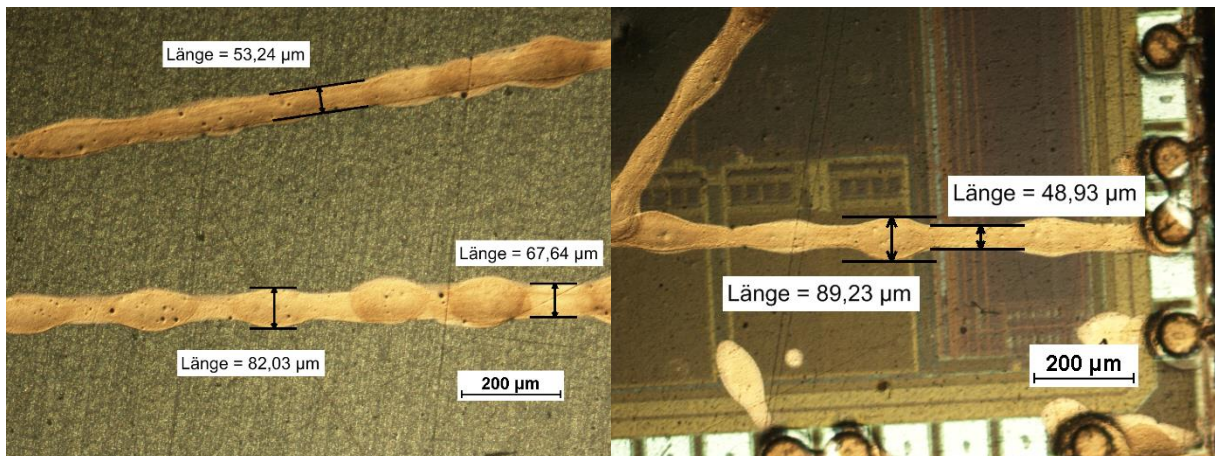


Abbildung 74: Innerhalb einer gedruckten Leiterbahn kam es zur Schwankung der Leiterbahnbreite, die in einem Bereich zwischen 50 µm und 90 µm liegt.

Nach Sintern der Tinte wurden die Bauelemente auf die im Lötstopmaterial freigestellten Kontaktflächen bestückt. Dazu wurde SAC 405 Lot manuell nadeldispenst, Bauelemente auf die Lotdepots platziert und ein Reflowlötprozess in einem Durchlaufofen bei 260 °C maximaler Temperatur durchgeführt. In Abbildung 75 ist das Foliensystem mit eingebettetem, ultradünnem Siliziumchip und gedruckten Leiterbahnen nach Durchlaufen der geänderten Prozesskettenreihenfolge dargestellt.

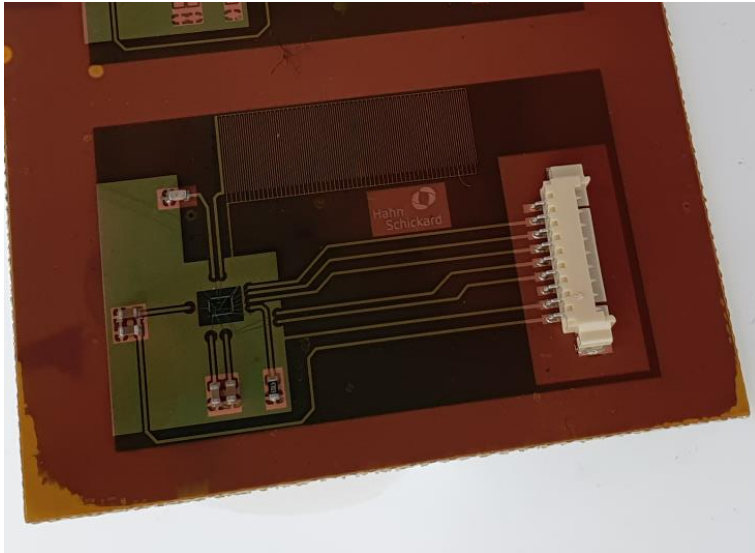


Abbildung 75: Folienschaltungsträger mit geklebtem, ultradünnem Siliziumchip und bestückten Bauelementen, fixiert auf einer starren Leiterplatte. Der Chip ist in mechanisch flexibles Lötstopplack eingebettet und über Inkjetdruck wurden Leiterbahnen appliziert.

Rasterelektronenmikroskopie-Aufnahmen der gefertigten Systeme, die mit DryCure Au-J Goldtinte 5-lagig gedruckte und gesinterte Leiterbahnen auf dem Chip aufweisen, zeigen, dass sowohl eine Kontaktierung mehrerer gedruckter Leiterbahnen miteinander (Abbildung 76) als auch die Verbindung photolithographisch geöffneter Kontaktflächen der Siliziumchips (Abbildung 77) möglich ist.

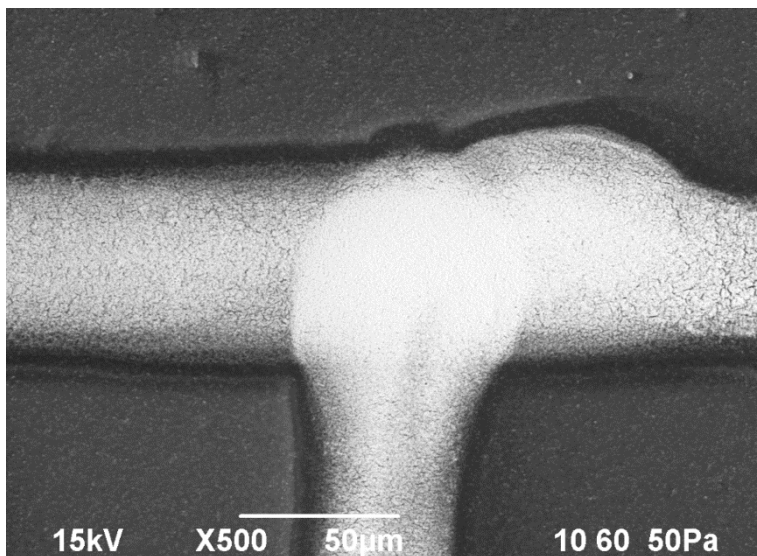


Abbildung 76: Gedruckte Leiterbahn aus Goldtinte Au-J, 5 lagig, nach thermischem Sintern in einem Konvektionsofen bei 150 °C für 60 min. Es ist so die elektrische Verbindung mehrerer Leiterbahnen in Knotenpunkten möglich.

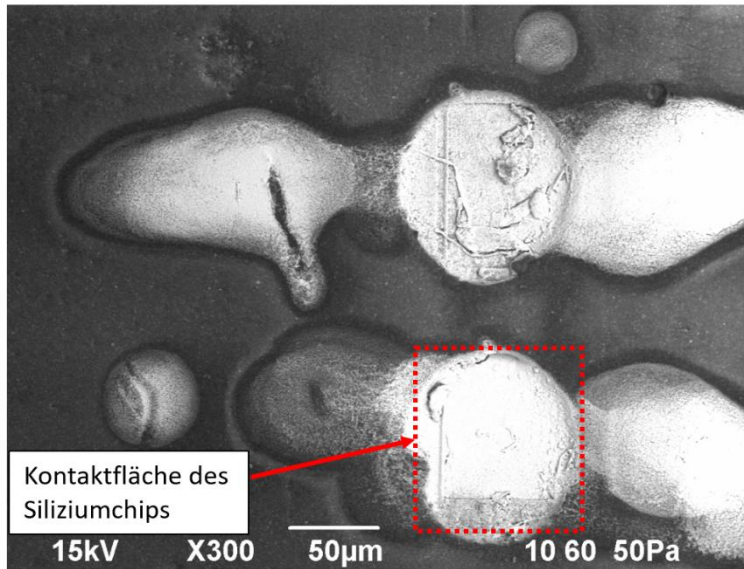


Abbildung 77: Gedruckte und gesinterte Leiterbahnen aus DryCure Au-J Goldtinte zur elektrischen Kontaktierung der photolithographisch geöffneten Kontaktflächen des in Lötstopmaterial eingebetteten Siliziumchips.

Es zeigte sich, dass die Tinte im Bereich der Chipkanten auf dem Lack verfließen kann und so auf der niedriger gelegenen Ebene Leiterbahnabschnitte mit höherem Tintenvolumen entstehen, während im Bereich der Chipkante eine Tintenverarmung auftritt (Abbildung 78).

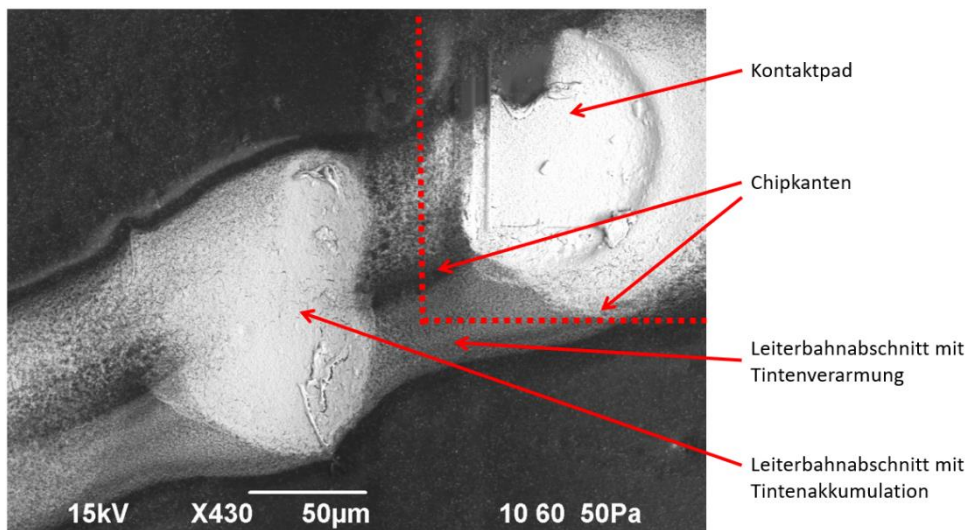


Abbildung 78: Gedruckte Leiterbahnabschnitte im Bereich der Chipkanten können insbesondere bei nicht senkrecht zur Chipkante gedruckten Leiterbahnen Tintenverarmung aufweisen. Die Tinte verfließt auf dem Lack und bildet auf der niedriger gelegenen Ebene Leiterbahnabschnitte mit Tintenakkumulation.

Nach Ablösen der Polyimid-Trägerfolie vom starren Träger und Reinigung der Rückseite von Trockenresistrückständen (Abbildung 79) ermöglicht das so hergestellte CiF die sensorische Erfassung von physikalischen Messgrößen auf gebogenen Oberflächen (Abbildung 80).

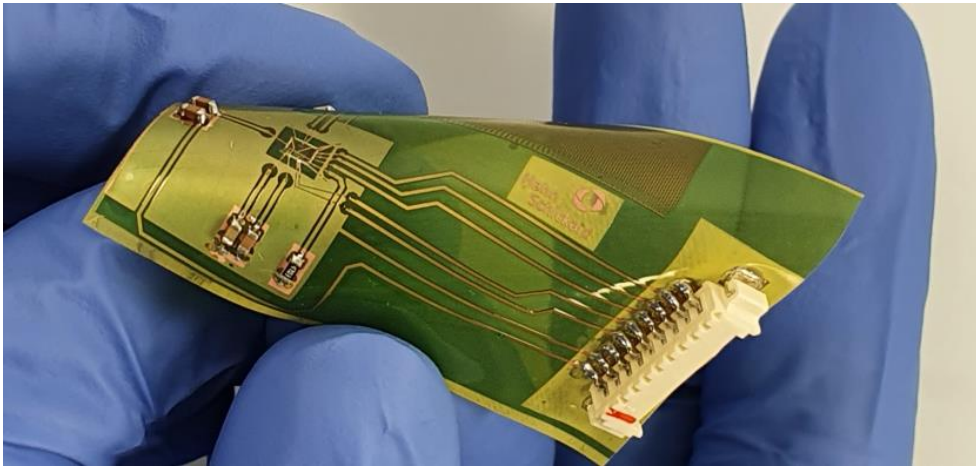


Abbildung 79: Nach Entfernen des Folienschaltungsträgers mit in mechanisch flexiblem Lötstopmaterial eingebettetem, ultradünnem Chip und gefügten Bauelementen kann das System dynamisch gebogen werden.

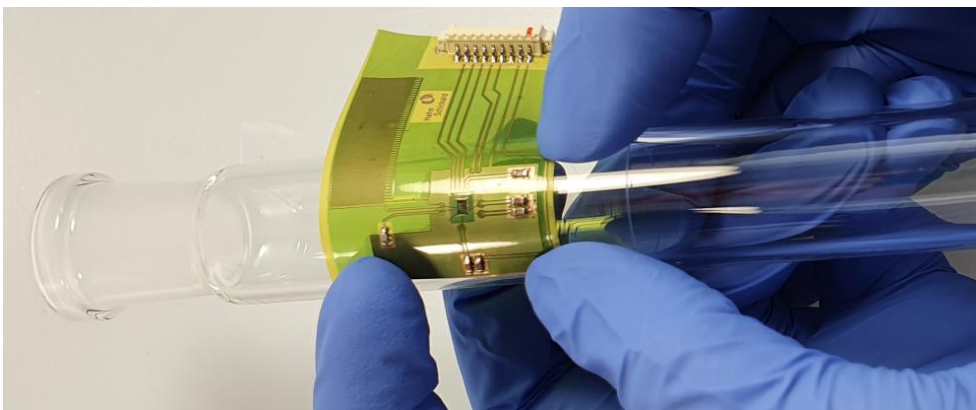


Abbildung 80: Die mechanische Flexibilität des CiF ermöglicht die Anbringung des Foliensystems auf gekrümmten Oberflächen.

7. Diskussion

Die Betrachtung der Literatur zu Beginn dieser Arbeit zeigte auf, dass sich neuartige, folienbasierte Systeme mit eingebetteten, ultradünnen Siliziumchips durch ihre mechanische Flexibilität, geringe Masse sowie flache Bauweise für den Einsatz in körpernahen Anwendungen, zur Steigerung der Integrationsdichte in elektronischen Leiterplattenaufbauten sowie zur Nachrüstung von Sensoren in bestehende mechanische Systeme mit geringster Bauraumverfügbarkeit eignen. Auf der anderen Seite konnte ein Einblick in die bestehenden Herstellungsprozesse gegeben werden, die auf die Verwendung weniger Materialien beschränkt und durch die Wahl der Prozesse nur bedingt für die Herstellung von Prototypen geeignet sind.

Der in dieser Arbeit identifizierte Lösungsweg bezog den Einsatz von digitalen Prozessen in Betracht, da diese ohne den Bedarf von produktspezifischen Werkzeugen für die Fertigung von Prototypen eingesetzt werden können. Nachfolgend sollen die Ergebnisse der Einzelprozesse beleuchtet und in Hinblick auf literaturbekannte Prozesse diskutiert werden. Weiterhin wird der Grad der Zielerreichung durch einen Vergleich mit den in Kapitel 1 definierten Teilzielen diskutiert.

7.1. Diskussion zur Montage ultradünner Chips

In der Literatur gibt es nur wenige Beiträge, die die Montage ultradünner Chips beschrieben haben. In Ermangelung literaturbekannter, wissenschaftlicher Untersuchungen wurden deshalb in dieser Arbeit Prozesse zur klebtechnischen Fixierung untersucht. Zu Beginn wurde ein manueller Bauteilbestücker für die Prozessentwicklung genutzt, da dieser auch für die Aufnahme und die Platzierung von Bauelementen mit Standarddicken genutzt wird. Die Erkenntnis aus der Literatur konnte bestätigt werden, dass zum Ablösen von ultradünnen Chips eine Kombination aus Ansaugung mit einem erwärmten Ansaugwerkzeug und einer Haftfolie verwendet werden kann, deren oberflächennahe Schicht bei Erwärmung expandiert und so eine geringere Haftkraft auf die anhaftenden ultradünnen Chips ausübt. In Abhängigkeit der gewählten Werkzeugtemperatur konnte das Ablösen der ultradünnen Chips innerhalb weniger Sekunden durchgeführt werden. Es konnte festgestellt werden, dass die Ansaugung über die gesamte Werkzeugfläche erfolgen sollte, da eine punktuelle Ansaugung zu einer Wölbung des mechanisch flexiblen Chips führen kann. Dies kann Nachteile für den Klebeprozess oder eine Beschädigung des Siliziumchips zur Folge haben. Die ultradünnen Chips konnten auf Klebstoffdepots platziert werden, wobei auf die Verwendung eines thermisch aushärtenden Klebstoffs geachtet werden sollte. Es zeigte sich, dass durch den angestrebten, möglichst schmalen Klebespalt keine seitliche Einkopplung von ultraviolettem Licht erfolgte und somit eine Aushärtung von UV-aushärtenden Klebstoffen nicht erreicht werden konnte. Im Zentrum des Klebespalts war dieser nicht ausgehärtet und der Siliziumchip löste sich von der Oberfläche des Substrats. Bei UV-transparenten Substraten kann unter Umständen eine Bestrahlung des Klebstoffs durch das Substratmaterial erfolgen, um so die Vorteile der UV-aushärtenden Klebstoffe, das sind zum einen die lange Lagerzeit und Verwendungszeit bei Raumtemperatur sowie die potentiell schnelle Aushärtung innerhalb weniger Sekunden, vollständig nutzen zu können. Bei Substraten, die für UV-Licht intransparent sind, sollten thermisch aushärtende Klebstoffe verwendet werden, so dass eine vollständige Aushärtung auch in abgeschatteten Klebereichen zuverlässig erreicht werden kann.

In dieser Arbeit wurde weiterhin ein automatisierter Prozess zur Platzierung von ultradünnen Chips auf Klebstoffdepots unter Einsatz von kommerziell erhältlichen Bestückungsautomaten entwickelt. Es konnte gezeigt werden, dass ultradünne Siliziumchips ähnlich zu Bauelementen mit Standarddicken über eine automatisierte Platzierungsroutine auf Klebstoffdepots gesetzt werden können. Im Vergleich zu den anderen beiden Verfahren ergab die automatisierte Platzierung mit ca. 25 µm Dicke die größte Klebstoffansammlung im Zentrum der Klebefläche. Es wurde jedoch während der Chipplatzierung kein überschüssiger Klebstoff aus dem Klebespalt gedrückt. Dies ist auf zwei mögliche Ursachen zurückzuführen. Zum einen wurden drei verschiedene Abstände definiert, die nacheinander in kleiner werdenden Distanzen angefahren wurden, um eine Verteilung des Klebstoffs im Klebespalt zu erzielen. Zum anderen wurden die Klebstoffdepots nicht über einen Dispensprozess appliziert, sondern mittels Stempelprozess, wobei ein geringes Klebstoffvolumen großflächig auf die Oberfläche verteilt werden konnte. Bei der Platzierung mehrerer Chips, deren Platzierungspositionen in Relation zueinander stehen, muss zur simultanen Aushärtung des Klebstoffs in einem Ofen eine mechanische Fixierung gegeben sein, da eine Bewegung der ultradünnen Chips auf dem flüssigen Klebstoff festgestellt wurde. Dies hat sowohl eine deutliche Lagerveränderung als auch eine Verdrehung der Chips zur Folge. Ist die Bewegung der Siliziumchips nicht tolerierbar, müssen entsprechende Gegenmaßnahmen verfolgt werden. Zum einen kann bereits während des Aufsetzens der ultradünnen Chips auf den Klebstoff eine Aushärtung des Klebstoffs durchgeführt werden. In Abhängigkeit vom gewählten Klebstoff kann dies eine Zunahme der Prozesszeit zur Platzierung der Siliziumchips zur Folge haben. Andererseits geht mit der Aushärtung des Klebstoffs durch das zur Ansaugung des Chips genutzte Werkzeug auch das Risiko einher, dass Klebstoff sowohl das Ansaugwerkzeug als auch die Chipoberfläche kontaminiert und eine Aushärtung des Klebstoffs zur Beschädigung von Chip und Werkzeug führt. Zum anderen können Anstrengungen unternommen werden, dass die Siliziumchips während des Aushärtens im Konvektionsofen nicht von der Zielposition entfernt werden.

Hierfür wurde die Verwendung einer temporär haftenden Klebefolie überprüft. Vorteilhaft ist neben der Sicherung der Chips gegen Bewegungen während der Klebstoffaushärtung auch der Schutz der Chipoberfläche vor Klebstoffkontamination. Die Charakterisierung des Klebstoffspalts ergab eine Ansammlung von Klebstoff im Zentrum der Klebung, jedoch ist das angesammelte Volumen bei ca. 15 µm maximaler Dicke niedriger im Vergleich zur Klebung bei automatisiertem Aufsetzen der Siliziumchips auf Klebstoffdepots. Das Zusammenführen der mit Chip und Klebstoff belegten Haftfolie und dem Zielsubstrat sowie das Aufbringen eines zusätzlichen Drucks auf die Klebung zum Verdrängen des Klebstoffs wurden manuell durchgeführt. Dies kann potentiell zu Schwankungen im Kleberesultat führen. Die Platzierung der ultradünnen Siliziumchips auf Haftfolie mit einem Bestückungsautomaten zeigt das Potential eines hohen Durchsatzes bei gleichzeitig hoher relativer Platziergenauigkeit von bis zu $\pm 25 \mu\text{m}$. Da der Platzierungsvorgang und die Klebstoffapplikation voneinander getrennt stattfinden, wird das Risiko einer Beschädigung des Ansaugwerkzeugs durch Klebstoffkontamination eliminiert. Nachteilig ist die ungenaue Platzierung der chiptragenden Haftfolie auf dem Zielsubstrat. In Folgeprozessen muss sichergestellt werden, dass die Positionierungstoleranz der Siliziumchips zu Strukturen auf dem Zielsubstrat ausgeglichen werden kann. Auch kann ein bereits bestückter Schaltungsträger mit erhabenen Bauelementen einen Zuschnitt der Haftfolie erfordern, da die chiptragende Haftfolie sonst mit den Bauelementen kollidiert. Einen weiteren Nachteil stellt das Verbleiben von Klebstoff, welcher als überschüssiges Material beim Aufsetzen der chiptragenden Haftfolie auf das Zielsubstrat aus dem Klebespalt verdrängt wurde, auf der Oberfläche des Foliensubstrats dar. Es konnte zwar keine

Beeinträchtigung bei der nachfolgenden Sprühapplikation von Einbettmaterial festgestellt werden, dennoch muss eine Kontamination von Strukturen auf dem Foliensubstrat verhindert werden.

Das Vorgehen unter der Zuhilfenahme einer Haftfolie erfordert nach Aushärtung des Klebstoffs das zerstörungsfreie Entfernen der Haftfolie von der Oberfläche des ultradünnen Chips. Dazu wurde eine Materialkombination einer temperatursensitiven Haftfolie, die ab 100 °C eine deutliche Reduzierung der Haftkraft erfährt, in Verbindung mit einem Klebstoff, der bei 80 °C thermisch aushärtet, gewählt. Eine Kontamination der Chipoberfläche durch verbleibende Klebstoffrückstände der temperatursensitiven Haftfolie konnte mit Lösungsmittel und einem faserarmen Reinigungstuch entfernt werden. Eine Beschädigung der Chipoberfläche durch die mechanische Reinigung konnte bei den in dieser Arbeit verwendeten Siliziumchips nicht festgestellt werden. Kommerziell stehen neben einer großen Bandbreite an temperatursensitiven Haftfolien auch UV-lichtsensitive Haftfolien zur Verfügung sowie Klebstoffe, die auch bei geringeren Temperaturen oder bei Raumtemperatur aushärten. Die Materialpaarung kann somit an verschiedene Foliensubstrate angepasst oder für höheren Durchsatz optimiert werden. Eine Zusammenfassung der Ergebnisse der beiden Methoden zur klebtechnischen Fixierung der ultradünnen Chips ist in Tabelle 11 zu finden.

Tabelle 11: Gegenüberstellung von Vor- und Nachteilen beider verwendeter Methoden zur Verklebung von ultradünnen Chips.

Bestückungsart	Vorteil	Nachteil
<i>Platziergerät/ Bestückungs- automat</i>	<ul style="list-style-type: none"> - Kontrolle der Aufsetzkraft und -geschwindigkeit der Chips auf Klebstoff. - Homogene Klebstoffverteilung möglich. - Druck auf die Chipoberfläche während des Aushärtens des Klebstoffs möglich. 	<ul style="list-style-type: none"> - Aushärtung thermischer Klebstoffe durch beheizbares Ansaugwerkzeug zeitintensiv. - Kontamination der Chipoberfläche oder Beschädigung des Ansaugwerkzeugs möglich.
<i>Chipfixierung mittels Haftfolie</i>	<ul style="list-style-type: none"> - Bei Einzelchips kein Werkzeug zur Platzierung notwendig. - Trennung des Platzierungsvorgangs und der Klebstoffapplikation verhindert Kontamination des Ansaugwerkzeugs. - Mechanische Fixierung der Siliziumchips während der Klebstoffaushärtung ermöglicht hohe relative Platziergenauigkeit bei mehreren Komponenten. - Schutz der Chipkontaktseite vor Klebstoffkontamination. - Mechanische Fixierung verhindert Wölbung während Klebstoffaushärtung. - In Kombination mit Platziergeräten ist die Kontrolle der Aufsetzkraft und -geschwindigkeit möglich. 	<ul style="list-style-type: none"> - Überschüssiger Klebstoff, welcher aus dem Klebstoffspalt verdrängt wurde, kann um den Chip herum auf dem Zielsubstrat zurückbleiben. - Gegebenenfalls muss die Oberfläche nach Entfernen der Haftfolie von Rückständen der Haftfolie gereinigt werden.

7.2. Diskussion zur Sprühapplikation von Lötstopplack

Die Kriterien, die der Recherche nach einem alternativen, neuartigen Einbettmaterial zu Grunde lagen, schränkten die Materialauswahl stark ein. Hauptsächlich die Merkmale der Photosensitivität, mechanischer Flexibilität sowie der Verarbeitung in sauerstoffhaltiger Atmosphäre begrenzten die Auswahl auf Lötstoppmaterialien, die in der Leiterplattenfertigung eingesetzt werden. Von Vorteil für die angedachte digitale Prozesskette ist, dass diese Materialgruppe bereits industriell über Siebdruck oder Sprühapplikation aufgetragen wird und so das Teilziel 2, die ausschließliche Verwendung von kommerziell verfügbaren Materialien, erfüllt werden kann. Da diese Materialien in sauerstoffhaltiger Normalatmosphäre verarbeitet werden, ist auch Teilziel 3 erfüllt.

In dieser Arbeit wurde das für Siebdruck entwickelte Lötstoppmaterial NPR80/ ID100 verwendet. Um das Lötstoppmaterial für eine Applikation mittels Sprühapplikation verwenden zu können, wurde dieses mit dem zur Verdünnung von Lacken oft verwendeten Propylenglycolmonomethyl-etheracetat (PGMEA) gemischt. Die Verdünnungsstufe 1: 1,25 (Lötstoppmaterial: PGMEA) hat sich bei den Versuchen als geeignet und zweckmäßig herausgestellt. Mit dieser Verdünnung konnte eine reproduzierbar stabile Auffächerung eines Sprühkonus während des Lackauftrags erreicht werden. Es wurde eine Parameterkombination aus den Parametern Kartuschendruck (0,5 bar), Atomisierdruck (0,8 bar), Bahnabstand (5 mm), Verfahrensgeschwindigkeit (400 mm/s), Verfahrenshöhe (30 mm), Einschaltzeit (-30 ms) und Ausschaltzeit (+30 ms) erarbeitet, mit der die Zielschichtdicke von 15 μm – 20 μm mit einer einzigen Überfahrt auf einer Kupferoberfläche generiert werden konnte. Es wurde eine Kupferoberfläche gewählt, da Kupfer auch in der Anwendung bei kupferkaschierten PI-Folien in der Anwendung vorzufinden und durch die Wahl einer kostengünstigen Leiterplatte eine große Fläche zur Entwicklung des Sprühverfahrens zur Verfügung stand.

Die Größe des zu besprühenden Bereichs kann in der Software des Conformal Coaters beliebig angepasst werden und wird nur durch die Reichweite des Sprühventils auf dem Proben-tisch begrenzt. Es wird eine geschlossene, homogene Schicht ausgebildet. Die Schichtdickenverteilung ergab sich bei der gewählten Parameterkombination bei der Verfahrensgeschwindigkeit von 400 mm/s zu $\mu = 16,78 \mu\text{m} \pm 0,77 \mu\text{m}$ bzw. $\mu = 16,87 \mu\text{m} \pm 0,79 \mu\text{m}$. Auch stellt sich der Sprühprozess als vorteilhaft für die Kantenbedeckung der erhabenen Kupferleiterbahnen auf PI-Folien heraus. Diese Erkenntnis deckt sich mit Literaturangaben zur Kantenabdeckung im Sprühverfahren [81].

Des Weiteren ist die Haftung des Lötstoppmaterials ausreichend hoch, um auf einen Haftvermittler zur Substratvorbehandlung zu verzichten, im Gegensatz zur Verwendung des in der Literatur eingesetzten PIs [44]. Eine Abschätzung der Haftfestigkeit mittels Gitterschnitttest führte auf einer kupferkaschierten Leiterplatte, die mit Lötstoppmaterial im Schichtdickenbereich 15 μm – 20 μm beschichtet wurde, zum Testkennwert 1, der dem zweitbestmöglichen Ergebnis auf einer Skala von 0 bis 5 entspricht. Eine Gitterschnittprüfung von Lötstoppmaterial auf dem Folienschaltungsträger führte zur Zerstörung des Folienmaterials, so dass der Test abgebrochen wurde. Nach Fertigstellung des CiF und dem Ablösen vom starren Träger erscheint die Haftfestigkeit des Lötstoppmaterials auf dem PI-Schaltungsträger ausreichend hoch, um das CiF dynamischen Biege-wechselbelastungen auszusetzen, ohne dass eine Trennung der beiden Materialien eintritt. Zur Bestätigung dieser subjektiven Einschätzung müssen zusätzliche Biege-Wechsel-Belastungstests erfolgen, die im Rahmen dieser Arbeit nicht durchgeführt wurden. Es wird aktuell davon ausge-

gangen, dass die Haftfestigkeit des Schichtverbunds ohne zusätzliche Haftvermittlerschicht ausreichend hoch ist, um mit Lötstoppmaterialien zukünftig CiF zuverlässig fertigen zu können. Es lässt sich somit konstatieren, dass das Teilziel 5 mit dem eingesetzten Conformal-Coating-Sprühverfahren erfüllt wurde, da mit diesem Verfahren die Oberfläche eines Substrats mit beinahe beliebiger Form und Größe beschichtet werden kann.

7.3. Diskussion zur Direktbelichtung und Entwicklung

Damit nach Einbettung der ultradünnen Siliziumchips deren elektrische Verbindung mit einer umgebenden Peripherie stattfinden kann, müssen die metallischen Kontaktflächen der Siliziumchips vom Einbettmaterial freigestellt werden. In der Literatur wurde bereits der erfolgreiche Einsatz photolithographischer Methoden unter der Verwendung photosensitiver Einbettmaterialien präsentiert. Durch die Wahl eines Direktbelichtungsverfahrens, das die Fertigung einer zusätzlichen Maske obsolet macht, eignet sich diese photolithographische Methode auch für das Konzept einer digitalen Prozesskette.

Zusätzlich erlaubt die maskenlose Belichtung die Generierung individueller Belichtungslayouts. Dafür wurde ein Vorgehen entwickelt, um Toleranzen, die in Position und Verdrehung während der klebtechnischen Montage der Chips auftreten, zu berücksichtigen und auszugleichen. Grundlage ist die optische Erfassung der Oberfläche, die zum einen den gefügten Siliziumchip sowie alle relevanten Leiterbahnkontakte des Folienschaltungsträgers beinhaltet. Aus diesen Aufnahmen konnte dann Gerber-Code generiert werden, der das individuelle Layout für einen spezifischen Folienschaltungsträger oder eine spezifische Pin-Belegung des ultradünnen Siliziumchips beinhaltet. Auch großflächige Foliensysteme können theoretisch mit diesem Vorgehen verarbeitet werden, indem mehrere Mikroskopieaufnahmen gleicher Auflösung aneinandergesetzt werden. Weiterhin lassen sich so auch Substrate mit mehreren ultradünnen Chips für eine nachfolgende elektrische Kontaktierung vorbereiten.

Erwartungsgemäß hatte die Belichtungsdosis einen großen Einfluss auf die korrekte Ausbildung der Strukturen nach der Entwicklung. Eine zu geringe Belichtungsdosis führte während der Entwicklung zur Beschädigung des Materials im Randbereich der Kontaktflächenöffnung. Durch einen zu geringen Energieeintrag kam es zu einer unzureichenden Vernetzungsreaktion, wodurch das Material übermäßig stark vom Entwickler angegriffen werden konnte. Einen ähnlichen Effekt hatte eine überhöhte Entwicklungsdauer bewirkt. Die Wahl einer Belichtungsdosis von 1140 mJ/cm^2 mit mehr als der doppelten empfohlenen Belichtungsdosis bewirkte keine Änderung in der Ausformung der Kontaktöffnungen.

Das verwendete Lötstopplacksystem NPR80/ ID100 wurde vom Hersteller für die Siebdruckapplikation entwickelt und weist im gemischten Zustand eine Viskosität von 2000 mPa·s bis 2400 mPa·s auf. Damit das Medium über Conformal-Coating-Sprühverfahren verarbeitet werden konnte, musste die Viskosität herabgesetzt werden. Eine Degradation der photoaktiven Komponente und damit eine negative Auswirkung auf die photolithographische Strukturierbarkeit durch das zur Verdünnung hinzugegebene PGMEA konnte nicht festgestellt werden. Da das Lösungsmittel durch den thermischen Softbake vor dem Belichtungsprozess aus der Photoresistschicht ausgetrieben wurde, kann davon ausgegangen werden, dass das temporäre Vorhandensein des Lösungsmittels keinen negativen Einfluss auf den Belichtungsprozess hat.

Gemäß des technischen Datenblatts wurde zur Entwicklung des Lötstoppmaterials ein Kaliumcarbonat-Entwickler mit einer Konzentration von $c_{Entwickler} = 0,8 \%$ bei $T_{Entwickler} = 30 \text{ °C}$ verwendet. Lediglich die Entwicklungszeit wurde von $t_{Entwickler} = 30 \text{ s}$ auf $t_{Entwickler} = 45 \text{ s}$ erhöht. Der Entwicklungsprozess konnte mit diesen Parametern reproduzierbar durchgeführt werden und die Zunahme der Entwicklungszeit hatte keine negativen Auswirkungen auf die verbleibenden Lötstoppstrukturen. Mit der ermittelten Parameterkombination aus Direktbelichtungs- und Entwicklungsparametern konnten Öffnungen zur Freilegung der Chipkontaktflächen mit unterschiedlichen Formen ab einer Größe von mindestens $90 \text{ }\mu\text{m}$ generiert werden, wobei die minimale Strukturauflösung von Öffnungen beim gewählten photosensitiven Lötstoppmaterial laut Herstellerangabe bei $80 \text{ }\mu\text{m}$ liegt.

Es konnte vereinzelt beobachtet werden, dass bei der Freistellung von zwei benachbarten Kontaktöffnungen auf dem eingebetteten Siliziumchip Lötstopplack im Entwicklerbad abgelöst wurde. Dies ist auf eine zu hohe mechanische Belastung des dünnen Lötstopplack-Stegs am Rand des Siliziumchips durch die Sprühentwicklung zurückzuführen, wodurch der Steg abgewaschen wurde. Dies führt dazu, dass die Lötstopplackschicht entfernt wird und die Sprühbeschichtung erneut durchgeführt werden muss. Eine Reduzierung des Sprühdruks während der Sprühentwicklung könnte dann die mechanische Belastung soweit reduzieren, dass die Lötstopplackstege erhalten bleiben. Auch kann abgewogen werden, ob dieser Fehler toleriert werden kann, beispielsweise wenn betroffene Kontaktflächen während der Leiterbahnapplikation miteinander elektrisch verbunden werden sollen.

7.4. Diskussion zum Digitaldruck von Leiterbahnen

Den letzten Prozessschritt der digitalen Prozesskette stellt der Inkjetdruck von nanopartikulären Tinten dar. Mit der Verwendung des DoD-Verfahrens konnten ohne zusätzliche Maskierung Tropfen mit wenigen Pikolitern Volumen abgesetzt werden, damit sich nach Sintern der gedruckten Strukturen ein elektrisch leitfähiger Pfad ausbildete. Für das Inkjetverfahren stehen unterschiedliche, kommerziell erhältliche Tintenformulierungen zur Verfügung, so dass das Teilziel 2 erfüllt wird. Da diese Tinten in sauerstoffhaltiger Normalatmosphäre appliziert und gesintert werden, erfüllen diese auch Teilziel 3. In dieser Arbeit wurden zwei verschiedene Tintenformulierungen auf ihre Eignung zur elektrischen Kontaktierung von eingebetteten, ultradünnen Chips überprüft. Sowohl für die gegebenen Eigenschaften einer Tinte mit nanopartikulärem Gold als auch für eine Tinte mit nanopartikulärem Silber wurden Maschinenparameter und Substrateigenschaften so angepasst, dass über Inkjetdruck erfolgreich Leiterbahnen zwischen Kontaktpads abgeschieden werden konnten. Im Gegensatz zu [82] wurde keine zusätzliche Tinte zur Füllung der Kontaktöffnungen mittels statischem Inkjetdruck appliziert, da mit dem dynamischen Inkjetdruck von Leiterbahnen ausreichend Material zur Ausbildung von elektrischen Pfaden abgeschieden werden konnte. Für die Ermittlung des elektrischen Widerstands wurden ultradünne Siliziumchips mit Daisy-Chain-Layout verwendet, auf denen mit beiden Inkjettinten mit sowohl einer gedruckten Lage sowie zweifacher, dreifacher und fünffacher Drucklagenanzahl je 21 Widerstandsstrukturen kontaktiert wurden. Zusätzlich wurde auch die Ausformung der Kontaktflächenöffnung auf dem Substrat variiert. Überprüft wurden hierfür sowohl runde als auch quadratische Kontaktöffnung mit sowohl $90 \text{ }\mu\text{m}$ als auch $130 \text{ }\mu\text{m}$ Durchmesser beziehungsweise Seitenlänge. Die gemessenen Widerstandswerte wurden gemittelt, wobei nicht messbare Widerstandswerte durch fehlerhaft

ausgebildete Leiterbahnen bei einlagigen sowie zweilagigen Druckschichten nicht in der Berechnung des Mittelwerts und der Standardabweichung berücksichtigt wurden. Es sollte beachtet werden, dass vorwiegend bei den Kontaktöffnungen mit 130 μm Durchmesser bzw. Seitenlänge Defekte entstanden sind. Ein möglicher Grund kann in der Photostrukturierbarkeit des Lötstopppmaterials von Öffnungen bis minimal 80 μm liegen. Die realisierten Kontaktöffnungen mit 90 μm liegen nahe der minimalen Strukturgröße und die Ausprägung der Öffnungskanten kann dadurch weicher und runder im Vergleich zu Kantenausprägungen bei 130 μm Öffnungsgröße ausfallen. Für den Inkjetdruck bilden diese weichen Kanten eine Rampe zur Ausbildung einer Leiterbahn hinein in das Kontaktloch auf die metallisierte Kontaktfläche des Siliziumchips [79]. Ab einer Lagenanzahl von drei gedruckten Schichten kann auch bei den Kontaktöffnungen mit 130 μm Größe ausreichend Tinte auf die Oberfläche aufgebracht werden, um eine zielführende Ausbildung von Leiterbahnen zu gewährleisten. Zusammenfassend wurden diese Faktoren für die Realisierung einer anwendungsnahen Prozesskette beachtet und nur runde Kontaktöffnungen mit ca. 90 μm Durchmesser zur Freilegung von Kontaktflächen genutzt. Der Widerstand lässt sich bei Nutzung der PV Nano Cell I30-EG1 Silbertinte mit Zunahme der Lagenanzahl auf Widerstandswerte im zweistelligen Ohm-Bereich reduzieren. Der höhere Widerstand im Vergleich zu Leiterbahnen, die mit DryCure Au-J Goldtinte gedruckt wurden, kann jedoch auch auf die Verteilung der Nanopartikel beim Trocknen der Tinte auf der Oberfläche und das Aufsetzen der Nadelspitzen im Leiterbahnzentrum während der Widerstandsbestimmung, über das weiter unten im Text genauer eingegangen wird, zurückzuführen sein. Die DryCure Au-J Goldtinte ermöglichte die Ausbildung von Leiterbahnen mit Widerstandswerten von bis zu 10 Ω . Eine Steigerung der Drucklagenanzahl bei runden Kontaktlöchern erzielte eine Reduzierung der Widerstandswerte um wenige Ohm, bei quadratischen Kontaktöffnungen konnte keine Reduzierung der Widerstandswerte detektiert werden. Diese Erkenntnis führte dazu, dass für die Realisierung der digitalen Prozesskette ein fünfzügiger Druckprozess mit Goldtinte DryCure Au-J mit runden Kontaktöffnungen genutzt wurde.

Aufgrund der geringen Fläche im Bereich der gedruckten Leiterbahnmitte zum Aufsetzen der Messspitze konnte keine Vier-Punkt-Messung durchgeführt werden. Der Beitrag der Kabel zum Gesamtwiderstand durch die Zwei-Punkt-Messung kann jedoch als vernachlässigbar klein angesehen werden im Hinblick auf die erreichten Widerstandswerte. Der Einfluss sowohl des Trocknungsprozesses als auch des Sinterprozesses wird als höher angesehen, da beispielsweise höhere Sintertemperaturen maßgeblich die Ausbildung von Kontaktstellen zwischen den metallischen Partikeln und damit des elektrischen Pfads begünstigen [83].

Die Vermessung der Oberfläche mittels Weißlichtinterferometer ergaben unterschiedliche Verteilungsprofile der beiden Tinten auf dem Lötstopppmaterial. Zum einen ist beim Trocknen und Sintern der Silbertinte eine deutliche Ausprägung des „Coffee-stain“-Effekts sichtbar. Dies ist auf die Verwendung von Ethylenglykol als Lösungsmittel in der Silbertinte zurückzuführen. Der bereits von der Tinte benetzte Bereich verbleibt während der Trocknung benetzt, so dass die Grenzlinie der Flüssigkeit sich nicht zurückzieht. Dieser Zustand wird in der englischsprachigen Literatur als „pinned“ bezeichnet [84]. Die Oberflächenspannung des Ethylenglykols bewirkt ein Nachfließen von Tinte aus dem Inneren der benetzten Fläche in den äußeren Bereich der Tinte, während das Lösungsmittel verdampft. Dadurch werden Nanopartikel aus dem inneren Bereich zur Bewegung in die äußeren Bereiche gezwungen, wodurch sich dort eine höhere Nanopartikelkonzentration anreichert. Andererseits dominiert beim Trocknen der Goldtinte, basierend auf einem Wasser-Glycerol-Lösungsmittelgemisch, der Marangoni-Effekt, wodurch die Goldnanopartikel innerhalb des Flüssigkeitsfilm zirkulieren und sich hauptsächlich im Zentrum absetzen [85]. Durch

das unterschiedliche Fließverhalten der Silbertinte und der Goldtinte wird auch die Erfassung der Widerstandswerte mit Messspitzen in Abhängigkeit von der mit Nanopartikeln belegten Oberfläche beeinflusst. Im Falle der Silbertinte sollten, zum Erreichen reproduzierbarer Messergebnisse, die Messnadeln im Randbereich der Leiterbahn aufgesetzt werden. Weiterhin lässt sich aus den weißlichtinterferometrischen Aufnahmen erkennen, dass aus dem höheren Füllstoffgehalt der Sicrys I30EG-1 Silbertinte (30 Gew%) eine höhere Schichtdicke resultiert im Vergleich zur Goldtinte DryCure Au-J mit 10 Gew% Füllstoffgehalt. Zur Vergleichbarkeit beider Tinten wurden die Messnadeln jedoch sowohl für die Silbertinte als auch für die Goldtinte nur im Zentrum der Leiterbahn aufgesetzt.

Abbildung 74 lässt vermuten, dass die schwankende Leiterbahnbreite auch durch ein Ansammeln von Goldtinte durch die wirkende Oberflächenspannung beeinflusst wurde. Es kann vermutet werden, dass sich die Goldtinte nach dem ursprünglichen Ausbreiten auf der Oberfläche zusammenzieht und die benetzte Fläche nicht als „gepinnt“ betrachtet werden sollte. Dies kann auch die Ursache für das in Abbildung 78 präsentierte lokale Ansammeln von Tinte durch Abfließen von der erhabenen Chipkante sein. Die Lösungsmittelbasis der Tintenformulierungen bestimmt maßgeblich das Fließverhalten auf dem Lötstopmaterial und kann besonders auf erhabenen Strukturen zur fehlerhaften Ausbildung der Leiterbahnen führen, wenn das Lösungsmittel nicht ausreichend schnell verdampft werden kann. Es ist denkbar, dass ein zusätzliches Bumping der Chipkontaktflächen, etwa zur Verbesserung der Kompatibilität zwischen Kontaktflächenmetallisierung und der verwendeten Inkjet-Tinte, zusätzlich zu einer Unebenheit der Oberfläche beiträgt. Dies kann ein unerwünschtes Abfließen von Inkjettinte und damit die fehlerhafte Ausbildung der Leiterbahnen begünstigen. Dem kann mit mehreren Möglichkeiten begegnet werden, beispielsweise durch die Wahl einer höheren Substrattemperatur zur schnelleren Verdampfung des Lösungsmittels, der Wahl einer alternativen Tintenformulierung mit anderer Lösungsmittelbasis oder einer Vorbehandlung der Oberfläche zur besseren Benetzbarkeit.

Zusammenfassend kann die Aussage getroffen werden, dass Inkjetdruck auf dem ausgewählten Lötstopmaterial möglich sowie zur elektrischen Kontaktierung der eingebetteten, ultradünnen Chips zwar verwendbar ist, jedoch auch fehlerhaft ausgebildete Leiterbahnen zu verzeichnen waren.

7.5. Diskussion zur Realisierung einer digitalen Prozesskette

Der Transfer von einzelnen Prozessschritten in eine zusammenhängende Prozesskette kann entweder eine Anpassung von Merkmalen innerhalb der Durchführung der Einzelprozesse bedingen oder gar eine Inkompatibilität von Einzelprozessen miteinander hervorbringen. In dieser Arbeit wurde untersucht, ob die Einzelprozesse Conformal-Coating-Sprühen, photolithographische Direktbelichtung und Entwicklung, Inkjetdruck sowie die Verwendung von kommerziellen Materialien so kombiniert werden können, dass individuelle Chip-in-Foil-Systeme realisierbar sind. Als folienbasierte Substrate wurden Folienschaltungsträger verwendet, die so auch kommerziell zum Einsatz kommen könnten. Die Kupferkaschierung auf einer PI-Folie wurde hierfür über photolithographische Prozesse und Ätzprozesse strukturiert. Anwendungsorientiert konnte die klebtechnische Montage ultradünner Siliziumchips erfolgreich sowohl auf Folienschaltungsträgern mit verbleibender Kupferoberfläche als auch auf Folienschaltungsträgern mit freigelegter Polyimidoberfläche durchgeführt werden. Der Chip verblieb flach bei nicht feststellbarer Klebschichtdicke. Dieses Ergebnis bei den 2,15 mm x 1,67 mm großen PCap01-Chips unterscheidet

sich deutlich von den Ergebnissen der Klebung der 4,7 mm x 4,7 mm großen Testchips zur Erarbeitung der Montageprozesse, bei denen eine Ansammlung von Klebstoff im Zentrum des Klebspalts festgestellt wurde. Dies ist wahrscheinlich darauf zurückzuführen, dass durch die geringere Fläche des PCap 01 weniger Kraft notwendig ist, um einen ausreichend hohen Druck zur Verdrängung des Klebstoffs aus dem Klebspalt zu erzeugen. Die geringe Klebstoffdicke reichte zur mechanischen Fixierung der PCap 01 auf dem Foliensubstrat aus, um nachfolgend mit einem Conformal-Coating-Sprühverfahren Lötstopmaterial darauf aufzubringen.

Zuerst wurde eine Prozesskette überprüft, die eine Bauteilbestückung von diskreten Bauteilen auf den Folienschaltungsträger zu Beginn der Prozesskette vorsah. Dieser Prozessschritt, der einen Reflowlötschritt bei 260 °C beinhaltete, führte zur Veränderung der zur temporären, mechanischen Fixierung der Schaltungsträgerfolie auf einem starren Substrat verwendeten Trockenresistschicht. Durch die hohe Temperatur kam es zum Schrumpfen dieser Schicht, wodurch sich die Leiterplatte, die als starres Substrat eingesetzt wurde, wölbte. Prinzipiell kann der Wölbung mit der Wahl eines kleineren Trägers entgegengewirkt werden, wodurch jedoch der Aufbau mehrerer CiF auf einem Träger beschränkt wird. Auch bildeten sich lokal Gaseinschlüsse in der Grenzschicht zwischen Trockenresist und Folienschaltungsträger, wodurch die Folie in diesen Bereichen mechanisch nicht mehr fixiert war und sich wölbte. Es folgte die Montage eines ultradünnen Chips unter Zuhilfenahme einer temporär klebenden Haftfolie. Danach wurde eine Schicht Lötstopmaterial auf die Oberfläche gesprüht, so dass der fixierte, ultradünne Chip darin eingebettet wurde. Die metallischen Kontaktflächen auf dem Chip wurden mittels Direktbelichtung und Entwicklung von photosensitivem Lötstopmaterial freigestellt. Eine entwickelte Methode zum Ausgleich von Platziertoleranzen sowie Verdrehungen der fixierten Siliziumchips konnte erfolgreich eingesetzt werden. Diese Methode basiert auf der Erfassung einer Mikroskopieaufnahme und der Auswahl definierter Kontaktpunkte in dieser Bildaufnahme. Hierdurch ist es möglich, für identische Siliziumchips unterschiedliche Kontaktbelegungen zu wählen, um eine weitreichende Individualisierung der Foliensysteme herbeizuführen. Die bearbeitete Aufnahme wird in ein Schaltungsentwurfsprogramm übertragen, so dass eine Ausgabe von Maschinencode für die Definition des Direktbelichtungslayouts ermöglicht wird. Theoretisch kann diese Methode durch Aneinanderfügen mehrerer Aufnahmen mit gleicher Auflösung auch dazu eingesetzt werden, großflächige Systeme mit mehreren ultradünnen Siliziumchips im Direktbelichtungsverfahren einzusetzen. Die abschließende elektrische Kontaktierung des eingebetteten Chips wurde mittels Inkjetdruck durchgeführt. Die Reihenfolge dieser Prozesskette, bei der zu Beginn diskrete Bauelemente gefügt werden, hatte sich als nachteilig für alle weiteren Prozessschritte herausgestellt. Beim Übertragen des Inkjetdruckprozesses in eine digitale Prozesskette musste beachtet werden, dass der Druckkopf mit geringem Abstand flach über die zu bedruckende Oberfläche verfährt. Damit ergibt sich, dass eine Bestückung des Folienschaltungsträgers mit Bauelementen erst nach dem Inkjetdruck erfolgen sollte, da sonst Satellitentropfen gebildet werden, die sich nachteilig auf die Ausbildung definierter Leiterbahnen auswirken.

Aus diesem Grund wurde eine weitere Prozesskette überprüft, die eine geänderte Reihenfolge aufweist. Bei dieser Prozesskette erfolgt die Bauteilbestückung als letzter Prozessschritt und damit erst nach dem Inkjetdruck von Leiterbahnen. Es wurden weiterhin Änderungen im Inkjetdruck durchgeführt, in dem die Leiterbahnbreite von 3 Pixel auf 1 Pixel sowie die Druckauflösung von 1016 dpi auf 2540 dpi geändert wurde. Damit konnten mittels Inkjetdruck 50 µm – 90 µm breite Leiterbahnen appliziert werden. Auch senkten die Änderungen das Risiko von Kurzschlüssen.

Als nachteilig stellt sich das vermutliche Verfließen der DryCure Au-J Goldtinte auf dem Lötstopplack heraus, solange noch nicht ausreichend Lösungsmittel ausgedampft ist. Dadurch kam es lokal bei Leiterbahnen zum Zusammenziehen der noch flüssigen Tinte mit Folge der Leiterbahnbreitenschwankung oder zum Abfließen der Tinte im Bereich von erhabenen Chipkanten. Dem kann jedoch durch mehrere Möglichkeiten begegnet werden. Zum einen kann eine höhere Substratbeheizung genutzt werden, so dass das Lösungsmittel schneller aus der Tinte entweicht. Weiterhin können anstatt der in dieser Arbeit verwendeten 43 µm dicken Siliziumchips auch ultradünne Siliziumchips mit noch niedrigerer Dicke eingesetzt werden, um eine geringere Chipkantenausprägung hervorzurufen. Auch können alternative kommerzielle Tinten mit unterschiedlicher Lösungsmittelbasis überprüft oder die Oberfläche des Lötstoppmaterials mit Prozessen zur Veränderung der freien Oberflächenenergie behandelt werden, so dass ein anderes Benetzungsverhalten erreicht wird.

7.6. Beurteilung der Zielerreichung

Im ersten Kapitel wurden Teilziele definiert, deren Erreichung nachstehend detailliert bewertet werden sollen.

- 1) Das erste Teilziel stellte die Ermittlung von Materialien und Einzelprozessen dar, mit denen die Herstellung individuell gestalteter, mechanisch flexibler Foliensysteme mit eingebetteten ultradünnen Chips erreicht werden kann. Es konnten Materialien identifiziert werden, die eine hinreichende intrinsische Flexibilität aufweisen. Des Weiteren konnten Prozesse entwickelt werden, mit denen die identifizierten Materialien verarbeitet werden konnten. Es zeigte sich, dass eine grundsätzliche Kompatibilität der Materialien miteinander gegeben ist.
- 2) Alle identifizierten und in Versuchen überprüften Materialien sind kommerziell erhältlich und konnten mit Anpassung der Viskosität im Fall des eingesetzten Lötstoppmaterials erfolgreich verarbeitet werden. Dazu wurden werkzeuglose Einzelprozesse genutzt. Final konnte gezeigt werden, dass eine Layout-flexible Prozesskette zur Herstellung von CiF realisiert wurde, mit der prinzipiell der Aufbau individualisierter Foliensysteme bereits bei kleinen Stückzahlen wirtschaftlich möglich ist.
- 3) Alle verwendeten Materialien, das sind konkret das Lötstoppmaterial NPR80/ ID100 sowie die beiden Tinten DryCure Au-J sowie Sicrys I30EG-1, können in sauerstoffhaltiger Normalatmosphäre ohne Schutzgas verarbeitet und ausgehärtet werden.
- 4) Es wurden in dieser Arbeit verschiedene Verfahren zur Montage von ultradünnen Siliziumchips untersucht. Neben dem Einsatz eines manuellen Bestückers wurde auch die Übertragbarkeit auf einen automatisierten Bestückungsprozess präsentiert. Unter der Zuhilfenahme von temperatursensitiver Haftfolie konnte die Bewegung von Chips auf flüssigem Klebstoff unterbunden werden. Es konnte gezeigt werden, dass die Verwendung einer Haftfolie sowohl für Montage von einzelnen Chips als auch in Kombination mit einer Schablone oder einem Bestückungsautomaten für mehrere Chips mit geringer relativer Platziertoleranz möglich ist. Die resultierenden Klebeschichtdicken wurden als ausreichend dünn mit homogener Klebstoffverteilung charakterisiert.
- 5) Mit dem Einsatz eines Conformal-Coating-Sprühverfahrens konnte die Oberfläche der folienbasierten Schaltungsträger mit fixierten, ultradünnen Chips mit einer Schicht eines

flüssigen Mediums beschichtet werden. Die Applikationsfläche kann in Größe und Form beliebig eingestellt werden, nur begrenzt durch die Reichweite des beweglichen Sprühventils. Durch die Untersuchung verschiedener Parameterkombinationen konnte ein Parametersatz gefunden werden, mit dem ausreichend homogene Schichten über ein Conformal-Coating-Sprühverfahren appliziert werden können.

- 6) In dieser Arbeit wurde eine Methode zur optischen Erfassung der Lage und der Verdrehung von montierten Chips demonstriert. Die daraus gewonnenen Informationen konnten genutzt werden, um mittels Inkjetdruck ohne die Verwendung von Masken gezielt Leiterbahnen auf die Oberfläche des Einbettmaterials abzuscheiden und Toleranzen der Chipmontage auszugleichen. Unter Verwendung der Methode zur optischen Erfassung und durch den Einsatz von Inkjetdruck können auch weitere, alternative Klebstoffe, Einbettmaterialien und Tintenformulierungen für unterschiedliche Anwendungen untersucht werden.
- 7) Final konnte gezeigt werden, dass die Einzelprozesse so miteinander kombiniert werden können, dass ein Chip-in-Foil mit neuartigen Materialien und innovativen Prozessen aufgebaut werden kann. Die so resultierende digitale Prozesskette erlaubt ein breites Materialspektrum, eine schnelle Übertragbarkeit auf unterschiedliche PCB- und Chiplayouts sowie die Herstellung von CiF ab Stückzahl 1.

7.7. Vergleich mit literaturbekannten Prozessketten

Nachfolgend soll die präsentierte digitale Prozesskette beziehungsweise deren Einzelprozesse mit den literaturbekannten Prozessketten und verwendeten Technologien verglichen werden. So weist die in dieser Arbeit präsentierte digitale Prozesskette eine bessere Eignung zum Aufbau von CiF-Prototypen auf als die in der Literatur beschriebenen Prozessketten. Dies spiegelt sich bereits in der Bandbreite der zur Verfügung stehenden Materialien in den verschiedenen Prozessschritten wider. So beschränken sich die in der Literatur beschriebenen Prozessketten auf verschiedene Polyimide. Diese haben den Vorteil hoher chemischer und thermischer Beständigkeit, der hohen mechanischen Flexibilität und können unter Umständen auch eine Biokompatibilität aufweisen. Jedoch müssen Polyimide bei hohen Temperaturen und unter sauerstofffreier Atmosphäre chemisch vernetzen, um die gewünschten Eigenschaften zu erreichen. Die Wahl von Polyimiden schränkt gleichzeitig auch die Materialverfügbarkeit von Klebstoffen zur Fixierung ultradünner Chips auf einem Foliensubstrat ein, da diese einerseits hochtemperaturbeständig sowie andererseits mechanisch flexibel sein müssen. Das ausgewählte Einbettmaterial und die entwickelten Methoden zur Montage ultradünner Chips in dieser Arbeit erlauben dagegen eine große Auswahl verschiedener Klebstoffe. So kann zielführender ein Klebstoff gewählt werden, dessen Eigenschaften der angedachten Anwendung des CiF zuträglich sind. Weiterhin wurde mit der Überprüfung von mechanisch flexiblen Lötstopplacken als Einbettmaterial eine Materialgruppe untersucht, die bereits in der Leiterplattentechnik etabliert ist. Die Verarbeitung und Aushärtung kann in sauerstoffhaltiger Luft bei deutlich niedrigeren Temperaturen erfolgen. Die Haftfestigkeit nach der Aushärtung ist auf unterschiedlichen Metall- und Kunststoffoberflächen ohne zusätzlichen Haftvermittler oder eine Aufrauung der Oberfläche hoch. Von weiterem Vorteil ist, dass die in dieser Arbeit präsentierten Prozesse und Materialien den Aufbau von CiF erlauben, die keine Wölbung durch thermo-mechanische Verspannung aufweisen und ohne äußere Einwirkung flach verbleiben. Im Gegensatz dazu müssen bei der Verarbeitung von Polyimiden gegebenenfalls Strategien zur Verhinderung einer Wölbung des System verfolgt werden [86].

Eine Einordnung der entwickelten Verfahren zur Montage ultradünner Chips in Hinblick auf den Stand der Technik ist aufgrund einer fehlenden Datenlage in der Literatur nur bedingt möglich. Es kann bestätigt werden, dass beim Ablösen von ultradünnen Chips von Waferhaftfolie unter Verwendung einer temperatursensitiven Haftfolie und eines beheizten Ansaugwerkzeugs auf die Wahl eines unterstützenden Nadelwerkzeugs verzichtet werden kann. Weiterhin kann bestätigt werden, dass beim Platzieren von ultradünnen Chips mittels Ansaugwerkzeug auf bereits vorbereiteten Klebstoff ein geeignetes Werkzeug verwendet werden muss. So sollte die Werkzeugfläche kleiner gestaltet werden als die vorgegebene Chipfläche, um das Risiko einer Klebstoffkontamination von Werkzeug und Chipoberseite zu senken. Die Notwendigkeit einer flächigen Ansaugung zur Verhinderung einer Wölbung der mechanisch flexiblen Siliziumchips konnte auch bestätigt werden [87].

Das eingesetzte Lötstoppmaterial NPR80/ ID100 erlaubte eine reproduzierbare, photolithographische Öffnung von Kontaktflächen bis zu einer minimalen Kontaktöffnungsgröße von ca. 90 μm . In der Literatur konnten mit der Verwendung von photosensitivem PI kleinere Kontaktöffnungen erreicht werden, beispielsweise quadratische Öffnungen mit 70 μm x 70 μm Kantenöffnung [45] beziehungsweise 30 μm runde Kontaktöffnungen [88]. Einerseits ermöglicht eine höhere Auflösung höhere Kontaktdichten sowie kleinere Chipflächen, insbesondere wenn das Chiplayout in Hinblick an den zur Verfügung stehenden Herstellungsprozess für Foliensysteme spezifisch konzipiert werden kann. Andererseits weisen eine Vielzahl kommerziell verfügbare Chips ausreichend große Kontaktflächen und Pitches auf, um das in dieser Arbeit untersuchte Lötstoppmaterial zur Einbettung prinzipiell einsetzen zu können. Darüber hinaus können auch alternative, photosensitive, mechanisch flexible Lötstoppmaterialien mit potentiell kleinerer minimaler Strukturauflösung untersucht werden.

Die Applikation von metallischen Leiterbahnen über den maskenlosen Prozess des Inkjetdrucks stellt eine zielführende Möglichkeit dar, individuelle Schaltungsbilder auf eine Oberfläche abzuscheiden. Es kann schnell auf Änderungen im Layout eingegangen werden. Da die geringen Volumina in Form von Tintentropfen lokal auf die Oberfläche aufgetragen werden, lassen sich so materialsparende Prozesse mit geringem Abfallaufkommen realisieren. Auf der anderen Seite bietet das PVD-Sputterverfahren eine größere Materialvielfalt, so dass bei Bedarf neben Metallschichten auch Legierungen und Dielektrika aufgetragen werden können. Die Oberfläche des Substrats kann durch eine Plasmareinigung vor der Metallabscheidung von Verschmutzungen gereinigt oder durch Abtragen der oberflächennahen Schichten von Oxiden oder Nitriden befreit werden.

8. Zusammenfassung und Ausblick

Zusammenfassend stehen mit den in dieser Arbeit präsentierten Einzelprozessen vielseitige Möglichkeiten bereit, um mit geeigneten und miteinander kompatiblen Materialien Foliensysteme mit eingebetteten ultradünnen Siliziumchips zu realisieren. Die vorgestellte digitale Prozesskette erlaubt eine schnelle Entwicklung von individualisierten CiF-Prototypen, um so neue Anwendungsfelder für flexible Elektronik zu erschließen und verschiedene Layouts sukzessive für einen spezifischen Anwendungsfall zu optimieren. Die gesteigerte Materialvielfalt der Klebstoffe und Einbettmaterialien kann weiterhin die Akzeptanz und den Bekanntheitsgrad von Foliensystemen in der Industrie und damit die Kommerzialisierung voranbringen.

Zukünftig können zur Verbesserung der digitalen Prozesskette folgende Punkte adressiert werden:

- So könnten Untersuchungen zur Übertragung des Klebprozesses unter Zuhilfenahme von temporär klebender Haftfolie in einen Rolle-zu-Rolle Prozess durchgeführt werden, um benutzerbedingte Schwankungen zu reduzieren.
- Eine Identifikation alternativer Klebstoffe könnte die benötigte Dauer zur Aushärtung des Klebstoffs reduzieren.
- Weiterhin stehen unterschiedliche kommerziell erhältliche, photosensitive Lötstopmaterialien zur Verfügung, die zu einer Verbesserung der minimalen Strukturauflösung führen könnten. Damit könnten zukünftig ultradünne Siliziumchips mit kleineren Kontaktflächen sowie niedrigerem Pitch mit der vorgestellten digitalen Prozesskette eingebettet und ankontaktiert werden.
- Je nach Anforderung an das CiF können in der Anwendung auch alternative Metalloberflächen, beispielsweise die Passivierung der Kupferoberfläche mit einer Edelmetallschicht, oder andere Kunststoffsubstrate zur Beschichtung mit Lötstopmaterial notwendig sein. Hierfür muss das Benetzungsverhalten des Lötstopmaterials auf der Oberfläche sowie der Einfluss auf den Direktbelichtungsprozess durch das unterschiedliche Reflektionsverhalten des Substratmaterials überprüft werden.
- Neben der Verwendung eines Inkjetprozesses sollte auch das Aerosoljetverfahren aus dem Bereich des Digitaldrucks zur maskenlosen Abscheidung von metallischen, nanopartikulären Tinten untersucht werden. Vorteilhaft ist der höhere Füllgrad der Aerosoltinte beziehungsweise ein geringerer Lösungsmittelgehalt, so dass ein Verfließen von Tinte auf der Oberfläche reduziert werden könnte und somit ein geringeres Risiko zur fehlerhaften Ausbildung von Leiterbahnen besteht.
- Die CiF, die mittels der präsentierten, digitalen Prozesskette gefertigt wurden, sollten durch die Verwendung unterschiedlicher Prüfverfahren auf ihre Langzeitstabilität und Zuverlässigkeit untersucht werden. So müssen zukünftig Biegewechselprüfungen zur Detektion von Ausfallursachen bei zyklischer, mechanischer Belastung durchgeführt werden. Darüber hinaus sollten die eingesetzten Materialpaarungen durch geeignete Umweltprüfmethoden auf Kompatibilität geprüft und optimiert werden.

9. Literaturverzeichnis

- [1] A. Kugler, M. Koyuncu, A. Zimmermann, and J. Kostelnik, "Chip Embedding in Laminates," in *Ultra-thin Chip Technology and Applications*, Burghartz J. (eds), Ed. Springer New York, 2011, pp. 159–165.
- [2] IMS Chips, "Halbleiterintegration," 2022. [Online]. Available: https://www.ims-chips.de/?page_id=3189
- [3] J. Burghartz, Ed., *Ultra-thin Chip Technology and Applications*. Springer New York, 2011 [Online]. Available: <http://link.springer.com/10.1007/978-1-4419-7276-7>
- [4] S. Gupta, W. T. Navaraj, L. Lorenzelli, and R. Dahiya, "Ultra-thin chips for high-performance flexible electronics," *npj Flex. Electron.*, vol. 2, no. 1, 2018 [Online]. Available: <http://dx.doi.org/10.1038/s41528-018-0021-5>
- [5] L. Bleck, A. Heid, and R. von Metzen, "Silicone-based Chip-in-Foil System," *Curr. Dir. Biomed. Eng.*, vol. 4, no. 1, pp. 131–134, Sep. 2018 [Online]. Available: <https://www.degruyter.com/document/doi/10.1515/cdbme-2018-0033/html>
- [6] W. Christiaens, T. Torfs, W. Huwel, C. Van Hoof, and J. Vanfleteren, "3D integration of ultra-thin functional devices inside standard multilayer flex laminates," *2009 Eur. Microelectron. Packag. Conf.*, pp. 1-5., 2009 [Online]. Available: <https://ieeexplore.ieee.org/document/5272934>
- [7] M. Koyuncu, E. Lorenz, and A. Zimmermann, "Advanced interconnection technologies for flexible organic electronic systems," in *Handbook of Flexible Organic Electronics: Materials, Manufacturing and Applications*, Woodhead Publishing, 2014, pp. 6.1-6.29.
- [8] M.-U. Hassan *et al.*, "Combining organic and printed electronics in Hybrid System in Foil (HySiF) based smart skin for robotic applications," *20th Eur. Microelectron. Packag. Conf. Exhib. Enabling Technol. a Better Life Futur. EMPC 2015*, no. September, pp. 1–6, 2016.
- [9] Ernst, Monch, Bahr, Hofmann, Schmidt, and Zerna, "Flexible magnetic field sensors with ultra-thin silicon interposer," in *6th Electronic System-Integration Technology Conference (ESTC)*, 2016, pp. 1–4 [Online]. Available: <http://ieeexplore.ieee.org/document/7764461/>
- [10] K. Zoschke *et al.*, "High-density flexible substrate technology with thin chip embedding and partial carrier release option for IoT and sensor applications," *Proc. - Electron. Components Technol. Conf.*, vol. 2019-May, pp. 1475–1484, 2019.
- [11] K. Nieweglowski *et al.*, "Interconnect Technology Development for 180GHz Wireless mm-Wave System-in-Foil Transceivers," *Proc. - Electron. Components Technol. Conf.*, vol. 2018-May, pp. 527–532, May 2018 [Online]. Available: <https://ieeexplore.ieee.org/document/8429596/>
- [12] F. Völklein and T. Zetterer, *Einführung in die Mikrosystemtechnik*, 1. Auflage. Wiesbaden: Vieweg+Teubner Verlag | Springer Fachmedien Wiesbaden GmbH, 2000 [Online]. Available: <http://link.springer.com/10.1007/978-3-322-91572-6>
- [13] T. Rinke and C. Koch, *Fotolithografie - Grundlagen der Mikrostrukturierung*, 1. Auflage. Ulm: MicroChemicals GmbH, 2017.
- [14] J. Zekonyte, "Sputtering and surface modification of thermoplastic polymers with low energy ion beams," 2005 [Online]. Available: <https://macau.uni->

kiel.de/servlets/MCRFileNodeServlet/dissertation_derivate_00001492/d1492.pdf

- [15] S. Tang, "Die prozess- und strömungsabhängige Schichtabscheidung beim Hohlkathoden-Gasfluss-Sputtern untersucht an Titan- und Wolframschichten," Thesis, Brandenburgische Technische Universität Cottbus, 2010.
- [16] H. Geng, *Semiconductor Manufacturing Handbook*. McGraw-Hill Professional Verlag, 2005.
- [17] W. G. J. H. M. van Sark, "Methods of deposition of hydrogenated amorphous silicon for device applications," in *Handbook of Thin Films*, S. Nalwa, Ed. Burlington: Academic Press, 2002, pp. 1–102 [Online]. Available: <https://www.sciencedirect.com/science/article/pii/B9780125129084500047>
- [18] U. Kessler, "Untersuchungen zur Flip Chip Montage auf spritzgegossenen Schaltungsträgern," Thesis, University of Stuttgart, Dr.Hut Verlag, 2012.
- [19] J. H. Lau, *Low Cost Flip Chip Technologies: For DCA, WLCSP, and PBGA Assemblies*. McGraw-Hill, 2000 [Online]. Available: https://books.google.de/books?id=Vr-Py_zCpqcC
- [20] K. Gilleo, *Area Array Packaging Handbook: Manufacturing and Assembly*. McGraw-hill, 2002 [Online]. Available: <https://books.google.de/books?id=CAtTAAAAMAAJ>
- [21] M. Dreßler, "Reliability Study of Stud Bump Bonding Flip Chip Assemblies on Molded Interconnect Devices," Technische Universität Berlin, Fakultät IV - Elektrotechnik und Informatik, Berlin, 2010 [Online]. Available: <http://dx.doi.org/10.14279/depositonce-2416>
- [22] J. Haberland, B. Pahl, C. Kallmayer, R. Aschenbrenner, and H. Reichl, "Super thin flip chip assemblies on flex substrates-adhesive bonding and soldering technology-reliability investigations and applications," *Proc. IMAPS Conf.*, 2006.
- [23] G. Habenicht, *Kleben*. Wiesbaden: Vieweg+Teubner Verlag, 1995 [Online]. Available: <http://link.springer.com/10.1007/978-3-322-92872-6>
- [24] M. Inoue and K. Suganuma, "Effect of curing conditions on the electrical properties of isotropic conductive adhesives composed of an epoxy-based binder," *Solder. Surf. Mt. Technol.*, vol. 18, no. 2, pp. 40–45, Apr. 2006 [Online]. Available: <https://www.emerald.com/insight/content/doi/10.1108/09540910610665125/full/html>
- [25] R. Aschenbrenner, A. Ostmann, G. Motulla, E. Zakel, and H. Reichl, "Flip chip attachment using anisotropic conductive adhesives and electroless nickel bumps," *IEEE Trans. Components, Packag. Manuf. Technol. Part C*, vol. 20, no. 2, pp. 95–100, Apr. 1997 [Online]. Available: <https://ieeexplore.ieee.org/document/622879/>
- [26] Y. M. Lin *et al.*, "A novel 3D IC assembly process for ultra-thin chip stacking," *2014 Int. Conf. Electron. Packag. ICEP 2014*, pp. 470–474, 2014 [Online]. Available: <http://ieeexplore.ieee.org/document/6826723/>
- [27] D. Manassis, L. Boettcher, A. Ostmann, R. Aschenbrenner, and H. Reichl, "Chip embedding technology developments leading to the emergence of miniaturized system-in-packages," *Proc. - Electron. Components Technol. Conf.*, pp. 803–810, 2010.
- [28] T. Loher, M. Seckel, B. Pahl, L. Bottcher, A. Ostmann, and H. Reichl, "Highly integrated flexible electronic Circuits and Modules," in *2008 3rd International Microsystems, Packaging, Assembly & Circuits Technology Conference*, 2008, pp. 86–89 [Online]. Available: <http://ieeexplore.ieee.org/document/4783814/>

- [29] J. Haberland, M. Becker, D. Lutke-Notarp, C. Kallmayer, R. Aschenbrenner, and H. Reichl, "Ultrathin 3D ACA flipchip-in-flex technology," *Int. Conf. Exhib. Device Packag. 2010, Held Conjunction with Glob. Bus. Counc. GBC 2010 Spring Conf.*, vol. 3, no. January 2010, pp. 2154–2161, 2010.
- [30] C. Adler, G. Klink, M. Feil, F. Ansorge, and H. Reichl, "Assembly of ultra thin and flexible ICs," in *Proceedings of 4th International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing*, 2000, pp. 20–23 [Online]. Available: <https://ieeexplore.ieee.org/document/860566/>
- [31] J. H. Lee, C. W. Lee, Y. J. Kim, S. M. Kim, and J.-Y. Song, "Development of PEB face-down interconnection process for ultra thin flexible package," in *2017 21st European Microelectronics and Packaging Conference (EMPC) & Exhibition*, 2017, no. September, pp. 1–4 [Online]. Available: <https://ieeexplore.ieee.org/document/8346830/>
- [32] D. Ernst *et al.*, "Packaging technologies for (Ultra-)thin sensor applications in active magnetic bearings," in *Proceedings of the 2014 37th International Spring Seminar on Electronics Technology*, 2014, pp. 125–129 [Online]. Available: <http://ieeexplore.ieee.org/document/6887577/>
- [33] N. Palavesam, S. Marin, D. Hemmetzberger, C. Landesberger, K. Bock, and C. Kutter, "Roll-to-roll processing of film substrates for hybrid integrated flexible electronics," *Flex. Print. Electron.*, vol. 3, no. 1, p. 014002, Mar. 2018 [Online]. Available: <http://dx.doi.org/10.1088/2058-8585/aaaa04>
- [34] J. Van Den Brand, R. Kusters, M. Heeren, B. Van Remoortere, and A. Dietzel, "Flipchip bonding of ultrathin Si dies onto PEN / PET substrates with low cost circuitry," in *3rd Electronics System Integration Technology Conference ESTC*, 2010.
- [35] G. Klink, M. Feil, F. Ansorge, R. Aschenbrenner, and H. Reichl, "Innovative packaging concepts for ultra thin integrated circuits," in *Proceedings of 51st Electronic Components and Technology Conference*, 2001, pp. 1034–1039 [Online]. Available: <http://ieeexplore.ieee.org/document/927940/>
- [36] S. Lu and W. Chen, "Reliability and Flexibility of Ultra-Thin Chip-on-Flex (UTCOF) Interconnects With Anisotropic Conductive Adhesive (ACA) Joints," *IEEE Trans. Adv. Packag.*, vol. 33, no. 3, pp. 702–712, Aug. 2010 [Online]. Available: <http://ieeexplore.ieee.org/document/5524039/>
- [37] B. Albrecht *et al.*, "Innovative Herstellung flexibler Folienleiterplatten durch Flip-Chip Bonden gedünnter Chips mittels Nanodrähten Innovative fabrication of flexible foil patches with Flip-Chip bonding of ultra-thin chips via nanowires Kurzfassung Einleitung Innovative flex," pp. 3–6.
- [38] F. Roustaie, S. Quednau, F. Weißenborn, and O. Birlem, "Low-Resistance Room-Temperature Interconnection Technique for Bonding Fine Pitch Bumps," *J. Mater. Eng. Perform.*, vol. 30, no. 5, pp. 3173–3177, 2021 [Online]. Available: <https://doi.org/10.1007/s11665-021-05649-9>
- [39] J. B. Calderón, "Oberflächenmodifizierung und -analytik von Polyimid," Thesis, Rheinisch-Westfälische Technische Hochschule Aachen, 2005.
- [40] T. Sterken *et al.*, "High Yield Embedding of 30µm Thin Chips in a Flexible PCB using a Photopatternable Polyimide based Ultra-Thin Chip Package (UTCP)," *Int. Symp. Microelectron.*, vol. 2012, no. 1, pp. 000940–000945, Jan. 2012 [Online]. Available: <http://meridian.allenpress.com/ism/article/2012/1/000940/34338/High-Yield-Embedding-of-30µm-Thin-Chips-in-a>

- [41] G. Alavi *et al.*, "Embedding and Interconnecting of Ultra-Thin RF Chip in Combination with Flexible Wireless Hub in Polymer Foil," in *7th Electronic System-Integration Technology Conference (ESTC)*, 2018.
- [42] Dow Jones, "Processing procedure for CYCLOTENE 4000 Series Photo-BCB Resin," 2005.
- [43] W. Christiaens, T. Loeher, B. Pahl, M. Feil, B. Vandeveld, and J. Vanfleteren, "Embedding and assembly of ultrathin chips in multilayer flex boards," *Circuit World*, vol. 34, no. 3, pp. 3–8, Aug. 2008 [Online]. Available: <https://www.emerald.com/insight/content/doi/10.1108/03056120810896209/full/html>
- [44] J. Govaerts, W. Christiaens, E. Bosman, and J. Vanfleteren, "Fabrication Processes for Embedding Thin Chips in Flat Flexible Substrates," *IEEE Trans. Adv. Packag.*, vol. 32, no. 1, pp. 77–83, 2009 [Online]. Available: <https://ieeexplore.ieee.org/document/4785308>
- [45] L. Wang, T. Sterken, M. Cauwe, D. Cuypers, and J. Vanfleteren, "Fabrication and Characterization of Flexible Ultrathin Chip Package Using Photosensitive Polyimide," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 2, no. 7, pp. 1099–1106, Jul. 2012 [Online]. Available: <http://ieeexplore.ieee.org/document/6175934/>
- [46] A. Kaiser *et al.*, "Chip Integration in Thin Film Sensor Flex – Technology Developed within the 'FLEXMAX' project," in *MikroSystemTechnik Congress 2021; Congress, 2021*, pp. 1–4.
- [47] M. Hassan, C. Schomburg, C. Harendt, E. Penteker, and J. N. Burghartz, "Assembly and Embedding of Ultra-Thin Chips in Polymers," *Eur. Microelectron. Packag. Conf.*, pp. 1–6, 2013 [Online]. Available: <https://ieeexplore.ieee.org/document/6698672>
- [48] M. Hassan, C. Schomburg, E. Penteker, C. Harendt, T. Hoang, and J. N. Burghartz, "Imbedding Ultra-Thin Chips in Polymers," *Proc. of ICT.OPEN*, pp. 1–6, 2011.
- [49] J. N. Saidani, F; Ferwana, S; Yu, Zi; Schmid, A; Birke, K.P. ; Burghartz, "Untersuchung der Kompatibilität eines folienbasierten Chip- Packaging- Systems mit einem Lithium-Ionen-Batterieelektrolyt," in *Elektronische Baugruppen und Leiterplatten EBL*, 2020, pp. 80–85.
- [50] G. Alavi, "Hybrid System-in-Foil Integration and Interconnection Technology based on Adaptive Layout Technique," Thesis, University of Stuttgart, 2019.
- [51] J. Wolf *et al.*, "Ultra-thin Silicon Chips in Flexible Microsystems," in *ECWC 13, 13th Electronic Circuits World Convention*, 2014, pp. 1–5 [Online]. Available: <https://www.tib.eu/de/suchen/id/tema%3ATEMA20140802714/Ultra-thin-Silicon-Chips-in-Flexible-Microsystems/>
- [52] W. Christiaens, "Active and passive component integration in polyimide interconnection substrates," Thesis, University of Gent, 2009 [Online]. Available: <http://lib.ugent.be/catalog/rug01:001310014>
- [53] L. Kurz, "Erarbeitung von Prozessparametern zum flächendeckenden Auftragen und zur Strukturierung eines Negativlacks," Universität Stuttgart, 2018.
- [54] Nippon Polytech Corp, "Technical Datasheet Flex Photoimage Mask NPR-80/ ID100 series," 2011 [Online]. Available: http://sds.com.sg/wp-content/uploads/2020/06/NPR-80-Series_-_Nippon-Polytech-Corp_.pdf
- [55] Nippon Polytech Corp., "NPR-80 Series Flex Photoimage Mask (2 component type)," 2021. [Online]. Available: <http://www.nptcorp.com/en/product/npr80/index.html>. [Accessed: 14-May-2021]

- [56] M. Feil, C. Adler, D. Hemmetzberger, M. König, and K. Bock, "The challenge of ultra thin chip assembly," in *Proceedings of 54th Electronic Components and Technology Conference*, 2004, pp. 35–40 [Online]. Available: <http://ieeexplore.ieee.org/document/1319312/>
- [57] Z. Liu, X. Wan, Y. Huang, J. Chen, and Z. Yin, "Theoretical and Experimental Studies of Competing Fracture for Flexible Chip-Adhesive-Substrate Composite Structure," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 8, no. 1, pp. 57–64, Jan. 2018 [Online]. Available: <http://ieeexplore.ieee.org/document/8097042/>
- [58] F. Janek *et al.*, "Feasibility Study of an Automated Assembly Process for Ultrathin Chips," *Micromachines*, vol. 11, no. 7, p. 654, Jun. 2020 [Online]. Available: <https://www.mdpi.com/2072-666X/11/7/654>
- [59] G. Alavi, H. Sailer, B. Albrecht, C. Harendt, and J. N. Burghartz, "Adaptive Layout Technique for Microhybrid Integration of Chip-Film Patch," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 8, no. 5, pp. 802–810, May 2018 [Online]. Available: <https://ieeexplore.ieee.org/document/8338141/>
- [60] C. Harendt, Z. Yu, J. N. Burghartz, J. Kostelnik, A. Kugler, and S. Saller, "Hybrid Systems in foil (HySiF) exploiting ultra-thin flexible chips," in *2014 44th European Solid State Device Research Conference (ESSDERC)*, 2014, pp. 210–213 [Online]. Available: <http://ieeexplore.ieee.org/document/6948797/>
- [61] F. Janek, S. Weser, M. Barth, W. Eberhardt, and A. Zimmermann, "Assembly of Multiple Ultrathin Chips on Flexible Foils with High Placement Accuracy by a Simple Transfer Process," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 9, no. 11, pp. 2314–2319, 2019.
- [62] K. Schade, *Mikroelektroniktechnologie*. Berlin, München: Verlag Technik Berlin, 1991.
- [63] M. Ishizuka *et al.*, "Metallization on three dimensions microstructures using photoresist spray coating for microdirect methanol fuel cell," *Japanese J. Appl. Physics, Part 1 Regul. Pap. Short Notes Rev. Pap.*, vol. 45, no. 10 A, pp. 7944–7948, 2006.
- [64] N. Pham, M. Bulcke, and P. Moor, "Spray coating of photoresist for realizing through-wafer interconnects," in *2006 8th Electronics Packaging Technology Conference*, 2006, no. September 2014, pp. 831–836 [Online]. Available: <http://ieeexplore.ieee.org/document/4147349/>
- [65] N. P. Pham, T. L. Scholtes, R. Klerk, B. Wieder, P. M. Sarro, and J. N. Burghartz, "Direct spray coating of photoresist for MEMS applications," in *Micromachining and Microfabrication Process Technology VII*, 2001, vol. 4557, no. September 2001, pp. 312–319 [Online]. Available: <http://proceedings.spiedigitallibrary.org/proceeding.aspx?articleid=899760>
- [66] N. P. Pham, E. Boellaard, J. N. Burghartz, and P. M. Sarro, "Photoresist coating methods for the integration of novel 3-D RF microstructures," *J. Microelectromechanical Syst.*, vol. 13, no. 3, pp. 491–499, 2004.
- [67] N. Atthi *et al.*, "Improvement of Photoresist Film Coverage on High Topology Surface with Spray Coating Technique," *J. Microsc. Soc. Thail.*, vol. 24, no. 1, pp. 42–46, 2010.
- [68] L. Yu, Y. Y. Lee, F. E. H. Tay, and C. Iliescu, "Spray coating of photoresist for 3D microstructures with different geometries," *J. Phys. Conf. Ser.*, vol. 34, no. 1, pp. 937–942, 2006.
- [69] Y. Y. Lee, L. Yu, E. H. F. Tay, and C. Iliescu, "Characterization of spray coating photoresist

- for MEMS applications," *Artic. Rom. J. Inf. Sci. Technol.*, vol. 8, no. 4, pp. 383–390, 2005 [Online]. Available: <https://www.researchgate.net/publication/271531173%0Ahttps://www.romjist.ro/content/lee.html>
- [70] T. Ikehara and R. Maeda, "Fabrication of an accurately vertical sidewall for optical switch applications using deep RIE and photoresist spray coating," *Microsyst. Technol.*, vol. 12, no. 1-2 SPEC. ISS., pp. 98–103, 2005.
- [71] G. Alavi *et al.*, "Micro-hybrid system in polymer foil based on adaptive layout," in *2016 6th Electronic System-Integration Technology Conference (ESTC)*, 2016, pp. 1–5 [Online]. Available: <http://ieeexplore.ieee.org/document/7764465/>
- [72] B. Albrecht *et al.*, "Multi-Chip Patch in Low Stress Polymer Foils based on an Adaptive Layout for Flexible Sensor Systems," in *2018 7th Electronic System-Integration Technology Conference (ESTC)*, 2018, vol. 0, pp. 1–5 [Online]. Available: <https://ieeexplore.ieee.org/document/8546380/>
- [73] W. Zapka, Ed., *Handbook of Industrial Inkjet Printing*. Weinheim, Germany: Wiley-VCH Verlag GmbH & Co. KGaA, 2017 [Online]. Available: <http://doi.wiley.com/10.1002/9783527687169>
- [74] I. M. . Hutchings and G. D. Martin, *Inkjet Technology for Digital Fabrication*. Wiley, 2012.
- [75] B. Derby, "Inkjet Printing of Functional and Structural Materials: Fluid Property Requirements, Feature Stability, and Resolution," in *Annual Review of Materials Research*, vol. 40, 2010, pp. 395–414.
- [76] D. Jurić, *Untersuchungen zur Langzeitstabilität und Biokompatibilität mittels Inkjet gedruckter Gold- und Silberstrukturen*. Thesis, Verlag Dr.Hut, 2020.
- [77] M. Mikolajek, "Tintenstrahldruck organisch / anorganischer Komposite," Thesis, Karlsruher Institut für Technologie, 2018.
- [78] Y. Yuan; and T. R. Lee, *Surface science techniques*, Springer S., vol. 51, no. 1. Berlin Heidelberg: Springer-Verlag, 2013.
- [79] F. Janek, N. Eichhorn, S. Weser, K. Gläser, W. Eberhardt, and A. Zimmermann, "Embedding of Ultrathin Chips in Highly Flexible, Photosensitive Solder Mask Resist," *Micromachines*, vol. 12, no. 8, p. 856, Jul. 2021 [Online]. Available: <https://www.mdpi.com/2072-666X/12/8/856>
- [80] C. Rodriguez-Rivero, J. R. Castrejón-Pita, and I. M. Hutchings, "Aerodynamic effects in industrial inkjet printing," *J. Imaging Sci. Technol.*, vol. 59, no. 4, 2015.
- [81] H. Gleskova, I. Cheng, S. Wagner, J. C. Sturm, and Z. Suo, "Mechanics of thin-film transistors and solar cells on flexible substrates," *Sol. Energy*, vol. 80, no. 6, pp. 687–693, Jun. 2006 [Online]. Available: <https://linkinghub.elsevier.com/retrieve/pii/S0038092X05003683>
- [82] A. Sridhar, M. Cauwe, H. Fledderus, R. H. L. Kusters, and J. van den Brand, "Novel interconnect methodologies for ultra-thin chips on foils," in *2012 IEEE 62nd Electronic Components and Technology Conference*, 2012, pp. 238–244 [Online]. Available: <http://ieeexplore.ieee.org/document/6248834/>
- [83] D. Juric, S. Hammerle, K. Glaser, W. Eberhardt, and A. Zimmermann, "Assembly of Components on Inkjet-Printed Silver Structures by Soldering," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 9, no. 1, pp. 156–162, Jan. 2019 [Online]. Available: <https://ieeexplore.ieee.org/document/8410032/>

- [84] A. D. Nikolov, D. T. Wasan, and P. Wu, "Marangoni flow alters wetting: Coffee ring and superspreading," *Curr. Opin. Colloid Interface Sci.*, vol. 51, p. 101387, Feb. 2021 [Online]. Available: <https://linkinghub.elsevier.com/retrieve/pii/S1359029420300844>
- [85] H. Hu and R. G. Larson, "Marangoni Effect Reverses Coffee-Ring Depositions," *J. Phys. Chem. B*, vol. 110, no. 14, pp. 7090–7094, Apr. 2006 [Online]. Available: <https://pubs.acs.org/doi/10.1021/jp0609232>
- [86] G. Alavi, M.-U. Hassan, C. Harendt, and J. N. Burghartz, "Compensation of Stress-Induced Warpage for Polymer Embedding of Ultra-thin Chips," in *Proc. ICT. OPEN*, 2015.
- [87] F. Schnegg, H. Kostner, G. Bock, and S. Engensteiner, "Handling of Thin Dies with Emphasis on Chip-to-Wafer Bonding," in *Ultra-thin Chip Technology and Applications*, Springer New York, 2011, pp. 167–183 [Online]. Available: http://link.springer.com/10.1007/978-1-4419-7276-7_15
- [88] S. Priyabadini *et al.*, "An approach to produce a stack of photo definable polyimide based flat UTCs," in *4th Electronic System-Integration Technology Conference*, 2012, pp. 1–4 [Online]. Available: <http://ieeexplore.ieee.org/document/6542069/>

10. Publikationen

Konferenzbeiträge

Zimmermann, A.; Meißner, T.; Weser, S.; Janek, F.; A novel process chain for the embedding and interconnection of ultra-thin chips in flexible substrates, Semicon Europe Konferenz 2017

Janek, F.; Weser, S.; Bülau, A.; Vieten, T.; Eberhardt, W.; Zimmermann, A.; Highly customizable process for fast manufacturing of thin flexible polyimide based circuit carriers and its application for a flow sensor using low-cost passive components, Semicon Europe Konferenz 2018

Wolf, M.; Janek, F.; Meißner, T.; Wigger, B.; Barth, M.; Günther, T.; Eberhardt, W.; Zimmermann, A.; Geneis, V.; Luke, T.; et al. Investigation on the Influence of Injection Molding Parameters on High Frequency Permittivity up to 3 GHz on MID Thermoplastics and Reliability of Permittivity During Environmental Testing. In Proceedings of the 13th International Congress Molded Interconnect Devices (MID); IEEE, 2018; pp. 1–6.

Geneiß, V.; Lüke, T.; Hedayat, C.; Wolf, M.; Janek, F.; Meißner, T.; Barth, M.; Eberhardt, W.; Zimmermann, A.; Otto, T.; Impedance-Controlled Design and Connection Technology for Micromounting and Hybrid Integration of High-Frequency and Mixed-Signal Systems with MID Technology. Smart Systems Integration, 2018.

Hirt, E.; Ruzicka, K.; Wigger, B.; Barth, M.; Saleh, R.; Janek, F.; Müller, E. 3D-MID Evaluation and Validation for Space Applications. Proceedings of the 69th Electronic Components and Technology Conference (ECTC); IEEE, 2019; pp. 868–877.

Janek, F.; Müller, E.; Barth, M.; Vieten, T.; Weser, S.; Eberhardt, W.; Zimmermann, A.; Aushärteprozess für Klebeverbindungen mit dünnen und homogenen Klebespalten bei ultradünnen Chips auf Foliensubstraten; microTEC Südwest Clusterkonferenz 2019.

Günther, T.; Hausladen, F.; Barth, M.; Röder, M.; Janek, F.; Drossart, D.; Wurm, H.; Sahakalkan, S.; Stock, K.; Zimmermann, A. Development of a Micro-integrated hyperspectral imaging system. In Proceedings of the MikroSystemTechnik Congress 2021; Congress; 2021; pp. 1–4.

Veröffentlichungen in Fachzeitschriften

Janek, F.; Weser, S.; Barth, M.; Eberhardt, W.; Zimmermann, A. Assembly of Multiple Ultrathin Chips on Flexible Foils with High Placement Accuracy by a Simple Transfer Process. *IEEE Transactions on Components, Packaging and Manufacturing Technology* 2019, 9, 2314–2319, doi:10.1109/TCPMT.2019.2938189.

Janek, F.; Saller, E.; Müller, E.; Meißner, T.; Weser, S.; Barth, M.; Eberhardt, W.; Zimmermann, A. Feasibility study of an automated assembly process for ultrathin chips. *Micromachines* 2020, 11, 1–13, doi:10.3390/M111070654.

Janek, F.; Eichhorn, N.; Weser, S.; Gläser, K.; Eberhardt, W.; Zimmermann, A. Embedding of Ultrathin Chips in Highly Flexible, Photosensitive Solder Mask Resist. *Micromachines* 2021, 12, 856, doi:10.3390/mi12080856.

11. Lebenslauf

Florian Janek

Geboren am 10.07.1990 in Dessau

Beruflicher Werdegang:

- Seit 05.2016** **Wissenschaftlicher Mitarbeiter** bei Hahn-Schickard Stuttgart, Institut für Mikroaufbautechnik, Bereich Technologie, Schwerpunkt Aufbau- und Verbindungstechnologien von Foliensystemen.
- 11.2015 - 01.2016** **Projektingenieur** am Institut für Materialuntersuchung IMO-IMO-MEC Universität Hasselt, Belgien, entsandt durch die Hochschule Kaiserslautern, Fachbereich Informatik/Mikrosystemtechnik, im Kooperationsprogramm „Meeting Point Functional Layers“.

Studium:

- 03.2015 - 08.2015** **Master-Abschlussarbeit**, Hochschule Kaiserslautern, Standort Zweibrücken, Arbeitsgruppe Sensorik, Thesis: „Entwicklung alternativer Feuchtesensoren für besondere Anforderungen“
- 03.2014 - 08.2015** **Masterstudium: Mikrosystem- & Nanotechnologie**
Hochschule Kaiserslautern, Standort Zweibrücken
Abschluss: Master of Engineering
- 08. 2013 - 02. 2014** **Bachelor-Abschlussarbeit**, Institut für Materialforschung IMO-IMOMEK, Universität Hasselt, Belgien, Thesis: „Sintern von leitfähiger Tinte für Light Emitting Devices auf Textilien“
- 09. 2010 - 02.2014** **Bachelorstudium: Mikrosystem- & Nanotechnologie**
Fachhochschule Kaiserslautern, Standort Zweibrücken
Abschluss: Bachelor of Engineering