

Entwicklung einer Methodik zur Bestimmung der Schaltverluste von diskreten 400V-GaN-Halbbrücken

Von der Fakultät für Informatik, Elektrotechnik und
Informationstechnik der Universität Stuttgart zur Erlangung der
Würde eines Doktor-Ingenieurs (Dr.-Ing.) genehmigte Abhandlung

Vorgelegt von

Nikolas Bauer

aus Düsseldorf

Hauptberichter:	Prof. Dr.-Ing. Ingmar Kallfass
Mitberichter:	Prof. Dr.-Ing. Klaus Hoffmann
Tag der mündlichen Prüfung:	17.06.2022

Institut für Robuste Leistungshalbleitersysteme der
Universität Stuttgart

2023

Eidesstattliche Erklärung

Ich, Nikolas Bauer, versichere nachfolgend für die vorgelegte Dissertation mit Titel „Entwicklung einer Methodik zur Bestimmung der Schaltverluste von diskreten 400V-GaN-Halbbrücken“:

- Die Inhalte der Arbeit selbstständig und ohne fremde Hilfe verfasst zu haben.
- Jegliche übernommenen Ergebnisse und Quellen als solche kenntlich gemacht zu haben.
- Die Inhalte der Arbeit in dieser oder ähnlicher Form noch nicht anderweitig als Promotionsleistung vorgelegt zu haben.

Signatur:

Datum:

Danksagung

Diese von der Universität Stuttgart angenommene Arbeit zur Erlangung des Doktors der Ingenieurwissenschaften in Kooperation mit der BMW Group München hätte ohne die Unterstützung zahlreicher Personen und Institutionen nicht realisiert werden können. Für die durchgängige fachliche und persönliche Unterstützung möchte ich mich an dieser Stelle sehr herzlich bedanken.

Mein besonderer Dank gilt meinem Doktorvater Prof. Dr.-Ing. Ingmar Kallfass, Institutsleiter für Robuste Leistungshalbleitersysteme der Universität Stuttgart. Die Annahme und Einbindung einer über die Distanz betreuten externen Doktorarbeit durch sein vielseitiges wissenschaftliches Engagement, zahlreiche konstruktive Gespräche sowie unterstützende Vernetzung auf Universitätsebene waren äußerst positive und geschätzte Voraussetzungen während des gesamten Promotionsvorhabens.

Ebenso gilt besonderer Dank Dipl.-Ing. Wolfgang Oblinger sowie Dr.-Ing. Fabian Rattei, Führungskräfte der BMW Group München, in ihrer Rolle als fachliche und persönliche Mentoren vor allem für die äußerst spannende und gleichzeitig industrienähe Forschungsausrichtung dieser Dissertation sowie für das hohe Maß an Vertrauen und Wertschätzung meiner Arbeit.

Darüber hinaus danke ich in besonderem Maße meinem fachlichen Betreuer Dr.-Ing. Daniel Weida der BMW Group München für sein großes fachliches und persönliches Engagement trotz vielfältigem Tagesgeschäft vor Ort sowie für seinen wissenschaftlichen Enthusiasmus als ideale Rahmenbedingungen für eine akademisch geprägte Zusammenarbeit.

Zuletzt gilt mein besonderer Dank meiner Partnerin, Familie und Verwandtschaft für ihre großartige Motivation und beständige Förderung dieser und aller bisherigen wissenschaftlichen Arbeiten meiner Laufbahn.

Mein weiterer Dank gilt meinem Zweitgutachter Prof. Dr.-Ing. Klaus Hoffmann, Professur für Leistungselektronik der Helmut-Schmidt-Universität Hamburg, für sein durchgängiges Interesse an den behandelten Forschungsthemen sowie für die gegebenen Möglichkeiten wissenschaftlicher Vernetzung im Rahmen besonderer VDE-Leistungselektronik-Workshops.

Auch danke ich Dr. Sourabh Khandelwal, UC Berkeley, sowie M.Sc. Cristino Salcines, Institut für Robuste Leistungshalbleitersysteme der Universität Stuttgart, für ihre Zusammenarbeit und entscheidenden Impulse in Richtung komplexer Halbleitersimulationsmodelle.

Dank gilt weiterhin den Projektpartnern des BMBF Konsortialprojekts GaNIAL für die umfangreichen Erfahrungen und den fortwährenden Austausch während der Projektlaufzeit.

Zuletzt möchte ich allen nicht namentlich erwähnten Personen, insbesondere meinen Kolleginnen und Kollegen der BMW Group in München, für ihr offenes Ohr, das herausragende Arbeitsklima und unzählige persönliche Gespräche, die mich selbst fachlich und persönlich entwickeln ließen, herzlich danken.

Diese Arbeit wurde mit TeX erstellt und verwendet eine genehmigte Vorlage nach [1].

Inhaltsverzeichnis

Eidesstattliche Erklärung	iii
Danksagung	v
Zusammenfassung	xxi
1 Einleitung	1
1.1 Zukunftsfähige elektrische Antriebskonzepte	1
1.2 Notwendigkeit leistungselektronischer Miniaturisierung .	3
1.3 Potentiale neuartiger Leistungshalbleitertechnologien . .	4
2 Stand der Technik	7
2.1 Leistungshalbleiter	7
2.1.1 Der Si-MOSFET	7
Halbleiterphysik	8
Parasitärbehaftetes Schaltverhalten	10
Packaging	13
Thermisches Interface	14
Qualifizierung und Marktdurchdringung	15
2.1.2 Der GaN-HEMT	15
Halbleiterphysik	15
Parasitärbehaftetes Schaltverhalten	18
Packaging	20
Thermisches Interface	21
Qualifizierung und Marktdurchdringung	22
2.2 Die leistungselektronische Schaltzelle	22
2.2.1 Leistungstransistor	23
2.2.2 Gateimpedanz	24
2.2.3 Treiberstufe	24
Zwischenkreis	25
Laststrom	25
Sonstige Größen	25
2.2.4 Transientes Verhalten	26

	Einfluss der Totzeit	26
	Ringing der Lastkommutierungszelle	27
2.2.5	Treiberseitige Auswirkungen	28
	Steuerung des Schaltvorganges	28
	Safe Operating Area (SOA) des Gates	28
	Spannungstransiente Effekte	29
	Monolithische Packageintegration	31
2.3	Die Ladertopologie	33
2.3.1	Designtechnische Freiheitsgrade	34
	Ein-/Zwei-stufige Ladertopologie	34
	Entfall der galvanischen Isolation	34
	Notwendigkeit der Grundschnwingungsglättung	34
	Mehrstufige Netzfilter und leitungsggebundene EMV	35
	Passive vs. aktive Gleichrichtung	35
	Nicht berücksichtigte Aspekte	35
2.3.2	Betriebspunktauslegung des Laders	36
2.4	Transiente Simulation und Optimierung	38
2.4.1	Systemebene	38
2.4.2	Technologieebene	40
2.4.3	Verkoppelung	42
2.5	Struktur und Technologiehub der Arbeit	44
3	Simulative Schaltzellenauslegung und Optimierung	45
3.1	Analytische Untersuchung von Schalt- und EMV-Verhalten	46
3.1.1	Analytische ZVS-Kennfeldbeschreibung	46
	LS-HS Kommutierung bei $I_{SW} > 0$	47
	HS-LS Kommutierung bei I_{SW} gegen Null	50
	Topologiemassnahmen zur ZVS-Bereichserweiterung	52
3.1.2	Analytische EMV-Optimierung	54
	Grenzen des Systems	59
3.2	Die SPICE-Matlab Simulationsumgebung	60
3.2.1	GaN-Halbbrücke in SPICE	60
3.2.2	Auswertung per Matlab-Scripting	65
3.3	Halbleitersimulation in SPICE	66
	Verhalten für Totzeiten kleiner Null	67
	Verlustoptimaler Schaltzeitpunkt	68
	Verhalten für Totzeiten deutlich größer Null	69
	Abgeleitete Auslegungsaspekte	70
3.4	Detektion der ZVS-Bedingung	71
	Hardware zur PWM-Generation	72
	Modellbasiert prädiktive Ansätze zur Totzeitregelung	73

Hardwarebasierte Ansätze zur Totzeitregelung . . .	74
Die ZVS-Detektorschaltung	75
3.5 Gründe für den Wechsel der Simulationsumgebung	81
3.5.1 Halbleitersimulation in VERILOG vs. SPICE	82
Syntaktische Limitierung	83
Unzureichende Genauigkeit	83
Limitiertes Solverinterface	84
3.5.2 Postprocessing in Matlab unter Windows	84
3.6 Die VERILOG-XYCE-Python Umgebung	85
3.6.1 Das VERILOG ASM GaN Modell	85
3.6.2 Die XYCE-Umgebung	87
3.6.3 Die Python Umgebung	90
3.7 Halbleitersimulation in VERILOG	92
3.7.1 Simulationsergebnisse Parameterstepping	93
Schaltverluste und ideale Totzeit	97
Zusammenfassung Parameterstepping	98
Vergleich mit Herstellerangaben	99
3.7.2 Numerische Optimierung in VERILOG-Python	101
Optimierungsalgorithmus in Prozessdarstellung . .	103
Simulationsergebnisse der VERILOG-Optimierung	105
3.8 Fazit zur simulativen Auswertung	110
4 Hardwarekonzeptionierung und Inbetriebnahme	111
4.1 Konzeptionierung	112
4.1.1 Lastkommutierungszelle	112
4.1.2 Gatetreiber und Spannungsversorgung	116
4.1.3 ZVS-Detektorschaltung	117
4.1.4 Controller und Peripherals	117
4.1.5 Filter	118
4.1.6 Thermische Anbindung	118
4.1.7 Weitere Komponenten	119
4.2 Inbetriebnahme	122
4.2.1 Betriebsmittel	123
Hardware	123
Software	124
4.2.2 Prozedur	124
Hardware	124
Software	126
4.3 Fazit zu Konzept und Inbetriebnahme	129

5	Messtechnische Verifikation und Auswertung	131
5.1	Lastbetrieb der PFC-Stufe	131
5.2	Kalorimetrische Messung von Schaltverlusten	134
5.2.1	Methodisches Vorgehen	134
5.2.2	Kalorimetrische Kalibrierung	136
	Gatetreiber und Controllerperipherie	137
	Zwischenkreiskondensatoren	138
	Leitverluste	138
5.2.3	Messdurchführung	139
5.3	Messtechnische Verifikation der ZVS-Detektorschaltung .	141
5.4	Ergebnisdiskussion	142
5.4.1	Annahmen und Gültigkeit der Daten	142
5.4.2	Vergleich Simulationen vs. Messung	143
	Laststromabhängigkeit der Schaltverlustenergien . .	144
	Totzeitabhängigkeit der Schaltverlustenergien . . .	144
	Totzeitlage minimaler Schaltverlustenergien	146
	ZVS-Signallage	146
5.4.3	Fazit zur messtechnischen Verifikation	147
6	Resumee und Ausblick	151
A	Appendix	155
A.0.1	Toolinstallation und Systemanforderungen	155
A.0.2	Modell- und Schaltschemata	157
	Literatur	161

Abbildungsverzeichnis

1.1	Elektrifizierungsgrade im BMW Group Produktportfolio, Stand 2015	3
1.2	Anforderungen an das im Fahrzeug verortete AC-Ladegerät	4
1.3	Kausalkette der leistungselektronischen Miniaturisierung	5
2.1	Schaltzeichen nach G/D/S(/B)-Nomenklatur für Gate/Drain/Source(/Bulk) eines Superjunction-MOSFETs nach [10]	9
2.2	Ausgangskennfeld und Kapazitätsbehaffung eines Infineon® IPDD60R050G7 MOSFET nach [11]	9
2.3	Harte Schalttransition am FET mit Schwellspannung V_{TH} , Millerplateau V_M und Schaltverlusten während t_3-t_2	11
2.4	Theoretischer FOM_2 von WBG-Halbleitern vs. Si nach [17]	16
2.5	Leitungsbandstruktur des d-GaN-HEMT nach [16]	18
2.6	Vereinfachte Struktur eines e-GaN-HEMT mit zweidimensionalem Elektronengas (2DEG) ohne Feldplatten	19
2.7	Ausgangskennfeld und Kapazitätsbehaffung eines Gan-systems® GS66516T GaN-HEMTs nach [20]	19
2.8	Schema einer leistungselektronischen Halbbrücke, Last- und Gatekommutierungskreise dargestellt in rot bzw. blau	23
2.9	Induced Turn-On/-Off Effekte und jeweilige Strompfade einer Halbbrücke bei $dU_{DS}/dt \gg 0$	30
2.10	Monolithische Integration nach BMBF GaNIAL [5]	32
2.11	Schema einer leistungselektronischen Ladertopologie (Befilterung und AC-/DC-Netze ausgelassen)	33
2.12	PFC-Betriebsmodi im zeitlichen Stromverlauf nach [32]	37
2.13	Prämissen und simulative Anforderungen in hierarchischer Struktur	38
3.1	Vereinfachtes Schema einer Boost-PFC-Stufe in Vollbrückenkonfiguration	48

3.2	Analytisch berechnete Totzeit τ_D einer LS-HS-Transition exemplarisch für $C_{\text{OSS,HS/LS},1/2} = 400 \text{ pF}$, $L_{\text{SW}} = 100 \text{ uH}$, $C_{\text{DCL}} = 10 \text{ uF}$, $U_{\text{IN}} = 400 \text{ V}$ in Abhängigkeit des Kommutierungsstroms I_{SW}	49
3.3	Analytisch berechnete σ_{ZVS} -Werteverteilung einer HS-LS-Transition exemplarisch für $C_{\text{OSS,HS/LS},1} = 400 \text{ pF}$, $C_{\text{OSS,HS/LS},2} = 1 \text{ uF}$, $C_{\text{DCL}} = 100 \text{ uF}$ und $U_{\text{DCL}} = 400 \text{ V}$, Polstelle bei 167 V und Komplexwertigkeit ab 273 V PFC-Eingangsspannung	52
3.4	Multiple ZVS-Umschaltunkte im D/Cr-CM PFC-Betrieb	53
3.5	Ersatzschaltbild einer Halbbrücke zur analytischen Berechnung der Lastschwingkreisenergie	55
3.6	Transiente EMV-Verläufe einer SPICE-Simulation des Schaltschemas aus Abb. 3.5	58
3.7	Definition der Schaltverlustintegrationszeitpunkte einer leistungselektronischen Halbbrücke	63
3.8	Einschalt- und Ausschaltverluste für eine hart schaltende Halbbrückentransition in Abhängigkeit der Totzeit und des zu kommutierenden Stroms bei 400 V Zwischenkreisspannung (LTSPICE)	67
3.9	Einschalt- und Ausschaltverluste für eine weich schaltende Halbbrückentransition in Abhängigkeit der Totzeit und des zu kommutierenden Stroms bei 400 V Zwischenkreisspannung (LTSPICE)	68
3.10	Millerspannung und Einschaltverluste der Halbbrücke in Abhängigkeit vom Gate-Pullup-Widerstand $R_{\text{PU,HS}}$	71
3.11	ZVS-Detektorschaltung	76
3.12	ZVS-Detektorsignalkorrelation mit HS-Schaltverlusten, grüne Punkte: Flanke, weiße Punkte: Maximale Signaländerung	80
3.13	SHR-Signale der ZVS-Detektorschaltung in Bezug zur Leistungstransistor-PWM	81
3.14	Gegenüberstellung von Technologiesimulationen zu Halbleitermechanismen	82
3.15	XYCE-Parametrierungsoptionen und technologisch-physikalische Freiheitsgrade	89
3.16	Python-Simulationsschnittstelle zu XYCE	90
3.17	Einschalt- und Ausschaltverluste für eine weich schaltende Halbbrückentransition in Abhängigkeit der Totzeit und des zu kommutierenden Stroms bei 400 V Zwischenkreisspannung (VERILOG)	93

3.18	Einschalt- und Ausschaltverluste für eine hart schaltende Halbbrückentransition in Abhängigkeit der Totzeit und des zu kommutierenden Stroms bei 400 V Zwischenkreisspannung (VERILOG)	94
3.19	Simulativer Vergleich von Schaltverlusten bei idealer Totzeit zwischen LTSPICE und VERILOG während eines Ab- (A) und An- (B) Kommutierungsvorgangs am 200 V Zwischenkreis	95
3.20	Simulativer Vergleich von Schaltverlusten bei idealer Totzeit zwischen LTSPICE und VERILOG während eines Ab- (A) und An- (B) Kommutierungsvorgangs am 400 V Zwischenkreis	96
3.21	Schaltverluste eines Gansystems GS66516T HEMTs für $U_{DS}=400\text{ V}$, $I_{SW}=20\text{ A}$, $R_{PU}=10\ \Omega$, $R_{PD}=2\ \Omega$ nach [48]	100
3.22	Optimierungsworkflow	102
3.23	Betriebs- und Konvergenzparameter sowie Idealität eines Optimierungslaufes	104
3.24	Optimierte Betriebsparameter und Verlustleistungen einer weichen Halbbrückentransition bei 200 V _{DCL} (A) und 400 V _{DCL} (B)	106
3.25	Optimierte Betriebsparameter und Verlustleistungen einer harten Halbbrückentransition bei 200 V _{DCL} (A) und 400 V _{DCL} (B)	107
3.26	Optimierte VERILOG-Halbbrücke	110
4.1	2D-Layoutdarstellung der leistungselektronischen Halbbrücke	112
4.2	Fotografie des finalen PCB-Aufbaus der leistungselektronischen Halbbrücke	113
4.3	Fotografie der keramischen Zwischenkreiskondensatoren auf der PCB-Unterseite	115
4.4	Fotografie des Kupferstempels mit Übergang zur Aluminium-Wärmesenke	120
4.5	Simulative Validierung der Oberflächentemperatur eines GaN-FETs bei einer angenommenen Verlustleistung von 10 W mit Genehmigung der Zollner Elektronik AG	120
4.6	3D-ECAD-Layout der gesamten Schaltung	121
4.7	Fotografie des realen PCB-Gesamtaufbaus	121
4.8	Fotografie der eingesetzten PFC-Drossel	122
4.9	Messtechnisch extrahierte Gatesignal-Zeitkonstanten	126

4.10	PWM-Schema aus Kap. 2, erweitert um Laufzeitkompensation für Leistungstransistoren	127
5.1	Thermografie der Halbbrücke unter Dauerlastbetrieb bei 250 V Zwischenkreisspannung und 1,5k W Leistung . . .	134
5.2	Thermografie der Halbbrücke unter Dauerlastbetrieb bei 350 V Zwischenkreisspannung und 3 kW Leistung	135
5.3	Aufbauschema der kalorimetrischen Messung von Verlustenergien der vorgestellten Halbbrücke	136
5.4	Thermisches Ersatzschaltbild der kalorimetrischen Messung (thermische Kapazitäten nicht abgebildet)	140
5.5	Simulationsergebnisse vs. Messergebnisse - Gesamtansicht	149
5.6	Simulationsergebnisse vs. Messergebnisse - Detailansicht	150
A.1	VERILOG-Solvereinstellungen für XYCE	156
A.2	Schaltschema des Gatetreibers und der Gatespannungsversorgung	157
A.3	Simulationsmodell LTSPICE Gesamtansicht	158
A.4	Schaltschema der galvanisch getrennten Spannungsmessung	159
A.5	Schaltschema der galvanisch getrennten Strommessung .	159
A.6	Schaltschema des EMV-Filters	160
A.7	SIMULINK-Modellschema des implementierten HRPWM-Codes	160

Tabellenverzeichnis

2.1	Materialkonstanten von WBG-Halbleitern vs. Si bei Normalbedingungen nach [16]	16
2.2	Fallunterscheidung ZVS- zw. non-ZVS-Kommutierung	26
3.1	Elektrische Eingangsgrößen der Kommutierung	59
3.2	Zeitliche Ausgangsgrößen der Kommutierung	59
3.3	Schaltzellenspezifikation	64
3.4	Bauteil- und Modellspezifikation der ZVS-Detektorschaltung	79
3.5	Vergleich von Schaltverlusten Datenblatt [20] vs. VERILOG vs. SPICE	99
4.1	Messtechnisch extrahierte Gatesignal-Zeitkonstanten	126
5.1	Thermische Größen der Kalorimetrie	139
5.2	Elektrische Größen der Kalorimetrie	141
5.3	Fehlerdiskussion der Kommutierungsstromabhängigkeit von Schaltverlustenergien	144
5.4	Fehlerdiskussion der Totzeitabhängigkeit von Schaltverlustenergien (Fehlerquadrate)	145
5.5	Fehlerdiskussion der Totzeitabhängigkeit von Schaltverlustenergien (Exponentielle Näherung)	145
5.6	Fehlerdiskussion der Totzeitlage minimaler Schaltverlustenergien	146
5.7	Auswertung der ZVS-Signallage	146

Abkürzungsverzeichnis

WLTP	Worldwide Harmonized Light Vehicle Test Procedure
(P)HEV	(Plugin) Hybrid Electric Vehicle
BEV	Battery Electric Vehicle
JEDEC	Solid State Technology Association
AEC	Automotive Electronics Council
JTAG	Joint Test Action Group
SIL/PIL	Software-/Prozessor-in-the-Loop
AC	Wechselstrom
DC	Gleichstrom
LV	Niederspannung
HV	Hochspannung
EMV	Elektromagnetische Verträglichkeit
SOA	Safe Operation Area
TTL	Transistor Transistor Logik
CC/CV	Constant Current / Constant Voltage
PFC	Power Factor Correction
LLC	LLC-Resonanzwandler
ZVS	Zero Voltage Switching
(D/C/Cr)CM	(Discontinuos/Continuos/Critical) Conduction Mode
CAD	Computer Aided Design
CEM	Computational Electromagnetics
CPU	Central Processing Unit
RAM	Random Access Memory
FET	Feldeffekttransistor
Die	Halbleiterkristall
(N/P/C)MOS	(N-/P-/Komplementäre) Metall-Oxid-Halbleiter
IGBT	Insulated Gate Bipolar Transistor
HEMT	High Electron Mobility Transistor
THT	Through Hole Technology
SMD	Suface Mounted Device
MLCC	Multilayer Ceramic Capacitor
TVS	Transient Voltage Suppressor

PCB	Printed Circuit Board
PWM	Pulsweitenmodulation
ADC/DAC	Analog-Digital/Digital-Analog Conversion
SNR	Signal/Noise Ratio
SHR	Sample-Hold-Reset
CMTI	Common Mode Transient Immunity
GPIO	General Purpose Input Output
CAN	Controller Area Network
WBG	Wide Bandgap
CO₂	Kohlenstoffdioxid
NO_x	Stickoxide
SiC	Siliziumkarbid
(Al-)GaN	(Aluminium-)Galliumnitrid
Si	Silizium
TIM	Thermal Insulator Material
2DEG	Zweidimensionales Elektronengas
RMS	Root Mean Squared

Symbolverzeichnis

U	[V]	Spannung
I	[A]	Strom
P	[W]	Leistung
E	[J]	Energie
Q	[C]	Ladung
R	[Ω]	Widerstand
C	[F]	Kapazität
L	[H]	Induktivität
l	[m]	Länge
w	[m]	Weite
ω	[rad]	Kreisfrequenz
f	[Hz]	Frequenz
t	[s]	Zeit
τ	[s]	Zeitkonstante
T	[$^{\circ}\text{C}$]	Temperatur
FOM		Figure of Merit
-G/D/S/B		Gate/Drain/Source/Bulk - Indizes
-ISS/OSS/RSS/RR		Eingangs/Ausgangs/Reverse - Indizes
-MILLER/TH/SRC/FILT		Miller/Schwellwert/Source/Filter - Indizes
-ON/OFF/RAMP		Ein/Aus/Rampen - Indizes
-MAX/MIN/DYN		Maximal/Minimal/Dynamisch - Indizes
-PMOS/NMOS		p-MOS/n-MOS - Indizes
-IN/OUT/INT/EXT		Eingangs/Ausgangs/Intern/Extern - Indizes
-LOSS/ZVS/MEAS		Verlust/ZVS/Mess - Indizes
-DCL/SW/GND		DC-Link/Schaltknoten/Ground - Indizes
-HART/WEICH		Hart/Weich - Indizes
-HS/LS		High Side/Low Side - Indizes
-LV/HV		Niedervolt/Hochvolt - Indizes
-PU/PD		Pull Up/Pull Down - Indizes
-KK/EXT/EFF/OPT		Externe/Koppel/Effektiv/Optimum - Indizes
-OHM/R,CAP/C,IND/L		Ohmsch/Kapazitiv/Induktiv - Indizes
-x/y		Differential Mode/Common Mode - Indizes
-m/s		Main/Secondary - Indizes
-d/r/f		Delay/Rise/Fall - Indizes

UNIVERSITÄT STUTTGART

Zusammenfassung

Institut für Robuste Leistungshalbleitersysteme

BMW Group München

Doktor der Ingenieurwissenschaften

Entwicklung einer Methodik zur Bestimmung der Schaltverluste von diskreten 400V-GaN-Halbbrücken

von Nikolas Bauer

Basierend auf aktuellen und zukünftigen Entwicklungsprämissen miniaturisierter automobiler Leistungselektronik wird in dieser Thesis die diskret verortete 400 Volt Gallium-Nitrid Halbbrücke als Kernkomponente einer fahrzeuggebundenen Hochvoltspeicher-Ladertopologie mit 3,7 Kilowatt Ladeleistung betrachtet. Die nachfolgende Methodikentwicklung zur Quantifizierung zeittransienten Schaltverhaltens und damit insbesondere generierter Halbbrückenverlustleistungen diskutiert die Vorteile der in dieser Arbeit entwickelten VERILOG-Halbleitersimulation auf Basis verfügbarer ASM-HEMT Modelle der Compact Model Coalition gegenüber der Genauigkeit konventioneller SPICE-Simulation. Simulative Durchführungen dieser Arbeit berücksichtigen notwendige Betriebsparameter der Halbbrücke, insbesondere Totzeiten sowie deren Detektion per zum Patent angemeldeter Auswertelogik, und erlauben darüber hinaus in VERILOG die globale Schaltzellenoptimierung. Simulative Ergebnisse werden anhand einer dedizierten Power Factor Correction Stufe zeittransient und kalorimetrisch validiert. Die vorgestellten Simulationsmethodiken erlauben somit zukünftig die vollständig virtualisierte Hardwareauslegung von Leistungselektronik hinsichtlich Zeit- und Verlustverhalten.

Based on current and future development premises of miniaturized automotive power electronics, this thesis deals with a discrete 400 Volt gallium nitride half bridge as key component of a high-voltage onboard charging topology with an output power of 3.7 kilowatts. The developed method quantizes time-transient switching characteristics with special focus on induced half bridge power losses. Accuracy of the presented novel VERILOG simulation of semiconductors based on ASM-HEMT models of the Compact Model Coalition is concluded to be superior to state-of-the-art SPICE simulations. Carried out simulative approaches additionally allow for global switch cell optimization in VERILOG, consider essential operational parameters and especially include transitional dead times detectable via patent pending circuitry. Simulative results are validated based on time-transient and calorimetric observations of a dedicated power factor correction stage. In future, presented simulation approaches may serve as a fully virtualized hardware development environment, accurately predicting time and loss domain behaviour of power electronics.

Kapitel 1

Einleitung

1.1 Zukunftsfähige elektrische Antriebskonzepte

Zukunftsfähige Mobilitäts- und Antriebskonzepte für den weltweiten individuellen Straßenverkehr sind eine der großen Herausforderungen heutiger Zeit. Steigende Bevölkerungszahlen, insbesondere in urbanen Ballungsgebieten, anthropogener Klimawandel sowie veränderliche Märkte verschärfen zunehmend den Entwicklungsdruck. Neue nachfrageseitige Prämissen sind exemplarisch die geforderte Wirtschaftlichkeit des Antriebskonzeptes sowie eine sinkende Attraktivität des privaten PKW zugunsten öffentlich nutzbarer Mobilität, insbesondere aufgrund angespannter Verkehrssituationen und erhöhtem Umweltbewusstsein [2]. Dies trifft auch auf Märkte zu, in denen das Fahrzeug bislang traditionell einen hohen sozialen Stellenwert innehatte. Wirtschaftlichkeit und Nutzwert des Fahrzeugs werden dadurch verstärkt zum Kaufargument. Neue Antriebstechnologien müssen aus Kundensicht wirtschaftlich sein, um ausreichend Kaufanreize setzen zu können, ihre erreichbare Lebensdauer mit eingerechnet. Auf Reichweite, alltagstaugliche Ladezeiten und Infrastruktur im Sinne hoher Fahrzeugverfügbarkeit möchte der Kunde dabei nicht verzichten. Fahrerassistenzsysteme bis hin zum vernetzten und automatisierten Fahren steigern darüber hinaus Attraktivität und Fahrerlebnis, müssen jedoch weiterhin ein Höchstmaß an Sicherheit bieten und entsprechende Zulassungsverfahren durchlaufen. Auf politischer Ebene werden Verbrauch, Kohlenstoffdioxid (CO₂)- und Stickoxid (NO_x)-Ausstoß durch stetig verschärfte Vorgaben und neue Testzyklen wie die Worldwide Harmonized Light Vehicle Test Procedure (WLTP) eingeschränkt, mit weiteren Fahrverboten für schadstoffintensive oder gar sämtliche Verbrennungsantriebe in weltweiten Ballungsgebieten

ist zu rechnen. Staatliche Förderungen alternativer Mobilitätskonzepte setzen hier Umstiegsanreize.

Die Automobilindustrie begegnet diesen Herausforderungen einerseits mit der kontinuierlichen Weiterentwicklung konventioneller Verbrennungstechnologien. Downsizing, Aufladung, Abgasaufbereitung mittels AdBlue beziehen sich auf den Antrieb selbst, Leichtbau und sinkende Luftwiderstandsbeiwerte reduzieren passiv den Verbrauch. Elektrifizierte Antriebskonzepte wie in Abb. 1.1 dargestellt, ob als kombiniertes (Plugin) Hybrid Electric Vehicle ((P)HEV) oder als reines Battery Electric Vehicle (BEV), eignen sich besonders im städtischen Stop-and-Go Betrieb als Sparmaßnahme. Fortschritte im Bereich der Speichertechnologien stellen jedoch aufgrund steigender Reichweiten zunehmend das BEV als vollwertigen Ersatz in Aussicht. Sensorfusion, Fahrzeugvernetzung und Telekommunikationsinfrastruktur erlauben die kontinuierliche Entlastung des Fahrers mit deutlichem Trend in Richtung automatisiertem Fahren. Mobilitätskonzepte wie Car-sharing adaptieren das Automobil an veränderte Bedürfnisse junger urbaner Zielgruppen, die Mobilität als Gesamtkonzept verstehen und nachfragen. Aufgrund des geschilderten Entwicklungsdrucks ist von einem stetig wachsenden Elektrifizierungsgrad im Fahrzeug auszugehen, die alle Technologiezweige von Prozessor und Sensorik über das Niederspannungs-(LV)-Bordnetz bis hin zu Hochspannungs-(HV)-Komponenten im elektrifizierten Antriebsstrang umfassen. Dort nimmt die verortete Leistungselektronik eine Schlüsselrolle hinsichtlich Zukunftsfähigkeit und Kundenakzeptanz eines BEV/(P)HEV ein. Sie dient der Steuerung des gesamten Energieflusses im elektrifizierten Antriebsstrang und umfasst typischerweise folgende Komponenten:

- Inverter zur Ansteuerung der E-Maschine
- DC/DC (Gleichstrom)-Wandler zur Versorgung des LV-Bordnetzes aus dem HV-Speicher
- AC (Wechselstrom)-Ladegerät zu Einspeisung von Netzenergie in den HV-Speicher

Lebensdauer und Ausfallsicherheit werden systemkritisch. Gleichzeitig führen diese Vielzahl elektrischer Komponenten, Leichtbauanforderungen sowie die prinzipbedingt geringe Energiedichte elektrischer Energiespeicher zu einer verschärften gravimetrischen und volumetrischen Bauraumrestriktion im Fahrzeug.

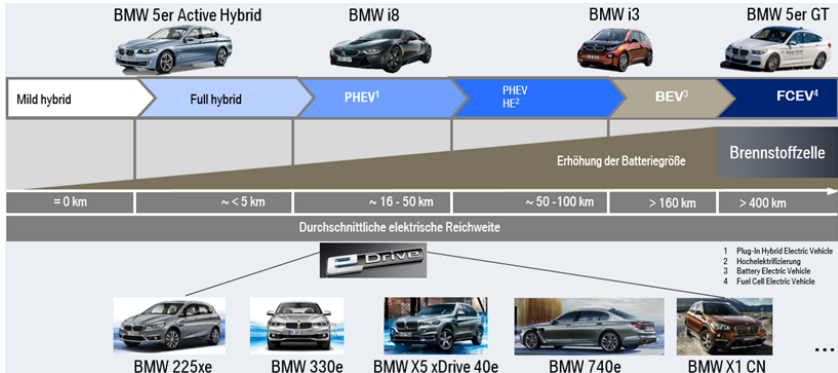


ABBILDUNG 1.1: Elektrifizierungsgrade im BMW Group Produktportfolio, Stand 2015

1.2 Notwendigkeit leistungselektronischer Miniaturisierung

Es ist erkennbar, dass der aufgezeigte Zielkonflikt für elektrische Fahrzeugkomponenten maßgeblich durch ein hohes Maß an Funktionsintegration und Miniaturisierung bei hoher Effizienz und Leistung sowie automobiler Qualifizierung gelöst werden kann. Exemplarisch wird in dieser Arbeit das im Fahrzeug verortete AC-Ladegerät für den Hochvoltspeicher behandelt, siehe hierzu Abb. 1.2. Steigenden Reichweitenanforderungen des Kunden kann dabei vorrangig mit einer Erhöhung der verbauten elektrischen Speicherkapazität begegnet werden. Sich daraus ergebende Ladezeitverlängerungen sind jedoch aus Kundensicht inakzeptabel und wirken sich empfindlich auf den wahrgenommenen Fahrzeugnutzwert aus. Folglich muss die im Fahrzeug verbaute Ladeleistung analog zum Hochvoltspeicher anwachsen. Im Gegensatz zu externen Ladesäulen erzwingen erwähnte Bauraumrestriktionen deshalb die Leistungsdichteerhöhung des Ladegeräts bei hoher Effizienz, um Energieverbrauchswerte und Kühlaufwände, abermals bauraum- und kostenrelevant, zu minimieren. Automobile Sicherheitsanforderungen übersetzen sich in hardwareimplementierte Schutz- und Sensorbeschaltungen, die den zuverlässigen Betrieb über die gesamte Fahrzeuglebensdauer hinaus gewährleisten. Etwaige Mehrkosten der Komponente sind mit den erwähnten systemseitigen Vorteilen wie Bauraumeinsparungen und gesteigerter Funktionalität



ABBILDUNG 1.2: Anforderungen an das im Fahrzeug verortete AC-Ladegerät

in Bezug zu setzen und dadurch in gewissem Umfang kaufmännisch vertretbar. Industrielle Skaleneffekte können bislang neuartige, aber noch teure Technologien, somit rasch konkurrenzfähig erscheinen lassen, sofern eine Qualifizierung umsetzbar ist [3].

1.3 Potentiale neuartiger Leistungshalbleitertechnologien

Die erwähnten leistungselektronischen Prämissen rücken dadurch die Potentiale neuartiger Leistungshalbleiter mit hoher Bandlücke (WBG) in den Fokus industrieller Entwicklungsarbeit. Während Siliziumkarbid (SiC) durch seine hohen Sperrspannungen und Schaltleistungen für den Einsatz im HV-Bordnetz prädestiniert ist und dort den Silizium-(Si)-Insulated Gate Bipolar Transistor (IGBT) ersetzen kann, rückt Galliumnitrid (GaN) mit mittleren Sperrspannungen und Leistungen im netzgebundenen Ladegerät als Ersatz für den Si-Feldeffekttransistor (FET) in den Vordergrund. Gemein ist beiden Technologien, gegenüber der langjährig etablierten und weiterentwickelten Si-Halbleitertechnologie ein potentiell überlegenes Schalt- und Leitverhalten aufzuweisen. Sofern diese in der aktuellen Forschung bestätigten Vorzüge [4] topologisch und systemseitig nutzbar sind, stellt dies signifikant verringerte aktivseitige Verluste in Aussicht. Dies hat entweder

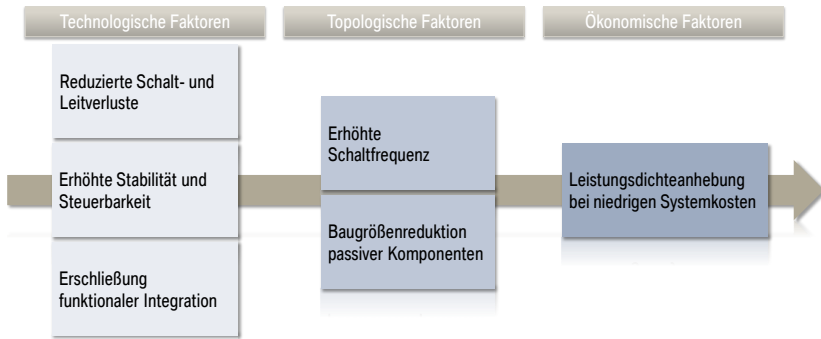


ABBILDUNG 1.3: Kausalkette der leistungselektronischen Miniaturisierung

direkte Auswirkungen auf Effizienz und Kühlbedarf bei gleichem Komponentenbauraum, oder führt mittels verlustneutraler Anhebung der Schaltfrequenz eingesetzter Topologien zu einer Baugrößenminimierung gekoppelter passiver Energiespeicher wie Spulen und Kondensatoren und damit der Gesamtkomponente nach Abb. 1.3. Mit Einsatz neuartiger Halbleitertechnologien ergibt sich ebenfalls die Notwendigkeit, das Packaging der Halbleiter in industriell prozessierbare Einzelgehäuse oder ganze Halbleitermodule weiterzuentwickeln. Einerseits, um die propagierten Vorteile der Technologie überhaupt nutzbar zu machen, andererseits, um deren Attraktivität im Sinne industrieller Anwendungsprämissen durch Funktionsintegration zu erhöhen. Dies bedeutet beispielsweise die Ko-Integration von Sensorik und Ansteuerung, in der Forschung bereits monolithisch geschehen [5]. Nicht zuletzt ist darauf hinzuweisen, dass die Qualifizierung disruptiver Technologien die Erfassung neuartiger Fehlermechanismen erfordert, deren Übertragbarkeit auf Si-Technologie grundsätzlich nicht gegeben ist. Es müssen spezifische Kriterien neu definiert werden, Langzeitstudien und Erfahrungswerte in Bezug auf eine praktische Implementierung sind entsprechend selten, ihre Marktdurchdringung ist derzeit noch gering.

Daher soll diese Dissertation in wissenschaftlicher und physikalisch motivierter Weise die zugrunde liegenden technischen Problemstellungen bei der Miniaturisierung von Leistungselektronik im automobilen Umfeld behandeln. Dies schließt insbesondere den zu Beginn der Arbeit noch relativ wenig verbreiteten GaN-Transistor in selbstsperrender Bauweise für Hochvoltanwendungen ein.

Er dient im nachfolgenden Verlauf der Arbeit aufgrund seines derzeit absehbar überlegenen Schaltverhaltens als Schlüsselkomponente mit besonderer Beachtung halbleiterphysikalischer Vorgänge. Deren vergleichende Betrachtung mit etablierter Si-Technologie ist daher Bestandteil des folgenden Kap. 2, bevor auf dessen Grundlage weitere in dieser Arbeit erzielte Technologiehübe diskutiert werden können.

Kapitel 2

Stand der Technik

In diesem Kapitel wird der Stand der Technik zu Beginn dieser Arbeit aufgearbeitet. Ausgehend von einer halbleiterphysikalischen Betrachtung neuartiger WBG-Halbleiter in Gegenüberstellung zur evolutionär gewachsenen Si-Technologie wird die leistungselektronische Halbbrückenkommutierungszelle mit ihren assoziierten Betriebsparametern und nonidealisierten Eigenschaften als Schlüsselkomponente automobiler elektrischer Topologien diskutiert. Diese Abstraktionsebene ermöglicht es im nachfolgenden Verlauf des Kapitels, eine zweistufige Hochvoltspeicher-Ladetopologie als automobilen Anwendungsfall optimierter GaN-Leistungselektronik zu betrachten. Gleichzeitig lassen sich die getroffenen Aussagen dadurch generalisiert auf eine Vielzahl weiterer Topologien und Transistortechnologien, insbesondere WBG-Halbleiter, beziehen, da lediglich Umgebungsvariablen beziehungsweise Modellbeschreibungsformen modifiziert werden müssen. Das Verständnis fundamentaler physikalischer Zusammenhänge und Mechanismen erlaubt nachfolgend eine Bewertung bestehender Simulations- und Optimierungsansätze zu leistungselektronischen Halbbrücken hinsichtlich Auflösung, Hierarchie und Verkoppelung im Systemverbund. Diese bilden die Diskussionsgrundlage für den theoretischen Hauptteil dieser Arbeit in Kap. 3.

2.1 Leistungshalbleiter

2.1.1 Der Si-MOSFET

Das Verständnis grundlegender Wirkzusammenhänge innerhalb einer leistungselektronischen Halbbrücke erschließt sich aus der zugrunde liegenden Transistortechnologie. Es wird nachfolgend nur insoweit auf den Si-FET eingegangen, sofern dies einem Vergleich mit der GaN-Technologie dienlich ist, und darüber hinaus auf weiterführende Literatur verwiesen [6] [7].

Halbleiterphysik

In konventionellen spannungsgesteuerten Si-FETs in Metal-Oxide-Semiconductor (MOS) Bauweise wird eine Leitkanalmodulation durch Verarmung bzw. Inversion des Halbleiterbulk an einem pn-Übergang im Wirkungsbereich eines isolierten Steuergates erzielt [8]. Im kommerziell erhältlichen Schalter ist das Bulk üblicherweise intern mit der Source verbunden, Auswirkungen eines von der Source abweichenden Backside-Potentials werden in der Literatur beschrieben [9]. Das Energiebandniveau am Si-Homoübergang wird maßgeblich durch Dotierprofile beeinflusst, die Bandlücke ist durch das Halbleitermaterial Silizium selbst vorgegeben. Es stellt sich im eingeschalteten Zustand eines n-MOSFETs mit einer Steuerspannung oberhalb der Einsatzspannung $U_{GS} > U_{TH}$ ein unipolarer Elektronenstromfluss zwischen den Kontakten Source und Drain ein (vgl. Abb. 2.1). Hier nicht näher beschriebene Sättigungseffekte bewirken, dass bei höheren Kanalspannungen bzw. Kanalströmen U_{DS} bzw. I_{DS} dessen anfänglich lineares Leitverhalten im voll durchgeschalteten Zustand $R_{DS,ON}$ als Funktion $f(U_{DS}, U_{GS}, \dots)$ zunehmend sättigt (vgl. Abb. 2.2), bis hin zu einer begrenzten Avalanche-fähigkeit als feldstärkeninduzierter Kanaldurchbruchmechanismus. Der MOSFET weist prinzipbedingt eine pn-Body-Diode antiparallel zum Leitkanal auf und ist damit als n-MOSFET im dritten Betriebsquadranten $(U_{DS}, I_{DS}) < 0$ leitfähig. Beim Schalten insbesondere induktiver Lasten weist der MOSFET daher vorteilhaft einen intrinsischen Freilaufpfad auf. Demgegenüber steht die in bestimmten Topologien geforderte, im MOSFET jedoch physikalisch nicht gegebene beidseitige Sperrwirkung in Bezug auf das Vorzeichen von U_{DS} . In leistungselektronischen Anwendungen, insbesondere bis etwa $U_{DS} = 650\text{ V}$, hat sich der vertikale MOSFET (auch DMOS) etabliert, da eine Vertikalstruktur eine einfache Parallelisierung auf Halbleiterkristall-Ebene (Die) und notwendige hohe Kanalweiten und -tiefen zulässt. Neuere Superjunction-MOSFETs erzielen hier einen besseren Kompromiss zwischen maximaler Sperrspannung über den Kanal und dessen Leitfähigkeit im durchgeschalteten Zustand. Erreicht wird dies über Kompensationsprofile entlang des Vertikalkanals [10]. Höchste Verlustleistungsdichten sind im Bereich der Kanalmodulation am Gate zu erwarten, der thermische Entwärmungspfad zum Halbleiterbulk im vertikalen MOSFET ist daher vergleichsweise geringer leitfähig.

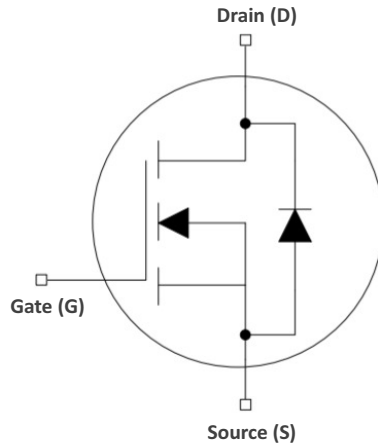


ABBILDUNG 2.1: Schaltzeichen nach G/D/S(/B)-Nomenklatur für Gate/Drain/Source(/Bulk) eines Superjunction-MOSFETs nach [10]

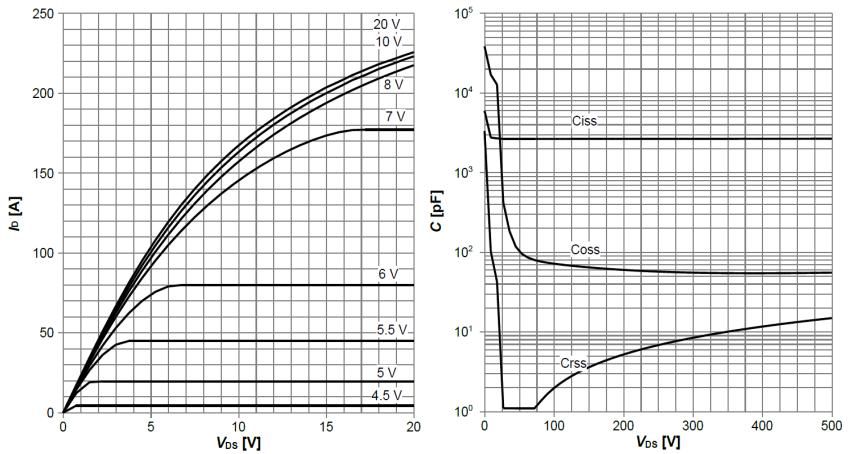


ABBILDUNG 2.2: Ausgangskennfeld und Kapazitätsbehaftung eines Infineon® IPDD60R050G7 MOSFET nach [11]

Parasitärbehaftetes Schaltverhalten

Parasitäres Schaltverhalten weist der MOSFET insbesondere durch seine parasitäre Streukapazitätsbehaftung auf (jeweils gesamtladungsäquivalente Kapazitäten):

- Ausgangskapazität $C_{OSS} = C_{DS} + C_{DG}$
- Eingangskapazität $C_{ISS} = C_{GS} + C_{DG}$
- Millerkapazität $C_{RSS} = C_{DG}$

Alle betrachteten Streukapazitäten sind geometrieabhängig und in hohem Maße von der Drain-Source-Spannung U_{DS} bestimmt, welche die Elektronenverteilung und damit die Ausbildung der Raumladungzone im abgeschalteten Zustand beeinflusst. Es kann weiterhin eine Unterscheidung zwischen Off- und On-State-Kapazitäten im ab- bzw. angeschalteten Zustand des Leitkanals $R_{DS,ON}$ stattfinden. Für leistungselektronische Anwendungen im vergleichsweise niedrigen topologischen Schaltfrequenzbereich $< 1\text{ MHz}$ ist diese jedoch nachrangig, da das niederfrequente Leitverhalten des Kanals dominiert. Auf eine exakte geometrische Lokalisation dieser Kapazitäten wird an dieser Stelle verzichtet, ihre Existenz weiterführend rein schaltungstechnisch behandelt.

Die eingangsseitige C_{ISS} bestimmt neben der später behandelten Schaltstabilität maßgeblich durch ihre benötigte Ladungsmenge nach

$$Q_{G,EFF} = \int_0^{V_{DS}} C_{ISS}(U_{DS}) \cdot du_{DS} \quad (2.1)$$

auch die Umladegeschwindigkeit und Treiberverlustleistung am Steuergate des Transistors. Die sich ergebende Umladezeit wiederum bewirkt vereinfacht nach

$$E_{LOSS,OHM} = \int_{t_2}^{t_3} I_{DS}(t) U_{DS}(t) \cdot d\tau \quad (2.2)$$

den ohm'schen Schaltverlustanteil einer idealisierten Schalttransition nach Abb. 2.3 exemplarisch für einen Einschaltvorgang unter der Annahme idealisierten Diodenverhaltens sowie Vernachlässigung parasitärer externer Induktivitäten und Kapazitäten. Das gezeigte Millerplateau U_M zwischen $t_{2,3}$ ist durch einen halbleiterphysikalischen Bezugswechsel der Millerkapazität C_{GD} auf Source und deren damit

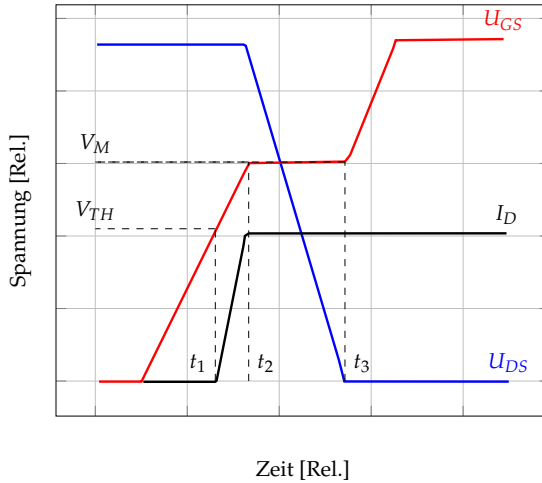


ABBILDUNG 2.3: Harte Schalttransition am FET mit Schwellspannung V_{TH} , Millerplateau V_M und Schaltverlusten während t_3-t_2

verbundenen Umladung charakterisiert. In dieser Phase muss vom Treiber ein zusätzlicher Ladestrom zur Verfügung gestellt werden, was verbunden mit der Treiberimpedanz die diskutierte Schaltverzögerung bedingt. Darüber hinaus muss im Einschaltfall die Dissipation der kapazitiven Ausgangsenergie berücksichtigt werden:

$$E_{\text{LOSS,CAP}} = \frac{1}{2} \cdot C_{\text{OSS}} \cdot U_{\text{DS}}(t_1)^2 \quad (2.3)$$

Es ist ersichtlich, dass sofern aufgrund topologischer Gegebenheiten zum Einschaltzeitpunkt eine initiale Drain-Source-Spannung $U_{\text{DS}}(t_1)$ von Null sichergestellt werden kann, die sich ergebenden Schaltverluste gegen Null streben. Man spricht dann von sog. Zero Voltage Switching (ZVS) als Sonderform einer weichen Kommutierung.

Die physikalisch bedingte pn-Body-Diode generiert während Umladevorgängen des Leitkanals in ihrer Raumladungszone Reverse-Recovery-Verluste in Abhängigkeit von entsprechenden Ladungsmengen Q_{RR} als Summe aus eingespeicherter Sperrschicht- und Diffusionsladung. Hohe dI/dt -Belastungen können diese Body-Diode bis hin zur irreversiblen Schädigung strapazieren [12]. Die externe

Parallelschaltung einer zweiten (Schottky-)Diode als Freilaufpfad stellt hier eine praxisübliche Lösung dar. Neben höheren Materialaufwänden ist die parasitär-induktive Anbindung dieser diskret verorteten Diode nachteilig, die tatsächliche Schutzwirkung aufgrund streuinduktiver Entkoppelung ist zu bewerten. Darüber hinaus weist der MOSFET eine parasitäre npn-Struktur auf, die durch hohe dU_{DS}/dt Anregung in einen leitfähigen Zustand übergehen und zum topologischen Brückenkurzschluss führen kann. Dieser sog. Latch-Up-Effekt kann dann durch das Steuergate nicht weiter unterbunden werden [13]. Die Performance eines Leistungstransistors kann basierend auf obigen Ausführungen vereinfachend im Sinne einer Vergleichbarkeit mittels Figure of Merit (FOM) nach Gl. 2.4-2.8 in Anlehnung an [14] beschrieben werden:

- Schaltverluste in Abhängigkeit der Leitverluste:

$$FOM_1 = R_{DS,ON} \cdot Q_G \quad (2.4)$$

alternativ:

$$FOM_{1a} = R_{DS,ON} \cdot C_{ISS} \quad (2.5)$$

- Leitverluste in Abhängigkeit der maximalen Sperrspannung:

$$FOM_2 = \frac{R_{DS,ON}}{U_{DS,MAX}} \quad (2.6)$$

- Erweiterung FOM_2 um Ausgangskapazität:

$$FOM_3 = FOM_2 \cdot C_{OSS} \quad (2.7)$$

- Erweiterung FOM_2 um Reverseladung der Body-Diode:

$$FOM_4 = FOM_2 \cdot Q_{RR} \quad (2.8)$$

Packaging

Kommerziell verfügbare Packages für Leistungstransistoren sind nach Anzahl der verorteten Chips zu kategorisieren:

- **Single-Die Packages:**

Der enthaltene Leistungstransistor ist auf einem thermisch aktiven Substrat verortet und üblicherweise via Bonddrähte nach außen hin zu den Packageterminals ankontaktiert. In Ausnahmefällen ist bereits eine entsprechende Treiberstufe integriert. Etablierte Gehäuse für Single-Die Transistoren sind D2PAK, TO-220 oder TO-247 mit erhöhten Streuinduktivitäten im Bereich mehrerer nH für den Lastkommutierungspfad Drain zu Source [15]. Diese Packages sind daher nur eingeschränkt für schnell schaltende und hochfrequent betriebene Halbbrückenschaltzellen geeignet. Die Entwärmung über die externe thermische Schnittstelle erfolgt über das Bulk des Transistors. Eine gleichzeitig stattfindende elektrische Isolation ist üblicherweise nicht realisiert, sodass das thermische Pad des Packages auf Drain-Potential liegt. Die dauerhaft zulässige Verlustleistung eines Single-Die-Packages ist im Bereich von 10-50 W zu erwarten. Diese ergibt sich aus der zulässigen maximalen Sperrschichttemperatur des Leistungstransistors in Verbindung mit dem thermischen Widerstand des Gehäuses sowie dessen thermische Anbindung an eine externe Wärmesenke. Kleinere, über die elektrische Ankontaktierung nach unten in das Printed Circuit Board (PCB) entwärmende Surface Mounted Device (SMD)-Packages (sog. Bottom Side Cooling) sind großflächigen Through Hole Technology (THT)-Packages aufgrund konsequenterweise kleinerer Anbindungsflächen thermisch unterlegen. Belastbare Aussagen können jedoch nur unter Berücksichtigung des resultierenden gesamten thermischen Pfades getroffen werden. Infineon® hat mit seinen COOLMOS® Superjunction-MOSFETs ein breites Produktportfolio im 650 V Spannungsbereich.

Andere Hersteller wie Vishay®, Toshiba®, ONSemiconductor® und ST® konkurrieren in ebendieser Leistungsklasse.

- **Multi-Chip-Module:**

Leistungselektronische Module weisen üblicherweise mindestens eine, oftmals mehrere packageintegrierte Halbbrücken auf, zusätzlich eingehäuste Treiberstufen sind im Ausnahmefall vorhanden. Die elektrische Ankontaktierung erfolgt üblicherweise via

Bonddrähte oder Leadframes, die sich ergebenden Lastkommunikationskreise beschränken sich auf die geometrische Modulausdehnung und sind im Vergleich zur diskreten Halbbrücke zum Teil deutlich reduziert. Aufgrund der packageintern geschlossenen Halbbrücke(n) ist die thermische Ankontaktierung der einzelnen Transistoren üblicherweise bereits isoliert ausgeführt, sodass das thermische Pad auf Erdpotential liegen kann. Zulässige Verlustleistungen bewegen sich im Bereich mehrerer Hundert Watt bis wenige Kilowatt für den automobilen Anwendungsfall. Semikron® bietet beispielhaft neben anderen Herstellern entsprechende Vollbrückenmodule an.

Thermisches Interface

Das thermische Interface auf packageexterner Ebene unterscheidet sich hinsichtlich seiner elektrischen Isolationsfestigkeit zur üblicherweise auf Erdpotential liegenden, elektrisch leitfähigen Kupfer- oder Aluminiumstruktur:

- Als elektrisch potentiell oder tatsächlich leitfähige thermische Ankontaktierungen gelten metallische (Lot-)Verbindungen sowie sämtliche pastös aufgetragenen, thermisch leitfähigen Beschichtungen bzw. Verklebungen.
- Als elektrisch definiert nichtleitende thermische Ankontaktierungen gelten strukturfeste, nichtleitende Kunststoffe oder Keramiken, üblicherweise in dünner Folien-, Pad- oder Scheibenform.

Die gesamte thermische Impedanz eines Systems ergibt sich dabei aus der Summe aller Einzelimpedanzen vom Leitkanal bis hin zur Kühlanbindung. Der Wärmefluss muss den Halbleiterkristall bis hin zum Bulk überwinden, von dort das Package bis hin zum thermischen Pad, davor oder danach eine thermisch leitfähige elektrische Isolationsschicht (TIM) und schließlich den Pfad zum Kühlmedium, üblicherweise Luft oder Wasser. Da die nutzbaren Übergangsflächen auf Package-Ebene vergleichsweise klein sind, ist die sofortige laterale Spreizung des Wärmeflusses anzustreben, sodass eine elektrische Isolation nicht zwingend direkt am thermischen Transistorpad erfolgen muss. Für alle thermischen Schnittstellen müssen mechanische Aspekte wie insbesondere Anschraubpunkte, Anzugsmomente, Biegebelastungen, Kriechstrecken zur Umgebung durch Kondensation von Luftfeuchte sowie thermische Ausdehnungskoeffizienten Beachtung finden. Aus

elektrischer Sicht stellt die thermische Schnittstelle eine streukapazitive Anordnung üblicherweise zum Erdpotential dar, welche im Sinne Elektromagnetischer Verträglichkeit (EMV) eine entsprechende Befilterung beispielsweise durch Y-Kondensatoren voraussetzt.

Qualifizierung und Marktdurchdringung

Als evolutionär gewachsene Technologie sind Fehlerbilder in Si-MOSFETs weitreichend verstanden und abgesichert. Die Einhaltung einschlägiger Qualifizierungsstandards beispielsweise nach der Solid State Technology Association (JEDEC) Automotive Electronic Council (AEC) AEC-Q100 ist üblicherweise gegeben. Anwendungssicherheit und attraktive Preisniveaus der reifen Si-MOSFET Technologie ziehen eine bislang hohe Marktdurchdringung nach sich und sind Alleinstellungsmerkmale der Si-Technologie im direkten Vergleich zu neuartigen WBG-Halbleitertechnologien [3].

2.1.2 Der GaN-HEMT

Gegensätzlich zu im vorherigen Abschnitt vorgestellten Si-Halbleitern weisen WBG-Transistoren intrinsische Technologievorteile auf, die nachfolgend anhand des GaN-HEMTs diskutiert werden.

Halbleiterphysik

Der Leitkanal eines GaN-HEMTs besteht nunmehr aus dem undotierten direkten III-V-Verbindungshalbleiter GaN in Form eines zweidimensionalen Elektronengases (2DEG) am Hetero-Übergang von AlGa_N zu GaN. Nach Tab. 2.1 weist GaN, ähnlich zu SiC, die namensgebende größere Bandlücke auf. Damit ist das Material prinzipbedingt für höhere Feldstärken und damit Sperrspannungen des Transistors prädestiniert, außerdem toleranter gegenüber hohen Betriebstemperaturen. GaN weist zusätzlich erhöhte Elektronenbeweglichkeiten und Sättigungsgeschwindigkeiten auf, welche in Folge die Stromtragfähigkeit und damit den $R_{DS,ON}$ positiv beeinflussen und zur Namensgebung des High Electron Mobility Transistors (HEMT) beitragen. Die thermische Leitfähigkeit bleibt dabei mit reinem Si vergleichbar. Tab. 2.1 sind entsprechende Daten zu entnehmen, Abb. 2.4 verdeutlicht die Lage des in vorherigem Abschnitt definierten FOM_2 .

Material / Konstante	Si	SiC (4-H)	GaN
Bandlücke E_g [eV]	1.12	3.26	3.39
Durchbruchfeldstärke E_c [MV/cm]	0.3	3	3.3
Intrinsische Elektronendichte n_i [cm^{-3}]	$1.5 \cdot 10^{-10}$	$8.2 \cdot 10^{-9}$	$1.9 \cdot 10^{-10}$
Elektronensättigung v_{sat} [10^7 cm/s]	1	2	2.5
Elektronenmobilität μ [cm^2/Vs]	1350	700	1200-2000
Thermische Leitfähigkeit k [W/cm/K]	1.5	4	1.3

TABELLE 2.1: Materialkonstanten von WBG-Halbleitern vs. Si bei Normalbedingungen nach [16]

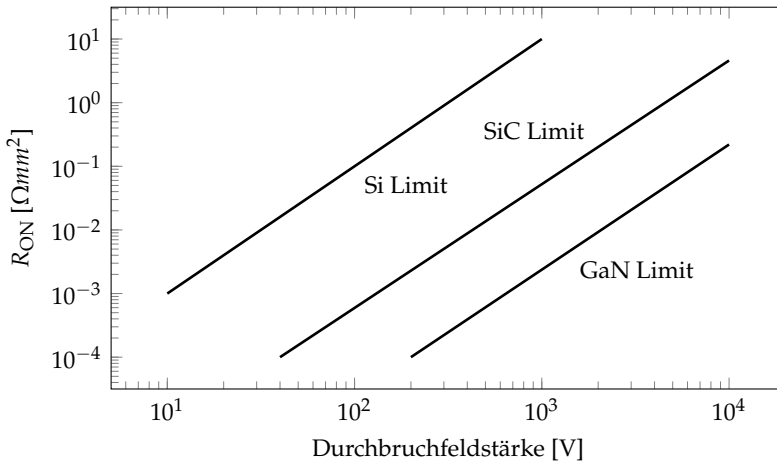


ABBILDUNG 2.4: Theoretischer FOM_2 von WBG-Halbleitern vs. Si nach [17]

Um einen modulierbaren Leitkanal $R_{DS,ON}$ im GaN zu erzeugen, wird ein AlGaIn-Kristall vertikal ankontaktiert, sodass ein Heteroübergang von großer (AlGaIn) nach kleiner Bandlücke (GaN) entsteht. Im Fermiequilibrium bildet sich unterhalb der Grenzfläche im GaN ein Quantenpotentialtopf (zweidimensionales Elektronengas) mit Energiebändern gemäß der Schrödingergleichung aus [18], siehe hierzu Abb. 2.5 für $U_G = 0\text{V}$ mit intrinsischer Leitungsbandverbiegung unterhalb des Fermipotentials $E_c < E_F$. Ein scharf begrenzter Bereich am AlGaIn-GaN-Heteroübergang wird aufgrund spontaner und piezoelektrischer Polarisierungseffekte intrinsisch mit Elektronen

befüllt [16], die einem unipolaren lateralen Stromfluss unterhalb des AlGaN zur Verfügung stehen. Die Abwesenheit von Dotieratomen im GaN-Kristall erlaubt wiederum erhöhte Elektronengeschwindigkeiten aufgrund gesunkener Streuwirkung und bewirkt eine Reduzierung parasitär-kapazitiver Behaftungen. Der GaN-HEMT nimmt Sperrspannungen im Vergleich zur vertikalen Si-DMOS Struktur in lateraler Richtung definiert durch den Abstand zwischen Gate- und Drain-Elektrode auf, was flächige Transistorstrukturen bedingt. Weiterhin nachteilig ist, dass zur Sperrung des Leitkanals eine extrinsische Bandverbiegung $q \cdot U_G$ am Schottky-Übergang zum AlGaN konstruktiv dauerhaft durch eine Gatetreiberschaltung sichergestellt werden muss. Um den selbstleitenden depletion-mode d-GaN-HEMT zu einem selbstsperrenden enhancement-mode e-GaN-HEMT analog zum n-MOSFET zu modifizieren, stellt das Einbringen einer p-dotierten Schicht zwischen Gateelektrode und AlGaN [19] eine industrialisierbare Lösung dar, welche eine intrinsische Bandverbiegung verursacht und den Potentialtopf ohne externe Steuerspannung U_{GS} verarmt. Der selbstsperrende Transistor wird aus Gründen funktionaler Sicherheit in einer Vielzahl industrieller und automobiler Topologien vorausgesetzt. Die sich ergebenden Nachteile wie höhere Prozesskosten, geringere Flächennutzung und damit reduzierte FOMs sowie weitere parasitäre Effekte führen derzeit aus industrieller Sicht zu keiner absehbaren Benachteiligung des enhancement-mode GaN-HEMTs, sofern nachfolgend diskutierte Qualifizierungsanforderungen gleichzeitig erfüllt bleiben. Weiterhin spielt auch beim GaN-HEMT das bulkseitige Backside-Potential eine Rolle in Bezug auf Schalt- und Leitverhalten [9]. Auf eine detaillierte Ausführung wird verzichtet und fortführend angenommen, Bulk und Source seien intrinsisch kurzgeschlossen. Einsatzspannungen V_{TH} von enhancement-mode GaN HEMTs liegen im Bereich von 1.8 V, maximal zulässige Gatespannungen $V_{GS,MAX}$ bei etwa 7 V [17]. Dies stellt besondere Anforderungen an die externe Treiberbeschaltung dar. Das sich ergebende Transistorbauelement ist in seiner prinzipiellen Struktur in Abb. 2.6 gezeigt. Der GaN-HEMT verfügt aufgrund fehlender Dotierung über keine physikalische Body-Diode, ist jedoch wie der Si-MOSFET im dritten Quadranten leitfähig. Negatives U_{DS} bedingt ein selbstständiges Erreichen der Einsatzspannung $U_{GS} = V_{TH}$, sodass der Kanal aufsteuert. Diese Quasi-Bodydiode hat näherungsweise eine Vorwärtsspannung $U_f \approx V_{TH}$ sowie einen Bahnwiderstand $\approx R_{DS,ON}(V_{TH})$ und erzeugt damit Rückwärtsleitverluste, sofern der Kanal nicht aktiv weiter aufgesteuert wird.

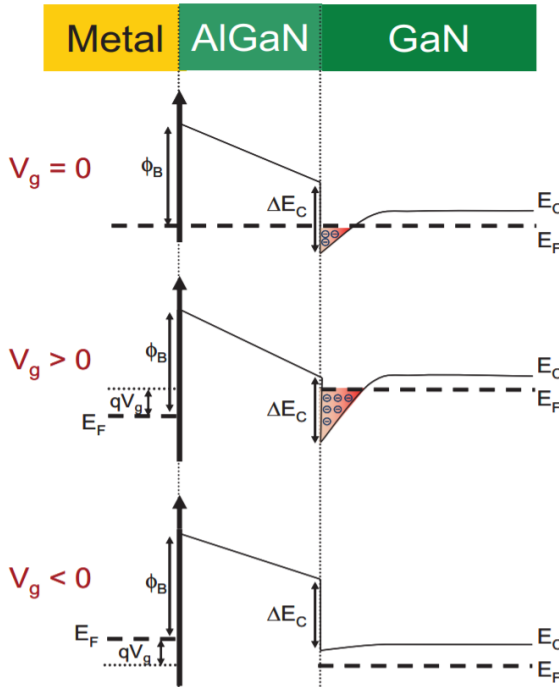


ABBILDUNG 2.5: Leitungsbandstruktur des d-GaN-HEMT nach [16]

Parasitärbehaftetes Schaltverhalten

Da der GaN-HEMT keinerlei kanalaktive Dotierung aufweist, existieren keine pn-Raumladungszonen, die bei transienten Vorgängen umgeladen werden müssen. Die parasitäre Kapazitätsbehaftung eines GaN-HEMT ist somit signifikant geringer und alleine durch die Kanalgeometrie bedingt, die Quasi-Body-Diode weist praktisch kein Q_{RR} auf. Das Ausgangskennfeld im ersten Quadranten sowie die parasitäre Kapazitätsbehaftung sind exemplarisch in Abb. 2.7 verdeutlicht. Bei gleichem FOM_2 werden $FOM_{1,3,4}$ signifikant erhöht und führen zu steilflankigem (typ. $> 100 \text{ V/ns}$) und damit nach Abb. 2.3 zu verlustminiertem Schaltverhalten. Das Fehlen einer parasitären npn-Parallelstruktur schließt einen intrinsischen Latch-Up Effekt aus. Der Leitkanal $R_{RD,ON}$ weist jedoch im Vergleich zum Si-MOSFET ein erhöhtes zeitdynamisches Verhalten auf, was als dynamischer

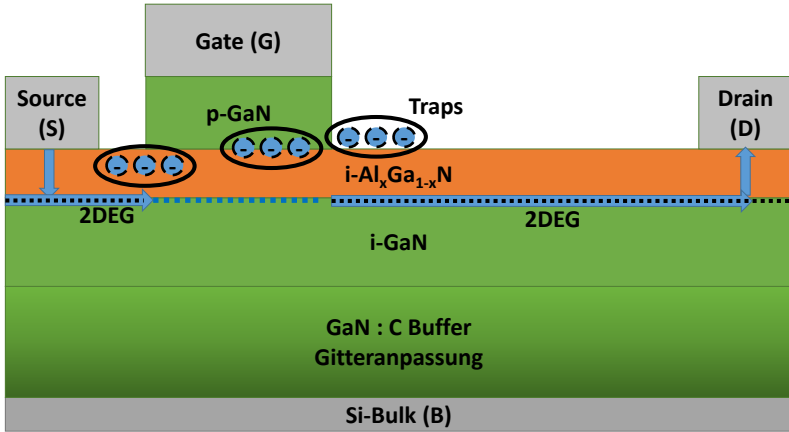


ABBILDUNG 2.6: Vereinfachte Struktur eines e-GaN-HEMT mit zweidimensionalem Elektronengas (2DEG) ohne Feldplatten

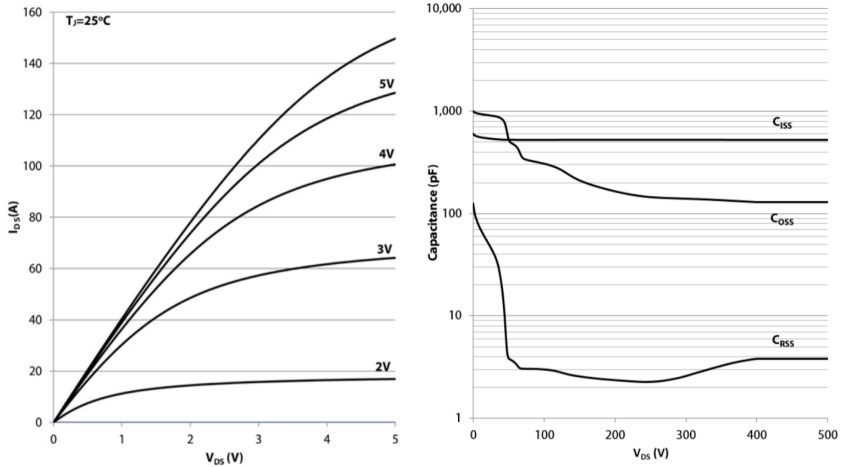


ABBILDUNG 2.7: Ausgangskennfeld und Kapazitätsbehaftung eines Gansystems® GS66516T GaN-HEMTs nach [20]

Leitkanalwiderstand $R_{DS,ON,DYN} = f(t, U_{DS}, T, \dots)$ Berücksichtigung finden muss. Dies trifft insbesondere auf e-GaN-HEMTs zu [21]. Bei harter Kommutierung mit hoher U_{DS} -Vorspannung werden Störstellen im Halbleiterkristall besetzt. Abhängig von ihrer Lokalisation innerhalb der Bandstruktur (vgl. Abb.2.6) und Halbleiterkristalltemperatur ist die Freisetzung dieser Störstellen mit einer korrespondierenden Zeitkonstante nach Abklingen von U_{DS} (Einschalten des HEMTs) verbunden. Dies bewirkt eine temporäre Erhöhung des Leitkanalwiderstandes mit Zeitkonstanten im Bereich weniger ns bis ms. Für leistungselektronische Anwendungen kann dies einen signifikanten Anteil der gesamten Schaltperiode darstellen und damit zu parasitär erhöhten Schaltverlusten führen. In der Literatur werden dynamische Leitkanalerhöhungen pauschal mit dreifachem $R_{DS,ON}$ genähert [21]. Eine exakte und praxistaugliche Beschreibungsform sowie deren zukünftige Notwendigkeit in Anbetracht zunehmend minimierter Störstellendichten ist derzeit Gegenstand der Forschung, die Thematik wird an dieser Stelle nicht weiter vertieft.

Packaging

Folgende kommerziell verfügbare Packagevarianten finden sich derzeit am Markt:

- **Single-Die Packages:**
Um den intrinsischen Vorteilen von WBG-Halbleitern wie GaN Rechnung zu tragen, werden für diskret verortete Transistoren neuartige Packaging-Lösungen wie Embedding in eine PCB-Struktur oder Flip-Chip-Geometrie angestrebt. Diese weisen deutlich geringere Streuinduktivitätsbehaftungen auf, für den Lastkreis sind Packagewerte unterhalb 1nH möglich [20]. Die Packages selbst sind dabei deutlich kompakter, die SMD-Bauform vorteilhaft gegenüber der Through-Hole-Technologie-Montage (THT) mit langen Kontaktfüßen. Die ko-Integration von Treiberstufen erscheint insbesondere für GaN sinnvoll, um den gestiegenen Gateanforderungen gerecht zu werden. Die zulässigen Verlustleistungen pro Package können aufgrund des thermisch-elektrischen Zielkonflikts beim Packagedesign kleiner ausfallen, was dank geringerer Schaltverluste relativiert werden kann. Hersteller wie EPC® oder Gansystems® bieten einzelne e-GaN-HEMTs in eigenen impedanzoptimierten Packages an. Panasonic® hat mit seinem Gate Injection Transistor [22] eine

Abwandlung des oben vorgestellten HEMT-Schaltprinzips im Portfolio und adaptiert dazu einen passenden Gate-Treiber.

- GaN-Kaskoden:
Transphorm® bietet eine Packagelösung für einen GaN-HEMT in Kaskodenschaltung mit einem Si-MOSFET an [23]. Das Bauteil zeigt extrinsisch selbstsperrendes Verhalten, auf das GaN-Steuergate besteht kein direkter Zugriff. Texas Instruments® bietet eine Packagelösung für eine Pseudo-Kaskode an, bei der ein Si-MOSFET lediglich als Enabler und Sensor dient. Die Treiberstufe ist im Package integriert und minimiert parasitäre Steuerkommutierungszellinduktivitäten [24].
- Halbbrückenmodule:
Texas Instruments® hat mit dem LMG5200 eine LV-Halbbrücke inklusive Treiberstufe im Portfolio. Es handelt sich um reine e-GaN-HEMTs, jedoch in einer für traktionsrelevante Automotive-Einsatzgebiete zu geringen Spannungs- und Leistungsklasse.

Das ko-Packaging gesamter Halbbrückenmodule ist derzeit für GaN am Markt nicht zu beobachten. Für SiC hingegen existieren äquivalente Halb- und Vollbrückenmodule für entsprechende Leistungsklassen von Si-MOSFETs und IGBTs. Die ko-Integration zusätzlicher Diagnosefunktionalität wie Spannungs-, Strom- und Temperaturüberwachung ist ein weiterer, sich insbesondere bei WBG-Halbleitern fortsetzender Trend, um das volle Potential der Technologie nutzbar zu gestalten.

Thermisches Interface

Für WBG-Halbleitertransistoren, und damit auch für den GaN-HEMT, gelten prinzipiell ähnliche Rahmenbedingungen und Anforderungen für das thermische Interface wie in vorherigem Abschnitt für den Si-MOS beschrieben. Aufgrund nötiger explorativer Packagedesigns zur topologischen Potentialentfaltung der durch geringere Parasitärbelastung steileren Schaltflanke des HEMTs sowie höherer möglicher Betriebstemperaturen ist jedoch davon auszugehen, dass thermisch performante, niederinduktive und gleichzeitig mechanisch zuverlässige Package-Konzepte eine Schlüsselrolle bei der Industrialisierung dieser Technologie einnehmen werden.

Qualifizierung und Marktdurchdringung

Der GaN-HEMT lässt sich im Vergleich zum SiC-FET epitaktisch auf Si prozessieren [25]. Weitgehend kompatible Si-Fertigungsanlagen stellen hier einen Kostenvorteil dar, während die SiC-Wafer aufgrund ihrer physikalischen Eigenschaften wie Härtegrad erhöhte Anforderungen an die Halbleiterproduktion bei geringerer Ausbeute stellt. Sollten damit einhergehende Nachteile wie eine potentiell erhöhte Störstellendichte aufgrund Gitterfehlpassungen im puffernden Si-Substrat langfristig behoben werden können, so kann der GaN-HEMT durch massenindustrielle Skaleneffekte auf das Niveau eines Si-MOSFETs gelangen [3].

Die Qualifizierung von GaN-HEMTs ist dagegen undurchsichtig. Die neuartige Halbleiterphysik weist abweichende Fehlerbilder auf, die mit etablierten, dem Si-MOSFET entlehnten Qualifizierungsverfahren nur unzureichend abgedeckt werden. Die GaNSPEC Working Group der JEDEC hat hier zum Ziel, vereinheitlichte und der GaN-Physik angepasste Maßnahmen festzulegen [26]. Während der SiC-FET eine höhere Marktreife besitzt, sind bestimmte Halbleitermechanismen wie Threshold-Voltage-Shifting derzeit ebenfalls im Sinne einer Halbleiterqualifizierung weiter auszudefinieren.

2.2 Die leistungselektronische Schaltzelle

An die Betrachtung der Die-basierten Transistorphysik schließt sich im folgenden Abschnitt die Behandlung einer leistungselektronischen Schaltzelle an. Das vorgestellte Transistorpackage stellt hier eine elektrische und thermische Schnittstelle zum Halbleiter-Die dar und kann sowohl der Transistortechnologie, als auch wie nachfolgend der Schaltzelle zugeordnet werden. Optimierungsansätze betreffen daher stets das Package und die Schaltzelle selbst. Im diskret aufgebauten PCB-Design besteht hingegen lediglich designtechnischer Einfluss auf die Schaltzelle.

In einer Vielzahl leistungselektronischer Topologien wird der einzelne Transistor durch einen zumeist baugleichen zweiten Transistor erweitert, sodass aktiv zwischen zwei Potentialpunkten, üblicherweise Zwischenkreisspannung U_{DCL} und Massepotential, geschaltet werden kann. Abgeleitet hieraus ergibt sich die Nomenklatur High Side (HS) und Low Side (LS) der jeweiligen Leistungshalbleiter. Die Treiberstufe beider Transistoren, ob separat oder in einem Package verortet,

wird ebenfalls in die Betrachtung mit aufgenommen. Es ergibt sich eine Darstellung einer leistungselektronischen Halbbrückenschaltzelle (kurz Halbbrücke) analog Abb. 2.8 (Komponenten mit relevanten Submechanismen-/Modellen sind nachfolgend mit * versehen):

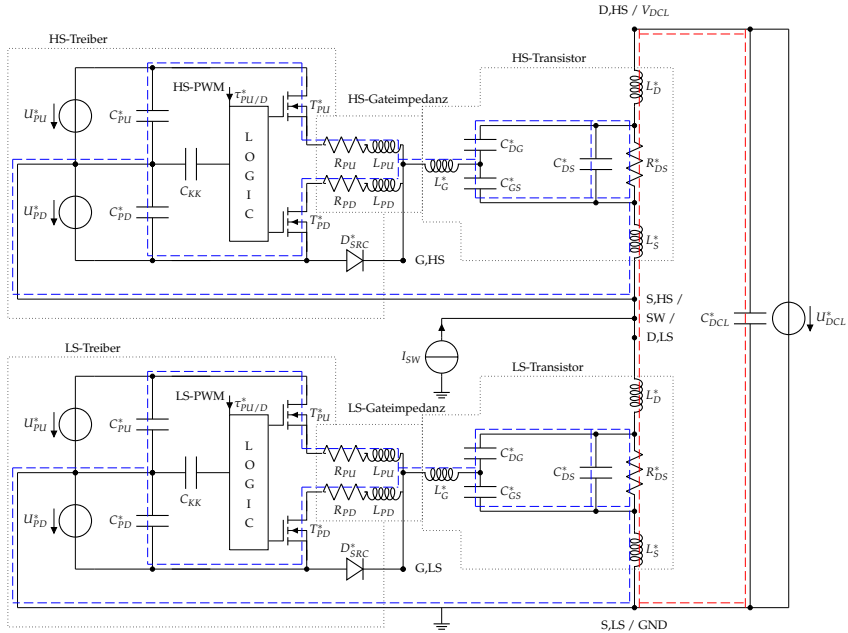


ABBILDUNG 2.8: Schema einer leistungselektronischen Halbbrücke, Last- und Gatekommutierungs-
kreise dargestellt in rot bzw. blau

2.2.1 Leistungstransistor

Der schematische Aufbau des Leistungstransistors ergibt sich aus folgenden Subkomponenten:

- Leitkanal R_{DS}^*
- Parasitäre Streukapazitäten C_{DS}^* , C_{GS}^* , C_{GD}^*
- Parasitäre Portinduktivitäten L_D^* , L_S^* , L_G^*

Eine Darstellung des Leitkanals als gesteuerte Stromquelle bzw. gesteuerter Widerstand ergibt sich über die am Leitkanal anliegende

Spannung. Die Ausführung eines Halbleiterbulks kann je nach Halbleitermodell bzw. Package gegeben sein, anderenfalls ist ein niederimpedant packageintern mit Source verbundenes Bulk angenommen. Eine Kelvin-Kontaktierung des Gates an eine separate Source kann packageabhängig vorhanden sein. Parasitäre Streukapazitäten können je nach Modell einen entsprechenden Bedämpfungsfaktor $R_{C,DS/GS/GD}$ analog dielektrischer GaN-Verlustfaktoren enthalten. Portinduktivitäten sind als Summe package-intrinsischer und layout-extrinsischer Schaltzelleninduktivitäten zu verstehen:

$$L_{D/S/G}^* = L_{D/S/G,INT} + L_{D/S/G,EXT} \quad (2.9)$$

2.2.2 Gateimpedanz

Analog ergibt sich für den schematischen Aufbau der Gateimpedanz:

- Pull-Up/-Down Widerstand $R_{PU/D}$
- Pull-Up/-Down Streuinduktivität $L_{PU/D}$
- Sourcing-Diode D_{SRC}^*

Streuinduktivitäten $L_{PU/D}$ beziehen sich dabei explizit auf die geometriebedingt asymmetrische Separierung des Gatetreibers vom Laststrompfad und stehen im Gegensatz zu regulären kombinierten Portinduktivitäten $L_{D/S/G}^*$. Widerstandswerte $R_{PU/D}$ können gegen Null gehen (insbesondere R_{PD}). Die Sourcing-Diode als separat verortetes Bauteil dient typischerweise der Spannungsbegrenzung am Transistorgate und bildet einen Parallelpfad zur CMOS-Treiberstufe, es existieren separate Diodenmodelle.

2.2.3 Treiberstufe

Für die in der Kommutierungszelle verortete Treiberstufe resultiert folgender schematischer Aufbau an Subkomponenten:

- CMOS-Ausgangsstufe $T_{PU/D}^*$
- Logikisolatoren mit individuellem Zeitversatz $\tau_{PU/D}^*$
- Pull-Up/-Down Spannungsquellen $U_{PU/D}^*$
- Pull-Up/-Down Pufferkondensatoren $C_{PU/D}^*$

Für die CMOS-Stufe und Logikisolatoren können separate N-/P-MOS Transistormodelle vorliegen, aus vorgelagerter Logik ergibt sich eine effektive Steuerlatenzzeit. Hochimpedante Treiberspannungsquellen, typischerweise Bootstrap-Schaltungen oder isolierende DC-DC-Kleinlastwandler, sind mittels separater Pufferkondensatoren für die gepulste Stromentnahme über die Treiberstufe stabilisiert, es kann ein erweitertes Ersatzschaltbildmodell vorliegen.

Zwischenkreis

Der Zwischenkreis besteht aus einer Anordnung eines oder mehrerer Zwischenkreiskondensatoren mit hinterlegten Submodellen. Die Zwischenkreisspannung kann als initiale Kondensatorladungsbedingung vorliegen oder wird mittels externer Spannungsquelle stabilisiert.

Laststrom

Der zu kommutierende Laststrom der Halbbrücke kann über eine Stromquelle oder ein topologieabhängiges Submodell (Lastinduktivität) eingespeist werden.

Sonstige Größen

Charakteristische elektrische Kommutierungskreisgrößen sind nach Abb. 2.8 folgendermaßen definiert:

- Die Pfadimpedanz für den Lastkommutierungskreis via $L_{D,HS}^*$, $R_{DS,HS}^*$, $L_{S,HS}^*$, $L_{D,LS}^*$, $R_{DS,LS}^*$, $L_{S,LS}^*$, $C_{DCL,1,2..n}^*$
- Die Pfadimpedanz für die Gatekommutierungskreise $C_{PU/D,HS/LS}^*$, $R_{PU/D,HS/LS}$, $L_{PU/D,HS/LS}$, $L_{G,HS/LS}^*$, $C_{iss,HS/LS}^*$, $L_{S,HS/LS}^*$ sowie $D_{SRC,HS/LS}^*$

Eine kapazitive Störeinkoppelung durch zeitveränderliche Spannungen innerhalb der Halbbrücke wird über Koppelkondensatoren $C_{KK,...}$ angegeben. Darüber hinaus sind für jede auf einem realen PCB verortete Komponente parasitäre Package- und Traceinduktivitäten beinhaltet (nicht gezeigt). Eine induktive Koppelung über anteilig verkoppelte Streuinduktivitäten hinweg wird nicht berücksichtigt.

2.2.4 Transientes Verhalten

Diese im Sinne einer besseren Übersicht verkürzte Konvention einer leistungselektronischen Schaltzelle erhebt keinen Anspruch darauf, sämtliche involvierten elektrischen Effekte abbilden zu können, sondern beleuchtet die in dieser Arbeit behandelten Mechanismen. Insbesondere sind dies unvermeidbare transistorseitige Parasitärkapazitäten gekoppelt mit schaltzellenseitigen Parasitärinduktivitäten. Die sich ergebenden Latenzzeiten und charakteristischen Schwingungen dieser LCR-Schwingkreise sind insbesondere in stark dU_{DS}/dt -angeregten WBG-Halbbrücken in vielerlei Hinsicht relevant. Eine Darstellung der Schaltzelle nach vorhergehender Abb. 2.8 erlaubt nachfolgend eine notwendige Differenzierung zwischen externen und portinternen elektrischen Größen.

Einfluss der Totzeit

Es müssen zur Charakterisierung des Schaltverhaltens als ZVS bzw. non-ZVS zwei grundlegende Vorbedingungen hinsichtlich des zu kommutierenden Stromes in Abhängigkeit der Halbbrückentransition unterschieden werden. Gemäß Tab. 2.2 ist dies die Transitionsrichtung (HS to LS und umgekehrt) der Halbbrücke sowie der per Abb. 2.8 definierte Kommutierungsstrom I_{SW} .

	$I_{SW} > 0$	$I_{SW} < 0$
LS to HS	ZVS	non-ZVS
HS to LS	non-ZVS	ZVS

TABELLE 2.2: Fallunterscheidung ZVS- zw. non-ZVS-Kommutierung

Für verlustminimierende Steuerbedingungen ergeben sich folgende Überlegungen:

- ZVS ist topologisch nicht gegeben (harte Kommutierung):
Nach dem Abschaltvorgang des initialen Halbbrückentransistors kommutiert der Stromfluss umgehend auf den Rückwärtsleitmechanismus der eingesetzten Halbleitertechnologie des betrachteten Transistors. Dies ist entweder eine tatsächliche pn-Diode, oder im Falle des GaN-HEMT das Aufsteuern des Kanals nach intrinsischer Umladung des Steuergates. Beide Effekte sind unerwünscht, da wie vorhergehend gezeigt

vermeidbar verlustbehaftet, können jedoch lediglich in ihrer zeitlichen Ausdehnung minimiert werden. Daraus folgt, dass unmittelbar nach Abschalten des Leitkanals des initialen Transistors der Komplementärtransistor aufgesteuert werden sollte. Dieser minimiert die Verluste in der Rückwärtsleitfähigkeit des initial abschaltenden Transistors, dissipiert allerdings selbst zusätzlich zu integralen Verlusten die gesamte kapazitive Halbbrückenenergie beider Ausgangskapazitäten $C_{DS,HS/LS}^*$, was zu erhöhten und dazu asymmetrischen Verlustleistungen der Halbbrücke führen kann, sofern stets derselbe Transistor hart ankommutiert. Die resultierende optimale Totzeit ist daher unter Einschränkungen so kurz wie möglich zu wählen.

- ZVS ist topologisch gegeben (weiche Kommutierung):
Nach dem Abschaltvorgang des initialen Halbbrückentransistors kommutiert der Stromfluss umgehend auf die parasitären Ausgangskapazitäten beider beteiligter Halbbrückentransistoren und führt zu deren Umladung, sodass strom- und kapazitätsabhängig nach einer bestimmten Zeit die ZVS-Bedingung am Komplementärtransistor erreicht werden kann. Der Transistor kann gemäß vorherigen Ausführungen mit verringerten Verlusten einschalten, was jedoch ebenfalls zu asymmetrischen Verlustleistungen der Halbbrücke führt. Die optimale Totzeit ist daher durch die Ladungsintegration des auf die parasitären Ausgangskapazitäten kommutierenden Laststroms maßgeblich bestimmt.

Ringung der Lastkommutierungszelle

Die Änderung der Schaltknotenspannung dU_{SW}/dt wird bei weicher Kommutierung alleine durch die laststrombedingte Umladung von $C_{DS,HS/LS}^*$ der Transistoren durch I_{SW}^* bestimmt, bei harter Kommutierung durch die gateseitig bestimmte Schaltgeschwindigkeit der Leistungshalbleiter. Insbesondere für GaN typische schnelle Kommutierungsvorgänge $> 100 \text{ V/ns}$ resultieren in einer Anregung des Lastschwingkreises. Ein Über- bzw. Einschwingverhalten des Schaltknotes während und nach Beendigung des Schaltvorgangs kann parasitär bedingt die Folge sein. Dies führt weiterhin zu induktiver und kapazitiver Einkopplung auf benachbarte Platinenabschnitte (wie vorhergehend beschrieben via C_{KK}) und damit zu EMV-kritischem Verhalten, Schaltinstabilitäten sowie unter Umständen zu einer Überschreitung der maximal zulässigen $V_{DS/GS,MAX}$.

2.2.5 Treiberseitige Auswirkungen

Steuerung des Schaltvorganges

Schaltgeschwindigkeiten dU_{DS}/dt des Leistungstransistors werden über den Gatekommutierungskreis maßgeblich beeinflusst, die Gatespannungsniveaus im durchgeschalteten Zustand und damit R_{DS}^* über die Spannungsquellen $U_{PU/D}^*$. Es kann insbesondere für GaN mit Schwellspannungen im Bereich $V_{TH} = 1.8\text{V}$ notwendig sein, $|U_{PD}^*| > 0\text{V}$ zu wählen, um über die Millerkapazität C_{GD}^* eingekoppelte Spannungsüberhöhungen per Spannungsoffset auszugleichen. Wie nachfolgend gezeigt wird, können parasitäre Einkoppelungen ansonsten zu signifikanten Störungen des ausgeschalteten Zustandes führen, sodass ein definierter Zustand der Halbbrücke nicht gegeben sein kann.

Safe Operating Area (SOA) des Gates

Die Gatekommutierungsinduktivität besteht vereinfacht aus einem bedämpften RLC-Schwingkreis, dessen Anregung durch treiberseitige Steuersignale oder kapazitiv eingekoppelte Millerströme erfolgt. Er bewirkt einerseits eine Steuerlatenz über die resultierende RC-Zeitkonstante, andererseits durch den Induktivitätsbelag ein Schwingverhalten, welches insbesondere die bei GaN-HEMTs empfindliche maximale Gatespannungsgrenze $V_{GS,MAX} = 7\text{V}$ verletzen kann. Schutzmaßnahmen wie Zener- oder Transient Voltage Suppressor (TVS)-Dioden können extern hinzugefügt werden, erhöhen durch ihre Parasitärkapazität jedoch die kapazitive Last der Treiberstufe, bei ungeeigneter Platzierung $L_{PU/D}$ selbst. Da weiterhin L_S^* einen signifikanten Beitrag zur Gatekommutierungsinduktivität leistet, ist es im Sinne des Halbleiterpackagings vorteilhaft, einen induktiv vom Lastkreis entkoppelten Kelvin-Port für die gateseitige Sourcekontaktierung vorzusehen, der vom dI_{DS}/dt -Anteil des Transistorlaststroms nicht erregt wird. Es ist erkennbar, dass alle an der Gatekommutierung beteiligten Komponenten, einschließlich der Spannungsstabilisierung am Treiber via $C_{PU/D}^*$, möglichst niederimpedant angebunden werden müssen, um die sich ergebende parasitäre Induktivitätsbehaftung des Gatekreises zu minimieren. So lassen sich die durch Miller- und Sourceinduktivitätseffekte hervorgerufenen Schwingvorgänge am Transistorgate auf ein verträgliches Maß reduzieren.

Spannungstransiente Effekte

Die beobachtbare Flankensteilheit einer Halbbrückenschaltung hängt gemäß Tab. 2.2 im beabsichtigten Fall der kontrollierten Umladung des Schaltknotes bei weicher Kommutierung von parasitären Ausgangskapazitäten der Transistortechnologie sowie des kommutierten Stromes ab. Gegensätzlich hierzu nehmen im hart schaltenden Fall die induktive Parasitärbehauptung des Last- und Gatekommutierungskreises sowie die physikalisch bedingten Umsteuervorgänge im Leitkanal selbst, insbesondere bei WGB-Bauelementen, eine Schlüsselrolle ein. Stark dU_{DS}/dt -belastete Schalttransienten führen somit zu weiteren parasitären Effekten in einer Halbbrückenschaltung nach Abb. 2.9. Verantwortlich ist die zwar verkleinerte, aber noch immer vorhandene Millerkapazität C_{GD}^* , welche die sourcebezogene Gatespannung U_{GS} mit der dU_{DS}/dt -Belastung kapazitiv verkoppelt. Änderungen der U_{DS} -Spannung führen daher zu direkt auf das Steuergate wirkende Verschiebungsströme nach Gl. 2.10:

$$I_{C_{GD}^*} = C_{GD}^* \cdot dU_{DS}/dt \quad (2.10)$$

Der technologischen Verkleinerung von C_{DG}^* steht nun die erhöhte Flankensteilheit gegenüber, abhängig von deren Ausprägung können Millerströme höhere Werte als in Si-MOSFETs annehmen. Um eine Umladung und damit eine parasitäre Potentialverschiebung von $U(C_{GS}^*)$ zu verhindern, müssen jegliche Verschiebungsströme von der Treibertopologie abgeleitet werden.

Für die Schalttransition $dU_{DS}/dt \gg 0$ ist bzw. wird der LS-Transistor abgeschaltet, der HS-Transistor ist bzw. wird angeschaltet (umgekehrt entsprechend analog).

- Für den LS Transistor gilt:
Die LS-Millerkapazität koppelt nach Umladung des Gates bis hin zu V_{TH} danach einen zum Treiber fließenden negativen Strom ein. Dieser erzeugt an L_G^* , L_{PD} , R_{PD} , $T_{PD,ON}^*$, $L_{C,PD}$ und L_S^* einen Spannungsabfall am Gate. Erreicht oder überschreitet dieser $V_{TH} + U_{PD}^*$, so steuert der LS-Leitkanal unbeabsichtigt auf. Ist der HS-Transistor abgeschaltet, so kommt es zu weiteren Umschaltverlusten, der Prozess ist selbstlimitierend durch das folglich abgeschwächte dU_{DS}/dt . Ist der HS-Transistor dagegen

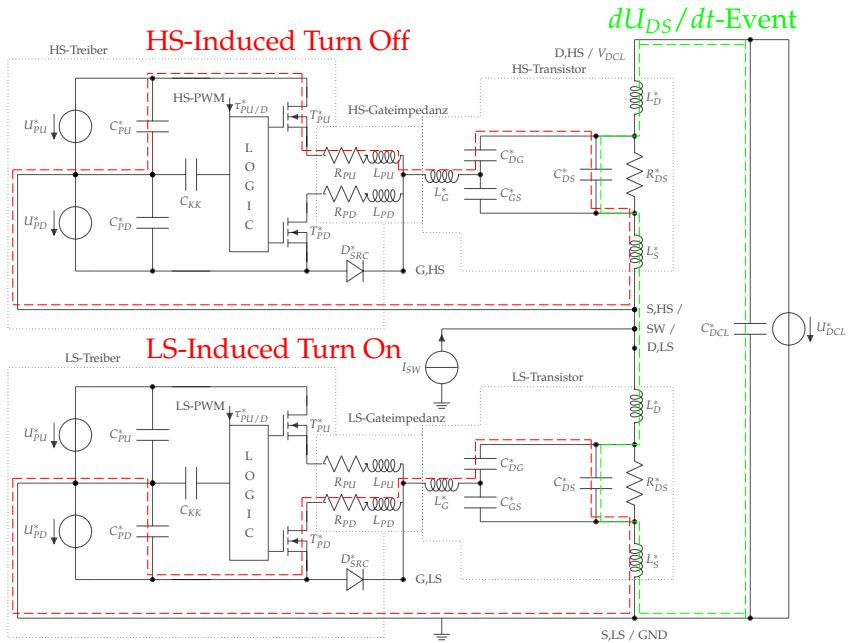


ABBILDUNG 2.9: Induced Turn-On/-Off Effekte und jeweilige Strompfade einer Halbbrücke bei $dU_{DS}/dt \gg 0$

bereits aufgesteuert, so kommt es zum partiellen oder vollständigen Halbbrückenkurzschluss. Letzterer resultiert in einem alleine durch $R_{DS,ON}^*$ und die relevanten Realteile von C_{DCL}^* limitierten Kurzschlussstrom, in seiner Anstiegsgeschwindigkeit durch die Lastkommutierungsinduktivität begrenzt. Wird der fehlerhafte Schaltzustand nicht behoben, kann der Transistor oder die gesamte Halbbrücke den hohen induzierten Gegenspannungen der fehlerregten Lastkommutierungszelle nicht standhalten, es kommt zur vollständigen Dissipation der gesamten Zwischenkreisenergie vornehmlich im Leitkanal beider Transistoren und damit zur wahrscheinlichen irreversiblen Zerstörung nach Gl. 2.11:

$$E_{DCL} = \frac{1}{2} (2 \cdot C_{DS}^* + C_{DCL}) U_{DCL}^{*2} \quad (2.11)$$

Dieser Effekt wird als dV/dt -induced False Low Side Turn-On bezeichnet.

- Für den HS-Transistor gilt außerdem:
 dU_{DS}/dt -intensive Schalttransienten koppeln analog zu vorherigen Ausführungen nun einen positiven Strom auf das HS-Steuer-gate ein, der entsprechende Überspannungen am relevanten Treiberpfad erzeugt. Der Transistor hat damit die Bestrebung, sich selbst wieder auszuschalten. Ist die sich ergebende Pfadimpedanz zu hoch, verliert der Treiber seine Steuerwirkung auf das Gate. Dieser Effekt wird durch den raschen Anstieg von C_{DG}^* kurz vor Erreichen der Schaltknotenumladung nochmals verstärkt. Dieser Umstand wird in späteren Kapiteln wieder aufgegriffen und nutzbar gemacht. Um den transienten Spannungsabfall am Gate idealerweise auf U_{PD} zu begrenzen, ist eine Sourcing-Diode D_{SRC}^* als Parallelpfad verortet. Dieser Effekt wird als dV/dt -induced False High Side Turn-Off bezeichnet.

Darüber hinaus haben dU_{DS}/dt -belastete Schalttransienten über geometrisch bedingte kapazitive Koppeleffekte C_{KK} Auswirkungen auf räumlich angrenzende Gebiete der Gesamttopologie. Neben der erwähnten kritischen EMV bedingt dies außerdem eine Einkoppelung auf möglicherweise sensible Logikteile wie Controller und dessen Transistor Transistor Logik (TTL)-Steuerpegel. Ungeeignet konzipierte Layouts können daher undefinierte Schaltzustände generieren, die sich über Logikisolation und Treiberstufe ausbreiten.

Es ist daher ersichtlich, dass eine performante Halbbrücke mit wirksamer Gateanbindung nur dann umsetzbar ist, wenn eine Transistortechnologie mit geringer parasitärer Kapazitätsbehaftung gewählt und diese in ihrem Aufbau, Package und Schaltzelle niederimpedant konstruiert wird. Dies wird im nachfolgenden Kap. 3 näher beschrieben.

Monolithische Packageintegration

Vorangegangene Ausführungen lassen erkennen, dass aus Sicht der Schaltzelle, insbesondere für WBG-Halbleiter, eine Packageintegration aller beteiligter Komponenten sinnvoll ist. Es ist zwischen diskreter und vollmonolithischer Integration zu unterscheiden.

Während die im vorhergehenden Abschnitt bereits vorgestellten Ansätze diskrete bzw. gehäuste Transistoren und Treiberstufen beschreiben, befassen sich explorative Forschungsansätze mit der monolithischen

Verortung derselben Komponenten auf einem einzigen Die. Sämtliche Last- und Steuerkommutierungskreise werden so von vornherein auf ein technologisches Minimum reduziert. Die Treiberstufe kann exakt auf die prozessseitig definierten Umgebungsvariablen angepasst werden. Aus prozesstechnischer Sicht vorteilhaft ist hier die erwähnte technologische Vereinbarkeit von Si-CMOS Prozessen mit der GaN-on-Si-Technologie. Aufgrund Isolationsanforderungen kann es notwendig sein, Treiber und assoziierten Leistungstransistoren monolithisch zu integrieren und die HS und LS dagegen per ko-Packaging zusammenzufassen, um das jeweilige Rückseitenpotential weiterhin auf Source beziehen zu können [9].

Es sei an dieser Stelle auch auf das BMBF Konsortialprojekt GaNIAL verwiesen [5], vgl. Abb. 2.10. Zielsetzung war, einen Technologiehub für Leistungselektronik durch den kombinierten Einsatz von GaN mit einer teil- bzw. vollmonolithisch integrierten Schaltzelle zu erreichen. Darüber hinaus sollte eine bessere Temperatur- und Stromüberwachung durch Sensorintegration auf Die-Ebene erreicht werden. Weitere Einzelheiten zur vollmonolithischen Integration sind auf Anfrage im BMBF-Projektantrag zu GaNIAL sowie in veröffentlichten Arbeiten [27] [28] [29] zu finden.

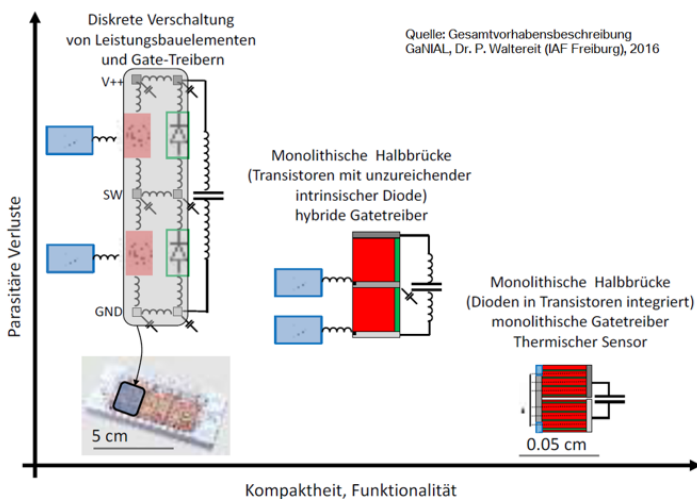


ABBILDUNG 2.10: Monolithische Integration nach BMBF GaNIAL [5]

2.3 Die Ladertopologie

Die vorgestellte Halbbrückenschaltzelle soll in dieser Arbeit als Teil einer zweistufigen Ladetopologie für einen am AC-Netz geladenen Hochvolt-speicher behandelt werden. Es gelten in dieser Arbeit folgende systemseitigen Anforderungen:

- Einphasig 3,7 kW Ladeleistung im Dauerbetrieb
- Modularer Aufbau im Sinne einer Erweiterbarkeit auf 11 kW drei- oder einphasig
- Grundschiwingungskompensation unter Berücksichtigung eines maximal zulässigen Ausgangsstromripples
- Galvanische Trennung von Netz- und HV-Speicher
- 270-400 V Ausgangsspannungslevel, CC/CV-Ladeprofil

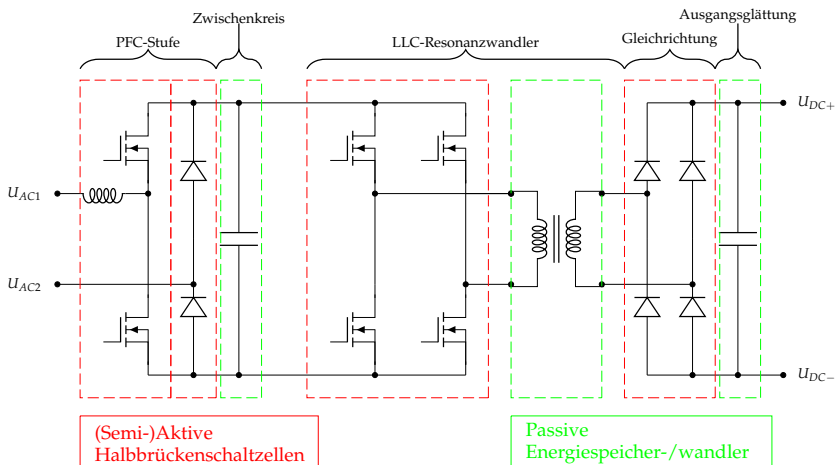


ABBILDUNG 2.11: Schema einer leistungselektronischen Ladertopologie (Befilterung und AC-/DC-Netze ausgelassen)

Ein exemplarisches zweistufiges Ladekonzept lässt sich gemäß Abb. 2.11 in folgende Subtopologien unterteilen:

- PFC-Stufe
- Grundschiwingungskompensation
- LLC-Resonanzwandler
- Gleichrichtung
- Optionale Ein- und Ausgangsbefilterung

2.3.1 Designtechnische Freiheitsgrade

Ein-/Zwei-stufige Ladertopologie

Ein einstufiges Konzept kann lediglich den Resonanzwandler enthalten, welcher die PFC funktional ersetzt. Da dieser Wandler dann allerdings der Grundschiwingung ausgesetzt ist, muss die Auslegung sämtliche Betriebspunkte einer Netzperiode abbilden. Dies ist bei einem LLC-Wandler unvorteilhaft [30]. Zudem muss die Ripplekompensation dann speicherseitig erfolgen. Im Sinne einer möglicherweise nachfolgend geforderten Anhebung der HV-Speicherspannung ist dieser Ansatz ebenfalls als nachteilig zu bewerten.

Entfall der galvanischen Isolation

Ein Entfall der galvanischen Isolation ist im Sinne der Miniaturisierungsprämisse eine topologisch präferierte Lösung (folglicher Entfall des DC/DC-Wandlers), kann jedoch aufgrund Sicherheitsanforderungen im Fahrzeug derzeit nicht realisiert werden.

Notwendigkeit der Grundschiwingungsglättung

Weiterhin kann die Grundschiwingungskompensation im Gegensatz zur gezeigten passiven Glättung mittels Elektrolytkondensatoren auch als aktive Ripplekompensation ausgelegt werden. Derartige Topologien haben den Vorteil, die zwischenzuspeichernde Energie nunmehr im gesamten Spannungshub eines dadurch kleineren Kondensators abzubilden [31]. Dies erlaubt eine Baugößenreduktion und damit Miniaturisierung des Zwischenkreises sowie die Option, Kondensatortechnologien mit höherer Zuverlässigkeit und Lebensdauer als die der Elektrolytkondensatoren verwenden zu können [31]. Ein Wegfall der Grundschiwingungskompensation würde diese gesamte Subtopologie verzichtbar machen, ist jedoch aufgrund der zellseitigen Ladestromanforderungen des HV-Speichers derzeit nicht zulässig.

Mehrstufige Netzfilter und leitungsgebundene EMV

In dieser Arbeit wird ein zweistufiger LC-Filter mit C_X - und C_Y -Kondensatoren betrachtet, jedoch nicht den Betriebsbedingungen angepasst. Die Optimierung variabler PFC-Betriebsmodi bezieht sich insbesondere auf Schaltverlustminimierung. Konduktive EMV wird in ihrer Ursache maßgeblich auf das zeitliche Verhalten von U_{SW} reduziert.

Passive vs. aktive Gleichrichtung

Passive Gleichrichtung findet sich in der PFC-Stufe sowie auf der LLC-Ausgangsseite. Es kann im Sinne einer Verlustminimierung vorteilhaft sein, diese durch aktiv schaltende Transistoren zu ersetzen. Da keine harte Kommutierung stattfindet bzw. nur mit Netzfrequenz umgeschaltet wird, beschränken sich wirkende Verlustmechanismen vorrangig auf das Leitverhalten. Die somit geforderte Gegenüberstellung von Verlustbetrachtungen von Dioden vs. Transistoren ist nicht Teil dieser Arbeit und in ihrer Ausführbarkeit stark von ökonomischen Aspekten geprägt. Aus später behandelten Gründen wird die PFC-Stufe mit einer aktiven Gleichrichtung versehen. Bidirektionalität beim DC-DC-Wandler wird nicht berücksichtigt.

Nicht berücksichtigte Aspekte

Folgende Auslegungsaspekte werden in dieser Arbeit nicht bzw. nur im Sinne einer vereinfachten Umsetzung berücksichtigt.

- Mechanische Stabilität: Vibrationsfestigkeit, Biegegradienten, thermische Ausdehnungskoeffizienten
- Isolationsfestigkeit: Luft- und Kriechstrecken
- Industrialisierbarkeit: SMD-Prozessierung und Kühlkonzept
- Lebensdauer- und Kostenbetrachtung verwendeter Komponenten

Da sich der LLC-Wandler in einem quasi-konstanten Betriebspunkt befindet und die Schaltzellen resonant schalten, liegt der Fokus dieser Arbeit auf der PFC-Stufe, die Übertragbarkeit von Betriebsparametern bleibt jedoch erhalten. Grundsätzliche Freiheitsgrade der Optimierung im Sinne einer Miniaturisierung bei hoher Effizienz betreffen daher die Betriebsmodi der PFC-Stufe und damit das Zusammenwirken von PFC-Drossel und der treibenden Schaltzelle.

2.3.2 Betriebspunktauslegung des Laders

Die betrachtete Topologie wird daher nachfolgend als gegeben behandelt, Optimierungen beziehen sich komponentenseitig auf die sich ergebenden Betriebspunkte. Ferner wird in dieser Arbeit die Anbindung an das 230 V und 16 A-Haushaltsstromnetz als Auslegungsfall betrachtet. Es ist anzunehmen, dass sich der Lader im CC/CV-Profil nahezu ausschließlich im Maximallastbetrieb befindet. Für die Filter- und PFC-Stufe ergeben sich daher folgende zu erwartende Arbeitspunkte:

- ± 325 V Netzeingangsspannungamplitude
- 400 V Zwischenkreisspannung mit zulässigem Ripple von ± 10 Prozent
- ± 16 A effektive Eingangsstromamplitude

Für die PFC-Betriebsmodi gelten folgende qualitativen Aussagen:

- Eine Anhebung der Schaltfrequenz erlaubt bei gleichem Stromripple den Einsatz kleinerer PFC-Drosseln mit geringerem Induktivitätswert. Dies bedingt jedoch zeitgleich erhöhte Schaltverluste der Schaltzelle und außerdem zunehmende Hochfrequenzeffekte und -Verluste in der PFC-Drossel. Eine betriebspunktabhängige Variation der Schaltfrequenz über die Eingangsperiode kann sinnvoll sein, verringert dabei jedoch die Selektivität eines möglichen Eingangsfilters.
- Eine Anhebung des Stromripples in der PFC-Drossel erlaubt herabgesetzte Schaltfrequenzen bei gleichem Stromeffektivwert. Dies bedingt einerseits quantitativ gesunkene Schaltverluste der Schaltzelle aufgrund geringerer Umladevorgänge pro Schaltperiode, qualitativ jedoch erhöhte Schaltverluste aufgrund höherer Kommutierungsströme. Hochfrequenzeffekte in der PFC-Drossel nehmen ab, ihre Stromerregung jedoch zu. Eine gesamthaft gültige Aussage ist daher nicht offensichtlich.
- Ein Erreichen des Stromnulldurchganges in der PFC-Drossel ermöglicht eine weiche Kommutierung auf Schaltzellenebene (ZVS) und damit geringere Transistorverluste im unteren Stromumkehrpunkt, jeweils bedingt durch die Betriebsmodi Continuos/Discontinuos/Critical Conduction Mode (C/D/Cr-CM) der PFC-Stufe.

- Transistortechnologien wie WBG mit vergleichsweise niedrigen Schaltverlusten begünstigen Betriebsmodi mit harter Kommutierung und höheren Schaltfrequenzen, welche bei der Si-Technologie hinsichtlich ihrer Effizienz unterliegen können.

Die Wahl einer verlustoptimalen PFC-Betriebsstrategie nach Abb. 2.12 ist damit nicht eindeutig, die präzise Vorhersage passiver und aktiver Verlustmechanismen ist zwingend erforderlich. Deren prinzipiell simulative Erfassung im Sinne eines übergeordneten Auslegungsprozesses wird im folgenden Abschnitt behandelt.

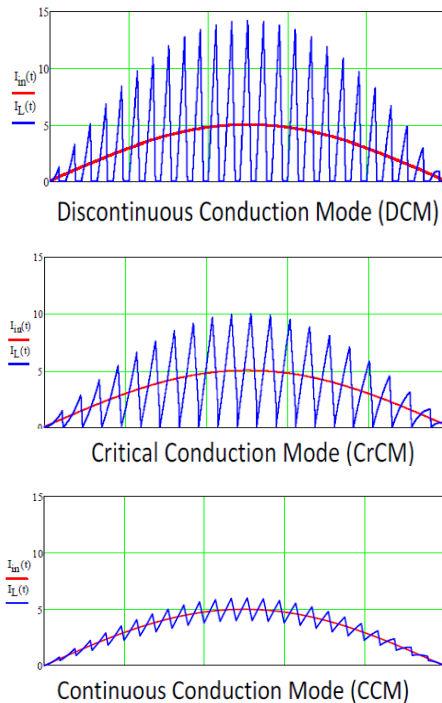


ABBILDUNG 2.12: PFC-Betriebsmodi im zeitlichen Stromverlauf nach [32]

2.4 Transiente Simulation und Optimierung

Im vorangegangenen Abschnitt wurde aufgezeigt, dass abstrakt formulierte ökonomische Prämissen wie Leistungsdichteoptimierung bei hoher Effizienz im betrachteten Fall einer PFC-Stufe in hohem Maße von der gewählten Betriebsstrategie abhängen. Diese wiederum wird durch die physikalisch-technologische Performance einer induktiven Schaltzelle selbst bestimmt.

Simulative Auslegungs- und Optimierungsprozesse müssen daher in der Lage sein, Systemprämissen auf technologiespezifische Faktoren herunterzubrechen bzw. die Anforderungen und Auswirkungen einer technologischen Veränderung wie WBG-Halbleiter auf Systemebene durchgängig zu machen. Eine derartige Auslegung ist damit hierarchisch geprägt, vgl. hierzu die tabellarische Gegenüberstellung in Abb. 2.13. Der konventionelle Auslegungsprozess sieht eine klare Trennung zwischen System- und Technologieebene vor. Diese werden nachfolgend charakterisiert.

Ökonomische Prämissen	Topologiefaktoren	Technologiefaktoren
Leistungsdichte	Controllerdynamik	Schaltverluste und Totzeiten
Effizienz	Verlustleistungen	Leistungshalbleiter und Treiberstufe
Systemkosten	Komponentenbaugrößen	Module und Packages
Automotive Compliance	Elektromagnetische Verträglichkeit	Kommutierungszelle
Lebensdauer und Robustheit	Befilterung	Betriebspunkte und -Strategien

ABBILDUNG 2.13: Prämissen und simulative Anforderungen in hierarchischer Struktur

2.4.1 Systemebene

Auf der Ebene des topologischen Systems dominieren multiphysikalische Simulationsumgebungen wie MATLAB® SIMULINK® , ANSYS® SIMPLORER® etc. Hierbei können elektrische, mechanische und thermische Zusammenhänge in ihren Grundsätzen zeit- oder frequenzdynamisch simulativ abgebildet und innerhalb festgelegter Grenzen optimiert werden. Eine hierbei bewusst in Kauf genommene Näherung komplexerer physikalischer Wirkzusammenhänge bietet folgende Vorteile:

- **Geringer Rechenaufwand:**
Eine hohe Ausführungsgeschwindigkeit auf einem einzelnen Rechner erlaubt eine kostengünstige und schnelle Bewertung systemseitiger Zusammenhänge. Auch bei fehlerbehafteten Ausgangsdaten oder genäherten Annahmen ist üblicherweise zumindest das trendhafte Verhalten bestimmter Mechanismen von Interesse. Dies ist im industriellen Designprozess ausreichend, um qualitative Auswirkungen technologischer Maßnahmen vorab bewerten zu können.
- **Geringe Anzahl von Eingangsdaten:**
Die Beschränkung von Eingangsdaten zur Beschreibung fundamentaler Charakteristika erlaubt die schnelle Formulierung geeigneter Simulationsmodelle. Üblicherweise sind hier die zur Verfügung gestellten Herstellerdaten ausreichend und bekannt, auf umfangreiche messtechnische Charakterisierungen oder ko-Simulationen verkoppelter Systeme kann verzichtet werden.
- **Vereinfachtes Hintergrundwissen:**
Es wird ein überschaubares Maß an technischen Detailkenntnissen vorausgesetzt, da komplexe physikalische Mechanismen auf ihre vereinfachten qualitativen Wirkzusammenhänge reduziert werden. Dies beschleunigt den Arbeitsprozess erheblich und erweitert den Nutzerkreis einer Simulationsumgebung. Die folgerichtige Toolkommerzialisierung bietet zahlreiche Folgevorteile wie ausgereifte User Interfaces oder Supportverfügbarkeit.
- **Flexibles Postprocessing und Interface:**
Multiphysikalische Simulationsumgebungen erlauben dem Anwender die vereinfachte Ein- und Ausgabe von Simulationsdaten in standardisierten Formaten. Das Interface zu anderen Simulationsumgebungen, Computer Aided Design (CAD)-Systemen oder grafischen Benutzeroberflächen ist erwartungsgemäß von Vorteil. Die später betrachtete ko-Simulation von Effekten außerhalb der betrachteten Simulationsumgebung wird vereinfacht. Mathematisch geprägte Arbeitsumgebungen wie MATLAB Simulink ermöglichen dabei umfangreiches Postprocessing.

Aufgrund der mehr oder weniger gegebenen Näherung werden die tatsächlich wirkenden physikalischen Vorgänge nur eingeschränkt bzw. qualitativ abgebildet. Aus einer Vernachlässigung quantitativer physikalischer Phänomene ergeben sich folgende Nachteile:

- Die korrekte Identifikation entscheidender physikalischer Wirkzusammenhänge kann mit bloßem Fokus auf makroskopisches Trendverhalten nicht gewährleistet werden, da technische Detailvorgänge prinzipbedingt ausgeschlossen sind. Die fehlerhafte oder vollständig vernachlässigte Erfassung dieser Effekte führt notwendigerweise zu propagierten Fehlern auf Systemebene und damit unter Umständen zur vollständigen Verfehlung von gesetzten Prämissen. Eine belastbare Fehlerabschätzung ohne Einbezug physikalischer Zusammenhänge ist aus wissenschaftlicher Sicht anzuzweifeln. Dies bezieht sich insbesondere auf die in diesem Kapitel dargestellten Schaltvorgänge und deren Verlustleistungen, unterschieden nach weicher sowie harter Kommutierung.
- Nicht in der Systemsimulation reflektierte Parameter entziehen sich folglich auch einer globalen Optimierung, parameterabhängige Trends und Optima sind nicht identifizierbar. Weiterhin können inkludierte Parameter auf von Tool-/Komponentenherstellern oder Anwendern unterstellten Annahmen und Standardfällen beruhen, welche nicht notwendigerweise auf den tatsächlich betrachteten Auslegungsfall zutreffen müssen.

Derart genäherte Systemsimulationen können für evolutionär gewachsene Technologien wie Si-Halbleiter belastbare Ergebnisse liefern, da seitens Toolentwickler oder Softwareanwender bereits umfangreiches Hintergrundwissen über vernachlässigbare Wirkzusammenhänge vorliegen kann. Für disruptive Technologien wie WBG-Halbleiter mit weitreichend abweichendem Schaltverhalten hingegen ist die Gültigkeit bestehender Auslegungsprozesse aus Sicht des Autors grundsätzlich anzuzweifeln.

2.4.2 Technologieebene

Um eine bestehende Systemsimulation um das Verständnis entscheidender technologischer Wirkzusammenhänge zu erweitern, existiert eine Vielzahl unterschiedlicher, mathematisch-physikalisch geprägter Simulationsumgebungen. Es seien nachfolgend zwei repräsentative Beispiele aus der Leistungselektronik aufgeführt, deren grundlegende Funktionsweise ebenso auf andere Anwendungsfälle (beispielsweise Mechanik, Fluidodynamik, Thermische Analysen) übertragen lassen.

- **Mehrdimensionale Computational Electromagnetics (CEM)-Simulationen mittels finiter Elemente:**
Die korrekte Behandlung geometrisch ausgedehnter, komplexer Strukturen ist auf analytischem Wege nicht praxistauglich. Charakteristische fundamentale Gleichungen wie die Maxwell-Gleichungssysteme werden auf die netzartige räumliche Segmentierung (Meshing) der analysierten Geometrie mittels standardisierter Flächen oder Volumina (Finites Element) angewendet und das sich ergebende Gleichungssystem per geeigneter Solververfahren gelöst. Es existieren mit Ansys®, COMSOL® oder CST® ausgereifte Softwarepakete mit Solververfahren für verschiedene Problemstellungen. Physikalische Vereinfachungen beschränken sich nahezu ausschließlich auf solverinhärent unterstellte Näherungen, durch eine korrekte Solverwahl können belastbare Referenzlösungen gewonnen werden. Die CEM-Methode wird dabei üblicherweise auf kapazitiv oder induktiv wirkende Geometrien oder Komponenten in Zeit- oder Frequenzbereich angewendet und ist nicht Bestandteil dieser Arbeit.
- **Analytische Ersatzschaltbildmodelle:**
Für bestimmte Komponenten wie Halbleiter kann es sinnvoll sein, physikalische Effekte per äquivalentem Ersatzschaltbild zu beschreiben. CEM-Solver sind oftmals in der Lage, ein derartiges Modell rechnerisch auszuleiten. Ein solches Modell beschreibt das Zeitverhalten der übergeordneten Komponente durch geeignete Subkomponenten wie Widerstände, Kondensatoren, Induktivitäten sowie gesteuerten Quellen. Physikalische Effekte lassen sich somit zwar nur ersatzhaft, jedoch hinreichend exakt erfassen. Die analytisch-physikalische Beschreibungsform führt vorteilhaft zu einer systembeschreibenden kompakten Matrix, welche von geeigneten Solvern gelöst werden kann. Die Berechnung zeit- und frequenzabhängiger Signale bildet die Grundlage zur Ausleitung beliebiger Ausgangskennwerte wie Verlustleistungen oder Schwingfrequenzen. Diese Beschreibungsform ist Hauptbestandteil dieser Arbeit.

Die sich ergebenden Modellbeschreibungsformen zeichnen sich beispielhaft durch folgende Kriterien aus:

- Anzahl an finiten Elementen bzw. Subnetzen
- Betroffene Vereinfachungen mittels Solver bzw. analytischer Beschreibung
- Adressierbare Parameter zur Adaptierung bzw. Variation des Submodells
- Bereits im Modell gekoppelte multiphysikalische Zusammenhänge wie Eigenerwärmung einer Komponente
- Gültigkeitsbereich des Modells wie Frequenzbereiche oder Strom- und Spannungsarbeitspunkte
- Konvergenzfähigkeit des Modells in einer hinreichend kleinen Simulationszeit
- Rechnerischer Ressourcenbedarf wie Anzahl von Central Processing Units (CPUs) oder Random Access Memory (RAM)
- Parallelisierbarkeit der Berechnungen zur effektiven Nutzung von Mehrkernsystemen

Die Vor- und Nachteile einer derartigen Technologiesimulation ergeben sich reziprok entsprechend denen einer Systemsimulation. Der Wissens- und Ressourcenbedarf ist erhöht, die Simulationsgeschwindigkeit vergleichsweise langsam, die Toolstruktur weniger ausgereift und kommerzialisiert, die mathematischen Schnittstellen zu anderen Simulationsumgebungen dem Benutzer überlassen.

2.4.3 Verkoppelung

Um den Anforderungen eines optimierten elektrischen Systems gerecht zu werden, ist die entsprechende Systemsimulation hinsichtlich relevanter Aspekte um die Ergebnisse einer oder mehrerer Technologiesimulationen zu erweitern. Dies gilt insbesondere, wenn disruptive Technologien eingesetzt und über deren spezifische Freiheitsgrade ein globales Optimum identifiziert werden soll.

Die technologischen Ergebnisse müssen daher den vereinfachten Verhältnissen des Systems gerecht werden, ohne dabei ihre physikalische Aussagekraft zu mindern. Dies erfordert die Definition einer geeigneten Abbildungsvorschrift, für die in dieser Arbeit betrachtete Kommutierungszelle beispielhaft:

- Eingangsseitige topologische Betriebsparameter wie Zwischenkreisspannung, Kommutierungsstrom, Temperatur etc., oder technologisch relevante Betriebsparameter wie Totzeiten, Treiber-
spannungen etc.
- Ausgangsseitige Betriebsparameter wie Zwischenkreisspannung, Kommutierungsstrom, Temperatur nach erfolgter Kommutierung bzw. relevante Kennwerte wie Verlustleistungen, EMV-Spektren etc.

Das derart eingebundene Submodell einer technologischen Komponente ist einer entsprechend umfangreichen Optimierung zugänglich, ohne dass dort eine tatsächliche Beschreibungsform vorliegen muss. Die Einbindung kann auf zwei Arten erfolgen:

- **Ko-Simulation im Systemsimulator:**
Die entsprechenden Technologiesimulationen werden bedarfsweise mit jedem transienten Durchlauf getriggert. Dies setzt ein leistungsstarkes und latenzfrei arbeitendes Interface voraus, eine Umsetzbarkeit parallelisierter Auswertungen kann ausgeschlossen sein. Aufgrund der Asymmetrie hinsichtlich rechnerischem Ressourcenbedarf ist anzunehmen, dass die Systemsimulation stark ausgebremst wird. Gradientenbasierte Optimierungen erfordern die Auswertung der Jacobi-Matrix an jedem betrachteten Punkt und erzeugen hohe Mengen an auszuwertenden Betriebsparameterkombinationen. Vorteilhaft bleibt, dass letztendlich nur die tatsächlich benötigten Parameterkombinationen durchlaufen werden.
- **Unabhängiges Parameterstepping:**
Die entsprechenden Technologiesimulationen werden unabhängig vom System über einen weiten Bereich an Parameterkombinationen durchlaufen und alle Ergebnisse als Rohdaten abgespeichert bzw. bedarfsweise analytisch genähert beschrieben. Nachteilig ist der einmalig hohe Rechenaufwand zur Generierung eines hinreichend dichten Punktnetzes sowie die benötigte Kenntnis des relevanten Wertebereiches, Inter- und Extrapolationen sind als potentielle Fehlerquellen abzuschätzen. Vorteilhaft ist die Verfügbarkeit einer systemunabhängigen Beschreibungsform, sodass beliebige nachgelagerte Systeme vereinfachten Zugriff erhalten können. Zudem können neu hinzugekommene Freiheitsgrade unkompliziert reimplementiert und performante Systemoptimierungsschleifen durchlaufen werden.

Einfache technologische Erweiterungen einer Systemsimulation, auch via Lookup-Tabelle, sind für eine zeitgleiche ko-Simulation geeignet, beispielhaft die PLECS-Erweiterung in MATLAB® SIMULINK®. Induktive Topologien können mit ANSYS® MAXWELL® im Frequenzbereich mittels CEM charakterisiert und systemseitig in SIMPLORER betrachtet werden. Für komplexe Ansätze ist ein derartiges Vorgehen nicht länger zielführend. Kommerzielle Systemsimulatoren sind nach Ansicht des Autors bis dato nicht in der Lage, physikalische Schnittstellen zur Technologie hinreichend exakt abzubilden.

2.5 Struktur und Technologiehub der Arbeit

Im wissenschaftlichen Fokus dieser Arbeit steht daher eine neuartige, eigenentwickelte Simulationsumgebung, welche diesen Anforderungen gerecht wird. Spezifischer Anwendungsfall bleibt die vorgestellte GaN-HEMT Schaltzelle einer PFC-Stufe als Teil eines automobilen, netzgebundenen Hochvoltspeicher-Ladegeräts. Ausgehend vom Stand der Technik in diesem Kapitel werden in Kap. 3 analytische Vorüberlegungen zu resonanten Schaltfällen und konduktiver EMV getroffen. Es folgt eine simulativ-automatisierte Auswertung eines kommerziell verfügbaren GaN-Halbleitermodells in MATLAB/SPICE hinsichtlich der zu erwartenden Schaltfälle. Die Notwendigkeit einer hardwareimplementierten ZVS-Detektorschaltung wird diskutiert und eine entsprechende, neuartige Analogschaltung abgeleitet. Die sich ergebenden Modellgrenzen in SPICE führen schließlich zu einem methodischen Sprung hin zur VERILOG-Simulations- und Modellumgebung. Die Struktur und Inbetriebnahme der neuartigen Simulationsumgebung in Python/XYCE wird erläutert. Nach Diskussion inhärenter Vorteile werden analog zum vorhergehenden Abschnitt entsprechende Schaltfälle simulativ aufgearbeitet und mit SPICE-Ergebnissen verglichen. Es folgt weiterhin eine globale Schaltzellenoptimierung mittels geeigneter Erweiterung der Simulationsumgebung. Kap. 4 beschreibt schließlich die aus den Simulationsergebnissen abgeleitete Auslegung eines geeigneten Demonstratoraufbaus mittels kommerzieller GaN-HEMTs. Kap. 5 diskutiert die messtechnisch gewonnenen Ergebnisse und bezieht diese auf die in dieser Arbeit beschriebenen Simulationsergebnisse. Kap. 6 subsumiert den erarbeiteten Technologiehub unter den in Kap. 2 vorgestellten Prämissen und schließt mit einem wissenschaftlichen Ausblick auf die WBG-Technologie.

Kapitel 3

Simulative Schaltzellenauslegung und Optimierung

Der simulative Teil dieser Arbeit befasst sich mit der Auswirkung von

- Zwischenkreisspannung und Kommutierungsstrom
- Harten und weichen Halbbrückentransitionen
- Totzeit
- Gatekonfiguration
- Parasitärer Schaltzellenbehauptung sowie
- Halbleiterphysikalischen Mechanismen

einer GaN-Halbbrücke auf ihre

- Verlustleistung
- Qualitative EMV sowie
- Betriebssicherheit

Es folgen im nächsten Abschnitt analytische Vorüberlegungen zu resonantem Schaltverhalten und dessen EMV. Anschließend werden mittels Parameterstepping oben beschriebene Schaltfälle in einer geeigneten zeittransienten Simulationsumgebung jeweils automatisiert formuliert und ausgewertet. Zuerst erfolgt dies anhand eines kommerziell erhältlichen GaN-HEMT SPICE-Transistormodells in der SPICE-Simulationsumgebung, im darauffolgenden Abschnitt anhand eines modifizierten GaN-HEMT VERILOG-Transistormodells in einer

VERILOG/SPICE Ko-Simulation. Der automatisierte Simulationsablauf inklusive Parametersteuerung wird von MATLAB® bzw. Python® vorgenommen. Beide in dieser Arbeit vorgestellten Simulationsumgebungen generieren darüber hinaus folgende Ergebnisse:

- Die SPICE-Simulationsumgebung dient gemeinsam mit Vorüberlegungen aus Kap. 2 sowie nachfolgendem Abschnitt dazu, eine geeignete Detektorschaltung zur hardwareseitigen Ausleitung einer ZVS-Halbbrückenindikation simulativ zu entwickeln und validieren. Dies dient dem modellunabhängig sichergestellten, in Kap. 4 hardwareimplementierten ZVS-Betrieb einer Halbbrückentopologie mit feldgesteuerten Transistoren.
- Die Vorteile der entwickelten Simulationsumgebung in VERILOG hinsichtlich Genauigkeit und Performance resultieren in der Erweiterung zur globalen Schaltzellenoptimierung mittels geeignet implementierter Optimierungsalgorithmen.

Gewonnene Ergebnisse fließen in die Hardwarekonzeptionierung in Kap. 4 ein und werden in Kap. 5 anhand in-natura Messergebnissen validiert.

3.1 Analytische Untersuchung von Schalt- und EMV-Verhalten

3.1.1 Analytische ZVS-Kennfeldbeschreibung

Im vorherigen Kap. 2 wurde diskutiert, dass für eine ZVS-Schaltbedingung ein verlustoptimales Totzeitoptimum existieren kann. Das eingangs vorgestellte Ersatzschaltbildmodell erlaubt eine Korrelation der Totzeit in Abhängigkeit von Zwischenkreisspannung U_{DS} und Kommutierungsstrom I_{SW} , berücksichtigt jedoch nicht, dass in einer realen Topologie anstatt einer zeitinvarianten Stromquelle tatsächlich eine Induktivität L_{SW} verortet ist. Es kann daher nicht allgemein angenommen werden, dass die Halbbrücken-ZVS-Bedingung durch einen zeitinvarianten konstanten Umladestrom I_{SW} erzielt wird. Stattdessen sollen nachfolgend die topologieabhängigen ZVS-Punkte mittels einer reduzierten analytischen Beschreibungsform einer Vollbrücke nach Abb. 3.1 nachgewiesen werden. Die Erweiterung um eine aktive Gleichrichtung erlaubt im späteren Verlauf des Kapitels diskutierte Eingriffe zur regelungstechnischen Steuerung

des ZVS-Betriebs. Das gezeigte Modell berücksichtigt nun relevante, insbesondere zeitabhängige Charakteristika wie:

- Parasitäre Ausgangskapazitäten $C_{\text{OSS,HS/LS,1/2}}$
- Kommutierungsströme I_{SW} der induktiven Last L_{SW} in Zählrichtung zur Halbbrücke,
- Lastströme I_{OUT} sowie
- Ein- und Ausgangsspannungen U_{IN} bzw. U_{DCL} über C_{IN} bzw. C_{DCL}

Die in natura unvermeidbaren Realteilbehauptungen der vorgestellten Komponenten und deren verursachte Verluste bzw. Bedämpfungen werden nachfolgend nicht berücksichtigt.

- Die Betrachtungen beschränken sich auf voll durchgeschaltete bzw. sperrende Zustände der Transistoren. Es wird außerdem angenommen, dass deren interne dielektrische Verluste in ihrer jeweiligen Leitkanalstruktur in leistungselektronischen Anwendungen eine stark untergeordnete Rolle spielen. Dies gilt ebenso für die diskret verortete induktive Last sowie Speicherkondensatoren.
- Die betrachtete Zeitdauer einer steilflankigen Schalttransiente liegt deutlich unterhalb 1000 ns. Für einen Vergleich zwischen Reaktanz und Resistanz darf somit $X_{\omega} \gg R$ angenommen werden.

Es werden zwei relevante Betriebszustände einer Boost-PFC-Topologie betrachtet:

LS-HS Kommutierung bei $I_{\text{SW}} > 0$

$T_{\text{LS,1}}$, $T_{\text{HS,1}}$ und $T_{\text{HS,2}}$ sind inaktiv, sodass ihre jeweiligen Ausgangskapazitäten wirksam werden. Allein $T_{\text{LS,2}}$ bleibt als Diode bzw. aktiv geschalteter Transistor für positive Kommutierungsströme $I_{\text{SW}} > 0$ geschlossen. Die Kirchhoff'sche Knotenanalyse ergibt die Systemmatrix nach folgender Gleichung:

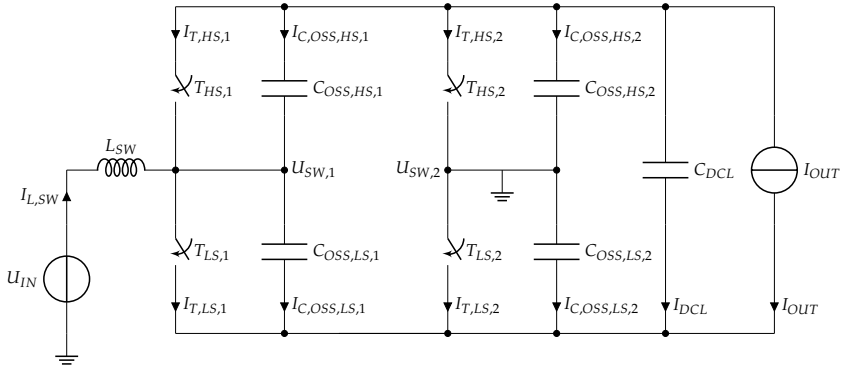


ABBILDUNG 3.1: Vereinfachtes Schema einer Boost-PFC-Stufe in Vollbrückenkonfiguration

$$\begin{bmatrix} -1 & -1 & 0 & 0 & 0 & 1 \\ 1 & 0 & -1 & -1 & -1 & 0 \\ -\frac{1}{C_{OSS,HS,1}} & \frac{1}{C_{OSS,LS,1}} & -\frac{1}{C_{OSS,HS,2}} & 0 & 0 & 0 \\ 0 & 0 & -\frac{1}{C_{OSS,HS,2}} & \frac{1}{C_{DCL}} & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} I_{C_{OSS,HS,1}} \\ I_{C_{OSS,LS,1}} \\ I_{C_{OSS,HS,2}} \\ I_{C_{DCL}} \\ I_{OUT} \\ I_{SW} \end{bmatrix} = 0 \quad (3.1)$$

Es gelten die Initialbedingungen:

$$I_{L,SW}(t=0) = I_{SW} \quad (3.2)$$

$$U_{C_{OSS,HS,1}} = U_{DCL} \quad (3.3)$$

Es ist ersichtlich, dass I_{OUT} nachfolgend bei hinreichend großem und niederimpedant angebundenem Zwischenkreis C_{DCL} als separater Knoten vernachlässigt bzw. zusammengefasst werden kann, um vereinfachte analytische Ausdrücke zu erhalten. Ebenso werden zwei symmetrische Halbbrücken betrachtet, es gilt daher:

$$C_{OSS,HS,1} = C_{OSS,LS,1} \quad (3.4)$$

$$C_{OSS,HS,2} = C_{OSS,LS,2} \quad (3.5)$$

$$I_{OUT} = 0 \quad (3.6)$$

Nach einer Gauß-Eliminierung angewendet auf die obenstehende Systemmatrix ergibt sich für den Spulenstrom $I_{L,SW}$ in Laplace- und Zeitbereich eine Differenzialgleichung zweiter Ordnung mit vernachlässigter Dämpfung, da nur eine Halbperiode der tatsächlichen

Schwingung für das Erreichen der ZVS-Bedingung relevant ist:

$$I_{L,SW}(s) = \frac{K_2 + K_1 \cdot s}{s^2 + a_1} \quad (3.7)$$

$$I_{L,SW}(t) = K_1 \cdot \cos(\sqrt{a_1} \cdot t) + K_2 \cdot \sin(\sqrt{a_1} \cdot t) \quad (3.8)$$

$$K_1 = I_{SW}(t = 0), K_2 = \frac{I_{SW}(t = 0)}{a_1} = \frac{U_{IN}(t = 0)}{L_{SW} \cdot a_1} \quad (3.9)$$

Durch Setzen geeigneter Anfangsbedingungen und Zeitintegration des Stromflusses in $C_{OSS,HS,1}$ nach

$$\frac{1}{C_{OSS,HS,1}} \cdot \int_0^{\tau_{d,OPT,LS,HS}} I_{L,SW}(\tau) \cdot d\tau - U_{DCL} = 0 \quad (3.10)$$

kann durch Auflösen nach $\tau_{d,OPT,LS,HS}$ die Existenz einer ZVS-optimalen Totzeit analytisch nachgewiesen werden, vgl. hierzu Abb. 3.2.

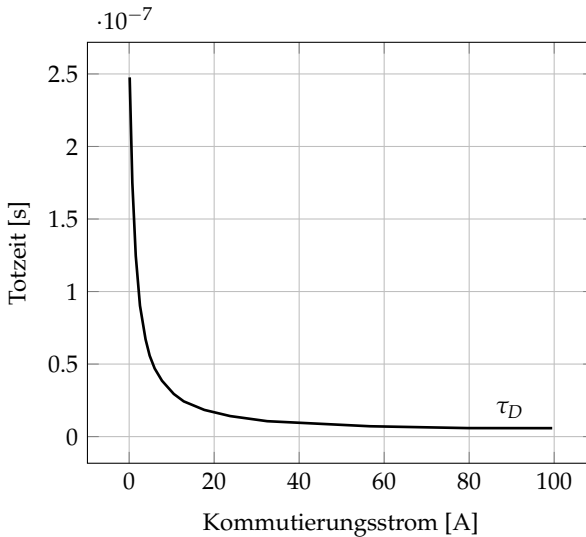


ABBILDUNG 3.2: Analytisch berechnete Totzeit τ_D einer LS-HS-Transition exemplarisch für $C_{OSS,HS/LS,1/2} = 400 \text{ pF}$, $L_{SW} = 100 \text{ uH}$, $C_{DCL} = 10 \text{ uF}$, $U_{IN} = 400 \text{ V}$ in Abhängigkeit des Kommutierungsstroms I_{SW}

HS-LS Kommutierung bei I_{SW} gegen Null

Analog den Ausführungen in vorhergehendem Abschnitt folgt für die HS-LS Transition nach Erreichen des ZVS-relevanten Stromnulldurchgangs von $I_{L,SW}$:

$$\begin{bmatrix} -1 & -1 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & -1 & 0 & -1 & -1 & 0 \\ 0 & 1 & 0 & -1 & 1 & 1 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 & -1 \\ \frac{1}{C_{OSS,HS,1}} & -\frac{1}{C_{OSS,LS,1}} & \frac{1}{C_{OSS,HS,2}} & -\frac{1}{C_{OSS,LS,2}} & 0 & 0 & 0 \\ \frac{1}{C_{OSS,HS,1}} & -\frac{1}{C_{OSS,HS,1}} & 0 & 0 & \frac{1}{C_{DCL}} & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} I_{C_{OSS,HS,1}} \\ I_{C_{OSS,LS,1}} \\ I_{C_{OSS,HS,2}} \\ I_{C_{OSS,LS,2}} \\ I_{C_{DCL}} \\ I_{OUT} \\ I_{SW} \end{bmatrix} = 0 \quad (3.11)$$

Die sich ergebende Differentialgleichung zweiter Ordnung mit vernachlässigter Dämpfung kann erneut im Sinne einer ZVS-optimalen Totzeit $\tau_{d,opt,HS,LS}$ mit

$$\frac{1}{C_{OSS,HS,1}} \cdot \int_0^{\tau_{d,OPT,HS,LS}} I_{L,SW}(\tau) \cdot d\tau = 0 \quad (3.12)$$

gelöst werden. Die Existenz der resultierenden Lösungen kann zudem anhand folgender physikalischer Randbedingungen phänomenologisch hergeleitet werden:

1. Die ZVS-Bedingung wird derart erreicht, sodass unmittelbar nach Abschalten des HS-Transistors die gesamte Parasitärkapazität $C_{OSS,HS+LS,1}$ der Halbbrücke 1 umgeladen werden kann. Die Spannungsamplitude des ZVS-Schwingkreises übersteigt dabei U_{DCL} , es kommt zu einer Überladung, die durch die Rückwärtsleitung oder das gezielte Aufsteuern des Transistors $T_{LS,1}$ begrenzt wird. Trotz Erreichen der ZVS-Bedingung bleibt die erhöhte Schwingkreisenergie nachteilig, da diese an allen in dieser Analyse vernachlässigten Realteilen, insbesondere in Induktivität L_{SW} und Leitkanal des aufsteuernden Transistors erhöhte Schaltverluste erzeugt.
2. Eine ZVS-Bedingung kann nur erreicht werden, wenn über eine gezielt herbeigeführte Verlängerung der Leitphase des Transistors $T_{HS,1}$ eine der benötigten Ladungsmenge entsprechende Stromumkehr von $I_{L,SW} < 0$ in der Induktivität bewirkt wird. Diese speist sich aus dem Zwischenkreiskondensator C_{DCL} , dessen Energiegehalt im Allgemeinen weit über derjenigen der gesamten

Halbbrückenausgangskapazität liegt, sodass der Spannungseinbruch vernachlässigbar bleibt. Innerhalb bestimmter Grenzen kann dann exakt diejenige ZVS-Schwingkreisenergie mittels Strompfad über C_{DCL} , $T_{HS,1}$, L_{SW} und U_{IN} eingestellt werden, die für ein vollständiges Umschwingen des Schaltknotens 1 benötigt wird. Einziger Eingriff in die Halbbrücke ist eine Verlängerung des Schaltimpulses an $T_{HS,1}$. In der Literatur [33] vorgestellte schaltungstechnische Maßnahmen zur Erweiterung des ZVS-Kennfeldes beziehen sich auf separate LC-Glieder zur resonanten Zwischenspeicherung von ZVS-Energie. Mit obenstehendem analytischen Ansatz beschränken sich Hardwareänderungen auf eine Erweiterung zur Vollbrücke, was darüber hinaus aus Gründen gesunkener Leitverluste an nur mit Netzfrequenz schaltenden Transistoren anstatt flussspannungsbehafteten Dioden topologische Vorteile bieten kann. Gleichzeitig ist die ZVS-Bedingung über einen weiten Betriebsbereich nachweisbar.

3. Ein vollständiges Umschwingen der Halbbrücke 1 kann auch bei gezielter Aufsteuerung von $T_{HS,1}$ energetisch nicht herbeigeführt werden. Es existiert jedoch weiterhin eine verlustoptimale Schaltbedingung am Scheitelpunkt des unteren Umkehrpunktes von $U_{C_{OSS,HS,1}}$ der Halbbrücke 1 im Sinne quadratisch mit dem Betrag der hart kommutierten Spannung am Transistor skalierender Schaltverluste.

Die Lösungen sind außerdem ω -periodisch mit der Eigenkreisfrequenz des Schwingkreises, sodass verlustoptimierte Einschaltpunkte von $T_{LS,1}$ auch zeitlich $\omega \cdot k$ -verzögert mit $k \in \mathbb{Z}$ angefahren werden können, vgl. Abb 3.4. Dies ermöglicht insbesondere im DCM-PFC Betrieb, unter Einhaltung der ZVS-Bedingung, entsprechend zeitlich ausgedehnte Lückphasen zu realisieren. Aufgrund der zu erwartenden EMV-Störaussendung durch den hochfrequent schwingenden Schaltknoten 1 wurde dieses Konzept nur theoretisch aufgegriffen, jedoch nicht hardwareseitig implementiert.

Es lässt sich nun ein analytisches σ_{ZVS} nach Abb. 3.3 und abgeleitet aus Gl. 3.12 derart definieren, sodass anhand dessen Wertebereich direkt auf die Existenz der oben beschriebenen ZVS-Bereiche geschlossen werden kann:

$$\sigma_{ZVS} = f(C_{OSS,HS/LS,1/2}, L_{SW}, C_{DCL}, V_{IN}, V_{DCL}) \quad (3.13)$$

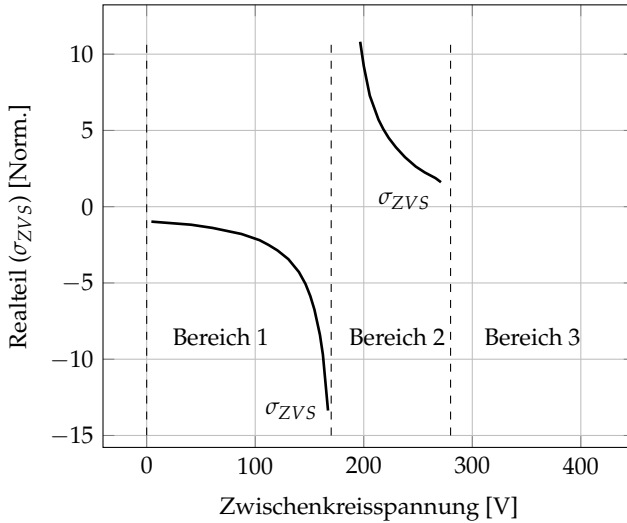


ABBILDUNG 3.3: Analytisch berechnete σ_{ZVS} -Wertevertellung einer HS-LS-Transition exemplarisch für $C_{OSS,HS/LS,1} = 400 \text{ pF}$, $C_{OSS,HS/LS,2} = 1 \text{ uF}$, $C_{DCL} = 100 \text{ uF}$ und $U_{DCL} = 400 \text{ V}$, Polstelle bei 167 V und Komplexwertigkeit ab 273 V PFC-Eingangsspannung

Aufgrund der Komplexität der Gleichung wird auf eine nähere Darstellung verzichtet.

Topologiemassnahmen zur ZVS-Bereichserweiterung

Die diskutierten ZVS-Bereiche lassen sich bei einer durch

$$L_{SW}, C_{OSS,HS/LS,1}, I_{SW}, U_{DCL}, U_{IN}$$

definierten Halbbrücke allein durch Dimensionierung der Halbbrücke 2 bestehend aus $T_{HS/LS,2}$ sowie deren parasitärer Behaftung $C_{OSS,HS/LS,2}$, beeinflussen. Für Halbbrücke 2 muss vorzugsweise ein quasistatisches Potential von $U_{C,OSS,LS,2} = 0 \text{ V}$ während der ZVS-Kommutierungsphase sichergestellt werden. Es ist somit zu erwarten, dass durch dieses Potentialpinning keine zusätzliche EMV-Störerausendung erfolgt, da Schwingvorgänge auf ein vernachlässigbares Maß reduziert werden. Für eine passive Halbbrücke

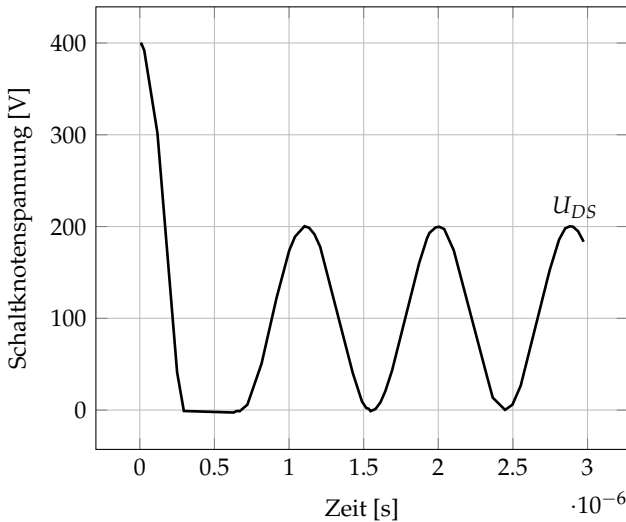


ABBILDUNG 3.4: Multiple ZVS-Umschaltunkte im D/Cr-CM PFC-Betrieb

2 kann eine künstliche Vergrößerung von $C_{OSS,HS/LS,2}$ durch Platzieren separater Multilagen-Keramik Kondensatoren (MLCC) in Betracht gezogen werden. Eine aktive Halbbrücke 2 erreicht das Potentialpinning durch Aufsteuern der jeweiligen Transistoren. Für eine AC-netzgebundene PFC-Stufe erfolgt dies netzsynchron, sodass Schaltverluste in Halbbrücke 2 eine untergeordnete Rolle spielen und im technologischen Vergleich kostengünstige, $R_{DS,ON}$ -optimierte Si-MOSFETs eingesetzt werden können.

Für ein optionales Eingangsfiler ist es vorteilhaft, die ursprüngliche Kommutierungsspannung U_{IN} durch hinreichend große C_{IN} während der ZVS-Transitionsphase zu stabilisieren. Es kann dann über den gesamten HS-LS-Transitionsbetriebsbereich die ZVS-Bedingung erfüllt werden und die Polstelle von σ_{ZVS} liegt damit bei $U_{DCL}/2$.

Aufgrund der besonders steilen Schalttransienten von WBG-Halbleitern wird ersichtlich, dass eine hochauflösende sowie exakt arbeitende technische Einrichtung zur Vorhersage oder Detektion betriebspunktabhängiger Totzeiten notwendig ist und somit im Fokus dieser Arbeit steht.

3.1.2 Analytische EMV-Optimierung

Kommutierungsvorgänge in leistungselektronischen Halbbrücken bedingen systemseitig neben Schaltverlusten auch eine korrelierte leitungsgebundene Störaussendung über den zeitlichen Verlauf insbesondere von U_{SW} . Im Sinne von Steuerbarkeit, Betriebssicherheit und Schaltverlusten ist nach Kap. 2 eine Forderung nach minimierter Kommutierungsinduktivität legitim, jedoch hinsichtlich EMV-Verhalten nicht allein maßgeblich. Es muss hier die physikalisch immer gegebene Schwingfähigkeit des Lastkommutierungskreises sowie dessen Anregung durch den zeitlichen Verlauf von U_{SW} berücksichtigt werden. Es wird das Ersatzschaltbildmodell einer Halbbrückentransition nach Abb. 3.5 betrachtet, systembeschreibende Größe ist $I(U_{RAMP}) := I$. Der High-Side Transistor ist vollständig abgeschaltet, sein Verhalten wird durch eine äquivalente Ausgangskapazität $C_{OSS,HS} = C_{DS,HS}$ beschrieben. Der Low-Side Transistor dagegen ist initial vollständig durchgeschaltet, im weiteren Kommutierungsverlauf ist seine Realteilbehaffung via $R_{DS,LS}$ beschrieben. Die Änderung der Schaltknotenspannung wird durch eine Rampenfunktion U_{RAMP} mit variabler Anstiegszeit τ_r genähert. Beide Transistoren weisen induktive Parasitärbehaffung für Drain und Source auf. Der Zwischenkreiskondensator C_{DCL} ist im RLC-Ersatzschaltbild genähert. Der Kommutierungsstrom wird als zeitinvariant mit eingepprägtem I_{SW} angegeben.

Für das System ergibt sich eine inhomogene Differenzialgleichung 2. Ordnung:

$$\ddot{I} + a_1 \cdot \dot{I} + a_2 \cdot I = a_3 \cdot U_{RAMP} \quad (3.14)$$

$$a_1 := \frac{R_0}{L_0}, a_2 := \frac{1}{L_0 \cdot C_{DS,HS}} + \frac{1}{L_0 \cdot C_{DCL}}, a_3 := -\frac{1}{L_0} \quad (3.15)$$

$$R_0 := R_{DS,LS} + R_{C,DCL}, L_0 := 2 \cdot L_{D,HS} + 2 \cdot L_{S,HS} + L_{C,DCL} \quad (3.16)$$

$$U_{RAMP}(t) = \begin{cases} \frac{U_{DCL}}{\tau_r} \cdot t & \text{if } 0 \leq t \leq \tau_r \\ U_{DCL} & \text{if } t \geq \tau_r \\ 0 & \text{sonst} \end{cases} \quad (3.17)$$

$$\dot{U}_{RAMP}(t) = \begin{cases} \frac{U_{DCL}}{\tau_r} & \text{if } 0 \leq t \leq \tau_r \\ 0 & \text{sonst} \end{cases} \quad (3.18)$$

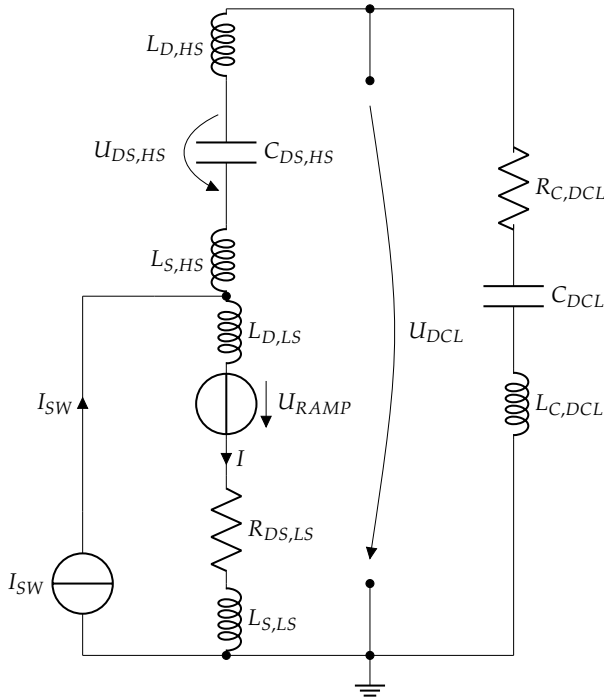


ABBILDUNG 3.5: Ersatzschaltbild einer Halbbrücke zur analytischen Berechnung der Lastschwingkreis- anregung

Initialbedingungen sind:

$$U_{DS,HS}(t = 0) = -U_{C,DCL,1/2}(t = 0) = U_{DCL} \quad (3.19)$$

$$I(t = 0) := A_1 = I_{SW}, \dot{I}(t = 0) := A_2 = -A_1 \frac{R_o}{L_o} \quad (3.20)$$

Die Eigenwerte dieser Differenzialgleichung sind konjugiert komplexwertig:

$$\lambda_{1,2} = -\frac{a_1}{2} \pm i \cdot \sqrt{\frac{a_2^2}{4} - a_1} \quad (3.21)$$

Es folgt für die Lösung des homogenen Anteils im Zeitbereich eine exponentiell bedämpfte Schwingung mit Kreisfrequenz ω und Dämpfung r :

$$I_{\text{HOM}}(t) = e^{r \cdot t} \cdot (C_1 \cdot \cos(\omega \cdot t) + C_2 \cdot \sin(\omega \cdot t)) \quad (3.22)$$

$$r := -\frac{a_1}{2}, \omega := \sqrt{\frac{a_2^2}{4} - a_1^2} \quad (3.23)$$

$$C_1 := A_1, C_2 := \frac{A_2 - A_1 \cdot r}{\omega} \quad (3.24)$$

Für die gesamte Lösung im Zeitbereich gilt:

$$I(t) := I_{\text{HOM}}(t) + I_{\text{PART}}(t) \quad (3.25)$$

Die partikuläre Lösung ergibt sich aus dem Faltungsintegral mit $U_{\text{RAMP}}(t)$:

$$I_{\text{PART}}(t) = \frac{1}{\omega} \cdot e^{r \cdot t} \cdot \sin(\omega \cdot t) * U_{\text{RAMP}}(t) \quad (3.26)$$

Es ergibt sich eine Unterscheidung im Zeitbereich gemäß der abschnittsweise definierten Funktion $U_{\text{RAMP}}(t)$ für die Berechnung der Faltungsintegrale:

$$I_{\text{PART},1}(t) := \int_0^t \frac{1}{\omega} \cdot e^{r \cdot \tau} \cdot \sin(\omega \cdot \tau) \cdot a_3 \cdot \frac{U_{\text{DCL}}}{\tau_r} \cdot d\tau \quad (3.27)$$

$$I_{\text{PART},2}(t) := \int_{t-\tau_r}^t \frac{1}{\omega} \cdot e^{r \cdot \tau} \cdot \sin(\omega \cdot \tau) \cdot a_3 \cdot \frac{U_{\text{DCL}}}{\tau_r} \cdot d\tau \quad (3.28)$$

$$I_1(t) := I_{\text{HOM}}(t) + I_{\text{PART},1}(t), I_2(t) := I_{\text{HOM}}(t) + I_{\text{PART},2}(t) \quad (3.29)$$

Für Spannungen am High-Side Transistor ergibt sich:

$$U_{\text{DS,HS},1}(t) = \frac{1}{C_{\text{DS,HS}}} \cdot \int_0^t I_1(\tau) \cdot d\tau \quad (3.30)$$

$$U_{\text{DS,HS},2}(t) = \frac{1}{C_{\text{DS,HS}}} \cdot \int_0^{\tau_r} I_1(\tau) \cdot d\tau + \frac{1}{C_{\text{DS,HS}}} \cdot \int_{\tau_r}^t I_2(\tau) \cdot d\tau \quad (3.31)$$

Es kann nun analytisch gezeigt werden, dass $I_1(t)$ k -periodische lokale Minima aufweist.

Diese sind definiert durch (\Re entspricht der Realteilbildung):

$$\dot{I}_1(t) = 0 \quad (3.32)$$

$$\tau_{I_1, \text{MIN}, k} = \frac{2\pi \cdot k}{\omega} - \Re\left(\frac{\ln(\sigma_1) \cdot i}{\omega}\right) \quad (3.33)$$

Für hinreichend große I_{SW} gilt für harte bzw. weiche Kommutierung $I_{\text{SW}} < 0$ bzw. $I_{\text{SW}} > 0$ näherungsweise unabhängig vom kommutierten Strom:

$$\tau_{I_1, \text{MIN}, k, \text{HART}} = \frac{\pi}{\omega} \cdot (2k) \quad (3.34)$$

$$\tau_{I_1, \text{MIN}, k, \text{WEICH}} = \frac{\pi}{\omega} \cdot (2k - 1) \quad (3.35)$$

Im Sinne einer EMV-optimierten Schalttransition wird nun gefordert, dass die sich aus der Flankensteilheit ergebende Anstiegszeit τ_r mit dem k-Minimum des Stromes $I_1(t)$ zusammenfällt:

$$\tau_{I_1, \text{MIN}, k} = \tau_r \quad (3.36)$$

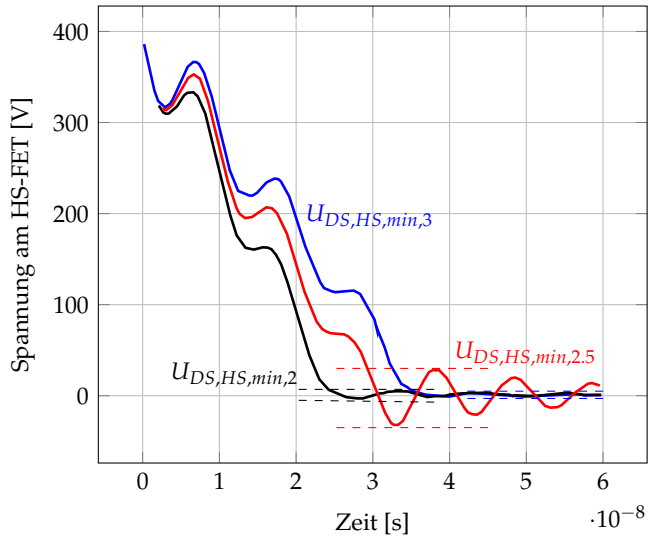
Für diese Gleichung existiert keine explizite analytische Lösung, sodass auf numerische Verfahren zurückgegriffen werden muss. Im Sinne der oben beschriebenen Näherung gilt für beide Schalttransitionstypen:

$$\tau_{I_1, \text{MIN}, k, \text{HART}} = \frac{\pi}{\omega} \cdot (2k) = \tau_r \quad (3.37)$$

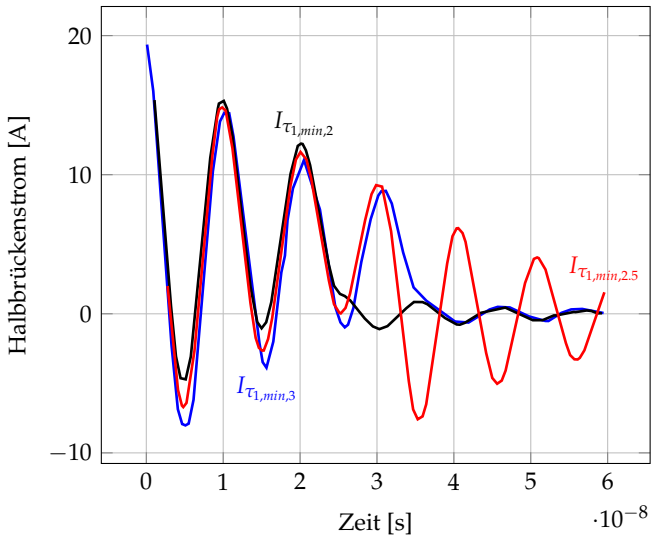
$$\tau_{I_1, \text{MIN}, k, \text{WEICH}} = \frac{\pi}{\omega} \cdot (2k - 1) = \tau_r \quad (3.38)$$

Aus der sich ergebenden Gleichung können schaltgeschwindigkeitsabhängige Anforderungen an die Parasitärbehaftung der Halbbrücke abgeleitet werden, insbesondere die Definition eines EMV-optimalen Zwischenkreiskondensators. Für eine in dieser Arbeit typische Parametrierung der Halbbrücke nach Tab. 3.1 ergeben sich charakteristische Größen und Signalverläufe nach Tab. 3.2 und Abb. 3.6.

Für $\tau_{I_1, \text{min}, 2.5}$ sind überproportionale Schwingungsamplituden zu beobachten, obwohl die Totzeit absolut nur minimal verändert wurde und relativ größer ist als $\tau_{I_1, \text{min}, 2}$.



(A)



(B)

ABBILDUNG 3.6: Transiente EMV-Verläufe einer SPICE-Simulation des Schaltschemas aus Abb. 3.5

Größe	Wert	Einheit
$L_{D,HS}$	750	pH
$L_{S,HS}$	56	pH
$L_{C,DCL}$	5	nH
$R_{DS,LS}$	30	m Ω
$R_{C,DCL}$	500	m Ω
C_{DCL}	100	nF
$C_{DS,HS}$	400	pF
I_{SW}	30	A
V_{DCL}	400	V

TABELLE 3.1: Elektrische Eingangsgrößen der Kommutierung

Größe	Wert	Einheit
f_{ω}	97.85	MHz
τ_r	24.95	ns
$\tau_{I_1,min,2}$	25.25	ns
$\tau_{I_1,min,2.5}$	30.375	ns
$\tau_{I_1,min,3}$	35.5	ns
$V_{pp,DS,HS,2}$	9	V
$V_{pp,DS,HS,2.5}$	65	V
$V_{pp,DS,HS,3}$	6	V

TABELLE 3.2: Zeitliche Ausgangsgrößen der Kommutierung

Grenzen des Systems

Vorangegangene Betrachtungen vernachlässigen insbesondere das nichtlineare Verhalten beider Transistoren. Für den HS-Transistor wird keine Spannungsabhängigkeit für C_{DS}^* berücksichtigt, Kapazitätsanstiege nahe $U_{DS} = 0V$ wirken sich nicht auf die Resonanzvorgänge aus. Ungenauigkeiten in Bezug auf ω sind die Folge. Weiterhin wird der gesamte Kommutierungsvorgang als eingeprägte Spannungstransiente beschrieben. In der Realität wäre ein zeitveränderliches Verhalten von $R_{DS,LS}^*$ die tatsächliche Ursache für eingeprägte Transienten von $U_{DS,LS}$. Die Linearisierung auf eine effektive, gemittelte Transiente ist daher fehlerbehaftet. Außerdem ist die betrachtete Spannung $U_{DS,HS}$ als Charakteristikum für Schwingungen der Zwischenkreisspannung nur eingeschränkt geeignet, da sie nur einen Teil der relevanten Kommutierungsschleife abbildet. Der Existenznachweis einer vorangegangenen diskutierten Abhängigkeit von Schalttransiente und Parasitärbehaftung bleibt davon unberührt. Präzise Halbleitermodelle und Simulationen in diesem Kapitel müssen zukünftige Basis für weiterführende Betrachtungen sein. Auf eine messtechnische Verifikation der EMV-Zeitverläufe muss in dieser Arbeit verzichtet werden.

3.2 Die SPICE-Matlab Simulationsumgebung

Die nachfolgend beschriebene Halbleitersimulation dient der Bewertung von elektrophysikalischen Einflüssen einer diskret verorteten und damit parasitär behafteten Schaltungszelle auf eine GaN-Halbbrückenkonfiguration. Sämtliche elektrophysikalischen Vorgänge werden dabei in der Modellbeschreibungsform SPICE behandelt, die übergeordnete automatisierte Steuerung und Auswertung des SPICE-Halbbrückenmodells erfolgt in einer MATLAB® -Umgebung. Beide Simulationskomponenten werden nachfolgend hierarchisch behandelt.

3.2.1 GaN-Halbbrücke in SPICE

Die in dieser Arbeit untersuchte Schaltungszelle nach Kap. 2 Abb. 2.8 wird mittels frei erhältlichen, kommerziellen Gansystems® GS66516T LEVEL 3 SPICE GaN-Halbleitermodellen in Verbindung mit einem Texas Instruments® UCC27511 Treibermodell simuliert. Es finden dabei folgende Modifikationen statt, vgl. hierzu Tab. 3.3:

- Leitkanal, repräsentiert als Stromquelle, und Parasitärkapazitäten des GaN-HEMT sind nichtlineare Funktionen von U_{DS} und U_{GS} . Es wird alleinig das direkte Ausgangskennfeld modelliert, zeittransiente Leitkanaleffekte wie Trapping finden keine Berücksichtigung. Bedämpfungsfaktoren der Streukapazitäten sind über halbleiterkristallabhängige dielektrische Verlustfaktoren von GaN herstellerseitig genähert angegeben. Alle Ports des HEMTs sind mit separaten Packageimpedanzen versehen, die in Reihe zur externen Schaltungszelle liegen. Externe Schaltungszellinduktivitäten, ebenso die Gateinduktivität, sind als Designfreiheitsgrad definiert. Das Bulk ist nicht ausgeführt, sondern intern auf Source geschaltet. Das Transistormodell wurde in seiner ursprünglich geschlossenen Struktur nicht implementiert, sondern stattdessen komponentenhaft zerlegt per Subcircuit übernommen, um in SPICE entsprechend mathematisch observierbare Zugriffspunkte innerhalb der HEMT-Struktur zu erhalten. Eine transiente Temperaturabhängigkeit besteht nicht, das Modell wird auf konstanter Umgebungstemperatur von 300 Kelvin simuliert.
- Das jeweils treiberseitige Texas Instruments UCC27511 Submodell bildet die CMOS-Treiberstufe in Schalt- und Leitverhalten durch Parametrierung von SPICE-proprietären FET-Modellen ab und enthält darüber hinaus ein rudimentäres gatterlaufzeitbasiertes

Submodell für die Steuersignalpropagation. Pull-Up/-Down Spannungen werden per keramischer Multilagen-Kondensatoren (MLCC) im RLC-Ersatzschaltbild gepuffert. Die Pull-Up/-Down Widerstände sind per RL-Ersatzschaltbild modelliert. Der controllerseitige TTL-Eingang wird durch gesteuerte Spannungsquellen nachgebildet. Eine Modellierung des pulsweitenmodulationserzeugenden (PWM) Mikrocontrollers findet nicht statt. Die Sourcing-Diode wird als SPICE-proprietäres Submodell betrachtet.

- Die Zwischenkreisspannung der Schaltzelle wird durch eine zweistufige Zwischenkreiskondensatoranordnung im RLC-Ersatzschaltbild stabilisiert.
- Stützspannungen werden über hochimpedante und damit im Zeitbereich als entkoppelt anzunehmende Spannungsquellen in die entsprechenden Pufferkondensatoren eingepreßt. Geeignete Anfangsbedingungen werden gesetzt und die Spannungsquellen zu topologisch vorteilhaften Zeitpunkten abgeschaltet. Dies dient dazu, die unzureichend konvergierende Initialwertfunktionalität in SPICE (.ic/.nodeset-Befehle) zu umgehen, im Zeitbereich jedoch die nichtideal modellierten MLCCs als Spannungsversorgung dominieren zu lassen.
- Für sämtliche physisch vorhandenen Bauteile mit entsprechendem Footprint wird mindestens eine beidseitige PCB-Kontaktinduktivität von 100 pH vergeben. Dieser Wert leitet sich in seiner Größenordnung aus einer 2D-Simulation von Leiterbahnbehauptungen ab und dient darüber hinaus als minimale induktive Komponente sämtlicher simulierter Bauteile als Konvergenzhilfe.
- Eine parasitäre TTL-Koppelkapazität wird zu Null gesetzt, sodass, abgesehen von Treibereinkopplungen, weitere layoutbedingte logikseitige Störmechanismen vernachlässigbar bleiben.

Folgende Betriebsparameter und Schaltvariationen können abgedeckt werden:

- Die Zwischenkreisspannung der Halbbrückenschaltzelle U_{DCL} (limitiert durch das GaN-HEMT Submodell auf etwa 650 V)
- Der zu kommutierende Strom (limitiert durch das GaN-HEMT Submodell auf etwa 60 A)

- Die TTL-seitige Totzeit, maßgeblicher Faktor für resonantes vs. hartes Schalten
- Beliebige geometrisch oder elektrotechnisch bedingte Parameter der Schaltungskonfiguration, nachfolgend: $R_{PU/D}$, $U_{PU/D}$, $L_{PU/D}$, $L_{D/G/S}$ für beide Transistoren

Die so definierte Halbbrücke wird mit dem Tool LTSPICE® nachgebildet. Es ist als lizenzkostenfreie Freeware leicht verfügbar, bietet eine grafische Nutzeroberfläche und einen vergleichsweise leistungs- und multithreadingfähigen transienten Solver. Es ist zu beobachten, dass unetstetige, also sprunghaft veränderliche Nichtlinearitäten im Strom- bzw. Kapazitätsverlauf von Leitkanal- bzw. Parasitärkapazitätsmodell zu einer erheblich eingeschränkten Konvergenzfähigkeit führen. Dieser Umstand ist dem mathematischen Anspruch des verwendeten GaN-HEMT-Modells selbst geschuldet, eine entsprechende Überarbeitung ist nicht Bestandteil dieser Arbeit. Stattdessen erfolgt die Erweiterung des Halbbrückenmodells um geeignete physikalische Konvergenzhilfen. Diese bestehen aus kleinen parallelverschalteten Leitwerten sowie reihenverschalteten Dämpfungseinduktivitäten. Zudem werden nichtlineare Parasitärkapazitäten um parallele Festkapazitäten ergänzt. Alle elektrischen Größen bewegen sich im Bereich einiger pico- bis femto-H/F/ Ω und sind damit um Größenordnungen kleiner als die betrachteten elektrischen Größen, ihr Einfluss daher angenommen vernachlässigbar. Der Solver verwendet einen modifizierten Trapezoid-Algorithmus zur Integration, absolute Toleranzen sind bei 10^{-12} , relative Toleranzen bei 10^{-3} . Es wurde kein Abbruchkriterium gewählt, der Solver versucht stets, über die gesamte Halbbrückentransitionsdauer zu lösen. Weitere Details zum implementierten Halbbrückenmodell in SPICE sind im Anhang als Abb. A.3 aufgeführt.

Die mathematische Spezifikation einer definierten Schaltverlustenergie ist für nachfolgende Betrachtungen fundamental, vgl. Abb. 3.7:

- Einschaltverluste des Leitkanals eines Transistors T_1 in Halbbrückenverschaltung mit Komplementärtransistor T_2 nach:

$$E_{ON,1} = \int_a^b P_{LOSS}(t) dt \quad (3.39)$$

mit erstmaligem $a = t(P_{LOSS} > 0)$

und letztmaligem $b = t(U_{GS,1} > U_{ON,90})$

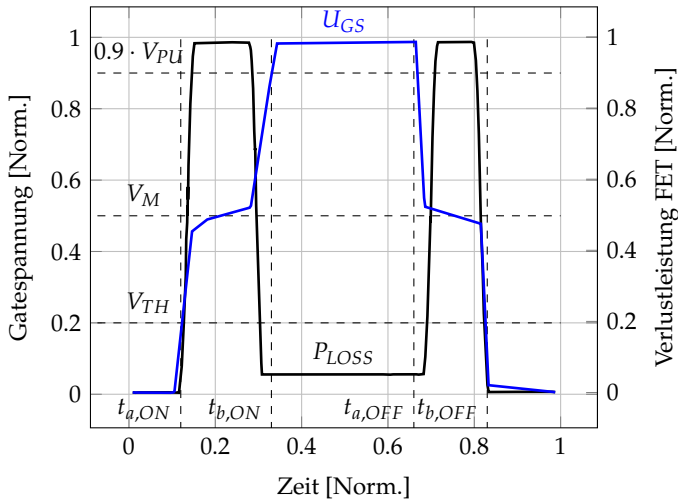


ABBILDUNG 3.7: Definition der Schaltverlustintegrationszeitpunkte einer leistungselektronischen Halbbrücke

sowie

$$P_{\text{LOSS}}(t) = U_{\text{DS},1}(t) \cdot I_{\text{DS},1}(t) \quad (3.40)$$

$$U_{\text{ON},90} = 0.9 \cdot U_{\text{PU},1/2} \quad (3.41)$$

- Ausschaltverluste $E_{\text{OFF},1}$ analog:
mit erstmaligem $a = t(U_{\text{GS},1} < U_{\text{ON},90})$
und letztmaligem $b = t(U_{\text{GS},2} > U_{\text{ON},90})$
- Auftretende Millerspannungen nach Abschalten eines Transistors T_1 nach:

$$\max(U_{\text{GS},1}(t)) \quad (3.42)$$

für erstmaliges $t > t(U_{\text{GS},1}(t) < U_{\text{TH}})$

Physikalische Größe	Symbol	Wertebereich	Normwert	Modell	Quelle
HEMT Leitkanal	$R_{ps,on}$	$m\Omega...M\Omega$	n.a.	$I(V_{ds}, V_{gs}, I)$	Gansystems GS66516T
HEMT Streukapazitäten	C_{ds}, C_{gs}, C_{gd}	$pF..nF$	n.a.	$CV(ds)$	Gansystems GS66516T
HEMT Bedämpfungsfaktoren	$R_{c,ds}, R_{c,gs}, R_{c,gd}$	$m\Omega$	1 m Ω	Single Value	Diell. Loss GaN
Packageinterne Draininduktivität	$L_{D,int}$	pH	750 pH	Single Value	Gansystems GS66516T
Packageinterne Gateinduktivität	$L_{G,int}$	pH	345 pH	Single Value	Gansystems GS66516T
Packageinterne Sourceinduktivität	$L_{S,int}$	pH	56 pH	Single Value	Gansystems GS66516T
Packageexterne Draininduktivität	$L_{D,ext}$	pH	500 pH	Single Value	Gansystems GS66516T
Packageexterne Gateinduktivität	$L_{G,ext}$	pH	200 pH	Single Value	Gansystems GS66516T
Packageexterne Sourceinduktivität	$L_{S,ext}$	pH	0 pH	Single Value	Gansystems GS66516T
Ireibersubmodell CMOS	T_{PU}, T_{PD}	n.a.	n.a.	SPICE FET Modell	TIUCC27511
Totzeitmodell Treiber	τ_{PU}, τ_{PU}	$ps..ns$	n.a.	SPICE Gattermodell	TIUCC27511
PU-Gatevorwiderstand	R_{PU}	1 m..20 Ω	5 Ω	Single Value	Parameter
PD-Gatevorwiderstand	R_{PD}	1 m..20 Ω	10 m Ω	Single Value	Parameter
PU-Gateinduktivität	L_{PU}	$pH..nH$	100 pH	Single Value	Parameter
PD-Gateinduktivität	L_{PD}	$pH..nH$	100 pH	Single Value	Parameter
PU-Gatespannung (high-Z)	V_{PU}	0..6 V	6 V	Single Value	Parameter
PD-Gatespannung (high-Z)	V_{PD}	0..6 V	3 V	Single Value	Parameter
PU-Gatepuffer	C_{PU}	1..100 nF	10 nF	RCL ESB	Murata MLCC
PD-Gatepuffer	C_{PD}	1..100 nF	10 nF	RCL ESB	Murata MLCC
Sourcing-Diode	D_{SRC}	n.a.	n.a.	Diode ESB	Infineon Schottky
Zwischenkreis Kondensator	$C_{DCL1..3}$	$nF..uF$	1 nF 100 uF	RCL ESB	Murata MLCC
Zwischenkreis Spannung (high-Z)	V_{DCL}	0..650 V	400 V	Single Value	Parameter
Kommutierungsstrom	I_{sw}	-60..60 A	n.a.	Single Value	Parameter
Footprintinduktivität	L_{pcb}	pH	100 pH	Single Value	Parameter
TTL-Koppelkapazität	C_{kk}	pF	0 pF	Single Value	Parameter
Temperatur	$T_{Die,Package..}$	300...500 K	300 K	Single Value	Parameter

TABELLE 3.3: Schaltzellenspezifikation

Diese Definition der Schaltverlustenergie ist nicht üblich, da sie über einen weiten Zeitbereich zum transienten Schaltverhalten auch das statische Leitverhalten mit abbildet. Vorrangiges Ziel dieser Arbeit ist jedoch, physikalisch bedingte Schaltverlustminima simulativ zu identifizieren und dabei auftretende parasitäre Effekte, insbesondere zeittransienter Natur mit Auswirkungen weit nach den eigentlichen Schaltvorgängen, zu berücksichtigen. Ein überdimensioniertes Erfassungszeitfenster stellt dies auch während der Übergangsphase zum Leitverhalten des HEMT-Kanals sicher. Die Ergebnisse sind physikalisch gesprochen weiterhin korrekt, ihr DC-Offset muss jedoch vor einem möglichen Vergleich mit Literaturwerten entsprechend bereinigt werden.

3.2.2 Auswertung per Matlab-Scripting

Die Automatisierung der Parameterstudie erfolgt über lineares Stepping vorhergehend definierter Betriebsparameter mit konstanter Schrittweite. Dies wird nativ von LTSPICE per `.step`-Befehl unterstützt, die geforderten abgeleiteten Messgrößen per `.measure`-Befehl spezifiziert. LTSPICE erzeugt nach einem transienten Run somit stets zwei korrespondierende Postprocessing-Dateien: Ein `.raw`-File mit sämtlichen Knotenspannungen- und Strömen als Abbild des transienten Zeitverhaltens sowie eine `.log`-File mit sämtlichen angeforderten Measure-Auswertungen. Da betrachtete Größen per Measure-Befehl extrahierbar sind, wird auf die direkte Auswertung der `.raw`-Files verzichtet, diese werden nach erfolgtem transienten Durchlauf und generiertem `.log`-File gelöscht. Die Schaltzelle inklusive aller Simulationsparameter wird an LTSPICE per `.cir`-File übergeben und enthält insbesondere die Netzlistenrepräsentation sowie Modellbeschreibung aller verwendeter Komponenten.

Um nun eine Automatisierung von Parametrierung, `.cir`-File-Generierung sowie Auswertung und Aufbereitung der `.measure`-Daten zu realisieren, wurde eine MATLAB-Implementierung von LTSPICE vorgenommen. Über Textscan- und Replace-Befehle kann das oben beschriebene ursprüngliche `.cir`-File beliebig modifiziert und einer kommandozeilenbasierten LTSPICE-Simulation zugeführt werden. Hierbei profitiert die Prozessstruktur von einer Multi-Worker-Fähigkeit der MATLAB Parallel Computing Toolbox, sodass sowohl die transiente Simulation in LTSPICE als auch das Parameterstepping auf einem Mehrkernprozessor parallelisiert ablaufen. Nach erfolgreichem Durchlauf werden die Daten automatisiert in Matlab-Matrizen abgelegt

und graphisch aufbereitet. Aufgrund der Komplexität des Modells, des vergleichsweise ausgedehnten Zeitbereiches der Lösung sowie der großen Zahl an ausgewerteten Betriebspunkten muss ein Kompromiss zwischen Lösungsgenauigkeit und Ausführungsgeschwindigkeit erzielt werden. Das Matlab-Scripting startet daher initial mit engen Toleranzanforderungen und erhöht bei detektierten mangelhaften Konvergenzverhalten selbstständig entsprechende Solverparameter, vorrangig relative Toleranzen des Solvers. Definitionslücken im Lösungsbereich lassen sich mit dieser Strategie effektiv vermeiden, in Kauf genommen werden müssen Artefakte bzw. sprunghafte Wertveränderungen sowie ein allgemeiner Anstieg numerischen Rauschens. Es wurde in dieser Arbeit keine Glättung oder Interpolation der Daten zugunsten einer optimierten Darstellung vorgenommen.

3.3 Halbleitersimulation in SPICE

Nachfolgend werden ausgewählte Simulationsergebnisse der vorhergehend beschriebenen LTSPICE-Parameterstudie diskutiert. Folgende Parameter und deren Variationen sind berücksichtigt:

- Eine Zwischenkreisspannung von 200 V bzw. 400 V
- Ein Kommutierungsstrom betragsmäßig im Intervall $[0,60]$ A mit Schrittweite 1 A. Über Vorzeichenwechsel werden beide Schaltfälle harte und weiche Kommutierung abgebildet. Die Begrifflichkeit einer harten bzw. weichen Schalttransition ist somit nachfolgend über die topologische Stromrichtung nach Tab. 2.2 definiert. Die absichtlich herbeigeführte harte Kommutierung trotz gegebener topologischer Stromumkehr ist aus technischer sowie wirtschaftlicher Sicht nicht relevant, es findet keine gesonderte Behandlung statt.
- Eine TTL-seitige Totzeit der Halbbrückentransition im Intervall $[-50,110]$ ns mit Schrittweite 1 ns. Der partielle Halbbrückenkurzschluss ist somit Teil der nachfolgenden Betrachtung.

Die Totzeit einer Halbbrückentransition bestimmt nach Kap. 2 maßgeblich den Unterschied zwischen harter und weicher Kommutierung. Folgende Grafiken 3.8 und 3.9 zeigen den Einfluss der Totzeit auf assoziierte Schaltverluste der High-/Low-Side für weiche bzw. harte Kommutierung.

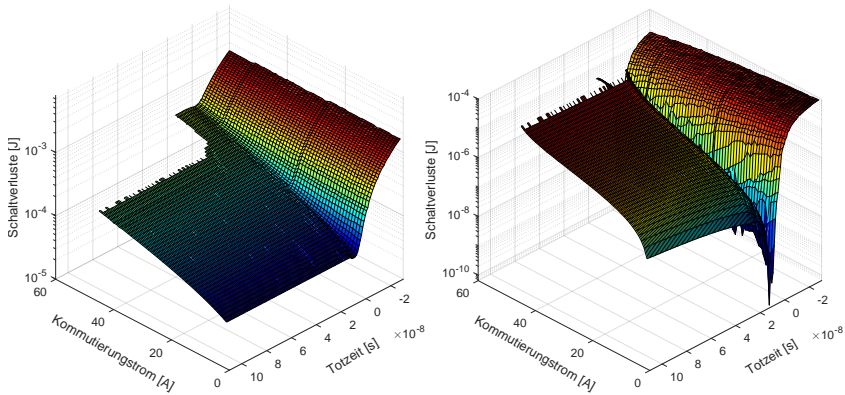


ABBILDUNG 3.8: Einschalt- und Ausschaltverluste für eine hart schaltende Halbbrückentransition in Abhängigkeit der Totzeit und des zu kommutierenden Stroms bei 400 V Zwischenkreisspannung (LTSPICE)

Verhalten für Totzeiten kleiner Null

- Bei harter Kommutierung ist für beide Transistoren ein deutlicher, totzeitabhängiger Anstieg der Schaltverluste beobachtbar. Sie überschreiten das rechnerische Limit einer vollständigen harten Kommutierung nach Gl. 3.43, abgeleitet von Gl. 2.3, deutlich und sind zudem unabhängig vom ursprünglichen Kommutierungsstrom:

$$E_{\text{OSS},1+2} \approx 0.5 \cdot (2 \cdot 500 \text{ pF}) \cdot 400 \text{ V}^2 \approx 80 \cdot 10^{-6} \text{ J} \quad (3.43)$$

Dies ist durch den partiell eintretenden, ohmschen Brückenkurzschluss zu erklären, die Ströme der Halbbrücke überlappen sich für immer größere negative Totzeitwerte. Die Verluste sind für den ankommenden Transistor um Größenordnungen höher, da dieser bei Schaltbeginn die volle Zwischenkreisspannung anliegen hat. Die LTSPICE-Simulation erlaubt in diesem Grenzbereich aufgrund zugrunde liegender Modellgrenzen für die Leitkanalbeschreibung nur qualitativ belastbare Aussagen.

- Für weiche Kommutierung gelten die Ausführungen analog.

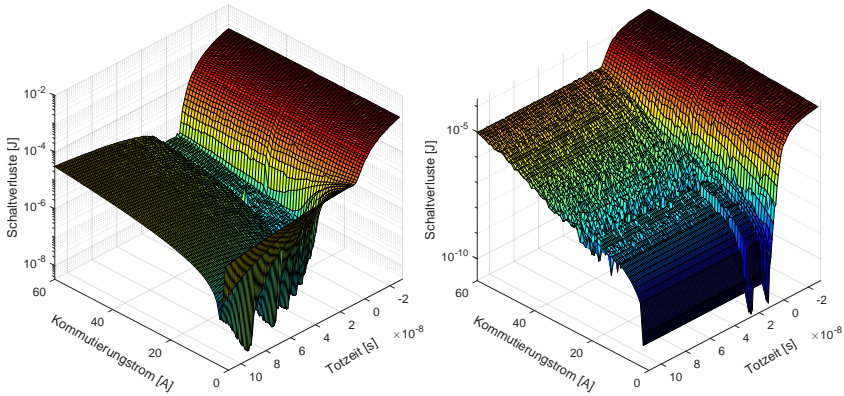


ABBILDUNG 3.9: Einschalt- und Ausschaltverluste für eine weich schaltende Halbbrückentransition in Abhängigkeit der Totzeit und des zu kommutierenden Stroms bei 400 V Zwischenkreisspannung (LTSPICE)

Verlustoptimaler Schaltzeitpunkt

- Bei harter Kommutierung (vgl. Abb. 3.8) existiert für Totzeiten knapp größer Null für den abkommutierenden Transistor ein zeitlich scharf definierter Bereich mit einer Signifikanz von mehreren Größenordnungen, welcher sich durch minimale Schaltverluste in der Größenordnung von 100 nJ auszeichnet. Die linksseitige Begrenzung erfolgt durch den partiell eintretenden Brückenkurzschluss, rechtsseitig für positive Totzeiten durch einsetzende Durchlassverluste im dritten Betriebsquadranten. Das Verlustminimum ist deshalb näherungsweise unabhängig vom Kommutierungsstrom.

Für den ankommutierenden Transistor hingegen existiert in Totzeitrichtung lediglich ein verlustminimales Plateau in der Größenordnung bis etwa 100 μ J, welches näherungsweise linear mit dem Kommutierungsstrom skaliert. Da sich positive Totzeiten bei harter Kommutierung nicht auf den tatsächlichen Einschaltvorgang auswirken, ist dieses totzeitunabhängige Verhalten nachvollziehbar. Als Ursache für das lineare Stromanstiegsverhalten des Plateaus können Verlustmechanismen nach dem in Kap. 2 vorgestellten Überlappungsintegral angenommen werden.

- Bei weicher Kommutierung (vgl. Abb. 3.9) kehrt sich das beschriebene Verhalten um. Der ankommutierende Transistor weist nun ein strom- und totzeitabhängiges Verlustminimum auf, welches durch die vorgestellten kapazitiven Umladevorgänge bestimmt ist. Das ZVS-Minimum hat eine Signifikanz von mindestens einer Größenordnung, seine absolute Lage liegt im Intervall [10n], 10u]. Für kleine Kommutierungsströme müssen verhältnismäßig große Totzeiten vorgehalten werden, das ZVS-Minimum ist scharf definiert. Für größere Kommutierungsströme ist die Lageänderung hingegen invers proportional, vgl. Kap. 2. Die absoluten Werte selbst skalieren linear mit dem Kommutierungsstrom. Das Minimum weitet sich zudem für große Kommutierungsströme auf, dieses Verhalten ist unphysikalisch. Es werden dV/dt -induzierte Effekte durch unzureichend modellierte Ausgangskapazitäten in Verbindung mit externer Pull-Up-Impedanz vermutet, das hier beschriebene Verhalten wird darüber hinaus in Kap. 5 widerlegt.

Für den abkommutierenden Transistor existiert analog zur harten Kommutierung abermals ein linear stromabhängiges, totzeitunabhängiges Plateau. Da hier jedoch beide Transistoren quasi spannungsfrei schalten, werden die absoluten Verlustwerte für deren Schaltvorgänge vergleichbar. Es ist zu beobachten, dass die Anschaltverluste deutlich überwiegen. Dies ist auf die asymmetrische Gatekonfiguration beider Transistoren hinsichtlich ihrer Vorwiderstände zurückzuführen. Mit R_{PU} des ankommutierenden Transistors ergibt sich:

$$\tau_{PU}^* \approx R_{PU} \cdot C_{GS}^* \quad (3.44)$$

Dies bewirkt ein erhöhtes Überlappungsintegral für den einschaltenden Transistor.

Verhalten für Totzeiten deutlich größer Null

- Bei harter Kommutierung sind für den abkommutierenden Transistor linear mit der Totzeit ansteigende Schaltverluste zu verzeichnen, in Stromrichtung geschieht dies zuerst linear, für höhere Ströme näherungsweise exponentiell. Es ist somit deutlich das Verlustverhalten der GaN-Pseudodiode erkennbar. Aus der Betrachtung des Bahnwiderstands der Pseudodiode äquivalent zu R_{DS} sowie ihrer Vorwärtsspannung äquivalent zu U_{PD} unter

Berücksichtigung der Zeit Δt ergibt sich als Verlustenergie:

$$E_{\text{tr}} \approx (U_{\text{PD}} \cdot I_{\text{DS}} + R_{\text{DS}}(U_{\text{TH}}) \cdot I_{\text{DS}}^2) \cdot \Delta t \quad (3.45)$$

Die gewählte bzw. nötige Höhe von U_{PD} der Halbbrückenschaltzelle hat daher maßgeblichen Einfluss auf deren Schaltverluste bei Transistorbetrieb im dritten Quadranten. Das Verhalten des ankommutierenden Transistors wurde bereits durch das beschriebene Plateau definiert.

- Bei weicher Kommutierung befindet sich der ankommutierende Transistor analog zur harten Kommutierung im dritten Betriebsquadranten, es lassen sich obenstehende Aussagen übertragen. Das Plateauverhalten des abkommutierenden Transistors verhält sich ebenso analog.

Es ist erkennbar, dass eine korrekte, betriebspunktabhängig adaptierte Totzeit priorisiert werden muss, sofern schaltverlustminimale Halbbrückenübergänge gewährleistet werden sollen. Dies beinhaltet in jedem Falle den Kommutierungsstrom der Halbbrücke.

Abgeleitete Auslegungsaspekte

Die Wahl eines Pull-Up-Vorwiderstands $R_{\text{PU,HS}}$ des HS-Transistorgates bestimmt nach Abb. 3.10 maßgeblich die Einschaltverluste des HS-Transistors bei minimalem Pull-Down Widerstand der korrespondierenden LS mit $R_{\text{PD,LS}} = 1 \Omega$. Aus der sich weiterhin ergebenden maximalen Millerspannung der LS in Abhängigkeit des Pull-Up-Widerstands $R_{\text{PU,HS}}$ der HS wird wiederum ersichtlich, dass eine Optimierung der Schaltverlustenergie via Minimierung von $R_{\text{PU,HS}}$ nicht ohne Berücksichtigung parasitärer Behaftungen der Halbbrücke bzw. Transistoren vollzogen werden darf. Mittels obiger Simulationen kann stattdessen die nötige Pull-Down-Spannung $|U_{\text{PD,LS}}| > 0 \text{ V}$ der LS zur Vermeidung eines unerwünschten Miller-Turn-Ons, ein insbesondere bei WBG-Halbleitern kritischer Auslegungsfaktor, berechnet und konstruktiv bei Auslegung der Schalttopologie beachtet werden.

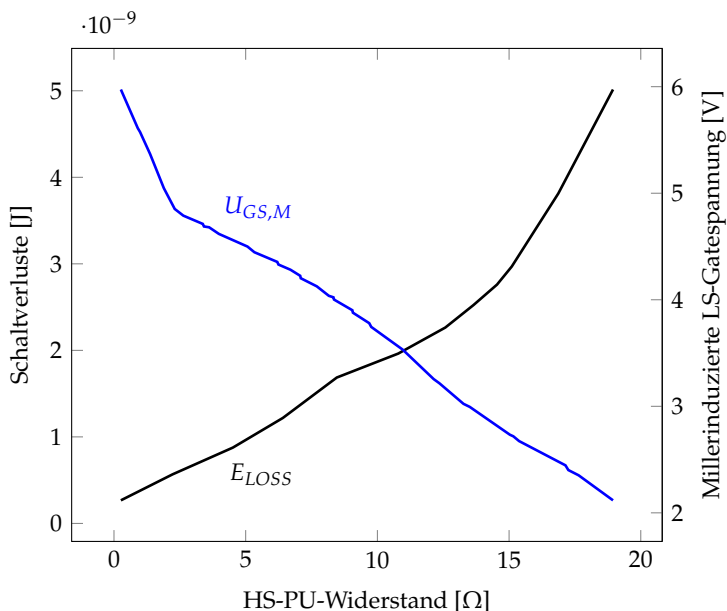


ABBILDUNG 3.10: Millerspannung und Einschaltverluste der Halbbrücke in Abhängigkeit vom Gate-Pullup-Widerstand $R_{PU,HS}$

3.4 Detektion der ZVS-Bedingung

In den vorangegangenen Abschnitten wurde sowohl der Mechanismus einer ZVS-Schaltbedingung, als auch der simulativ quantifizierte Schaltverlust dargestellt. Daraus ergibt sich die Notwendigkeit, eine betriebs- und konfigurationsabhängige Anpassung der entsprechenden verlustminimalen Totzeit schaltungstechnisch umzusetzen.

Nachfolgende Ausführungen zeigen die Vor- und Nachteile derzeitiger bekannter und eingesetzter Regeleinrichtungen und Methodiken auf. Schlussendlich wird ein neuartiger, für alle feldgesteuerten Leistungshalbleiter geeigneter schaltungstechnischer Ansatz präsentiert, um weitgehend betriebsparameterunabhängig eine korrekte Nachführung der Totzeit zu erlauben.

Hardware zur PWM-Generation

Für alle totzeitregelnden Ansätze ist eine präzise PWM-Generation mit einer Auflösung von mindestens einer Größenordnung unterhalb der Schaltflanke erste praktische Voraussetzung. Schnell schaltende WBG-Leistungstransistoren mit einer Flankensteilheit größer 100 V/ns setzen daher sehr hohe Anforderungen mit Auflösungen kleiner eine Nanosekunde. Diese diskreten Zeitschritte übersteigen industrieübliche Taktraten von Mikrocontrollern im Bereich weniger 10 bis 100 MHz, der Controller kann bauartbedingt keine PWM-Signalfanken auflösen, die zwischen seinen internen Taktzyklen liegen. Folgende technische Lösungen erlauben dennoch eine PWM-Generation mit entsprechender Auflösung:

- Hardwareseitige Echtzeit-Eingangskanäle des Mikrocontrollers zur eventbasierten Überschreibung softwareseitig gesetzten PWM-Ausgänge [34]. Hierzu muss die Halbbrücke ein entsprechend phasenrichtiges Signal zur Verfügung stellen.
- Die Nutzung von Laufzeiteffekten in hardwareintegrierten Verzögerungsschaltungen innerhalb des Controllers (zb. NOT-Gatter). Über die Wahl entsprechender Gatterlängen und Temperaturkompensation können Schaltflanken auch zwischen Controllertakten beeinflusst werden [34].
- Der Einsatz von Echtzeitlogik [35], die an keine internen Taktzyklen gebunden ist. Im Gegensatz zu vollständig diskret aufgebauten PWM-Signalbausteinen bleibt die topologieabhängige Controllerwirkung erhalten.

Der notwendige Einsatz von Gate-Treiberschaltungen mit geeigneter Pegelanpassung für mindestens die HS der Halbbrücke bedingt eine nicht unerhebliche Laufzeit des PWM-Signals bis zum tatsächlichen Halbleitergate im Bereich weniger 10 - 100 ns [24]. Es wird daher nachfolgend zwischen zwei unterschiedlichen Regelungsansätzen unterschieden:

- Eine rein prädiktiv-modellbasierte Steuerung mittels per Software hinterlegtem Wissen kann eine Signallaufzeitverzögerung kompensieren.
- Eine hardwarebasierte Echtzeitregelung der ZVS-Transition mit Steuerweg über einen LV-Controller ist für WBG-Leistungshalbleiter aus oben genannten Gründen nicht

realisierbar. Die Regelung müsste direkt auf Gateebene der Transistoren erfolgen, derartige Treiberbausteine oder diskrete Schaltungen sind derzeit nicht bekannt. Für schnell schaltenden Halbleitertechnologien stellt die Cycle-by-Cycle Regelung eine praktikable Lösung dar. Hierbei wird ausgenutzt, dass in guter Näherung die Betriebsbedingungen für eine vorangegangene ZVS-Transition aus topologischer Sicht auch für die Nachfolgende(n) gültig ist, sodass die Berechnung und Propagation des PWM-Signals nur an die für leistungselektronische Topologien vergleichsweise langsame Schaltfrequenz im Bereich weniger 10 - 100 kHz gebunden ist.

Es soll nun nachfolgend auf in der Literatur unterschiedene Ansätze zu software-modellbasierten bzw. hardwarebasierten ZVS-Detektionsmechanismen eingegangen werden.

Modellbasiert prädiktive Ansätze zur Totzeitregelung

In [33] [36] vorgestellte vereinfachte analytische Beschreibungsformen für Umladephasen verschiedener Topologien beschränken sich, wie obige Ausführungen dieser Arbeit, auf den existenziellen Nachweis einer ZVS-Bedingung. Die praktische Umsetzbarkeit ohne Hardwaremodifikationen, insbesondere Sensortechnik, ist nicht gegeben:

- Die vorgestellten Ansätze zur simulativen Totzeiterfassung sind insofern ungeeignet, da Parasitärbehauptungen, deren maßgeblicher Einfluss in dieser Arbeit diskutiert wird, unzureichende Berücksichtigung finden. Die Vorhersage der Existenz einer ZVS-Bedingung ist nicht gleichzusetzen mit der hardwaretechnisch exakten Einhaltung derselben im Bereich von Nanosekunden.
- Eine präzise simulative Totzeiterfassung, auch auf Basis der später in dieser Arbeit vorgestellten VERILOG-Modelle, ist auf eine Vielzahl an Parametern angewiesen, deren Extraktion aus einer korrespondierenden Schaltzellenkonfiguration stets innerhalb gewisser Grenzen fehlerbehaftet ist.

Eine rein prädiktiv-modellbasierte ZVS-Regelung ist somit aufgrund notwendigerweise fehlerbehafteter Parametrierung, bauteil- und betriebsbedingter Streuung sowie der Folgeschwere eines totzeitabhängig induzierbaren Brückenkurzschlusses für einen großtechnischen Einsatz mit entsprechenden Anforderungen an Zuverlässigkeit und Robustheit zu hinterfragen.

Hardwarebasierte Ansätze zur Totzeitregelung

Demgegenüber bietet eine hardwareimplementierte ZVS-Detektorschaltung mit Regelgrößenrückführung Vorteile. Folgende Messgrößen werden in der Literatur beschrieben:

- Gate-Transitionen werden messtechnisch detektiert und ausgewertet, um die realen Totzeiten von den controllerseitigen TTL-Totzeiten zu unterscheiden. Dies eliminiert insbesondere den Einfluss treiberseitig induzierter Gate-Verzögerungszeiten $\tau_{PU/D}^*$ in [37]. Eine direkt mit der ZVS-Bedingung korrelierte Größe wird nicht erfasst.
- Die I/O-Gesamteffizienz der Topologie wird als nutzbare Regelgröße für Totzeitanpassungen postuliert [38]. Überlegungen zu implementierbarer Messtechnik, benötigter Auflösung sowie Zuordenbarkeit sind nicht dokumentiert.
- Es erfolgt die Überwachung der Schaltknotenspannung U_{SW} der Schaltzelle, um über den Spannungsabfall einer (quasi-)Reversediode einer FET-Technologie die zu verhindernde Phase der Rückwärtsleitung zu detektieren [39][40]. Zudem werden Lösungen zur controllerseitigen Implementierung in hochdynamischen Betriebsumgebungen präsentiert.
- Andere Quellen [37] integrieren aus demselben Grund monolithisch einen separaten Stromsensor in den Leistungstransistor.

Im Vergleich zu indirekt korrelierenden ZVS-Detektionsmethoden mittels abgeleiteter und softwareseitig interpretierter Messdaten bietet erst die Detektion der Reverse-Leitung eine tatsächlich halbleiterphysikalisch bedingte ZVS-Regelgröße. Es ergeben sich jedoch folgende Nachteile:

- Der Implementierungsaufwand für monolithisch integrierte Sensorik stellt eine erhebliche prozesstechnische Modifikation innerhalb der Fertigung des Transistors dar. Es sind entsprechende Kosten vorzuhalten.
- Im Falle diskret platzierter Sensorsysteme an U_{DS} ist eine Fehlerbetrachtung von parasitären Package-Effekten wie induktivem Überspringen oder kapazitiver Einkoppelung nicht diskutiert.

- Es wurden Niederspannungstopologien und -sensorsysteme betrachtet, die Auswirkungen höherer U_{SW} - und dU_{SW}/dt -Werte wurden dagegen nicht diskutiert.
- Für niedrige Kommutierungsströme geht die Spannungsüberhöhung im Reverse-Betrieb gegen Null, damit auch die Detektierbarkeit der ZVS-Bedingung. Insbesondere in diesen Betriebspunkten dominieren allerdings verhältnismäßig die C_{DS}^* -bezogenen Schaltverluste nach Kap. 2.
- Die Reverse-Conduction ist wie gezeigt durch Kanalaufsteuerung bzw. Flusspolung eines pn-Übergangs gegeben. Die hier diskutierte Methode kann daher nur die zeitliche Auswirkung dieser Mechanismen einschränken, tatsächlich optimale Totzeiten im Sinne einer spannungssynchronen Ankommutierung des Leitkanals sind daraus grundsätzlich nicht abzuleiten.

Für eine diskret aufgebaute 400 V PFC-Stufe in GaN-Technologie ist mit den hier vorgestellten Ansätzen daher nicht ersichtlich, ob bei geometrisch ausgedehnter Kommutierungszelle die exakte Detektion verlustoptimaler Totzeiten realisierbar ist.

Die ZVS-Detektorschaltung

Eine treibende Motivation dieser Arbeit ist, package- und schaltzellenu-nabhängig eine direkt mit der halbleiterphysikalischen Kommutierung korrelierende Messgröße zu observieren. Die in dieser Arbeit präsentierte und als Patentanmeldung DE-10-2018-00707-A1 eingetragene technische Lösung sieht eine Korrelation der spannungsabhängigen Millerkapazität C_{GD}^* mit der im Schaltmoment vorherrschenden Drain-Source-Spannung U_{DS} direkt am Halbleiterleitkanal vor. Der Einfluss externer Parasitärbehaftungen wird umgangen, der Mechanismus ist für beliebige Feldeffekttransistortechnologien gültig, für die gilt:

$$C_{GD}^* = f(U_{DS}) \quad (3.46)$$

Kurz vor Erreichen der ZVS-Bedingung durchläuft die Millerkapazität eine sprunghafte Kapazitätsvergrößerung (vgl. Abb. 2.2 in Kap. 2), deren Ladungsmenge extern vom Treiber zur Verfügung gestellt werden muss. Weiterhin nutzt der hier diskutierte Ansatz die in der Praxis asymmetrischen Pull-Up/-Down-Impedanzen einer Halbbrücken-Treiberstufe aus:

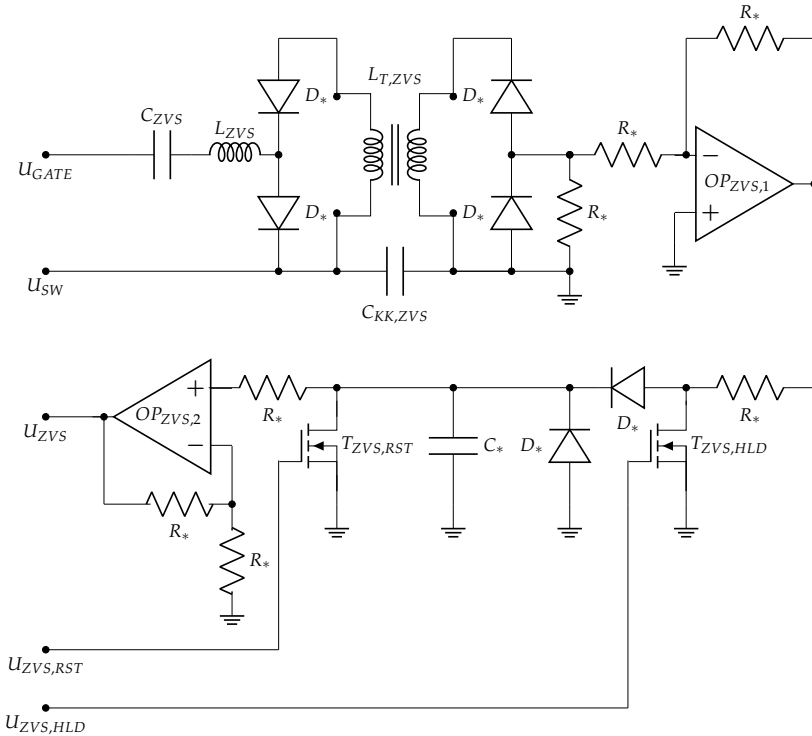


ABBILDUNG 3.11: ZVS-Detektorschaltung

$$R_{PU} > R_{PD}, \quad R_{DS,ON,T_{PU,PMOS}}^* > R_{DS,ON,T_{PD,NMOS}}^* \quad (3.47)$$

Schaltet die betrachtete Treiberstufe einen Transistor vor Erreichen seiner ZVS-Bedingung ein, öffnet sie den signifikant höherimpedanten Pull-Up-Pfad als einzige Stromquelle zum Umladen der Millerkapazität. Für höherimpedante Pull-Up-Pfade R_{PU} (simulative Validierung ab 5Ω) entsteht ein observierbarer Spannungseinbruch am Steuergate, der durch dessen parasitäre Induktivität (simulative Validierung bis 10 nH Gatekommutierungskreis) zwar phasenverschoben, aber nicht nennenswert gedämpft wird. Kommt der Schaltbefehl jedoch zeitgleich oder später als das Erreichen der ZVS-Bedingung, so ist dieser Spannungseinbruch nicht observierbar. Das Hardwarekonzept des ZVS-Detektors nach Abb. 3.11 sieht die Ausleitung dieses Spannungseinbruchs über einen ZVS-Auskoppelkondensator C_{ZVS}

und Konvertierung in ein von einem Mikrocontroller quantifizierbares Signal $U_{ZVS,MEAS}$ vor. Die Regelung erfolgt dann Cycle-by-Cycle. Ein Schaltvorgang kann hinsichtlich seines ZVS-Optimums nur im Nachhinein bewertet werden. Im Falle der in dieser Arbeit betrachteten leistungselektronischen Topologie kann jedoch eine Stetigkeit der geltenden Betriebsparameter angenommen werden, sodass diese in guter Näherung auch für eine endliche Anzahl nachfolgender Schalttransitionen gelten. Ein Controller kann sich damit auf die Totzeitregelung des Schaltvorgangs nach jeweils $n=1,2,3\dots$ Folgezyklen beschränken.

Eine weitere Problemstellung ist, dass die Analog-Digital-Konverter (ADC) des Controllers üblicherweise einen von der HV-Seite des betrachteten Steuergates abweichenden Potentialbezug aufweisen. Es ist daher weiterhin erforderlich, eine galvanisch isolierte Auskoppelung des Messsignals sicherzustellen. Da während des zu detektierenden Einbruchs der Gatespannung die gesamte Schaltzelle kommutiert, ist die galvanische Trennung mit der gesamten dU_{SW}/dt -Belastung des observierten Schaltknotens kompromittiert. Übliche Inter-Winding-Kapazitäten $C_{KK,ZVS}$ gekoppelter Drosseln LT_{ZVS} von Primär- zu Sekundärseite im Bereich von 1 - 5 pF führen zu einem Störstrom nach:

$$I_{KK,HV/LV} = C_{KK,LT} \cdot \dot{U}_{SW} \approx 0.1 - 0.5 \text{ A} \quad (3.48)$$

Das Messsignal als kapazitive Auskoppelung direkt am Steuergate des Transistors nach

$$I_{KK,MEAS} = C_{KK,ZVS} \cdot \dot{U}_{GS} \quad (3.49)$$

muss daher für eine Signal-Noise-Ratio (SNR) von 10:1 die etwa um den Faktor Hundert kleinere dU_{GS}/dt -Änderung mit einem Koppelkondensator im Bereich mehrerer nF ausgleichen. Diese Erhöhung der Gatekapazität verschlechtert jedoch die Schaltperformance des Transistors aufgrund der benötigten Gateladungsmenge und bildet zusätzlich einen unvorteilhaft dimensionierten kapazitiven Spannungsteiler. Um den Messeingriff in das System weiterhin vernachlässigen zu können und trotzdem eine nutzbare SNR zu erhalten, nutzt die diskutierte Schaltung den Zeitverzögung eines zu einem LC-Glied erweiterten Auskoppelschwingkreises aus. Die Verzögerungsinduktivität L_{ZVS} ist dabei so gewählt, dass ein ausreichender zeitlicher Versatz von Mess- und Störgröße gegeben ist. Zudem gestaltet sich das Layouting der Schaltung unkompliziert, da die mit größeren Abständen zum

Gate schaltungstechnisch resultierenden Parasitärinduktivitäten lediglich zur ohnehin vorgesehenen Verzögerungsinduktivität beitragen. Der Baubereich des Gates selbst wird nur um einen Niedervolt-Auskoppelkondensator erweitert, SMD-MLCC-Baugrößen wie 0402 resultieren in geringem Platzbedarf. Da beide Werte für das LC-Glied definiert sind, ergibt sich nach der Thomson'schen Schwingungsformel stets ein bekannter Versatz einer Viertelperiode, die Linearität des ZVS-Signals bleibt als unabhängige Erregung erhalten. Um nur negative Anteile des Messsignals auszukoppeln, findet zusätzlich eine passive Gleichrichtung mittels Schottky-Dioden statt, bevor das Messsignal per gekoppelter Drossel auf die Logikseite übersetzt wird. Ein Sample-Hold-Reset (SHR) Glied, aufgebaut aus Hochfrequenz-Operationsverstärkern OP_{ZVS} und zwei kleinen nMOS-FETs T_{ZVS} , integriert das Messsignal in die erweiterte Ausgangskapazität eines der beiden Transistoren, wo es nach erfolgter Pegelwandlung einem controllerseitigen ADC zur Verfügung steht. Es ergeben sich nach Tab. 3.4 folgende Bedatungen und Submodelle für die SPICE-Simulation. Aus einer Betrachtung von Abb. 3.12 ergibt sich:

- Die bereits vorgestellten Einschaltverluste eines resonant betriebenen Leistungshalbleiters werden im rechtseitig gezeigten Signalverlauf um das von der postulierten Schaltung zur Verfügung gestellte ZVS-Signal erweitert.
- Weiße Punkte definieren die maximal auftretende Flankensteilheit in Bezug auf die Totzeitachse.
- Grüne Punkte definieren das Einsetzen eines Spannungsplateaus charakterisiert durch eine Ableitung von Null in positive Totzeitrichtung. Für sehr geringe Ströme ist die Wahl des Plateaus möglicherweise nicht eindeutig, der erarbeitete Algorithmus identifiziert hier das jeweils erste Plateau. Ansätze zu verbesserten Filteralgorithmen wurden nicht weiterverfolgt.

Zur Veranschaulichung sind diese Punkte in beiden dargestellten Plots übernommen. Dabei kann festgestellt werden, dass sich diese stets im ZVS-Valley befinden. Eine direkte Korrelation der ZVS-Größe mit tatsächlichen Schaltverlusten ist somit simulativ validiert. Die hardwareseitig messtechnische Überprüfung erfolgt in Kap. 5.

Physikalische Größe	Symbol	Wertebereich	Normwert	Modell	Quelle
ZVS-Messkapazität	C^*_{ZVS}	100-1000 pF	200 pF	RLC-ESB	Murata
ZVS-Messinduktivität	L^*_{ZVS}	1-10 nH	2 nH	RL C-ESB erweitert	Coilcraft
ZVS-Transformer	LI^*_{ZVS}	2x51 uH	n.a.	(RL C) C-ESB erweitert	Würth Elektronik
ZVS-Gleichrichtung	D^*	n.a.	n.a.	SPICE Dioden-ESB	Infineon
ZVS-OPAMP	OP^*_{ZVS}	n.a.	n.a.	SPICE OPAMP-ESB	Linear Technologies
ZVS-NMOS-FET	$T^*_{ZVS,HLD/RST}$	n.a.	n.a.	SPICE MOSFET-ESB	Infineon
Footprintinduktivität	L_{PCB}	pH	100 pH	Single Value	Parameter
Drossel-Koppelkapazität	$C_{kk,ZVS}$	pF	2 pF	Single Value	Parameter
Temperatur	$T_{Die,Package..}$	300..500 K	300K	Single Value	Parameter

TABELLE 3.4: Bauteil- und Modellspezifikation der ZVS-Detektorschaltung

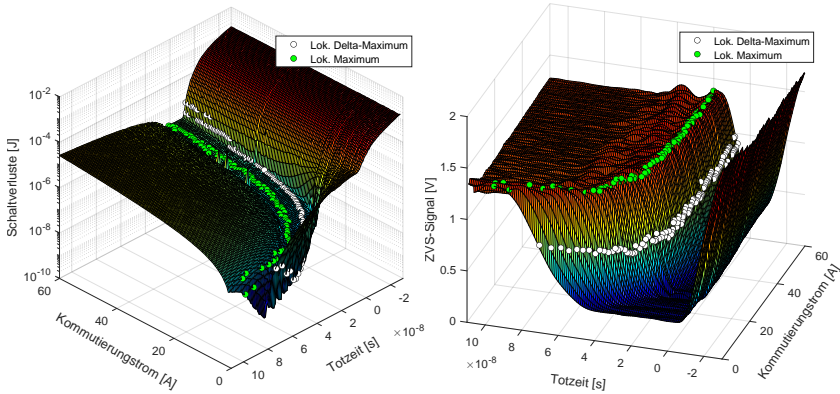


ABBILDUNG 3.12: ZVS-Detektorsignalkorrelation mit HS-Schaltverlusten, grüne Punkte: Flanke, weiße Punkte: Maximale Signaländerung

Es werden nun Steuersignale in Abhängigkeit des Gatesignals PWM_{DRV} an das SHR-Glied gemäß Abb. 3.13 weitergeleitet. Der Reset-Transistor mit Signal PWM_{RST} löscht bei HIGH-Pegel sämtliche aufintegrierte Ladung und wird daher kurz vor der relevanten Leistungstransistor-Schaltflanke auf LOW gezogen. Mit durch das ZVS-LC-Verzögerungsglied charakterisierter Totzeit wird auch der Hold-Transistor mit Signal PWM_{SH} auf LOW gezogen, sodass eine Ladungsintegration des Messsignals erfolgen kann. Danach verhindert der HIGH-Pegel eine weitere Aufintegration, sodass für die ADC-Wandlung ein beliebig großes Zeitfenster bis hin zum nächsten Cycle-by-Cycle-Sampling gewählt werden kann. Bei synchroner Auswertung ($n=1$) erfolgt der Reset-Impuls daher noch innerhalb einer Schaltperiode. Im Sinne einer schnellen Implementierung wurde in dieser Arbeit für jedes SHR-Signal ein eigener PWM-Kanal des Controllers vorgehalten, was die Gesamtzahl an PWM-Kanälen verdreifacht. Das vorgestellte Verfahren bietet jedoch weiterhin den Vorteil, die benötigten Signale allesamt aus dem ursprünglichen PWM-Steuersignal des Leistungstransistors ableiten zu können, womit eine geometrische Integration in die Gatetreiberstufe sinnvoll erscheint.

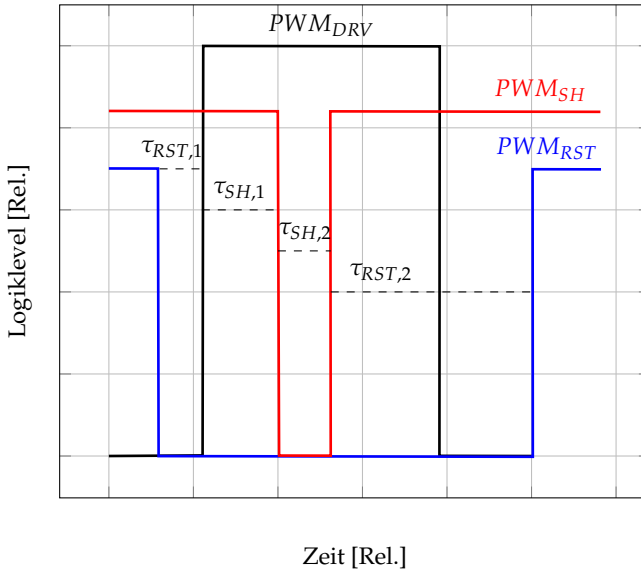


ABBILDUNG 3.13: SHR-Signale der ZVS-Detektorschaltung in Bezug zur Leistungstransistor-PWM

3.5 Gründe für den Wechsel der Simulationsumgebung

Während im vorangegangenen Abschnitt eine Untersuchung ausgewählter parasitärer Schaltzellenparameter in SPICE maßgeblich zur simulativen sowie hardwarebasierten Bestimmung verlustoptimaler Totzeiten führt, soll nachfolgend ein Wechsel von Simulationsumgebung und Modellen diskutiert werden.

Die Notwendigkeit ergibt sich einerseits aus den an diese Arbeit gestellten Anforderungen an simulativer Genauigkeit, als auch aus der prozessualen Einschränkung, hochgradig automatisierte Simulationsprozesse im Sinne einer globalen Optimierung nur bedingt durchführen zu können.

3.5.1 Halbleitersimulation in VERILOG vs. SPICE

Wie bereits in Kap. 2 erläutert, ist die technologische Modellierung eines Transistors mittels Ersatzschaltbildmodell in SPICE nur eine von mehreren möglichen Beschreibungsformen, vgl. hierzu Abb. 3.14. Es existieren einerseits noch stärker vereinfachende Black-Box Modelle in Form einer Lookup-Tabelle. Diese erlauben die Korrelation von Schaltverlusten ohne entsprechend notwendige transiente Simulationen und können oftmals direkt aus Datenblättern entnommen werden. Da sich die gewonnenen Aussagen nur auf eine generische, möglicherweise idealisierte, Halbbrückenkonfiguration beziehen und als Lookup-Tabelle keiner phänomenologisch motivierten Untersuchung bzw. Optimierung zugänglich sind, ist diese Beschreibungsform für physikalisch motivierte, tiefgehende Analysen ungeeignet.

In der Industrie hat sich daher das SPICE-Modellformat als einfaches und austauschbares Submodell für Treiberstufe und Leistungstransistoren sowie für eine Vielzahl an weiteren elektronischen Bauteilen etabliert. Bisher beobachtbare und veröffentlichte Modellbeschreibungsformen weisen nachfolgende Limitierungen auf:

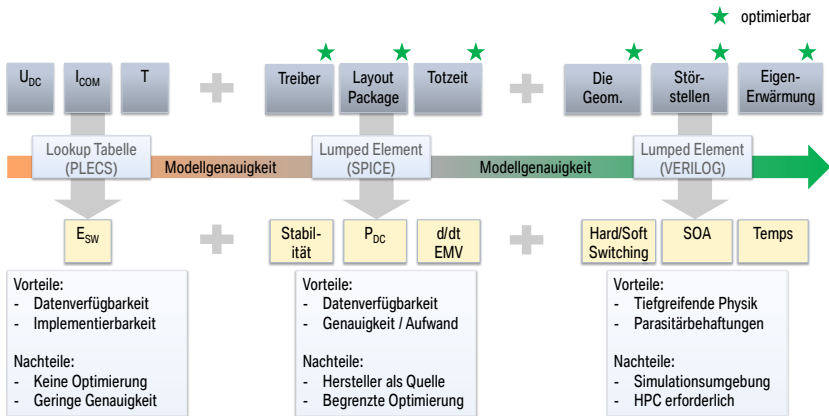


ABBILDUNG 3.14: Gegenüberstellung von Technosimulationen zu Halbleitermechanismen

Syntaktische Limitierung

Die SPICE-Syntax begrenzt in seiner vereinfachten Grundstruktur bestehend aus knotenverschalteten Submodellen eine korrekte physikalisch begründete Modellbeschreibung. Komplexe Zusammenhänge wie beispielsweise die Schrödingergleichung zur Beschreibung von Energiezuständen in einem zweidimensionalen Elektronengas eines GaN-Leistungstransistors müssen mit syntaxreduzierten Submodellfunktionen oder gänzlich abstrakt mittels gesteuerter Quellen nachgebildet werden. Dies kann die Konvergenzfähigkeit und -Effizienz nachteilig beeinflussen, darüber hinaus die erzielbare physikalische Genauigkeit des verfolgten Modellansatzes. Sofern im Zuge dieser SPICE-Adaption der zugrunde liegenden Halbleiterphysik vereinfachende Annahmen in Form von Fitting-Funktionen oder -Koeffizienten getroffen werden müssen [41], so geht der notwendige Bezug zu elektrophysikalischen Bauteilparametern im Sinne eines nachgelagerten, physikalisch motivierten Optimierungsalgorithmus verloren. Das Modell geht in eine empirische Verhaltensbeschreibung analog S-Parametern über. Nicht zuletzt aufgrund dieser Umstände existiert kein industrie-einheitliches Beschreibungsformat, zudem hat der Hersteller oftmals das Interesse, den Modellsyntax im Sinne einer Geheimhaltung zu verschlüsseln, oder aber die Modellperformance, abgesichert durch Disclaimer, möglicherweise eher als modellhaft begründetes Verkaufsargument denn als wissenschaftlich motivierte Analyse zu veröffentlichen. Es liegt deshalb in der Verantwortung des Nutzers, etablierte SPICE-Modelle wie das LTSPICE MOSFET Modell oder Keysight® DynaFET Modell bedarfsweise durch gewonnene Messwerte beispielsweise per Curve Tracer und ICCAP® zu plausibilisieren.

Unzureichende Genauigkeit

Als direkte Folge von industrietypisch zu erwartenden Vorbehalten gegenüber physikalisch motivierter Bauteilbeschreibung in dazu geeignetem, standardisiertem Code sind Erwartungshaltungen an quantitativ zutreffend ausgeleitete Modellaussagen einzuschränken. Schon die Extraktion von Schaltverlusten über den Leitkanal oder die EMV-basierte Untersuchung von Schaltflankensteilheiten ist, wie in dieser Arbeit gezeigt, stark von bauteilinhärenter Halbleiterphysik abhängig, nachgelagerte Aussagen zu topologischen Betriebspunkten und thermischer Performance können somit verfälscht werden. Da das intrinsische Bauteilverhalten nicht abgebildet wird, sind auch sämtliche

relevanten Transistorgrößen wie Kanallänge, Störstellendichte oder auch Alterungsmechanismen dem Nutzer nicht zugänglich. Jegliche nachgelagerte Optimierung kann sich gemäß Abb. 3.14 nur auf extrinsische Halbbrückenkonfigurationen beschränken.

Limitiertes Solverinterface

LTSPICE bietet, wie eine Vielzahl alternativer Simulatoren, zwar eine grafische Benutzeroberfläche zur Erstellung und Simulation auch aufwendiger Topologien. Eine automatisierte, ressourceneffiziente Permutation der zugrunde liegenden Netzliste ist jedoch bis auf wenige Ausnahmen im Schaltungssimulator nicht vorgesehen, sodass Netzlisten von einem externen Programm bearbeitet werden müssen. Dies gilt umso mehr für einen nachgelagerten Optimierungsalgorithmus, welcher basierend auf automatisierter Auswertung von Simulationsergebnissen in ein globales Optimum konvergieren soll. Die gängige Implementierung von gradientenbasierten Verfahren via Newton erfordert die numerische Ausleitung von Jacoby-Matrizen an jedem Iterationsschritt. Für eine hohe Anzahl an Freiheitsgraden, wie es in dieser Arbeit verfolgt wird, ist diese Methode nicht effizient. Auch innerhalb des Solvers selbst, zur numerischen Lösung der Systemmatrix, verwenden kommerzielle Simulationsumgebungen proprietäre Solverstrategien, die mehr oder weniger begrenzt leistungssteigernde Adaptionen an die Problemstellung erlauben. Es wurden beispielsweise in LTSPICE zahlreiche Konvergenzprobleme festgestellt, die sich nicht länger durch gezielte Vergabe von Initialbedingungen (.init-Befehl) oder RLC-Konvergenzhilfen umgehen lassen.

3.5.2 Postprocessing in Matlab unter Windows

Die MATLAB-Umgebung bietet zwar zahlreiche Vorteile einer kommerzialisierten Nutzung, etwa Lizenzmodelle für Parallel Computing, können jedoch kostenseitig Einschränkungen darstellen. Auch hinsichtlich Ausführungsgeschwindigkeit und assoziierten Ressourcen ist MATLAB vergleichsweise komplex. Dies trifft auch auf das Betriebssystem Windows 7 bzw. 10 zu. Schlanke Betriebssysteme und dateneffiziente Programmierumgebungen wie Linux® und Python® sind deshalb für wissenschaftliche Datenverarbeitung prädestiniert und Quasi-Standard. Sie erlauben zudem, durch Low-Level-Zugriffe auf Compiler mehr geeignete Modifikation der genutzten Simulatorsoftware, die Grenze zur eigenständigen Toolentwicklung ist fließend.

3.6 Die VERILOG-XYCE-Python Umgebung

Aus diese Gründen wird in dieser Arbeit eine eigene Simulationsumgebung entwickelt:

- Der GaN-Leistungshalbleiter wird durch das ASM-GaN-HEMT Modell [42] in VERILOG beschrieben.
- Als Matrixsolver zur transienten ko-Simulation von SPICE und VERILOG kommt XYCE® zum Einsatz. Eine Portierung auf Windows® -Rechnern erfolgt mit Cygwin®, da leistungsfähige Linux-Rechner organisationsbedingt nicht verfügbar waren.
- Zur Steuerung und Datenaufbereitung von Sandia Labs XYCE® sowie zur Optimierung wird Python® verwendet.

Es wird nachfolgend auf die einzelnen Komponenten eingegangen. Eine Auflistung von Modulinput/-output zeigt den stattfindenden Datenfluss auf.

3.6.1 Das VERILOG ASM GaN Modell

Das VERILOG ASM GaN Modell verarbeitet als simulative Komponente folgende Ein- und Ausgangsparameter:

- Modulinput: Auf fundamentaler Halbleiterphysik basierende Ersatzschaltbildmodelle und Mechanismen eines GaN-HEMTs
- Moduloutput: VERILOG-Modell (.va) mit Model-Parameter-Set bzw. Modelcard (.mps)

Während für die Si-basierte MOSFET- und Bipolar-Technologie neben zahlreichen SPICE-Modellbeschreibungsformen auch VERILOG-Modelle zur Verfügung stehen [43], wurden erst 2015 mit dem MVSG-HV-Modell [44] sowie 2018 mit dem ASM HEMT Modell [45] in der Compact Model Coalition verabschiedete VERILOG-Modelle für einen GaN-basierten Leistungstransistor veröffentlicht. Das in dieser Arbeit verwendete letztgenannte ASM-Modell bietet nachfolgend aufgelistete Vorteile gegenüber SPICE-Beschreibungsformen, weitere Details sind weiterführender Literatur zu entnehmen [42]:

- Basierend auf geschlossenen analytischen Beschreibungsformen für das zweidimensionale Elektronengas innerhalb des GaN-Transistors [46] wird die Leitfähigkeitsmodulation eines e-GaN

HEMTs beschrieben. Gleiches gilt für parasitäre Streukapazitäten und das Gateverhalten. Das Modell weist somit eine erhebliche Steigerung der erzielbaren Genauigkeit auf.

- Es werden hierzu etwa 200 separate physikalische und geometrische Parameter berücksichtigt, die das Modell adaptionsfähig an eine Vielzahl von GaN-Transistoren im Leistungs- und HF-Bereich gestalten. Diese modellextrinsische Parametrierung bietet eine ideale Schnittstelle für physikalisch motivierte Studien und Permutationen von Betriebsbedingungen.
- Variationen werden per Model Switches abgebildet, das Modell bildet zahlreiche zuschaltbare parasitäre Mechanismen ab. Dazu gehören Trapping-Effekte im Rahmen eines zeitdynamischen Leitkanalwiderstandes, thermisches und deterministisches Rauschen sowie der Einfluss GaN-typischer Feldkonzentratoren.
- Das Bulk ist separat ausgeführt, parasitäre Packageelemente sind nicht berücksichtigt, es findet eine scharfe Trennung auf Die-Ebene statt. Dies erlaubt es, separate Submodelle für das Package zu implementieren und deren Auswirkung gezielt zu studieren.
- Das Modell verfügt über ein thermisches Submodell zur Erfassung von Verlustleistungen und Eigenerwärmung. Es endet ebenfalls direkt auf Die-Ebene und kann durch beliebige Packages ergänzt werden.

Aufgrund dieser Eigenschaften wird nachfolgend das VERILOG-ASM Modell als weiterführende Simulationsmodellgrundlage behandelt. Zur Verwendung in späteren Schaltungssimulatoren wurden zahlreiche Änderungen, unterstützt durch den Entwickler des ASM-HEMT Modells, vorgenommen, wovon nachfolgend einige aufgeführt sind:

- Die gesamte Parametrierung des Modells wurde weitgehend auf Basis vorangegangener Arbeiten [47] für einen Gansystems® GS66516T durchgeführt. Das Parameterset reflektiert dabei mittels Fitting-Prozesse identifizierter, quasi-physikalischer Koeffizienten das Verhalten eines messtechnisch charakterisierten Transistors und wird separat als .mps-File eingelesen.
- Vorgestellte Packageinduktivitäten wurden per Model Switch zuschaltbar gestaltet. Im Vergleich zu extern im Schaltungssimulator verorteten Parasitics wurde hierdurch eine erhöhte

Modellkonvergenz beobachtet. Die Werte sind dem Datenblatt des Herstellers entnommen [41].

- Das Bulk wurde per Model Switch intern auf Source gelegt, da es sich im Rahmen dieser Arbeit vorrangig um diskrete Halbleiter handelt.
- Es wurde ein thermisches Submodell auf Basis der Herstellerdaten [41] hinterlegt, welches packageinduzierte RC-Zeitkonstanten abbildet.
- Der Syntax des Modells wurde an zahlreichen Stellen an die später vorgestellte Simulationsumgebung angepasst.

3.6.2 Die XYCE-Umgebung

Die XYCE-Simulationsumgebung verarbeitet als Kernkomponente jeglicher zeittransienter Untersuchungen folgende Ein- und Ausgangsparameter:

- Modulinput: VERILOG-AMS-Modell (.va), assoziiertes Model-Parameter-Set bzw. Modelcard (.mps), Netzliste oder Circuit-File (.cir) mit entsprechenden Subcircuits (.subscct)
- Moduloutput: Zeittransiente Knotenspannungen und -Ströme als n-dimensional zeitabhängiges Textdatenfile (.csv) sowie Logfile zur Fehleridentifikation (.log)

Da nunmehr VERILOG-Modellcode Voraussetzung für den nachgelagerten transienten Solver ist, kommen mehrere derzeit kommerziell verfügbare Schaltungssimulatorumgebungen mit VERILOG-AMS-Unterstützung in Betracht, exemplarisch angeführt sei ADS® oder Symmetrix® Software.

Aufgrund der eingangs erwähnten Anforderung, eine performante Optimierungsumgebung zu implementieren, wurden kommerzielle, aber letztendlich hinsichtlich Lizenzierung, Fremdsteuerbarkeit etc. einschränkende Softwareumgebungen zugunsten der vergleichsweise kleinen, aber stark mathematisch motivierten XYCE-Simulationsumgebung verworfen. Diese bietet zahlreiche Vorteile:

- XYCE bietet die Möglichkeit, SPICE-basierte Netzlisten mit VERILOG-Modellen verknüpfen zu können, sodass lediglich komponentenbasiert in VERILOG gearbeitet werden muss.

Schaltzellentopologien können direkt übernommen werden, ebenso SPICE-basierte Submodelle wie die des Treibers. XYCE bietet standardmäßig eine Vielzahl an bereits kompilierten und getesteten Submodellen an, benutzerdefinierte Modelle wie das ASM HEMT Modell können per externem Tool von VERILOG in C konvertiert und damit in XYCE eingebunden werden. XYCE unterstützt weiterhin die Möglichkeit der Implementierung von dynamisch verlinkten Bibliotheken, sodass eine Modellanpassung in VERILOG keinen neuen XYCE-Build erfordert.

- Das Tool ist als Freeware lizenzkostenfrei zu beziehen und schränkt die maximale Thread-Anzahl pro Workstation nicht ein. Es existiert zudem analog zu LTSPICE die Möglichkeit parallelisierter Builds zur Leistungssteigerung.
- Das Tool arbeitet ohne GUI kommandozeilenbasiert und gibt lediglich die geforderte Lösung in Zeit- oder Frequenzbereich als .csv-Datei sowie ein Logfile aus. Dieser ressourceneffiziente Aufbau begünstigt eine massive Parallelisierung, erfordert jedoch Achtsamkeit bei der Erstellung einer textbasierten Netzliste. Sofern wie in dieser Arbeit vorgesehen eine direkte, automatisierte Auswertung der transienten Ergebnisse folgt, ist dies im Vergleich zu GUI-basierten, kommerziellen Simulationsumgebungen nicht von Nachteil.
- XYCE verwendet einen quelloffenen Solver von Sandia Labs® als leistungsfähige Mathematikumgebung und ermöglicht dadurch eine herausragend umfangreiche Adaptierbarkeit auf Systemmatrixebene.
- XYCE wird vorrangig als Linux-Executable distribuiert, eine Ausführung unter Windows ist prinzipiell möglich, aufgrund zahlreicher Build-Probleme wurde auf eine derartige softwaretechnische Pionierarbeit in dieser Arbeit jedoch verzichtet. Stattdessen wird eine Cygwin-Portierung auf Windows-Betriebssysteme verwendet, da zum Zeitpunkt der Ausarbeitung keine leistungsfähigen Linux-Rechner zur Verfügung standen. Resultierende Performanceeinbußen durch diese Portierung sind nachrangig.

Eine einzelne transiente XYCE-Simulation basiert deshalb vorrangig auf der bereits in Kap. 2 vorgestellten Netzlistenrepräsentation via Circuit-File (.cir). Diese enthält zudem verwendete SPICE- und VERILOG-Submodelle, spezifische Solver- und Syntaxeinstellungen sowie die Knoten- bzw. Pfadidentifikation zur Ausleitung transienter Lösungen. Eingebundene Submodelle müssen an geeigneter Stelle separat definiert werden, oder im Falle von VERILOG-Modellen bereits in die XYCE-Bibliothek importiert worden sein. Dann genügt die Angabe eines anzuwendenden Model-Parameter-Sets (.mps) zur Abbildung eines expliziten Transistors. Das Ergebnis der zeittransienten Simulation liegt als n-dimensional zeitabhängiges Textdatenfile (.csv) vor, in welchem zu jedem Zeitschritt der Lösung n-Werte für in der Netzliste spezifizizierte Knotenspannungen und Pfadströme vorliegen. Die notwendigerweise zeitdiskret vorliegenden Werte sind nicht zwingend äquidistant, auch eine Komprimierung der Daten durch Auslassung von Zeitschritten kann Anwendung finden. Die Ausgabe einer Logdatei (.log) zur Fehleridentifikation ist darüber hinaus zweckmäßig.

Aufgrund dieser textbasierten Definition aller Komponenten einer GaN-Schaltzelle sowie deren Topologie selbst muss eine nachgelagerte Datenverarbeitung bzw. Optimierung lediglich Netzlisten und Model-Parameter-Sets geeignet modifizieren und hierzu die zeittransiente Lösung einlesen. Einer globale Optimierung stehen damit alle in Abb. 3.15 gezeigten Freiheitsgrade zur Verfügung.

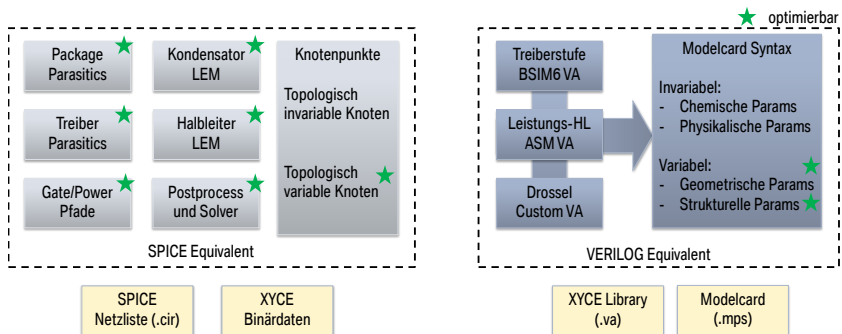


ABBILDUNG 3.15: XYCE-Parametrierungsoptionen und technologisch-physikalische Freiheitsgrade

3.6.3 Die Python Umgebung

Es ergibt sich der in Abb. 3.16 dargestellte programmatische Ablauf der Simulation auf Systemebene in Python. Es werden hierzu folgende Simulationscharakteristika definiert.

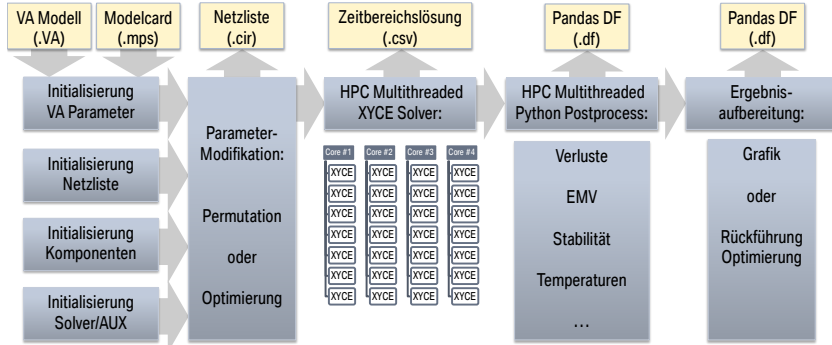


ABBILDUNG 3.16: Python-Simulationsschnittstelle zu XYCE

- Netzlistenrepräsentation der zu untersuchenden Topologie: Sofern nicht abweichend beschrieben, ist die in Kap. 2 vorgestellte Halbbrückentopologie definiert, es können jedoch grundsätzlich beliebige Netzlisten erstellt werden.
- Definitionsbereiche, Permutationsgrößen sowie Freiheitsgrade: Analog zu Kap. 2 kann ein Parameterstepping relevanter Größen untersucht werden. Hierzu werden für relevante Systemgrößen über Python-Funktionen Vektoren mit definierter Länge (Definitionsbereich) eingeführt und beliebig, nachfolgend linear, besetzt. Für eine anschließend beschriebene Optimierung müssen zusätzliche Freiheitsgrade sowie deren Definitionsbereiche ebenfalls als Python-Funktion hinterlegt werden. Die Wahl physikalisch und fertigungstechnisch sinnvoller Größen ist dabei fundamental. Beispielhaft genannt seien Arbeitspunkte, Totzeiten, Transistorgeometrien wie Kanalweite, parasitäre Streuinduktivitäten und topologisch variable Gatekonfigurationen. Auch hinsichtlich der Zielfunktion können beliebig quantifizierbare Ereignisse oder Ergebnisse als Optimierungsgrundlage dienen.

- **Multithreading und Cloud Computing:**
Die Bewertung und Distribution der von Python abgeschätzten XYCE-Durchläufe im Sinne einer performanten Simulationen-durchführung erfolgt vollständig automatisiert. Falls nur lokal auf einem Rechner (Main) gerechnet werden soll, kann eine benutzerdefinierte Anzahl an CPU-Kernen für die parallele XYCE-Ausführung vorgehalten werden, sofern keine Vollausslastung erwünscht ist, CPU-Hyperthreading wird dabei ignoriert. Falls jedoch mehrere Rechner mit Tool-Rollout zur Verfügung stehen, melden sich diese mit ihrer jeweiligen CPU-Anzahl in einem dedizierten, im lokalen Netzwerk sichtbaren Cloud-Verzeichnis an (Worker). Der Hauptrechner übernimmt dann die Aufteilung der Simulationstasks, sodass zu erwartende Prozesswartezeiten aufgrund unterschiedlicher Ausführungsgeschwindigkeiten minimiert werden. Das Austauschdateiformat auf Basis von Python Dataframes stellt sicher, dass auf allen beteiligten Rechnern exakt die gewünschte Halbbrückenkonfiguration behandelt wird. Durch Übergabe und lokaler Auswertung der Zielfunktion(en) kann auf zeitintensive Lese-/Schreibvorgänge der .csv-Daten über das lokale Netzwerk verzichtet werden. Somit bietet das in dieser Arbeit entwickelte Tool Multithreading- und in Ansätzen Cloud-Computing-Funktionalität. Dieser Vorgang des verteilten Berechnens von transienten Simulationsläufen hat sich aufgrund der zunehmenden Komplexität der in dieser Arbeit untersuchten Topologie und Problemstellung als zweckmäßig erwiesen, insbesondere im Hinblick auf mehrdimensionales Stepping bzw. numerische Optimierung.
- **Visualisierung der Ergebnisse:**
Die in dieser Arbeit verwendeten Grafiken wurden per Python mithilfe des Packages Plotly erzeugt und nachfolgend via TikZ-Erweiterung von LaTeX in die Monografie eingebunden. Die Ausgabe einer HMTL-Datei bietet gegenüber einfachen Grafiken (auch Vektorgrafiken) den Vorteil der von kommerziellen Solvern gewohnten Interaktion wie Sampling oder Zoom. Für jeden Graphtypus wurde eigenständiger Code implementiert, der in den jeweiligen Kapiteln nachfolgend jedoch nicht weiter behandelt werden soll.

3.7 Halbleitersimulation in VERILOG

Folgende Untersuchungen wurden im Rahmen dieser Arbeit vorgenommen:

- Parameterstepping analog zu SPICE-Simulation hinsichtlich betriebspunkt- und totzeitabhängiger Schaltverluste
- Globale Optimierung einer GaN-Schaltzellentransition hinsichtlich Zwischenkreisspannung, Kommutierungsstrom, Totzeit, Pull-Up/-Down-Spannungen und -Widerständen sowie Kanalgeometrien beider GaN-Transistoren

Für die Untersuchungen wurde die in dieser Arbeit vorgestellte Topologie inklusive Parametrierung und Stepping-Parameter übernommen. Es sei daher an dieser Stelle nur auf nachfolgend abweichende Aspekte hingewiesen:

- Transistormodell als modifizierter ASM HEMT in VERILOG
- Transiente Solvareinstellungen gemäß Abbildung A.1 im Anhang
- Verlustleistungen werden direkt über die per ASM-Submodell beschriebene Eigenerwärmung berechnet, sodass von einer simulativ-kalorimetrischen Verlustbeschreibung ausgegangen werden kann. Die entsprechend definierten Integrationsgrenzen bleiben dabei unverändert. Eine transiente Leitkanalerwärmung mit Auswirkungen auf das Schalt- und Leitverhalten des Transistors wird berücksichtigt. Hierzu wurde für jeden Schaltvorgang eine Initialtemperatur von 300K definiert.
- Für Noise- und Trap-Submodelle im ASM-HEMT Modell war während der Ausarbeitung keine passende Parametrierung verfügbar, diese wurden daher deaktiviert, können jedoch per Model Switch im .mps-File für spätere Transistorkonfigurationen jederzeit reaktiviert werden. Es ist anzunehmen, dass Kanalrauschen für leistungselektronische Fragestellungen ohnehin eine stark untergeordnete Rolle spielt. Insbesondere eine dynamische Leitkanal betrachtung gemäß Ausführungen nach Kap. 2 ist für spätere Untersuchungen hingegen eine sinnvolle Ergänzung.
- Es findet keine Modellierung des ZVS-Detektors statt, stattdessen wird deren in vorherigem Abschnitt vorgestellte Funktionsweise nachfolgend in Kap. 5 direkt in natura nachgewiesen.

3.7.1 Simulationsergebnisse Parameterstepping

Analog zu vorhergehendem Abschnitt werden nachfolgend An- und Abkommutierungsverluste der Halbbrückenschaltzelle in hart sowie weich schaltendem Betrieb betrachtet, vgl. Abb. 3.18 und 3.17. Im Bereich des Brückenkurzschlusses treten Konvergenzprobleme auf, sodass diese Bereiche unter Umständen fehlende oder unphysikalische Lösungen enthalten. Laut Aussage des ASM-Modellautors ist dies einem Parametrierungskonflikt innerhalb des in dieser Arbeit übernommenen .mps-Files anzulasten.

Eine weiterführende Fehlerdiskussion ist nicht Bestandteil dieser Arbeit.

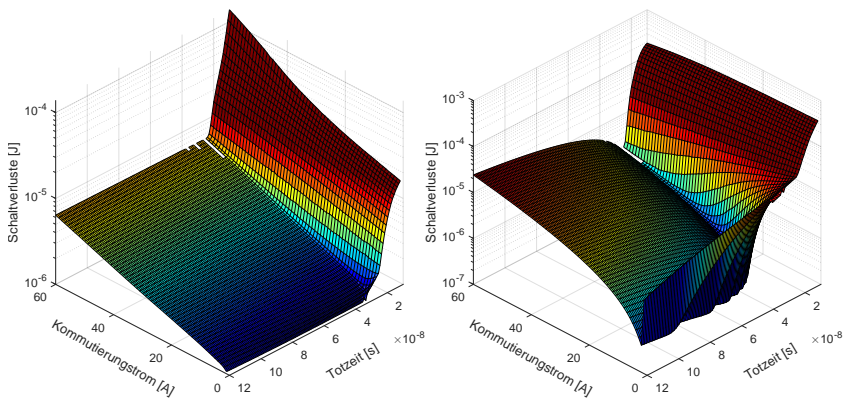


ABBILDUNG 3.17: Einschalt- und Ausschaltverluste für eine weich schaltende Halbbrückentransition in Abhängigkeit der Totzeit und des zu kommutierenden Stroms bei 400 V Zwischenkreisspannung (VERILOG)

Im qualitativen Vergleich zu den diskutierten SPICE-Kurven aus vorherigem Abschnitt ergeben sich fundamentale Ähnlichkeiten:

- Verhalten beider Transistoren für harte bzw. weiche Kommutierung
- Existenz eines Halbbrückenkurzschlusses für kleine bzw. negative Totzeiten
- Anstieg der Schaltverluste für hohe Kommutierungsströme sowie bei an- bzw. abkommutierendem Transistor für positive Totzeiten

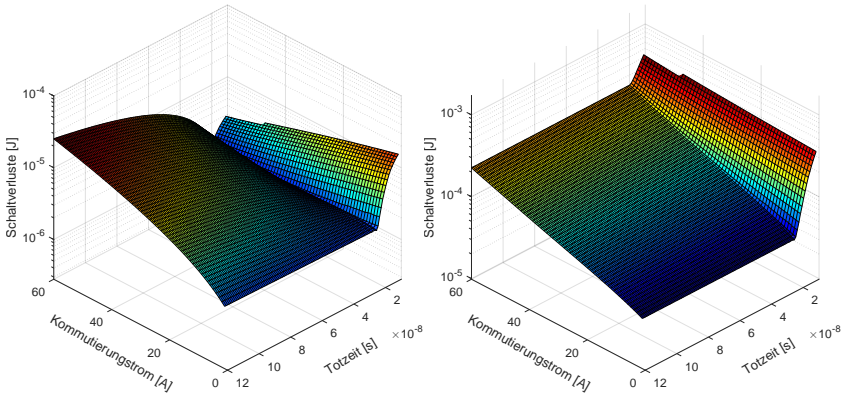
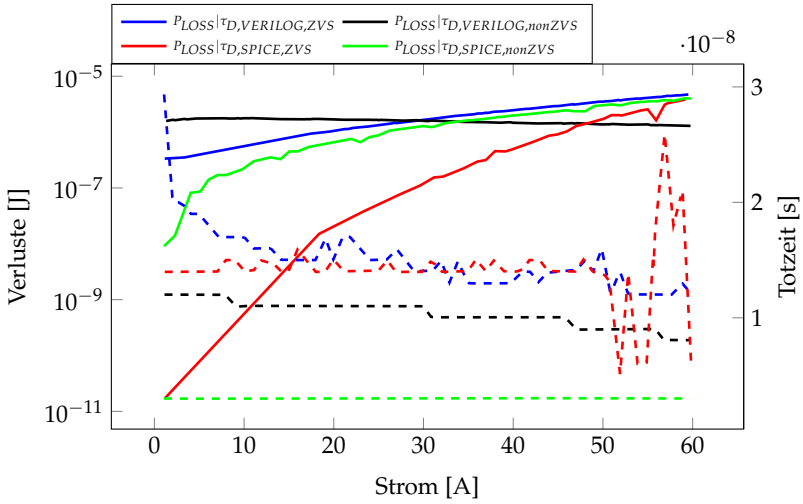


ABBILDUNG 3.18: Einschalt- und Ausschaltverluste für eine hart schaltende Halbbrückentransition in Abhängigkeit der Totzeit und des zu kommutierenden Stroms bei 400 V Zwischenkreisspannung (VERILOG)

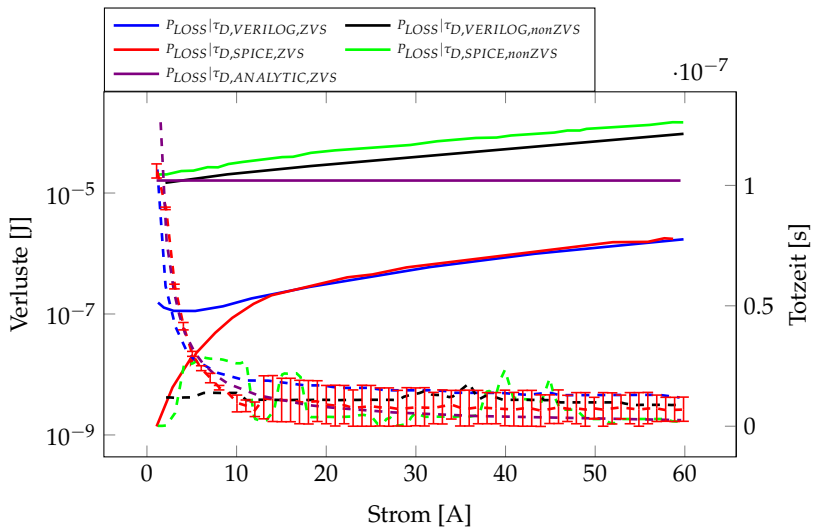
- Existenz und Form verlustoptimaler Schaltzeitpunkte (ZVS-Valley)

Da der Simulationsanspruch vorrangig die Identifikation schaltverlustoptimaler Totzeiten sowie deren induzierte Verlustleistungen beinhaltet, werden nachfolgend aufbereitete Daten zu deren expliziter Lage eingehend untersucht, sowie in Kap. 5 kalorimetrisch validiert. Darüber hinausgehende quantitative Vergleiche werden aufgrund ihrer Redundanz zu SPICE, ebenso wie extrahierte Leitverluste, nachfolgend unterlassen.

Die in Abb. 3.19 und 3.20 gezeigten Grafiken verdeutlichen die kommutierungsstromabhängige Lage von Schaltverlustminima in Bezug auf ihre Totzeit sowie assoziierte Schaltverluste beider Halbbrückentransistoren im Falle weicher und harter Kommutierung. SPICE-Simulationsdaten aus vorherigem Abschnitt sind als Referenz mitaufgeführt. Deren gezeigte Totzeiten berücksichtigen die beobachtete Aufweitung des ZVS-Valleys als 50-Prozent-Umgebung des jeweiligen ZVS-Minimums.

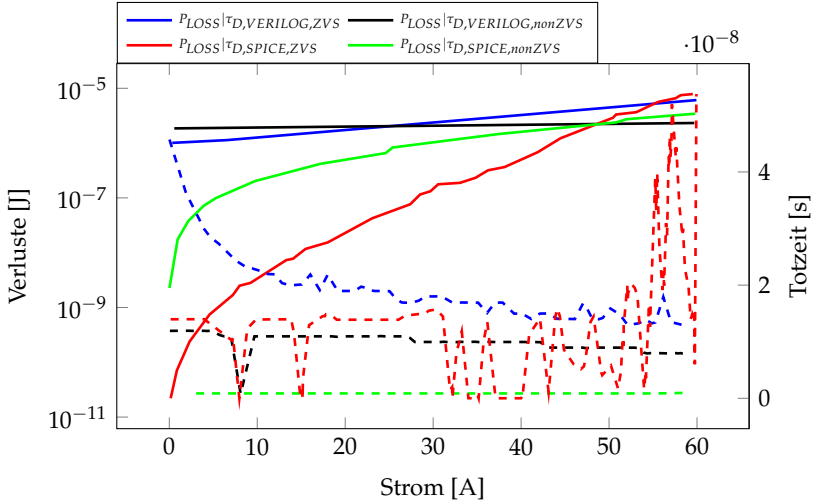


(A)

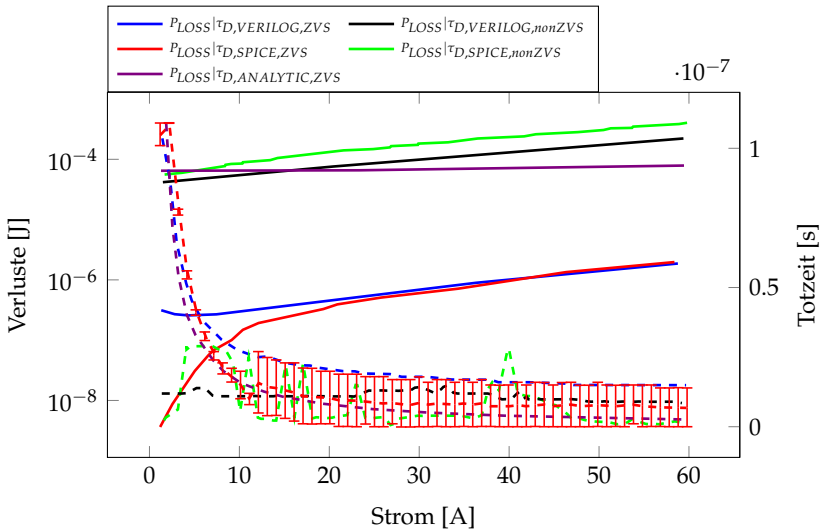


(B)

ABBILDUNG 3.19: Simulativer Vergleich von Schaltverlusten bei idealer Totzeit zwischen LTSPICE und VERILOG während eines Ab- (A) und An- (B) Kommutierungsvorgangs am 200 V Zwischenkreis



(A)



(B)

ABBILDUNG 3.20: Simulativer Vergleich von Schaltverlusten bei idealer Totzeit zwischen LTSPICE und VERILOG während eines Ab- (A) und An- (B) Kommutierungsvorgangs am 400 V Zwischenkreis

Schaltverluste und ideale Totzeit

Die abschließend in Kap. 5 diskutierten, messtechnisch identifizierten Verlustleistungen dienen im weiteren Verlauf der Arbeit als Referenz zur Beurteilung der Simulationsgenauigkeit. Folgende Beobachtungen lassen sich darüber hinaus anhand Abb. 3.19 und 3.20 ableiten:

- Für den abkommutierenden, weich schaltenden Transistor:
Während SPICE-Werte quasi verlustloses Ausschalten nahelegen, so zeigt sich in Verilog eine untere Grenze bei etwa 330 nJ bzw. 1.3 uJ. Auch im weiteren stromabhängigen Verlauf zeigen sich Diskrepanzen hinsichtlich Anstiegsverhalten und absoluter Werte. VERILOG beschreibt in guter Näherung eine exponentielle Stromabhängigkeit, SPICE geht erst für große Lastströme in eine solche über. Ideale Totzeiten in SPICE sind nahezu stromunabhängig nahe Null, Ursachen für beobachtbare starke Fluktuationen in SPICE sind bereits beschrieben. Verilog unterstellt invers abhängiges Verhalten, nähert sich jedoch der SPICE-Lösung für große Kommutierungsströme.
- Für den abkommutierenden, hart schaltenden Transistor:
SPICE-Schaltverluste zeigen für geringe Kommutierungsströme einen deutlichen Anstieg auf, für größere Werte nähern sie sich exponentiellem Anstiegsverhalten. Bei etwa 60 A bzw. 50 A übertreffen diejenigen Verluste einer weichen Abkommutierung ihren Werteverlauf. VERILOG-Schaltverluste beginnen analog der weichen Abkommutierung höher, werden jedoch schon bei etwa 30 A bzw. 22 A von deren Verlusten übertroffen. Alleinstellungsmerkmal dieser Transition in VERILOG ist, dass ideale Schaltverluste kommutierungsstromabhängig leicht sinken. Es wird angenommen, dass dies vorrangig durch den weitaus niederohmiger angebundenen LS-Transistor bedingt ist, welcher für größere Ströme früher aufgesteuert werden kann und damit eine Verschiebung der Verluste auf die LS bewirkt. Dies deckt sich mit der Beobachtung, dass verlustoptimale Totzeiten in VERILOG für große Kommutierungsströme zwar minimal, aber quasi konstant sinken. In SPICE hingegen tritt dieser Effekt nicht auf, die Totzeit ist konstant nahe Null.
- Für den ankommutierenden, weich schaltenden Transistor:
Auch hier zeigt sich in SPICE für kleine Kommutierungsströme eine gegen Null tendierende Verlustbehaftung, während VERILOG eine untere Grenze bei etwa 100 nJ bzw. 250 nJ aufzeigt.

Bemerkenswert ist hier jedoch die genaue Übereinstimmung für größer werdende Kommutierungsströme. Auch für verlustoptimalen Totzeiten stimmen beide Simulationsergebnisse für die obere Grenze des ZVS-Valleys gut überein.

- Für den ankommütierenden, hart schaltenden Transistor: Schaltverluste in SPICE und VERILOG stimmen in ihrem exponentiellen Verlauf überein, unterscheiden sich jedoch durch einen konstant skalierenden Versatz. Ursächlich hierfür kann eine Differenz zwischen Leitkanalwiderständen in Betracht kommen, da im Falle bereits abgeschlossener Kommutierung unter Berücksichtigung der definierten Integrationsgrenzen nach Gl. 3.43 für beide Simulationsumgebungen gleichermaßen gilt:

$$E_{\text{LOSS}} \propto R_{\text{DS,ON}} \cdot I^2 \quad (3.50)$$

Ebenso liegen die simulativ bestimmten, verlustoptimalen Totzeiten in beiden Fällen nahe Null.

Zusammenfassung Parameterstepping

Für die in dieser Arbeit vorgestellte und per SPICE sowie VERILOG simulierte Halbbrückenkonfiguration lassen sich folgende Aussagen treffen:

- Für beide Kommutierungsfälle existiert eine simulativ nachgewiesene, verlustoptimale Totzeit. Zu deren Einhaltung ist logikseitig eine Zeitauflösung im Bereich von Nanosekunden erforderlich.
- Es ergeben sich insbesondere für den abkommütierenden Transistor größere Unterschiede in beiden Simulationsumgebungen, während der ankommütierende Transistor vergleichsweise übereinstimmend beschrieben wird.
- Absolute Verluste sind für kleine Kommutierungsströme in SPICE geringer, für große in VERILOG.
- Mindestens ein totzeitbedingter Verschiebungseffekt wird in SPICE nicht berücksichtigt. Vereinfachte Lösungen auf Basis der Schaltknotenumladung aus vorheriger analytischer Betrachtung sind nicht geeignet, verlustoptimale Totzeiten zu identifizieren.

Diese Beobachtungen führen in dieser Arbeit dazu, die VERILOG-Simulationsumgebung derart zu gestalten, sodass eine global schaltverlustoptimierte Halbbrückenkonfiguration abgeleitet werden kann.

Vergleich mit Herstellerangaben

Ein Vergleich mit per Doppelpulstest gemessenen und im Datenblatt des GaN-Transistors [20] veröffentlichten Verlustenergien liefert unter Berücksichtigung folgender Abweichungen Ergebnisse nach Tab. 3.5.

- Schaltbedingung: $U_{DS}=400\text{ V}$, $I_{SW}=20\text{ A}$, weiche Abkommutierung, harte Ankommutierung
- Abweichende Halbbrückenkonfiguration im Datenblatt: $R_{PU}=10\ \Omega$, $R_{PD}=1\ \Omega$, $V_{PD}=0\text{ V}$, weitere Parasitärbehaltungen und Kommutierungsvorgänge

Schaltfall	Schaltenergie [uJ] Datenblatt	Schaltenergie [uJ] VERILOG	Schaltenergie [uJ] SPICE
ON/HART	134.1	74.04	129.82
OFF/WEICH	17	1.71	0.02

TABELLE 3.5: Vergleich von Schaltverlusten Datenblatt [20] vs. VERILOG vs. SPICE

Es ergeben sich folgende Beobachtungen:

- Anschaltverluste stimmen mit denen des SPICE-Modells überein, obwohl der doppelte Wert für R_{PU} genutzt wurde. Dies widerspricht den Erwartungen, für langsames Einschalten höhere Einschaltverluste, insbesondere bei harter Kommutierung, beobachten zu können. VERILOG-Ergebnisse dagegen sind niedriger und entsprechen damit der Erwartungshaltung.
- Ausschaltverluste werden von beiden Simulationsmodellen nicht übereinstimmend mit den Messdaten wiedergegeben, für SPICE sind oben beschriebene Verlustleistungen nahe Null zu hinterfragen. Da sowohl Gatevorwiderstand und Vorspannung verändert sind, ist keine weitere Schlussfolgerung zulässig.

Eine Gegenüberstellung nach Abb. 3.21 mit veröffentlichten [48], per zeittransientem Signalverlauf quantifizierten Schaltverlusten erlaubt darüber hinausgehende Feststellungen:

- Stromabhängige Anschaltverluste in SPICE und Ausschaltverluste in VERILOG werden in qualitativer Übereinstimmung mit den veröffentlichten Messergebnissen beschrieben.

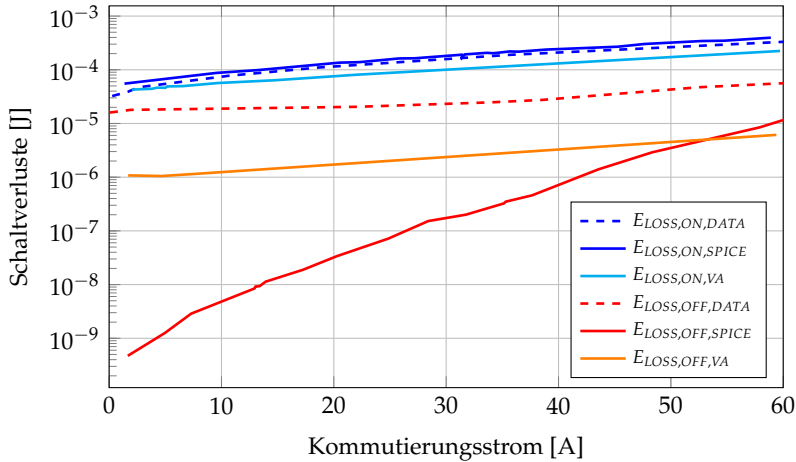


ABBILDUNG 3.21: Schaltverluste eines Gansystems GS66516T HEMTs für $U_{DS}=400$ V, $I_{SW}=20$ A, $R_{PU}=10 \Omega$, $R_{PD}=2 \Omega$ nach [48]

- Stromabhängige Ausschaltverluste in SPICE nahe Null sind weiterhin hinsichtlich physikalischer Plausibilität zu hinterfragen. Einschaltverluste in VERILOG weisen exponentielles Anstiegsverhalten auf, während später diskutierte Messergebnisse gewisse Stromsättigungseffekte aufzeigen.

Abschließend gilt, dass bisher berechnetes Verlustverhalten in SPICE und VERILOG grundsätzlich nachvollziehbar bleibt, eine vollumfängliche Bestätigung mit veröffentlichten Herstellerangaben jedoch aufgrund abweichender Betriebsparameter nicht zulässig ist. Vielmehr wird aufgezeigt, dass die gesamte Halbbrückenkonfiguration bei der simulativen bzw. messtechnischen Beschreibung von insbesondere Schaltverlusten aufgrund ihrer parasitären Wirkung nicht vernachlässigt werden darf. Dieser Umstand führt notwendigerweise zu den in Kap. 4 und 5 diskutierten eigenen Messungen, die eine notwendige Parasitärbehauptung der Halbbrücke mit einschließen.

3.7.2 Numerische Optimierung in VERILOG-Python

Die behandelte VERILOG-Simulationsumgebung lässt sich mittels geeigneter Auswertung der Ergebnisse und Reparametrierung der Schaltzellenkonfiguration prinzipiell um eine Optimierungsroutine erweitern. Nachfolgend definierte Begriffe werden hierbei unterschieden:

- Stepping-Parameter innerhalb geeigneter physikalischer Grenzen definieren weiterhin einen mehrdimensionalen Ergebnisraum und dienen der betriebspunktabhängigen Visualisierung der Ergebnisse.
- Optimierungsparameter sind innerhalb geeigneter Grenzen veränderliche Konfigurationsparameter der Schaltzelle selbst, ihre Konvergenzföhrung auf einen bestimmten Wert ist Aufgabe des Optimierers selbst.
- Eine mehrdimensionale Zielfunktion ist derart formuliert, dass deren Minimierung innerhalb des definierten Parameterintervalls die gewünschte Lösung darstellt.

Alle Größen bewegen sich außerdem innerhalb der in dieser Arbeit definierten Grenzen. Während die diskutierte globale Schaltzellenoptimierung prinzipiell sämtliche modellinhärenten Parameter permutieren bzw. optimieren kann, so werden nachfolgend sinnvolle, d.h. auch im realen Demonstratoraufbau zugängliche und variierebare Größen betrachtet. Diese Freiheitsgrade beinhalten für eine HS-LS-Transition mit

$$t_d, R_{PD,HS}, R_{PU,LS}, V_{PD,HS/LS} \quad (3.51)$$

die implementierte Totzeit, den Pull-Down-Widerstand der HS als maßgebliche Größe für deren Abkommutierung und Miller-Stabilität, den Pull-Up-Widerstand der LS für deren analoge Ankommutierung sowie beide benötigten Pull-Down-Spannungen als Argumentationsgrundlage externer Treiberspannungsversorgung. Folgende Aspekte werden nachfolgend nicht näher behandelt:

- Von einer Variation der Pull-Up-Spannung wird abgesehen, da bereits im Ausgangskennfeld der HEMTs ein Optimum bei möglichst hoher Spannung zu erwarten ist.
- Geometriebedingte Streuinduktivitäten sind gemäß Kap. 2 im räumlich ausgedehnten, diskreten Aufbau unvermeidbar. Eine

dennoch durchgeführte Optimierung der externen Gate- und Drain-Induktivität $L_{G/D,ext}$ deckt sich mit der Erwartung, $L_{G,ext}$ gegen Null und $L_{D,ext}$ gegen große Werte gehen zu lassen, um optimale Steuerwirkung bei stark bedämpftem Kommutierungsstrom zu erzielen. Derartige Lösungen sind nicht praxistauglich.

- Beide unabhängige Kanalweiten der GaN-Leistungstransistoren

$$w_{\text{Channel,HS/LS}}, V_{\text{DCL}}$$

erlauben die simulative Betrachtung einer asymmetrischen Halbbrücke, optimiert auf topologisch bedingte asymmetrische Schaltbelastungen. Im später diskutierten Demonstratoraufbau wäre eine Validierung mittels kommerzieller GaN-Transistoren nicht durchführbar. Eine dennoch berechnete Optimierung deckt sich mit der Erwartung, die Kanalweite im ZVS-Betrieb für den ab-/ankommütierenden Transistor zu minimieren/maximieren.

- Die Zwischenkreisspannung der Halbbrücke wird nachfolgend als Stepping-Parameter behandelt. Aufgrund der ohnehin geltenden topologischen Zwänge und Abhängigkeiten aus Systemsicht wurde keine Optimierung vorgenommen.

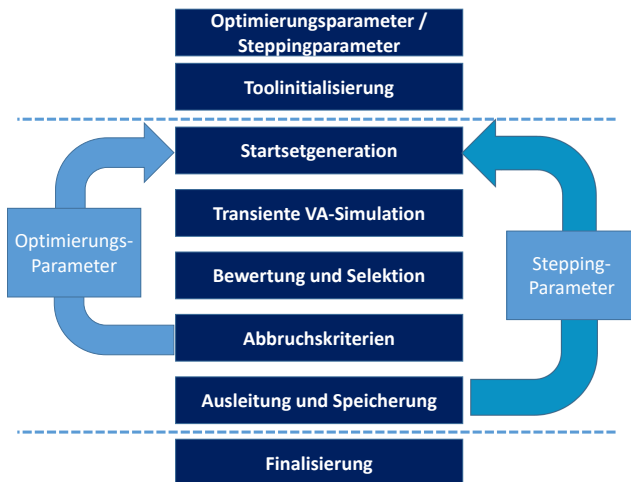


ABBILDUNG 3.22: Optimierungsworkflow

Optimierungsalgorithmus in Prozessdarstellung

Für die Optimierung wird ein n -dimensionaler, modifizierter Pattern-Search-Algorithmus [49] nach Abb. 3.22 verfolgt. Für weiterführende Optimierungsgrundlagen wird auf geeignete Literatur verwiesen [50][51]. Im ersten Iterationsschritt wird für eine festgelegte Mächtigkeit ein gleichverteiltes n -dimensionales Startset generiert und das transiente Schaltzellenverhalten an diesen Punkten simulativ ausgewertet. Vorgegebene Zielfunktionen werden per euklidischer Norm auf ein Skalar (hier: Idealität) reduziert. Es erfolgt jeweils eine Selektion der errechneten Punktmenge im n -dimensionalen Startwertraum. Ein Refinement-Faktor legt dabei die obere Idealitätsgrenze und die Mächtigkeit der idealen Punktmenge fest. Weitere Steuermechanismen erlauben das Zusammenlegen der betrachteten Punktmenge mit vergangenen Iterationsschritten. Für alle weiteren Iterationen wird so die Startwertmenge auf eines oder mehrere lokale Optima der Zielfunktionen hin verdichtet. Die dargestellten Farben entsprechen den sukzessiven Iterationsschritten und zeigen die lokale Verdichtung der Setgenerationen. Nach Erreichen üblicher numerischer Abbruchkriterien wie Iterationsschritte, Schrittweite oder relative Konvergenztoleranz wird ein definiertes globales Optimum aufgefunden, vgl. hierzu Abb. 3.23 einer fünfschrittigen Verdichtung. Die oberen Kennlinien verdeutlichen die Konvergenzfähigkeit des betrachteten transienten Systems in prozentualer Angabe und beziehen sich damit auf den Quotienten von validen zu geforderten Punkten eines Verdichtungsschritts nach Abb. 3.23. Darunter ist die absolute Schrittweite für alle Freiheitsgrade angegeben, nachfolgend die einheitenlose Idealität der selektierten Punktmenge des n -dimensionalen Ergebnisraums. Alle weiteren Kurven sind dem jeweils besten Wert für alle Freiheitsgrade zugeordnet. Die Optimierungsumgebung erzeugt automatisiert interaktive .html-Plots, in denen Freiheitsgrade und Stepping-Parameter in korrekter Darstellung und Skalierung abgebildet sind. Der Zielfunktion wird dabei Stetigkeit zwischen den ausgewerteten Punkten unterstellt, für hinreichend kleine Punktdistanzen ist diese Annahme für physikalische Problemstellungen als gerechtfertigt anzunehmen. Der Algorithmus arbeitet damit gradientenbasiert global, jedoch ohne rechenintensive Auswertung einer n -dimensionalen Jacobi-Matrix an jeder Iterationsstelle. Die Optimierung arbeitet dabei analog zur bereits vorgestellten parametrischen Auswertung ebenfalls per Multithreading auf verteilten Rechnern.

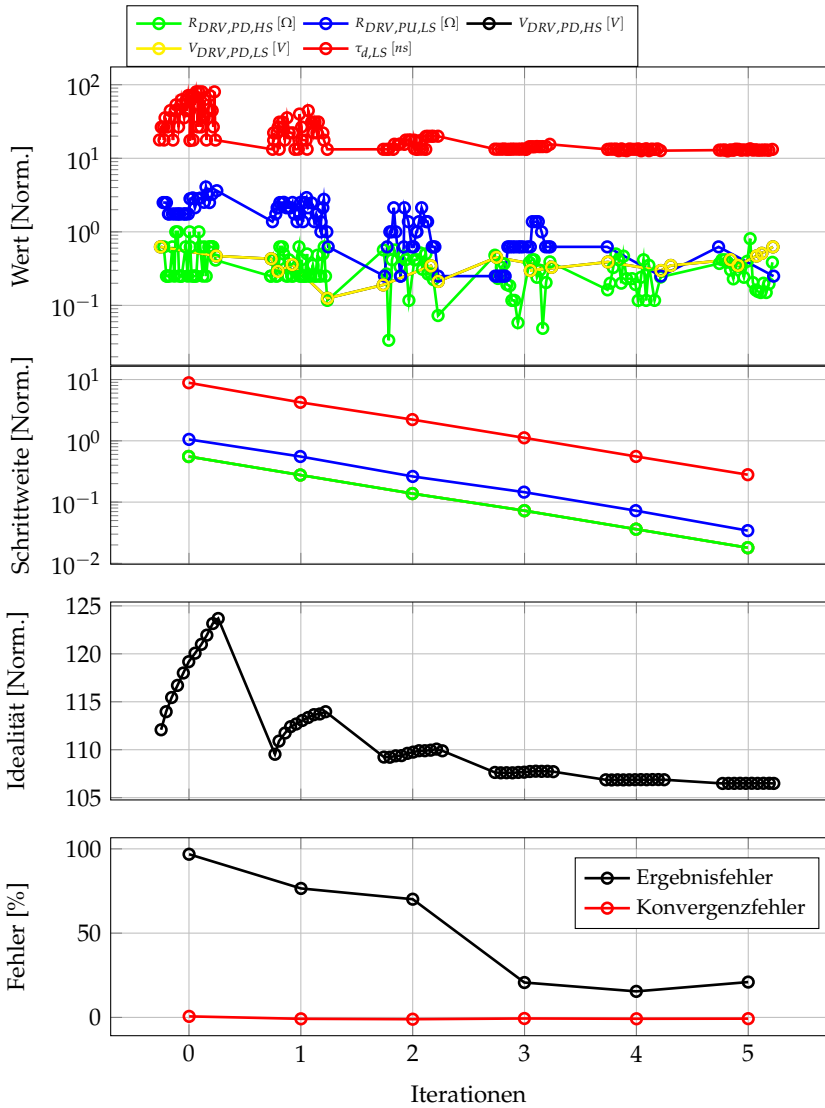


ABBILDUNG 3.23: Betriebs- und Konvergenzparameter sowie Idealität eines Optimierungslaufes

Simulationsergebnisse der VERILOG-Optimierung

Für den Schaltfall einer harten und weichen Kommutierung von der HS zur LS im Strombereich analog vorhergehendem Abschnitt sind nachfolgend die Optimierungsergebnisse dargestellt. Alle Angaben, inklusive angegebener GaN-HEMT-Verluste, beziehen sich nun notwendigerweise auf die komplette Halbbrücke, es existiert deshalb nur eine Totzeit. Die Kurvenverläufe weisen teilweise streuende Wertverteilungen auf. Es liegt nahe, dies auf zugrunde liegende numerische Effekte innerhalb der VERILOG-Simulation zurückzuführen. Wie erwähnt ist die Konvergenzfähigkeit des ASM-HEMT-Modells in bestimmten Betriebspunkten eingeschränkt, mit entsprechenden Auswirkungen auf einen übergeordneten Optimierungsalgorithmus. Folgende Freiheitsgrade gelten für die Optimierungsparameter:

- $[0, 80]$ ns für die Totzeit
- $[0.5, 10]$ Ω für den Pull-Down-Widerstand der HS
- $[0.5, 10]$ Ω für den Pull-Up-Widerstand der LS
- $[0, 5]$ V für die Pull-Down-Spannung der HS
- $[0, 5]$ V für die Pull-Down-Spannung der LS

Die Mächtigkeit des initialen Startsets beträgt 6 Punkte pro Freiheitsgrad, demnach 46656. Die Mächtigkeiten selektierter Optimumskandidaten zur Generation lokaler Verdichtung sind beschränkt auf $[40, 30, 15, 8, 5]$, um eine Ausführungsdauer der Optimierung auf wenige Tage zu beschränken.

Am Ende eines vollständigen Optimierungsdurchlaufes wird das sich ergebende globale Minimum gewählt, ohne Berücksichtigung dessen relativer Signifikanz im Vergleich zu möglichen weiteren Minima. Praktisch bedeutet dies, dass der Halbbrücke nur jeweils die Existenz eines einzigen optimalen Betriebspunktes unterstellt wird und mögliche alternative, unterlegene Betriebskonfigurationen zwar identifiziert, nachfolgend jedoch nicht weiter behandelt werden. Es ergeben sich nachfolgende Beobachtungen für die Optimierungsparameter der Halbbrücke.

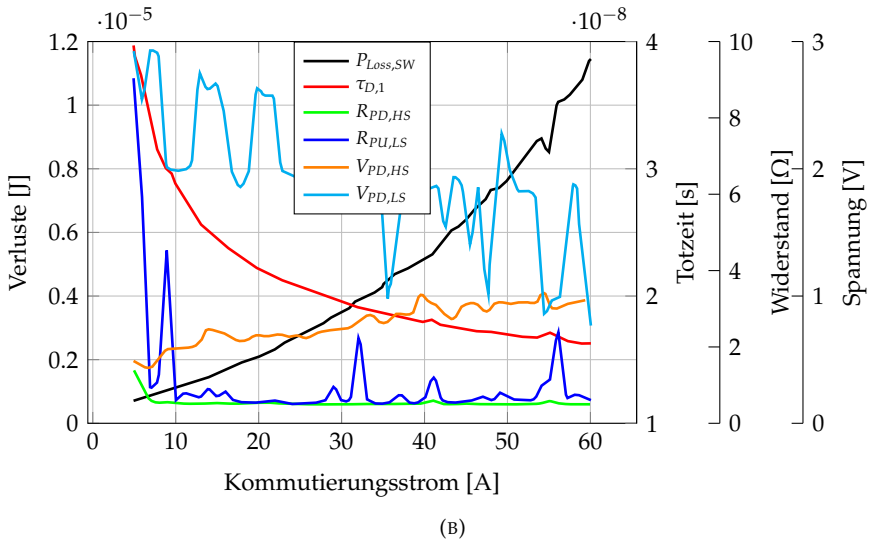
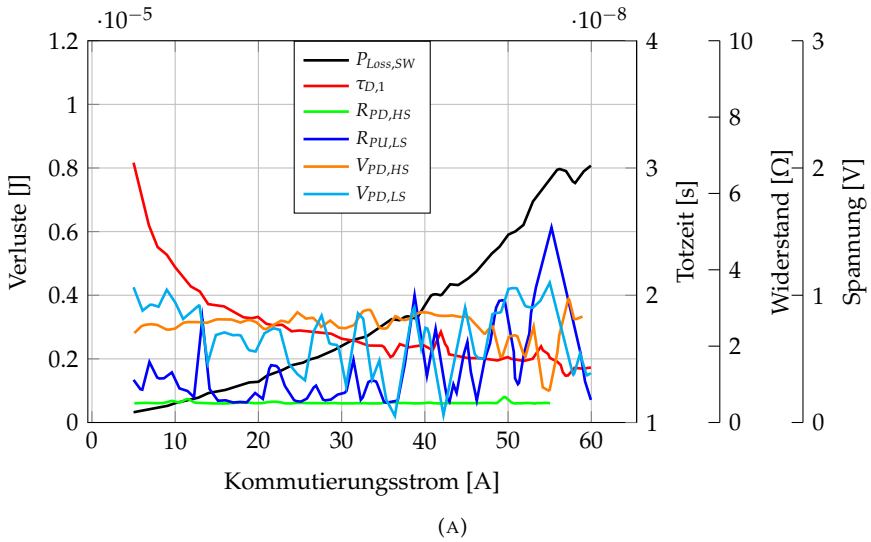


ABBILDUNG 3.24: Optimierte Betriebsparameter und Verlustleistungen einer weichen Halbbrückentransition bei $200 V_{DCL}$ (A) und $400 V_{DCL}$ (B)

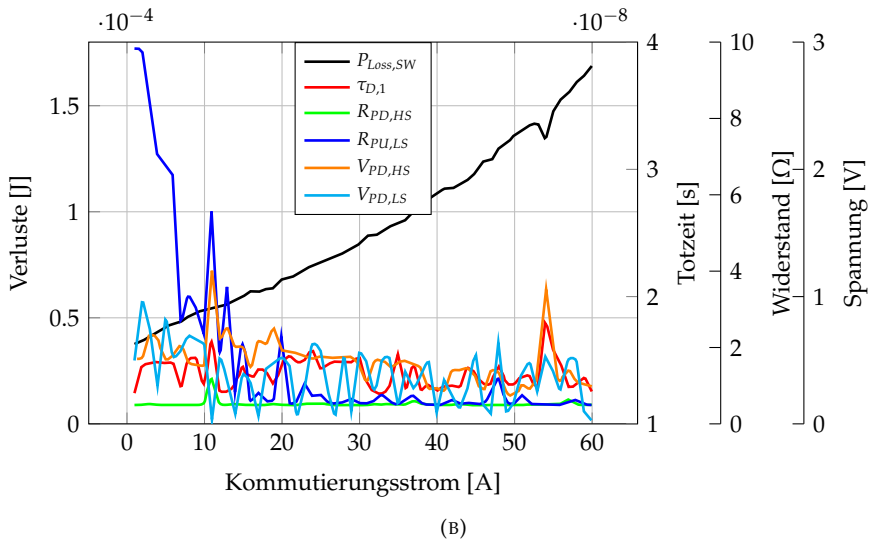
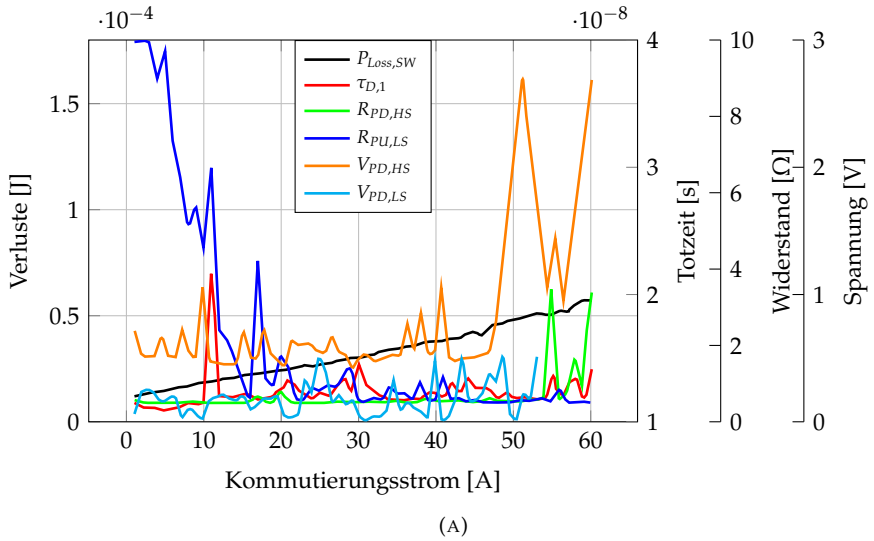


ABBILDUNG 3.25: Optimierte Betriebsparameter und Verlustleistungen einer harten Halbbrückentransition bei 200 V_{DCL} (A) und 400 V_{DCL} (B)

- Für weiche Kommutierung nach Abb. 3.24:
Die zu beide Transitionen korrespondierende ideale Totzeit verhält sich erwartungsgemäß ähnlich den vorangegangenen Simulationsergebnissen in SPICE, für größere Zwischenkreisspannungen erhöht sich ihr Wert entsprechend.
Der für die Abkommutierung verantwortliche Pull-Down-Widerstand im Gatekreis des HS-Transistors bewegt sich nahe an der unteren Intervallgrenze. Gleiches gilt für den komplementär agierenden Pull-Up-Widerstand der LS. Das Verhalten bei sehr kleinen Kommutierungsströmen ist tendenziell ansteigend. Es wird aufgrund der numerischen Unsicherheiten am Kommutierungsstromminimum davon ausgegangen, dass ihr Wert im Vergleich zur Totzeit an Signifikanz verliert.
Die jeweils nötigen negativen Vorspannungen sind beobachtbar abhängig von Zwischenkreisspannung und Kommutierungsstrom. Der Betrag der Pull-Down-Spannung der HS ist vergleichsweise unsensibel auf die anliegende Zwischenkreisspannung und bewegt sich in beiden Fällen im Bereich [0.5, 1.0] V, zeigt jedoch eine deutliche Stromabhängigkeit bei erhöhten Zwischenkreisspannungen. Der Betrag der Pull-Down-Spannung der LS wiederum muss von unter 1 V bei 200 V_{DCL} Zwischenkreisspannung auf mehr als 2 V bei 400 V_{DCL} Zwischenkreisspannung erhöht werden, hier im letztgenannten Fall abermals mit deutlicher ausgeprägter Stromabhängigkeit.
- Für harte Kommutierung nach Abb. 3.25:
Die für beide Transitionen optimale Totzeit ist erwartungsgemäß nahezu konstant mit einer leichten Tendenz zu kleineren Werten bei hohen Kommutierungsströmen.
Der für die Abkommutierung verantwortliche Pull-Down-Widerstand im Gatekreis des HS-Transistors bewegt sich nahe an der unteren Intervallgrenze. Der komplementär agierende Pull-Up-Widerstand der LS verhält sich ähnlich, mit einer deutlich erkennbaren Abweichung bei sehr kleinen Kommutierungsströmen unterhalb 10 A. Hier führt eine sukzessive Erhöhung zu geringeren Umschaltverlusten. Die Bedämpfung des einschaltenden Gates ist demnach in weiten Betriebsbereichen der hart schaltenden Halbbrücke aus Sicht der generierten Verlustleistung nicht erforderlich.
Die jeweiligen Vorspannungen beider Gates verhalten sich deutlich invarianter und liegen absolut gesehen unterhalb

derer des weich schaltenden Falles. Ein Anstieg der Pull-Down-Spannung der LS bleibt weiterhin erkennbar, ebenso die Stromabhängigkeit der Pull-Down-Spannung der HS.

Es lassen sich demnach abschließend zwei wichtige Erkenntnisse festhalten:

- Beide Pull-Down-Spannungen, insbesondere aber die der LS, sollten der zu erwartenden bzw. topologisch gegebenen Zwischenkreisspannung der Halbbrücke angepasst werden. Die negative Vorspannung für beide Transistoren darf, im in dieser Arbeit behandelten diskret verorteten Setup, nicht entfallen.
- Der Pull-Up-Widerstand der LS kann für hohe Kommutierungsströme oberhalb 10 A minimiert werden, für niedrige Ströme bleibt er jedoch erforderlich.

Diese Erkenntnisse fließen in die nachfolgend in Kap. 4 behandelte Konstruktion der Halbbrücke mit ein.

Außerdem von Interesse ist an dieser Stelle die tatsächlich durch Optimierung eingesparte Verlustleistung der Halbbrücke. Abb. 3.26 vergleicht daher die in dieser Arbeit ursprünglich behandelte Betriebskonfiguration und deren resultierenden Verluste mit denen der hier behandelten Optimierung, jeweils für beide Schalttransitionen der Halbbrücke und einer Zwischenkreisspannung von 200 V bzw. 400 V:

- Für weiche Schalttransitionen der Halbbrücke:
Es ist erkennbar, dass die Optimierungsergebnisse nicht im gesamten Kommutierungsstrombereich tatsächlich unterhalb der ursprünglichen Betriebskonfiguration, jedoch sehr nahe beieinander liegen. Es wird gefolgert, dass die Signifikanz einer globalen Optimierung im betrachteten Bereich entsprechend gering ist, also wenig Einsparpotential für weiches Schalten über eine angepasste Totzeit hinaus erzielbar ist. Die Konvergenz des Optimierers auf die bereits errechneten Lösungen bestätigt daher nur die Effektivität des Optimierungsalgorithmus.
- Für harte Schalttransitionen der Halbbrücke:
Das Einsparpotential ist in diesem Falle als signifikant zu bewerten, die Lösungen des Optimierers liegen mit etwa 30% deutlich unterhalb der ursprünglichen Betriebskonfiguration. Eine Spannungs- und Stromabhängigkeit ist dabei nicht eindeutig feststellbar.

Abgesehen von einer jeweils angepassten Totzeit lässt sich festhalten, dass insbesondere die harte Kommutierung der Halbbrücke signifikantes Optimierungspotential hinsichtlich generierter Schaltverluste bietet.

3.8 Fazit zur simulativen Auswertung

Das Totzeitverhalten einer leistungselektronischen Halbbrücke beeinflusst maßgeblich Schaltverlustenergien. Die Existenz und charakteristische Verteilung über deren Arbeitspunkte ist analytisch erfasst. Weiterhin können die systembeschreibenden Differentialgleichungen dahingehend erweitert werden, das Schwingverhalten eines Umschaltvorgangs in seiner EMV durch Implementierung geeigneter Flankensteilheiten zu optimieren. Die vorgestellte SPICE-MATLAB Simulationsumgebung nutzt kommerziell erhältliche Transistormodelle für den Modellaufbau einer definierten Halbbrücke und wertet diese hinsichtlich ihrer betriebspunktabhängigen Verluste aus. Nötige Totzeiten für verlustoptimale Umschaltvorgänge sind nur durch eine hardwareimplementierte, physikalisch basierte Detektorschaltung praxistauglich einzuhalten. Eine geeignete Topologie wurde vorgestellt und simulativ validiert. Physikalisch motivierte Modifikationen münden schließlich in eine VERILOG-XYCE-Python Halbbrückensimulation für Parameterstudien sowie globale Schaltzellenoptimierung hinsichtlich verlustoptimalen Schaltverhaltens.

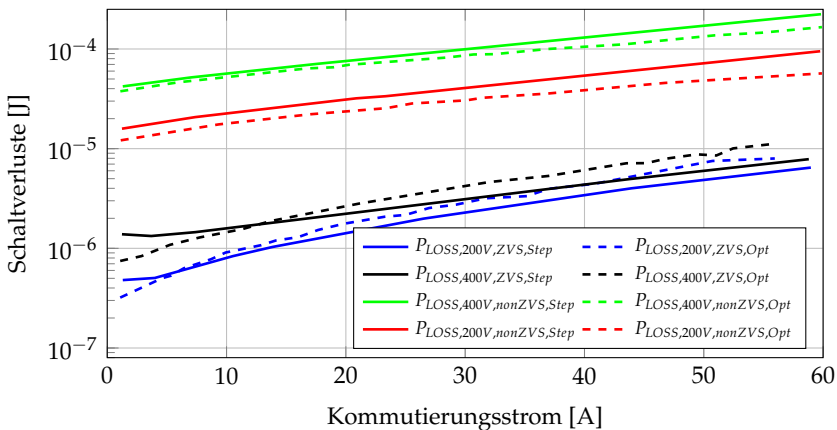


ABBILDUNG 3.26: Optimierte VERILOG-Halbbrücke

Kapitel 4

Hardwarekonzeptionierung und Inbetriebnahme

In diesem Kapitel wird die hardwaretechnische Umsetzung eines PFC-Demonstrators als Teil eines automobilen AC-Ladegeräts betrachtet, die Topologie ergibt sich gemäß Kap. 2 in Vollbrückenkonfiguration unter Berücksichtigung der in Kap. 3 gewonnenen Ergebnisse. Zielsetzungen sind:

- Die Darstellung einer GaN-Halbbrückenschaltzelle, welche in ihrer physikalisch-elektrischen Parametrierung möglichst vergleichbar mit der in Kap. 3 simulativ behandelten Ausführung bleibt. Dies bezieht sich insbesondere auf die Leistungshalbleiter, die Treiberstufe sowie die unmittelbare elektrische Anbindung derselben im Sinne vergleichbarer Steuer- und Lastkreise.
- Die Realisierung einer geeigneten Steuereinrichtung zur Generierung geforderter PWM-Signale mit der nötigen hohen Zeitauflösung im Sub-Nanosekunden-Bereich. Eine Betriebspunktregelung der PFC-Stufe wird in dieser Arbeit nicht betrachtet.
- Die Hardwareumsetzung der in Kap. 3 beschriebenen ZVS-Detektorschaltung zur messtechnischen Verifikation ihrer postulierten Funktionsweise.
- Die Berücksichtigung geeigneter Peripherie zur Darstellung von Betriebspunkten hoher Last bzw. Spannung sowie eine erforderliche Entwärmung, welche gleichzeitig als Input einer kalorimetrischen Verlustmessung der Halbbrücke dient.

Es erfolgt deshalb eine Aufteilung in last- und treiberseitige Schaltzelle, ZVS-Detektorschaltung, Controllerstufe sowie Peripherie und thermische Anbindung. Für die Gesamttopologie gelten Anforderungen und

Prämissen gemäß Kap. 2. Der Hardwareaufbau wurde über das ECAD-Tool Altium Designer® realisiert und basiert, sofern nicht anders deklariert, grundsätzlich auf eigener Arbeit.

4.1 Konzeptionierung

4.1.1 Lastkommutierungszelle

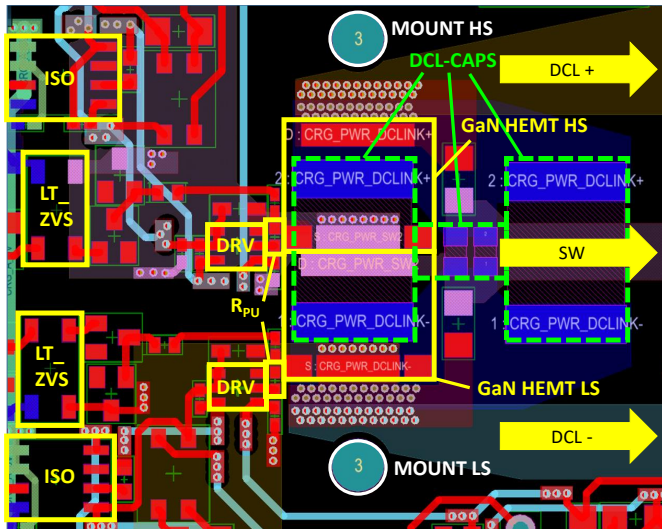


ABBILDUNG 4.1: 2D-Layoutdarstellung der leistungselektronischen Halbbrücke

Die Lastkommutierungszelle besteht analog zur vorgestellten Simulation aus zwei GaNSystems GS66516T GaN-HEMTs, vgl. hierzu Abb. 4.1. Unter Einhaltung einer minimalen, unter Laborbedingungen hinreichend dimensionierten Luft- und Kriechstrecke sind diese in direkter vertikaler Anordnung auf der Oberlage des PCB verortet. Der Bauraum für einen thermische Pfad über das GS66516T-Thermopad nach oben hin wird freigehalten, in ausreichendem Abstand zum Lastkommutierungskreis sind isolierte Montagelöcher vorgesehen. Der Schaltknoten ist mittig auf der Oberlage nach rechts hin ausgeführt, aufgrund des induktiven Betriebs der Halbbrücke ist eine längere Wegstrecke mit unvermeidbar induktivem Parasitärbelag aus

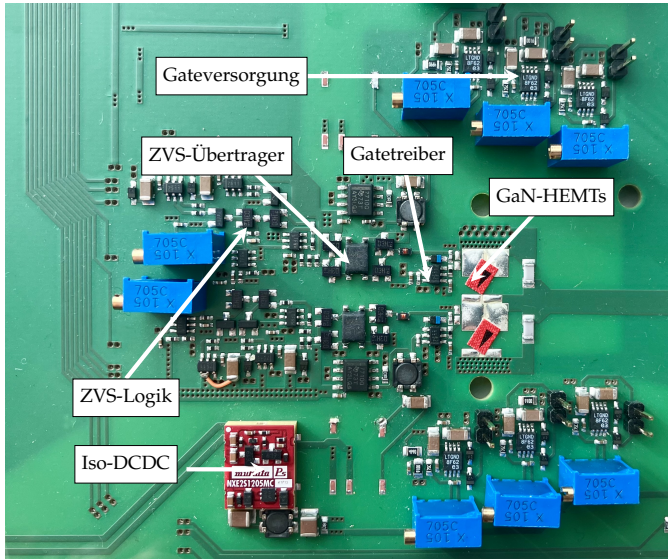


ABBILDUNG 4.2: Fotografie des finalen PCB-Aufbaus der leistungselektronischen Halbbrücke

topologischer Sicht unschädlich. Die Kommutierungszelle wird mit großzügig angelegter Viafläche ober- und unterhalb der Transistoren auf der PCB-Unterlage geschlossen. In der Literatur [52] werden alternative Ausführungen auf lediglich der Oberlage diskutiert. Folgende Überlegung führt in dieser Arbeit zum in Abb. 4.2 gezeigten Design:

- Der thermische Pfad nach oben weg soll freigehalten werden. Ein Zwischenkreis-MLCC (DC-Link Kondensator) auf der Oberseite mit notwendiger, elektrisch kurz gehaltener Ankontaktierung würde ebendiesen Bauraum zunichte machen, die PCB-Unterlage bleibt dagegen thermisch und elektrisch ungenutzt.
- Für eine Schließung des Kommutierungskreises sind Vias von der Oberlage auf mindestens die erste PCB-Innenlage vorzusehen. Im Vergleich zur gezeigten Lösung auf der Unterlage wäre die Lastkommutierungsschleife damit in vertikaler Ebene um die Distanz eingesparter PCB-Zwischenlagen verkleinert und eine bessere induktive Koppelung durch geometrische Nähe zur stromführenden Oberlage gegeben. Andererseits vergrößert sich

der Kommutierungskreis in horizontaler Ebene notwendigerweise um mindestens die signifikante Baugröße des Zwischenkreis-MLCC unter Berücksichtigung seines internen Lagenaufbaus. Ohne nähere FEM-Analysen fällt daher eine Entscheidung zugunsten des thermisch performanteren vertikalen Aufbaus.

Für den Zwischenkreis selbst wird ein dreistufiges MLCC-Kondensatordesign verwendet, um sowohl eine effektive, breitbandige Bedämpfung der schaltflankeninduzierten Überhöhung der Zwischenkreisspannung zu erzielen, als auch den PFC-Betrieb über eine AC-Netzperiode zu erhalten. Es bestehen daher folgende Anforderungen:

- Für den korrekten Betrieb einer 3,7 kW PFC-Stufe an einem 50 Hz AC-Netz muss die Zwischenkreisspannungsrestwelligkeit unterhalb einer prozentualen Grenze liegen, gemäß vorhergehender Angaben liegt diese bei 10%. Eine einfache Rechnung unter Berücksichtigung der Energieerhaltung liefert:

$$\frac{1}{2} \cdot C_{\text{DCL}} \cdot 0.19 \cdot U_{\text{DCL}}^2 = 3.7 \text{ kW} \cdot \frac{1}{f_{\text{Netz}}} \cdot \frac{1}{2} \quad (4.1)$$

Für eine Zwischenkreisspannung U_{DCL} von 400 V und dem Viertel einer Netzperiode f_{N} mit 50 Hz folgt für den Wert des benötigten Zwischenkreiskondensators C_{DCL} grob 2 mF. Es empfiehlt sich der Einsatz energiedichter Elektrolytkondensatoren. Da der AC-Betrieb sowie ein nachgelagerter LLC-Resonanzwandler nicht Thema dieser Arbeit sind, wurde der verbaute Wert geringfügig herabgesetzt mit der Option, einzelne Elektrolytkondensatoren zu- bzw. abzuschalten und den Zwischenkreiskondensatorwert somit weiter manipulieren zu können.

- Eine Fourieranalyse von Schaltflanken der hier behandelten, parasitär behafteten Halbbrücke gemäß SPICE- und VERILOG-Simulation resultiert in einer dominanten Grundschwingung bei 150 MHz. Zur effektiven Bedämpfung dieser Oszillationen, in ihrer Natur in Kap. 2 beschrieben, kann die nötige Kondensatorenergie im Vergleich zur AC-Glättung deutlich geringer ausfallen, Kondensatortyp und parasitär behaftete bauart- und layoutbedingte Anbindungen jedoch müssen eine

Eigenresonanzfrequenz oberhalb dieses relevanten Peaks bewirken. Dieser Wert ist als Hochfrequenzcharakteristikum in entsprechenden Herstellerdatenblättern üblicherweise einsehbar.

Die Glättung der Netzperiodenenergie erfolgt mittels 4x Rubycon® MXH Series 450 V / 390 μ F Elektrolytkondensatoren, welche in deutlichem Abstand zur Halbbrücke verortet sind. Zur Bedämpfung der Halbbrückenresonanzen werden 2x Murata® GRM C0G 630 V / 390 pF mit einer Resonanzfrequenz oberhalb 200 MHz, anwenderseitig per Impedanzanalyzer validiert, sowie 2x TDK® CeraLink 500 V / 1 μ F eingesetzt. Diese befinden sich direkt unterhalb der GaN-HEMTs im Sinne kurzer Wegstrecken und induktivem Cancelling [53], vgl. hierzu Abb. 4.3.

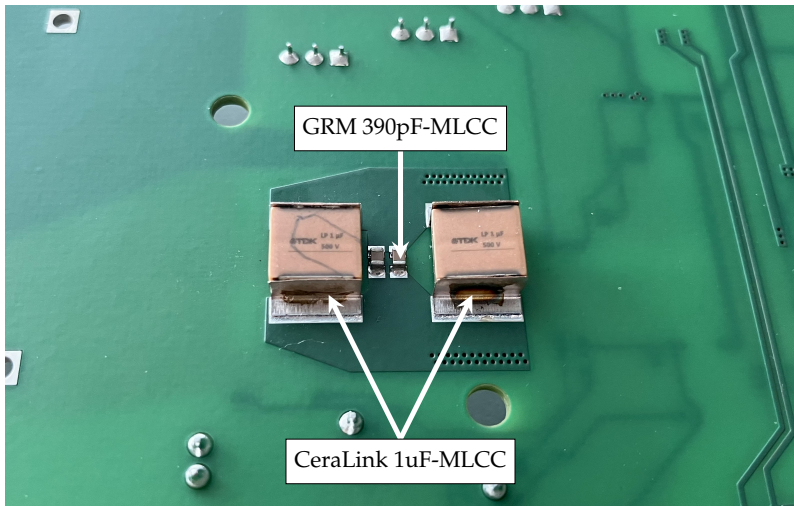


ABBILDUNG 4.3: Fotografie der keramischen Zwischenkreiskondensatoren auf der PCB-Unterseite

4.1.2 Gatetreiber und Spannungsversorgung

Als Gatetreiber kommt der vorgestellte Texas Instruments UCC27511 mit separatem Push-/Pull-Ausgang zum Einsatz. Dieser befindet sich linksseitig seines jeweiligen GaN-HEMTs auf der PCB-Oberlage. Im Sinne minimal parasitär behafteter Wegstrecken und aufgrund gewonnener VERILOG-Optimierungsergebnisse wurde auf einen diskreten Pull-Down-Widerstand verzichtet. Der Pull-Up-Widerstand ist vorerst als $10\ \Omega$ SMD-0402 ausgeführt und kann durch gestapelte Parallelschaltung weiterer SMD-Widerstände entsprechend verkleinert werden. Die Anordnung von Treiber, Pull-Up-Widerstand und GaN-HEMT ist dabei derart, dass lediglich die Breite des SMD-0402 Pull-Up-Widerstandes als physikalische Wegstrecke für beide Gatefade wirksam und das Schaltverhalten für eine diskrete Halbbrücke somit optimiert wird. Das Pinout des UCC27511 erweist sich hierbei als vorteilhaft. Für die Kontaktierung des GaN-HEMT wird nur eines der beiden Gatepads benötigt. Da das Package keine separate Kelvin-Source zur Verfügung stellt, erfolgt die Anbindung des Treibers an den Schaltknoten weitgehend rechtwinklig zum vertikalen Lastpfad, der Anteil einer last- und gateseitig gemeinsamen, externen Source-Induktivität ist somit minimiert. Der Treiber liegt mit seinen Pins VDD und GND nun nicht konventionell auf Treiberversorgungsspannung und Transistorsource, sondern auf den beiden externen, galvanisch getrennt eingekoppelten Spannungslagen $V_{PU/D}$, die per direkt am Package angebundener Murata GRM SMD-0603 50 V / 1 nF Pufferkondensatoren gehalten werden und den Gatekommutierungskreis kleinstmöglich schließen. Das Ansteuersignal wird per Texas Instruments ISO7710 Logikisolator auf die Transistorsource übersetzt und per 100 pF-100 Ω -RC-Tiefpassfilter zur pauschalen Störunterdrückung an den Treiber weitergegeben. Dieselbe Filterung findet auch auf der Logikseite zum Controller hin statt. Für den Betrieb des Gatetreibers inklusive Isolator sind nun drei unterschiedliche sowie einstellbare Spannungspegel mit Referenz zur jeweiligen Transistorsource nötig, vgl. hierzu Abb. A.2. Neben den Pull-Up/-Down-Spannungen $U_{PU/D}$ für den Treiber selbst ist dies die 5 V-Versorgung der Sekundärseite des Logikisolators. Zur Erzeugung dieser Pegel dienen drei einstellbare Linearspannungsregler vom Typ Linear Technologies® LT3062A, ausgestattet mit resistiver Minimumlast sowie Lastspitzenschutz via antiparalleler Dioden und Enabling-Jumpfern zu Diagnosezwecken. $U_{PU/D}$ sind dabei zueinander referenziert. Die eingangsseitige Versorgung erfolgt wie beschrieben galvanisch getrennt per Murata® NXE2 isoliertem 2 W-DCDC-Wandler

von 12 V auf 12 V. Aufgrund sehr geringer Koppelkapazitäten von etwa 2 pF ist eine Common Mode Transient Immunity (CMTI) auch bei steiflankigem Schalten zu erwarten. Geeignete Common-Mode Drosseln dienen weiterhin pauschal einer Gleichtaktunterdrückung von zu erwartenden Störsignalen. Der Logikisolator und galvanisch getrennte DC/DC-Wandler bilden im Layout eine senkrechte LV/HV-Trennungslinie.

4.1.3 ZVS-Detektorschaltung

Die postulierte ZVS-Detektorschaltung wird geometrisch in die beschriebene Trennungsebene des Gatekreises integriert, isolierendes Bauteil ist eine Würth® SL2 gekoppelte Drossel als Signalübertrager. Während der ZVS-Messkondensator in 0402-SMD-Bauform direkt am Gate des GaN-HEMTs verortet ist, kann der verbleibende Schaltungsteil des ZVS-Detektors problemlos ausgelagert werden und ist daher in Abb. 4.2 linksseitig nicht aufgeführt. Da die Schaltung entfernt vom HV-Schaltknoten und mit direktem Bezug zur Logikmasse vergleichsweise unkritisch zu verorten ist, wird auf eine detaillierte Beschreibung des Layouts verzichtet. Designprämisse ist weiterhin, kurze Wegstrecken für die Analogsignale einzuhalten. Zur analogen Signalverarbeitung kommen zwei LTC6253 700 MHz Operationsverstärker zum Einsatz, das SHR-Glied wird durch zwei Infineon® IRLML6246 MOSFETs, angesteuert über wiederum zwei Texas Instruments UCC27511 Gatetreiber, realisiert. Zur Spannungsversorgung werden ± 2.5 V für die Operationsverstärker sowie 5 V für beide SHR-Treiberstufen mit Referenz zu Logik-GND per Linearspannungsregler erzeugt.

4.1.4 Controller und Peripherals

Sämtliche PWM-Ausgänge zu Treiber- bzw. Logikisolatorstufen sowie analoge bzw. digitale Eingänge, insbesondere die des ZVS-Detektors, werden von einem Texas Instruments TMS320F28379DPTPS Delfino Controller angesteuert bzw. per ADC und General Purpose Input Output (GPIO)-Schnittstelle überwacht. Die Grundkonfiguration und externe Beschaltung ist dem Hersteller-Referenzdesign entlehnt, dies beinhaltet Controllerperipherie wie ADC-Beschaltung, Spannungsversorgungen inklusive Wandler, Joint Test Action Group (JTAG)- sowie Controller Area Network (CAN)-Interface. Der Controller befindet sich, ebenso wie sämtliche logikreferenzierten Signale der Treiberstufe,

ZVS-Detektorschaltung sowie weiterer Sensorik, oberhalb einer flächigen Masselage. Sämtliche zum Betrieb der PFC-Stufe benötigten Niederspannungen, auch isolierte, werden aus einer einzigen 12 V-Klemme generiert. Zur Spannungs- und Strommessung jeweils für PFC-Eingang und -Ausgang kommen jeweils Allegro® ACS730 Hallbasierte Stromsensoren bzw. Texas Instruments AMC1200TDWVRQ1 Trennverstärker für spannungsteilerbasierte Spannungsmessung zum Einsatz, vgl. hierzu Abb. A.4 und A.5. Weiterhin steuert der Controller Lastenabler- sowie Entladerelais und -Transistoren direkt per Logiksignal an, um einen korrekten und laborsicheren Betrieb der PFC-Stufe zu ermöglichen.

4.1.5 Filter

Zur Bewertung von konduktiver EMV, insbesondere der Erkenntnisse in Kap. 2, ist ein bedarfsweise überbrückbares, zweistufiges LC-Netzfilter mit X- und Y-Folienkondensatoren verbaut. Sein Schaltungs-schema ist in Abb. A.6 aufgezeigt.

4.1.6 Thermische Anbindung

Die thermische Schnittstelle zu einer Wasserkühlung mit definierter, geregelter Zulauftemperatur und definiertem thermischen Widerstand ist für kalorimetrische Verlustmessungen vorgesehen, eine unge-regelt arbeitende Luftkühlung über erzwungene Konvektion eines Fingerkühlkörpers bei Umgebungstemperatur für den Dauerbetrieb optional. Beide Wärmesenken sind per flächiger Kupferkontaktstelle und thermischem Spaltfüller (Wärmeleitpaste) zu verbinden. Es bestehen daher folgende Anforderungen an den thermomechanischen Halbbrückenaufbau:

- Eine hinreichende elektrische Isolation der Zwischenkreis- bzw. Schaltknotenspannung vom thermischen Massepunkt. Es erfolgt keine bauliche Unterscheidung zwischen HS und LS.
- Eine gleichzeitig hohe Wärmeleitfähigkeit, beginnend vom auf HV-Potential liegendem Thermopad der GaN-HEMTs bis zur Schnittstelle der Wärmesenke
- Toleranzausgleich des PCB-Oberflächenmontageprozesses
- Eine Optimierung hinsichtlich minimaler elektrischer Koppelkapazitäten ist nicht Bestandteil dieser Arbeit.

Die beschriebenen Charakteristika werden vorrangig durch das eingesetzte TIM erzielt. Folgende Werkstoffe wurden in Betracht gezogen:

1. Elektrisch isolierende Wärmeleitfolie verschiedener Dicke (Kerafol®)
2. Metallisierte Keramikstrukturen (CeramTec®)
3. Anisotrope wärmeleitfähige Graphitfolien (Panasonic PGS®)
4. Oberflächenverlötete Kupferplättchen

Extern durchgeführte CEM-Thermosimulationen bei Zollner Elektronik® dienen der Plausibilisierung oben genannter Ansätze und bestätigen die Annahme, dass aufgrund der kleinen Thermopads der GaN-HEMTs eine initiale laterale Wärmespreizung wesentlich ist. Erst danach entscheidet die vertikale Wärmeabfuhr hin zur Wärmesenke über die Gesamtleistung des Aufbaus. Obenstehende Punkte 3 und 4 weisen derartige Mechanismen auf, werden jedoch zugunsten einer praxisnahen und kostengünstigen Industrialisierung nicht weiterverfolgt. Metallisierte Keramik konnte intern bereits erfolgreich eingesetzt werden, letztendlich entscheidend für den Einsatz herkömmlicher Wärmeleitfolien ist deren schnelle Verfügbarkeit, spalttolerante Applizierung sowie eine simulativ bestätigte, ausreichend hohe Wärmeleitfähigkeit für den betrachteten Anwendungsfall, vgl. hierzu Abb. 4.4 und 4.5. Die vertikale Wärmeabfuhr wird durch einen mit dem PCB isoliert verschraubten Kupferstempel realisiert, auf dessen Oberfläche geeignete Wärmesenken platziert werden. Aus Konstruktionsgründen ist es notwendig, beide Halbbrückentransistoren an einen Kupferstempel thermisch anzukontaktieren, eine Zuordnung von kalorimetrisch gemessener Verlustleistung ist daher nachfolgend pro Halbbrücke zu verstehen.

4.1.7 Weitere Komponenten

Für den PFC-Betrieb wird in Abb. 4.8 gezeigte Drossel eingesetzt. Das finale Layout in der ECAD-Umgebung sowie in natura ist in Abb. 4.6 und 4.7 abgebildet.

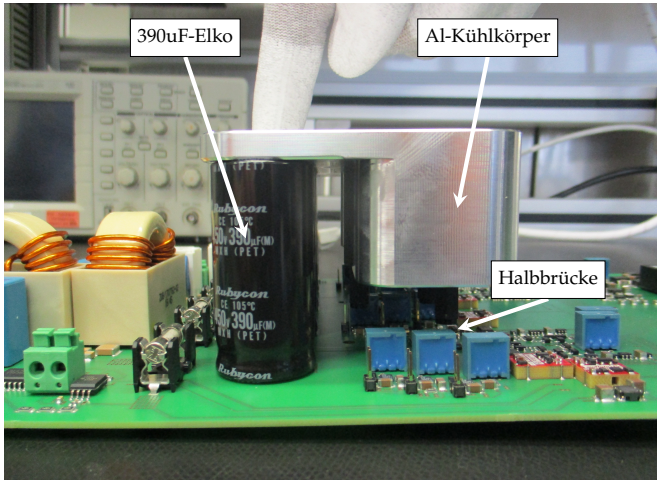


ABBILDUNG 4.4: Fotografie des Kupferstempels mit Übergang zur Aluminium-Wärmesenke

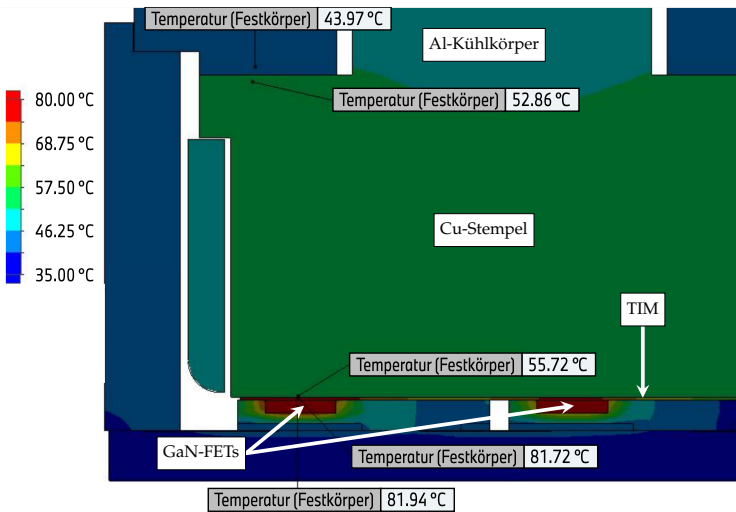


ABBILDUNG 4.5: Simulative Validierung der Oberflächentemperatur eines GaN-FETs bei einer angenommenen Verlustleistung von 10 W mit Genehmigung der Zollner Elektronik AG

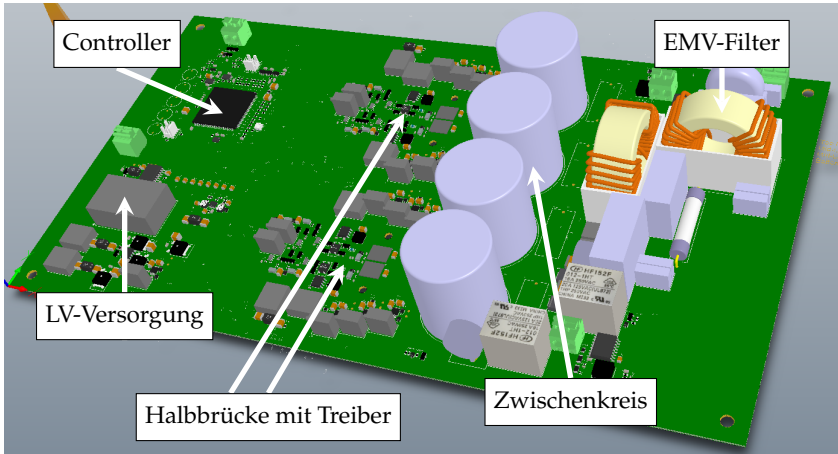


ABBILDUNG 4.6: 3D-ECAD-Layout der gesamten Schaltung

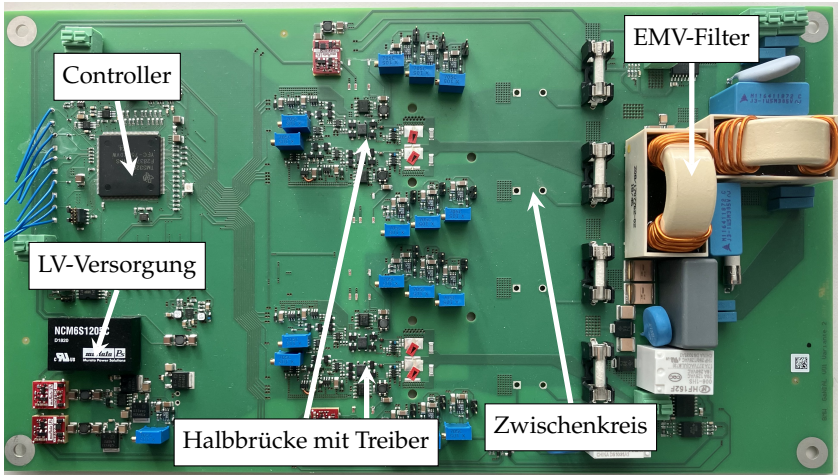


ABBILDUNG 4.7: Fotografie des realen PCB-Gesamtaufbaus

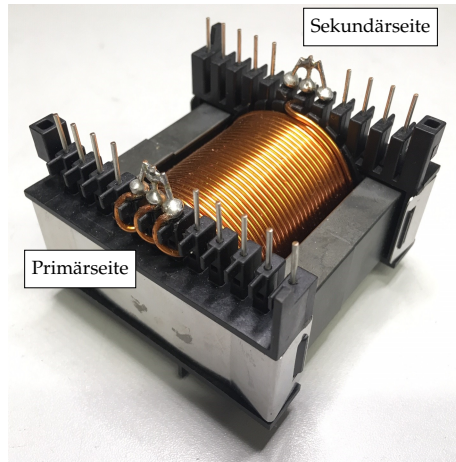


ABBILDUNG 4.8: Fotografie der eingesetzten PFC-Drossel

4.2 Inbetriebnahme

Nachfolgend werden wissenschaftlich relevante Aspekte der Inbetriebnahme der oben beschriebenen PFC-Demonstratorstufe behandelt. Im Sinne einer verkürzten Darstellung werden folgende Punkte nicht weiter behandelt:

- Produktionsfehler bei der SMD-Bestückung und sich ergebende, notwendige Korrekturingriffe zur Wiederherstellung der ursprünglichen Betriebskonfiguration
- Abweichende TIM-Konfiguration aufgrund mechanischer Belastungen und folglich möglicher HV-Isolationsfehler zur Kühlanbindung
- Nötige Joint Test Action Group (JTAG)-Schnittstellenmodifikationen für störsicheres Debuggen im laufenden PFC-Betrieb
- LV-Anpassungen zur Signalübertragung
- Softwaretechnische Gegenmaßnahmen zum Normally-On Verhalten des Texas Instruments (R) ISO7710-Q Logikisolators

- Mechanische Nacharbeitung des Kupferstempels zur Adaptierung an den externen Wasserkühlkreislauf
- Verlustleistungsbestimmung mittels elektrischer I/O-Differenzmessung per Yokogawa® WT1800E als Vergleichswert zu kalorimetrischer Verlustleistung
- Inbetriebnahme der CAN-Funktionalität des Texas Instruments TMS320F28379DPTPS

Stattdessen betrachtet werden das verwendete Hardware- und Softwareequipment sowie die hardware- und softwareseitige Inbetriebnahme der Schaltung hinsichtlich der Generierung nachfolgend in Kap. 5 vorgestellter Ergebnisse.

4.2.1 Betriebsmittel

Hardware

Folgende Hardware und Messtechnik kommt zur Inbetriebnahme und Auswertung der PFC-Stufe zum Einsatz:

- 12 V/2 A Kleinspannungsquelle zur Versorgung sämtlicher Sekundärverbraucher der Platine
- Eine programmierbare Spannungsquelle EA® PS 8500-30 zur Modellierung einer Netzanbindung. Auf eine 50 Hz-AC-Eingangsspannung wird verzichtet, stattdessen werden diskrete Betriebspunkte innerhalb der Sinusperiode angefahren, um entsprechend simulativ identifizierte Kommutierungsvorgänge bewerten zu können. Die regelungstechnische Umsetzung des PFC-Betriebs ist bereits Stand der Technik und daher nicht Teil dieser Arbeit, die PFC-Stufe jedoch hierzu uneingeschränkt tauglich.
- Eine programmierbare Last zur Nachbildung eines nachgelagerten LLC-Resonanzwandlers mittels resistiver bzw. leistungsdefinierter Verbrauchskennlinie
- Zwei digitale Lecroy® HRO 66Zi Speicheroszilloskope zur Observation logik- und lastseitiger Signalverläufe mittels passiver und differenzieller Tastköpfe LeCroy® HVD3206A sowie LeCroy® AP015 Strommesszangen

- Eine FLIR® T365 Thermokamera zur laufenden Kontrolle thermischer Übergangswiderstände sowie zur Detektion thermisch kritischer Betriebszustände der Halbbrücke
- Eine Blackhawk® XDS100v2 USB-Debug-Probe zu Programmierung und Debugging im Betrieb
- Ein Regloplas® 90smart Temperiergerät für definierte Wasserkühlung der Halbbrücke
- Keithley® Integra Series 2700 Datalogger zur laufenden Observation geeigneter platzierter PT100-Temperatursensoren und damit zur kalorimetrischen Verlustleistungsbestimmung der Halbbrücke

Software

Während der Texas Instruments TMS320F28379DPTPS zwar nativ mit C-Code über das Texas Instruments® Code Composer Studio programmiert und debugged werden kann, wurde der hier erzeugte Code lediglich als Ausgangsbasis für das MATLAB/SIMULINK-Interface genutzt. Letzteres bietet über das Embedded Coder Package bereits entsprechende Software-/Prozessor-in-the-Loop (SIL/PIL)-Funktionalität und dient in dieser Arbeit insbesondere zur Konfiguration der HRPWM-Kanäle des Controllers. Der entsprechende Code wird nachfolgend behandelt. Die automatisierte Messdatenauswertung erfolgt mittels eigener Python-Skripts zur Erzeugung von HTML-Plots.

4.2.2 Prozedur

Hardware

Nachfolgende Ausführungen erfordern die Platzierung geeigneter elektrischer Messabgriffe für Gate- und ZVS-Messspannungen. Während die ZVS-Logik LV-massebezogen arbeitet und daher per passivem Tastkopf beobachtbar bleibt, erfordern Transistorgatespannungen die differenzielle Spannungsmessung. Die nachfolgend beschriebene Kalibrierung von Gatespannungen und Propagation Delays dient der Kompensation von Signallaufzeitunterschieden zwischen HRPWM-Ausgang des Controllers und dem physikalischen Erreichen der jeweiligen Schaltschwelle des Leistungstransistors. Diese wird in dieser Arbeit bei Niederspannung vorgenommen. Mögliche parasitäre Effekte,

insbesondere eine Abhängigkeit von anliegender Zwischenkreisspannung, Kommutierungsstrom und Temperatur, werden nachfolgend nicht weiter behandelt. Der für diese Arbeit bedeutende Faktor Totzeit der leistungselektronischen Halbbrücke wird maßgeblich von der Signallaufzeit zwischen HRPWM-Controllerausgang und Gatesignaleingang des betreffenden Transistors bestimmt. Diese wiederum wird vorrangig durch Laufzeitunterschiede innerhalb Logikisolator- und Gatetreiberlogik beeinflusst. Die hier vorgenommene Kalibrierung eliminiert folgende Laufzeiteffekte:

- RC-Zeitkonstanten bestehend aus Gateeingangskapazität C_{ISS} und Gate-Pull-Up/-Down Widerständen $R_{PU/D}$, wobei bei jeder Änderung des Vorwiderstandes eine erneute Kalibrierung durchgeführt wurde
- Jegliche symmetrische Laufzeiteffekte für Logiksignale aufgrund externer Gatetreiber- und Logikisolatorbeschaltung sowie Bauteilverhalten
- Fertigungsbedingte asymmetrische Laufzeitstreuung für steigende/fallende TTL-Flanken innerhalb Gatetreiber und Logikisolator

Nicht berücksichtigt bzw. vernachlässigbar sind:

- Asymmetrische Veränderungen der Gateeingangskapazität C_{ISS} sowie deren physikalische Abhängigkeit, insbesondere Zwischenkreisspannungs- und Temperaturabhängigkeit
- Weitere asymmetrische Abhängigkeiten, insbesondere temperaturabhängige Spannungsdrifts der die Gate-Pull-Up/-Down Spannungen $U_{PU/D}$ zur Verfügung stellenden Linearspannungsregler

Die Kalibrierung erfolgt daher bei etwa 70 °C Oberflächentemperatur der GaN-Transistoren nahe am tatsächlichen Betriebspunkt, erzielt durch vollständigen Entfall der Kühlanbindung, und einer mit differenzieller Messung verträglichen Zwischenkreisspannung von 30 V. Vor erstmaliger Inbetriebnahme der PFC-Stufe wird diese mit 12 V Versorgungsspannung beaufschlagt und ein Boot-Script in den Controller geladen. Dieses schaltet benötigte GPIO- und HRPWM-Ausgänge auf LOW und deaktiviert sämtliche Peripherie. Dies dient der gefahrlosen Justage aller $U_{PU/D}$ und weiterer einstellbarer Versorgungsspannungen per Spindeltrimmer auf dem PCB, bevor diese aktiv geschaltet werden. Danach erfolgt die Einmessung der Propagation Delays wie in Abb. 4.9 beschrieben.

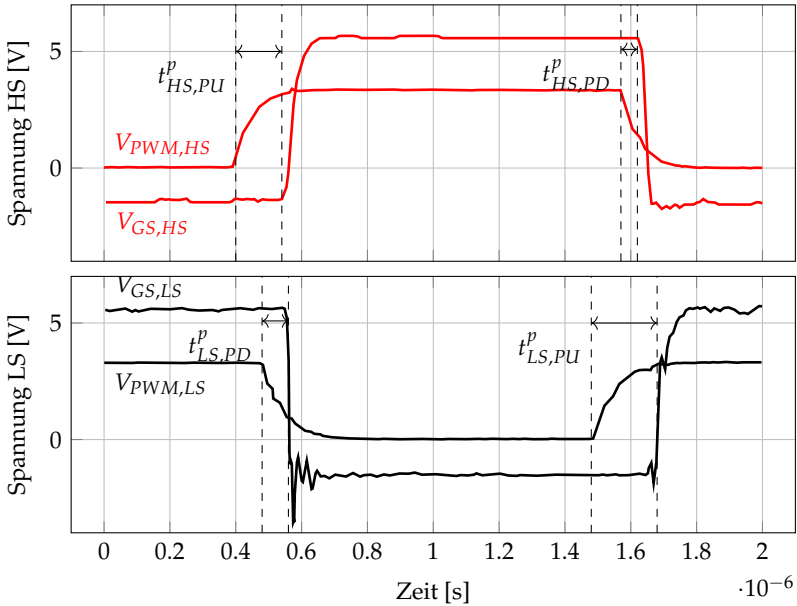


ABBILDUNG 4.9: Messtechnisch extrahierte Gatesignal-Zeitkonstanten

Die gemessenen Verzögerungswerte können direkt softwareseitig berücksichtigt werden. Folgende Tab. 4.1 führt exemplarische Laufzeitverzögerungen für eine Halbbrücke mit Werten nach Kap. 2 an:

$\tau_{HS,PU}^p$	$\tau_{LS,PU}^p$	$\tau_{HS,PD}^p$	$\tau_{LS,PD}^p$
180 ns	183 ns	80 ns	81 ns

TABELLE 4.1: Messtechnisch extrahierte Gatesignal-Zeitkonstanten

Software

Die für den Betrieb der ZVS-Detektorschaltung notwendigen Steuersignale für das SHR-Glied unterliegen keinen vergleichbar zeitkritischen Anforderungen, ihre Laufzeitwerte werden daher in dieser Arbeit denen der leistungselektronischen Halbbrücke gleichgesetzt. Im Sinne einer softwareseitigen Berücksichtigung der gemessenen individuellen

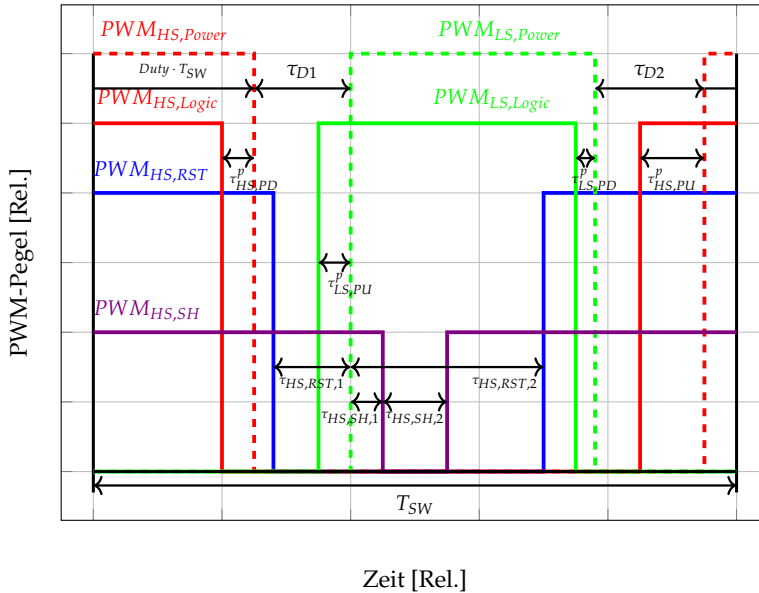


ABBILDUNG 4.10: PWM-Schema aus Kap. 2, erweitert um Laufzeitkompensation für Leistungstransistoren

Laufzeiten wird das nachfolgend in Abb. 4.10 dargestellte Signalschema diskutiert. Es stellt für beide Halbbrückentransistoren folgende relative Zeitgrößen zueinander dar:

- Vom Controller ausgegeben Signale PWM_{LOGIC} , PWM_{RST} und PWM_{SH} für Gate-, Reset- sowie Sample-and-Hold-Pegel
- Die sich daraus ergebende Laufzeitkompensation für PWM_{POWER} via $\tau_{PU/D}^p$ sowie die beabsichtigten Totzeiten $\tau_{D1/2}$ für die weiche bzw. harte Schalttransition
- Die sich daraus ergebende Anpassung der ZVS-Steuersignalpegel an $PWM_{HS,POWER}$ via $\tau_{RST/SH,1/2}$

Es gelten folgende weitere Bedingungen:

- Alle ausgegebenen TTL-Signale sollen die messtechnisch identifizierten Laufzeitdifferenzen kompensieren, sodass nachfolgend von tatsächlichen Totzeiten am Halbleitergate selbst ausgegangen werden kann. Absolute Laufzeiten sind stets positiv.

- Totzeiten müssen grundsätzlich mit der höchstmöglichen Auflösung ausgegeben werden, hochaufgelöste Tastverhältnisse sowie Periodendauern sind nicht erforderlich.
- Negative Totzeiten auf der Logikseite können sich durch asymmetrische Laufzeiten ergeben und müssen softwareseitig unterstützt werden. Schutzmechanismen zur Vermeidung von Totzeiten kleiner Null sind treiber- und softwareseitig nicht beabsichtigt. Minimale und maximale Tastverhältnisse ergeben sich aus den Controller- bzw. Topologieanforderungen.
- Laufzeitkompensierte Logiksignale für assoziierte SHR-Elemente der ZVS-Detektorschaltung ergeben sich aus den Anforderungen nach Kap. 3. Hochaufgelöste Flankenanpassung ist auch hier nicht erforderlich.
- Um eine Vergleichbarkeit mit simulativ gewonnenen Ergebnissen zu erhalten, insbesondere totzeitabhängige Schaltverlustleistungen, dürfen geringfügige Variationen der Totzeit zu keiner Verschiebung des Arbeitspunktes und damit des Kommutierungsstromes führen. Die Einschaltzeit des stromtreibenden Transistors der Halbbrücke (LS) ist daher unabhängig definiert.

Wie vorhergehend beschrieben existieren mehrere mögliche Hardwareumsetzungen eines zeitlich hochaufgelösten PWM-Signals. Der in dieser Arbeit verwendete Mikrocontroller Texas Instruments TMS320F28379DPTPS stellt hardwareseitige HRPWM-Kanäle zur Verfügung, mit denen eine maximale Zeitauflösung von etwa 140 ps [34] durch sog. Micro-Edge-Position-Schritte erreicht werden kann. Folgende Aspekte werden bei der PWM-Code-Generierung berücksichtigt, nachfolgend jedoch nicht näher behandelt, da nicht Kernthema dieser Arbeit:

- Die fortlaufende softwareseitige Temperaturkompensation der Micro-Edge-Position. Es wird vermutet, dass die zeitlich hochaufgelöste Verzögerung steigender sowie fallender Flanken mittels Gatterlaufzeiten erreicht wird, welche einem Temperaturdrift unterliegen.
- Controllerseitige Einschränkungen hinsichtlich eines minimalen Tastverhältnisses bei aktivierter HRPWM sowie dem gleichzeitigen Einsatz von COMPARE HR und PHASE

- Triggersynchrone Registerzugriffe im Sinne einer Modifikation von Totzeiten im laufenden Betrieb, per Hand oder als Regelschleife

Das in Abb. A.7 gezeigte MATLAB-Simulink Modell verwendet die in Abb. 4.10 definierte, physikalische Zeitgrößennotation als Eingabewerte für eine HRPWM-Modulsteuerung und kombiniert diese mit den in Tab. 4.1 gemessenen Gatesignal-Zeitkonstanten $\tau_{PU/PD,HS/LS}^p$. Vorteilhaft ist die leichte Adaptierbarkeit direkt am Oszilloskop ablesbarer und vergleichbarer Werte anstatt verkonditionierter Registereinträge im C-Code des Controllers. Darüber hinaus kann das vollständige Modellverhalten simulativ validiert werden, bevor der Code tatsächlich auf die Hardware übertragen wird, um somit potentiell unerwünschte Betriebszustände frühzeitig erkennen zu können. Ein weiteres Feature ist eine Sweep-Funktion von beliebigen Parametern, um bestimmte Betriebszustände zeitgesteuert herbeiführen zu können. Insbesondere dient dies einem definierten Anfahren totzeitabhängiger Betriebspunkte für eine spätere kalorimetrische Verlustleistungsbestimmung.

4.3 Fazit zu Konzept und Inbetriebnahme

Die in diesem Kapitel beschriebene Auslegung einer leistungselektronischen GaN-Halbbrücke als Kernelement einer PFC-Stufe im automobilen Hochvoltspeicher-Ladegerät erfüllt alle Voraussetzungen hinsichtlich der Validierung simulativ gewonnener Ergebnisse.

Es ist eine PFC-Topologie in diskreter Vollbrückenkonfiguration eingeführt, welche in ihrer Konfiguration über eine geeignete Ansteuerung via Treiberstufe und Controller zur Darstellung simulativ bestimmter Betriebsbedingungen und Verlustleistungen führt. Die postulierte ZVS-Detektorschaltung ist hardwareseitig gemäß Kap. 3 zur Bestätigung ihrer korrekten Funktionsweise verortet. Die thermische Anbindung zur Observation von Halbbrückenverlustleistungen ist definiert, ebenso die verwendeten Betriebsmittel für die folgende messtechnische Auswertung. Die entwickelte Software zur geeigneten Steuerpegelgeneration sowie das Verfahren zur Inbetriebnahme der Topologie sind in ihren Grundzügen erläutert.

Kapitel 5

Messtechnische Verifikation und Auswertung

Dieses Kapitel dokumentiert die messtechnisch gewonnenen Ergebnisse der in dieser Arbeit behandelten leistungselektronischen Topologie und diskutiert deren Übereinstimmung mit in Kap. 3 simulativ prognostizierten Werten. Hierzu werden folgende Aspekte behandelt:

- Die Boost-PFC-Stufe als Teil eines automobilen Hochvoltspeicher-Ladegeräts in GaN-Ausführung arbeitet im Lastbetrieb elektrisch und thermisch stabil bis 3.7 kW Ausgangsleistung.
- Die per kalorimetrischem Messaufbau gewonnenen Schaltverlustleistungen der GaN-Halbbrücke über den in dieser Arbeit betrachteten Betriebsbereich werden mit simulativ gewonnenen Daten zu Schaltverlustenergien verglichen, um Zulässigkeit und Genauigkeit der zugrunde liegenden Modellansätze zu bestätigen.
- Zur Verifikation der postulierten ZVS-Detektorschaltung sowie ihres zugrunde liegenden Funktionsmechanismus werden gemessene ZVS-Signalwerte mit simulativ gewonnenen Daten abgeglichen.

5.1 Lastbetrieb der PFC-Stufe

Die PFC-Stufe wird gemäß Kap. 4 in Betrieb genommen. Es sollen drei unterschiedliche Arbeitspunkte angefahren werden:

1. Der Duty Cycle beträgt 0.5, die DC-Spannung am Eingang wird schrittweise von 0 V auf 100 V erhöht, die Spannung am Ausgang

bei etwa 200 V auf eine resistive Last $<20\ \Omega$ für einen Laststrom $>10\ \text{A}$ gelegt.

Dies dient dazu, die PFC-Stufe bei erhöhtem Kommutierungsstrom vorrangig einem thermischen Stresstest zu unterziehen. Halbleiterphysikalische parasitäre Mechanismen, erhöhte CMTI-Festigkeit sowie Isolationsfehler des thermischen Aufbaus werden durch eine begrenzte Zwischenkreisspannung vorerst vermieden.

2. Der Duty Cycle beträgt 0.5, die DC-Spannung am Eingang wird schrittweise von 0 V auf 200 V erhöht, die Spannung am Ausgang bei etwa 400 V auf eine resistive Last $>40\ \Omega$ für einen Laststrom $<10\ \text{A}$ gelegt.

Obenstehende, vorrangig bei erhöhter Zwischenkreisspannung auftretende Effekte können beobachtet bzw. ausgeschlossen werden, umgekehrt ist die thermische Belastung der Halbbrücke vorerst begrenzt.

3. Bei einem Duty Cycle von 0.5 und einer DC-Eingangsspannung von 200 V bzw. -Ausgangsspannung von 400 V setzt die PFC-Stufe an einer resistiven Last von etwa $43\ \Omega$ ihre Sollleistung von 3.7 kW um und arbeitet thermisch sowie elektrisch stabil.

Die zeitliche Abfolge der angefahrenen Arbeitspunkte ist demnach von Bedeutung. Folgende elektrische bzw. thermische Messgrößen werden observiert:

- Eingangs- und Ausgangsströme sowie -Spannungen der PFC-Stufe per Readout von elektrischer Quelle und Senke, da an dieser Stelle nur qualitativ relevant (vgl. kalorimetrische Verlustleistung)
- Die explizit an der Halbbrücke vorherrschende Zwischenkreisspannung per passiver Probe
- HRPWM-Logiksignale des Controllers per passiver Probe
- Die LS-Gatespannung am physikalischen Gatekontakt des GaN-Transistors per passiver Probe
- Die Oberflächentemperatur des thermischen Pads beider GaN-Transistoren per auf den Oberflächenemissionsgrad angepasster Thermokamera (vgl. Ab 5.1 und 5.2). Die Anvisierung erfolgt seitlich auf partiell freigelegte Thermopads beider Transistoren.

- Die Oberflächentemperatur des Halbbrücken-Kühlkörpers per PT-100 Sensor
- Die Oberflächentemperatur der PFC-Drossel per PT-100 Sensor
- Die Umgebungstemperatur per PT-100 Sensor

Es lassen sich folgende Beobachtungen und Schlussfolgerungen feststellen:

1. Die thermische Belastung durch hohe Kommutierungsströme führt zu einer verträglichen Erhöhung der HEMT-Oberflächentemperatur auf 60°C bis 90°C bei einer Umgebungstemperatur von 22°C und erzwungener Konvektionskühlung der Halbbrücke, vgl. hierzu Abb. 5.1. Da im thermischen Ersatzschaltbild die Übergangswiderstände von Halbleiter zu Kupferstempel dominieren, darf angenommen werden, dass bei Wasserkühlung ähnliche Werte gelten. Die PFC-Stufe kann bis zu einer Ausgangsleistung von 500 W ohne jegliche Kühlung lediglich per Wärmeabfuhr auf dem PCB betrieben werden.
2. Der leistungsreduzierte Betrieb bei voller Zwischenkreisspannung von 400 V führt zu erheblichen Gleichtaktstörungen auf der Logikseite, welche von den eingesetzten, galvanisch trennenden DC-DC-Wandlern zur Versorgung der Gatetreiber nicht toleriert werden. Ausgefallene Spannungsversorgungen dieser Komponenten können zu undefinierten Betriebszuständen führen. Abhilfe schaffen im Sekundärkreis platzierte Gleichtaktdrosseln direkt am DC-DC-Wandler. Der Betriebspunkt kann trotz derartiger Peripheriefehler erreicht werden. Mechanische Ermüdung des thermisch leitfähigen Gappads oberhalb der GaN-Transistoren muss durch sorgfältige Montage ausgeschlossen werden, da es ansonsten zu Isolationsfehlern der Halbbrücke kommen kann.
3. Der Betriebspunkt bei Sollleistung kann aufgrund der in Punkt 2 geschilderten Probleme spannungsbedingt nicht vollständig erreicht werden. Maximale Ausgangsleistungen betragen bei geringfügig reduzierter Zwischenkreisspannung von 350 V etwa 3 kW, beobachtet über einen Zeitraum von 30 min Dauerbetrieb, vgl. Abb.5.2. Auf ein Redesign der Gateperipherie zur Bestätigung des Vollastbetriebs bei 3.7 kW Ausgangsleistung wurde verzichtet.

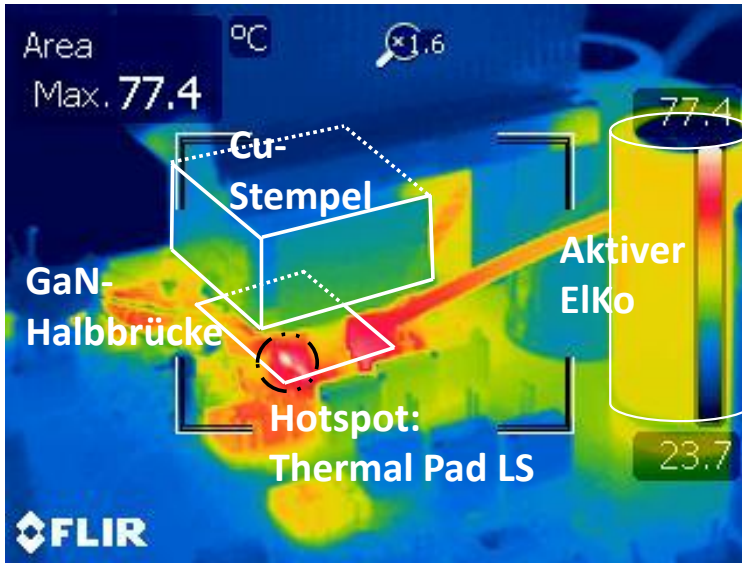


ABBILDUNG 5.1: Thermografie der Halbrücke unter Dauerlastbetrieb bei 250 V Zwischenkreisspannung und 1,5k W Leistung

5.2 Kalorimetrische Messung von Schaltverlusten

5.2.1 Methodisches Vorgehen

Die messtechnische Identifikation elektrischer Verluste der aktiven PFC-Halbrücke erfordert nach Abb. 5.3 nachfolgende Abweichungen zu oben genannter Messkonfiguration:

- Die erzwungene Konvektion eines Aluminium-Rippenkühlkörpers mit Gebläse wird demontiert, sodass der Kupferstempel als flächiger thermischer Anbindungspunkt dient. Ein PT-100 Temperatursensor sowie ein Eichwiderstand sind direkt thermisch verbunden und erlauben eine später beschriebene Kalibrierung der thermischen Impedanz der Messanordnung.

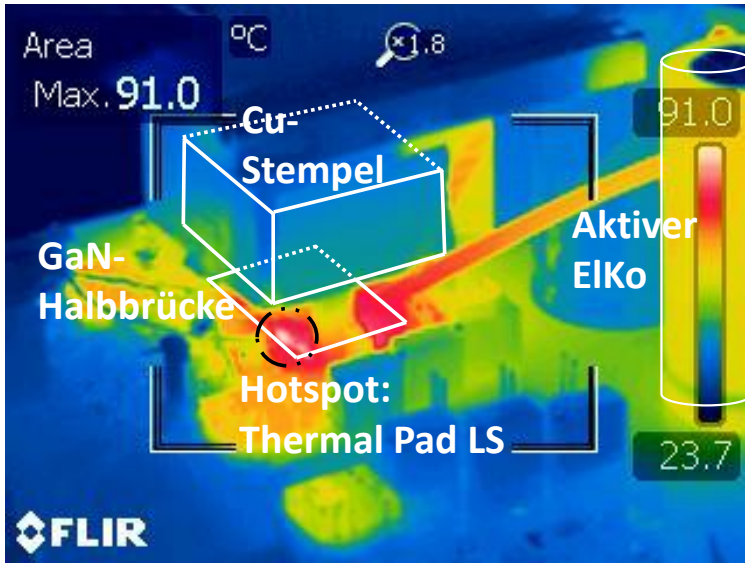


ABBILDUNG 5.2: Thermografie der Halbrücke unter Dauerlastbetrieb bei 350 V Zwischenkreisspannung und 3 kW Leistung

- Eine Aluminiumplatte wird per Wasserkühlung auf definierter Temperatur gehalten und per PT-100 Temperatursensor überwacht.
- Die thermische Anbindung der wassergekühlten Aluminiumplatte an den Kupferstempel der Halbrücke erfolgt über eine per thermisch leitfähigem Kleber montierte Kupferplatte.

Durch diesen Aufbau wird erreicht, dass der thermische Spannungsfall, also die überwachte Temperaturdifferenz zwischen Kupferstempel und wassergekühlter Aluminiumplatte, in guter Näherung dem eingepprägtem Wärmestrom entspricht. Notwendigerweise vorhandene Konvektions- und Strahlungsverluste des Messaufbaus an die Umgebungsluft werden nicht über die Kupferplatte wärmegeleitet. Aufgrund der nachfolgend beschriebenen Kalibrierung bei quasi temperaturkonstanter Umgebungsluft werden derartige Messabweichungen vernachlässigt.

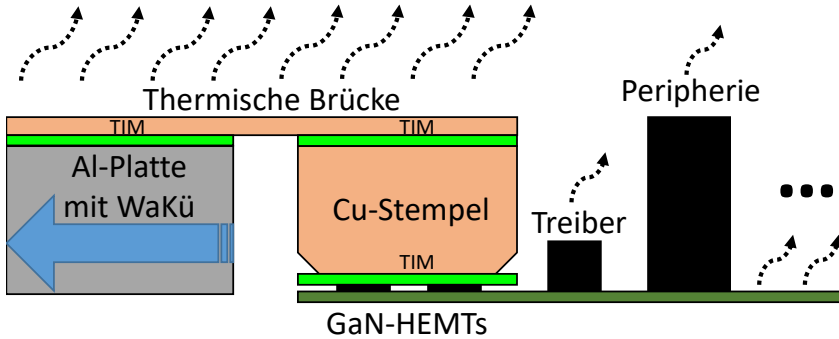


ABBILDUNG 5.3: Aufbauschema der kalorimetrischen Messung von Verlustenergien der vorgestellten Halbbrücke

5.2.2 Kalorimetrische Kalibrierung

Die vom Kupferstempel ausgehende Wärmeleistung lässt sich folgendermaßen erfassen:

$$P_{\text{LOSS}} = R_T \cdot \Delta T$$

Der Wärmeübergangswiderstand ist messtechnisch zu bestimmen. Hierzu wird ein keramikvergossener Eichwiderstand per thermisch leitfähigem Kleber an den Kupferstempel angebunden. Mittels geeigneter, geeichter Strom- und Vierpunkt-Spannungsmessung wird ein bekannter Wärmestrom in den Kupferstempel eingepreßt, die Wasserkühlung eingeschaltet und unter Berücksichtigung der thermischen Zeitkonstante des Aufbaus der thermische Spannungsfall im sich einstellenden Gleichgewicht überwacht. Die direkte Platzierung des Eichwiderstandes am Kupferstempel erlaubt weiterhin, dass der gemessene thermische Widerstand auch die verteilte Wärmeabfuhr über dem PCB berücksichtigt. Dabei ist zu beachten, dass das gesamte Setup inklusive externer Peripherie und Kabel nicht mehr geändert werden darf, da ansonsten die Kalibrierung ihre Gültigkeit verliert. Da die PFC-Stufe konstruktiv keine thermische Isolation der Halbbrücke vorsehen kann und diese sich im Dauerbetrieb befindet, ist davon auszugehen, dass zu eigentlichen Halbbrückenschaltverlusten weitere sekundäre Wärmequellen in Halbbrücke und PCB zum thermischen Spannungsabfall beitragen und diese daher abgezogen werden müssen. Hieraus ergibt sich die Notwendigkeit, Verlustleistung und thermischen Übergangswiderstand relevanter Sekundärwärmequellen

zu charakterisieren. Folgende Aspekte und Komponenten werden berücksichtigt:

1. Treiberverluste der Gateansteuerung inklusive Spannungsversorgung
2. Peripherieverluste von Controllerlogik inklusive Spannungsversorgung
3. Verluste sämtlicher Zwischenkreiskondensatoren der Halbbrücke
4. Leitverluste der Halbbrücke

Die Charakterisierung unterscheidet sich aufgrund von Betriebspunkt-abhängigkeiten grundlegend.

Gatetreiber und Controllerperipherie

Es kann in guter Näherung angenommen werden, dass die eingepprägten Verlustleistungen der Komponenten von Punkt 1 und 2 unabhängig vom topologischen Betriebspunkt der PFC-Stufe sind. Abgesehen vom Gatetreiber sind sämtliche Komponenten bezüglich ihrer Momentanverlustleistung als vollkommen isoliert vom Schaltzustand der Halbbrücke zu betrachten, die Verluste des Treibers selbst sind bei gegebenen Leistungstransistoren vorrangig von der bei Inbetriebnahme festgelegten Schaltfrequenz der Halbbrücke abhängig. Es ist nachfolgend nicht beabsichtigt, diese im Rahmen der kalorimetrischen Verlustleistungsbestimmung zu variieren. Es wird daher nachfolgend vereinfacht angenommen, dass in den in diesem Abschnitt betrachteten Komponenten die logikseitig auf 12 V bezogene Eingangsleistung einer zeitinvariant und gemittelt konstant generierten Verlustleistung entspricht, sodass diese wie oben beschrieben messtechnisch erfasst werden kann. Die Bestimmung des geltenden Wärmeübergangswiderstandes geschieht nachfolgend, indem weitere resistive Wärmequellen via definierter Eichwiderstände an den Komponenten entsprechenden Stellen auf dem PCB verortet und definiert mit elektrischer Leistung beaufschlagt werden. Der sich ergebende Quotient aus elektrisch emittierter und am bereits geeichten Wärmeübergangswiderstand thermisch detektierter Wärmeleistung wird in nachfolgenden Auswertungen berücksichtigt.

Zwischenkreiskondensatoren

Während der Wärmeübergangswiderstandsquotient analog obigen Ausführungen vermessen werden kann, gestaltet sich die betriebspunktabhängig generierte Verlustleistung der Komponenten aus Punkt 3 deutlich komplexer. Der Ansatz in dieser Arbeit sieht vor, mittels geeigneter elektrischer Simulationsmodelle eine Abschätzung der Stromaufteilung des kommutierten Laststroms auf die jeweiligen Kondensatoren vorzunehmen, da dessen nichtinvasive messtechnische Erfassung erhebliche technische Herausforderungen birgt. Folgende Größen sind bekannt bzw. ermittelt:

- Die Zwischenkreisspannung der Kondensatoren
- Der Kommutierungsstromverlauf des HS-Transistors in den Zwischenkreis als Dreiecknäherung mit Anfangs- und Endwert über Duty-Cycle multipliziert mit Schaltperiode. Diese Stromwerte können direkt messtechnisch an der PFC-Drossel erfasst werden.
- Der Effektivwert des PFC-Drosselstroms als messtechnisch zu erfassender Wert
- RLC-Ersatzschaltbildmodelle der jeweiligen Kondensatortechnologien, je nach Hersteller als Funktion von Spannung und Frequenz

Ein entsprechend bedatetes SPICE-Ersatzschaltbildmodell liefert pro Kondensator die Strombelastung im Zeitbereich sowie per Zeitintegral über den bauartbedingten Serienwiderstand eine mittlere Verlustleistung.

Leitverluste

Die Bestimmung anteiliger Leitverluste der Halbbrücke erfolgt unter Berücksichtigung kalorimetrisch plausibilisierten Leitkanalverhaltens im durchgeschalteten Zustand unter Bezugnahme auf simulative VERILOG-Ergebnisse. Anhand der in Kap. 3 getroffenen Definition von Schalt- und Leitphase des Transistors liegen über die bekannten PWM-Pulsmuster sämtliche erforderlichen Daten für eine Zeitintegration vor. Der Fokus dieser Arbeit liegt auf betriebspunktabhängigem, transientem Schaltverhalten, eine Aufarbeitung und Diskussion von Leitverhalten in Simulation und Messung wird an dieser Stelle nicht durchgeführt.

5.2.3 Messdurchführung

Nachfolgend in Tab. 5.1 und 5.2 sowie Abb. 5.4 beschriebene elektrische bzw. thermische Konfiguration findet Anwendung. Kennzeichnet sind insbesondere die oben erwähnten Wärmequellen $I_{Per}, I_{Gate}, I_{GaN-HB}$, die Wärmesenken T_{Amb} und T_{Wak} für Umgebung und Wasserkühlung, sowie entsprechende thermische Pfade via $R_{T,\dots}$. Die Schaltfrequenz ist mit 200 kHz vergleichsweise hoch, um den Kommutierungsvorgängen einen signifikanten Anteil an den gesamthaft anfallenden Verlusten zu ermöglichen und damit eine deutliche Verschiebung über beschriebene Stromarbeitspunkte zu erhalten. Diese werden über geeignete Modifikation der resistiven Lastkennlinie erreicht. Die beschriebene thermische Zeitkonstante des Messaufbaus wurde empirisch ermittelt und bei jeder Messung berücksichtigt. Die sich einstellende thermische Differenz wird händisch festgehalten und per Python-Script aufbereitet.

Bezeichnung	(Mess-)Größe	Einheit	Wert
Wärmeübergangswiderstand Halbbrücke zu wassergekühlter Aluminiumplatte	$R_{T,HB}$ $= \frac{R_{T,HB,m} \cdot R_{T,HB,s}}{R_{T,HB,m} + R_{T,HB,s}}$	[K/W]	0.801
Wärmeübergangswiderstandsquotient Zwischenkreiskondensator 1	$\frac{R_{T,MLCC1,m} + R_{T,HB}}{R_{T,MLCC1,s}}$	N/A	0.513
Wärmeübergangswiderstandsquotient Zwischenkreiskondensator 2	$\frac{R_{T,MLCC2,m} + R_{T,HB}}{R_{T,MLCC2,s}}$	N/A	0.513
Wärmeübergangswiderstandsquotient Zwischenkreiskondensator 3	$\frac{R_{T,ELYT,m} + R_{T,HB}}{R_{T,ELYT,s}}$	N/A	1.631
Wärmeübergangswiderstandsquotient Gatekreis	$\frac{R_{T,GATE,m} + R_{T,HB}}{R_{T,GATE,s}}$	N/A	3.167
Wärmeübergangswiderstandsquotient Peripherie	$\frac{R_{T,Per,m} + R_{T,HB}}{R_{T,Per,s}}$	N/A	19
Wasserkühltemperatur	$T_{WaKü}$	[°C]	22
Umgebungslufttemperatur	T_{Amb}	[°C]	22
Kalibrierleistung	P_{Cal}	[W]	15
Thermische Messzeitkonstante	$5 \cdot \tau_T$	[s]	600

TABELLE 5.1: Thermische Größen der Kalorimetrie

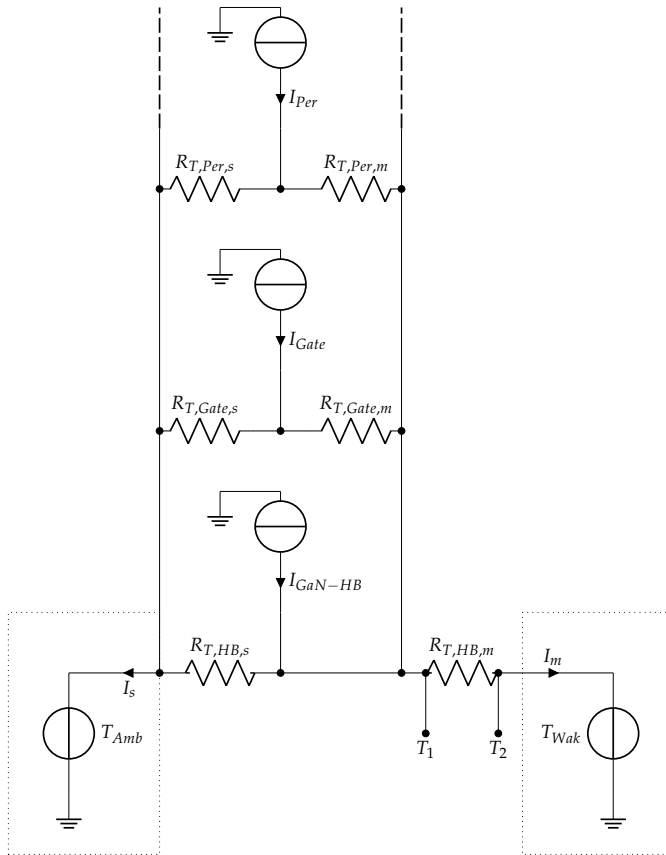


ABBILDUNG 5.4: Thermisches Ersatzschaltbild der kalorimetrischen Messung (thermische Kapazitäten nicht abgebildet)

Bezeichnung	(Mess-)Größe	Einheit	Wert
Kommutierungsströme Arbeitspunkt 1	$I_{HS,on}/I_{HS,off}$	[A]	8.59, 6.37
Kommutierungsströme Arbeitspunkt 2	$I_{HS,on}/I_{HS,off}$	[A]	11.75, 8.28
Kommutierungsströme Arbeitspunkt 3	$I_{HS,on}/I_{HS,off}$	[A]	14.97, 12.82
Zwischenkreisspannung Arbeitspunkt 1-3	U_{DCL}	[V]	200
RLC-ESB Zwischenkreis- kondensator 1	$C_{MLCC1},$ $L_{C,MLCC1}, R_{C,MLCC1}$	[pF],[pH],[mΩ]	470, 584, 70
RLC-ESB Zwischenkreis- kondensator 2	$C_{MLCC2},$ $L_{C,MLCC2}, R_{C,MLCC2}$	[uF],[nH],[mΩ]	1, 2.5, 100
RLC-ESB Zwischenkreis- kondensator 3	$C_{ELYT},$ $L_{C,ELYT}, R_{C,ELYT}$	[uF],[nH],[Ω]	220, 15, 1.21
Totzeiten 1	τ_{D1}	[ns]	[5,10,...,100], [100,120,...,160]
Totzeit 2	τ_{D2}	[ns]	35
Schaltfrequenz Halbbrücke 2	f_{SW}	[kHz]	200
Duty-Cycle	$DUTY$	N/A	0.5

TABELLE 5.2: Elektrische Größen der Kalorimetrie

Die Diskussion der gewonnenen Ergebnisse wird im nachfolgenden Abschnitt vorgenommen.

5.3 Messtechnische Verifikation der ZVS-Detektorschaltung

Die PWM-Pulsmuster der ZVS-Detektorschaltung werden gemäß der vorhergehend beschriebenen Laufzeitkompensation generiert und die sich einstellende ZVS-Spannung zeitgleich mit der kalorimetrischen Verlustmessung aufgezeichnet, um eine direkte Korrelation beizubehalten. Das Signal selbst wird nicht im Controller-ADC, sondern per passivem Tastkopf im Oszilloskop aufgezeichnet und verarbeitet. Der finale Wert entspricht dem statistischen Mittelwert aus Tausend Messzyklen zur Kompensation geringfügiger Störeinkoppelungen des springenden Schaltknotenpotentials. Er wird automatisiert abgespeichert, das sich ergebende Messprotokoll wird per Python-Script aufbereitet. Die Diskussion der gewonnenen Ergebnisse im nachfolgenden Abschnitt vorgenommen.

5.4 Ergebnisdiskussion

5.4.1 Annahmen und Gültigkeit der Daten

Für die untenstehend vorgenommene quantitative Betrachtung der simulierten und gemessenen Daten gelten folgende Annahmen:

- Sämtliche elektrischen Konfigurationen und (Mess-)Prozeduren der realen PFC-Stufe entsprechen denen in Kap. 4 ohne Änderungen. Dies betrifft insbesondere Gatekreisdimensionierung, Pull-Up/-Down-Spannungen und -Widerstände, Laufzeitkompensationen etc. Für simulierte Daten werden für beide Simulationsumgebungen einmalig nach bekanntem Schema definierte, differentielle Laufzeitkompensationen errechnet und nachfolgend verwendet, diese betragen:

$$- \text{SPICE: } |\tau_{HS,PD}^p - \tau_{LS,PU}^p| = 12.4 \text{ ns}$$

$$- \text{VERILOG: } |\tau_{HS,PD}^p - \tau_{LS,PU}^p| = 5.5 \text{ ns}$$

- Die PFC-Stufe befindet sich im Dauertaktbetrieb gemäß Arbeitspunkten in Kap. 4. Eine Schalttransition ist demnach resonant, die andere hart. Da insbesondere für τ_{D1} eine dominante Abhängigkeit besteht und die ZVS-Detektion ebendiese überwacht, wird alleinig τ_{D1} variiert, τ_{D2} bleibt konstant. Über beschriebene PWM-Maßnahmen ist sichergestellt, dass es zu keiner Arbeitspunktverschiebung kommt. Kalorimetrische Halbbrückenverluste sind zeitlicher Periodenmittelwert.
- Der nach Kap. 4 beschriebene und auf Schaltverlustenergien kalibrierte kalorimetrische Messaufbau findet Anwendung. In dieser Arbeit liegt der Fokus auf den Schaltverlusten, sodass anfallende Leitverluste subtrahiert werden.
- Alle Simulationsergebnisse entsprechen mit der in Kap. 3 vorgestellten Konfiguration im Rahmen der verwendeten Modellgenauigkeit der in natura vermessenen Halbbrücke. Während der kalorimetrischen Messung auftretende Chiptemperaturen liegen bei 60-90°C Gehäuseoberflächentemperatur, da die thermische Messbrücke einen beabsichtigt erhöhten thermischen Übergangswiderstand zur Observation von Wärmeströmen bieten muss. Gemessene Verlustleistungen sollten grundsätzlich mit

Simulationsergebnissen am sich ergebenden thermischen Arbeitspunkt verglichen werden. Beide Modelle, SPICE und VERILOG, unterstützen temperaturabhängiges Verhalten, insbesondere des Leitkanals. Jedoch wurden für VERILOG Konvergenzprobleme bei erhöhten Chiptemperaturen festgestellt, weshalb eine simulative Charakterisierung auf 300 K beschränkt ist. Folgende Umstände erlauben dennoch belastbare Vergleiche:

- Temperaturabhängiges Leitkanalverhalten setzt sich in SPICE und VERILOG maßgeblich aus veränderlichen ohmschen Verlustanteilen im Leitkanalpfad zusammen, insbesondere aufgrund erhöhter Phononenstreuung im Halbleiterkristall. Es wird gefolgert, dass vorrangig Leitverluste im durchgeschalteten Zustand eine verlustrelevante Temperatursensibilität aufweisen. Diese sind per Definition in nachfolgenden Untersuchungen durch am Temperaturarbeitspunkt plausibilisierte $R_{DS,ON}$ -Werte exkludiert. Temperaturveränderliche Gateeinsatzspannungen werden dabei vernachlässigt und können zu konstant verschobenen Totzeitwerten führen.
 - SPICE-Simulationen wurden im Sinne einer Vergleichbarkeit mit VERILOG ebenfalls nicht an den realen thermischen Arbeitspunkt angepasst.
- Die in Kap. 3 vorgestellte Definition der Schaltverlustenergie wird unverändert beibehalten, sodass einheitliche Integrationsgrenzen für Simulation und Messung gelten können.

5.4.2 Vergleich Simulationen vs. Messung

In Abb. 5.5 und detailliert in Abb. 5.6 dargestellte Kurvenverläufe, für alle drei definierten Arbeitspunkte über die relevante Totzeit T_{D1} aufgetragen, illustrieren im zeitlichen Periodenmittel der Halbbrücke:

- Kalorimetrisch erfasste Schaltverlustenergien
- Mittels SPICE generierte Schaltverlustenergien
- Mittels VERILOG generierte Schaltverlustenergien
- Messtechnisch erfasste ZVS-Signalwerte zu korrespondierenden Transitionen

Laststromabhängigkeit der Schaltverlustenergien

Zur Gegenüberstellung der Kommutierungsstromabhängigkeit in Tab. 5.3 werden für Messung und Simulationsmodelle jeweils Schaltverlustenergien an allen drei Arbeitspunkten für zwei definierte Totzeitwerte $\tau_{D1}=30\text{ ns}$ (klein) und $\tau_{D1}=100\text{ ns}$ (groß) herangezogen. Daraus ergeben sich jeweilige relative Fehlerangaben für Simulationsergebnisse.

Totzeit [ns] / Arbeitspunkt	Verlustenergie Messung [uJ]	Verlustenergie VERILOG [uJ]	Verlustenergie SPICE [uJ]	rel. Fehler [%] VERILOG	rel. Fehler [%] SPICE
30 / 1	20.77	20.76	26.68	-0.05	28.45
30 / 2	22.05	22.61	28.39	2.54	28.75
30 / 3	29.50	27.00	40.19	-8.47	36.24
100 / 1	22.60	22.31	28.85	-1.28	27.65
100 / 2	24.52	24.73	31.46	0.86	28.30
100 / 3	32.15	29.74	44.47	-7.50	38.32

TABELLE 5.3: Fehlerdiskussion der Kommutierungsstromabhängigkeit von Schaltverlustenergien

Sowohl kalorimetrisch aufgezeichnete, als auch simulierte Verlustleistungen weisen eine Abhängigkeit von kommutierten Lastströmen auf, dies gilt sowohl für kleine, als auch große Totzeiten τ_{D1} im resonanten Schaltfall. Während VERILOG-Simulationsergebnisse übereinstimmende Werte mit Tendenz zu kleineren Schaltverlusten bei höheren Kommutierungsströmen aufweisen, liegen SPICE-Werte in allen Fällen konstant etwa 15% zu hoch. Dies deckt sich mit den Beobachtungen aus Kap. 3.

Totzeitabhängigkeit der Schaltverlustenergien

Um die Totzeitabhängigkeit in Tab. 5.4 bewerten zu können, werden Gesamtverlustenergien für alle drei Arbeitspunkte im Totzeitbereich $\tau_{D1}=[20,110]\text{ ns}$ per Root-Mean-Squared-(RMS)-Fehler verglichen. Als Referenz dienen kalorimetrische Messwertverläufe.

$$E_{RMS} = \sqrt{\sum (E - E_0)} \quad (5.1)$$

Es ergeben sich erneut relative Fehlerbetrachtungen für jeweilige Simulationsergebnisse.

Arbeitspunkt	RMS-Fehler [u] VERILOG	RMS-Fehler [u] SPICE
1	0.33	5.86
2	0.39	6.38
3	2.46	11.48

TABELLE 5.4: Fehlerdiskussion der Totzeitabhängigkeit von Schaltverlustenergien (Fehlerquadrate)

Die Totzeitabhängigkeit wird von der VERILOG-Simulationsumgebung im Mittel übereinstimmend mit den Messergebnissen wiedergegeben. Für SPICE ergeben sich abweichende Schaltenergien, die jedoch hauptsächlich auf einen konstanten Offset zurückzuführen sind.

Deshalb werden in Tab. 5.5 Schaltverlustenergien für alle drei Arbeitspunkte per exponentiellem Anstiegsverhalten genähert beschrieben nach:

$$E_{LOSS}(\tau_{D1}) = c \cdot e^{b \cdot (\tau_{D1} - 30ns)} \quad (5.2)$$

Es ergeben sich erneut relative Fehlerbetrachtungen für Gleichungskoeffizienten jeweiliger Simulationsergebnisse.

Arbeitspunkt	E-Funktion Messung b [ns^{-1}] / c [u]	E-Funktion VERILOG b [ns^{-1}] / c [u]	E-Funktion SPICE b [ns^{-1}] / c [u]	rel. Fehler [%] VERILOG	rel. Fehler [%] SPICE
1	$0.81 \cdot 10^{-3}$ / 20.77	$0.63 \cdot 10^{-3}$ / 20.76	$0.85 \cdot 10^{-3}$ / 26.68	22.22 / -0.05	4.94 / 28.45
2	$0.83 \cdot 10^{-3}$ / 22.05	$0.66 \cdot 10^{-3}$ / 22.61	$0.89 \cdot 10^{-3}$ / 28.39	20.48 / 2.54	7.23 / 28.75
3	$0.54 \cdot 10^{-3}$ / 29.50	$0.58 \cdot 10^{-3}$ / 27.00	$0.75 \cdot 10^{-3}$ / 40.19	7.41 / -8.47	38.89 / 36.24

TABELLE 5.5: Fehlerdiskussion der Totzeitabhängigkeit von Schaltverlustenergien (Exponentielle Näherung)

Es lässt sich ableiten, dass abgesehen von oben gezeigtem Offset beide Simulationsumgebungen innerhalb dargestellter Fehlerbehauptungen in der Lage sind, einen Schaltverlustanstieg zu ermitteln. Simulativ bestimmte Schaltverluste aufgrund partiell aufgesteuerter Halbbrücken für τ_{D1} nahe Null lassen sich nur begrenzt messtechnisch verifizieren.

Die oben erwähnte Problematik störanfälliger Gatespannungsversorgung bleibt, insbesondere bei steiflankigem Übersprechen beider Halbbrückentransistoren, bestehen. Der mutwillig herbeigeführte, partielle Halbbrückenkurzschluss als für die kalorimetrische Verlustleistungsbestimmung erforderliche Dauerbetriebszustand ist daher in dieser Arbeit nicht umzusetzen. Die Messreihe wird deshalb bei beobachtbarem Verlustleistungsanstieg abgebrochen.

Totzeitlage minimaler Schaltverlustenergien

Zusätzlich zur allgemeinen Totzeitabhängigkeit spielt die exakte Lage schaltverlustminimaler Totzeiten τ_{D1} eine entscheidende Rolle. Deren Validierung erfolgt anhand Tab. 5.6 unter Einbezug absoluter Fehler beider Simulationsergebnisse zur Messung. Zur simulativen Bestimmung der Totzeitlage ist daher die SPICE-Simulationsumgebung als nicht geeignet anzunehmen.

Arbeitspunkt	Verlustmin. Totzeit [ns] Messung	Verlustmin. Totzeit [ns] VERILOG	Verlustmin. Totzeit [ns] SPICE	abs. Fehler [ns] VERILOG	abs. Fehler [ns] SPICE
1	27	26	[24,30]	-1	[-3,3]
2	27	24	[16,33]	-3	[-11,6]
3	[17,22]	22	[13,33]	[0,+5]	[-4,16]

TABELLE 5.6: Fehlerdiskussion der Totzeitlage minimaler Schaltverlustenergien

ZVS-Signallage

Zuletzt wird das ZVS-Signal hinsichtlich seiner relativen Lage zu diskutierten Totzeiten minimaler Schaltverlustenergien validiert, um die Aussagefähigkeit der postulierten Detektorschaltung zu belegen. Analog Kap. 3 wird in Tab. 5.7 zusätzlich zum Spannungsplateau noch der Zeitpunkt des ZVS-Signalanstiegs hinzugezogen.

Arbeitspunkt	Verlustmin. Totzeit [ns] Messung	ZVS-Signallage [ns] 1. Plateau	ZVS-Signallage [ns] Anstiegsbeginn
1	27	32	22
2	27	32	22
3	[17,22]	27	17

TABELLE 5.7: Auswertung der ZVS-Signallage

Aus den Messergebnissen lässt sich schlussfolgern, dass ein Erreichen der ZVS-Plateauspannung, wie in Kap. 3 simulativ charakterisiert, kein geeignetes Charakteristikum zur Detektion der schaltverlustminimalen ZVS-Bedingung darstellt. In Abweichung zur simulativ vorhergesagten Korrelation von ZVS-Detektorspannungsplateau und minimaler Schaltverlustenergie ergibt sich messtechnisch ein besserer Bezug zum jeweiligen ZVS-Signalanstieg. Diesem liegt ursächlich weiterhin die Abschattung am Steuergate via Rückladepfad über R_{PU} durch einen Induced Miller-Turn-off-Effekt zugrunde. Die Messergebnisse werden also dahingehend interpretiert, dass verlustminimierende Steuerimpulse bereits für kleinere Werte von τ_{D1} vorliegen als simulativ beschrieben und mit dem einsetzenden Ende der Miller-Abschattung der Treibers bereits optimale Schaltbedingungen vorliegen. Als Ursache für abweichendes simulatives Verhalten kommen in SPICE unzureichend modelliertes Leitkanalverhalten sowie kapazitive Parasitärbehaftung in Betracht.

5.4.3 Fazit zur messtechnischen Verifikation

- Kalorimetrie und Verlustleistungen:
 - Der beschriebene kalorimetrische Aufbau, der Kalibrierprozess sowie die Kompensation sekundärer Verlustleistungsquellen via simulativer bzw. messtechnischer Größen ist geeignet, arbeitspunkt- und totzeitabhängige Halbbrückenschaltverlustenergien zu messtechnisch identifizieren. Die aufgezeichneten Kurvenverläufe sind in sich physikalisch plausibel und in qualitativer Übereinstimmung mit simulativ gewonnenen Daten aus der SPICE- und VERILOG-Simulatorumgebung.
 - VERILOG-Simulationsmodelle sind geeignet, sämtliche in dieser Arbeit betrachteten, vorrangig parasitär bedingten, Verlustleistungseffekte quantitativ korrekt mit beschriebener Fehlerbehaftung abzubilden. Das in dieser Arbeit verwendete SPICE-Modell weist, abgesehen von der Totzeitabhängigkeit von Schaltverlustenergien, vergleichsweise deutlich erhöhte Abweichungen auf. Hinsichtlich seiner Vorhersagegenauigkeit ist daher das VERILOG-HEMT-Transistormodell vorzuziehen.

- ZVS-Detektorschaltung:
 - Die postulierte Funktionsweise der in dieser Arbeit simulativ konzeptionierten ZVS-Detektorschaltung kann messtechnisch grundsätzlich bestätigt werden. Es ergibt sich eine geringfügige Abweichung hinsichtlich des simulativ bestimmten ZVS-Signalkriteriums.
 - Sowohl SPICE als auch VERILOG-Simulationsmodelle sind bei korrekter Laufzeitkompensation prinzipiell zur prädiktiven Totzeitregelung geeignet. Das VERILOG-Modell weist eine bessere Übereinstimmung mit messtechnisch aufgezeichneten Schaltverlusten und ZVS-Signalen auf.

- Simulative Halbbrückenoptimierung:
 - Die messtechnische Bestätigung abweichender, sich aus simulativer Optimierung ergebender Halbbrückenkonfigurationen ist nicht Bestandteil dieser Arbeit. Anhand der bisher diskutierten Korrelation von Messergebnissen und VERILOG-Simulation dürfen deren Optimierungsergebnisse jedoch zuversichtlich interpretiert werden.

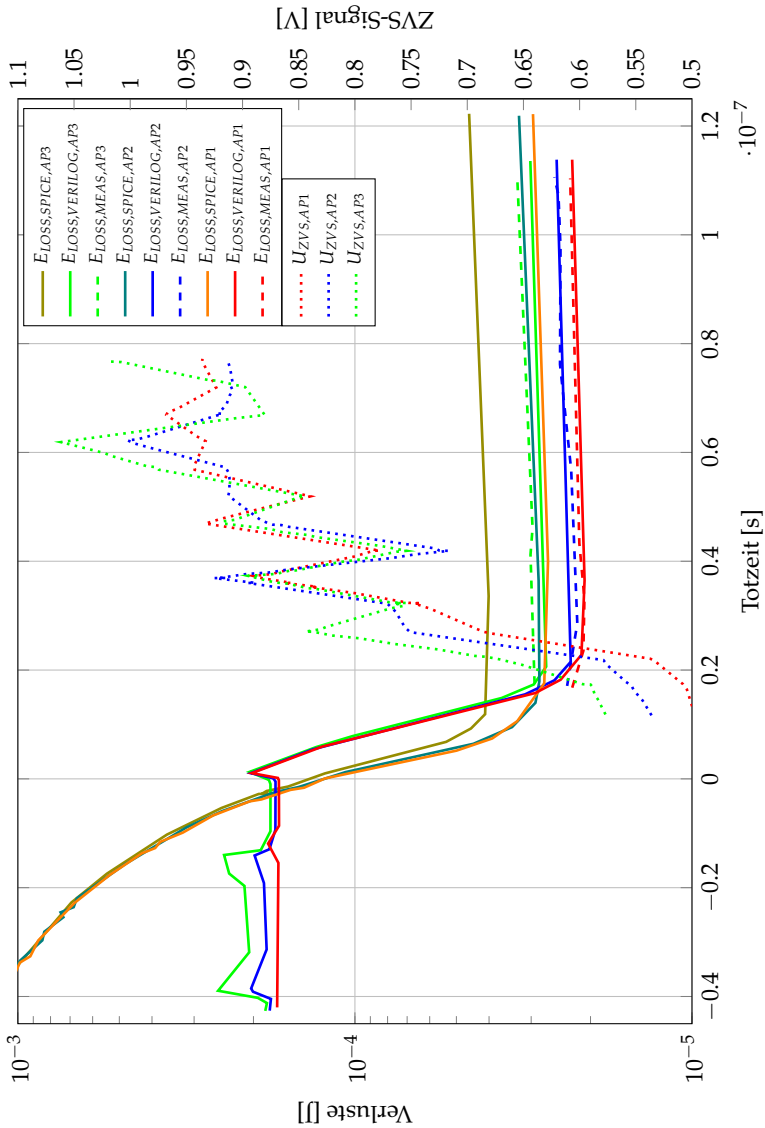


ABBILDUNG 5.5: Simulationsergebnisse vs. Messergebnisse - Gesamtansicht

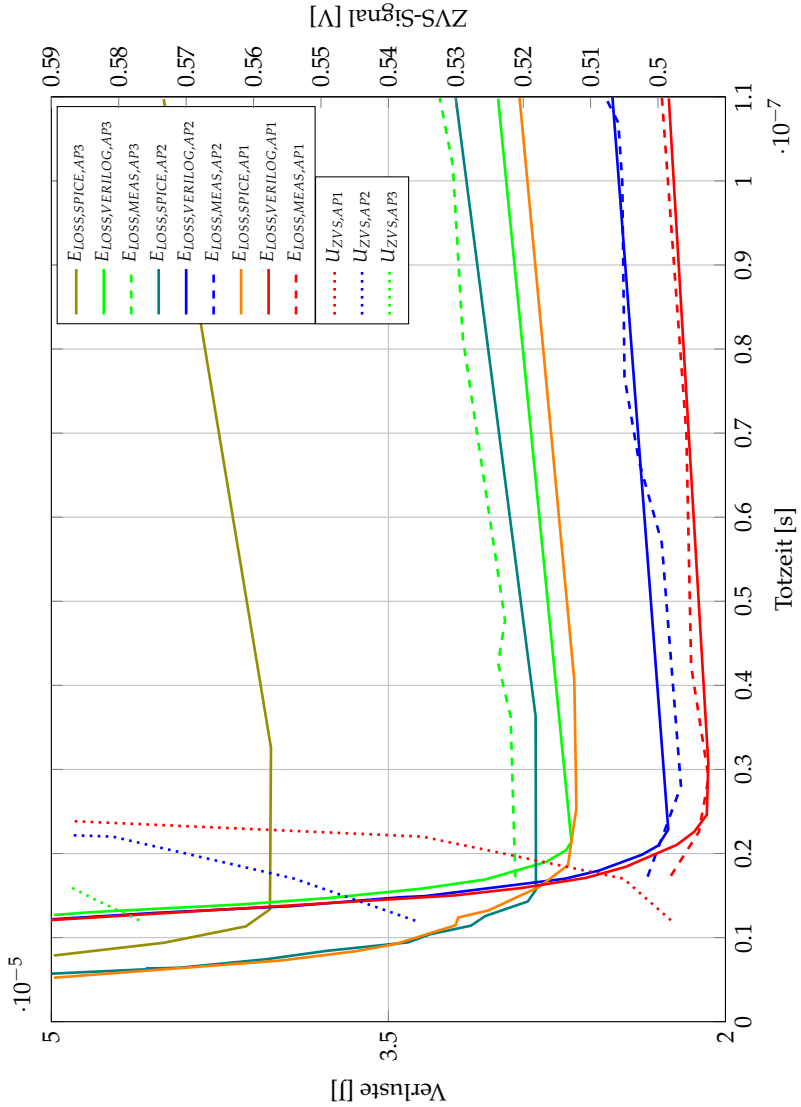


ABBILDUNG 5.6: Simulationsergebnisse vs. Messergebnisse - Detailansicht

Kapitel 6

Resümee und Ausblick

Es sollen nachfolgend einige zentrale Fragestellungen dieser Arbeit resümierend aufgegriffen und mit vorliegenden Erkenntnissen zusammenfassend beantwortet werden.

Inwiefern sind Simulationsmodelle geeignet, Zeit- und Verlustverhalten einer GaN-Halbbrücke vorherzusagen?

Der in dieser Arbeit vorgestellte simulative Aufbau einer leistungselektronischen Halbbrücke ist grundsätzlich geeignet, relevante Kommutierungsmechanismen elektrophysikalisch zu beschreiben. Eine nachgelagerte zeittransiente Simulation kann daher sämtliche relevanten ein- und ausgangsseitigen Betriebsparameter der Halbbrücke identifizieren und diese per Kennfelddaten oder numerischer Optimierung weiterer Untersuchung zugänglich machen. Insbesondere bei GaN ist die korrekte und exakte Behandlung parasitärer Effekte innerhalb des Transistors sowie auf Package- und PCB-Ebene von Bedeutung. Die in dieser Arbeit genutzte Implementierung des Transistors in der vorteilhaften physikalisch ausgerichteten VERILOG-Umgebung muss daher als neuer technologischer sowie industrieller Standard in Betracht gezogen werden. Neben deutlich erhöhter physikalischer Auflösung des Modells ergeben sich weitere Vorteile hinsichtlich der topologisch-anwendungsorientierten Optimierung von Transistor-Dies über Treiberstufe bis hin zur asymmetrischen Halbbrücke.

Welche Bedeutung spielt der ZVS-Betrieb einer GaN-Halbbrücke?

Obwohl der GaN-Transistor deutlich niedrigere Schaltverlustleistungen in Aussicht stellt, bleibt die harte Kommutierung bei signifikanten Lastströmen, insbesondere bei hohen Zwischenkreisspannungen von 400 V, maßgeblich effizienzbestimmender Betriebspunkt. Dies bedeutet,

dass hart schaltende Topologien zwar von einem Wechsel von Si-MOSFETs auf GaN-HEMTs profitieren können, der resonante ZVS-Betrieb jedoch weiterhin als verlustminimale Schaltbedingung gleichermaßen für GaN und Si Bestand hat. In dieser Arbeit wurde hierzu auf die Notwendigkeit zeitlich hochaufgelöster PWM-Signale hingewiesen und eine diskrete, bauteilminimale Hardwarelösung für eine technologie- und packageunabhängige Regelschleife präsentiert.

Ist GaN ein Enabler für leistungsdichteoptimierte Topologien und welche Aussagen sind auf topologischer Ebene zu treffen?

Simulative Erwartungen zu Schaltverlusten von GaN wurden in dieser Arbeit messtechnisch bestätigt. Den in der Literatur (bsp. [54]) zahlreich vertretenen Untersuchungen zur Effizienzüberlegenheit von GaN ist prinzipiell zuzustimmen. Es müssen jedoch stets sämtliche geltenden topologischen und technologischen Rahmenbedingungen berücksichtigt werden, um direkt anwendungsbezogene Aussagen treffen zu können. Für den in dieser Arbeit behandelten Hochvolt-Speicher-Lader ist dies nicht ohne nähere Untersuchung zumindest der induktiven Energiespeicher und PFC- und LLC-Stufe möglich. Der Autor plädiert dafür, zukünftige Aussagen zu Effizienz, EMV und weiterer Betriebscharakteristika sowohl für Si-Technologie, als auch für WBG-Halbleiter wie GaN und SiC, nicht zu pauschalisieren. Die Ausführungen dieser Arbeit sind deshalb als mögliche Basis für tiefergehende multiphysikalische Ansätze zu verstehen.

Welche weiterführenden technologischen Entwicklungen sind abzuleiten?

Auf simulativer Ebene sind jegliche Bestrebungen zur korrekten physikalisch basierten Charakterisierung und Effektquantifizierung von Halbleitern zu begrüßen. Dies betrifft sowohl die verwendeten Modellparametersets (.mps-Datei), als auch das VERILOG-Modell selbst. Weiterer leistungselektronischer Nutzen ist aus der geeigneten Bedatung und transienten Implementierung des in dieser Arbeit bislang deaktivierten zeitdynamischen Leitkanalverhaltens für GaN zu erwarten. Auch kann eine Parameterdegradation innerhalb des Halbleitermodells zukünftig der simulativen Lebensdaueruntersuchung dienen. Darüber hinaus ist die Entwicklung und Veröffentlichung eines VERILOG-ASM-äquivalenten SiC-Modells als weiterer Schritt hin zur

aus Sicht des Autors notwendigen industrieweiten Modellstandardisierung zu bewerten.

Auch die funktionale sowie integrative Weiterentwicklung der Gatetreiberstufe bis hin zur intelligenten und kommunikationsfähigen Halbbrücke ist zukunftsweisend. Während eine teil- oder vollmonolithische Verortung sämtliche Kommutierungspfade definiert und minimiert, kann darüber hinaus eine Strom-/Spannungsregelung der Schaltzeitpunkte die Controllerstufe entlasten und gleichzeitig deren kostenrelevante technische Anforderungen wie HRPWM entschärfen. CEM-Ansätze zur Extraktion geometriebedingter Parasitärbehauptungen von Kommutierungspfaden bis hin zur gesamten Topologie innerhalb des PCB erhöhen weiterhin die Vorhersagegenauigkeit transienter Halbleitersimulationen.

Die vollständige multiphysikalische Beschreibung sämtlicher relevanter leistungselektronischer Komponenten und deren Mechanismen ist deshalb nicht nur aus akademischer Sicht wertvoll. Auch industrielle Auslegungsprozesse können derart stark virtualisiert werden, sodass ein ressourcenintensiver Hardwareaufbau eines Prototypen nunmehr mit signifikant gesteigener technologischer Reife erfolgen und dabei ein hohes Maß an synergetischer Optimierung beinhalten kann.

Anhang A

Appendix

A.0.1 Toolinstallation und Systemanforderungen

Für die beschriebene komplexe Verkoppelung von XYCE, AMDS, Cygwin und Python wurden im Rahmen dieser Arbeit zahlreiche Routinen derart automatisiert, sodass von einer weitgehend eigenständigen Softwareinstallation auf beliebigen Windows- bzw. Linux-Rechnern ausgegangen werden kann. Die Distribution erfolgt als .zip-File und beinhaltet sämtliche zum Betrieb der Simulationsumgebung nötige Dateien, das Installations-Script selbst führt dabei folgende Schritte sequenziell aus:

- Initialisierung der toolinternen Pfadstruktur:
Die Installation erfolgt in einem definierten Arbeitsordner, benötigte Unterverzeichnisse werden mit erstellt und entsprechende Dateien auf den Rechner kopiert bzw. entpackt. Python und Cygwin werden auf Windows-Rechnern entsprechend installiert, um den vorgesehenen Softwarebetrieb zu ermöglichen, dazu benötigte und auf Kompatibilität getestete Packages werden offline mitinstalliert. Aktuelle, neu bezogene Updates können möglicherweise die Codeausführung behindern.
- Installation von XYCE und weiterer Tools via Cmake:
Programmdateien von XYCE und weiterer Tools werden entpackt und über Cmake in die (virtuelle) Linux-Umgebung eingespielt. In diesem Schritt wird das modifizierte ASM-HEMT Modell für den statischen Library-Import in XYCE syntaktisch vorbereitet, um verschiedene, nicht über Model Cards steuerbare Implementierungen des Transistors zu erhalten. Dies bezieht sich insbesondere auf Package-Parasitics sowie thermische Ersatzschaltbildmodelle.

```

dict_cir_timeint = [
  {
    'Struct': 'TIME_INTEGRATOR',
    'Name': '.OPTIONS',
    'Pkg': 'TIMEINT',
    'Method_name': 'METHOD=',
    'Method_attr': 'trap', #gear
    'Reltol_name': 'RELTOL=',
    'Reltol_attr': '1e-3',
    'Abstol_name': 'ABSTOL=',
    'Abstol_attr': '1e-6',
    'Nlsmallupdate_name': 'NLSMALLUPDATE=',
    'Nlsmallupdate_attr': '0',
    'Maxord_name': 'MAXORD=',
    'Maxord_attr': '1', #1
    'Minord_name': 'MINORD=',
    'Minord_attr': '1',
    'Newlte_name': 'NEWLTE=',
    'Newlte_attr': '0', #0
    'Newbpsstepping_name': 'NEWBPSTEPPING=',
    'Newbpsstepping_attr': '0',
    'Erroption_name': 'ERROPTION=',
    'Erroption_attr': '1', #1
    'Nlmin_name': 'NLMIN=',
    'Nlmin_attr': '3',
    'Nlmax_name': 'NLMAX=',
    'Nlmax_attr': '8',
    'Delmax_name': 'DELMAX=',
    'Delmax_attr': '75e-12', #1e-10
    'Mintimestepsbp_name': 'MINTIMESTEPSBP=',
    'Mintimestepsbp_attr': '1e1', #1e1
    'Timestepsreversal_name': 'TIMESTEPSREVERSAL=',
    'Timestepsreversal_attr': '0', #0
  }
]

dict_cir_nlsolve = [
  {
    'Struct': 'NONLINEAR_SOLVE',
    'Name': '.OPTIONS',
    'Pkg': 'NONLIN-TRAN', #nonlin, nonlin-tran, nonlin-HB
    'NOX_name': 'NOX=', # Use NOX nonlin solver
    'NOX_attr': '1', #NL 1, NL_TRAN 0
    'NLstrategy_name': 'NLSTRATEGY=', #0 newton, 1 gradient, 2 trust region
    'NLstrategy_attr': '2', #NL 0, NL_TRAN 0
    'Searchmethod_name': 'SEARCHMETHOD=', #0 full newton, 1 internal halving, 2 quadratic in
    'Searchmethod_attr': '0', #NL 0, NL_TRAN 0
    'Reltol_name': 'RELTOL=',
    'Reltol_attr': '1e-3', #1e-3
    'Abstol_name': 'ABSTOL=',
    'Abstol_attr': '1e-6', #1e-6
    'Deltaxtol_name': 'DELTA XTOL=',
    'Deltaxtol_attr': '5e-1', #0.33
    'Rhstol_name': 'RHSTOL=',
    'Rhstol_attr': '1e-2',
    'Maxstep_name': 'MAXSTEP=',
    'maxstep_attr': '20', #NL 200, NL_TRAN 20, e4
    'Maxsearchstep_name': 'MAXSEARCHSTEP=',
    'Maxsearchstep_attr': '2', #2 e6
  }
]

```

ABBILDUNG A.1: VERILOG-Solvereinstellungen für XYCE

- Einrichtung von Distributed Computing:
In Python wird die auf dem Installationsrechner zur Verfügung stehende Rechenleistung bewertet. Der Rechner kann nun im Systemverbund als primäre Workstation oder als Cloud-Rechenserver konfiguriert werden, in letzterem Falle meldet sich der Rechner im dedizierten Cloud-Verzeichnis an.

Für die simulative VERILOG-Untersuchung in dieser Arbeit wurde ein lokales Rechnernetzwerk bestehend aus drei Windows 10 Workstations errichtet, jeweils mit 2x Intel XEON E5 2640 à 10/20 physischen/logischen Kernen @2.6MHz und 32GB RAM. Insgesamt standen damit 120 Kerne zur Verfügung, welche im laufenden Betrieb eine durchschnittlichen Auslastung von größer 95 Prozent aufweisen konnten.

A.0.2 Modell- und Schaltschemata

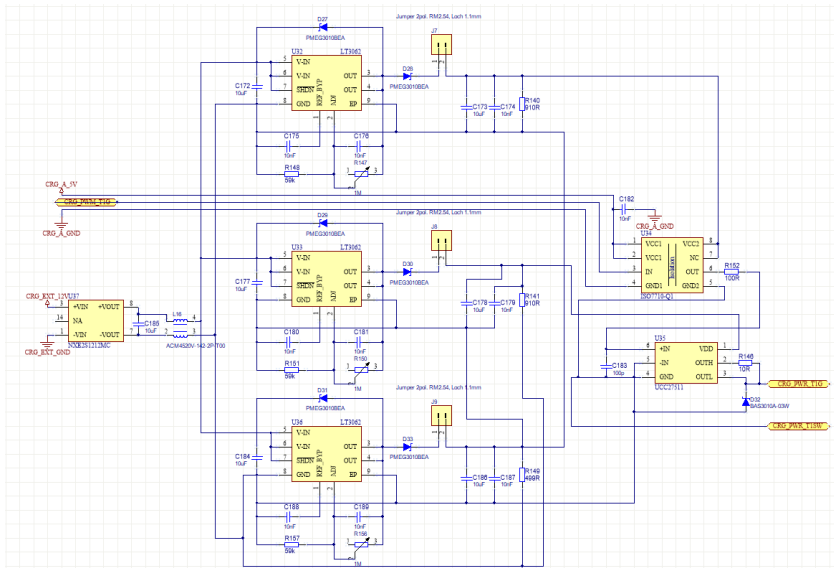


ABBILDUNG A.2: Schaltschema des Gatetreibers und der Gatespannungsversorgung

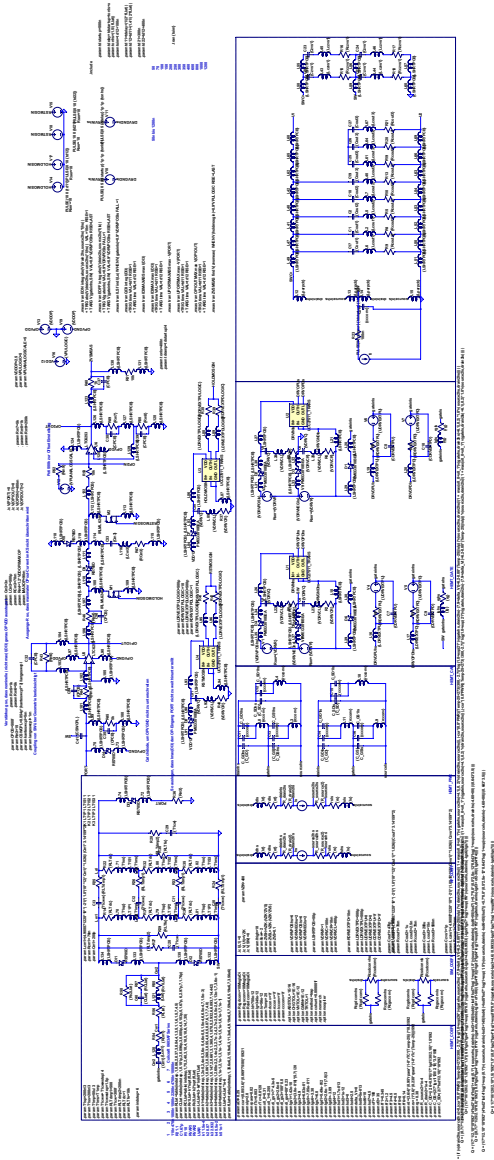


ABBILDUNG A.3: Simulationsmodell LTSPICE
Gesamtansicht

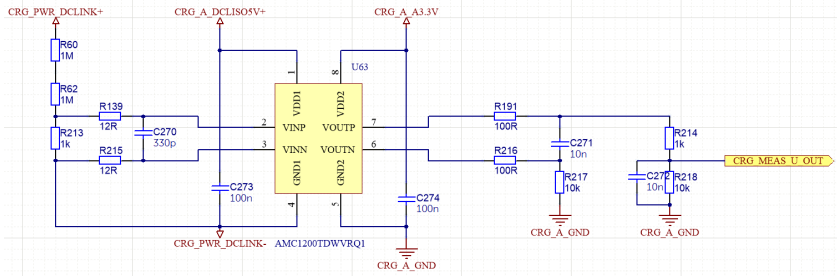


ABBILDUNG A.4: Schaltschema der galvanisch getrennten Spannungsmessung

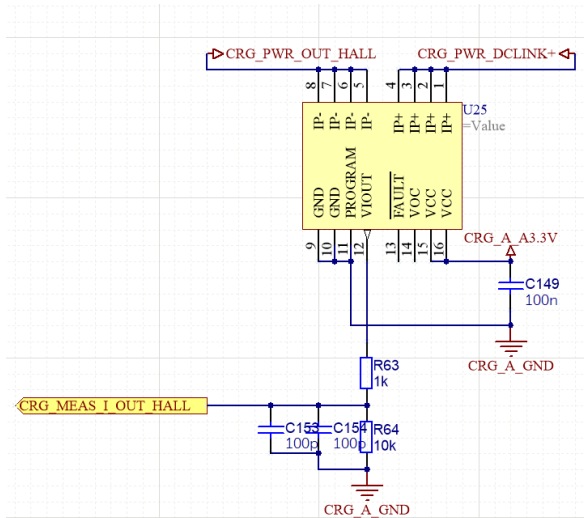


ABBILDUNG A.5: Schaltschema der galvanisch getrennten Strommessung

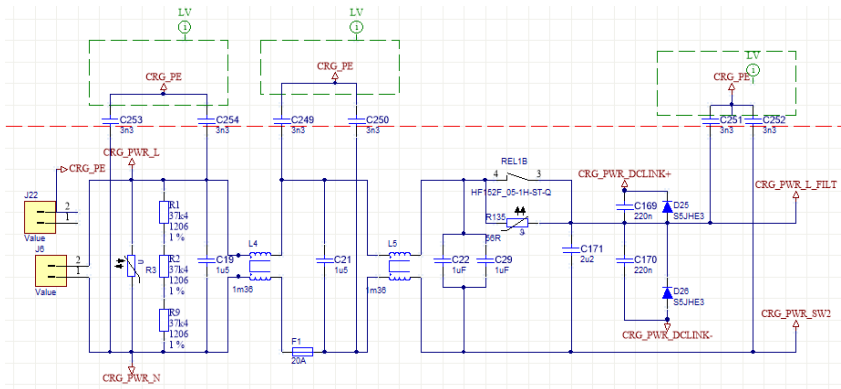


ABBILDUNG A.6: Schaltschema des EMV-Filters

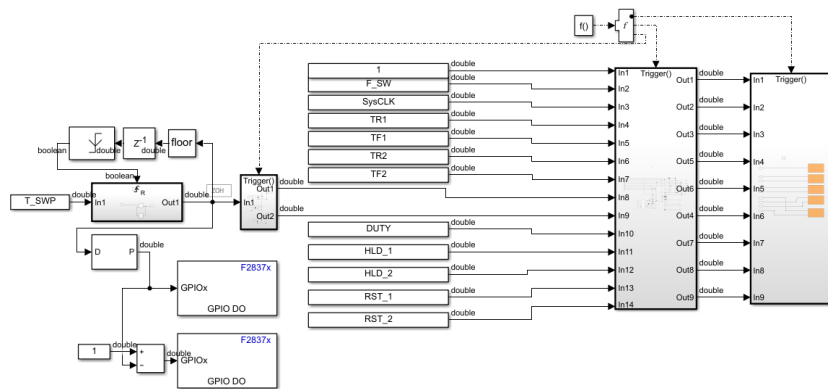


ABBILDUNG A.7: SIMULINK-Modellschema des implementierten HRPWM-Codes

Literatur

- [1] S. Gunn, S. Patel und J. Böttcher, *LaTeXTemplates*, Internet, Version 2.x, 2017. Adresse: www.LaTeXTemplates.com.
- [2] H. Hanselka und M. Jöckel, „Elektromobilität — Elemente, Herausforderungen, Potenziale,“ in *Elektromobilität*, Berlin, Heidelberg: Springer Berlin Heidelberg, 2010, S. 21–38, ISBN: 978-3-642-16254-1.
- [3] M. Rosina, *GaN and SiC Power Device: Market Overview*, Semicon Europa, Hrsg., Semicon München, Deutschland, 13. Nov. 2018.
- [4] P. Friedrichs, J. Millán, T. Harder und N. Kaminski, *Next Generation Power Electronics based on Wide Bandgap Devices - Challenges and Opportunities for Europe*, ECPE, Hrsg., Nürnberg, 2016.
- [5] P. Waltereit, *BMBF GaNIAL Gesamtvorhabensbeschreibung*, Fraunhofer IAF, Hrsg., 2016.
- [6] R. K. Williams, M. N. Darwish, R. A. Blanchard, R. Siemieniec, P. Rutter und Y. Kawaguchi, „The Trench Power MOSFET: Part I—History, Technology, and Prospects,“ *IEEE Transactions on Electron Devices*, Jg. 64, Nr. 3, S. 674–691, 2017, ISSN: 0018-9383. DOI: 10.1109/TED.2017.2653239.
- [7] D. Schmitt-Landsiedel und T. Tille, „Leistungsbaulemente,“ in *Mikroelektronik: Halbleiterbaulemente und deren Anwendung in elektronischen Schaltungen*. Springer Berlin Heidelberg, 2005, S. 146–171, ISBN: 978-3-540-26730-0. DOI: 10.1007/3-540-26730-1_5. Adresse: https://doi.org/10.1007/3-540-26730-1_5.
- [8] FH Stralsund, „Der MOS-Feldeffekttransistor,“ Script Leistungselektronik, FH Stralsund, 2010, 28 S.
- [9] S. Moench, R. Reiner, B. Weiss u. a., „Effect of substrate termination on switching loss and switching time using 600 V GaN-on-Si HEMTs with integrated gate driver in half-bridges,“ in *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, (Albuquerque, NM), IEEE, 2017, S. 257–264, ISBN: 978-1-5386-3117-1. DOI: 10.1109/WiPDA.2017.8170557.

- [10] S. Abdel-Rahman, F. Stückler und K. Siu, *Application Note 600V CoolMOS™ C7 Design Guide*, Infineon Technologies, Hrsg., 2015.
- [11] Infineon Technologies Austria AG, *Datasheet IPDD60R050G7*, Infineon Technologies Austria AG, Hrsg., 2018.
- [12] Toshiba Electronic Devices, *Reverse Recovery Operation and Destruction of MOSFET Body Diode*, Toshiba Electronic Devices, Hrsg., 2018.
- [13] Toshiba Electronic Devices, *Application Note MOSFETs*, Toshiba Electronic Devices, Hrsg., 2018.
- [14] J. Strydom, *eGaN-Silicon Power Shoot-Out: Part 1 Comparing Figure of Merit (FOM)*, Efficient Power Conversion, 2010.
- [15] W. Ralf, S. Ralf und M. Joja, *An improved and low-resistive Package for High-Current Power MOSFET*, Infineon Technologies Austria AG, Hrsg., 2015.
- [16] G. Greco, „AlGaIn/GaN heterostructures for enhancement mode transistors,“ International PhD in Nanoscience, Università degli Studi di Catania Scuola Superiore di Catania, Catania, 2012, 172 S.
- [17] A. Lidow und J. Strydom, „Gallium Nitride (GaN) Technology Overview,“ *GaN Transistors for Efficient Power Conversion*, 2012.
- [18] D. Delagebeaudeuf und N. T. Linh, „Metal-(n) AlGaAs-GaAs two-dimensional electron gas FET,“ *IEEE Transactions on Electron Devices*, Jg. 29, Nr. 6, S. 955–960, 1982, ISSN: 0018-9383. DOI: 10 . 1109/T-ED. 1982. 20813.
- [19] H.-C. Chiu, Y.-S. Chang, B.-H. Li u. a., „High-Performance Normally Off p-GaN Gate HEMT With Composite AlN/Al 0.17 Ga 0.83 N/Al 0.3 Ga 0.7 N Barrier Layers Design,“ *IEEE Journal of the Electron Devices Society*, Jg. 6, Nr. 1, S. 201–206, 2018, ISSN: 2168-6734. DOI: 10 . 1109/ JEDS. 2018. 2789908.
- [20] Gansystems, *GS66516T Datasheet*, Gansystems, Hrsg., 2018.
- [21] N. Badawi, O. Hilt, E. Bahat-Treidel, J. Bocker, J. Wurfl und S. Dieckerhoff, „Investigation of the Dynamic On-State Resistance of 600 V Normally-Off and Normally-On GaN HEMTs,“ *IEEE Transactions on Industry Applications*, Jg. 52, Nr. 6, S. 4955–4964, 2016, ISSN: 0093-9994. DOI: 10 . 1109/ TIA. 2016. 2585564.
- [22] Panasonic, *GaN Power Transistors*, Panasonic Industry Europe GmbH, Hrsg., 4.2018.

- [23] Transphorm, *TP65H035WS 650V GaN FET*, Transphorm, Hrsg., 2018.
- [24] Texas Instruments, *LMG341xR050 600V 50mOhm Integrated GaN power stage with overcurrent protection datasheet (Rev. A)*, Texas Instruments, Hrsg., 3.2019.
- [25] R. Kumud, A. Subramaniam, I. N. Geok und V. Sahmuganathan, „High Johnson’s figure of merit (8.32 THz.V) AlGaIn/GaN HEMTs on silicon,“ *Applied Physics Express*, Jg. 7, Nr. 4, S. 044 102, 2014, mar. DOI: 10.7567/apex.7.044102. Adresse: <https://doi.org/10.7567%2Fapex.7.044102>.
- [26] S. Butler, *Standardization for Wide Bandgap Devices: GaN-SPEC DWG*, I. APEC, Hrsg., 27. März 2017.
- [27] S. Moench, R. Reiner, P. Waltereit u. a., „A 600V GaN-on-Si Power IC with Integrated Gate Driver, Freewheeling Diode, Temperature and Current Sensors and Auxiliary Devices,“ in *CIPS 2020; 11th International Conference on Integrated Power Electronics Systems*, 2020, S. 1–6.
- [28] R. Reiner, P. Waltereit, B. Weiss u. a., „Monolithically integrated power circuits in high-voltage GaN-on-Si heterojunction technology,“ *IET Power Electronics*, Jg. 11, Nr. 4, S. 681–688, 2018.
- [29] S. Moench, R. Reiner, P. Waltereit u. a., „PCB-Embedded GaN-on-Si Half-Bridge and Driver ICs With On-Package Gate and DC-Link Capacitors,“ *IEEE Transactions on Power Electronics*, Jg. 36, Nr. 1, S. 83–86, 2021.
- [30] S. Abdel-Rahman, „Application Note OptiMOS Resonant LLC Converter Operation and Design,“ *Infineon Design Guide*, 2012.
- [31] I. Hammoud, N. Bauer, I. Kallfass und R. Kennel, „Optimized capacitive active ripple compensation topology for a 3.7 kW single-phase high power density on-board charger of electric vehicles,“ *Electrical Engineering*, 2019, 08. DOI: 10.1007/s00202-019-00818-5.
- [32] R. Garcia und F. Zechner, „Technical Description 800W PFC Evaluation Board,“ *Infineon Technologies*, Jg. 2017, 2017.

- [33] H. Tebianian, J. Quaioco und B. Jeyasurya, „High frequency full-bridge Class-D inverter using eGaN FET with dynamic dead-time control,“ in *2016 IEEE PELS Workshop on Emerging Technologies: Wireless Power Transfer (WoW)*, (Knoxville, TN, USA), IEEE, 2016, S. 95–99, ISBN: 978-1-5090-3414-7. DOI: 10 . 1109 / WoW . 2016 . 7772072.
- [34] Texas Instruments, *TMS320F2837xD Dual-Core Delfino Microcontrollers Datasheet (Rev. K)*, Texas Instruments, Hrsg., 2018.
- [35] L. Michel, X. Boucher, A. Cheriti, P. Sicard und F. Sirois, „FPGA Implementation of an Optimal IGBT Gate Driver Based on Posicast Control,“ *IEEE Transactions on Power Electronics*, Jg. 28, Nr. 5, S. 2569–2575, 2013.
- [36] D. M. Joo, B. K. Lee und J. S. Kim, „Dead-time Optimisation for a Phase-shifted DC–DC Full Bridge Converter with GaN HEMT,“ *Electronics Letters*, Jg. 52, Nr. 9, S. 769–770, 2016, ISSN: 0013-5194. DOI: 10 . 1049 / e1 . 2015 . 3650.
- [37] A. Niwa, T. Imazawa, R. Kojima u. a., „A Dead-Time-Controlled Gate Driver Using Current-Sense FET Integrated in SiC MOSFET,“ *IEEE Transactions on Power Electronics*, Jg. 33, Nr. 4, S. 3258–3267, 2018, ISSN: 0885-8993. DOI: 10 . 1109 / TPEL . 2017 . 2704620.
- [38] J. A. Abu-Qahouq, H. Mao, H. J. Al-Atrash und I. Batarseh, „Maximum Efficiency Point Tracking (MEPT) Method and Digital Dead Time Control Implementation,“ *IEEE Transactions on Power Electronics*, Jg. 21, Nr. 5, S. 1273–1281, 2006, ISSN: 0885-8993. DOI: 10 . 1109 / TPEL . 2006 . 880244.
- [39] L. Schirone, M. Macellari und F. Pellitteri, „Predictive Dead Time Controller for GaN-based Boost Converters,“ *IET Power Electronics*, Jg. 10, Nr. 4, S. 421–428, 2017, ISSN: 1755-4535. DOI: 10 . 1049 / iet - pel . 2015 . 0551.
- [40] L. Mei, D. Williams und W. Eberle, „A Synchronous Buck Converter Using a New Predictive Analog Dead-Time Control Circuit to Improve Efficiency,“ *Canadian Journal of Electrical and Computer Engineering*, Jg. 36, Nr. 4, S. 181–187, 2013, ISSN: 0840-8688. DOI: 10 . 1109 / CJECE . 2014 . 2303521.
- [41] Gansystems, *LTspice Model User Guide*, Gansystems, Hrsg., 2017.

- [42] S. Khandelwal, S. Ghosh und S. A. Ahsan, „ASM-HEMT 101.0.0 Advanced SPICE Model for HEMTs,“ *School of Engineering, Macquarie University, Sydney, Australia, NSW 2109*, 2018.
- [43] Y. Chauhan, S. Venugopalan, M.-A. Chalkiadaki u. a., „BSIM6: Analog and RF Compact Model for Bulk MOSFET,“ *Electron Devices, IEEE Transactions on*, Jg. 61, S. 234–244, 2014, 02. DOI: 10.1109/TED.2013.2283084.
- [44] U. Radhakrishna und D. Antoniadis, *MIT Virtual Source GaN HEMT-High Voltage (MVSG-HV) Compact Model*, 2015. DOI: doi : /10 . 4231 / D3086365H. Adresse: [https : / / nanohub . org / publications/73/1](https://nanohub.org/publications/73/1).
- [45] S. Khandelwal, S. Ghosh, Y. S. Chauhan, B. Iniguez und T. A. Fjeldly, „Surface-Potential-Based RF Large Signal Model for Gallium Nitride HEMTs,“ in *2015 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, (New Orleans, LA, USA), IEEE, 2015, S. 1–4, ISBN: 978-1-4799-8494-7. DOI: 10.1109/CSICS.2015.7314527.
- [46] S. Khandelwal, C. Yadav, S. Agnihotri u. a., „Robust Surface-Potential-Based Compact Model for GaN HEMT IC Design,“ *IEEE Transactions on Electron Devices*, Jg. 60, Nr. 10, S. 3216–3222, 2013, ISSN: 0018-9383. DOI: 10.1109/TED.2013.2265320.
- [47] C. Salcines, S. Moench, B. Spudic und I. Kallfass, „C-V Characterization Technique for Four-Terminal GaN-on-Si HEMTs Based on 3-Port S-Parameter Measurements,“ in *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*, 2018, S. 1–5.
- [48] Gansystems, *GS66508T/GS66516T-EVBDB GaN eHEMT Daughter Board and GS665MB-EVB Evaluation Platform User Guide*, Gansystems, Hrsg., 2018.
- [49] V. Torczon, „On the Convergence of Pattern Search Algorithms,“ *Society for Industrial and Applied Mathematics*, 2017.
- [50] N. V. Findler, C. Lo und R. Lo, „Pattern search for optimization,“ *Mathematics and Computers in Simulation*, Jg. 29, Nr. 1, S. 41–50, 1987, PII: 0378475487900656, ISSN: 03784754. DOI: 10.1016/0378-4754(87)90065-6.

- [51] Y. S. Sherif und B. A. Boice, „Optimization by pattern search,“ *European Journal of Operational Research*, Jg. 78, Nr. 3, S. 277–303, 1994, PII: 0377221794900418, ISSN: 03772217. DOI: 10.1016/0377-2217(94)90041-8.
- [52] Gansystems, *PCB Layout considerations with GaN E-HEMTs*, Gansystems, Hrsg., 2019.
- [53] Gansystems, „GN009 Application Note: PCB Layout Considerations with GaN E-HEMTs,“ *Application Note*, Jg. 2019, 2019.
- [54] P. Czyz, A. Reinke, A. Cichowski und W. Sleszynski, „Performance comparison of a 650 V GaN SSFET and CoolMOS,“ in *2016 10th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG)*, (Bydgoszcz, Poland), IEEE, 29.06.2016 - 01.07.2016, S. 438–443, ISBN: 978-1-4673-7293-0. DOI: 10.1109/CPE.2016.7544228.