

# **Digital-Analog-Umsetzer in komplementärer Metall-Oxid-Halbleiter-Technologie**

Von der Fakultät Informatik, Elektrotechnik und Informationstechnik  
der Universität Stuttgart zur Erlangung der Würde eines  
Doktor-Ingenieurs (Dr.-Ing.) genehmigte Abhandlung

Vorgelegt von  
**Daniel Widmann**  
aus Waiblingen

Hauptberichter: Prof. Dr.-Ing. Manfred Berroth  
Mitberichter: Prof. Dr. sc. techn. habil. Frank Ellinger

Tag der mündlichen Prüfung: 9. Juni 2023

Institut für Elektrische und Optische Nachrichtentechnik der Universität Stuttgart

2024



# Inhaltsverzeichnis

Abkürzungsverzeichnis	V
Symbolverzeichnis	IX
Kurzzusammenfassung	XV
Abstract	XVII
<b>1 Einleitung</b>	<b>1</b>
1.1 Optische Datenübertragungssysteme . . . . .	2
1.2 Weitere Anwendungen durch direkte digitale Signal-Synthese . . . . .	7
1.3 28-nm-FD-SOI-CMOS-Technologie . . . . .	8
1.4 Einordnung des Konzepts . . . . .	11
1.5 Zielsetzung dieser Arbeit . . . . .	16
1.6 Aufbau dieser Arbeit . . . . .	17
<b>2 Theoretische Betrachtungen und charakteristische Parameter von Digital-Analog-Umsetzern</b>	<b>19</b>
2.1 Systemtheoretische Grundlagen und Notationen . . . . .	19
2.2 Das Abtasttheorem und die ideale Rekonstruktion . . . . .	20
2.3 Systemtheoretische Aspekte linearer, zeitvarianter Systeme . . . . .	22
2.4 Zusammenhang zwischen Signalen aus systemtheoretischer Beschreibung und analogem Ausgangssignal . . . . .	24
2.5 Die Digital-Analog-Umsetzung . . . . .	25
2.6 Statische Charakterisierung . . . . .	29
2.7 Dynamische Charakterisierung . . . . .	31
2.8 Quantisierungsrauschen und zugehöriges Signal-zu-Rausch-Verhältnis . . . . .	34
2.9 Einfluss von zeitvarianten Effekten auf das Ausgangsspektrum . . . . .	37
2.9.1 Einfluss von Jitter . . . . .	37
2.9.2 Einfluss von Verstärkungsvariationen . . . . .	41
2.10 Die Operation des analogen Multiplexers . . . . .	42
<b>3 Schaltungstechnische Realisierung des Digital-Analog-Umsetzers</b>	<b>45</b>
3.1 Gesamtsystem . . . . .	46
3.2 Simulationstechnik . . . . .	49
3.3 Grundlegende schaltungstechnische Elemente und Konzepte . . . . .	49
3.3.1 Der CMOS-Inverter als Grundelement und das Verhalten von CMOS-Inverterketten . . . . .	50
3.3.2 CMOS-Flip-Flops . . . . .	56
3.3.3 CML-Verstärker mit induktiver Überhöhung . . . . .	58

3.3.4	Gilbert-Zelle . . . . .	62
3.3.5	Netzwerk zur Arbeitspunkteinstellung und Stromquellen . . . . .	64
3.4	Der Taktpfad des Systems . . . . .	66
3.4.1	CML-Teil des Taktpfads . . . . .	66
3.4.2	CMOS-Teil des Taktpfads . . . . .	75
3.5	SRAM-Speicher mit 256 KiByte Speichergröße . . . . .	81
3.5.1	Systembeschreibung, Speicherorganisation und schaltungstechnische Realisierung . . . . .	81
3.5.2	Datenübertragung zwischen Speicher, zentraler Steuersignaleinheit und Digital-Analog-Umsetzer-Kernen . . . . .	91
3.6	Die Digital-Analog-Umsetzer-Kerne . . . . .	93
3.6.1	Allgemeine Betrachtungen und Topologien zur Digital-Analog-Umsetzung . . . . .	94
3.6.2	Die pseudo-segmentierte Digital-Analog-Umsetzer-Architektur . . . . .	96
3.6.3	Die digitalen Multiplexer . . . . .	101
3.6.4	Die Ausgangsstufen der Digital-Analog-Umsetzer-Kerne . . . . .	104
3.6.4.1	Dimensionierung des Ausgangsinverters und der Ausgangsstufe . . . . .	104
3.6.4.2	Prinzipieller Vergleich zwischen einem Digital-Analog-Umsetzer-Ausgang auf CMOS-Invertern und auf Stromschaltertechnik basierend . . . . .	108
3.6.5	Gesamte Ausgangsstruktur der Digital-Analog-Umsetzung . . . . .	112
3.6.6	Zusammenfassung und Bewertung des Konzepts der Digital-Analog-Umsetzer-Kerne . . . . .	112
3.7	Analoger Multiplexer . . . . .	113
3.8	Aspekte der Versorgungsspannungen, Domänen und Konzepte . . . . .	114
3.9	Weitere Schaltungsteile und periphere Komponenten . . . . .	118
3.9.1	Start- und Reset-Konzept der Digital-Analog-Umsetzer-Kerne . . . . .	118
3.9.2	Konfigurationsregister . . . . .	119
3.9.3	Ausgabe des Triggersignals . . . . .	120
3.9.4	Gleichwert-Detektor . . . . .	121
3.10	Mögliche Betriebsmodi des Digital-Analog-Umsetzers . . . . .	122
3.11	Prinzipielle Betrachtungen der Schnittstelle zwischen Chip und Leiterplatte für hochfrequente Signale . . . . .	122
<b>4</b>	<b>Lineare Vorverzerrung der digitalen Daten</b> . . . . .	<b>127</b>
4.1	Intersymbol-Interferenz und die erste Nyquist-Bedingung . . . . .	128
4.2	Lineare, zeitinvariante Vorverzerrung durch Systemidentifikation mittels identischer Trainings- und Zieldaten . . . . .	129
4.3	Lineare, zeitinvariante Vorverzerrung durch Systemidentifikation mittels eines Einheitsimpulses . . . . .	132
4.4	Universelle lineare, periodisch zeitvariante Vorverzerrung durch Systemidentifikation mittels verschobener Einheitsimpulse . . . . .	134
4.5	Zusammenfassung der Vorverzerrungsverfahren . . . . .	142

---

<b>5</b>	<b>Messtechnische Charakterisierung des Digital-Analog-Umsetzers</b>	<b>143</b>
5.1	Messumgebung . . . . .	143
5.1.1	Der Leiterplattenaufbau . . . . .	143
5.1.1.1	Die Hochfrequenz-Leiterplatte . . . . .	144
5.1.1.2	Die Adapter-Leiterplatte für Gleichspannungen und Programmierung . . . . .	149
5.1.2	Thermische Betrachtung . . . . .	150
5.1.3	Der Hochfrequenz-Messaufbau . . . . .	151
5.1.4	Betrieb des Digital-Analog-Umsetzers . . . . .	152
5.2	Messergebnisse . . . . .	152
5.2.1	Demonstration der Funktionalität des Taktpfads und der Phasenrotatoren . . . . .	152
5.2.2	Statische Charakterisierung . . . . .	154
5.2.3	Schätzung der Impulsantwort des Systems . . . . .	156
5.2.4	Dynamische Charakterisierung durch Analyse von Eintonsignalen . . . . .	161
5.2.4.1	Wahl der Testsignale und Analyse der Messdaten . . . . .	162
5.2.4.2	Einfluss der LPTV-Vorverzerrung auf Eintonsignale . . . . .	164
5.2.4.3	Ergebnisse der dynamischen Charakterisierung mit LPTV-Vorverzerrung . . . . .	167
5.2.5	Die Bandbreite des Aufbaus . . . . .	170
5.2.6	Augendiagramme von pulsamplitudenmodulierten Signalen . . . . .	172
5.2.7	Leistungsaufnahme des Digital-Analog-Umsetzers . . . . .	178
5.2.8	Obere Grenze der prinzipiellen Funktionalität . . . . .	179
5.2.9	Vergleich mit dem Stand der Technik . . . . .	179
5.2.10	Zusammenfassung der Messergebnisse und Bewertung des Konzepts . . . . .	184
<b>6</b>	<b>Zusammenfassung und Ausblick</b>	<b>187</b>
<b>A</b>	<b>Aufschlüsselung der Beiträge zu dieser Arbeit</b>	<b>191</b>
<b>B</b>	<b>Systemtheoretische Grundlagen</b>	<b>193</b>
B.1	Kontinuierliche Signale und Systeme . . . . .	193
B.2	Diskontinuierliche Signale und Systeme . . . . .	195
<b>C</b>	<b>Herleitungen</b>	<b>199</b>
C.1	Herleitung des Spektrums bei periodisch ungleichmäßigen Haltezeiten im Ausgangssignal eines Digital-Analog-Umsetzers . . . . .	199
C.2	Beweis der <i>Roll-Off</i> -Verschiebung durch den analogen Multiplexer . . . . .	201
<b>D</b>	<b>Interne und externe Steuerung des Speichers</b>	<b>207</b>
<b>E</b>	<b>Weitere Schaltpläne und Layout-Ausschnitte</b>	<b>211</b>
<b>F</b>	<b>Definition der Permutationsmatrix</b>	<b>215</b>
<b>G</b>	<b>Messaufbau und verwendete Hochfrequenz-Komponenten</b>	<b>217</b>

H Weitere Messergebnisse	219
I Literaturverzeichnis	223

# Abkürzungsverzeichnis

A-MUX/DEMUX	Analog-Multiplexer/Demultiplexer
AC	Wechselstrom, engl.: <i>alternating current</i>
ADU	Analog-Digital-Umsetzer, engl.: <i>analog-to-digital converter</i>
AMUX	Analoger Multiplexer
AWG	Arbiträrsignalgenerator, engl.: <i>arbitrary waveform generator</i>
BB	Engl.: <i>body biasing</i>
BCICTS	Engl.: <i>IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium</i>
BEOL	Hinteres Ende der Produktionslinie, engl.: <i>back end of line</i>
BF	Bitfeld
BiCMOS	Bipolar-CMOS(-Technologie)
BOX	Vergrabenes Oxid, engl.: <i>buried oxide</i>
CML	Stromschaltertechnik, Stromschalterlogik, engl.: <i>current-mode logic</i>
CMOS	Komplementärer Metall-Oxid-Halbleiter, engl.: <i>complementary metal-oxide-semiconductor</i>
Cu	Kupfer
CW	Codewort
DAC	Digital-Analog-Umsetzer, engl.: <i>digital-to-analog converter</i>
DAU	Digital-Analog-Umsetzer, engl.: <i>digital-to-analog converter</i>
DC	Gleichstrom, engl.: <i>direct current</i>
DCVSL	Engl.: <i>differential cascode voltage switch logic</i>
DEMUX	Demultiplexer
DFT	Diskrete Fourier-Transformation
DHBT	Bipolartransistor mit Heteroübergang, engl.: <i>double heterojunction bipolar transistor</i>
DNW	Tiefe, n-Typ-dotierte Wanne, engl.: <i>deep n-well</i>
DS	Drainschaltung, Sourcefolger
DSP	Digitaler Signalprozessor, engl.: <i>digital signal processor</i>
DUT	Das zu messende Objekt, engl.: <i>device under test</i>
DV	Differenzieller CML-Verstärker
DWDM	Wellenlängenmultiplex, engl.: <i>dense wavelength division multiplexing</i>
FBB	Engl.: <i>forward body biasing</i>
FD-SOI	Engl.: <i>fully-depleted silicon-on-insulator</i>
FET	Feldeffekttransistor, engl.: <i>field-effect transistor</i>
FF	Flip-Flop
FR	Engl.: <i>flame retardant</i>
FW	Umgekehrt dotierte Wanne, engl.: <i>flip-well</i> bzw. <i>flipped well</i>
GND	Masse, engl.: <i>ground</i>

---

GOX	Gateoxid
HBT	Bipolartransistor mit Heteroübergang, engl.: <i>heterojunction bipolar transistor</i>
HF	Hochfrequenz
IC	Integrierte Schaltung bzw. integrierter Schaltkreis, engl.: <i>integrated circuit</i>
IDFT	Inverse diskrete Fourier-Transformation
IEEE	Engl.: <i>Institute of Electrical and Electronics Engineers</i>
InP	Indiumphosphid
INT	Institut für Elektrische und Optische Nachrichtentechnik der Universität Stuttgart
ISSCC	Engl.: <i>IEEE International Solid-State Circuits Conference</i>
ITRS	Engl.: <i>International Technology Roadmap for Semiconductors</i>
ITU	Internationale Fernmeldeunion, engl.: <i>International Telecommunication Union</i>
JSSC	Engl.: <i>IEEE Journal of Solid-State Circuits</i>
LPTV	Linear, periodisch zeitvariant, engl.: <i>linear, periodically time-varying</i>
LS	(Methode der) kleinsten Quadrate, engl.: <i>least squares</i>
LSB	Niedrigstwertiges Bit, Bit mit dem niedrigsten Stellenwert, engl.: <i>least significant bit</i>
LTI	Linear, zeitinvariant, engl.: <i>linear, time-invariant</i>
M-SMP/SMPM	Engl.: <i>mini sub-miniature push-on</i>
MIM	Metall-Isolator-Metall
MIMO	Engl.: <i>multiple input multiple output</i>
MISO	Engl.: <i>multiple input single output</i>
MMSE	Engl.: <i>minimum mean square error</i>
MOM	Metall-Oxid-Metall
MOSFET	Metall-Oxid-Halbleiter-Feldeffekttransistor, engl.: <i>metal-oxide-semiconductor field-effect transistor</i>
MSB	Höchstwertiges Bit, Bit mit dem höchsten Stellenwert, engl.: <i>most significant bit</i>
MUX	Multiplexer
nFET	n-Kanal-MOSFET
NRZ	Engl.: <i>non-return-to-zero</i>
PAM	Pulsamplitudenmodulation, pulsamplitudenmoduliertes (Signal)
PC	Computer, engl.: <i>personal computer</i>
pFET	p-Kanal-MOSFET
PISO	Paralleler Eingang und serieller Ausgang, engl.: <i>parallel in serial out</i> ; gemeint ist ein Schieberegister mit parallelem Eingang und serielltem Ausgang
PR	Phasenreferenz
PRBS	Engl.: <i>pseudorandom binary sequence, pseudorandom bitstream</i>
PT	Engl.: <i>prescale trigger</i>
RBB	Engl.: <i>reverse body biasing</i>
RE	Registereinheit
RFIC	Engl.: <i>IEEE Radio Frequency Integrated Circuits Symposium</i>



---

RMS	Quadratisches Mittel, quadratischer Mittelwert, engl.: <i>root mean square</i>
Rx	Empfänger, Empfängersystem
RZ	Engl.: <i>return-to-zero</i>
S&H	Abtast-Halte-(Schaltung/Funktion/Operation/Glied), engl.: <i>sample and hold</i>
SA	Bewerterschaltung, engl.: <i>sense amplifier</i>
SB	Speicherblock
SE	Unipolar, engl.: <i>single-ended</i>
SF	Speicherfeld
SI	Internationales Einheitensystem, franz.: <i>système international d'unités</i>
SiGe	Silizium-Germanium
SIPO	Serieller Eingang und paralleler Ausgang, engl.: <i>serial in parallel out</i> ; gemeint ist ein Schieberegister mit serielltem Eingang und parallelem Ausgang
SMD	Oberflächenmontiertes Bauelement, engl.: <i>surface-mounted device</i>
SMP	Engl.: <i>sub-miniature push-on</i>
SRAM	Statischer Speicher mit wahlfreiem Zugriff, engl.: <i>static random-access memory</i>
TG	<i>Transmission</i> -Gatter
TL	Übertragungsleitungen (Daten- und Steuersignalleitungen, hier ohne spezielle Impedanzanpassung), engl.: <i>transmission line</i>
TMTT	Engl.: <i>IEEE Transactions on Microwave Theory and Techniques</i>
TT	Taktteiler
Tx	Sender, Sendesystem
ÜKL	Übertragungskennlinie
WDM	Wellenlängenmultiplex, engl.: <i>wavelength division multiplexing</i>
ZF	Engl.: <i>zero forcing</i>
ZOH	Halteglied nullter Ordnung, engl.: <i>zero-order hold</i>
ZS	Zentrale Steuersignaleinheit



# Symbolverzeichnis

Nachfolgend sind grundlegende Symbole aufgeführt. Weitere Varianten der Symbole mit kombinierten oder zusätzlichen Indizes sowie einige lokal verwendete Variablen werden nicht gesondert dargestellt. Ebenso werden Akronyme, die zugleich als Rechengrößen verwendet werden (z. B. das Signal-zu-Rausch-und-Verzerrungs-Verhältnis  $SNDR$ ), als Formelzeichen aufgeführt.

## Lateinische Symbole

$A$	Fläche
$A_{\text{cm}}$	Gleichtakt-Verstärkung
$A_{\text{dm}}$	Gegentakt-Verstärkung
$A_{\text{FS}}$	Normierte Amplitude, Bezug $FS/2$
$A_{\text{norm}}$	Normierte Amplitude
$B$	Datenrate
$b_\nu$	Bit $\nu$
$C$	Kapazität
$C_{\text{DS}}$	Drain-Source-Kapazität
$C_{\text{GB}}$	Gate-Body-Kapazität
$C_{\text{GD}}$	Gate-Drain-Kapazität
$C_{\text{GS}}$	Gate-Source-Kapazität
$C_\lambda(j\omega)$	Fourier-Transformierte des Taktsignals für den AMUX-Eingang $\lambda$
$c_\lambda(t)$	Taktsignal für den AMUX-Eingang $\lambda$
$c_\nu$	Koeffizienten der Fourier-Reihe in komplexer Darstellung
$CMRR$	Gleichtaktunterdrückungsverhältnis, engl.: <i>common-mode rejection ratio</i>
$D$	Datensymbolrate
$d$	Codewort
$\bar{d}$	Invertiertes Codewort
$DNL$	Differenzielle Nichtlinearität
$DNL[d]$	Differenzielle Nichtlinearität an der Stelle $d$
$d_T(t)$	Impulsfolge mit Periode $T$
$D_{\omega_0}(j\omega)$	Fourier-Transformation der Impulsfolge $d_T(t)$
$e$	Eulersche Zahl
$\mathbf{e}$	Vektor der Vorverzerrungskoeffizienten
$\mathbf{e}_i$	Einheitsvektor
$E[k]$	Diskrete Fourier-Transformation der Impulsantwort des Vorverzerrungsfilters
$\mathbf{e}_{\text{LPTV}}$	Matrix der LPTV-Vorverzerrungskoeffizienten
$\mathbf{e}_{\text{LPTV}, \kappa}$	Vektor $\kappa$ der LPTV-Vorverzerrungskoeffizienten

$\mathbf{e}_{\text{LPTV,LS}}$	Matrix der LPTV-Vorverzerrungskoeffizienten durch Lösung mittels kleinster Fehlerquadrate
$\tilde{\mathbf{e}}_{\text{LPTV,LS}}$	Periodisch fortgesetzte Matrix der LPTV-Vorverzerrungskoeffizienten durch Lösung mittels kleinster Fehlerquadrate
$\mathbf{e}_{\text{LS}}$	Vorverzerrungsvektor durch Lösung mittels kleinster Fehlerquadrate
$\mathbf{E}_N$	Einheitsmatrix
$e[n]$	Impulsantwort des Vorverzerrungsfilters, Vorverzerrungskoeffizienten
$ENOB$	Effektive Anzahl an Bits, engl.: <i>effective number of bits</i>
$f$	Frequenz
$f_{-3\text{dB}}$	-3-dB-(Grenz-)Frequenz
$f_{\text{clk}}$	Taktfrequenz
$f_{\text{DAU}}$	Umsetzungsrate der Sub-DAU
$f_g$	Grenzfrequenz
$f_{\text{max}}$	Maximale Oszillationsfrequenz
$f_{\text{mem}}$	Speicherfrequenz
$FS$	Vollaussteuerung, engl.: <i>full-scale (range)</i>
$f_s$	Umsetzungsrate, Symbolrate, Abtastrate
$f_{\text{Sig}}$	Signalfrequenz
$FS_{\text{nom}}$	Nominale Vollaussteuerung, engl.: <i>full-scale (range)</i>
$f_T$	Transitfrequenz
$g_{\text{DS}}$	Ausgangsleitwert
$g_m$	Steilheit
$g[n, \nu]$	Zeitdiskrete modifizierte Impulsantwort, engl.: <i>discrete-time modified impulse response</i> oder <i>discrete-time delay-spread function</i>
$g(t, \gamma)$	Modifizierte Impulsantwort, engl.: <i>modified impulse response</i> oder <i>(input) delay-spread function</i>
$\mathbf{H}$	Faltungsmatrix
$H(j\omega)$	Fourier-Transformation der Impulsantwort, Frequenzgang
$\tilde{H}(j\omega, \nu T_s)$	Fourier-Transformationen der zeitlich normierten Impulsreaktionen
$H[k]$	Diskrete Fourier-Transformation der Impulsantwort
$\mathbf{H}_{\text{LPTV}}$	Zeitvariante Faltungsmatrix
$h[n]$	Zeitdiskrete Impulsantwort
$h[n, \nu]$	Zeitdiskrete, zeitvariante Impulsantwort
$\tilde{h}[\rho, \nu]$	Zeitdiskrete, zeitlich normierte Impulsantwort
$h(t)$	Impulsantwort
$h(t, \tau)$	Zeitvariante Impulsantwort
$\mathbf{H}^+$	Pseudoinverse
$I$	Strom
$\mathbf{i}$	Nyquist-Impuls-Vektor
$I_D$	Drain-Strom
$I_{\text{DD}}$	Strom aus der Versorgungsspannungsquelle
$I_{\text{D,sat}}$	Sättigungs-(Drain-)Strom
$I_G$	Gate-Strom
$\mathbf{i}_\kappa$	Nyquist-Impuls-Vektor $\kappa$
$\mathbf{i}_{\text{LPTV}}$	Nyquist-Impuls-Matrix
$INL$	Integrale Nichtlinearität

$INL [d]$	Integrale Nichtlinearität an der Stelle $d$
$I_{\text{out}}$	Ausgangsstrom
$\overline{I_{\text{out}}}$	Gegenläufiger Ausgangsstrom
$I_{\text{out}, d}$	Differenzieller Ausgangsstrom
$j$	Imaginäre Einheit
$L$	Induktivität
$L_{\text{ser}}$	Serieninduktivität
$L_{\text{sh}}$	<i>Shunt</i> -Induktivität
$M_{\text{SF}}$	Anzahl Spalten eines Speicherfelds: $2^{M_{\text{SF}}}$
$N_{\text{b}}$	Nominale Auflösung des $R$ - $2R$ -Teils
$N_{\text{d}}$	Datenlänge
$N_{\text{DAU}}$	Nominale Auflösung
$N_{\text{DFT}}$	Länge der diskreten Fourier-Transformation
$N_{\text{e}}$	Länge der Impulsantwort der Vorverzerrung
$N_{\text{eq}}$	Filterlänge
$N_{\text{g}}$	Länge der zeitdiskreten modifizierten Impulsantwort
$N_{\text{h}}$	Länge der Impulsantwort
$N_{\text{Mess}}$	Länge der Messdaten
$N_{\text{Osz}}$	Anzahl der Oszilloskop-Messpunkte
$N_{\text{SF}}$	Anzahl Zeilen eines Speicherfelds: $2^{N_{\text{SF}}}$
$N_{\text{u}}$	Nominale Auflösung des unären Teils
$P$	Normierte Periode (natürliche Zahl)
$P_{\text{N}}$	Rauschleistung
$P_{\text{Q}}$	Leistung des Quantisierungsrauschens
$p_{\text{Q}}(\epsilon_{\text{Q}})$	Wahrscheinlichkeitsdichtefunktion für das Quantisierungsrauschen
$\mathbf{P}_{\sigma}$	Permutationsmatrix
$P_{\text{Sig}}$	Signalleistung
$P_{\text{sin}}$	Signalleistung eines Sinussignals
$Q$	Ladung
$R$	Widerstand
$r_{\text{DS}}$	Ausgangswiderstand
$R_{\text{L}}$	Lastwiderstand
$RMS_{\text{D}}$	Quadratischer Mittelwert aller Verzerrungen
$RMS_{\text{D}, \text{max}}$	Quadratischer Mittelwert des größten Störers
$RMS_{\text{N}}$	Quadratischer Mittelwert des gesamten Rauschens
$RMS_{\text{N\&D}}$	Quadratischer Mittelwert des Rauschens und der Verzerrungen
$RMS_{\text{Sig}}$	Quadratischer Mittelwert des Sinussignals
$R_{\text{o}}$	Ausgangswiderstand
$R_{\text{out}}$	Ausgangswiderstand
$\mathbf{S}$	S-Parameter-Matrix
$s$	Komplexer Frequenzparameter
$SDR$	Signal-zu-Verzerrungs-Verhältnis, engl.: <i>signal-to-distortion ratio</i>
$SFDR$	Störungsfreier Dynamikbereich, engl.: <i>spurious free dynamic range</i>
$S_{ij}$	S-Parameter
$S_{ij, d}$	Differenzieller S-Parameter

$SNDR$	Signal-zu-Rausch-und-Verzerrungs-Verhältnis, engl.: <i>signal-to-noise and distortion ratio</i> ; auch <i>SINAD</i>
$SNR$	Signal-zu-Rausch-Verhältnis, engl.: <i>signal-to-noise ratio</i>
$s(t)$	Sprungfunktion (Heaviside-Funktion)
$T$	Periodendauer
$t$	Zeit
$t_{C2O}$	Verzögerung zwischen Takt und Ausgang
$T_{DAU}$	Symboldauer der Sub-DAU
$t_{d,clk}$	Taktverzögerungszeit
$t_{d,data}$	Datenverzögerungszeit
$THD$	Verhältnis der Leistung aller Oberschwingungen zur Signalleistung, engl.: <i>total harmonic distortion</i>
$t_{HL}$	Abfallzeit
$t_{LH}$	Anstiegszeit
$t_{pHL}$	Verzögerungszeit für fallende Flanke
$t_{pLH}$	Verzögerungszeit für steigende Flanke
$T_s$	Symboldauer
$t_{setup}$	Setup-Zeit
$U$	Spannung
$U_{BB}$	<i>Body-Biasing</i> -Spannung
$U_{BBn}$	<i>Body-Biasing</i> -Spannung für nFETs
$U_{BBp}$	<i>Body-Biasing</i> -Spannung für pFETs
$U_{Bias,AMUX}$	Externe Bias-Einstellung für den AMUX
$U_{cm}$	Gleichtaktspannung
$U_{CML2CMOS}$	Externe Einstellung der Gleichtaktspannung am Übergang zwischen CML- und CMOS-Teil
$U_{DD}$	Positive Versorgungsspannung
$U_{DD,CML}$	Positive Versorgungsspannung des CML-Teils
$U_{DS}$	Drain-Source-Spannung
$U_{GS}$	Gate-Source-Spannung
$U_{in}$	Eingangsspannung
$U_{in}^-$	Gegenläufige Eingangsspannung
$U_{in,cm}$	Mittlere Eingangsspannung
$U_{in,d}$	Differenzielle Eingangsspannung
$U_{LSB}$	Ausgangsspannung einem LSB entsprechend
$u_\nu$	Unäres Bit $\nu$
$U_{Offs}$	Externe Einstellung für die Offset-Spannung am Takteingang
$U_{out}$	Ausgangsspannung
$U_{out}^-$	Gegenläufige Ausgangsspannung
$U_{out,cm}$	Gleichtaktspannung am Ausgang, mittlere Ausgangsspannung
$U_{out,d}$	Differenzielle Ausgangsspannung
$U_{out,SE}$	Unipolare Ausgangsspannung
$U_{out,SE}^-$	Gegenläufige unipolare Ausgangsspannung
$U_{p,d}$	Differenzielle Amplitude
$U_{pp,SE}$	Unipolarer Spannungshub
$U_{p,SE}$	Unipolare Amplitude

$U_{SS}$	Negative Versorgungsspannung bzw. 0 V
$U_{SS0, CML}$	Versorgungsspannung 0 V des CML-Teils
$U_{SS1, CML}$	Negative Versorgungsspannung des CML-Teils
$U_{SS2, CML}$	Negative Versorgungsspannung des CML-Teils
$U_{th}$	Schwellenspannung
$V_{clk, \lambda}(j\omega)$	Fourier-Transformierte der Impulsantwort des AMUX-Taktpfads $\lambda$
$v_{clk, \lambda}(t)$	Impulsantwort des AMUX-Taktpfads $\lambda$
$V_{\lambda}(j\omega)$	Fourier-Transformierte der Impulsantwort im Kanal $\lambda$
$v_{\lambda}(t)$	Impulsantwort, Bandbreitenlimitierungen im Kanal $\lambda$
$V_{out}(j\omega)$	Fourier-Transformierte der Impulsantwort des AMUX-Ausgangs
$v_{out}(t)$	Impulsantwort des AMUX-Ausgangs
$W$	Kanalweite
$W_{Fn}$	Fingerweite nFET
$W_{Fp}$	Fingerweite pFET
$W_n$	Gesamt-Gateweite nFET
$W_p$	Gesamt-Gateweite pFET
$X(e^{j\Omega})$	Fourier-Transformationsdarstellung einer Folge, Fourier-Transformation für Abtastsignale
$X(j\omega)$	Fourier-Transformierte
$X[k]$	Diskrete Fourier-Transformation einer Folge
$X_{\lambda}(e^{j\omega T_{DAU}})$	Zeitdiskrete Fourier-Transformation des digitalen Eingangssignals des DAUs $\lambda$
$x_{\lambda}[n]$	Digitales Eingangssignal des DAUs $\lambda$
$x[n]$	Diskontinuierliches Signal, häufig: Eingangssignal
$X_N[k]$	Diskrete Fourier-Transformation des rein stochastischen Rauschanteils
$x_N[n]$	Rein stochastischer Rauschanteil
$x_Q(nT_s)$	Quantisiertes Ausgangssignal
$x_s(t)$	Zeitkontinuierliche Impulsfolge
$X_{SD}[k]$	Diskrete Fourier-Transformation der Signal- und Verzerrungsanteile
$x_{SD}[n]$	Signal- und Verzerrungsanteile
$X_s(j\omega)$	Fourier-Transformation der zeitkontinuierlichen Impulsfolge
$x(t)$	Kontinuierliches Signal, häufig: Eingangssignal
$Y$	Admittanz
$Y(j\omega)$	Fourier-Transformierte
$Y[k]$	Diskrete Fourier-Transformation einer Folge
$Y_{\lambda}(j\omega)$	Fourier-Transformierte des analogen Ausgangssignals des DAUs $\lambda$
$y_{\lambda}(t)$	Analoges Ausgangssignal des DAUs $\lambda$
$y[n]$	Diskontinuierliches Signal, häufig: Ausgangssignal
$y(t)$	Kontinuierliches Signal, häufig: Ausgangssignal
$Z$	Impedanz

## Griechische Symbole

$\alpha$	Verhältnis aus mittlerer Rausch- und Signalleistung
$\beta$	<i>Roll-Off</i> -Faktor
$\beta_n$	Verstärkungsfaktor nFET
$\gamma$	Zeit(-parameter)
$\delta [n]$	Einheitsabtastrate, Einheitsimpuls
$\Delta_Q$	Quantisierungsintervall, Quantisierungsschritt
$\delta(t)$	Dirac-Stoß, Delta-Funktion
$\varepsilon_G(j\omega)$	Fourier-Transformation der Verstärkungsvariation
$\varepsilon_G(t)$	Verstärkungsvariation
$\epsilon_i$	Differenz/Fehler zum idealen Impulsvektor $\mathbf{i}$
$\epsilon_{i, \text{LPTV}}$	Differenz/Fehler zur idealen Impulsmatrix $\mathbf{i}_{\text{LPTV}}$
$\epsilon_Q(nT_s)$	Quantisierungsfehler
$\epsilon_r$	Relative Permittivität
$\mu_{\text{eye}}[i]$	Mittelwert des PAM-Niveaus $i$
$\pi$	Kreiszahl
$\sigma_{\text{eye}}[i]$	Standardabweichung des PAM-Niveaus $i$
$\tau$	Zeit(-parameter)
$\varphi$	Potenzial
$\phi$	Phase
$\Omega$	Normierte Kreisfrequenz
$\omega$	Kreisfrequenz
$\omega_g$	Grenzkreisfrequenz
$\omega_s$	Kreisfrequenz der Umsetzungsrate

## Physikalische Konstanten

$$\mu_0 = 4\pi \cdot 10^{-7} \text{ H/m} \quad \text{Magnetische Feldkonstante}$$



# Kurzzusammenfassung

Das stetige Anwachsen des globalen Datenverkehrs treibt optische Datenübertragungssysteme zu immer höheren Datenraten pro Träger-Wellenlänge. Digital-Analog-Umsetzer (DAU) in Sendesystemen sind kritische Komponenten bei der Realisierung derartiger Systeme und erfordern Umsetzungsraten im Bereich von 100 GS/s und darüber hinaus. Zur Integration mit digitalen Signalprozessoren spielen DAU in komplementärer Metall-Oxid-Halbleiter-Technologie (engl.: *complementary metal-oxide-semiconductor*, CMOS) eine zentrale Rolle. Analoge Zeitverschachtelung mehrerer DAU-Ausgänge mithilfe eines getakteten analogen Multiplexers (AMUX) ist ein Konzept, um die Umsetzungsraten zu erhöhen. Im Gegensatz zur einfachen Überlagerung von DAU-Ausgangssignalen erhöht die inhärent nichtlineare Operation die Bandbreite durch Verschiebung der prinzipbedingten Dämpfung. Daher bietet der Einsatz eines AMUXs eine universelle Lösung, die Umsetzungsraten und Bandbreiten von CMOS-DAUs zu erhöhen, und eröffnet neben der Weiterentwicklung der Technologie einen zweiten, konzeptuellen Weg hierfür. AMUX wurden bereits in hybriden Systemen, beispielsweise aus CMOS-DAUs und AMUX in Silizium-Germanium-Bipolartechnologie, eingesetzt. Allerdings wurde noch keine vollumfängliche CMOS-Integration eines solchen Systems bei vergleichbaren Umsetzungsraten, wie sie hier erreicht werden, demonstriert. In dieser Arbeit werden unter Verwendung unterschiedlicher Schaltungstopologien zwei Sub-DAU mit einer nominalen Auflösung von 8 bit zusammen mit einem AMUX auf einem Chip präsentiert. Dabei liegt der Fokus darauf, möglichst hohe Umsetzungs- und Datenraten zu erreichen. Die Leistungsaufnahme spielt eine untergeordnete Rolle. Die Schaltung ist in einer 28-nm-CMOS-Technologie (*fully-depleted silicon-on-insulator*) realisiert und ein zusätzlicher 256 KiS großer Speicher vervollständigt das System zu einem vollwertigen, universellen Arbiträrsignalgenerator.

Breitbandige, pulsamplitudenmodulierte (PAM) Signale bis zur Nyquist-Frequenz werden bis 108 GS/s (PAM-2) und Datenraten werden bis 240 Gbit/s (PAM-8) demonstriert. Darüber hinaus kann das System für Anwendungen mit Überabtastung schmalbandigerer Signale und eventueller Pulsformung bis 118 GS/s eingesetzt werden.

Entwurfsbedingt weist der DAU ein deterministisches, lineares, periodisch zeitvariantes Verhalten auf, was zu Verzerrungen führt. Um diese zu kompensieren bzw. zu reduzieren, wird ein universelles Verfahren zur Systemidentifikation und Vorverzerrung entwickelt. Da-

mit können deutliche Verbesserungen für pulsamplitudenmodulierte Signale wie auch für Eintonsignale erzielt werden.

Zusammenfassend wird in dieser Arbeit ein System aus zwei Sub-DAUs und einem AMUX zur Zeitverschachtelung auf analoger Ebene in CMOS-Technologie entwickelt, das Umsetzungsdaten deutlich über 100 GS/s erreicht.

# Abstract

The on-going growth of global data traffic drives increasing data rates per wavelength of optical data transmission systems. Digital-to-analog converters (DAC) in transmitter front ends are critical parts for the realization of such systems requiring sampling rates in the range of 100 GS/s and beyond. For integration with digital signal processors, complementary metal-oxide-semiconductor (CMOS) DACs are essential. One concept for increasing sampling rates is analog multiplexing of several DAC output signals in time domain using a clocked analog multiplexer (AMUX). The inherent nonlinear operation of an AMUX enables true bandwidth extension by a real roll-off shift towards higher frequencies compared to simple active or passive summation of DAC signals. Consequently, multiplexing in the analog domain is a flexible solution to further boost the sampling rate and bandwidth of any given CMOS DAC architecture in front of it and opens a second, conceptual path for achieving higher sampling rates next to technology advances. It has already been applied in hybrid systems, e.g. with CMOS DACs and silicon-germanium bipolar AMUXs, but no pure CMOS solution has been reported at comparable sampling rates as shown here. In this work, a full CMOS integration using different circuit topologies of two sub-DACs with a nominal resolution of 8 bit and an AMUX interleaving their outputs on a single chip is presented. The main emphasis is on reaching highest sampling and data rates rather than any power consumption considerations. The circuit is realized in 28-nm fully-depleted silicon-on-insulator CMOS technology and an additional on-chip 256-KiS memory completes the system to a universal arbitrary waveform generator.

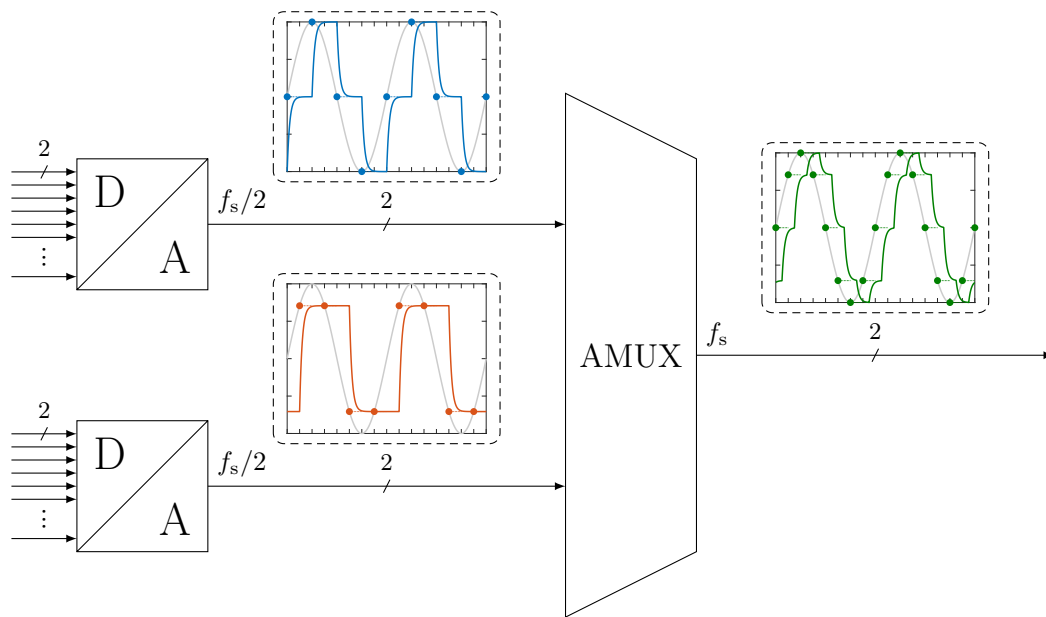
Broadband, pulse amplitude modulated (PAM) signals up to Nyquist frequency are demonstrated up to 108 GS/s (PAM-2) and data rates up to 240 Gbit/s (PAM-8). Moreover, the DAC system can be used for oversampling applications of less broadband signals and pulse shaping for sampling rates up to 118 GS/s.

Furthermore, the DAC reveals deterministic, linear, periodically time-varying behavior due to design causing impairments in terms of distortions and hence deteriorating signal quality. To compensate for these distortions, a universal system identification method as well as a powerful predistortion are developed dealing with these special shortcomings. A massive improvement for pulse amplitude modulated as well as for single-tone signals can be shown.

To conclude, a system consisting of two sub-DACs with time interleaving in the analog domain by active, analog multiplexing in CMOS technology is developed reaching sampling rates clearly beyond 100 GS/s.

# 1 Einleitung

Digital-Analog-Umsetzer (DAU) wie auch Analog-Digital-Umsetzer (ADU) sind zentrale Elemente in elektronischen Schaltungen an der Schnittstelle zwischen der digitalen und der analogen Welt. Ein DAU transformiert in einer nichtlinearen Transformation zeit- und wertdiskrete Signale in zeit- und wertkontinuierliche Signale – bzw. umgekehrt im Falle eines ADUs [1]. Es gibt zahlreiche Anwendungen für DAU, beispielsweise in der Nachrichtentechnik oder bei der Erzeugung von Audio- und Videosignalen. Jede Anwendung definiert eigene Anforderungen an den DAU hinsichtlich Umsetzungsrate, Auflösung, Bandbreite etc. Eine Umsetzung ist immer dann erforderlich, wenn digitale Informationen auf die „physikalische Welt“, also physikalische Medien, wie beispielsweise Übertragungskanäle, treffen. Die dominante Technologie aufgrund hoher Integrierbarkeit ist die siliziumbasierte komplementäre Metall-Oxid-Halbleiter-Technologie (engl.: *complementary metal-oxide-semiconductor*, CMOS). Sie kommt in digitalen Signalprozessoren (engl.: *digital signal processor*, DSP) zur digitalen Signalverarbeitung zum Einsatz. Daher sind DAU in CMOS-Technologie von größtem Interesse, um alle relevanten elektronischen Komponenten auf einem Chip integrieren zu können, ohne dass komplexe hybride Systeme mit anderen Technologien erforderlich sind. Im Rahmen dieser Arbeit wird ein DAU in CMOS-Technologie für höchste Umsetzungsraten vorgestellt, weshalb sich der Anwendungsbereich vor allem auf die Nachrichtentechnik fokussiert. Denn die Datenübertragung ist der Treiber für die Weiterentwicklung von DAU hinsichtlich Erhöhung der Umsetzungsrate und Bandbreiten. DAU sind sowohl für optische Datenübertragungssysteme [2] als auch für elektrische Sendesysteme mit Vorverzerrung [3] von Bedeutung. Darüber hinaus sind derartige DAU aber auch von großem Interesse zur Signal-Synthese, u. a. für Laborexperimente. Sie sind die Kernelemente von Arbiträrsignalgeneratoren (engl.: *arbitrary waveform generator*, AWG) und liefern die analoge Version des zuvor generierten digitalen Signals [4]. Der DAU enthält neben der Funktion der Digital-Analog-Umsetzung auch einen integrierten Speicher, sodass er als vollwertiger, universeller AWG eingesetzt werden kann. Eine Besonderheit ist die Integration zweier DAU-Kerne sowie eines analogen Multiplexers (AMUX) auf einem einzigen Chip in CMOS-Technologie, symbolisch dargestellt in Abb. 1.1. Zeitverschachtelung, insbesondere mithilfe eines AMUXs, ist ein sehr effektiver Weg, die Umsetzungsrate  $f_s$  zu erhöhen und prinzipielle Bandbreitenlimitierungen zu verschieben. Darüber hinaus wird ein mächtiges, dem DAU-Verhalten entsprechendes Vorverzerrungskonzept



**Abbildung 1.1:** Blockschaltbild des DAUs dieser Arbeit.

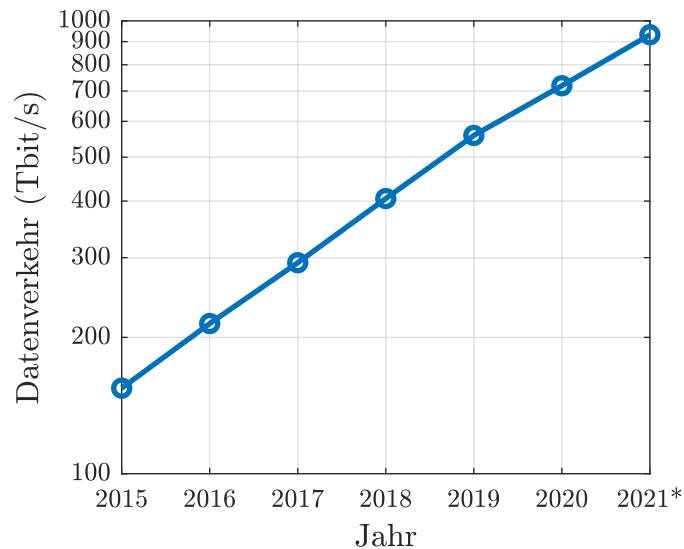
für deterministische, lineare, periodisch zeitvariante Systeme präsentiert und in Messungen angewendet.

Zunächst werden Anwendungen mit zwei konkreten Beispielen aus der Nachrichtentechnik sowie der Experimentalphysik vorgestellt.

## 1.1 Optische Datenübertragungssysteme

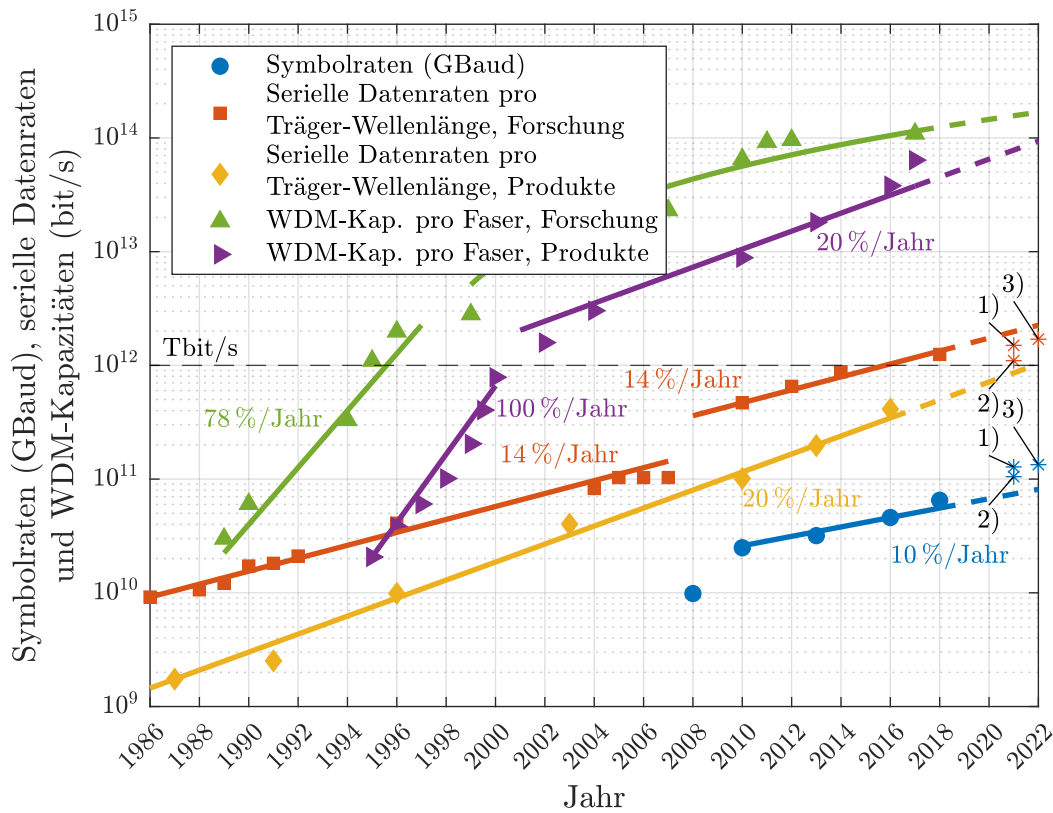
Der weltweite Datenverkehr verzeichnet einen andauernden, massiven Anstieg mit exponentiellem Charakter. Repräsentativ soll hier der weltweite Datenverkehr aus einer Analyse der Internationalen Fernmeldeunion (engl.: *International Telecommunication Union*, ITU) anhand von Abb. 1.2 als Indikator betrachtet werden [5]. Zuletzt stieg der Datenverkehr demnach um etwa 30 % pro Jahr. Eine Analyse basierend auf verschiedenen Parametern findet sich in [6]. Allen Daten gemein ist die Erkenntnis, dass der Datenverkehr über einen langen Zeitraum exponentiell zunimmt und die Geschichte lehrt, dass exponentielles Wachstum in Informations- und Kommunikationstechnik für erstaunlich lange Zeit – mehrere Jahrzehnte – anhalten kann [7]. Zu nennen ist hierzu beispielsweise das Mooresche Gesetz [8]. Daher ist von anhaltendem exponentiellem Wachstum auszugehen. Glasfasernetze, insbesondere jene, welche den Datenverkehr über sehr weite Strecken rund um den Globus transportieren, müssen mit diesem Schritt halten. Aber auch Glasfasernetze über kürzere Distanzen mit hohen Anforderungen sind von Bedeutung [9].

Optische Übertragungssysteme durchliefen unterschiedliche Entwicklungsstufen. Die Entwicklung von Symbolraten elektronischer Komponenten sowie der Datenraten in optischen



**Abbildung 1.2:** Weltweiter Datenverkehr nach [5]. \*) ITU-Schätzung.

Datenübertragungssystemen über mehr als 30 Jahre bis 2018 sowie Extrapolationen bis 2022 nach [6, 7] sind in Abb. 1.3 dargestellt, ergänzt um Ergebnisse aktueller Experimente nach [9–11]. In der Vergangenheit gelang es stets, auch durch disruptive Ansätze, die Grenzen zu verschieben und mögliche Limits zu überschreiten [6]. Es ist allerdings zu erkennen, dass kommerzielle Systeme zuletzt über einige Jahre hinweg mit etwa 20% pro Jahr skalieren. Die Symbolraten der elektronischen Komponenten skalieren mit einer gewissen Diskrepanz mit nur ca. 10% pro Jahr. Es kommen Wellenlängenmultiplex-Systeme (engl.: *wavelength division multiplexing*, WDM bzw. engl.: *dense wavelength division multiplexing*, DWDM) mit digitaler Signalverarbeitung sowohl im Sender als auch im Empfänger zum Einsatz, wobei die Komponenten zur Umwandlung zwischen digitaler und analoger Domäne eine zentrale Rolle spielen. Daher werden in diesem Unterkapitel DAU im Kontext der kohärenten optischen Übertragung betrachtet und das Prinzip dieser Übertragung basierend auf den Ausführungen in [2] vorgestellt. Ein Blockdiagramm eines solchen Systems ist in Abb. 1.4 dargestellt. Dabei werden die ankommenden Daten zunächst zur Vorwärtsfehlerkorrektur und Modulation aufbereitet. Die prinzipiellen DSP-Funktionen des Sendeteils enthalten die Zuordnung der Daten zu den Größen Amplitude, Phase und Polarisation, Synchronisation, Dispersionskompensation, Pulsformung, Vorverzerrung sowie die Kompensation der Treiber, der elektro-optischen Komponenten und weiterer Effekte. Als Ergebnis erhält man zwei komplexe Signale, jeweils für X- und Y-Polarisation (Signale  $XI$ ,  $XQ$ ,  $YI$ ,  $YQ$ ). Die mittels digitaler Signalverarbeitung modifizierten Daten werden dann an die DAU geleitet. Anschließend werden die so umgesetzten analogen Signale linear verstärkt, um die Modulatoren für

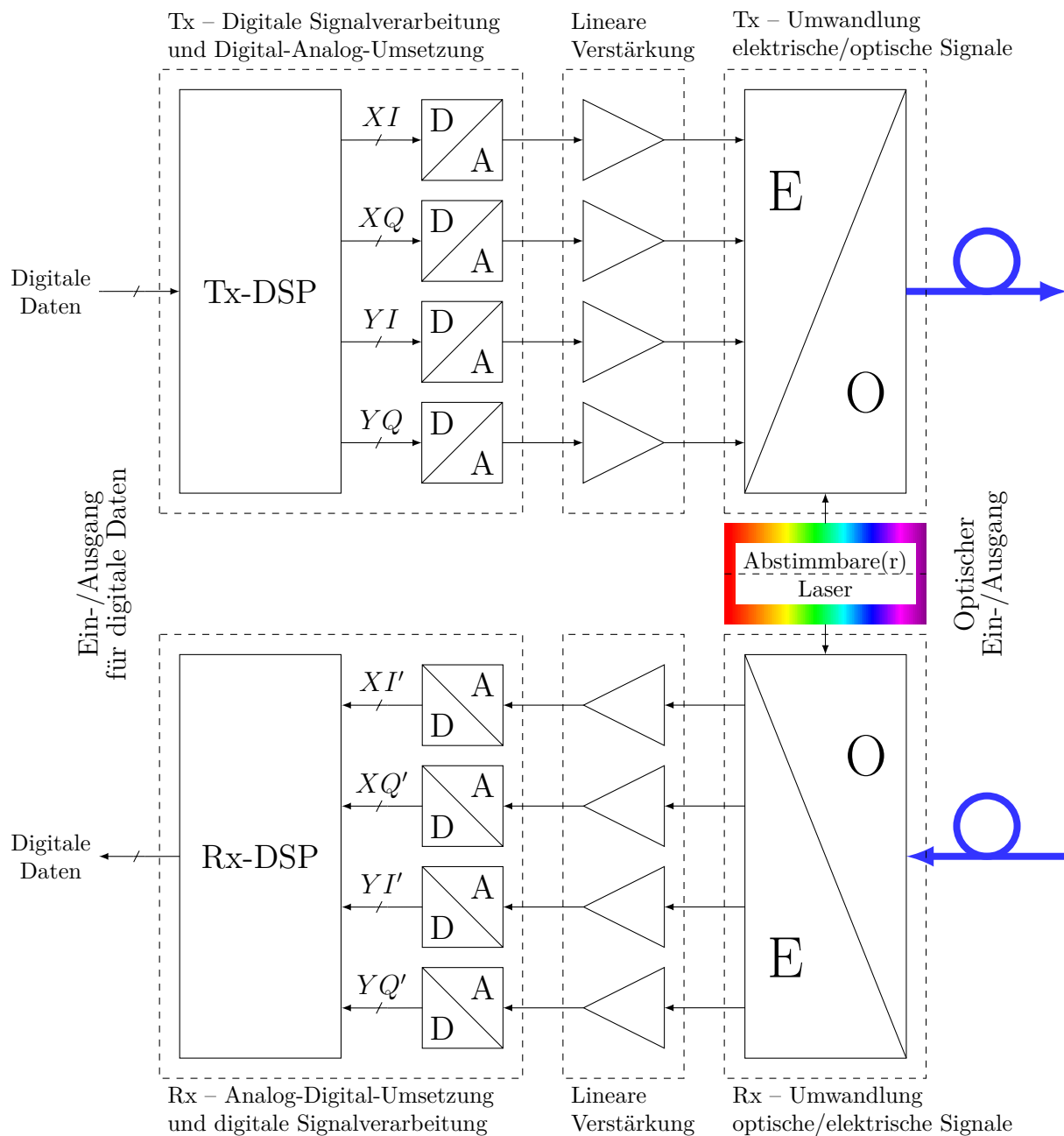


**Abbildung 1.3:** Entwicklung optischer Übertragungssysteme mit Extrapolation bis 2022 (extrahiert aus [6, 7]). Zusätzlich sind abschnittsweise Näherungen der jährlichen Wachstumsraten eingezeichnet, die den exponentiellen Charakter und die anhaltenden Trends verdeutlichen. Weitere Datenpunkte 1) bis 3) aus [10], [9] und [11].

den abstimmbaren Dauerstrichlaser zu treiben und so letztendlich elektro-optisch (E/O) gewandelt. Im Empfänger werden die Signale zunächst von optischen Signalen in elektrische Basisband-Signale umgewandelt. Die mittels ADUn digitalisierten Daten werden entzerrt und entsprechend verarbeitet. Auch hierbei sind umfangreiche DSP-Operationen erforderlich. DAU im Sendeteil erlauben digitale Signalverarbeitung zur Vorverzerrung sowie zur Realisierung einer Fülle an durch Software definierbaren Modulationsformaten. Erst der Einsatz von DAUn ermöglicht eine solch mächtige Flexibilität [2, 9].

Die Anforderungen an schnelle DAU und auch an ADU sind hoch: Umsetzungsrate, Auflösung, Signal-zu-Rausch-und-Verzerrungs-Verhältnis (engl.: *signal-to-noise and distortion ratio*, *SNDR* bzw. *SINAD*), Taktfrequenz, Jitter und Leistungsaufnahme sind wichtige Parameter, die es zu optimieren gilt. Der Begriff „schnell“ bezieht sich in diesem Zusammenhang auf hohe Umsetzungsraten, hohe Schaltfrequenzen und hohe Bandbreiten und wird im Weiteren auch für hohe Datenraten verwendet. Da eine Auflösung von mehreren Bits





**Abbildung 1.4:** Blockdiagramm eines kohärenten optischen Sende- und Empfangssystems nach [2] (Tx: Sendesystem, Rx: Empfängersystem).

bei hohen Umsetzungsraten zu sehr hohen Datenraten zwischen den CMOS-DSPen und den DAUn bzw. den ADUn führt, ist die monolithische Integration dieser Komponenten auf einem Chip erforderlich [2, 9]. Beispielsweise beträgt die erforderliche parallele Datenrate beim DAU dieser Arbeit bei einer Umsetzungsrate von  $f_s = 100 \text{ GS/s}$  mit  $N_{\text{DAU}} = 8$  bit nominaler Auflösung  $800 \text{ Gbit/s}$ .

Generell können die Datenraten pro Träger-Wellenlänge durch eine Erhöhung der Information – der Anzahl an Bits pro Symbol – oder durch Erhöhung der Symbolrate gesteigert

werden. Allerdings benötigt Ersteres ein größeres  $SNDR$  und reduziert die Entfernung [9]. Die Möglichkeit der monolithischen Integration mit den DSPen macht reine CMOS-DAU unter den Gesichtspunkten Kosten, Fläche und Leistungsaufnahme zwar besonders attraktiv für kommerzielle Systeme, allerdings weisen Komponenten in CMOS-Technologie im Allgemeinen geringere elektrische Bandbreiten auf als DAU in anderen Technologien, wie Silizium-Germanium-Heterobipolartechnologien (SiGe-HBT) [10] oder Indiumphosphid-*Double-Heterojunction-Bipolar-Transistor*-Technologien (InP-DHBT) [12, 13]. Aufgrund dessen ist eine Vorverzerrung erforderlich, um den abnehmenden Amplitudengang auszugleichen und Signale konstanter spektraler Leistungsdichte am Ausgang zu erhalten, was zu kleineren Signalpegeln und damit verbunden zu einem kleineren Signal-zu-Rausch-Verhältnis (engl.: *signal-to-noise ratio*,  $SNR$ ) bzw.  $SNDR$  führt [9]. In [9, 14] wird sogar von einer „Bandbreitenlücke“ zwischen der genutzten Signalbandbreite und der verfügbaren Bandbreite gesprochen. Wenngleich höchste Bitraten in optischen Übertragungsexperimenten mit SiGe-DAUn erzielt werden konnten [10, 11] (vgl. 1) und 3) in Abb. 1.3), so konnten in jüngsten Experimenten Netto-Datenraten bis  $\sim 1,1$  Tbit/s pro Träger-Wellenlänge mit CMOS-DAUn erzielt werden [9], was deren Konkurrenzfähigkeit unterstreicht – s. 2) in Abb. 1.3.

In [14] werden Übertragungsexperimente aus der Forschung dargestellt und konkrete Anforderungen an DAU für künftige Systeme abgeleitet, auch im Zusammenhang mit AMUXn. Diese Terabit-Übertragungssysteme – gemeint ist die Bitrate pro Träger-Wellenlänge – zielen zunächst auf 1,2 Tbit/s bis 1,6 Tbit/s ab. Mit Verweis auf [7] werden auch in [14] entsprechende kommerzielle Terabit-Systeme ab etwa 2023 erwartet sowie Symbolraten von 100 GBd im Jahr 2024. Als zukünftige Ziel-Anforderungen an die elektronischen Komponenten und konkret an die DAU werden Symbolraten von 125 GBd bis 166 GBd und Umsetzungsraten von 160 GS/s bis 200 GS/s genannt. Eine Methode, die Umsetzungsraten von DAU zu erhöhen, um den Anforderungen gerecht zu werden, ist, die Ausgangssignale von mehreren DAUn mithilfe eines AMUXs zu kombinieren, wobei der AMUX die Signalqualität nicht negativ beeinträchtigen sollte. Geschieht dies in einem hybriden Aufbau, widerspricht dies allerdings dem Integrationsgedanken und möglicherweise dem Aspekt einer geringen Leistungsaufnahme [10, 14]. Der Ansatz dieser Arbeit entspricht der Zielsetzung der vollständigen Integration in CMOS-Technologie und der Chip sowie die Konzepte sollen einen Beitrag leisten, den genannten Anforderungen für zukünftige optische Übertragungssysteme näherzukommen.

## 1.2 Weitere Anwendungen durch direkte digitale Signal-Synthese

Neben der Anwendung in optischen Übertragungssystemen gibt es für den realisierten AWG weitere, mannigfaltige Anwendungsmöglichkeiten, auch dank des großen Speichers. Die Möglichkeit der direkten digitalen Synthese verschiedenster Signale macht den Einsatz so flexibel, wenngleich oftmals nicht die allerhöchsten Umsetzungsdaten hierzu erforderlich sind. Generell können DAU in zwei Kategorien eingeteilt bzw. eine jeweilige Anwendung adressiert werden: Nyquist-Umsetzer und Umsetzer mit Überabtastung [1]. Die Bezeichnungen beziehen sich auf den genutzten Anteil der verfügbaren Bandbreite [1]. Umsetzer mit Überabtastung arbeiten bei Umsetzungsdaten deutlich über der Nyquist-Rate, während Nyquist-Umsetzer nahe an dieser arbeiten [15]. Damit kann der DAU sowohl breitbandige Signale bis zur Nyquist-Frequenz als auch schmalbandigere mit Überabtastung bei höherer zeitlicher Auflösung ausgeben, wobei auch Pulsformung möglich ist. Die digitale Pulsformung eröffnet die Möglichkeit, mittels eines DAUs die spektrale Ausdehnung des Signals (Bandbreite) sowie die spektrale Form zu kontrollieren. Dadurch kann Intersymbol-Interferenz verringert werden [2]. Eine sehr bekannte Filterfamilie in diesem Zusammenhang ist die des *Raised-Cosine-Filters* bzw. *Root-Raised-Cosine-Filters*. Die Vorzüge der Pulsformung gelten genauso in der optischen Datenübertragung. Eine besonders effiziente Hardware-Implementierung eines *Raised-Cosine-Filters* in einer 22-nm-CMOS-Technologie mittels eines angepassten DAU-Konzepts [16] mit ungleichmäßigen Quantisierungsstufen ist in [17] dargestellt.

Ausgangssignale von DAUs sind von drei grundsätzlichen Artefakten betroffen: Spiegelspektren, Frequenzgang durch Halte-Operation und nichtlineare Verzerrungen. Für Rekonstruktionsfilter (oder analoges Interpolationsfilter) zur Unterdrückung von Spiegelspektren können mitunter sehr harte Anforderungen gelten, insbesondere, wenn sich die Signalfrequenzen der Nyquist-Frequenz nähern, sodass eine Realisierung außerhalb des Chips notwendig sein kann, mit entsprechenden Nachteilen wie Kosten und Platzbedarf [18]. Eine Erhöhung der Umsetzungsrate, beispielsweise realisiert mittels Zeitverschachtelung, kann zur Auslöschung von Spiegelfrequenzen genutzt werden und die Filteranforderungen reduzieren [15, 18]. Damit kann die Signalqualität erhöht werden, was neben der Erhöhung der nutzbaren Bandbreite bzw. der Erhöhung von Datenraten eine weitere Motivation für die Erhöhung von Umsetzungsdaten sein kann. Eine präzise Differenzierung von unterschiedlichen Zeitverschachtelungskonzepten folgt in Kap. 1.4.

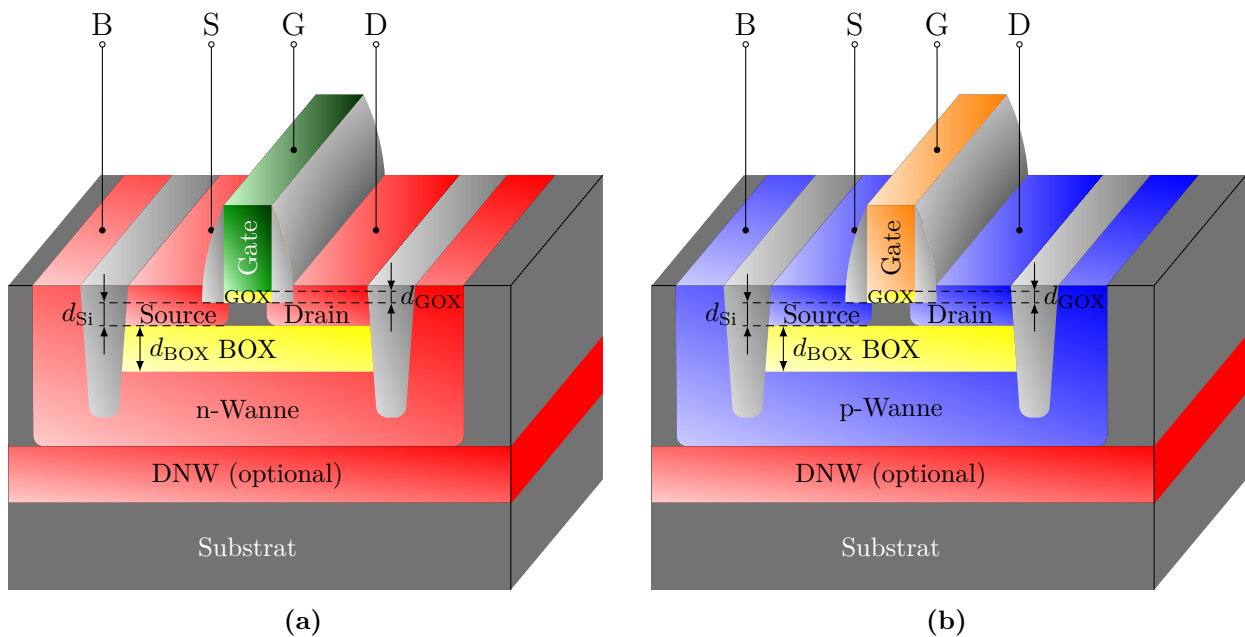
Generell eignet sich der DAU für Ultrabreitband-Anwendungen. In diesen kommt es häufig insbesondere auf hohe Umsetzungsdaten und weniger auf eine hohe Auflösung an, bei moderaten *SNR*-Werten [19]. Weiterhin sind DAU bzw. AWGs beispielsweise für *Software-Defined-Radio*-Applikationen [19] oder verschiedenste Laborexperimente von Interesse. Als

etwas exotischeres Beispiel für „Laborexperimente“ soll als Anwendung der Quantencomputer genannt werden. In [20] werden zahlreiche DAU zur Signalerzeugung eingesetzt. Eine Frage in diesem Zusammenhang ist jene nach der Skalierbarkeit solcher komplexen Systeme. Hier sind integrierte CMOS-Lösungen mit sehr geringen Leistungsaufnahmen, insbesondere bei tiefen Temperaturen, von Interesse [21–23]. Wenngleich der DAU in dieser Arbeit nicht für letztgenannte Anwendung konzipiert ist, verdeutlicht sie doch das ausgesprochen breite Anwendungsfeld und den Bedarf an DAU in CMOS-Technologie.

### 1.3 28-nm-FD-SOI-CMOS-Technologie

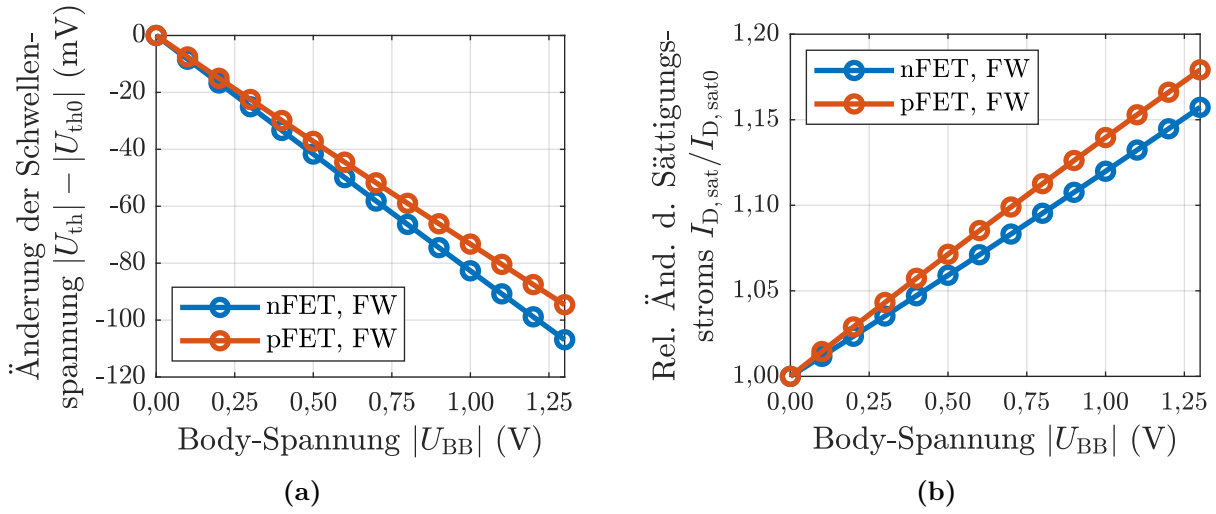
Die stetig fortschreitende Entwicklung der CMOS-Technologie, welche sich an dem von Gordon E. Moore aufgestellten, empirischen Gesetz [8] orientiert, ermöglichte und ermöglicht integrierte Schaltungen (engl.: *integrated circuit*, IC) mit zunehmender Komplexität und immer höheren Frequenzen. Diese sich selbst erfüllende Prophezeiung manifestierte sich in einem Plan, der *International Technology Roadmap for Semiconductors* (ITRS) [24], der die Triebkraft der Entwicklung widerspiegelt, wenn auch zunehmend an Grenzen stoßend. In modernen CMOS-Technologien bildeten sich u. a. die folgenden zwei Konzepte heraus: die FD-SOI- (engl.: *Fully-Depleted Silicon-on-Insulator*, FD-SOI) und die FinFET-Technologie (Feldeffekttransistor, engl.: *field-effect transistor*, FET). Als moderne FD-SOI-Technologien sollen hier die 28-nm-Technologie von *STMicroelectronics* [25–27] sowie die 22-nm-Technologie von *GlobalFoundries* [28, 29] genannt werden, welche beide Hochfrequenz- (HF) und Millimeterwellen-Anwendungen in CMOS-Technologie ermöglichen. Der im Rahmen dieser Arbeit entwickelte DAU wurde in der 28-nm-FD-SOI-CMOS-Technologie von *STMicroelectronics* entworfen. Die FD-SOI-Technologie bietet vielfältige positive Eigenschaften für analoge wie digitale Schaltungen, die der entsprechenden Bulk-Technologie überlegen sind. Eine Auswahl einiger Besonderheiten und Charakteristika, die für die Entwicklung des DAUs eine wichtige Rolle spielen, wird im Folgenden vorgestellt. Die Ausführungen basieren, sofern nicht anders gekennzeichnet, auf [25–27].

Abbildung 1.5 zeigt den schematischen Aufbau der verwendeten Transistoren. Die genaue Bezeichnung der Technologie, *Ultra-Thin Body and Buried Oxide* FD-SOI CMOS, wird anhand der Abbildungen verständlich. Der Transistorkanal besteht in dieser planaren Topologie aus einem sehr dünnen, undotierten (intrinsischen) Silizium-Film (*fully-depleted*) der Dicke  $d_{\text{Si}} = 7 \text{ nm}$  auf einer isolierenden, vergrabenen Oxidschicht (engl.: *buried oxide*, BOX) mit einer Dicke von  $d_{\text{BOX}} = 25 \text{ nm}$ . Über die isolierende BOX-Schicht kann der Transistor auf der Oberseite über die Rückseite (Body) beeinflusst werden, wodurch die Schwellenspannung  $U_{\text{th}}$  effizient verschoben werden kann, was sich im Weiteren als wichtige Stellgröße für HF-Anwendungen zeigen wird. Insofern kann der Body-Anschluss als zweites Gate betrachtet



**Abbildung 1.5:** Schematischer Aufbau der eingesetzten FW-Transistoren (nicht maßstabsgerecht). In (a) ist ein n-Kanal-MOSFET gezeigt, in (b) ein p-Kanal-MOSFET (rot: n-Typ, blau: p-Typ). Wesentliche Merkmale der FD-SOI-Technologie sind der dünne, intrinsische Silizium-Kanal mit einer Dicke  $d_{Si} = 7 \text{ nm}$  sowie das BOX mit  $d_{BOX} = 25 \text{ nm}$ . Alle vier Anschlüsse – Gate (G), Source (S), Drain (D) und Body (B) – sind eingezeichnet. Die dicke des Gateoxids (GOX) ist mit  $d_{GOX}$  bezeichnet. Des Weiteren sind die FW-Topologie sowie die optionale, tiefe, n-Typ-dotierte Wanne (engl.: *deep n-well*, DNW) dargestellt. Der Aufbau soll die wesentlichen Aspekte aufzeigen und erhebt nicht den Anspruch einer präzisen, technologisch detailgenauen Darstellung. Die Darstellungen basieren auf den Ausführungen in [25–27].

werden, entsprechend das Bauelement als planares *Dual-Gate*-Bauelement, welches einen weiteren Freiheitsgrad bereitstellt. Er kann einerseits zur Erhöhung der Performanz und damit der maximal möglichen Schaltfrequenzen durch sogenanntes *Forward-Body-Biasing* (FBB) eingesetzt werden. Dabei wird die Schwellenspannung gesenkt, was allerdings auch zu einem erhöhten Leckstrom führt. Insgesamt wird dabei die Treiberfähigkeit gestärkt. Andererseits kann durch sogenanntes *Reverse-Body-Biasing* (RBB) die Energieeffizienz optimiert werden. So sinkt durch Erhöhung von  $U_{th}$  der Leckstrom. Daher stellt das *Body-Biasing* (BB) ein mächtiges Werkzeug dar, welches je nach Fokus der Anwendung die Transistoreigenschaften optimiert. Zwar ist eine Beeinflussung von  $U_{th}$  durch den Body-Anschluss auch in Bulk-Technologien möglich, allerdings ist die maximale Body-Spannung durch parasitäre Dioden von Source/Drain zum Body begrenzt und der Einfluss, der Body-Faktor, ist zudem geringer. Im Gegensatz dazu erlaubt die FD-SOI-Technologie sogenannte FW-Bauelemente (umgekehrt dotierte Wanne, engl.: *flip-well* bzw. *flipped well*, FW). Dies bedeutet, dass der n-Kanal-MOSFET (Metall-Oxid-Halbleiter-Feldeffekttransistor, engl.: *metal-oxide-semiconductor field-effect transistor*, MOSFET) – nFET – über einem n-Typ-Body-Gebiet sitzt und der p-Kanal-MOSFET – pFET – über einem p-Typ-Body-Gebiet, so, wie es in Abb. 1.5 dargestellt ist.



**Abbildung 1.6:** Simulierter Einfluss des FBBs auf (a)  $U_{th}$  und (b)  $I_{D,sat}$  (Simulation auf Schaltplanebene). Die Transistorweiten des n-Kanal- und p-Kanal-MOSFETs betragen  $4\ \mu\text{m}$  bzw.  $8\ \mu\text{m}$  bei einer Fingerweite von  $500\ \text{nm}$  bzw.  $1\ \mu\text{m}$ . Für FBB ist die Body-Spannung  $U_{BB}$  beim n-Kanal-MOSFET positiv und beim p-Kanal-MOSFETs negativ bezüglich Masse  $U_{SS} = 0\ \text{V}$ .  $U_{th0}$  und  $I_{D,sat0}$  repräsentieren die entsprechenden Werte bei  $U_{BB} = 0\ \text{V}$ .

Dies erlaubt FBB von betragsmäßig bis zu  $3\ \text{V}$  für je n-Kanal- und p-Kanal-MOSFET und damit ein effizientes BB zur Absenkung von  $U_{th}$  (vgl. hierzu Abb. 1.6a).

Die Auswirkungen der Body-Spannungen auf die Parameter Schwellenspannung  $U_{th}$  und den Sättigungsstrom  $I_{D,sat}$  sind in Abb. 1.6 dargestellt. Zur Bestimmung der Schwellenspannung wird hier die Methode der linearen Extrapolation im linearen Bereich des MOSFETs am Punkt der maximalen Steigung des Drain-Stroms  $I_D$  über der Gate-Source-Spannung  $U_{GS}$  gewählt [30–33]. Des Weiteren wird die relative Änderung des Sättigungsstroms  $I_{D,sat}$  bei  $U_{DS} = U_{GS} = 1\ \text{V}$  im Verhältnis zu jenem bei einer Body-Spannung  $U_{BB} = 0\ \text{V}$  ( $I_{D,sat0}$ ) bestimmt ( $U_{DS}$ : Drain-Source-Spannung). FBB erhöht darüber hinaus die Steilheit

$$g_m = \left. \frac{\partial I_D}{\partial U_{GS}} \right|_{U_{DS}=\text{konst.}} \quad (1.1)$$

Die Vorteile des FBBs, stellvertretend durch einige Schlüsselparameter hier dargelegt, in Kombination mit geringeren parasitären Kapazitäten ermöglichen höhere Frequenzen und Bandbreiten durch die FD-SOI-Technologie im Vergleich zu einer Bulk-Technologie.

Da das primäre Ziel bei der Realisierung des DAUs eine größtmögliche Schaltfrequenz ist, werden FW-Transistoren und in vielen Teilen FBB eingesetzt, um die Schaltung bei höheren Frequenzen betreiben zu können. Höhe und asymmetrische Wahl der BB-Spannungen stellen mögliche Freiheitsgrade dar.

Als Parameter zur Einordnung der HF-Charakteristik werden die Transitfrequenz  $f_T$  und die maximale Oszillationsfrequenz  $f_{max}$  betrachtet. Die Transitfrequenz ist diejenige Frequenz,

bei welcher die Kleinsignal-Stromverstärkung ( $H_{21}$ -Parameter) in Source-Schaltung

$$H_{21}(j\omega) = \frac{|I_D(j\omega)|}{|I_G(j\omega)|} \Big|_{\omega=2\pi f_T} = 1 \quad (1.2)$$

wird. Die Ströme  $I_D$  und  $I_G$  bezeichnen den Drain- bzw. den Gate-Strom. In Abhängigkeit der Bauelement-Werte kann

$$f_T \approx \frac{g_m}{2\pi(C_{GS} + C_{GB} + C_{GD})} \quad (1.3)$$

berechnet werden, wobei  $g_m$  direkt eingeht.  $C_{GS}$ ,  $C_{GB}$  und  $C_{GD}$  sind die Gate-Source-, Gate-Body- bzw. die Gate-Drain-Kapazität [34].

Ein weiterer wichtiger Bewertungsfaktor ist die sogenannte maximale Oszillationsfrequenz  $f_{\max}$ . Diese ist in Abhängigkeit der unilateralen Leistungsverstärkung  $G_U$  für lineare Zweitore definiert als [35, 36]

$$G_U(f)|_{f=f_{\max}} = 1. \quad (1.4)$$

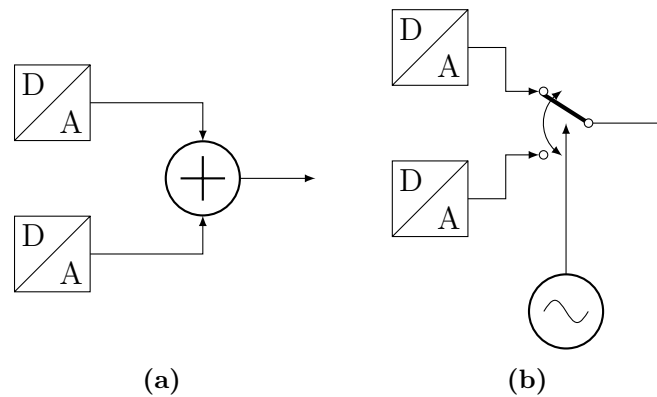
In [25–27] werden für  $f_T$  und  $f_{\max}$  Frequenzen über 300 GHz für den intrinsischen Transistor (nFET) angegeben sowie 246 GHz bzw. 359 GHz bei einem nFET mit BEOL-Struktur (hinteres Ende der Produktionslinie, engl.: *back end of line*, BEOL) in [25].

Insgesamt stehen neun Metalllagen zur Verfügung, wobei die oberen drei Metalle insbesondere zur Realisierung von Induktivitäten, langen und gegebenenfalls angepassten Signalleitungen sowie für Versorgungsspannungszuleitungen mit verringerten Serienwiderständen verwendet werden. Als nominale Drain-Source- und Gate-Source-Spannung gilt in dieser Arbeit eine Spannung von 1 V, welche bis 1,15 V erhöht werden kann.

Zusammenfassend weist die eingesetzte FD-SOI-Technologie einige vorteilhafte Charakteristika zur Realisierung einer integrierten Mischsignalschaltung mit hohen Schaltfrequenzen auf. Neben den intrinsischen Transistoreigenschaften stellt das FBB ein mächtiges Werkzeug dar.

## 1.4 Einordnung des Konzepts

Um die Leistungsfähigkeit von DAUn im Sinne dieser Arbeit zu erhöhen, stehen prinzipiell drei Konzepte zur Verfügung, in welche der hier vorgestellte DAU eingeordnet werden soll. Zwei Konzepte basieren auf Verschachtelung im Zeitbereich und sind in Abb. 1.7 gegenübergestellt. Die Steigerung der Performanz ist hierbei hinsichtlich Umsetzungsrate  $f_s$ , Bandbreite und Signalqualität zu verstehen, wobei nicht alle Konzepte zur Verbesserung aller Eigenschaften führen. Ein weiteres Konzept basiert auf Verschachtelung im Frequenzbereich. Bei diesem handelt es sich um einen sehr komplexen Ansatz mit diversen Komponenten,



**Abbildung 1.7:** Konzepte für zeitverschachtelte DAU, hier beispielhaft für zwei DAU nach [14, 15]. (a) Zeitverschachtelung durch Überlagerung (linear) zweier paralleler DAU-Pfade, deren phasenverschobene Ausgangssignale addiert werden. (b) Zeitverschachtelung durch einen getakteten AMUX (nichtlineare Umschaltoperation).

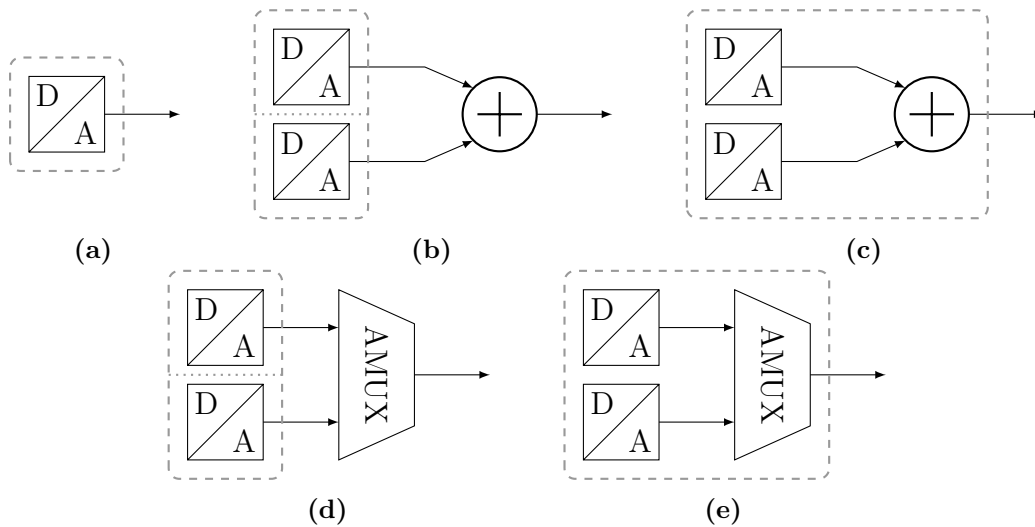
vielen Parametern, Abhängigkeiten, teilweisen Einschränkungen sowie sehr aufwändigen Filterstrukturen und er ist zudem nur schwer zu integrieren [15]. Daher wird dieser Ansatz hier nicht weiter betrachtet.

Ein Konzept im Zeitbereich zur Erhöhung der Umsetzungsrate und Signalqualität ist die Zeitverschachtelung durch aktive oder passive Überlagerung paralleler, phasenverschobener DAU-Signale, im Weiteren als lineares *Überlagerungskonzept* bezeichnet (vgl. Abb. 1.7a). Die Sub-DAU-Signale werden entweder passiv, beispielsweise mittels eines analogen Leistungskombinierers, oder aktiv, beispielsweise mittels eines summierenden Verstärkers, linear kombiniert. Innerhalb dieses Konzepts gibt es zwei grundlegende Varianten: das Überlagerungskonzept mit *Non-Return-to-Zero*-Pulsen (NRZ) sowie das Überlagerungskonzept mit *Return-to-Zero*-Pulsen (RZ). Die Begriffe sind hierbei nicht binär zu verstehen. Im Falle von NRZ-Pulsen überlappen die einzelnen Teilsignale am analogen Ausgang, weshalb eine Vorverarbeitung der digitalen Daten in einem Filter zur Kompensation der Überlagerungen angewendet wird. Das lineare Überlagerungskonzept mit RZ-Pulsen erfordert eine derartige Kompensation nicht, da die einzelnen Pulse idealerweise nicht überlappen. Außerdem werden bei RZ-DAU die Nullstellen des  $\sin(x)/x$ -*Roll-Offs* zu höheren Frequenzen verschoben. Allerdings sind bei diesem Konzept die Anforderungen an die Schaltfrequenzen der Sub-DAU und damit an die analogen Bandbreiten höher im Vergleich zum NRZ-Konzept, weshalb es nicht zur Steigerung der Leistungsfähigkeit einer gegebenen Sub-DAU-Architektur geeignet ist. Eine schaltungstechnische Realisierung einer Mischung beider Konzepte für 100 GS/s, in welcher zwei NRZ-Sub-DAU mit 50 GS/s kombiniert werden, welche ihrerseits wiederum aus je zwei RZ-Sub-DAU bei 25 GS/s bestehen, ist in [37–39] gezeigt. In erster Linie können mit beiden Konzepten die Umsetzungsrate und damit die nutzbare Bandbreite um die Anzahl der kombinierten DAU erhöht sowie die Signalqualität verbessert werden. Letzteres geschieht durch die Unterdrückung von Spiegelspektren, wodurch darüber hinaus die Filteranforderungen an ein



eventuell eingesetztes Rekonstruktionsfilter reduziert werden. Präziser werden spektrale Kopien abhängig vom Grad der Verschachtelung verschoben, womit ein größerer Frequenzbereich zur Signalerzeugung zur Verfügung steht. Trotz der Erhöhung der Umsetzungsrate und damit prinzipiell der nutzbaren Synthesebandbreite wird durch das lineare Überlagerungskonzept die analoge Bandbreite nicht erhöht. Sie wird weiterhin von der Tiefpass-Charakteristik der einzelnen Sub-DAU und deren  $\sin(x)/x$ -Roll-Off begrenzt [14, 15, 18, 39–41]. Daher ist es zur Weiterentwicklung im Sinne einer Erhöhung sowohl der Umsetzungsrate als auch der prinzipiellen analogen Bandbreite ( $\sin(x)/x$ -Roll-Off) nicht geeignet und wird hier nicht weiter verfolgt.

Eine Kombination aus Sub-DAU und einem AMUX adressiert hingegen beide Ziele. Die Nachteile des linearen Überlagerungskonzepts können in der in Abb. 1.7b dargestellten nichtlinearen Umschaltoperation umgangen werden, da hierbei die Ausgangsbandbreite erhöht werden kann. Ein AMUX agiert als Umschalter zwischen den Ausgängen der Sub-DAU. Er ist etwa in der Mitte eines jeden Symbols der einzelnen DAU für dieses transparent. Aufgrund der nichtlinearen Umschaltoperation – der AMUX-Operation im Sinne dieser Arbeit – hat das kombinierte Ausgangssignal dieses DAU-AMUX-Konzepts sowohl eine höhere Umsetzungsrate als auch eine höhere Bandbreite verglichen mit den einzelnen DAU, wobei von einer höheren Ausgangsbandbreite des AMUXs im Vergleich zu den Sub-DAU ausgegangen wird [15]. Daher wird dieses Konzept in diesem Forschungsprojekt in Form zweier Sub-DAU und eines 2:1-AMUXs verfolgt. Im Idealfall werden die Umsetzungsrate und die nutzbare Bandbreite dabei verdoppelt. Die formale Begründung wird in Kap. 2.10, der exakte mathematische Beweis in Anhang C.2 gegeben. Ein AMUX stellt einen zweiten, konzeptuellen Weg zur Steigerung der Leistungsfähigkeit dar, unabhängig von der Technologieentwicklung und der Schaltungstopologie der Sub-DAU. Letztere kann sowohl bei hybriden als auch bei integrierten Systemen unabhängig vom AMUX gewählt werden. Im Falle eines hybriden Systems kann zusätzlich die Technologie gewechselt werden, beispielsweise CMOS-Technologie für die DAU und SiGe-HBT für den AMUX. Potenziell vorteilhaft gegenüber dem linearen Überlagerungsprinzip ist darüber hinaus, dass die Ausgangssignale der Sub-DAU während ihrer jeweiligen Übergangsphasen (idealerweise) vom AMUX-Ausgang isoliert sind [15]. Auf diese Weise lassen sich unter Umständen Artefakte der Sub-DAU wie Störimpulse oder Jitter im AMUX-Ausgangssignal bis zu einem gewissen Grad ausblenden bzw. reduzieren und so die Signalqualität verbessern – vorausgesetzt der AMUX generiert seinerseits keine neuen signifikanten Artefakte. Auf gewisse Weise ist dies vergleichbar mit dem *Degitching* mittels eines Abtast-Halte-Glieds nach dem DAU in [1]. Dies stellt neben der *Roll-Off*-Verschiebung zugleich einen wesentlichen Unterschied zu Konzepten mit Überlagerung von RZ-Signalen dar [39]. Der AMUX führt im übertragenen Sinne nochmals eine „Abtastung“ mit erneuter zeitlicher Abstimmung bzw. Ausrichtung auf analoger Ebene durch. Ergänzend

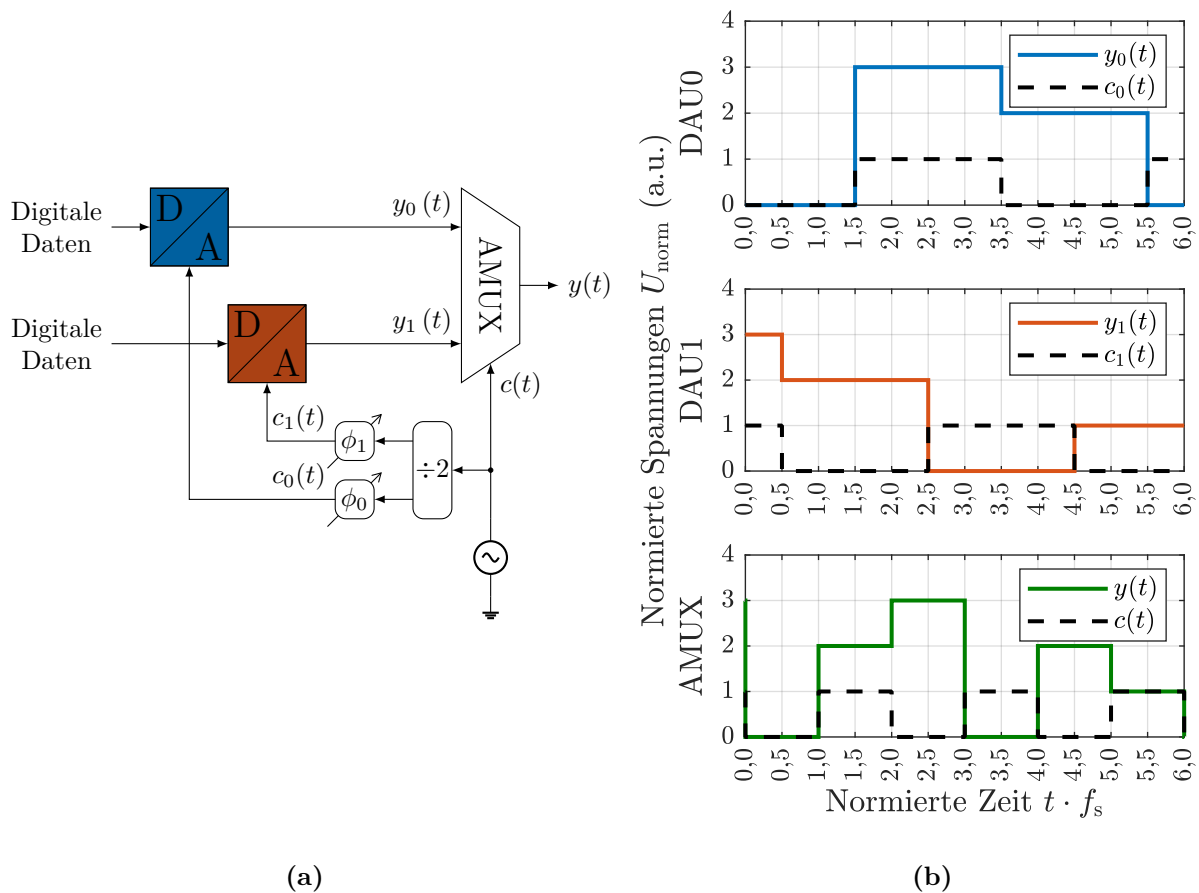


**Abbildung 1.8:** Konzepte zur Steigerung der Leistungsfähigkeit von DAUs nach [14]. Die grauen Markierungen stellen die Systemintegration dar, in (b) bis (e) vorzugsweise in CMOS-Technologie. (a) Serieller DAU in einer schnelleren Technologie als CMOS (z. B. SiGe-HBT oder InP-DHBT). (b) bis (e) zeigen mögliche Realisierungen der Zeitverschachtelungskonzepte beispielhaft für zwei DAU. Die Ausgangssymbole der Sub-DAU sind entsprechend phasenverschoben (nicht eingezeichnet). (b) und (d) stellen hybride Konzepte für die Zeitverschachtelungsansätze nach Abb. 1.7a und 1.7b dar, die unterschiedliche Halbeitertechnologien erlauben. (c) und (e) zeigen die Zeitverschachtelungsansätze bei monolithischer Integration. Die Konzepte (b) bis (e) sind entsprechend erweiterbar auf  $N$  DAU.

dazu reduziert das AMUX-Konzept die Kapazität am Ausgang der DAU im Vergleich zu direktem Zusammenschalten mehrerer DAU-Ausgänge in den Überlagerungskonzepten, was zu erhöhter parasitärer Kapazität führt [38]. In [37–39] wird dieses Problem mittels einer verteilten Ausgangsstruktur adressiert.

Abbildung 1.8 fasst unterschiedliche Konzepte zur Steigerung der Leistungsfähigkeit in unterschiedlichen Integrationskonzepten zusammen. Beispiele für entsprechende Realisierungen des Konzepts in Abb. 1.8a finden sich in [42] bei 100 GS/s, in [10] bei 128 GS/s und in [11] bei 134 GS/s. Weiterhin seien als Beispiele für die Konzepte nach den Abbildungen 1.8b und 1.8c [43] bei 200 GS/s und [37–39] bei 100 GS/s genannt. Ein AMUX gemäß Abb. 1.8d wird beispielsweise in [44] bei 56 GS/s, in [45] bei 100 GS/s, in [46] bei 120 GS/s, in [47] bei 120 GS/s bzw. 150 GS/s und in [12, 13] bei 168 GS/s demonstriert, wobei bei Letzterem ein verändertes Schema angewendet wird. Ebenfalls stellt die Umsetzungsrate nur eine von mehreren wichtigen Kenngrößen dar. Dabei erfolgt hier in den genannten Realisierungsbeispielen keine Beschränkung auf CMOS-DAU bei der Zeitverschachtelung. Eine Realisierung des Konzepts aus Abb. 1.8d mit zwei CMOS-DAUs mit je 90 GS/s und einem AMUX in SiGe-Bipolartechnologie mit Ergebnissen bis 120 GBaud wird in [48] gezeigt.

Im Rahmen dieser Arbeit wird das Konzept aus Abb. 1.8e verfolgt, das die Vorteile eines AMUXs, also der Zeitverschachtelung mit der Möglichkeit der Bandbreitenerhöhung, und jene der vollständigen, monolithischen CMOS-Integration bei einer potenziell geringeren



**Abbildung 1.9:** (a) Blockschaltbild des zeitverschachtelten Systems aus einem AMUX und zwei Sub-DAU<sub>n</sub> und (b) ideale Operation im Zeitbereich nach [15].

Leistungsaufnahme vereint. Damit ist das Konzept für das DAU-System hinsichtlich Zeitverschachtelungsmethode und Systemintegration eingeordnet. Um die Schaltfrequenzen zu verringern wird sowohl in den Sub-DAU<sub>n</sub> als auch im AMUX ein Halbratentakt-Konzept herangezogen, sodass jeweils Symbole zu einer steigenden und zu einer fallenden Taktflanke ausgegeben werden. Dabei erfolgt ein sorgfältig differenzierter Einsatz unterschiedlicher Schaltungstopologien in den unterschiedlichen Teilen. Abbildung 1.9 zeigt das zugehörige Blockschaltbild und idealisierte Impulsdiagramme. Dabei wird von rechteckförmigen Ausgangssignalen ausgegangen und der AMUX „schneidet“ die DAU-Ausgangssignale in der jeweiligen Halteperiode mittig „aus“, um maximale Toleranz gegenüber zeitlichen Ungenauigkeiten wie Taktjitter zu erhalten. Die einstellbaren Taktphasen  $\phi_0$  und  $\phi_1$  weisen eine Differenz von  $90^\circ$  bezüglich der DAU-Takte auf.

## 1.5 Zielsetzung dieser Arbeit

Die Zielsetzung dieser Arbeit besteht darin, ein vollständig integriertes System bestehend aus zwei Sub-DAU<sub>n</sub> und einem AMUX zur Maximierung der Umsetzungsrate  $f_s$  in CMOS-Technologie zu integrieren. Dabei steht insbesondere der Bereich 100 GS/s und höher im Fokus; erstmals für ein System dieser Art. Obgleich fortgeschrittenere CMOS-Technologien verfügbar sind, sollen Umsetzungsraten erreicht werden, die dem Stand der Technik entsprechen oder diesen sogar übertreffen. Damit wird die Leistungsfähigkeit des Konzepts demonstriert. Aufgrund dieser Priorisierung werden Aspekte wie eine geringe Leistungsaufnahme oder maximale Linearität weniger forciert. Es geht primär um höchstmögliche Umsetzungsraten und Schaltfrequenzen. Als Parameter der Performanz spielt darüber hinaus eine maximale Datenrate eine wichtige Rolle. Zu diesem Zweck werden insbesondere Augendiagramme pulsamplitudenmodulierter Signale (PAM) untersucht. Zur universellen Nutzbarkeit wird zusätzlich ein 256 KiS – im Weiteren werden bei Bedarf Binärpräfixe verwendet – großer statischer Speicher mit wahlfreiem Zugriff (engl.: *static random-access memory*, SRAM), dessen Speichergröße damit im Rang eines kommerziellen DAUs ist, implementiert, um einen vollwertigen, universellen AWG zu erhalten. Der Entwurf der beiden Sub-DAU mit einer nominalen Auflösung von  $N_{\text{DAU}} = 8$  bit steht unter dem Leitgedanken der vollständigen CMOS-Kompatibilität. Dies bedeutet, dass sowohl hinsichtlich der benötigten Versorgungsspannung als auch der eingesetzten schaltungstechnischen Elemente eine möglichst weitreichende Kompatibilität zu CMOS-Logik-Schaltungen wie in DSPen gegeben sein soll und sie somit in ihrer Architektur von üblichen Implementierungen abweichen. Auch dies ist ein Aspekt, welcher im Rahmen dieser Arbeit untersucht wird. Die Kompatibilität zu hochintegrierten Schaltungen kann ein wichtiges Kriterium sein und ist ein Vorteil der sogenannten *Source-Series-Terminated*-Topologie, die in entsprechenden Treibern bzw. Sendern Anwendung findet [3].

Damit liegt eine komplexe Mischsignalschaltung vor, die sich zur Signal-Synthese für nachrichtentechnische und andere Experimente eignet, welche Signale mit sehr hohen Bandbreiten oder zeitlicher Auflösung erfordern. Die Begriffe DAU und AWG werden im Folgenden synonym verwendet und meinen jeweils das gesamte System. Geht es um die beiden DAU-Einheiten, welche die digitalen Signale vor dem AMUX in analoge Signale umwandeln, wird von „Sub-DAU“ oder „DAU-Kernen“ gesprochen.

Entwurfsbedingte zeitvariante Artefakte – präzise: deterministisches, lineares, periodisch zeitvariantes Verhalten – verlangen darüber hinaus eine geeignete Vorverzerrung. Daher wird ein Verfahren zur Systemidentifikation samt Vorverzerrungsverfahren entwickelt. Messungen werden die positiven Einflüsse der Vorverzerrung bestätigen.

Eine Aufschlüsselung der Beiträge zu dieser Arbeit ist in Anhang A gegeben.

## 1.6 Aufbau dieser Arbeit

Im zweiten Kapitel werden zunächst grundlegende theoretische Betrachtungen und charakteristische Parameter von DAUs präsentiert. In Vorbereitung auf die spätere Vorverzerrung ist dabei die Beschreibung linearer, periodisch zeitvarianter Systeme ein wesentlicher Aspekt. Denn im Laufe der Arbeit zeigt sich das genannte zeitvariante Verhalten des DAUs, welches kompensiert werden muss. Des Weiteren wird mithilfe eines DAU-AMUX-Modells die Verschiebung des  $\sin(x)/x$ -Roll-Offs durch den AMUX mathematisch bewiesen, eine prinzipielle Überlegenheit dieses Konzepts gegenüber anderen zeitverschachtelten Konzepten.

Daraufhin wird im dritten Kapitel ausführlich auf die schaltungstechnische Realisierung des DAUs eingegangen. Dabei wird generell zwischen zwei Schaltungstopologien unterschieden: CMOS und Stromschaltertechnik bzw. Stromschalterlogik (engl.: *current-mode logic*, CML). Ein besonders herausfordernder und kritischer Teil ist der Taktpfad des Systems. Er wird breitbandig – beginnend bei geringen Frequenzen bis zur maximalen Frequenz von 63 GHz – entworfen. Dies erlaubt maximale Flexibilität bei der messtechnischen Untersuchung. Es folgen die Vorstellung des Speichers, der DAU-Kerne sowie des AMUXs.

In Kapitel 4 steht die lineare Vorverzerrung im Mittelpunkt. Dabei werden unterschiedliche Konzepte diskutiert und analysiert, um am Ende ein universelles Vorverzerrungskonzept zu entwickeln, welches zeitvariante Effekte berücksichtigt. Dieses Konzept wird sich in den Messungen als sehr mächtig erweisen und ist für die Demonstration der höchsten Performanz unabdingbar.

Anschließend folgen die Ergebnisse der messtechnischen Charakterisierung des DAUs. Zunächst wird der Messaufbau einschließlich der erforderlichen Leiterplatten vorgestellt, bevor das System mittels statischer Charakterisierung, dynamischer Charakterisierung durch Eintonensignale sowie anhand von PAM-Signalen analysiert wird. Ein Vergleich der Ergebnisse mit dem Stand der Technik und eine Bewertung des Konzept schließen das Kapitel ab, woraufhin eine allgemeine Zusammenfassung sowie ein Ausblick folgen.



---

## 2 Theoretische Betrachtungen und charakteristische Parameter von Digital-Analog-Umsetzern

In diesem Kapitel werden einige systemtheoretische Grundlagen vorgestellt und die in dieser Arbeit verwendeten Notationen eingeführt. Darüber hinaus werden charakteristische Performanz-Parameter von DAUn dargelegt. Zuletzt wird die AMUX-Operation mathematisch beschrieben und die prinzipielle Bandbreitenerhöhung bewiesen.

Die Umsetzungsrate  $f_s$  hängt mit der Symboldauer  $T_s$  über  $f_s = 1/T_s$  zusammen. Im Falle von Abtastung entsprechen diese Größen der Abtastfrequenz bzw. der Abtastperiode. Generell hat  $f_s$  die Einheit einer Frequenz, welche für Berechnungen im SI-System (internationales Einheitensystem, franz.: *ystème international d'unités*, SI) maßgeblich ist. Werden explizit Umsetzungsraten angegeben, wird die künstliche Einheit „S“ (Samples/Symbole) angehängt.

Unipolare Signale (engl.: *single-ended*, SE) sind in dieser Arbeit nicht als Gegensatz zu einem bipolaren Signal, sondern zu einem differenziellem Signal gemeint. Darunter ist ein Signal zu verstehen, das nicht gegen ein gegenläufiges Signal, sondern zu einem festen Massepotenzial bzw. einem konstanten Referenzpotenzial definiert ist. Es wird eine „Polarität“ zweier zueinander differenziellen Signale betrachtet – gegen eine virtuelle Masse. Ein Querstrich markiert das jeweils gegenläufige Signal. Entsprechendes gilt für SE-Spannungen.

### 2.1 Systemtheoretische Grundlagen und Notationen

Im Folgenden sollen einige fundamentale systemtheoretische Zusammenhänge dargestellt sowie Definitionen und Notationen eingeführt werden, wie sie innerhalb dieser Arbeit verwendet werden.

Allgemein können Signale wie folgt klassifiziert werden [49]:

- Analoge Signale: zeitkontinuierlich, wertkontinuierlich,
- Abgetastete Signale: zeitdiskret, wertkontinuierlich,
- Quantisierte Signale: zeitkontinuierlich, wertdiskret,
- Digitale Signale: zeitdiskret, wertdiskret.

Konzeptuell führt ein Umsetzer eine Transformation von Signalen aus: von zeit- und wertdiskreten (digitale Domäne) zu zeit- und wertkontinuierlichen Signalen (analoge Domäne) und umgekehrt. Diese Transformation ist inhärent nichtlinear [1]. Man spricht auch von kontinuierlichen bzw. diskontinuierlichen oder von analogen bzw. bei diskreten Signalwerten von digitalen Signalen und Systemen. In diesem Sinne ist ein DAU ein hybrides System, welches digitale Signale in kontinuierliche Signale umsetzt. Auf die Feinheit, dass ein idealer DAU endlicher Auflösung stufenförmig diskrete Werte ausgibt und insofern ein wertdiskretes Ausgangssignal erzeugt, sei hingewiesen. Die Quantisierung ist ein irreversibler Prozess, der zu Quantisierungsrauschen führt. Dennoch wird von „analog“ gesprochen, da real kontinuierliche Ausgangssignale erzeugt werden.

Eine ausführliche Darstellung der für diese Arbeit maßgeblichen systemtheoretischen Grundlagen und Notationen ist in Anhang B zu finden. Im Weiteren bezeichnen  $x(t)$  und  $y(t)$  kontinuierliche Signale,  $\delta(t)$  und  $\delta[n]$  die Delta-Funktion und den Einheitsimpuls sowie  $h(t, \tau)$  die im Allgemeinen zeitvariante Impulsantwort eines linearen, kontinuierlichen Systems. Die Faltung zweier Signale wird mit „\*“ gekennzeichnet und die Fourier-Transformierte eines Signals  $x(t)$  wird mit  $X(j\omega)$  bezeichnet. Für die Kreisfrequenz  $\omega$  und die Frequenz  $f$  gilt  $\omega = 2\pi f$ . Im diskontinuierlichen Fall lauten die entsprechenden Bezeichnungen  $x[n]$  bzw.  $h[n, \nu]$  mit  $n, \nu \in \mathbb{Z}$ . Als Schreibweise der Fourier-Transformation für Abtastsignale wird  $X(e^{j\Omega})$  verwendet. Zuletzt wird die diskrete Fourier-Transformation (DFT) einer Folge der Länge  $N$  ( $n, k \in \{0, \dots, N-1\}$ ) mit  $X[k] = \text{DFT}_N\{x[n]\}$  dargestellt. Der Operator  $(\cdot)^H$  bildet die entsprechende adjungierte Matrix, wobei die ursprüngliche Matrix transponiert  $(\cdot)^T$  und konjugiert  $(\cdot)^*$  wird.

## 2.2 Das Abtasttheorem und die ideale Rekonstruktion

Der (periodische) Abtastprozess kann mathematisch in zwei Teilschritte zerlegt werden, wobei die folgenden Ausführungen [49–52] entnommen sind, sofern nicht anders angegeben. Zunächst erfolgt in einem Dirac-Impulsfolgenmodulator die Multiplikation des analogen Signals  $x(t)$  mit einer periodischen Dirac-Impulsfolge zu einer zeitkontinuierlichen Impulsfolge  $x_s(t)$ . Anschließend wird die kontinuierliche Impulsfolge in eine zeitdiskrete Folge  $x[n]$  umgesetzt, die keine explizite Information mehr über die Abtastrate enthält. Die Abtastwerte werden nun durch diskrete Werte dargestellt und nicht mehr durch die Fläche eines Impulses wie bei  $x_s(t)$  [50]. In Gl. (2.1) wird das Signal  $x(t)$  in eine Impulsfolge  $x_s(t)$  umgewandelt.

$$x_s(t) = x(t) \sum_{\nu=-\infty}^{\infty} \delta(t - \nu T_s) = \sum_{\nu=-\infty}^{\infty} x(\nu T_s) \delta(t - \nu T_s) = \sum_{\nu=-\infty}^{\infty} x[\nu] \delta(t - \nu T_s) . \quad (2.1)$$

Die Fourier-Transformierte dieser Impulsfolge kann unter Verwendung der Korrespondenz



aus Gl. (B.16) entsprechend Gl. (2.2) angegeben werden.

$$\begin{aligned} X_s(j\omega) &= \int_{-\infty}^{\infty} \sum_{\nu=-\infty}^{\infty} x(\nu T_s) \cdot \delta(t - \nu T_s) \cdot e^{-j\omega t} dt \\ &= \frac{1}{2\pi} X(j\omega) * D_{\omega_0}(j\omega) = \frac{1}{T_s} \sum_{\mu=-\infty}^{\infty} X\left(j\omega - j\mu \frac{2\pi}{T_s}\right) \end{aligned} \quad (2.2)$$

Aus dieser Gleichung geht hervor, dass die Fourier-Transformierte von  $x_s(t)$  – abgesehen von einem Skalierungsfaktor – aus einer Superposition sich periodisch wiederholender Kopien der Fourier-Transformierten von  $x(t)$  besteht, jeweils verschoben um ganzzahlige Vielfache der Abtastfrequenz. Kopien bei  $\mu \neq 0$  werden im Weiteren als *Spiegelspektren* bezeichnet. Daraus ergibt sich das Abtasttheorem u. a. nach C. E. Shannon [53], das mitunter auch als *Nyquist-(Shannon-)Abtasttheorem* bezeichnet wird; hier in der Formulierung nach [52] sowie in abgewandelter Form nach [50].

*Abtasttheorem:* Es sei  $x(t)$  ein bandbegrenztes Signal mit  $X(j\omega) = 0$  für  $|\omega| > \omega_g$ . Dann ist  $x(t)$  durch seine Abtastwerte  $x(nT_s)$  ( $n = 0, \pm 1, \pm 2, \dots$ ) eindeutig bestimmt, wenn Folgendes gilt:

$$\omega_s = \frac{2\pi}{T_s} > 2\omega_g. \quad (2.3)$$

Mithilfe eines idealen Tiefpassfilters mit dem Verstärkungsfaktor  $T_s$  (vgl. Vorfaktor  $1/T_s$  in Gl. (2.2) und später in Gl. (2.6)) und der Grenzfrequenz  $\omega_{\text{TP}}$  mit  $\omega_g < \omega_{\text{TP}} < \omega_s - \omega_g$  kann  $x(t)$  aus  $x_s(t)$  rekonstruiert werden.

Man bezeichnet  $\omega_g/\pi = 2f_g$  als *Nyquist-Rate*,  $f_s/2 = \omega_s/(4\pi)$  als *Nyquist-Frequenz*. Zu beachten ist, dass dies für amplitudenkontinuierliche Signale gilt. Eine Wertdiskretisierung aufgrund endlicher Auflösung und damit verbundenes Quantisierungsrauschen führt zu einem irreversiblen Informationsverlust. Ist die Bedingung (2.3) nicht erfüllt, überlappen sich Kopien von  $X(j\omega)$ , es kommt zu Alias-Effekten (*Aliasing*). Das Abtasttheorem wird von großer Bedeutung für die Ausgabe der Signale aus dem DAU sein. Die Signalrekonstruktion mittels eines Tiefpasses mit Grenzfrequenz  $\omega_s/2$  ergibt:

$$x(t) = \sum_{\nu=-\infty}^{\infty} x[\nu] \frac{\sin(\pi(t - \nu T_s)/T_s)}{\pi(t - \nu T_s)/T_s}. \quad (2.4)$$

Man kann zeigen, dass

$$X_s(j\omega) = X(e^{j\Omega}) \Big|_{\Omega=j\omega T_s} = X(e^{j\omega T_s}) \quad (2.5)$$

ist und somit gilt für das Spektrum des abgetasteten Signals:

$$X(e^{j\Omega}) = \frac{1}{T_s} \sum_{\mu=-\infty}^{\infty} X\left(j\frac{\Omega}{T_s} - j\mu\frac{2\pi}{T_s}\right). \quad (2.6)$$

Es handelt sich demnach nur um eine frequenzskalierte Version von  $X_s(j\omega)$  mit  $\Omega = \omega T_s$ . Im Weiteren werden die Frequenzbereiche  $[lf_s/2, (l+1)f_s/2]$  mit  $l \in \mathbb{N}_0$  als  $(l+1)$ -te Nyquist-Zone bezeichnet – hier nur der positive Frequenzbereich betrachtet. Der Bereich  $[0, f_s/2]$  wird auch *Nyquist-Band* oder *Basisband* genannt [1, 15, 18].

Für manche Anwendungen kann eine Änderung der Abtastrate von Interesse sein und der DAU auch zur Synthese solcher Signale dienen. Für eine genauere Betrachtung von Abtastratenerhöhung und Abtastratenreduktion sei auf [50] verwiesen. Weiterhin ist es durch Kombination von Abtastratenerhöhung und Abtastratenreduktion auch möglich, die Abtastrate um einen nicht ganzzahligen Faktor zu verändern.

## 2.3 Systemtheoretische Aspekte linearer, zeitvarianter Systeme

Aus der System-Architektur des DAUs heraus ergibt sich ein periodisch zeitvariantes Verhalten, was bei der universellen Vorverzerrung in Kap. 4 eine besondere Rolle spielen wird. Eine reine lineare, zeitinvariante Beschreibung (engl.: *linear, time-invariant, LTI*) ist daher nicht ausreichend, um ein universelles Modell zu erhalten und um so die Effekte zu kompensieren. Daher soll hier basierend auf [54] gesondert auf lineare, zeitvariante Systeme eingegangen werden. Die Begrifflichkeiten in dieser Arbeit werden analog zu [54, 55] verwendet. Dabei kommt die Zeitvarianz nicht durch Mehrwegeausbreitung, sich bewegende Sender bzw. Empfänger oder eine sich verändernde Umgebung zustande, sondern durch den „Zustand“ des DAUs bei Ausgabe eines Symbols, der sich auf dessen Pulsform auswirkt. Details hierzu werden in Kap. 5.2.3 diskutiert. Die mathematische Beschreibung sowie die Methoden entsprechen aber jenen aus der Nachrichtenübertragung.

Ein lineares, kontinuierliches System ist durch eine zweidimensionale (zeitvariante) Impulsantwort  $h(t, \tau)$ , einer Funktion zweier unabhängiger Variablen  $t$  und  $\tau$ , bestimmt. Das Ausgangssignal  $y(t)$  kann in Form eines Superpositionsintegrals – ein „verallgemeinertes Faltungsintegral“ oder auch „zeitvariante Faltung“ – mittels des Eingangssignals  $x(t)$  und der Impulsantwort ausgedrückt werden [51, 54]:

$$y(t) = \int_{-\infty}^{\infty} x(\tau) h(t, \tau) d\tau. \quad (2.7)$$

Entsprechend ergibt sich im diskontinuierlichen Fall eine Superpositionssumme:

$$y[n] = \sum_{\nu=-\infty}^{\infty} x[\nu] h[n, \nu] . \quad (2.8)$$

Es handelt sich demnach um eine „Überlagerung von Impulsreaktionen des betreffenden Systems mit unterschiedlichen Stoßstellen der Impulserregungen und verschiedenen Impulsstärken“ [51]. Prinzipiell müssen unendlich viele Antworten  $h(t, \tau)$  betrachtet werden, um ein zeitvariantes System vollständig zu beschreiben; bei zeitinvarianten Systemen genügt eine einzige [54]. Durch strukturbedingte Periodizität der Zeitvarianz im DAU ergibt sich ein Spezialfall und es wird später mit einer endlichen Anzahl an Impulsreaktionen gearbeitet.

Aufgrund mehrerer Nachteile der zeitvarianten Impulsantwort, wird mittels einer Variablentransformation  $\tau = t - \gamma$  eine modifizierte zeitvariante Impulsantwort  $g(t, \gamma)$ , auch (*input delay-spread function*) genannt, eingeführt [54, 55]:

$$g(t, \gamma) := h(t, t - \gamma) . \quad (2.9)$$

Die modifizierte Impulsantwort kann als Antwort des Systems zum Beobachtungszeitpunkt  $t$  auf einen Dirac-Impuls, der zum Zeitpunkt  $t - \gamma$  wirksam ist, interpretiert werden. Somit stellt  $\gamma$  die Verzögerungszeit zwischen Beobachtungszeitpunkt und Dirac-Stoß dar [54]. Sowohl  $h(t, \tau)$  als auch  $g(t, \gamma)$  charakterisieren ein lineares, zeitvariantes System vollständig und sind demnach Systemfunktionen. Damit gilt

$$\begin{aligned} y(t) &= \int_{-\infty}^{\infty} x(t - \gamma) h(t, t - \gamma) d\gamma = \int_{-\infty}^{\infty} x(t - \gamma) g(t, \gamma) d\gamma \\ &\stackrel{\zeta=t-\gamma}{=} \int_{-\infty}^{\infty} x(\zeta) g(t, t - \zeta) d\zeta =: x(t) \circledast g(t, \gamma) , \end{aligned} \quad (2.10)$$

wobei das Symbol  $\circledast$  die zeitvariante Faltung bezeichnet. Generell sei auf die Unterschiede in den Integralen bei Verwendung von  $h(t, \tau)$  und  $g(t, \gamma)$  hingewiesen. Die Operation ergibt sich aus dem Kontext. In Gl. (2.10) wird eine eindimensionale Funktion  $x(t)$  mit einer zweidimensionalen Funktion  $g(t, \gamma)$  mittels einer speziellen Form der Faltung gefaltet. Im Falle eines zeitinvarianten Systems gilt

$$x(t) \circledast h(t, \tau) = x(t) \circledast h(t - \tau) = x(t) * h(t) \quad (2.11)$$

und man erhält die zeitinvariante Faltung aus Gl. (B.6). In  $g(t, \gamma)$  entfällt das Argument  $t$ , was zur Impulsantwort  $g(\gamma)$  führt.

Im zeitdiskreten Fall gilt Entsprechendes. Das Ausgangssignal ergibt sich mit der zeitdis-

kreten zeitvarianten Faltung:

$$y[n] = x[n] \otimes g[n, \nu] = \sum_{\nu=-\infty}^{\infty} g[n, n-\nu] x[\nu] = \sum_{\nu=-\infty}^{\infty} g[n, \nu] x[n-\nu] . \quad (2.12)$$

Eine Repräsentation für lineare, zeitvariante Kanäle kann mittels einer Filterstruktur basierend auf einer Verzögerungsleitung mit entsprechenden Abgriffen (*tapped delay line*) und zeitvarianten Koeffizienten dargestellt werden [54, 55], was in Kap. 4.4 bei der Vorverzerrung der Signale genutzt wird. Bei Kausalität muss  $g[n, \nu] = 0 \forall \nu < 0$  bzw.  $g(t, \gamma) = 0 \forall \gamma < 0$  gelten.

Eine für diese Arbeit besonders relevante Systemklasse ist die der linearen, periodisch zeitvarianten Systeme (engl.: *linear, periodically time-varying*, LPTV) [56–59]. Präziser geht es um deterministische LPTV-Systeme. Dies wird im Rahmen der Vorverzerrung in Kap. 4 von zentraler Bedeutung sein. Bei einer bezüglich  $T_s$  normierten Periode  $P \in \mathbb{N}$  gilt:

$$h(t + P \cdot T_s, \tau + P \cdot T_s) = h(t, \tau) \quad \text{bzw.} \quad g(t + P \cdot T_s, \gamma) = g(t, \gamma) . \quad (2.13)$$

Im konkreten Fall ist die Zeit  $t$  zeitkontinuierlich, die Zeitpunkte der Anregung hingegen sind zeitdiskret:  $\tau = nT_s$  für  $n \in \mathbb{Z}$ . Zur Signalverarbeitung werden diskrete Zeitpunkte  $t = mT_s$  mit  $m \in \mathbb{Z}$  herangezogen.

## 2.4 Zusammenhang zwischen Signalen aus systemtheoretischer Beschreibung und analogem Ausgangssignal

Die Beziehung zwischen der systemtheoretischen Beschreibung und den analogen Ausgangssignalen erfolgt mittels einer Normierung mit anschließender Skalierung. Zunächst wird ein Signal  $y[n]$  entsprechend Gl.(2.14) unter Berücksichtigung einer möglichen Einheit normiert.

$$y_{\text{norm}}[n] = \frac{y[n]}{\max_n \{|y[n]|\}} \quad (2.14)$$

Auf diese Weise erhält man ein dimensionsloses Signal  $y_{\text{norm}}[n] \in [-1, 1]$ . Aus diesem Grund ist die Betrachtung der Einheiten, beispielsweise der Dirac-Funktion wie in [60], irrelevant. Die so erhaltenen Werte  $y_{\text{norm}}[n]$  werden nun den Codeworten (CW) des DAUs 00000000...11111111 zugeordnet. Dies geschieht entweder durch gleichmäßige Quantisierungsintervalle, womit die Entsprechungen

$$-1 \hat{=} 00000000 \quad \text{und} \quad 1 \hat{=} 11111111 \quad (2.15)$$

gelten, oder mithilfe der Übertragungskennlinien unter Berücksichtigung von integraler Nichtlinearität (*INL*) und Monotonie. Im Rahmen dieser Arbeit wird vereinbart, dass bei Verwendung der Zuordnungen (2.15) diese für die Extremwerte  $-1$  und  $1$  exakt gelten. Im Gegensatz zur üblichen Betrachtung der Quantisierungsintervalle nach Abb. 2.5b sind mit dieser Definition die äußeren Quantisierungsintervalle auf den jeweils inneren Bereich beschränkt. Da in der Regel mit differenziellen Signalen gearbeitet wird, wird in dieser Arbeit zudem der bipolare Code (*bipolar offset binary*) genutzt [1, 61]. Die Entsprechung der Ausgangsspannungen  $U_{\text{out,SE/d}}(nT_s)$  an den diskreten Zeitpunkten  $nT_s$  ergibt sich durch Multiplikation mit der Ausgangsamplitude  $U_{\text{p,SE/d}}$  (statische Betrachtung):

$$U_{\text{out,SE/d}}(nT_s) = y_{\text{norm}}[n] \cdot U_{\text{p,SE/d}} . \quad (2.16)$$

In Gl. (2.16) ist berücksichtigt, ob ein SE-Signal oder ein differenzielles Signal betrachtet wird. Allgemein sind die Werte der Amplituden aufgrund des Frequenzgangs des DAUs signalabhängig. Damit ist eine Konsistenz der Einheiten in der Beschreibung hergestellt.

## 2.5 Die Digital-Analog-Umsetzung

Die Digital-Analog-Umsetzung besteht im Wesentlichen aus zwei Schritten: der Umwandlung eines digitalen Eingangssignals in ein analoges Ausgangssignal sowie einer Rekonstruktionsoperation. Bei der Umwandlung wird der digitale Eingang in ein äquivalentes analoges Ausgangssignal umgewandelt, wobei eine Pulsfolge generiert wird, deren Amplituden die analoge Repräsentation des digitalen Eingangs darstellen. Demnach wird eine wertdiskrete Größe statt im Binärcode mit  $N_{\text{DAU}}$  Stellen mit einem Wert dargestellt [49]. Der Rekonstruktionsprozess wandelt die Pulsfolge in ein zeitkontinuierliches Signal um. Er kann wiederum in eine Abtast-Halte-Funktion (engl.: *sample and hold*, S&H) und ein nachgeschaltetes Filter unterteilt werden [1, 49, 50], wobei im vorliegenden DAU kein explizites Filter angewendet wird, sondern der Frequenzgang (Impulsantwort) entsprechend der inhärenten Bandbegrenzung die Rekonstruktion durchführt. Generell wird in der Realität das theoretisch stufenförmige Ausgangssignal des S&H-Glieds durch Bandbreitenlimitierung abgerundet [1]. Der folgende Zusammenhang ist der Übersichtlichkeit wegen unter Verwendung eines unipolaren Codes (*straight binary*) dargestellt. Ein idealer DAU generiert also ein analoges Ausgangssignal  $U_{\text{DAU,ideal}}$ , welches proportional zum digitalen Eingangssignal  $d$  ist [62]:

$$U_{\text{DAU,ideal}} = U_{\text{LSB}} \cdot d . \quad (2.17)$$

Dabei ist das CW  $d$  die dezimale Repräsentation der Bits  $b_0, \dots, b_{N_{\text{DAU}}-1}$  der digitalen Eingangsdaten bei einer Auflösung des DAUs von  $N_{\text{DAU}}$  bit. Der dimensionslose Dezimalwert

berechnet sich damit zu:

$$d = b_{N_{\text{DAU}}-1} \cdot 2^{N_{\text{DAU}}-1} + \dots + b_1 \cdot 2^1 + b_0 \cdot 2^0 = \sum_{\nu=0}^{N_{\text{DAU}}-1} b_{\nu} \cdot 2^{\nu} . \quad (2.18)$$

Die Proportionalitätskonstante  $U_{\text{LSB}}$  definiert zugleich die Einheit des Ausgangssignals, für die hier eine Spannung angenommen wird. Sie stellt die Referenzgröße bezogen auf ein niedrigstwertiges Bit (engl.: *least significant bit*, LSB), repräsentiert durch  $b_0$ , dar. Neben einer Spannung wie im vorliegenden Fall sind auch ein Strom oder eine Ladung als Referenzgröße möglich. Darüber hinaus sei erwähnt, dass es auch explizit nichtlineare DAU gibt, die hier aber nicht weiter diskutiert werden [62]. Der einfache Zusammenhang in Gl. (2.17) stellt lediglich die prinzipielle Funktionsweise dar.

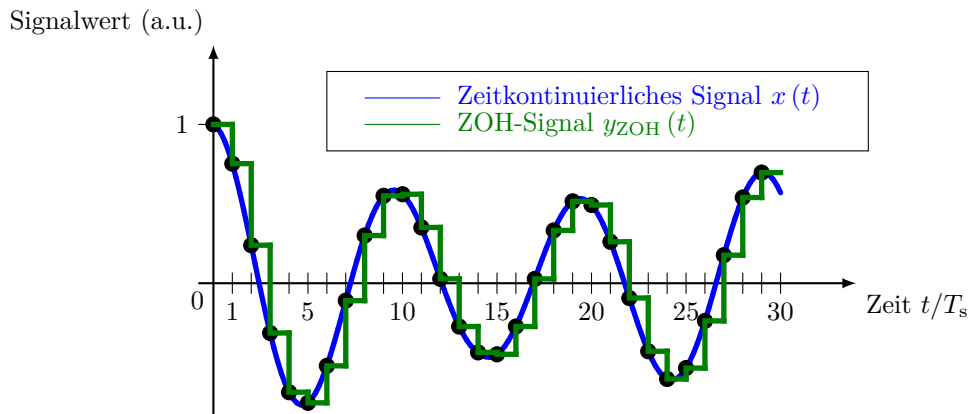
In Kap. 2.2 wurden das Abtasttheorem sowie die ideale Rekonstruktion mittels des idealen Rekonstruktionsfilters zur Interpolation diskutiert. Ein entsprechendes System stellt die ideale Umsetzung eines zeitdiskreten Signals in ein zeitkontinuierliches Signal dar. Die reale Digital-Analog-Umsetzung mittels eines DAUs weicht in mehreren Aspekten von diesem idealen Verhalten ab und beeinflusst das Ausgangsspektrum [1], wie nachfolgend und in Kap. 2.8 deutlich wird. Neben einer Reihe von Nichtidealitäten bestehen auch zwei prinzipielle Unterschiede zum idealen Fall. Zum einen kommt es aufgrund einer endlichen Auflösung zu einer Wertdiskretisierung, deren Auswirkungen in Kap. 2.8 diskutiert werden. Die digitalen Eingangssignale repräsentieren diese Diskretisierung. Zum anderen werden bei der idealen Abtastung die Abtastwerte durch gewichtete Dirac-Stöße dargestellt, was anhand von Gl. (2.1) deutlich wird. Tatsächlich sind solche Impulse nicht realisierbar. Nimmt man als Impulsantwort des DAUs  $h_{\text{DAU}}(t)$  an, so kann das zeitkontinuierliche DAU-Ausgangssignal  $y_{\text{DAU}}(t)$  wie folgt angegeben werden [15, 50]:

$$y_{\text{DAU}}(t) = x_s(t) * h_{\text{DAU}}(t) . \quad (2.19)$$

Dieser Zusammenhang wird später in zeitvarianter Form Grundlage für die digitale Vorverzerrung sein.

Ein realer DAU kann keine unendlich scharfen Dirac-Impulse erzeugen. Stattdessen wird der Ausgangswert am DAU-Ausgang über die gesamte Umsetzungsperiode  $T_s$  konstant gehalten, was als Halteglied nullter Ordnung (engl.: *zero-order hold*, ZOH) bezeichnet wird [15]. Im Idealfall werden demnach Rechteckimpulse ausgegeben. Auch diese Rechteckimpulse sind aufgrund begrenzter Bandbreite nur eine Näherung, stellen aber ein geeignetes Modell zur Analyse der Auswirkungen dar. Die Impulsantwort des ZOH  $h_{\text{ZOH}}(t)$  lautet

$$h_{\text{ZOH}}(t) = \text{rect}\left(\frac{t - \frac{T_s}{2}}{T_s}\right) = \begin{cases} 1 & \text{für } 0 < t < T_s , \\ \frac{1}{2} & \text{für } t = 0 \text{ und } t = T_s , \\ 0 & \text{sonst} . \end{cases} \quad (2.20)$$



**Abbildung 2.1:** Veranschaulichung der S&H-Operation. Eine zusätzliche Wertdiskretisierung ist nicht dargestellt.

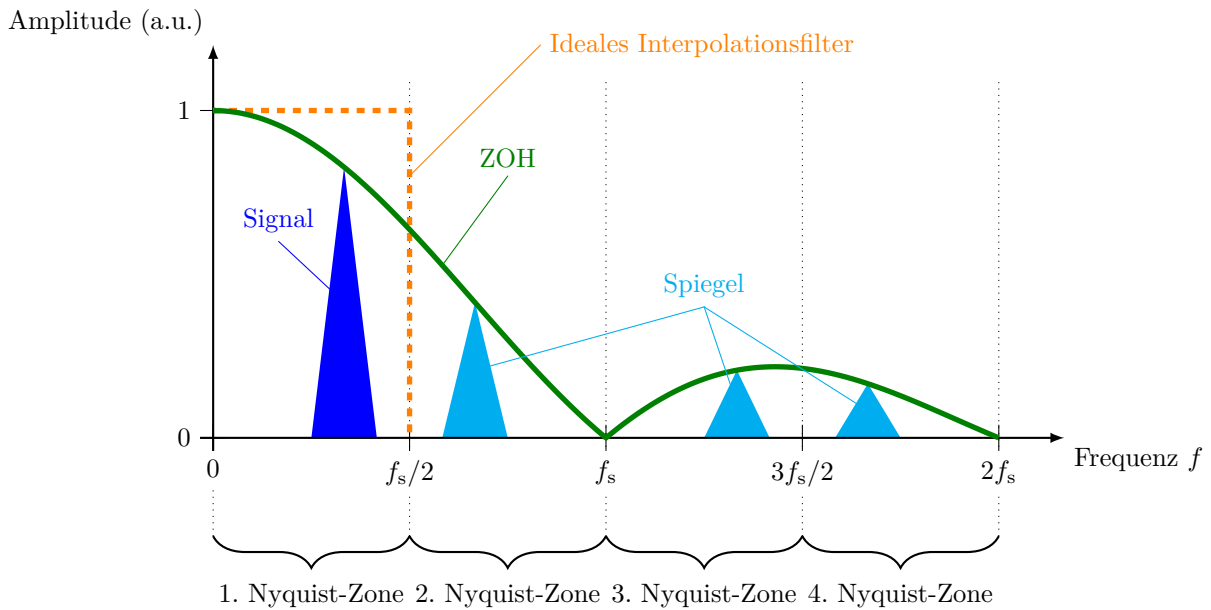
Es ist zu beachten, dass die Breite des Rechtecks im Allgemeinen unabhängig von  $T_s$  gewählt werden kann. Im Folgenden wird jedoch von einem DAU-Modell ausgegangen, bei welchem diese identisch sind, was der oben genannten Vorstellung entspricht, dass der DAU zu jedem Ausgabezeitpunkt ein Rechteck mit einer Höhe entsprechend des Ausgabewertes und der Länge  $T_s$  ausgibt. Dies ist in Abb. 2.1 veranschaulicht. Es handelt sich um eine pulsamplitudenmodulierte Rechteckfolge bzw. um eine S&H-Operation. Eine Wertdiskretisierung wird in diesem Beispiel der Einfachheit wegen nicht betrachtet, kommt beim realen DAU aber hinzu. Das Ausgangssignal  $y_{\text{ZOH}}(t)$  kann dann wie folgt dargestellt werden [1, 15, 50, 60]:

$$y_{\text{ZOH}}(t) = x_s(t) * h_{\text{ZOH}}(t) = \sum_{\nu=-\infty}^{\infty} x[\nu] h_{\text{ZOH}}(t - \nu T_s) . \quad (2.21)$$

Unter Ausnutzung des Faltungssatzes sowie der Korrespondenz (B.12) und (B.13) ergibt sich die Fourier-Transformierte zu [1, 15, 50]

$$\begin{aligned} Y_{\text{ZOH}}(j\omega) &= \sum_{\nu=-\infty}^{\infty} x[\nu] H_{\text{ZOH}}(j\omega) e^{-j\omega\nu T_s} = \left( \sum_{\nu=-\infty}^{\infty} x[\nu] e^{-j\omega\nu T_s} \right) H_{\text{ZOH}}(j\omega) \\ &= X(e^{j\omega T_s}) H_{\text{ZOH}}(j\omega) = \left[ \sum_{\nu=-\infty}^{\infty} X\left(j\omega + j\nu \frac{2\pi}{T_s}\right) \right] \cdot \text{si}\left(\frac{\omega T_s}{2}\right) e^{-j\omega T_s/2} . \end{aligned} \quad (2.22)$$

Anders als bei der Abtastung mittels Dirac-Stößen, die eine (skalierte) periodische Fortsetzung des Spektrums  $X(j\omega)$  ergibt, kommt es bei gewichteten Rechteckimpulsen (ZOH) zu einem mit einer si-Funktion gewichteten Spektrum, was zu einer entsprechenden Dämpfung führt. Diese tritt bereits in der ersten Nyquist-Zone oder dem Basisbandspektrum ( $[-f_s/2, f_s/2]$  bzw.  $[0, f_s/2]$ ) auf. Konkret beträgt bei  $f_s/2$  die Dämpfung der Amplitude  $2/\pi$  bzw. rund 4 dB. Die erste Nullstelle der Dämpfungsfunktion tritt bei  $f_s$  auf. Abbildung 2.2 illustriert diese Dämpfung, die kurz als *sin(x)/x-Roll-Off*, -Dämpfung oder -Verzerrung bezeichnet wird.



**Abbildung 2.2:** Schematische Darstellung des normierten Betrags des DAU-Ausgangsspektrums mit ZOH innerhalb der Nyquist-Zonen 1-4 ohne Berücksichtigung der Quantisierung nach [15]. Des Weiteren ist das ideale Interpolationsfilter zur idealen Rekonstruktion dargestellt, welches von Bedeutung zur Unterdrückung der Spiegelspektren ist.

Bereits durch diese Dämpfung allein kommt es zu einer ersten Glättung oder Abrundung eines theoretischen Treppensignals [49]. Je größer  $f_s$  im Verhältnis zu maximalen Signalfrequenz  $f_g$  ist, desto geringer ist die Beeinträchtigung durch die ZOH-Antwort. Aufgrund der endlichen Dämpfung verbleiben Spektralanteile über  $f_s/2$ , was die Signalqualität beeinträchtigen kann [1, 15]. Insofern kann eine Überabtastung dahingehend eingesetzt werden, das Rekonstruktionsfilter zu vereinfachen. Die nutzbare Bandbreite in Bezug auf  $f_s$  verringert sich dadurch. Ein Rekonstruktionsfilter ist in diesem Fall nicht mehr durch die harte Anforderung eines idealen Tiefpasses mit rechteckförmigem Spektrum und entsprechender Verstärkung gegeben, sondern kann einfacher ausgeführt werden [1, 15, 49, 50]. Der AMUX erhöht  $f_s$  und verändert die  $\sin(x)/x$ -Dämpfung durch entsprechende Verschiebung bzw. Skalierung zu höheren Frequenzen.

Wie bereits dargelegt, ist auch das ZOH-Modell nur eine weitere Näherung. Der Frequenzgang eines realen DAUs kann als Zusammensetzung aus der  $\text{si}$ -Funktion sowie der tatsächlichen (Tiefpass-)Charakteristik des DAUs selbst betrachtet werden [15]. Darüber hinaus kommen im realen Laboraufbau noch diverse weitere Effekte durch die Aufbautechnik und die Messumgebung hinzu, die allesamt zur Bandbreitenlimitierung beitragen. Zur Trennung dieser Effekte hinsichtlich ihres Einflusses auf die Bandbreite kann in späteren Messungen der  $\sin(x)/x$ -Roll-Off herausgerechnet werden, sodass der Einfluss des ZOHs separiert werden kann und so die Bandbreitenlimitierungen von Chip, Aufbau und Messumgebung davon getrennt betrachtet werden können. Im Rahmen dieser Arbeit wird zur Kompensation



kein (komplexes) hypothetisches analoges Filter eingesetzt, welches idealerweise sämtliche systemspezifischen Effekte kompensiert, sondern es erfolgt eine digitale, lineare Vorverzerrung. Sie stellt ein mächtiges Werkzeug dar, um die Gesamtheit der linearen Effekte – unabhängig welchen Ursprungs – im Nyquist-Band (weitestgehend) zu kompensieren, darunter auch die  $\sin(x)/x$ -Verzerrung. Allerdings geht dies auf Kosten des Ausgangshubs. Der Einsatz eines nachfolgenden analogen Filters zur Unterdrückung weiterer spektraler Komponenten, die aufgrund der endlichen Dämpfung weiterhin auftreten und die Signalqualität stören können [15], bleibt dem Anwender überlassen.

Nach diesen prinzipiellen Überlegungen zur Digital-Analog-Umsetzung werden nachfolgend einige Charakteristika von DAUn diskutiert.

## 2.6 Statische Charakterisierung

Die folgenden Ausführungen beruhen auf [1, 61–64]. Zuerst sollen zwei wichtige statische Charakteristika beschrieben werden: die differenzielle Nichtlinearität (*DNL*) sowie die integrale Nichtlinearität (*INL*). Für Akronyme, die auch als Formelzeichen verwendet werden, wird in dieser Arbeit die kursive Schreibweise verwendet. Beispiele hierfür sind *DNL*, *INL* oder das *SNDR*.

Ausgangspunkt der statischen Charakterisierung ist die statische Übertragungskennlinie oder Transferkennlinie des DAUs. Bei der Definition der Vollaussteuerung (engl.: *full-scale* (*range*), *FS* bzw. *FSR*) gibt es zwei Definitionen, welche gemäß der Ausführung in [64] verwendet werden. Bei Unterteilung in gleichmäßige Stufen  $U_{\text{LSB}}$  gelte

$$FS_{\text{nom}} := 2^{N_{\text{DAU}}} \cdot U_{\text{LSB}} , \quad \text{bzw.} \quad (2.23a)$$

$$FS := (2^{N_{\text{DAU}}} - 1) \cdot U_{\text{LSB}} \quad (2.23b)$$

für die nominale *FS* und die praktische *FS*, wobei die nominale *FS* von einem virtuellen CW  $2^{N_{\text{DAU}}}$  ausgeht. Die *DNL* beschreibt die Abweichung der realen Stufenhöhe  $\Delta U_{\text{real}}[d]$  benachbarter Eingangsworte  $d$  und  $d+1$  des DAUs – zu lesen als dezimaler Eingangswert – von der idealen Stufenhöhe eines LSBs  $U_{\text{LSB}}$  gemäß Gl. (2.24). Dabei berechnet sich die Stufenhöhe aus der Differenz zweier aufeinanderfolgender Stufen entsprechend  $\Delta U_{\text{real}}[d] = U_{\text{real}}[d+1] - U_{\text{real}}[d]$  [1].

$$DNL[d] = \frac{\Delta U_{\text{real}}[d] - U_{\text{LSB}}}{U_{\text{LSB}}} = \frac{U_{\text{real}}[d+1] - U_{\text{real}}[d] - U_{\text{LSB}}}{U_{\text{LSB}}} \quad (2.24)$$

In den späteren Auswertungen wird die Stufenhöhe eines LSBs aus der durchschnittlichen Stufenhöhe abgeleitet, berechnet aus maximalem und minimalem Ausgangswert bzw. aus den Endpunkten, sofern die Monotonie nicht entsprechend verletzt ist. Damit ist  $U_{\text{LSB}}$  definiert

als

$$U_{\text{LSB}} := \frac{FS}{2^{N_{\text{DAU}}} - 1} . \quad (2.25)$$

Die  $DNL$  kann dabei mit Index für jedes dezimale Eingangswort  $d \in \{0, \dots, 2^{N_{\text{DAU}}} - 2\}$   $DNL[d]$  separat angegeben werden. Mit der maximalen  $DNL$ , oftmals auch nur als  $DNL$  ohne Argument bezeichnet, ist das Maximum aller  $DNL[d]$  und somit die maximale Abweichung der Ausgangsstufenhöhe vom idealen Wert eines LSBs gemeint [1, 62, 63].

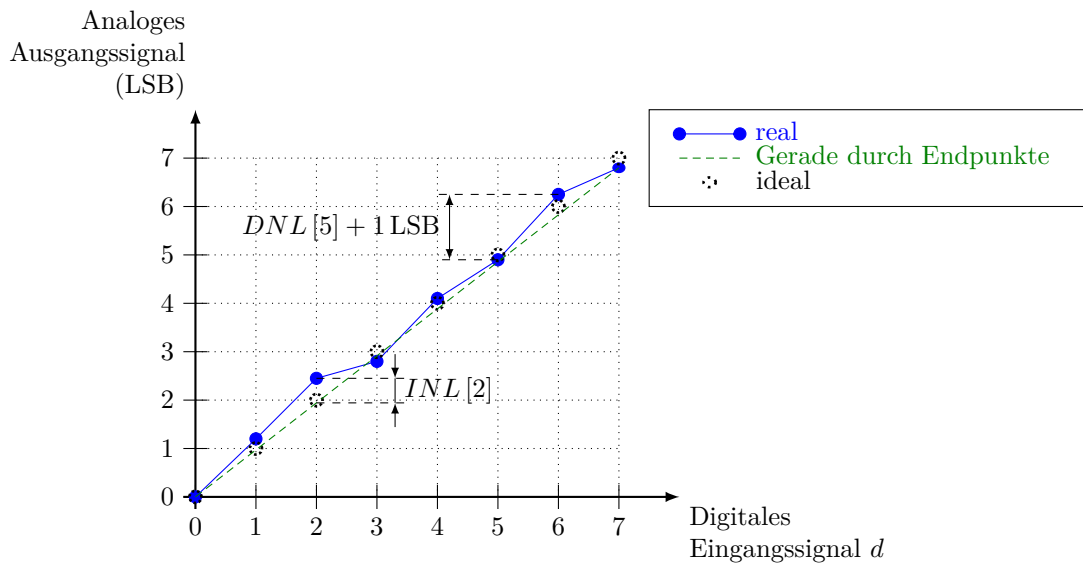
Die  $INL$  gibt die Differenz zwischen idealer und realer Ausgangsspannung nach Korrektur von Verstärkung und Offset [63] an. Wie die  $DNL$  kann dies sowohl für jedes Eingangswort separat angegeben werden ( $INL[d]$ ,  $d \in \{0, \dots, 2^{N_{\text{DAU}}} - 1\}$ ) als auch im Gesamten als maximale Abweichung ( $INL$ ) über alle  $d$ . Als Referenz sind dabei zwei Geraden üblich: eine Gerade durch die Endpunkte [1, 62, 63] oder eine Gerade, die durch lineare Regression („best fit“) bestimmt wurde [63]. Dabei werden Verstärkungs- und Offset-Fehler korrigiert bzw. berücksichtigt.  $INL$  und  $DNL$  hängen für den Fall der Endpunktgeraden mit  $INL[0] = 0$  über folgende Gleichung miteinander zusammen:

$$INL[d] = \sum_{i=0}^{d-1} DNL[i], \quad \text{für } 1 < d \leq 2^{N_{\text{DAU}}} - 1 . \quad (2.26)$$

Da die Bezugsgröße dieser Charakteristika hier stets das LSB ist, müssen bei Vergleichen unterschiedlicher DAU in diesen Größen die nominalen Auflösungen beachtet werden. Dabei kann eine Stufe sowohl als die Änderung des digitalen Eingangscodes um 1 bit als auch als die zugehörige analoge Spannung durch Umrechnung über  $U_{\text{LSB}}$  aufgefasst werden.

Abbildung 2.3 veranschaulicht die genannten Definitionen beispielhaft an einer schematischen Transferkennlinie eines 3-bit-DAUs. Eine Diskussion der Auswirkungen der  $DNL$  und  $INL$  ist in [1] zu finden. Im Rahmen dieser Arbeit finden die Transferkennlinie und die  $INL$  auch als optionale Korrektur einer statischen Nichtlinearität bei der Vorverzerrung (Kap. 4) Berücksichtigung.

Daneben gibt es noch zahlreiche weitere Größen [1, 62, 63], darunter der Offset- sowie der Verstärkungs-Fehler, auf die hier nicht näher eingegangen wird.



**Abbildung 2.3:** Veranschaulichung der statischen Parameter  $DNL$  und  $INL$  am Beispiel eines 3-bit-DAUs nach [62]. Hier ist beispielhaft die Gerade durch die Endpunkte als Referenz für die  $INL$  gezeigt. Aus Gründen der Übersichtlichkeit ist die Ausgleichsgerade durch lineare Regression nicht dargestellt.

## 2.7 Dynamische Charakterisierung

Neben der statischen Charakterisierung sind einige dynamische Kenngrößen von großer Bedeutung, wobei sich die Charakterisierung dieses DAUs auf die nachfolgenden Größen beschränkt. Erneut stützen sich die Definitionen auf [1, 61–63], unter Einbeziehung von [2, 65], und werden in der hier verwendeten Fassung im Folgenden angegeben. Ausgangspunkt für die nachfolgenden charakteristischen Größen ist stets die Ausgabe eines Eintonsignals, also ein digitales Sinussignal am Eingang. Dabei existieren Abhängigkeiten der Kenngrößen von der gewählten Signalamplitude, weshalb diese anzugeben ist. Hier wird stets die maximale Amplitude gewählt, wie in [63] empfohlen.

Bei den folgenden Definitionen werden die jeweiligen quadratischen Mittelwerte (engl.: *root mean square*, RMS) herangezogen, wie beispielsweise in den Definitionen in [63] beschrieben. Man betrachtet demnach Effektivwerte. Da die Kenngrößen hier zudem im Frequenzbereich ermittelt werden, spielt die Parsevalsche Beziehung der DFT aus Gl. (B.30) eine wichtige Rolle. Durch sie kann der RMS-Wert einer Folge  $x[n]$  der Länge  $N$  auch aus der zugehörigen Sequenz der DFT  $X[k]$  berechnet werden:

$$\text{RMS}\{x[n]\} = \sqrt{\frac{1}{N} \sum_{n=0}^{N-1} x^2[n]} \stackrel{\text{(B.30)}}{=} \sqrt{\frac{1}{N^2} \sum_{k=0}^{N-1} |X[k]|^2}. \quad (2.27)$$

Das  $SNR$  gibt das Verhältnis zwischen dem RMS-Wert des Sinussignals  $RMS_{\text{Sig}}$  der Signalfrequenz  $f_{\text{Sig}}$  und jenem des gesamten Rauschens  $RMS_N$  im betrachteten Frequenzbereich an,

ohne Harmonische, DC-Wert (Gleichstrom, engl.: *direct current*, DC) und andere Störlinien:

$$SNR = 20 \cdot \log_{10} \frac{RMS_{\text{Sig}}}{RMS_{\text{N}}} \text{ dB} . \quad (2.28)$$

Mit anderen Störlinien sind hier insbesondere deterministische Effekte wie ein Taktdurchgriff sowie lineare, zeitvariante und nichtlineare Effekte gemeint, die Verzerrungen verursachen. Entsprechend ist das Signal-zu-Verzerrungs-Verhältnis (engl. für *signal-to-distortion ratio*, *SDR*) als Verhältnis des RMS-Werts des Signals  $RMS_{\text{Sig}}$  zum RMS-Wert aller Verzerrungen  $RMS_{\text{D}}$  im betrachteten Frequenzbereich definiert:

$$SDR = 20 \cdot \log_{10} \frac{RMS_{\text{Sig}}}{RMS_{\text{D}}} \text{ dB} . \quad (2.29)$$

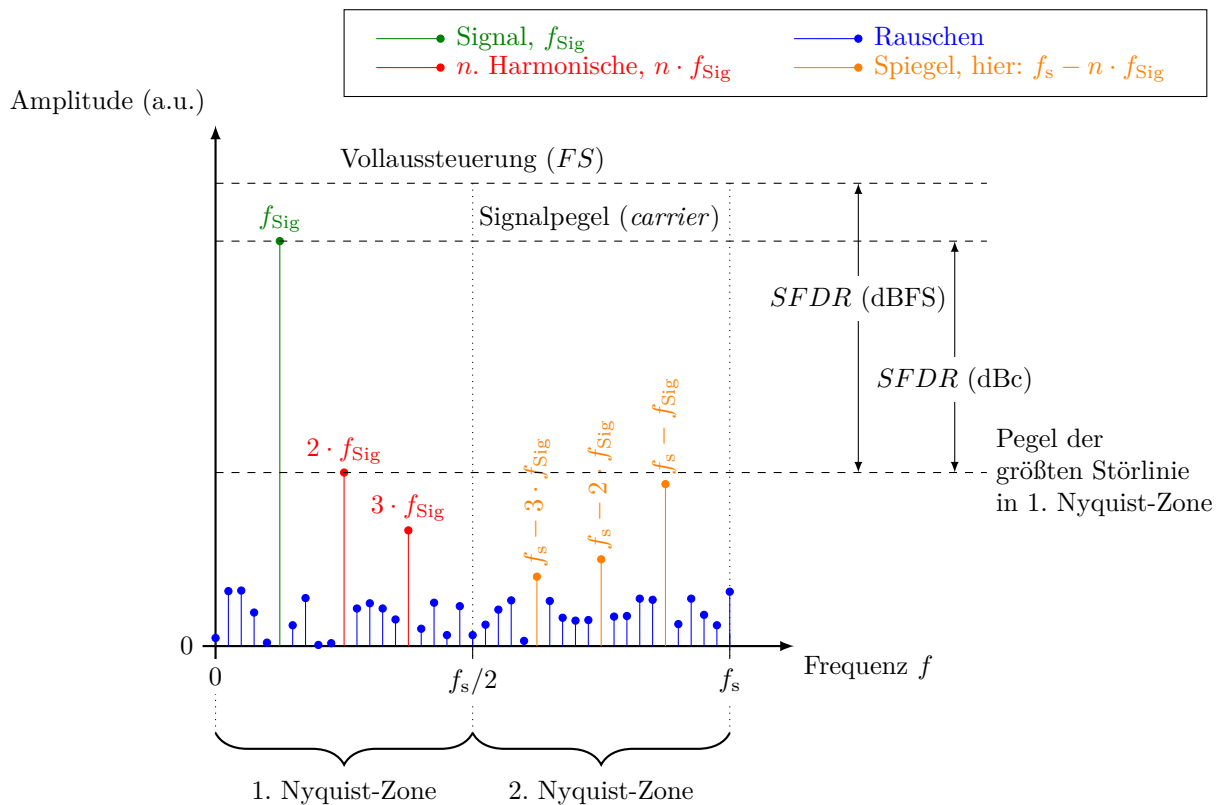
Als Verzerrungen werden alle spektralen Anteile bis auf die Signalfrequenz, den DC-Wert und den Rauschanteil betrachtet. Das *SNDR* kombiniert die beiden vorigen Größen zu

$$SNDR = 20 \cdot \log_{10} \frac{RMS_{\text{Sig}}}{RMS_{\text{N\&D}}} \text{ dB} . \quad (2.30)$$

Demnach sind sowohl Rauschen als auch Verzerrungen in  $RMS_{\text{N\&D}}$  berücksichtigt. Eine Zeitbereichsanalyse des *SNDRs* ist ebenfalls möglich, wie in [63] beschrieben, kommt aber in dieser Arbeit nicht zur Anwendung. Weiterhin ist die Größe des störungsfreien Dynamikbereichs (engl.: *spurious free dynamic range*, *SFDR*) in Gl. (2.31) als der Abstand der Signalkomponente vom größten Störer  $RMS_{\text{D,max}}$  von Interesse. Die Definition bezieht sich auf das gemittelte Ausgangssignal, weshalb der größte Störer als eine der Verzerrungen angegeben wird. Es handelt sich demnach um den Abstand zur größten unerwünschten spektralen Komponente.

$$SFDR = 20 \cdot \log_{10} \frac{RMS_{\text{Sig}}}{RMS_{\text{D,max}}} \text{ dB} . \quad (2.31)$$

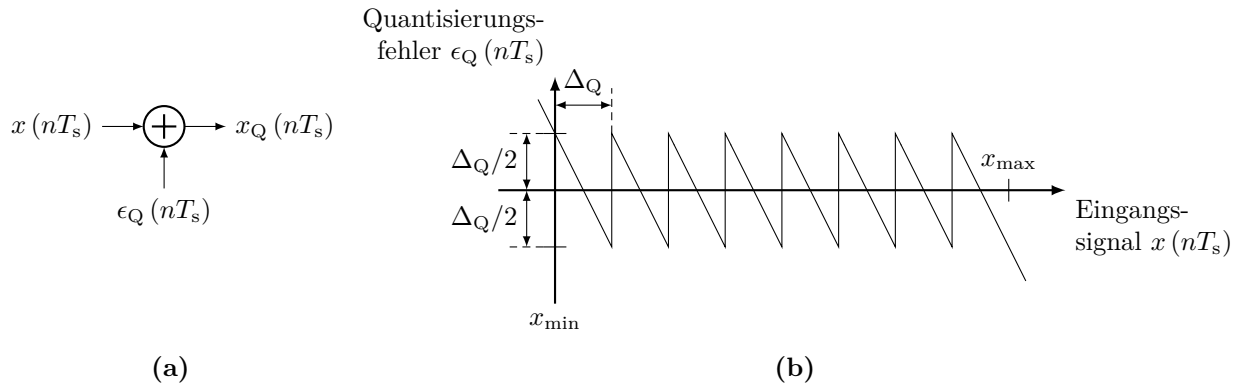
Alle Definitionen beziehen sich auf einen bestimmten Frequenzbereich. Bei den Auswertungen wird die erste Nyquist-Zone betrachtet, wobei der Gleichanteil bei  $f = 0$  nicht berücksichtigt wird. Später (Kap. 5.2.4) wird anhand der Messungen deutlich, dass Verzerrungen nicht nur durch Harmonische der Signalfrequenz gegeben sind, sondern darüber hinaus weitere Störlinien als Verzerrungen auftreten. Daher wird die Größe des Verhältnisses aus Leistung aller Oberschwingungen zur Signalleistung (engl.: *total harmonic distortion*, *THD*) nicht betrachtet. Im Rahmen dieser Arbeit wird durch Unterscheidung von Messungen mit Mittelung über mehrere Messkurven und Messungen ohne Mittelung zwischen Verzerrungen und stochastischem Rauschen unterschieden. Dadurch ist keine Definition einer Grenze zur Unterscheidbarkeit danach, wie sehr eine spektrale Komponente das Rauschspektrum überragen muss, um sie als Verzerrung zu definieren, erforderlich. Zuletzt wird in Abbildung 2.4



**Abbildung 2.4:** Veranschaulichung der Kenngrößen zur dynamischen Charakterisierung eines DAUs anhand eines schematischen diskreten Spektrums am Beispiel des SFDRs nach [39, 61]. Die Harmonischen sowie Spiegelfrequenzen als Störlinien sind hier nur beispielhaft dargestellt.

am Beispiel des  $SFDR$ s die Analyse von Spektren veranschaulicht. Die Betrachtung kann auf die anderen Größen übertragen werden. Dabei ergeben sich zwei Bezugsgrößen: die Vollaussteuerung ( $FS$ ) respektive die entsprechende Amplitude sowie die Signalamplitude ( $carrier$ ) bzw. die daraus abgeleiteten RMS-Werte. Die jeweilige Bezugsgröße wird als Suffix der Einheit angegeben: dBFS bzw. dBc.

Die letzte dynamische Größe, welche hier betrachtet werden soll, ist die analoge Ausgangsbandbreite. Der Frequenzgang eines DAUs kann gemäß [63] auf drei Arten gewonnen werden: mittels Eintonensignalen unterschiedlicher Frequenz, aus der Sprungantwort sowie aus der Impulsantwort bzw. einer Impulssequenz als Eingangssignal wie in Kap. 5.2.3. Daraus kann die Bandbreite extrahiert werden. Im ersten Fall wird der RMS-Wert für Sinussignale unterschiedlicher Frequenz aufgetragen und auf jenen bei der niedrigsten Frequenz nahe  $f = 0$  normiert. Der Schnittpunkt der auf diese Weise bestimmten Kurve mit der  $-3$  dB-Linie, die  $-3$  dB-(Grenz-)Frequenz, dient als Maß für die Ausgangsbandbreite  $f_{-3\text{dB}}$ . Dabei kann der *Roll-Off* durch die ZOH-Operation in einer weiteren Darstellung auch herausgerechnet werden. In den anderen Fällen kann eine Ausgangsbandbreite durch Messen von Impuls- bzw. Sprungantwort und durch Transformation in den Frequenzbereich – im Falle der Sprungantwort mit vorhergehender Differenziation – ermittelt werden, indem auch hier der 3-dB-Abfall



**Abbildung 2.5:** Zeitbereichsbetrachtung der Amplituden-Quantisierung nach [1]. (a) Blockdiagramm des Quantisierungsprozesses. Der quantisierte Ausgang  $x_Q(nT_s)$  ergibt sich aus additiver Überlagerung des Eingangssignals  $x(nT_s)$  und dem Quantisierungsfehler  $\epsilon_Q(nT_s)$ . (b) Beispiel des Quantisierungsfehlers eines 3-bit-Quantisierers mit gleichmäßigen Quantisierungsintervallen, wobei der mittlere Wert des Quantisierungsintervalls dieses repräsentiert.

bestimmt wird. Eine genauere Diskussion ist in Kap. 5.2.5 zu finden.

## 2.8 Quantisierungsrauschen und zugehöriges Signal-zu-Rausch-Verhältnis

Eine endliche Auflösung führt zu einer weiteren Quantisierung. Zur Zeitdiskretisierung kommt damit noch eine Wertdiskretisierung durch „Rundung“ hinzu [49, 50], das heißt, es entsteht eine Folge endlich genauer, quantisierter Abtastwerte. Die Auswirkungen werden auf Basis von [1, 50, 60, 61] betrachtet. Sie treffen sowohl für ADU als auch für DAU zu und sind entsprechend übertragbar, werden aber typischerweise für ADU diskutiert. Amplituden-Quantisierung kann als Addition eines Quantisierungsfehlers  $\epsilon_Q(nT_s)$  zum Eingangssignal  $x(nT_s)$  betrachtet werden (s. Abb. 2.5a). Quantisierungsfehler stellen aufgrund der beschränkten Anzahl an Bits und damit der beschränkten Auflösung eine fundamentale Limitierung dar. Bei einem angenommenen Dynamikbereich  $\Delta x = x_{\max} - x_{\min}$ , definiert entsprechend der Darstellung in Abb. 2.5b, und  $M = 2^{N_{\text{DAU}}}$  gleichmäßigen Quantisierungsintervallen bzw. Quantisierungsschritten  $\Delta_Q$ , typischerweise eine Zweierpotenz mit der Anzahl an Bits  $N_{\text{DAU}}$ , gilt:

$$\Delta_Q = \frac{\Delta x}{M} = \frac{\Delta x}{2^{N_{\text{DAU}}}}. \quad (2.32)$$

Die kleinste Quantisierungsstufe korrespondiert mit dem LSB. Häufig – aber nicht notwendigerweise – repräsentiert der mittlere Wert eines Quantisierungsintervalls dasselbige. In diesem Fall gilt für den quantisierten Abtastwert  $x_Q(nT_s)$  im Intervall  $m \in \{0, \dots, M - 1\}$ :

$$x_Q(nT_s) = x(nT_s) + \epsilon_Q(nT_s) = \left(m + \frac{1}{2}\right) \Delta_Q, \quad m\Delta_Q \leq x(nT_s) < (m + 1) \Delta_Q. \quad (2.33)$$

Dies ist in Abb. 2.5 dargestellt. Der Quantisierungsfehler  $\epsilon_Q(nT_s)$  ist eine nichtlineare Funktion des Eingangssignals. Ein Beispiel für Quantisierungsfehler in einem 3-bit-Quantisierer ist in Abb. 2.5b illustriert. Der Quantisierungsfehler  $\epsilon_Q(nT_s)$  reicht innerhalb des Dynamikbereichs  $x_{\min} \dots x_{\max}$  von  $-\Delta_Q/2$  bis  $\Delta_Q/2$ . Außerhalb dieses Bereichs sättigt der Ausgang des Quantisierers und der Fehler wächst bzw. fällt linear. Dem mittleren Wert des Quantisierungsintervalls kann sowohl ein analoger Wert (ADU) als auch ein digitaler Wert (DAU) zugewiesen werden, wodurch die Betrachtung übertragbar wird. Im Frequenzbereich kann Quantisierung unter gewissen Bedingungen als additives weißes Rauschen in der gesamten ersten Nyquist-Zone betrachtet werden [1]. Ausgehend von der allgemeinen Definition des *SNRs*

$$SNR = 10 \cdot \log_{10} \left( \frac{P_{\text{Sig}}}{P_{\text{N}}} \right) \text{ dB} \quad (2.34)$$

aus der Signalleistung  $P_{\text{Sig}}$  und der Rauschleistung  $P_{\text{N}}$  im relevanten Frequenzbereich dient dieses Maß auch zur Charakterisierung des Quantisierungsfehlers. Aus dem deterministischen Quantisierungsfehler wird demnach eine statistische Größe – das Quantisierungsrauschen [65]. Als ein Beispiel für die Grenzen dieser Betrachtungsweise sei ein DC-Signal genannt, welches einen konstanten Quantisierungsfehler erzeugt. Hingegen erzeugen Signale mit großen und häufigen Sprüngen ein rauschähnliches Spektrum, was die Betrachtung in Analogie zu Rauschen rechtfertigt [1]. Zusammengefasst müssen folgende Bedingungen für die statistische Darstellung des Quantisierungsfehlers und die weitere Herleitung erfüllt sein [1, 50]:

- Alle Quantisierungsniveaus müssen mit gleicher Wahrscheinlichkeit vorkommen.  
→ Großes Eingangssignal
- Eine große Anzahl an Quantisierungsniveaus wird betrachtet.  
→ Hohe Auflösung
- Die Quantisierungsschritte sind gleichmäßig.  
→ I. d. R. erfüllt (nominal)
- Der Quantisierungsfehler und das Eingangssignal sind unkorreliert.  
→ I. d. R. erfüllt; bei Eingangssignal berücksichtigen

Ist das Quantisierungsrauschen im Idealfall über der Zeit vollständig unkorreliert, ist es spektral gleichmäßig verteilt (weiß). Bei ausreichend komplexen Signalen und hoher Auflösung kann im heuristischen Sinne, ohne präzise quantitative Anforderungen zu nennen, von der Gültigkeit des statistischen Modells ausgegangen werden [50].

Zur Abschätzung der Leistung des Quantisierungsrauschens wird eine Wahrscheinlichkeitsdichtefunktion

$$p_Q(\epsilon_Q) = \begin{cases} \frac{1}{\Delta_Q} & \text{für } \epsilon_Q \in (-\Delta_Q/2, +\Delta_Q/2] \\ 0 & \text{sonst} \end{cases}, \quad (2.35)$$

angenommen. Die mittlere Leistung  $P_Q$  bzw. Varianz  $\sigma_Q^2$  des Quantisierungsrauschens beträgt

damit:

$$P_Q = \sigma_Q^2 = \int_{-\infty}^{\infty} \epsilon_Q^2 \cdot p_Q(\epsilon_Q) d\epsilon_Q = \int_{-\Delta_Q/2}^{\Delta_Q/2} \frac{\epsilon_Q^2}{\Delta_Q} d\epsilon_Q = \frac{\Delta_Q^2}{12}. \quad (2.36)$$

Die Signalleistung eines angenommenen Sinussignals der Frequenz  $f = 1/T$  mit maximaler Amplitude entsprechend des gegebenen Dynamikbereichs  $\Delta x$  beträgt:

$$P_{\text{Sig}} = \sigma_{\text{Sig}}^2 = P_{\text{sin}} = \frac{1}{T} \int_0^T \frac{(\Delta x)^2}{4} \sin^2(2\pi ft) dt = \frac{(\Delta x)^2}{8} = \frac{(\Delta_Q \cdot 2^{N_{\text{DAU}}})^2}{8}. \quad (2.37)$$

Aus den Gleichungen (2.37) und (2.36) lässt sich folgendes  $SNR$  für das Quantisierungsrauschen  $SNR_Q$  im Falle des vollausgesteuerten Sinussignals bestimmen:

$$SNR_Q \approx (6,02 \cdot N_{\text{DAU}} + 1,76) \text{ dB}. \quad (2.38)$$

Jedes zusätzliche Bit an Auflösung verbessert das  $SNR_Q$  um ca. 6,02 dB bzw. die Leistung des Quantisierungsfehlers reduziert sich um den Faktor vier. Zuletzt sei darauf hingewiesen, dass im vorgestellten Fall das DAU-Verhalten – ideal ZOH – nicht berücksichtigt wurde.

Das eben definierte Signal-zu-Rausch-Verhältnis  $SNR_Q$  gilt zunächst ausschließlich für das Quantisierungsrauschen. Um weitere Rauscheffekte bzw. Effekte, welche sich als Rauschen beschreiben lassen, und Einflüsse des dynamischen Verhaltens in realen Schaltungen zu berücksichtigen, wird die sogenannte effektive Anzahl an Bits (engl.: *effective number of bits*,  $ENOB$ ) eingeführt. Dabei wird das  $SNDR$  als Grundlage zur Berechnung herangezogen und Gl. (2.38) wie folgt modifiziert und mit der künstlichen Einheit *bit* versehen [1]:

$$ENOB \approx \frac{SNDR - 1,76 \text{ dB}}{6,02 \text{ dB}} \text{ bit}. \quad (2.39)$$

Damit gibt diese Größe an, wie viele Bits ein idealer DAU benötigt, um dasselbe  $SNDR$  des realen DAUs aufzuweisen. Sie ist ein Maß, wie nahe das Verhalten dem idealen ist [65]. Da in der Literatur häufig die zuletzt genannte Gleichung – im Wesentlichen bei ADUn – verwendet wird [65], wird dieser Zusammenhang (2.39) im Weiteren herangezogen, ungeachtet von Einschränkungen. In [63] wird eine andere Definition gegeben. Die originäre, direkt aus den Messungen extrahierte Größe bleibt das  $SNDR$ . Zusätzlich ist zu beachten, dass dabei der relevante Bereich des Signalbands berücksichtigt wird, der auch kleiner als die Nyquistbandbreite sein kann. Für weitere Betrachtungen sei auf [63, 65] verwiesen.



## 2.9 Einfluss von zeitvarianten Effekten auf das Ausgangsspektrum

Zeitvariante Effekte des DAUs spielen im weiteren Verlauf der Arbeit eine wichtige Rolle. Insbesondere periodische, zeitvariante Variationen bedürfen der Korrektur, weshalb die Klasse der LPTV-Systeme zur Beschreibung und bei der Vorverzerrung maßgeblich sein wird. Die Ergebnisse in Kap. 5.2.3 legen nahe, dass eine periodisch zeitvariante Impulsantwort vorliegt. Ungeachtet der realen Prozesse lassen sich spätere LPTV-Artefakte als eine Kombination aus deterministischem, periodischem Jitter und periodischen Verstärkungsvariationen nachbilden, welche im Folgenden betrachtet werden.

### 2.9.1 Einfluss von Jitter

Als weiterer limitierender Effekt soll der Einfluss von Jitter diskutiert werden. Präziser geht es um die Beschreibung eines DAUs, dessen Zeitbasis von Jitter betroffen ist [4], von deterministischem wie stochastischem Jitter. Durch Variationen des Takts oder variabler Verzögerung von Datenpfaden kann es zu Abweichungen beim Abtastzeitpunkt bzw. bei der Ausgabe der Symbole des analogen Ausgangssignals und somit zu Abweichungen von der idealen Symboldauer  $T_s$  kommen. In diesem Zusammenhang kann man von verschiedenen Kanälen sprechen, die insbesondere bei zeitverschachtelten Architekturen eine Rolle spielen können. Dabei ist typischerweise eine Übereinstimmung zwischen der Anzahl der Kanäle und der Periode  $P$  zu erwarten [66]. Die Auswirkungen eines Taktversatzes, welcher die Zeitbasis von DAUn beeinträchtigt, auf das analoge Ausgangssignal wird im Weiteren analysiert. Dabei können die Auswirkungen von Jitter bei ADUn und DAUn auf unterschiedliche Arten modelliert werden. Zum einen kann am Eingang ein ungleichmäßig abgetastetes Signal angenommen werden. Zum anderen kann am Ausgang ein Signal mit ungleichmäßigen Ausgabezeitpunkten bzw. in einem weiteren Modell mit ungleichmäßigen Haltezeiten ausgegeben werden. Des Weiteren ist eine Kombination aus beiden Fällen möglich. Die unterschiedlichen Betrachtungsweisen liefern ähnliche Ergebnisse [66–68]. Zur Beschreibung des DAUs wird von gleichmäßig abgetasteten Eingangsdaten und ungleichmäßigen Ausgabezeitpunkten am Ausgang ausgegangen. In einem zweiten Schritt wird zusätzlich die ZOH-Operation berücksichtigt. Dies verallgemeinert den Spezialfall der periodischen Abtastung in Kombination mit konstanten Haltezeiten aus Kap. 2.5. Darüber hinaus wird die Art des Jitters unterschieden: der zufällige Taktjitter sowie der deterministische Taktjitter, welcher hier auf eine Weise verstanden wird, dass er einen Taktversatz mit fester Periode verursacht [4, 66]. Beispielsweise ist das Phasenrauschen der Taktquelle stochastisch, während Jitter über die Versorgungsspannung deterministisch oder teilweise deterministisch sein kann [69], beispielsweise durch entsprechende Belastungsmuster. Im weiteren Verlauf zeigt sich, dass

eine periodische Zeitvarianz im Taktnetzwerk angenommen werden kann. Dabei ergibt sich eine eben solche deterministische, periodische Abhängigkeit am Ausgang, die vom Zustand des Taktnetzwerks abhängt. Aufgrund der besonderen Bedeutung für die Interpretation der Messergebnisse werden die spektralen Auswirkungen auf das Ausgangssignal eines DAUs bei Annahme eines Taktjitters nach den Berechnungen in [68] hergeleitet. Dabei sei zunächst die Halte-Operation vernachlässigt (Fall „*impulse sampled*“ in [66]). Das Modell lässt sich jedoch leicht auf ein ZOH-Modell mit variabler Rechteckweite und den zugehörigen Rechteckimpulsen mit periodisch variablen Breiten  $h_n(t)$  erweitern und liefert ein entsprechendes Ergebnis [4].

Es sei  $\{t_n\}$  eine Folge von Zeitpunkten, zu denen digitale Daten an den DAU-Ausgang geliefert werden. Da der Systemtakt als jitterbehaftet angenommen wird, lässt sich  $t_n$  wie folgt ausdrücken:

$$t_n = nT_s + \Delta_n . \quad (2.40)$$

Darin bezeichnet  $\Delta_n$  eine deterministische, periodische Folge an Zeitwerten der normierten Periode  $P$ , die den Jitterbeitrag repräsentiert. Es gilt  $P = n_J T_J / T_s$ , wobei  $T_J$  für die Jitter-Periode steht und  $n_J$  die kleinste natürliche Zahl ist, die  $P$  zur natürlichen Zahl macht. Nun sei  $n = \nu P + p$  mit  $\nu \in \mathbb{Z}$  und  $p \in \{0, \dots, P-1\}$ , sodass gilt:

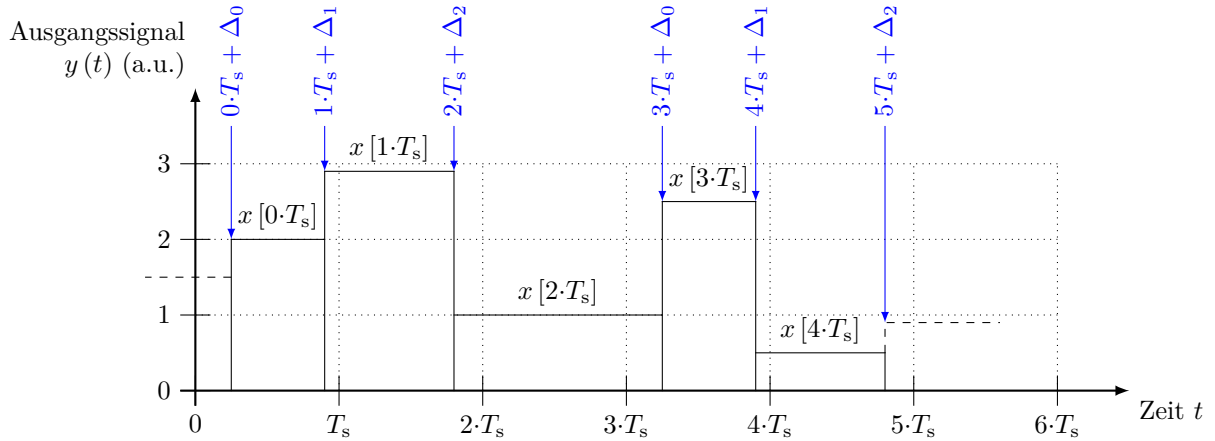
$$t_n \stackrel{n=\nu P+p}{=} (\nu P + p) T_s + \Delta_{\nu P+p} = \nu P T_s + p T_s + \Delta_p = \nu P T_s + p T_s + r_p T_s . \quad (2.41)$$

Die Größe  $r_p = \Delta_p / T_s$  beschreibt den relativen zeitlichen Offset. Mit dem Ausgangsimpuls  $h(t)$  ist das Ausgangssignal gegeben durch

$$\begin{aligned} y(t) &= \sum_{n=-\infty}^{\infty} x(nT_s) h(t - t_n) \\ &= \sum_{p=0}^{P-1} \sum_{\nu=-\infty}^{\infty} x(\nu P T_s + p T_s) h(t - \nu P T_s - p T_s - r_p T_s) . \end{aligned} \quad (2.42)$$

Die Fourier-Transformation von Gl. (2.42) ergibt

$$\begin{aligned} Y(j\omega) &= H(j\omega) \sum_{p=0}^{P-1} \sum_{\nu=-\infty}^{\infty} x(\nu P T_s + p T_s) e^{-j\omega \nu P T_s} e^{-j\omega p T_s} e^{-j\omega r_p T_s} \\ &= H(j\omega) \sum_{p=0}^{P-1} \sum_{\nu=-\infty}^{\infty} \left( \frac{1}{2\pi} \int_{-\infty}^{\infty} X(j\tilde{\omega}) e^{j\tilde{\omega}(\nu P T_s + p T_s)} d\tilde{\omega} \right) \cdot e^{-j\omega \nu P T_s - j\omega p T_s - j\omega r_p T_s} \\ &= H(j\omega) \sum_{p=0}^{P-1} \left( \frac{1}{2\pi} \int_{-\infty}^{\infty} X(j\tilde{\omega}) e^{j(\tilde{\omega} - \omega) p T_s} \cdot \left( \sum_{\nu=-\infty}^{\infty} e^{j(\tilde{\omega} - \omega) \nu P T_s} \right) d\tilde{\omega} \right) e^{-j\omega r_p T_s} \\ &= H(j\omega) \frac{1}{P T_s} \sum_{p=0}^{P-1} \sum_{\nu=-\infty}^{\infty} X \left( j\omega - j\nu \frac{2\pi}{P T_s} \right) \cdot e^{-j\omega r_p T_s} e^{-j\nu p \frac{2\pi}{P}} \end{aligned}$$



**Abbildung 2.6:** Ausgangssignal eines gleichmäßig abgetasteten Signals  $x(nT_s)$  ( $n \in \mathbb{Z}$ ) und ungleichmäßiger Haltezeit nach [4, 59, 66]. Die Abweichungen von der nominalen Symboldauer  $T_s$  sind periodisch (hier  $P = 3$ ).

$$= \frac{1}{PT_s} \sum_{\nu=-\infty}^{\infty} A_{\nu}(j\omega) X\left(j\omega - j\nu \frac{2\pi}{PT_s}\right). \quad (2.43)$$

Dabei wird der Zusammenhang auf der rechten Seite von Gl. (B.16) verwendet.  $A_{\nu}(j\omega)$  ist durch

$$A_{\nu}(j\omega) = H(j\omega) \sum_{p=0}^{P-1} e^{-j\omega r_p T_s} e^{-j\nu p \frac{2\pi}{P}} \quad (2.44)$$

gegeben.

Neben den Termen  $A_{\nu}(j\omega)$  besteht ein entscheidender Unterschied zu Gl. (2.22) mit idealer, konstanter Symboldauer darin, dass Verschiebungen um Vielfache von  $2\pi/(PT_s)$  in  $X(j\omega - j\nu \cdot 2\pi/(PT_s))$  auftreten, konkret um den Bruchteil  $1/P$  modifiziert im Vergleich zu Gl. (2.22), mit entsprechenden spektralen Auswirkungen. Demnach ist mit weiteren Störlinien ( $\nu \neq 0$ ) zu rechnen. In den Messungen werden entsprechende Störlinien gefunden. Da sich auch bei Betrachtung eines zeitvarianten ZOH-Modells (s. unten) ein ähnliches Ergebnis ergibt, zeigt sich insgesamt, dass gewisse Zeitvarianzen bei der Datenausgabe zu einer Modifikation des Modells aus Gl. (2.22) führen und weitere Verzerrungen erzeugen. Dieses allgemeine Modell erlaubt vielerlei Betrachtungen. Bei der Vorverzerrung in Kap. 4 spielen genau diese zeitvarianten Effekte eine entscheidende Rolle, wobei die beschriebenen Verzerrungen deutlich reduziert werden.

Unter Beachtung der Halte-Operation des DAUs kann nach [4, 66] ein etwas veränderter Zusammenhang für ungleichmäßige Haltezeiten im Ausgangssignal hergeleitet werden, was in Anhang C.1 gezeigt wird. Abbildung 2.6 zeigt ein Ausgangssignal mit ZOH, beeinträchtigt durch Jitter. In diesem Fall muss Gl. (2.42) leicht modifiziert werden:

$$\begin{aligned}
y(t) &= \sum_{n=-\infty}^{\infty} x(nT_s) h_n(t - t_n) \\
&= \sum_{p=0}^{P-1} \sum_{\nu=-\infty}^{\infty} x(\nu PT_s + pT_s) h_p(t - \nu PT_s - pT_s - r_p T_s) .
\end{aligned} \tag{2.45}$$

Dabei ist auf den Index  $n$  (bzw.  $p$ ) zu achten, der für die Rechtecke variabler Breite steht. Ein vom Symbolzeitpunkt abhängiger Rechteckimpuls  $h_n(t - t_n)$  startet zum Zeitpunkt  $t_n$ , hat die Höhe 1 und eine Weite von  $t_{n+1} - t_n$ . Aus diesem Modell ergibt sich die Fourier-Transformierte zu:

$$\begin{aligned}
Y(j\omega) &= \frac{1}{PT_s} \sum_{\nu=-\infty}^{\infty} \sum_{p=0}^{P-1} H_p(j\omega) e^{-j\frac{2\pi}{P}\nu p} e^{-j\omega r_p T_s} X\left(j\omega - j\nu \frac{2\pi}{PT_s}\right) \\
&= \frac{1}{PT_s} \sum_{\nu=-\infty}^{\infty} \tilde{A}_\nu(j\omega) X\left(j\omega - j\nu \frac{2\pi}{PT_s}\right) .
\end{aligned} \tag{2.46}$$

Dabei gilt

$$\tilde{A}_\nu(j\omega) = \sum_{p=0}^{P-1} H_p(j\omega) e^{-j\frac{2\pi}{P}\nu p} e^{-j\omega r_p T_s} \tag{2.47a}$$

$$= \sum_{p=0}^{P-1} \frac{2 \cdot \sin(\omega(1 + r_{p+1} - r_p)T_s/2)}{\omega} e^{-j\omega(1+r_{p+1}+r_p)T_s/2} e^{-j\frac{2\pi}{P}\nu p} . \tag{2.47b}$$

Zur Plausibilitätsprüfung kann der Fall ohne Jitter ( $P = 1$ ,  $\Delta_p = 0$ ) betrachtet werden, was zum bekannten Zusammenhang aus Gl. (2.22) führt. Am prinzipiellen Zusammenhang (2.43), den geformten Kopien, verschoben um Vielfache von  $2\pi/(PT_s)$ , ändert sich nichts durch die Berücksichtigung der Halte-Operation. Es ergeben sich lediglich um die unterschiedlichen rechteckförmigen Impulsantworten modifizierte Formungen (Gl. (2.47a), (2.47b)) anstelle einer einheitlichen Impulsantwort. Auf die Formung bzw. Gewichtungen wird nicht näher eingegangen. Es sei lediglich auf die prinzipielle Analogie zur  $\sin(x)/x$ -Formung nach Kap. 2.5 hingewiesen (Gl. (2.47b)), wengleich sich hier eine Überlagerung verschiedener Funktionen ergibt.

Zuletzt sollen die Auswirkungen von rein stochastischem Jitter betrachtet werden. Aus vorigem Ergebnis kann gezeigt werden, dass bei  $P$  unabhängigen und identisch verteilten Zufallsvariablen mit Gauß-Verteilung, dabei mittelwertfrei und mit Standardabweichung  $\sigma_{\text{Jitter}} = \sigma_{r_p} \cdot T_s$ , folgendes  $SNR$  für  $P \rightarrow \infty$  und ein Sinussignal der Frequenz  $f_{\text{Sig}}$  angegeben werden kann [66]:

$$SNR_{\text{Jitter}} = -20 \cdot \log_{10}(2\pi f_{\text{Sig}} \sigma_{\text{Jitter}}) . \tag{2.48}$$

Dies entspricht dem Ergebnis bei Abtastjitter [1]. Der Jitter stellt demnach eine weitere

Limitierung des  $SNRs$  dar.

Zusammenfassend weicht das Ausgangsspektrum bei einer Jitter unterliegenden Zeitbasis von der idealen Digital-Analog-Umsetzung nach Gl. (2.22) ab und es sind mehr Störlinien zu erwarten.

### 2.9.2 Einfluss von Verstärkungsvariationen

Die Modelle nach den Gleichungen (2.43) und (2.46) betrachten den Einfluss des reinen Taktversatzes. Zusätzlich sind auch Verstärkungsvariationen möglich. Deren Einfluss wird in der Betrachtung hinzugefügt, indem man ein modifiziertes Eingangssignal  $y(t)$  annimmt, das mit einer Verstärkungsvariation  $\epsilon_G(t)$  versehen wird und der additive Anteil linear zu  $x(t)$  ist:

$$y(t) = x(t) (1 + \epsilon_G(t)) . \quad (2.49)$$

Im Frequenzbereich ergibt sich

$$Y(j\omega) = X(j\omega) + \frac{1}{2\pi} X(j\omega) * \varepsilon_G(j\omega) . \quad (2.50)$$

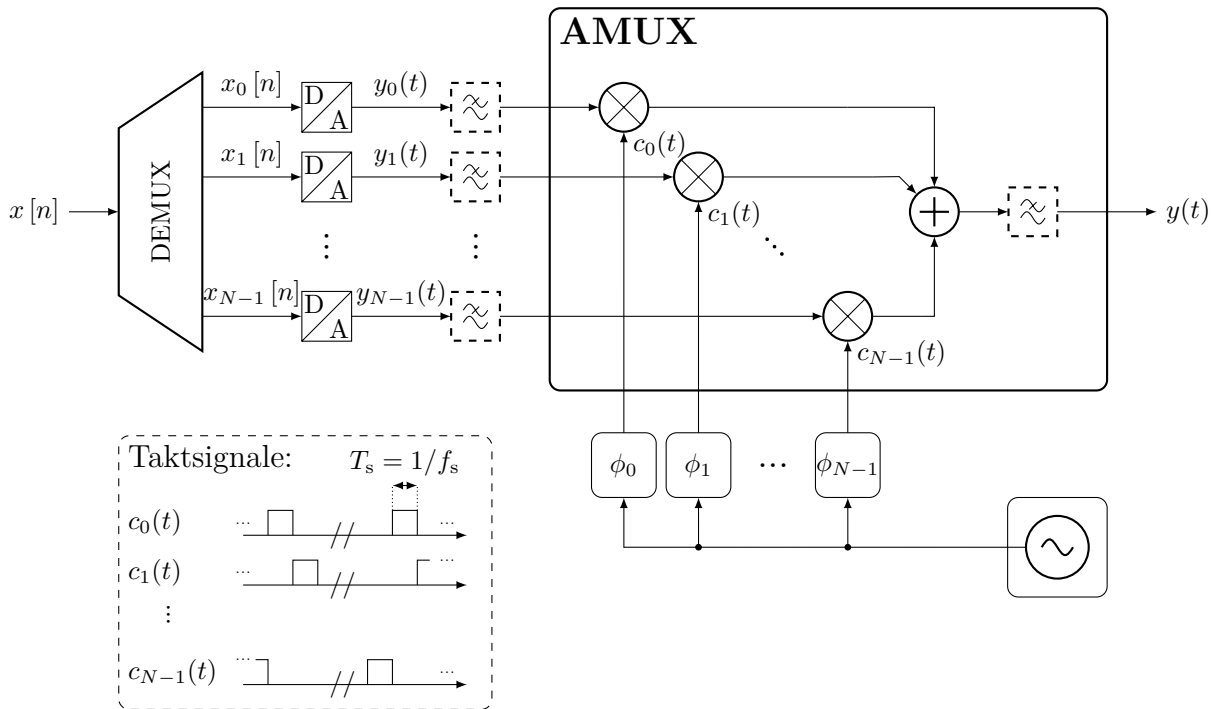
Als Spezialfall dieser allgemeinen Beschreibung wird erneut eine periodische Variation der Periode  $P$  angenommen. In diesem Fall lässt sich die Verstärkungsvariation mittels einer Fourier-Reihe mit den Koeffizienten  $c_{\epsilon_G, \nu}$  darstellen und es ergibt sich

$$y(t) = x(t) \left( 1 + \sum_{\nu=-\infty}^{\infty} c_{\epsilon_G, \nu} e^{j\nu \frac{2\pi}{PT_s} t} \right) \quad (2.51)$$

bzw.

$$Y(j\omega) = X(j\omega) + \sum_{\nu=-\infty}^{\infty} c_{\epsilon_G, \nu} \cdot X \left( j\omega - j\nu \frac{2\pi}{PT_s} \right) . \quad (2.52)$$

Erneut ergeben sich Verschiebungen um  $2\pi/(PT_s)$ . Eine Kombination aus den Gleichungen (2.43) bzw. (2.46) und Gl.(2.52) bietet ein Modell für periodisch zeitvariante Impulse unterschiedlicher Breite und Höhe, wie sie bei der Vorverzerrung zu korrigieren sein werden.



**Abbildung 2.7:** Blockschaltbild eines DAU-AMUX-Systems mit prinzipiellen Taktsignalen ohne Berücksichtigung einer konkreten Ausführung (Vollratentakt, Halbratentakt etc.) nach [15] (DEMUX: Demultiplexer). Allgemein müssen die Umsetzungsraten der DAU nicht notwendigerweise genau  $f_s/N$  entsprechen. Die Taktsignale unterliegen geeigneten Phasenverschiebungen  $\phi_0, \dots, \phi_{N-1}$  und sind orthogonal zueinander. Sie entsprechen jeweils idealerweise einer rechteckförmigen Pulsfolge. Tiefpässe, diskret oder den Elementen inhärent, sind ebenfalls eingezeichnet.

## 2.10 Die Operation des analogen Multiplexers

Eine letzte bedeutende Operation im DAU-System ist jene des AMUXs. Die Beschreibung eines DAU-AMUX-Systems nach [15] lässt sich anhand des Blockschaltbilds in Abb. 2.7 für  $N \in \mathbb{N}$  Sub-DAU mit den zugehörigen Indizes  $\lambda \in \Lambda = \{0, \dots, N-1\}$  herleiten. Die Gesamtumsetzungsrate sei  $f_s = 1/T_s$ , jene der einzelnen Sub-DAU  $f_{\text{DAU}} = 1/T_{\text{DAU}} = f_s/N$ , im konkreten Fall mit  $N = 2$  also  $f_s/2$ . An dieser Stelle sei nochmals der inhärente Aspekt eines AMUXs der prinzipiellen Bandbreitenerhöhung durch eine Verschiebung des *Roll-Offs* herausgestellt. Er ist neben der Verdopplung der Umsetzungsrate im Falle des hier eingesetzten 2:1-AMUXs von besonderer Bedeutung für dieses Konzept. Der Beweis, dass ein eben solches System den *Roll-Off* entsprechend der Gesamtumsetzungsrate verschiebt und somit eine prinzipielle Bandbreitenerhöhung erreicht werden kann, steht noch aus. Eine detaillierte Analyse des Modells mit mathematischem Beweis der *Roll-Off*-Verschiebung ist in Anhang C.2 gegeben. Hier werden lediglich zentrale Ergebnisse angegeben. Die Ausgangssignale  $Y_\lambda(j\omega)$  der einzelnen Sub-DAU im Frequenzbereich können gemäß Gl. (2.53) in Abhängigkeit der jeweiligen Eingangssignale  $X_\lambda(e^{j\omega T_{\text{DAU}}})$  sowie einem analogen (Tiefpass-)Filter  $V_\lambda(j\omega)$ , das

Bandbreitenlimitierungen repräsentiert, angegeben werden.

$$Y_\lambda(j\omega) = \underbrace{X_\lambda(e^{j\omega T_{\text{DAU}}})}_{\text{ideale Digital-Analog-Umsetzung}} \cdot \underbrace{T_{\text{DAU}} \text{si}\left(\frac{\omega T_{\text{DAU}}}{2}\right)}_{\text{ZOH}} \cdot \underbrace{V_\lambda(j\omega)}_{\text{Filter}} \cdot \underbrace{e^{-j\omega \lambda T_s}}_{\text{Verzögerung}} \quad (2.53)$$

In analoger Weise können die Taktsignale  $C_\lambda(j\omega)$  konstruiert werden:

$$C_\lambda(j\omega) = \underbrace{\frac{2\pi}{N} \cdot \text{si}\left(\frac{\omega T_s}{2}\right)}_{\text{Amplitude}} \cdot \underbrace{e^{-j\omega \lambda T_s}}_{\text{Phase}} \cdot \underbrace{V_{\text{clk},\lambda}(j\omega)}_{\text{Filter}} \cdot \underbrace{\sum_{\mu=-\infty}^{\infty} \delta\left(\omega - \mu \frac{2\pi}{NT_s}\right)}_{\text{Taktlinien}} \quad (2.54)$$

Auch hierbei wird eine Tiefpass-Charakteristik  $V_{\text{clk},\lambda}(j\omega)$  berücksichtigt. Die durch die AMUX-Operation erzielte und mittels einer Gilbert-Zelle schaltungstechnisch realisierte Multiplikation aus Daten- und Taktsignalen mit anschließender additiver Vereinigung aller Teilsignale lässt sich unter Berücksichtigung eines weiteren Frequenzgangs am Ausgang des AMUXs mit Zeitbereichs-Repräsentation  $v_{\text{out}}(t)$  entsprechend Gl. (2.55) ausdrücken.

$$y(t) = \left( \sum_{\lambda \in A} c_\lambda(t) \cdot y_\lambda(t) \right) * v_{\text{out}}(t) \quad (2.55)$$

Im Frequenzbereich ergibt sich

$$Y(j\omega) = \frac{1}{2\pi} \left( \sum_{\lambda \in A} C_\lambda(j\omega) * Y_\lambda(j\omega) \right) \cdot V_{\text{out}}(j\omega) \quad (2.56)$$

Dieses allgemeine Modell nach [15] erlaubt eine mathematische Analyse des Konzepts. Für ausführlichere Diskussionen und Betrachtungen von Nichtidealitäten sei auf [15] verwiesen.

Mithilfe von Gl. (2.56) lässt sich formal eine prinzipielle Bandbreitenerhöhung durch den Einsatz eines AMUXs beweisen, ungeachtet anderer bandbreitenlimitierender Effekte, dargestellt durch  $V_\lambda(j\omega)$ ,  $V_{\text{clk},\lambda}(j\omega)$  und  $V_{\text{out}}(j\omega)$ . Dieser wird in Anhang C.2 geführt. Es ergibt sich

$$Y(j\omega) = T_s \cdot \sum_{\lambda \in A} X_\lambda(e^{j\omega T_{\text{DAU}}}) \cdot e^{-j\omega \lambda T_s} \cdot \text{si}\left(\frac{\omega T_s}{2}\right), \quad (2.57)$$

bzw.

$$Y(j\omega) = T_s \cdot X(e^{j\omega T_s}) \cdot \text{si}\left(\frac{\omega T_s}{2}\right) \quad (2.58)$$

und somit ist für den  $\sin(x)/x$ -Roll-Off die effektive Gesamtumsetzungsrate  $f_s = 1/T_s$  maßgeblich. Damit entspricht das Ergebnis der formalen Herleitung der Erwartung durch Gl. (2.22) und es ist nun nachträglich der dargestellte prinzipielle Bandbreiten-Vorteil eines AMUXs formal gezeigt. Ein AMUX kann die prinzipielle Bandbreitenlimitierung von DAUs gerin-

gerer Umsetzungsrate erhöhen, vorausgesetzt er weist seinerseits eine ausreichende analoge Bandbreite auf.



## 3 Schaltungstechnische Realisierung des Digital-Analog-Umsetzers

In diesem Kapitel werden zentrale Aspekte der schaltungstechnischen Realisierung des DAUs vorgestellt. Nach einem Systemüberblick und Erläuterungen zur Simulationsmethodik werden zunächst grundlegende schaltungstechnische Elemente diskutiert, bevor entlang von Takt- und Datenpfad die konkreten Schaltungsteile gezeigt werden. Aus Konsistenzgründen werden im Weiteren Frequenzen, Daten- und Symbolraten in der Regel von  $f_s$  am Ausgang des DAUs abgeleitet. Im Falle des Halbratentakt-Konzepts gilt zwischen der Umsetzungsrate  $f_s$  und der zugehörigen Taktfrequenz  $f_{\text{clk}}$ :  $f_{\text{clk}} = f_s/2$ . Zunächst sei definiert, dass sich alle Spannungen in dieser Arbeit, sofern sie nicht explizit als Spannungsdifferenz definiert werden, auf eine gemeinsame Masse (GND) außerhalb des Chips beziehen, dem das Bezugspotenzial 0 V zugeordnet wird. Dieses entspricht zugleich der HF-Masse. Physikalisch realisiert ist diese Bezugsmasse als Masse-Sternpunkt auf der DC-Leiterplatte (vgl. Kap. 5.1.1.2). Weiterhin sollen folgende Bezeichnungen gewählt werden, um Schaltungskonzepte begrifflich zu trennen: CMOS-Teile und CML-Teile. „CMOS“ ist dabei nicht im technologischen Sinne zu verstehen, sondern steht hier für eine Reihe von Schaltungskonzepten („Logikfamilien“), welche sich typischerweise beider komplementären Transistoren bedienen: nFET in der Regel im *Pull-Down*-Pfad, pFET in der Regel im *Pull-Up*-Pfad. Konkret sind damit Schaltungen – auch modifizierte – in statischer CMOS-Logik, *Differential Cascode Voltage Switch Logic* (DCVSL) und Pass-Transistor-Logik (insbesondere *Transmission-Gatter*, TG) bezeichnet. Dies beinhaltet CMOS-Inverter, Flip-Flops (FF) etc. Modifikationen dieser Schaltungen, beispielsweise mithilfe von Widerständen, sollen damit begrifflich ebenfalls erfasst sein. In Abgrenzung dazu werden unter den CML-Teilen Schaltungen in differenzieller Stromschaltertechnik verstanden. Der Begriff „Logik“ im Begriff CML ist genau genommen unpassend, da auch mit analogen Signalen gearbeitet wird. Insofern handelt es sich eher um eine „Stromschaltertechnik“, die auf der für CML typischen, sourcegekoppelten Struktur mit Fußpunktstromquelle basiert. Dazu zählen insbesondere Verstärker, der erste Taktteiler (TT), die Phasenrotatoren sowie der AMUX. Bei der begrifflichen Zuweisung geht es um die Hauptkomponenten des jeweiligen Schaltungsteils. Eine feinere Unterscheidung wird nicht getroffen, weshalb beispielsweise periphere Schaltungen wie Schaltungen zur Arbeitspunkteinstellung, die im CML-Teil benötigt

werden, jeweils zu diesen gezählt werden.

Da die gezeichneten Dimensionen bei der Herstellung um den Faktor 0,9 verkleinert (*shrinking*) werden, wird für die weiteren Ausführungen festgelegt, dass sich Angaben zu Transistoren wie Weiten stets auf die Modell-Parameter bei der Entwicklung vor der Verkleinerung beziehen, während Größenangaben in Layouts die tatsächlichen, verringerten Dimensionen zeigen.

### 3.1 Gesamtsystem

Abbildung 3.1 gibt einen Überblick über das Gesamtsystem mit Halbratentakt-Konzept im AMUX und in den DAU-Kernen. Insgesamt liegt eine komplexe Mischsignalschaltung mit rund 14,03 Millionen Transistoren vor, wobei die Angabe auf jener der *Layout-versus-Schematic*-Verifikation nach Transformation beruht. Das System ist *full custom* entworfen. Der Eingangstakt mit  $f_s/2$  wird über einen CML-Taktpfad dem AMUX und mit  $f_s/4$  den DAU-Kernen zugeführt. Die Daten werden von außen in die beiden Speicherblöcke (SRAM 0/1) mit jeweils 128 KiByte geschrieben, die von einer zentralen Steuersignaleinheit gesteuert werden. Im AWG-Betrieb werden diese Daten dann über differenzielle Datenleitungen und ein Dekodier-Netzwerk (Dek.) an die beiden DAU-Kerne geleitet. Diese bestehen im Wesentlichen jeweils aus 19 16:1-Multiplexern, einem eigenen Taktnetzwerk sowie der Ausgangsstruktur, die die eigentliche Digital-Analog-Umsetzung durchführt. Die phasenverschobenen DAU-Ausgangssignale werden am Ende vom AMUX zu einer Gesamtumsetzungsrate von  $f_s$  kombiniert. In Abb. 3.1 zählen die Speicherblöcke, Daten- und Steuersignalleitungen (engl.: *transmission line*, TL), zentrale Steuersignaleinheit sowie die DAU-Kerne zum CMOS-Teil, da sie überwiegend den genannten Schaltungskonzepten zugeordnet werden können. Der AMUX sowie der Taktpfad bis zur Übergabe auf  $f_s/4$ -Ebene an die DAU-Kerne bilden mit allen zugehörigen peripheren Schaltungen den CML-Teil. Die Datenleitungen vom Speicher kommend, die DAU-Kerne, der Taktpfad und der AMUX sind differenziell aufgebaut. Die differenziellen CMOS-Teile sind genau genommen *pseudo-differenzielle* Schaltungen, die aus Kombination zweier SE-Schaltungen hervorgehen [70, 71], wobei dies im Folgenden begrifflich nicht mehr unterschieden wird.

Das Layout des gesamten Chips ist in Abb. 3.2 dargestellt, die Zuordnung der einzelnen Pads in Tab. 3.1. Weitere Layoutausschnitte werden in Anhang E gezeigt. Wenngleich mehrere Versorgungsspannungsdomänen vorliegen, betragen die nominalen Versorgungsspannungen aller CMOS-Teile  $U_{DD} = 1\text{ V}$  und  $U_{SS} = 0\text{ V}$  und werden im Weiteren nicht mehr unterschieden. In der Praxis können sie jedoch individuell eingestellt und aufeinander abgestimmt werden, einschließlich einer Erhöhung über den nominalen Wert hinaus (*overdrive*). Jede CMOS-Spannung wird symmetrisch von oben und unten für die jeweiligen Hälften zugeführt. Sie sind

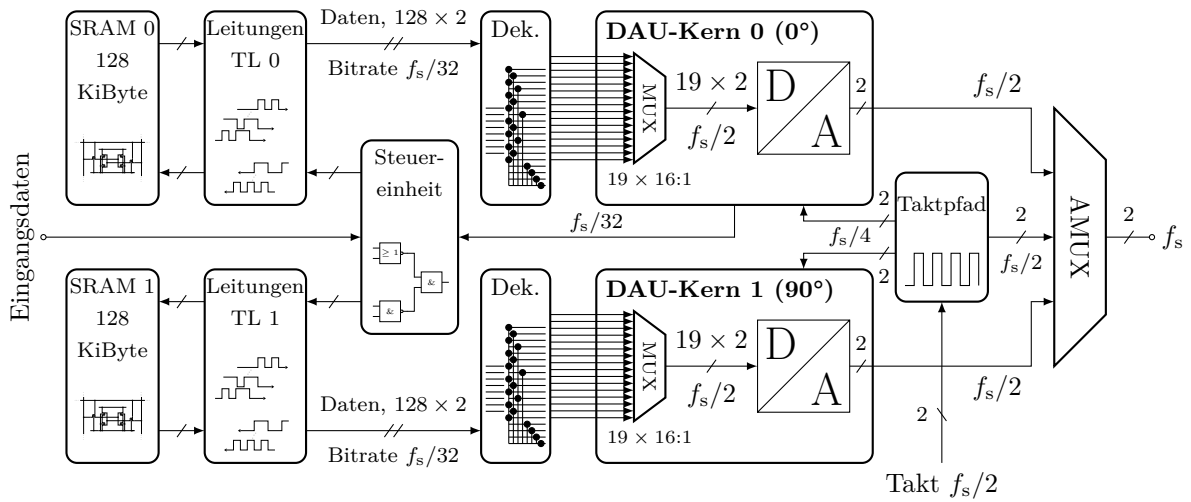


Abbildung 3.1: Überblick über das Gesamtsystem mit Angaben zu Daten- bzw. Symbolraten und Busbreiten.

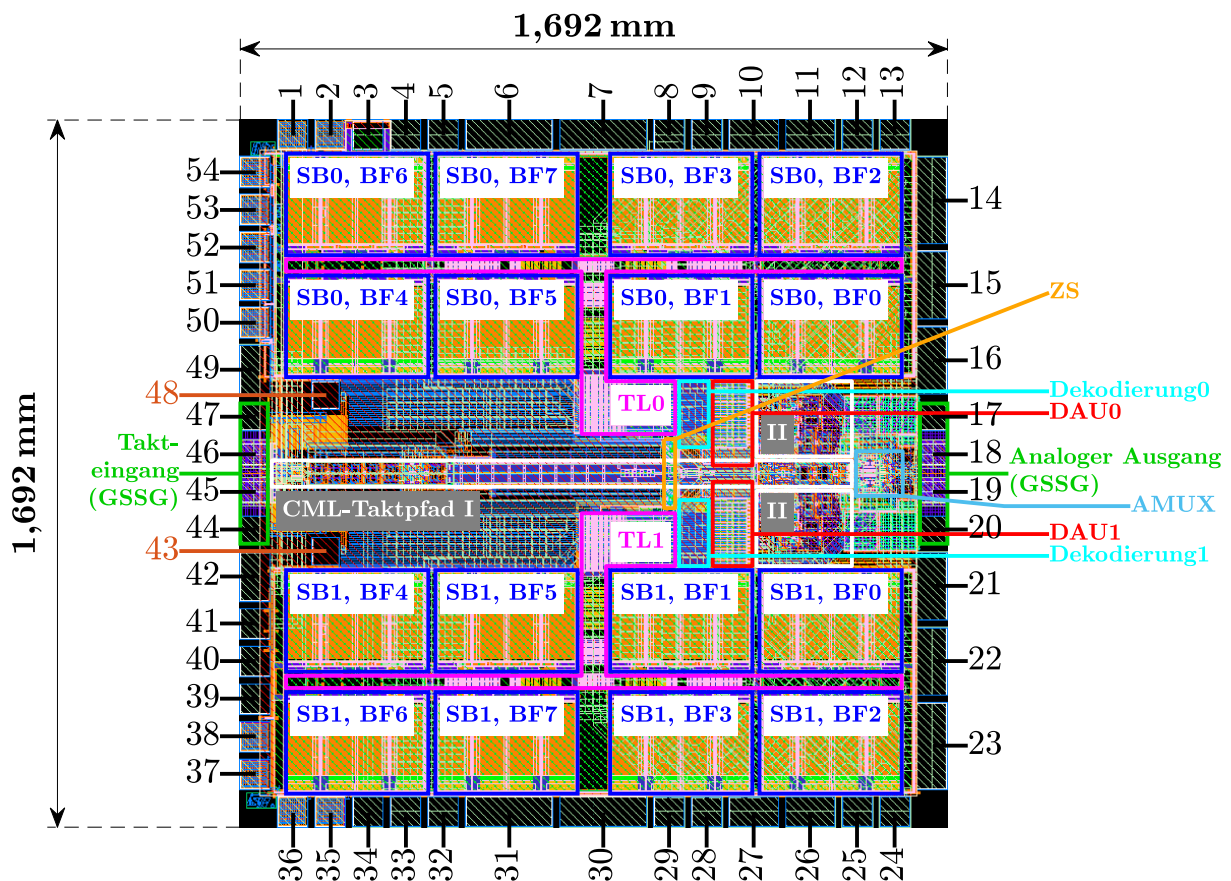


Abbildung 3.2: Layout des Chips. Zu erkennen sind die wesentlichen Schaltungsteile: Speicherblöcke (SB0/1), Bitfelder (BF0...7) mit ihrer jeweiligen Wertigkeit LSB bis MSB (engl.: *most significant bit*), zentrale Steuersignaleinheit (ZS), Daten- und Steuersignalleitungen (TL0/1), CML-Takt-pfad bei  $f_s/2$  (I) und  $f_s/4$  (II), Sub-DAU sowie AMUX.

**Tabelle 3.1:** Zuordnung der Pads.

Pad	Funktion	Pad	Funktion
1	Steuerung Speicher	28	CMOS-Takttreiber $U_{SS, Tr}$
2	Steuerung Speicher	29	CMOS-Takttreiber $U_{DD, Tr}$
3	Gleichwert-Detektor	30	Speicher $U_{SS, Sp}$
4	CMOS-Taktteiler $U_{DD, TT}$	31	Speicher $U_{DD, Sp}$
5	CMOS-Taktteiler $U_{SS, TT}$	32	CMOS-Taktteiler $U_{SS, TT}$
6	Speicher $U_{DD, Sp}$	33	CMOS-Taktteiler $U_{DD, TT}$
7	Speicher $U_{SS, Sp}$	34	CML-CMOS unten $U_{CML2CMOSu}$
8	CMOS-Takttreiber $U_{DD, Tr}$	35	Steuerung Konfigurationsregister
9	CMOS-Takttreiber $U_{SS, Tr}$	36	Steuerung Konfigurationsregister
10	CMOS-MUX $U_{DD, MUX}$	37	Steuerung Konfigurationsregister
11	CMOS-MUX $U_{SS, MUX}$	38	Ausgang Konfigurationsregister
12	CMOS-Ausgangstreiber $U_{DD, D/A}$	39	Einstellung AMUX $U_{Bias, AMUX}$
13	CMOS-Ausgangstreiber $U_{SS, D/A}$	40	Gleichtaktspannung Takteingang $U_{Offs}$
14	CMOS-Takttreiber $U_{SS, Tr}$	41	CML-CMOS oben $U_{CML2CMOSo}$
15	CMOS-Takttreiber $U_{DD, Tr}$	42	CML $U_{SS2, CML}$
16	CML rechter Teil $U_{DD, CMLr}$	43	BB pFETs $U_{BBp}$
17	GND $U_{SS0, CML}$	44	GND $U_{SS0, CML}$
18	AMUX-Ausgang $U_{out}$	45	Takteingang $U_{clk_{in}}$
19	AMUX-Ausgang $U_{out}$	46	Takteingang $U_{clk_{in}}$
20	GND $U_{SS0, CML}$	47	GND $U_{SS0, CML}$
21	CML $U_{SS1, CML}$	48	BB nFETs $U_{BBn}$
22	CMOS-Takttreiber $U_{DD, Tr}$	49	CML linker Teil $U_{DD, CMLl}$
23	CMOS-Takttreiber $U_{SS, Tr}$	50	Triggenerausgang
24	CMOS-Ausgangstreiber $U_{SS, D/A}$	51	Ausgang Speicher
25	CMOS-Ausgangstreiber $U_{DD, D/A}$	52	Steuerung Speicher
26	CMOS-MUX $U_{SS, MUX}$	53	Steuerung Speicher
27	CMOS-MUX $U_{DD, MUX}$	54	Steuerung Speicher

zudem auf dem Chip verbunden. Die CML-Spannungen betragen nominal  $U_{DD, CML} = 1,6\text{ V}$  (linker und rechter Teil) sowie  $U_{SS0, CML} = 0\text{ V}$ ,  $U_{SS1, CML} = -0,6\text{ V}$  und  $U_{SS2, CML} = -1,3\text{ V}$ . FBB wird im CML-Teil sowie in den DAU-Kernen eingesetzt, wobei die Spannungen im CML-Teil intern erzeugt werden, während sie für die DAU-Kerne von extern zugeführt und damit global einstellbar sind. Bevor die einzelnen Blöcke vorgestellt werden, werden zunächst Simulationsmethodik sowie grundlegende Elemente und Konzepte diskutiert.

## 3.2 Simulationsmethodik

Aufgrund der Komplexität der Schaltung müssen beim Entwurf geeignete reduzierte Simulationen mit definierten Schnittstellen sowie geeignete Überlappungen von Teilen durchgeführt werden. Simulativ werden Simulationen auf Schaltungsplanebene, Extraktionen und elektromagnetische Simulationen passiver Strukturen unterschieden. Bei Schaltungsplan-Simulationen zeigen sich Effekte häufig erst bei höheren Frequenzen. Daher werden im Weiteren Schaltungsplan-Simulationen bei deutlich höheren Frequenzen präsentiert, als es die erzielten Umsetzungsraten erfordern, um die Effekte zu verdeutlichen, die unter realistischeren Verhältnissen bereits deutlich früher eintreten. Extraktionen erhöhen die Komplexität, zeichnen aber ein realistischeres Bild der Schaltung, wobei sich resistive, kapazitive und induktive Elemente extrahieren lassen. Bei größeren passiven Strukturen wie Induktivitäten und Zuleitungen von Versorgungsspannungen erweist sich die Extraktion als unpräzises Werkzeug, weshalb hierfür dreidimensionale, planare, elektromagnetische Simulationen mittels *Keysight* Momentum durchgeführt werden. Das präziseste, jedoch simulativ aufwendigste Modell ergibt sich aus einer Kombination von lokaler Extraktion aktiver Schaltungsteile und elektromagnetischer Simulation größerer passiver Strukturen. Dabei werden mitunter große Zellen gebildet, einschließlich aller relevanten Metalle in der Umgebung, um gegenseitige Beeinflussungen präzise zu modellieren, beispielsweise bei den *Peaking*-Induktivitäten. Die Stabilität der Versorgungsspannungen spielt eine sehr wichtige Rolle, weshalb deren Modellierung in Simulationen berücksichtigt wird und diese eher als „analoge Signale“ betrachtet werden.

Weitere Betrachtungen betreffen globale und lokale Prozessschwankungen. Diese können entweder über Monte-Carlo-Simulationen oder manuell durch Erzwingen bestimmter Grenzfälle untersucht werden. Sofern nicht anders spezifiziert, werden im Weiteren Simulationen mit nominalen Parametern präsentiert. Aufgrund der großen Anzahl an Untersuchungen werden dabei nur exemplarische Untersuchungsergebnisse zur Demonstration wichtiger Effekte gezeigt, oft auf Schaltungsplanebene und stets bei 27 °C.

## 3.3 Grundlegende schaltungstechnische Elemente und Konzepte

Zunächst sollen die für das System wichtigsten Eigenschaften einiger Grundschaltungen vorgestellt und analysiert werden: CMOS-Inverter, Flip-Flops, CML-Verstärker, Gilbert-Zelle und Stromquellen.

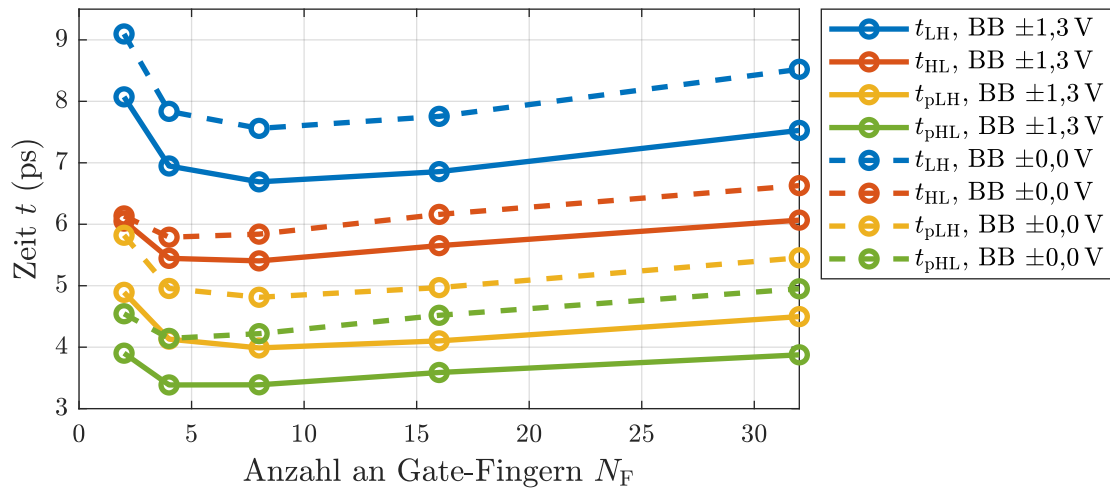


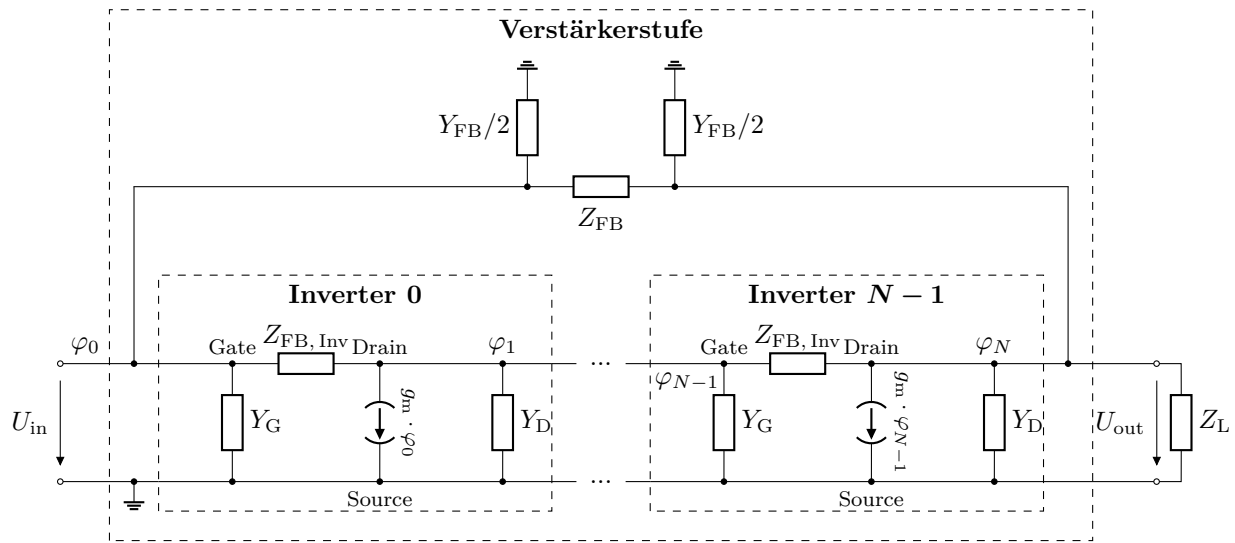
Abbildung 3.3: Anstiegs-, Abfall- und Verzögerungszeiten eines CMOS-Inverters.

### 3.3.1 Der CMOS-Inverter als Grundelement und das Verhalten von CMOS-Inverterketten

Der CMOS-Inverter spielt als Grundelement im Entwurf dieses DAUs eine zentrale Rolle und kommt in unterschiedlichen Konfigurationen vor. Er wird im weiteren Verlauf oftmals weniger als reine Logikschaltung, sondern vielmehr als zentrales Element eines limitierenden Verstärkers betrachtet und mitunter in Form eines Verstärkersymbols dargestellt, wenn dies von Bedeutung ist. Zunächst werden einige grundlegende Eigenschaften des Schaltverhaltens gemäß den Definitionen in [72] betrachtet, wobei sich die Untersuchungen auf die der Anstiegs-, Abfall- und Verzögerungszeiten beschränken. Hierzu wird eine CMOS-Inverterkette einheitlicher Inverter (*Fanout* 1) mit Transistorweiten von  $W_n = 4 \mu\text{m}$  und  $W_p = 8 \mu\text{m}$  für nFET bzw. pFET simulativ auf Schaltplanebene betrachtet und die zeitlichen Messgrößen in der Mitte der Kette ermittelt. Dadurch ist sichergestellt, dass sowohl realistische Eingangssignale anliegen als auch eine realistische Belastung vorliegt und weder Effekte durch die ideale Quelle am Eingang noch durch den unbelasteten Ausgang am Ende der Kette die Analyse beeinträchtigen. Die Anstiegs- und Abfallzeit  $t_{LH}$  und  $t_{HL}$  sind definiert als Zeitdifferenz zwischen den 10%- und 90%-Punkten der Spannungen einer steigenden bzw. fallenden Flanke nach einem Inverter. Die Verzögerungszeiten werden aus der zeitlichen Differenz der 50%-Punkte von Eingangs- und Ausgangssignal ermittelt, ebenfalls getrennt für die steigende  $t_{pLH}$  und fallende  $t_{pHL}$  Flanke am Ausgang. Abbildung 3.3 zeigt die Ergebnisse bei unterschiedlichem BB in Abhängigkeit der Anzahl an Fingern. Auch hier zeigt sich die positive Auswirkung des FBBs. Mit Variation der Anzahl an Fingern ändert sich die Fingerweite bei gleichbleibender Gesamtweite. Konkret ergeben sich bei zwei Fingern für nFET und pFET Fingerweiten von  $W_{Fn} = 2 \mu\text{m}$  und  $W_{Fp} = 4 \mu\text{m}$ , bei 32 Fingern  $W_{Fn} = 125 \text{ nm}$

und  $W_{\text{Fp}} = 250 \text{ nm}$ . Bei nur zwei Fingern können Randeﬀekte eine größere Rolle spielen. Abbildung 3.3 liefert ein wichtiges Ergebnis für die Wahl der Fingerweiten. Es wird deutlich, dass vier bis acht Finger vorteilhaft sind, was im letzten Fall Fingerweiten von  $W_{\text{Fn}} = 500 \text{ nm}$  und  $W_{\text{Fp}} = 1 \mu\text{m}$  entspricht. Daher wird in Schaltungsteilen bei hohen Frequenzen in der Regel eine dieser Dimensionierungen verwendet. Grund für diese Variationen ist der Einfluss des Gatewiderstands, der sich hier in Form einer Abhängigkeit der Anstiegs-, Abfall- und Verzögerungszeiten ausdrückt. Mit zunehmender Fingerweite nimmt sein Einfluss zu. Er ist ein kritischer Parameter für die HF-Charakteristik, die hier stellvertretend durch die genannten Größen repräsentiert wird. Dies ist auch der Grund, weshalb die Anschlussstruktur des Gates eine wichtige Rolle bei hohen Frequenzen spielt. Ein beidseitiger Anschluss der Gate-Finger über eine metallische Zuführung ist daher aus demselben Grund wichtig und muss auch im Layout in Form einer niederohmigen Anschlussstruktur beachtet werden. Auf diese Weise kann bei gegebenen Technologieparametern durch Maßnahmen im Entwurf der Einfluss des Gatewiderstands verringert werden. Es ist zu erwähnen, dass hinsichtlich Verzögerungszeit, Anstiegs- und Abfallzeiten ein Weitenverhältnis von  $W_{\text{p}}/W_{\text{n}} = 2$  nicht zu symmetrischen Zeiten führt. Symmetrische Zeiten würden ein Weitenverhältnis um 2,7 erfordern, was allerdings auch die mittleren Zeiten für  $L \rightarrow H$  (*low, high*) und  $H \rightarrow L$  wiederum erhöht, die ein kleineres Verhältnis erfordern. Ein Kompromiss aus Letzterem und der Anforderung symmetrischer Flanken in Kombination mit dem Aspekt des sehr einfachen Verhältnisses von zwei führen zu dieser Wahl des Weitenverhältnisses. Zusätzlich ist durch asymmetrisches externes BB die Symmetrie einstellbar. Physikalisch begründet werden kann das asymmetrische Verhalten von nFET und pFET durch unterschiedliche Beweglichkeiten von Elektronen und Löchern.

Inverterketten, also das Hintereinanderschalten mehrerer Einzelinverter, sind zentrale Bestandteile der DAU-Kerne, sowohl im Takt- als auch im Datenpfad. Mitunter kommen Inverterketten aus 21 Invertern zum Einsatz. Das Verhalten von Inverterketten bei hohen Frequenzen stellt eine wesentliche Limitierung dar, weshalb Rückkopplungskonzepte zum Einsatz kommen. Resistiv rückgekoppelte CMOS-Inverter sind aus der Literatur beispielsweise von Transimpedanzverstärkern, die auf Invertern basieren, bekannt und können prinzipiell noch durch induktives *Peaking* ergänzt werden [73]. Hier wird eine rein resistive, negative Rückkopplung betrachtet, allerdings konzeptuell erweitert. CMOS-Inverter mit Widerstandsgegenkopplung zeigen eine deutliche Steigerung der Performanz bei begrenztem Flächenbedarf und werden den Anforderungen an Kompaktheit der Kerne gerecht. Um die Eﬀekte in Inverterketten zu studieren, wird das allgemeine Kleinsignalersatzschaltbild in Abb. 3.4 betrachtet. Für grundsätzliche Untersuchungen werden dabei Ketten aus gleichartigen Einzel-Invertern (*Fanout* 1) angenommen, wenngleich in den DAU-Kernen Ketten zunehmender Transistorweiten zum Einsatz kommen. Ausgangspunkt für das Ersatzschaltbild ist das vereinfachte äquivalente Ersatzschaltbild eines Inverters, beispielsweise nach [72]. Es berücksichtigt insbe-



**Abbildung 3.4:** Kleinsignalersatzschaltbild einer CMOS-Inverterkette mit resistiver Rückkopplung und äußerer Beschaltung.

sondere keinen Gate-Widerstand und weitere Elemente des Ersatzschaltbilds des „äußeren Transistors“. Der Grund für die zunächst allgemeinen Impedanzen und Admittanzen im Ersatzschaltbild ergibt sich aus dem universellen Charakter des Modells hinsichtlich unterschiedlicher Konfigurationen. Die im Folgenden verwendeten (Kleinsignal-)Elemente des Inverters ergeben sich aus jenen der Transistoren (Index „n“ für nFET, Index „p“ für pFET) [72] und lassen sich durch Simulation der Y-Parameter bestimmen:

- Gate-Source-Kapazität:  $C_{GS} = C_{GSn} + C_{GSp}$  ,
- Gate-Drain-Kapazität:  $C_{GD} = C_{GDn} + C_{GDp}$  ,
- Drain-Source-Kapazität:  $C_{DS} = C_{DSn} + C_{DSP}$  ,
- Ausgangsleitwert:  $g_{DS} = 1/r_{DS} = g_{DSn} + g_{DSP}$  sowie
- Steilheit:  $g_m = g_{mn} + g_{mp}$  .

Die Berücksichtigung der Gate-Drain-Kapazität ist aufgrund des Miller-Effekts wichtig. Kapazitäten zum Body können ebenfalls enthalten sein. Mit resistiver Rückkopplung ist die Rückkopplung mittels eines Widerstands  $R$  – gegebenenfalls unter Berücksichtigung von parasitären Kapazitäten von jeweils  $C_R/2$  in einem  $\pi$ -Modell – vom Drain-Anschluss eines Inverters auf den Gate-Anschluss desselben oder eines weiter zurückliegenden Inverters gemeint. Tabelle 3.2 zeigt mögliche Kombinationen für eine Kette aus  $N$  Invertiern, die als Verstärkerstufe bezeichnet wird. Eine Kombination aus äußerer und innerer Rückkopplung wird hier nicht betrachtet.

Für jedes Knotenpotenzial  $\varphi_n$  mit  $n \in \{0, \dots, N-2\}$  ( $N \geq 2$ ) gilt

$$\varphi_n = \chi_0 \varphi_{n+1} + \chi_1 \varphi_{n+2} , \quad (3.1)$$



**Tabelle 3.2:** Modell-Parameter und Möglichkeiten der resistiven Rückkopplung.

Schaltungselement	Wert		
	ohne Rückkopplung (I)	bei Rückkopplung über jeden Inverter (II)	bei Rückkopplung über $N$ Inverter (III)
$Y_G$	$j\omega C_{GS}$	$j\omega C_{GS} + j\omega C_R/2$	$j\omega C_{GS}$
$Y_D$	$j\omega C_{DS} + g_{DS}$	$j\omega C_{DS} + j\omega C_R/2 + g_{DS}$	$j\omega C_{DS} + g_{DS}$
$Z_{FB, Inv}$	$1/(j\omega C_{GD})$	$R    1/(j\omega C_{GD})$	$1/(j\omega C_{GD})$
$Z_{FB}$	$\infty$	$\infty$	$R$
$Y_{FB}$	$0$	$0$	$j\omega C_R$

wobei

$$\chi_0 = \frac{Y_D + Y_G + \frac{2}{Z_{FB, Inv}}}{\frac{1}{Z_{FB, Inv}} - g_m} \quad \text{und} \quad \chi_1 = \frac{-\frac{1}{Z_{FB, Inv}}}{\frac{1}{Z_{FB, Inv}} - g_m}. \quad (3.2)$$

Eine äußere Bedingung ergibt sich zu

$$\varphi_{N-1} = \chi_2 \varphi_N + \chi_3 \varphi_0 \quad (3.3)$$

mit

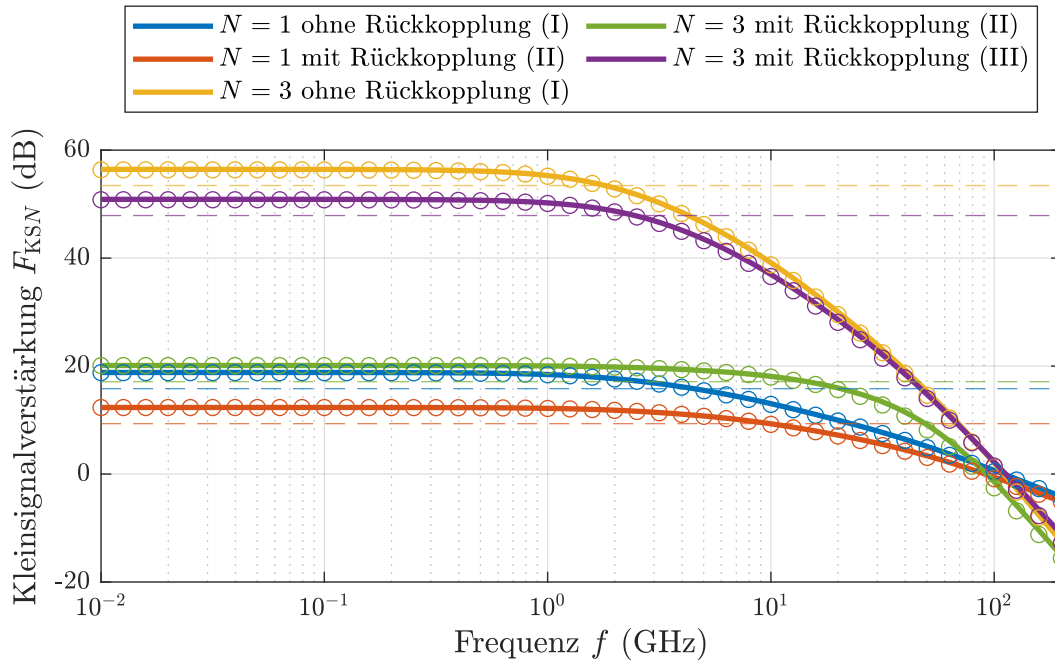
$$\chi_2 = \frac{Y_D + \frac{Y_{FB}}{2} + \frac{1}{Z_{FB, Inv}} + \frac{1}{Z_{FB}} + \frac{1}{Z_L}}{\frac{1}{Z_{FB, Inv}} - g_m} \quad \text{und} \quad \chi_3 = \frac{-\frac{1}{Z_{FB}}}{\frac{1}{Z_{FB, Inv}} - g_m}. \quad (3.4)$$

Gleichung (3.3) beschreibt darüber hinaus den Fall eines einzelnen Inverters für  $\varphi_{N-1} = \varphi_0$ ,  $Z_{FB} \rightarrow \infty$  und  $Y_{FB} = 0$ . Die Zusammenhänge in den Gleichungen (3.1) und (3.3) gelten universell und lassen sich rekursiv verallgemeinern. Ebenso lässt sich die Eingangsimpedanz auf diese Weise allgemein bestimmen. Die nachfolgende Betrachtung der Fälle  $N = 1$  und  $N = 3$  ist dadurch begründet, dass nur derartige Verstärkerstufen eingesetzt werden, wobei eine ungerade Anzahl an Invertern benötigt wird, um negative Rückkopplung zu erhalten. Nimmt man  $N = 3$  an, so gilt für die Kleinsignal-Übertragungsfunktion  $F_{KS3}(s)$

$$F_{KS3}(s) = \frac{U_{out}(s)}{U_{in}(s)} = \frac{1 - \chi_0^2 \chi_3 - \chi_1 \chi_3}{\chi_0 \chi_1 + \chi_0^2 \chi_2 + \chi_1 \chi_2}. \quad (3.5)$$

Darin bezeichnet  $s$  den komplexen Frequenzparameter.

Besonders deutlich lässt sich die Wirkung eines Rückkopplungswiderstands am Beispiel  $N = 1$  unter der Annahme von  $Y_{FB} = 0$  und einer kapazitiven Last  $Z_L = 1/(j\omega C_L)$

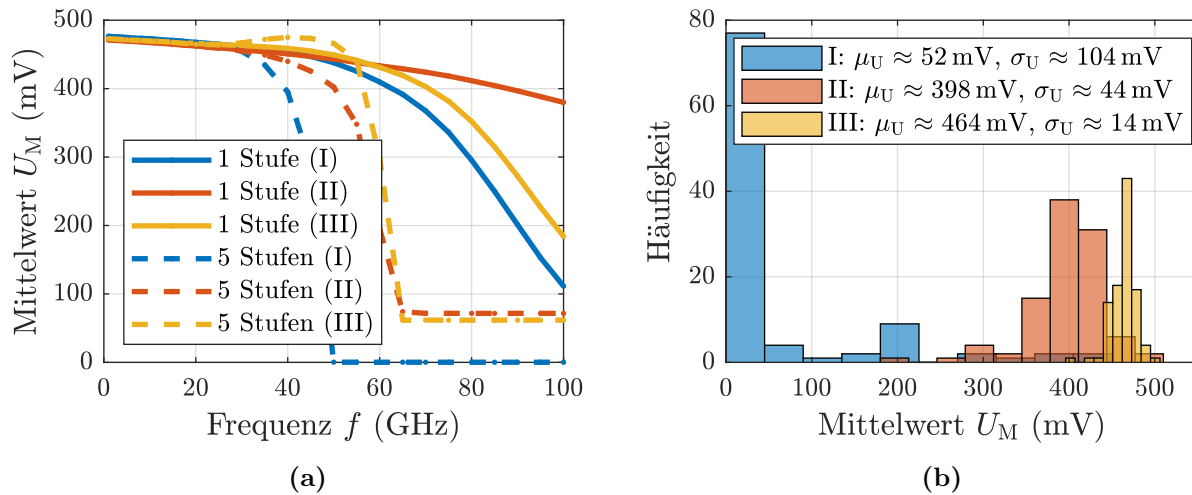


**Abbildung 3.5:** Kleinsignalverstärkung für die Konfigurationen aus Tab. 3.2 mit den jeweiligen  $-3$ -dB-Linien. Die durchgezogenen Linien basieren auf den Berechnungen, die Kreise stammen aus der Kleinsignal-Simulation mit Transistormodellen und zeigen eine gute Übereinstimmung. Dabei sind  $W_n = 4 \mu\text{m}$ ,  $W_p = 8 \mu\text{m}$  und  $R = 1 \text{ k}\Omega$  (ideal).

beobachten:

$$F_{KS1}(s) = \frac{1 - g_m R}{1 + g_{DS} R} \cdot \frac{1 + \frac{s}{\frac{1/R - g_m}{C_{GD}}}}{1 + \frac{s}{\frac{1/R + g_{DS}}{C_{GD} + C_{DS} + C_L}}} . \quad (3.6)$$

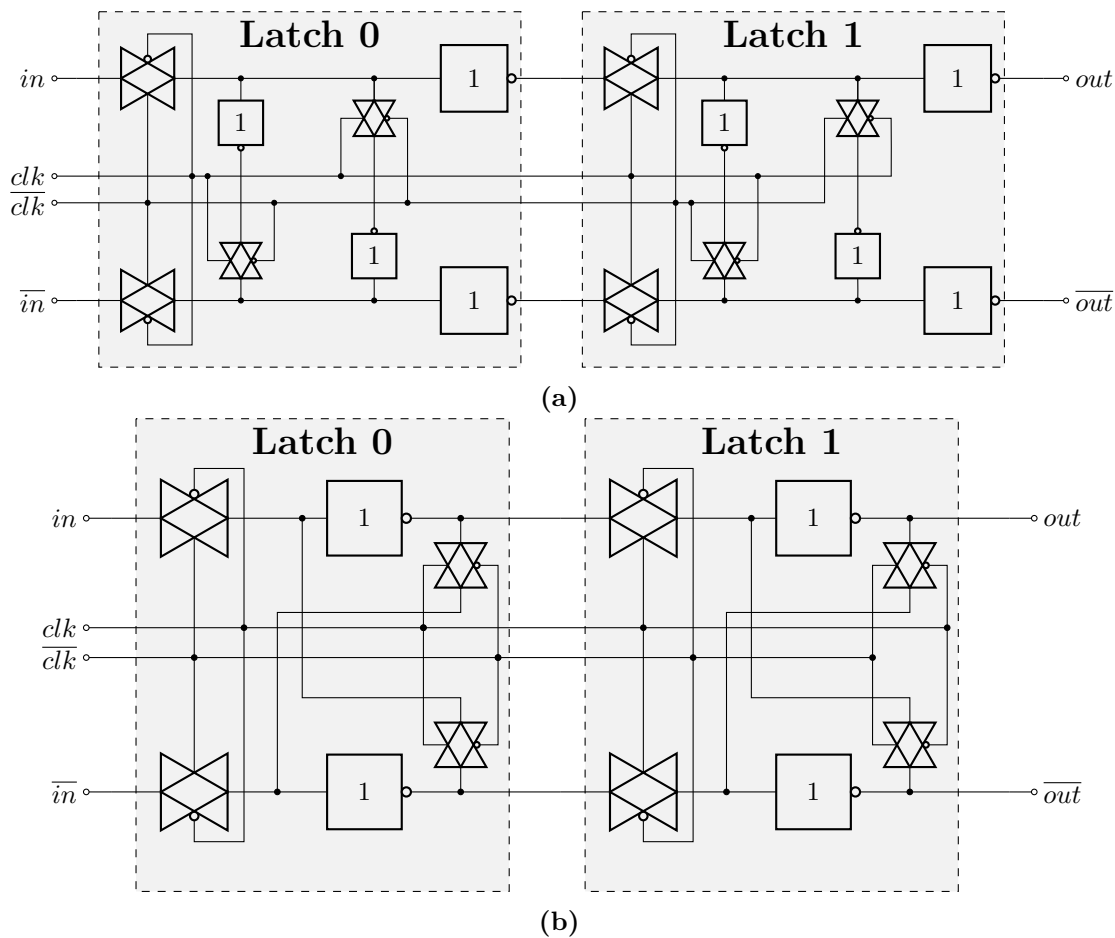
Zum einen nimmt der Verstärkungsfaktor betragsmäßig mit abnehmendem Widerstand  $R$  ab. Gleichzeitig verschiebt sich jedoch die Polstelle hin zu höheren Frequenzen; der so betrachtete Verstärker wird also breitbandiger bei geringerer Verstärkung. Verstärkung und Bandbreite ändern sich erwartungsgemäß gegenläufig entsprechend dem allgemeinen Verstärkungs-Bandbreite-Produkt eines rückgekoppelten Verstärkers mit einer Polstelle [34]. Ebenso kann im Allgemeinen eine Linearisierung durch negative Rückkopplung erreicht werden [74]. Grundsätzlich sind die Ergebnisse von der Last abhängig, weshalb in den weiteren Simulationen stets eine Last aus einer weiteren Inverterkette derselben Dimensionierung ohne Rückkopplung angenommen wird. Eine Kleinsignal-Beschreibung ist damit gegeben und stimmt mit den Simulationen auf Basis der Transistormodelle gut überein, was in Abb. 3.5 dargestellt ist, wobei hier nur der Betrag betrachtet wird. Dennoch bleibt eine Kleinsignal-Beschreibung unzureichend, da es sich bei Invertern keinesfalls um lineare, sondern um limitierende Verstärker handelt. Allerdings kann nun mit einer gewissen Erwartungshaltung in die weiteren Untersuchungen gegangen werden.



**Abbildung 3.6:** Spannungsmittelwerte  $U_M$  über eine Taktperiode am Ende von Verstärkerketten aus Grundelementen zu je drei CMOS-Invertern für die Konfigurationen aus Tab. 3.2. (a) Spannungsmittelwerte in Abhängigkeit der Eingangsfrequenz unter nominalen Transistor-Parametern für eine Stufe mit drei Invertern und fünf Stufen mit 15 Invertern. (b) Histogramm über Prozessschwankungen einer fünfstufigen Inverterkette mit 15 Invertern bei einer festen Frequenz von 50 GHz (100 Simulationen). Mittelwert  $\mu_U$  und Standardabweichung  $\sigma_U$  sind jeweils angegeben.

Die weiteren Betrachtungen basieren auf transienten Simulationen mit den vollständigen Transistormodellen auf Schaltplanebene. In einer ersten Untersuchung wird als Eingangssignal eine ideale Sinus-Quelle der Amplitude 0,5 V und dem DC-Offset 0,5 V verwendet und das Ausgangssignal einer Kette aus Verstärkerstufen bestehend aus je drei Invertern untersucht. Die Transistorweiten sind einheitlich wie oben beschrieben. Mit dieser Simulation soll eine lange Taktkette nachgebildet werden, wobei das sinusförmige Eingangssignal durch einen vorhergehenden, linearen Taktpfad (CML-Taktpfad) motiviert und eher als zu konservativ angenommen ist. Abbildung 3.6 zeigt die ermittelten Spannungsmittelwerte über eine Taktperiode am Ende der Verstärkerketten über der Eingangsfrequenz und unter Prozessschwankungen. Dadurch lassen sich Rückschlüsse auf den Tastgrad ziehen. Die bereits aus der Kleinsignalanalyse bekannten Effekte unterschiedlicher Verstärkung und Bandbreite zeigen sich auch hier. In einer solch langen Kette zeigt sich, dass nicht nur Bandbreite, sondern auch Verstärkung bzw. ein ausgewogenes Verhältnis aus beiden von Bedeutung ist. Nimmt man die Verteilung der Tastverhältnisse in Abb. 3.6b als Maß für die Arbeitspunktstabilität, so scheint Konfiguration III hier vorteilhafter. Darüber hinaus steigt die Leistungsaufnahme mit der Zahl der Rückkopplungen an, was ebenfalls ein Vorteil von Konfiguration III über II ist. In kürzeren Ketten zeigt Konfiguration II in Abb. 3.6a Vorteile.

Zuletzt ist zu beachten, dass die bisherigen Untersuchungen auf idealen Widerständen und Invertern gleicher Dimensionierung beruhen. Auch der Freiheitsgrad des Widerstandswerts innerhalb eines oder zwischen unterschiedlichen Konzepten wird bisher nicht berücksichtigt. Im tatsächlichen Entwurf kommen Einflüsse der realen Widerstände sowie die höhere Last



**Abbildung 3.7:** In dieser Arbeit eingesetzte CMOS-Flip-Flops bzw. -Latches, abgeleitet aus den Darstellungen in [32, 75] mit verändertem Aufbau. (a) Typ I und (b) Typ II. Die kleiner gezeichneten Elemente in den Rückkopplungspfaden deuten geringere Transistorweiten an.

durch zunehmende Weiten nachfolgender Inverter hinzu. Zudem spielt die Länge der Kette bei der Bewertung eine Rolle. Zusätzlich wird zwischen Taktpfaden mit streng periodischen Signalen und Datenpfaden mit variablen Signalen unterschieden. Aufgrund all diesen Betrachtungsweisen kommen unterschiedliche Konzepte mit individuell sorgfältig abgestimmten Widerständen zum Einsatz. In den sehr langen Taktketten wird Konzept III eingesetzt, in den kürzeren DAU-Ausgangsstufen Konzept II.

### 3.3.2 CMOS-Flip-Flops

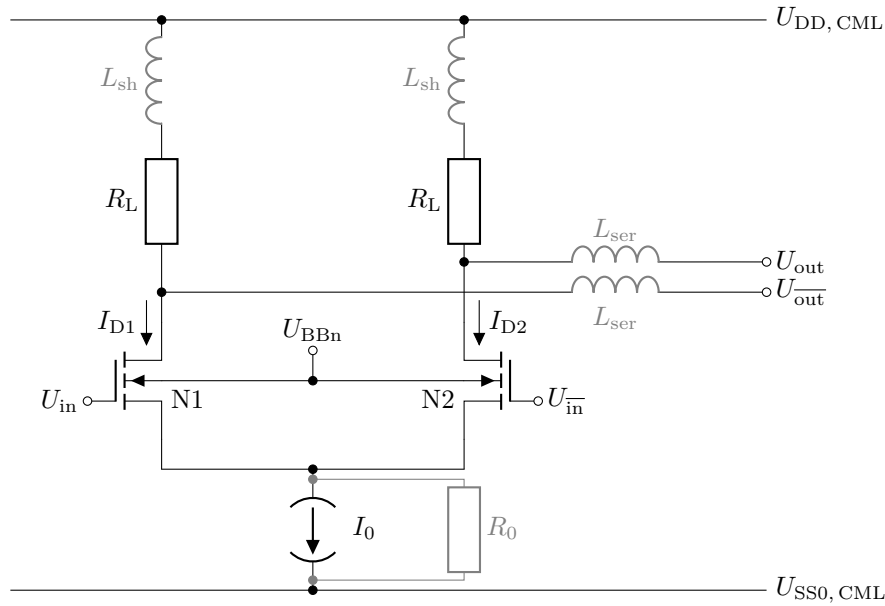
Latches und Flip-Flops sind elementare Schaltungen im Takt- und im Datenpfad. Sie dienen nicht nur zur Speicherung und Abtastung von digitalen Signalen, sondern kommen auch im digitalen Multiplexer (MUX) zur adäquaten Verzögerung sowie als Takteiler zum Einsatz. Zwei wichtige Schaltungstopologien von Flip-Flops, welche in den DAU-Kernen verwendet werden, sind in Abb. 3.7 dargestellt. Die Grundstruktur besteht jeweils aus zwei hinterein-

**Tabelle 3.3:** Setup- und Verzögerungszeiten (Takt/Ausgang) der Flip-Flops. Die Periodendauer des Taktsignals beträgt hier 25 ps.

Flip-Flop	Setup-Zeit $t_{\text{setup}}$ (ps)	Verzögerung Takt/Ausgang $t_{\text{C2O}}$ (ps)
Typ I	6,1	9,5
Typ II	5,1	8,5

andergeschalteten Latches (*Master-Slave*), die mit gegenphasigem Takt angesteuert werden. Grundsätzlich sind Takt- und Datenführung in den DAU-Kernen differenziell. Die Topologie aus Abb. 3.7a kommt insbesondere im digitalen MUX, in den Übertragungsleitungen zwischen Speicher und DAU-Kernen sowie als Grundstruktur der rücksetzbaren Taktteiler im DAU-Kern zum Einsatz. Topologie 3.7b ist die Grundstruktur des ersten, initialisierbaren Taktteilers im DAU-Kern, also im CMOS-Teil des Taktpfads. An dieser Stelle soll lediglich auf zwei Kenngrößen eingegangen werden: die Setup-Zeit  $t_{\text{setup}}$  und die Verzögerung zwischen ausgebender Taktflanke und Ausgangssignalwechsel  $t_{\text{C2O}}$ . Da diese Größen bei sehr kurzen Zeitabständen zwischen Taktflanke und Eingangsdatenflanke nicht mehr unabhängig sind, werden die Zeiten entsprechend [32, 75] als diejenigen Werte definiert, für die ihre Summe minimal ist. Zur Ermittlung dieser charakteristischen Größen werden je Flip-Flop zwei identisch dimensionierte Latches verwendet und sowohl am Eingang als auch am Ausgang CMOS-Inverter derselben Dimensionierung wie am Ausgang der Latches als Treiber bzw. als Last eingesetzt, um realistische Datensignale [76] zu erhalten. Ebenso werden die differenziellen Taktsignale über Inverter herangeführt. Die Treiberstärken der Ausgangstreiber werden für beide Topologien gleich gewählt, wenngleich die Dimensionierung der Flip-Flops in ihren jeweiligen Einsatzbereichen davon abweicht. Tabelle 3.3 gibt einen Überblick über die genannten Kenngrößen, wobei diese von der Dimensionierung abhängen. Dabei werden nur die Daten für eine steigende Flanke an *in* und *out* angegeben. Generell ist eine möglichst schwache Gegenkopplung zu wählen, um die Lasten zu reduzieren. Bei Typ I wird die Gegenkopplung durch kleinere Inverter realisiert, um die Last beim Umladen über die TG gering zu halten und somit die Schaltung für höhere Frequenzen einsetzbar zu machen. Des Weiteren wird hierzu der Ausgang der Gegenkopplungs-Inverter mittels eines TGs vom inneren Knoten eines Latches getrennt. Typ II verzichtet auf separate Gegenkopplungstreiber. Die aus nFET und pFET bestehenden TG leisten mit den durch FBB verringerten Durchgangswiderständen [77] ihren Beitrag für den Einsatz bei hohen Frequenzen im Sinne geringerer *RC*-Zeiten und sind einfachen Transfer-Transistoren überlegen [19].

Zuletzt sei erwähnt, dass es sich hierbei um beispielhafte Dimensionierungen handelt. Je nach Anwendung werden abweichende Dimensionierungen gewählt, mitunter auch unterschiedliche Dimensionierungen für die beiden Latches innerhalb eines Flip-Flops, um unterschiedliche Belastungen (*Fanout*) auszugleichen.



**Abbildung 3.8:** Schaltplan eines CML-Differenzverstärkers bestehend aus sourcegekoppeltem Paar und Lastwiderständen. Die Induktivitäten  $L_{sh}$  und  $L_{ser}$  dienen zur Erhöhung der Bandbreite.

### 3.3.3 CML-Verstärker mit induktiver Überhöhung

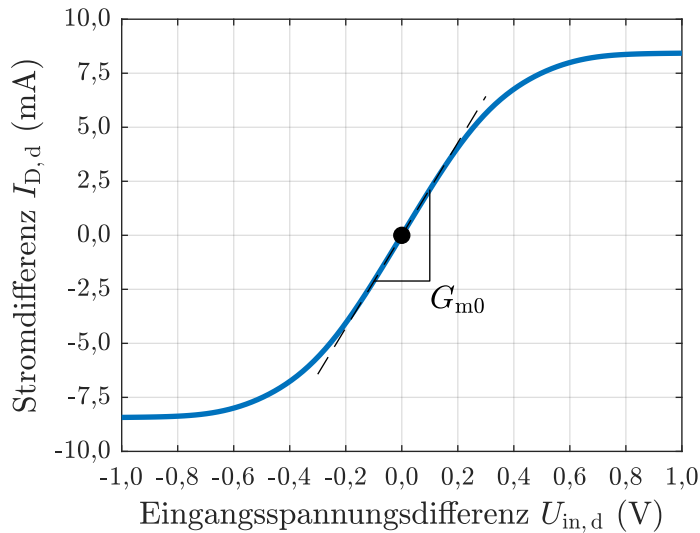
Abbildung 3.8 zeigt einen Differenzverstärker bestehend aus einem sourcegekoppelten, differentiellen Paar und einem Lastwiderstandspaar. Es handelt sich um die Grundstruktur der in dieser Arbeit verwendeten CML-Verstärker. Zunächst seien die Induktivitäten  $L_{sh}$  und  $L_{ser}$  vernachlässigt sowie die Stromquelle ideal ( $R_0 \rightarrow \infty$  in der Ersatzstromquelle). Betrachtet man das sourcegekoppelte nFET-Paar mit der Fußpunktstromquelle  $I_0$ , so gilt für das statische Großsignalverhalten bzw. jenes bei geringen Frequenzen folgender Zusammenhang zwischen der Stromdifferenz  $I_{D,d} = I_{D1} - I_{D2}$  und der Eingangsspannungsdifferenz  $U_{in,d} = U_{in} - U_{in}^-$  unter der Annahme, dass beide Transistoren im Sättigungsbereich (quadratischer Zusammenhang zwischen Drain-Strom und Gate-Source-Spannung) arbeiten und sich symmetrisch verhalten [34, 74]:

$$I_{D,d} = \frac{\beta_n}{2} U_{in,d} \sqrt{\frac{4I_0}{\beta_n} - U_{in,d}^2} = \underbrace{\sqrt{\beta_n I_0}}_{G_{m0}} U_{in,d} \sqrt{1 - \frac{\beta_n}{4I_0} U_{in,d}^2}. \quad (3.7)$$

Hierin bezeichnet  $\beta_n$  den Verstärkungsfaktor und der Geltungsbereich des Zusammenhangs ist

$$|U_{in,d}| \leq \sqrt{\frac{2I_0}{\beta_n}}. \quad (3.8)$$

In Abb. 3.9 ist die simulierte DC-Transfercharakteristik dargestellt. Die Steilheit



**Abbildung 3.9:** DC-Transfercharakteristik eines CML-Differenzverstärkers mit  $I_0 \approx 8,4 \text{ mA}$ .

$$G_{m0} = \left. \frac{\partial I_{D,d}}{\partial U_{in,d}} \right|_{U_{in,d}=0} = \sqrt{\beta_n I_0} \approx 21,4 \text{ mA/V} \quad (3.9)$$

für  $U_{in,d} = 0$  entspricht zusammen mit  $R_L \approx 83 \Omega$  einer Kleinsignal-Spannungsverstärkung von  $A_{U,d,KS} \approx 1,8$ .

Nun soll das Kleinsignalverhalten eines perfekt symmetrischen Differenzverstärkers entsprechend [34] betrachtet werden. Dazu wird der Widerstand  $R_0$  im Norton-Äquivalent der Fußpunktstromquelle als endlich berücksichtigt. Allgemein ist das gewünschte Verhalten eines differentiellen Verstärkers, am differentiellen Ausgang eine dem differentiellen Eingang proportionale Änderung zu erzeugen und Gleichtaktaussteuerungen zu unterdrücken. Daher ist eine ausreichend hohe Ausgangsimpedanz der Stromquelle über den gesamten relevanten Frequenzbereich erforderlich, was eine begrenzte parasitäre Kapazität parallel zu  $R_0$  voraussetzt [19, 78]. Formal ausgedrückt soll die differentielle Gegentaktverstärkung  $A_{dm}$  groß gegenüber der Gleichtaktverstärkung  $A_{cm}$  sein. Es gibt noch zwei weitere Verstärkungsfaktoren, die hier allerdings nicht betrachtet werden, da an dieser Stelle ausschließlich der ideal symmetrische Verstärker diskutiert wird. Als wichtige Charakterisierungsgröße gilt in diesem Zusammenhang das Gleichtaktunterdrückungsverhältnis (engl.: *common-mode rejection ratio*, *CMRR*) gemäß Definition (3.10).

$$CMRR := \left| \frac{A_{dm}}{A_{cm}} \right| \quad (3.10)$$

Mittels Kleinsignalanalyse und unter Ausnutzung der Symmetrie kann für die Gegentakt-

Verstärkung

$$A_{\text{dm}} = \left. \frac{U_{\text{out,d}}}{U_{\text{in,d}}} \right|_{U_{\text{in,cm}}=0} = -g_{\text{m}} R' , \quad (3.11)$$

wobei  $R'$  den Lastwiderstand  $R_{\text{L}}$  oder bei Berücksichtigung des Transistor-Ausgangswiderstands  $r_{\text{DS}}$  die Parallelschaltung  $R' = R_{\text{L}} \parallel r_{\text{DS}}$  bezeichnet.  $U_{\text{in,cm}}$  ist die Gleichtakt- oder mittlere Eingangsspannung  $U_{\text{in,cm}} = (U_{\text{in}} + U_{\text{in}}^-) / 2$ . Es sei  $U_{\text{out,d}} = U_{\text{out}} - U_{\text{out}}^-$ . Die Gleichtakt-Verstärkung ohne Berücksichtigung des Body-Effekts beträgt

$$A_{\text{cm}} = \left. \frac{U_{\text{out,cm}}}{U_{\text{in,cm}}} \right|_{U_{\text{out,d}}=0} \approx -\frac{g_{\text{m}} R_{\text{L}}}{1 + 2g_{\text{m}} R_0} \stackrel{g_{\text{m}} R_0 \gg 1}{\approx} -\frac{R_{\text{L}}}{2R_0} . \quad (3.12)$$

Darin bezeichnet  $U_{\text{out,cm}}$  die Gleichtakt-Ausgangsspannung. Damit ergibt sich

$$CMRR \approx 1 + 2g_{\text{m}} R_0 \approx 2g_{\text{m}} R_0 . \quad (3.13)$$

Dies bestätigt die Anforderung an die Stromquelle – ein möglichst hoher Wert für  $R_0$  – formal. Eine ausreichende Gleichtaktunterdrückung ist wichtig für das Systemverhalten und muss beim Entwurf stets beachtet werden.

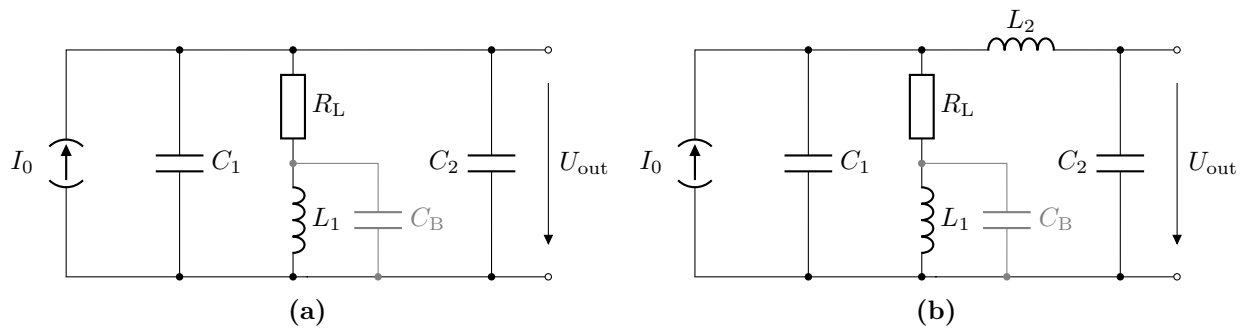
Prinzipiell ist wie bereits bei den CMOS-Inverterketten auch hier ein Kompromiss aus Bandbreite und Verstärkung erforderlich. Um eine höhere Kleinsignal-Spannungsverstärkung als den Wert von  $\sim 1,8$  zu erzielen, werden mehrere Stufen im Verlauf des Taktpfades eingesetzt, sodass insgesamt die gewünschte Bandbreite und die gewünschte Verstärkung erreicht wird. Der gesamte CML-Taktpfad wird in Kapitel 3.4.1 vorgestellt.

Um die Bandbreite der CML-Komponenten, insbesondere jene, die bei  $f_s/2$  operieren, zu erhöhen, werden Methoden der induktiven Überhöhung, im Folgenden induktives *Peaking* genannt, eingesetzt; realisiert durch Induktivitäten auf den oberen, dickeren Metalllagen. Auf diese Weise sollen hochfrequente Signalanteile angehoben werden. Dabei gibt es mehrere Konzepte [79–81], wobei hier das *Shunt-Series-Peaking* eingesetzt wird. Ein Layoutbeispiel ist in Abb. E.4 in Anhang E zu finden. Zunächst wird beim *Shunt-Peaking* eine Induktivität  $L_{\text{sh}}$  in Serie zum Lastwiderstand eingesetzt. In Abb. 3.10a ist ein entsprechendes Ersatzschaltbild dargestellt. Darin bezeichnen  $R_{\text{L}}$ ,  $C_1$ ,  $C_2$  und  $L_1$  den Lastwiderstand, die Drain-Kapazität, die Lastkapazität sowie die *Shunt*-Induktivität. Schaltungstechnisch kann man dieses Ersatzschaltbild motivieren, indem man das Kleinsignalersatzschaltbild eines Transistors betrachtet und diesen als gesteuerte Stromquelle mit Steilheit  $g_{\text{m}}$  ersetzt. Mithilfe der Gesamtkapazität  $C = C_1 + C_2$  ergibt sich eine Transimpedanz  $Z_{\text{shunt}}(s)$  von

$$Z_{\text{shunt}}(s) = \frac{U_{\text{out}}(s)}{I_0(s)} = \frac{R + sL}{1 + sRC + s^2LC} . \quad (3.14)$$

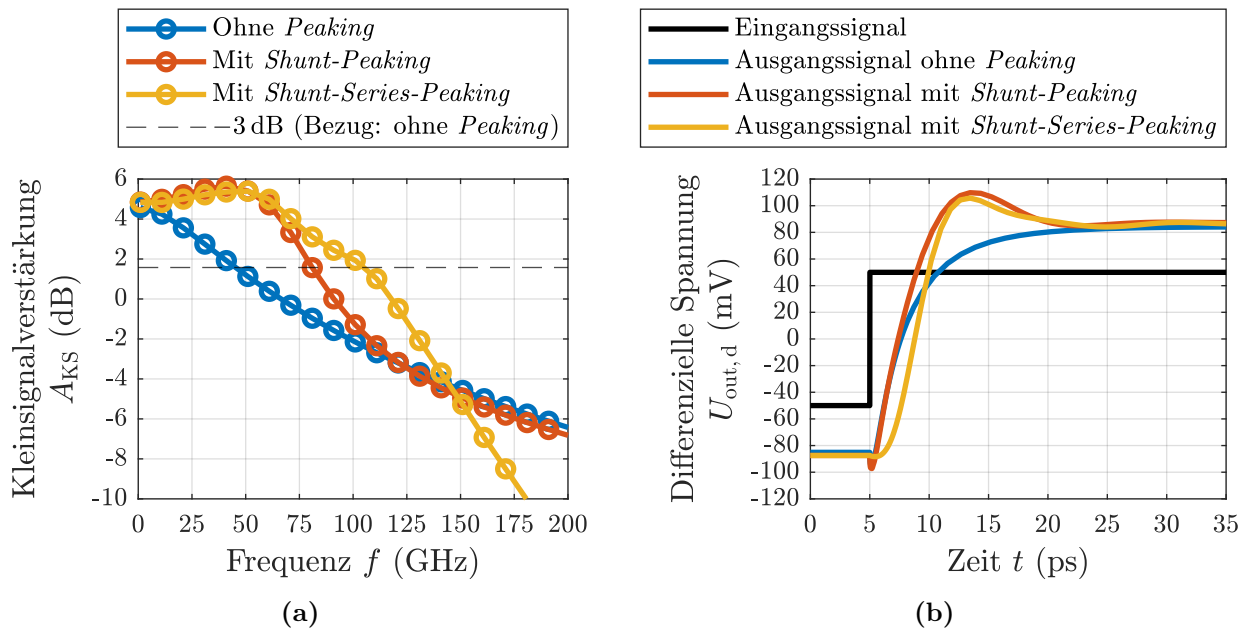
Die Verstärkung ergibt sich aus Multiplikation von  $Z_{\text{shunt}}(s)$  mit  $g_{\text{m}}$ . Prinzipiell kann man





**Abbildung 3.10:** Ersatzschaltbild für (a) *Shunt-Peaking* und (b) *(Bridged-)Shunt-Series-Peaking* nach [80].

erkennen, dass die Induktivität eine Nullstelle erzeugt, die die Bandbreite erhöhen kann. Denn die Impedanz der Last wird mit zunehmender Frequenz durch die Induktivität erhöht und kompensiert die abnehmende Impedanz durch  $C$ , womit die Bandbreite erhöht wird. Eine anschauliche Betrachtung ist, dass die Induktivität den Stromfluss durch den resistiven Zweig verzögert und somit zu Beginn mehr Strom zum Umladen von  $C$  zur Verfügung steht, wodurch die Anstiegszeit reduziert wird. Eine weitere Stellgröße bietet die Kapazität  $C_B$ , was zum *Bridged-Shunt-Peaking*-Konzept führt, was hier jedoch nicht explizit verfolgt wird. Allerdings kommt es in der Umsetzung zu einer entsprechenden parasitären Kapazität. Eine Erweiterung des Konzepts stellt das sogenannte *(Bridged-)Shunt-Series-Peaking* dar (vgl. Abb. 3.10b). Dabei wird eine weitere Induktivität  $L_2$  seriell zwischen  $C_1$  und der Lastkapazität  $C_2$  eingefügt. Diese Trennung ist vor allem dann hilfreich, wenn  $C_1$  und  $C_2$  von ähnlicher Größenordnung sind. Dadurch muss initial nur  $C_1$  und nicht  $C$  umgeladen werden, da  $L_2$  den Stromfluss zu  $C_2$  verzögert [79–81]. Es gibt zahlreiche Analysen und Bewertungsfaktoren zur Dimensionierung der *Peaking*-Induktivitäten, beispielsweise in [79, 80]. Dabei spielen nicht nur die reine Erhöhung der Bandbreite, sondern auch das Einschwingverhalten sowie das Phasenverhalten eine Rolle. Hierzu sei auf die angegebene Literatur verwiesen. Für den Entwurf des Taktpfads ist es wichtig, einen möglichst flachen, breitbandigen Frequenzverlauf zu erhalten und entsprechende Dimensionierungen zu ermitteln. Dabei ist auch das Einschwingverhalten von Bedeutung, da übermäßiges *Peaking* zu Spannungsspitzen und schlimmstenfalls zu Defekten führen kann. Ein flacher, breitbandiger Frequenzverlauf stellt dies sicher und erlaubt es, den DAU in einem sehr weiten Frequenzbereich zu betreiben. Abbildung 3.11 zeigt die Wirkung des induktiven *Peakings* auf eine CML-Differenzstufe anhand der Kleinsignalverstärkung sowie der Sprungantwort. Dazu werden die Induktivitäten in einer gemeinsamen Zelle und somit einschließlich Kopplungseffekten mittels *Momentum* modelliert und der aktive Teil lokal extrahiert, da bei der Abstimmung des induktiven *Peakings* auch die parasitären Effekte berücksichtigt werden müssen. Es liegt ein Sinussignal mit einem differentiellen Hub von 100 mV am Eingang an und als Last dient eine Kette aus identisch



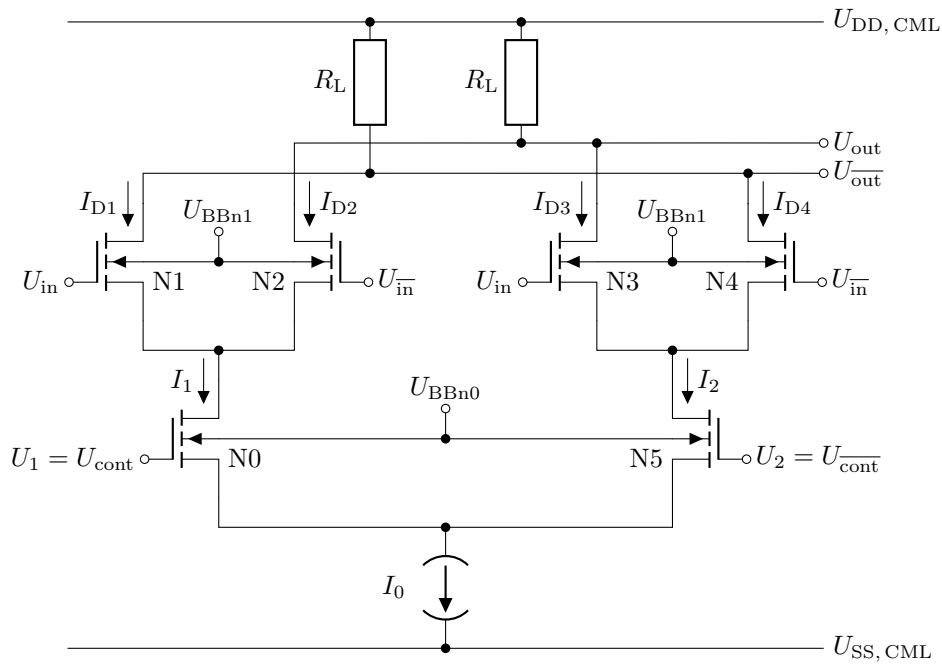
**Abbildung 3.11:** Auswirkungen des induktiven *Peakings* auf (a) die Kleinsignalverstärkung und (b) das transiente Verhalten der Sprungantwort. Differenzieller Eingangshub und differenzielle Sprunghöhe betragen jeweils 100 mV.

dimensionierten Verstärkern, um die kapazitive Last nachzubilden und die Wirkung des Serien-*Peakings* zu untersuchen. In Abb. 3.11a ist die Kleinsignalverstärkung als Analysegröße dargestellt. Da sich die Schaltung bei dieser Anregung sehr linear verhält und Verzerrungen vernachlässigt werden können, wird die Kleinsignalverstärkung aus dem Betragsverhältnis der ersten Harmonischen an Aus- und Eingang bestimmt. Nimmt man aufgrund hoher Dämpfung einen geringen Taktpegel am Takteingang des Chips an, ist diese Kleinsignalanalyse dort gerechtfertigt, jedoch nicht am Ende einer langen Taktkette mit Limitierung.

Die dargestellten Aspekte des induktiven *Peakings* sind exemplarisch für den Fall eines CML-Verstärkers mit einem Fußpunktstrom von  $I_0 \approx 8$  mA gegeben. Entsprechend wird es bei anderen Schaltungsteilen und Verstärkern höherer Treiberstärke eingesetzt, wobei die Induktivitäten jeweils individuell skaliert sind und mitunter unterschiedliche Ausprägungen des Serien-*Peakings* zum Einsatz kommen – mit expliziter Struktur oder inhärent durch die Verbindungsleitung.

### 3.3.4 Gilbert-Zelle

Die Kernschaltung zur Realisierung der nichtlinearen Operation des AMUXs ist die Gilbert-Zelle [82, 83]. Ihre Funktion als analoger Spannungsmultiplizierer wird im Folgenden gemäß den Ausführungen in [74] beschrieben. Der Schaltplan (ohne *Peaking*) ist in Abb. 3.12 dargestellt. Ausgangspunkt für die weiteren Überlegungen sind die grundsätzlichen Zusam-



**Abbildung 3.12:** Schaltplan der Gilbert-Zelle nach [74].  $U_{SS,CML}$  ist der Stapelung angepasst zu wählen.

menhänge aus Kap. 3.3.3. Zum einen hängt die Kleinsignalverstärkung gemäß Gl. (3.9) vom Fußpunktstrom ab. Durch Steuerung des Fußpunktstroms kann demnach die Verstärkung eingestellt werden, ganz im Sinne eines spannungsgesteuerten Verstärkers. Zum anderen kann der Strom in einem differentiellen Paar in einen der beiden Arme gelenkt werden. Ausgehend von einem einzigen differentiellen Eingangssignal  $U_{in}/U_{in}^-$  wird in einem ersten Schritt nun eine Verstärkerschaltung gesucht, deren Verstärkung von einem negativen Wert bis zu einem positiven Wert einstellbar ist. Hierzu nutzt man zwei differentielle Paare, die den Eingang gegensätzlich verstärken. Betrachtet man nun zwei differentielle Verstärker (Indizes „1“ und „2“) mit jeweils in einem gewissen Bereich kontinuierlich einstellbaren Verstärkungen  $A_1$  und  $A_2$ , gesteuert über die beiden Spannungen  $U_1$  und  $U_2$ , wobei für die spätere Anwendung von gegenläufigen Verstärkungen  $U_{cont}$  und  $U_{cont}^-$  ausgegangen wird, so ist das erste Ziel, eine Ausgangsspannung

$$U_{out,d} = U_{out1,d} + U_{out2,d} = A_1 \cdot U_{in,d} + A_2 \cdot U_{in,d} \quad (3.15)$$

bei identischem Eingangssignal  $U_{in,d}$  zu erzeugen. Mit

$$U_{out1,d} = R_L (I_{D1} - I_{D2}) \quad \text{und} \quad (3.16a)$$

$$U_{out2,d} = R_L (I_{D4} - I_{D3}) \quad (3.16b)$$

ergibt sich

$$U_{\text{out,d}} = R_L (I_{D1} + I_{D4}) - R_L (I_{D2} + I_{D3}) . \quad (3.17)$$

Demnach kann die Addition der Ausgangsspannungen durch Addition der Ströme und damit durch entsprechend kurzgeschlossene Ausgänge der beiden einzelnen Verstärker realisiert werden, woraus sich der obere Teil des Schaltplans aus Abb. 3.12 ergibt ( $R_L$ , N1, N2, N3, N4). Um die Ströme  $I_1$  und  $I_2$  gegenläufig zu verändern, wird ein weiteres differenzielles Paar (N0, N5) eingesetzt, das genau das gesuchte Verhalten aufweist. Damit ist der Schaltplan hergeleitet. Im symmetrischen Fall beträgt die Verstärkung bei  $U_{\text{cont}} = U_{\text{cont}}$  null, während für große Spannungen  $|U_{\text{cont}} - U_{\text{cont}}|$  der Strom vollständig durch eines der oberen differenziellen Paare fließt und die Verstärkung ihren größten positiven oder kleinsten negativen Wert annimmt. Die Funktion der Multiplikation ergibt sich daraus, dass die Verstärkung der Schaltung eine nichtlineare Funktion  $f_G$  von  $U_{\text{cont,d}} = U_{\text{cont}} - U_{\text{cont}}$  ist:

$$U_{\text{out,d}} = U_{\text{in,d}} \cdot f_G (U_{\text{cont,d}}) . \quad (3.18)$$

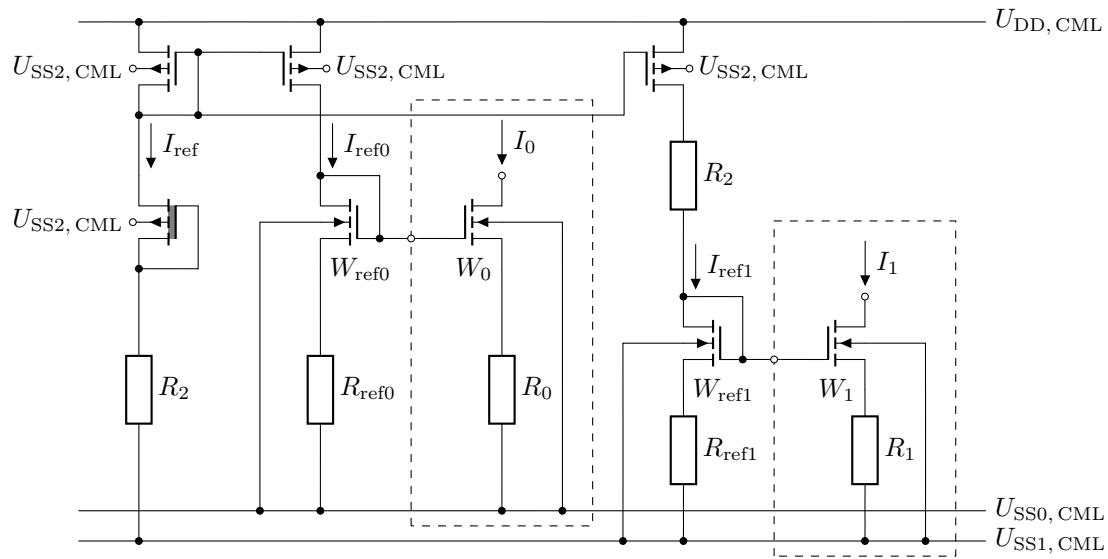
Entwickelt man  $f_G$  in eine Taylor-Reihe und betrachtet lediglich den Term erster Ordnung als Approximation, so gilt mit der Proportionalitätskonstanten  $\alpha_G$

$$U_{\text{out,d}} \approx \alpha_G \cdot U_{\text{in,d}} \cdot U_{\text{cont,d}} . \quad (3.19)$$

Aufgrund der Stapelung der Transistoren ist eine höhere Versorgungsspannung als die eines einfachen differenziellen Paares erforderlich. Außerdem können  $U_{\text{cont}}$  bzw.  $U_{\text{cont}}$  mit  $U_{\text{in}}$  bzw.  $U_{\text{in}}$  vertauscht werden unter Beibehaltung der Funktion eines spannungsgesteuerten Verstärkers. Dies eröffnet zwei Schaltungstopologien für den AMUX: Taktschalter oben oder Taktschalter unten. Im AMUX unterscheiden sich die Eingangssignale im linken und rechten Pfad, wobei über das Taktsignal ausgewählt wird, welcher der beiden Pfade verstärkt bzw. auf den Ausgang durchgeschaltet wird. Zuletzt kann durch Source-Degeneration die Linearität verbessert werden (vgl. Kap. 3.7).

### 3.3.5 Netzwerk zur Arbeitspunkteinstellung und Stromquellen

Die Fußpunktstromquellen sind als Stromspiegel mit Source-Degeneration realisiert. Abbildung 3.13 zeigt die Realisierung der Stromquellen. Je nach Anzahl der gestapelten Transistoren sind unterschiedliche Vorspannungen erforderlich, weshalb in der Abbildung zwei Varianten für Stromquellen dargestellt sind, je nach Stapelung. Die Referenzströme  $I_{\text{ref0}}$  und  $I_{\text{ref1}}$  sind wiederum von einem gemeinsamen Referenzpfad  $I_{\text{ref}}$  (links) abgeleitet. Bei gleich gewählten



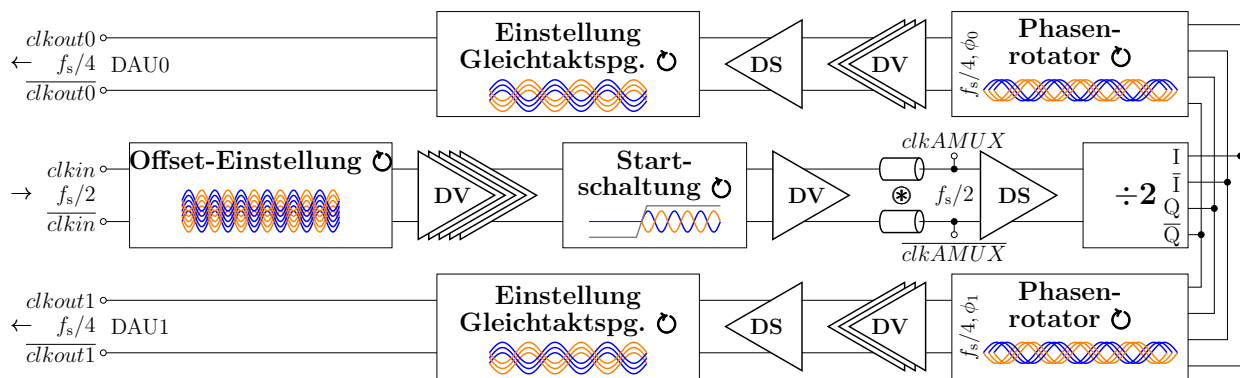
**Abbildung 3.13:** Realisierung der Fußpunktstromquellen. Die Schaltung zur Arbeitspunkteinstellung des AMUXs und dessen Eingangs-Sourcefolgers basiert auf einer leicht modifizierten Anordnung (nicht dargestellt). Die eingerahmten Teile stellen die Stromquellen in den jeweiligen CML-Schaltungselementen dar. Das Transistorsymbol mit grauer Einfärbung repräsentiert einen Dioxid-Transistor.

Kanallängen gilt für die Stromspiegel [74]:

$$W_0 = W_{\text{ref0}} \cdot \frac{I_0}{I_{\text{ref0}}} \quad \text{und} \quad R_0 = R_{\text{ref0}} \cdot \frac{I_{\text{ref0}}}{I_0} \quad \text{sowie} \quad (3.20a)$$

$$W_1 = W_{\text{ref1}} \cdot \frac{I_1}{I_{\text{ref1}}} \quad \text{und} \quad R_1 = R_{\text{ref1}} \cdot \frac{I_{\text{ref1}}}{I_1} . \quad (3.20b)$$

Damit sind wesentliche Grundelemente beschrieben. Im Anschluss folgen die ausführlichen Diskussionen der einzelnen Schaltungsblöcke aus Abb. 3.1 in Takt- und Datenflussrichtung.



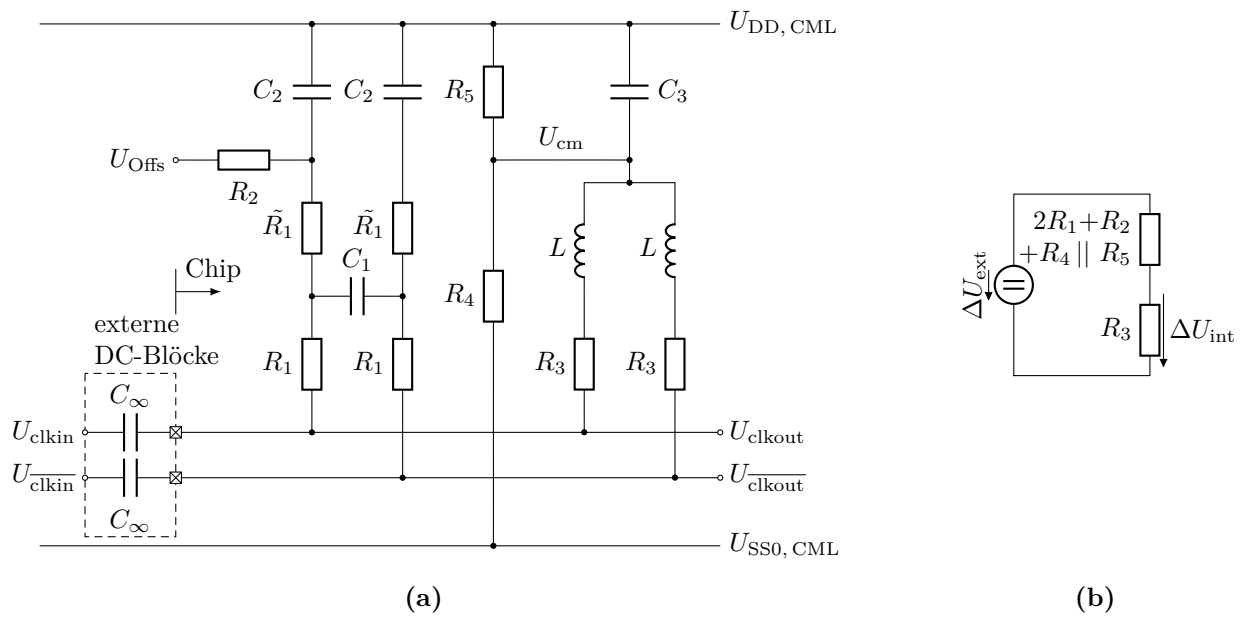
**Abbildung 3.14:** Übersicht über den CML-Taktpfad. Darin bezeichnen „DV“ differenzielle CML-Verstärker nach Abb. 3.8 und „DS“ Sourcefolger (Drainschaltung). An den Abgriffen  $clkAMUX$  und  $\overline{ckAMUX}$  folgt ein weiterer Teil bis zum AMUX. Eine längere Leitung ( $\otimes$ ) führt den Takt auf die rechte Chipseite zu den DAU-Kernen und dem AMUX.

## 3.4 Der Taktpfad des Systems

Der komplexe Taktpfad des Systems ist ein Bestandteil von größter Wichtigkeit und stellt einen entscheidenden Faktor für die Gesamt-Performanz dar. Elementare Kenngrößen, an die hohe Anforderungen gestellt werden, sind u. a. ein geringer Jitter, präzise Tastgrade, präzise Gleichtaktspannungen, präzise Phasenbeziehungen sowie eine hohe Bandbreite und damit verbundene Flankensteilheit. Ebenso ist eine geeignete Verstärkung mit teilweise limitierendem Verhalten erforderlich, insbesondere für die DAU-Kerne. Dabei wird im Rahmen dieser Arbeit ein sehr breitbandiger Taktpfad entworfen, beginnend bei geringen Frequenzen durchgängig bis zur maximalen Frequenz, um größtmögliche Flexibilität für den Betrieb zu erhalten. Der Taktpfad trägt allerdings einen durchaus signifikanten Anteil zur Gesamtleistungsaufnahme bei. Konzeptuell wird der Taktpfad in einen CML- und einen CMOS-Teil getrennt, welche nachfolgend erläutert werden, wobei die Ausführungen auf der Beschreibung in [84] basieren. Wenngleich der CMOS-Taktpfad den DAU-Kernen zugeordnet wird, wird er in diesem Kapitel gesondert betrachtet.

### 3.4.1 CML-Teil des Taktpfads

Ein Blockschaltbild des CML-Taktpfads ist in Abb. 3.14 dargestellt. Es besteht aus einem  $f_s/2$ -Pfad sowie zwei äquivalenten  $f_s/4$ -Pfad für die beiden DAU-Kerne. Dabei kommt in vielen Teilen induktives *Peaking* zum Einsatz. Sourcefolger (Drainschaltung) werden allgemein als Puffer bzw. Impedanzwandler und auch zur Pegelverschiebung eingesetzt. Nach einer Offset-Einstellung am Eingang folgt eine Verstärkerkette sowie eine Startschaltung zum definierten Einschalten. Nach einem weiteren Verstärker wird der links ankommende Takt zu den DAU-Kernen und dem AMUX auf der rechten Chipseite geführt. Dort wird das Taktsignal aufgespalten in einen weiteren Teil, welcher zum AMUX führt (Abgriffe  $clkAMUX$



**Abbildung 3.15:** (a) Schaltung zur Offset-Einstellung und (b) Ersatzschaltbild. Es gilt  $\tilde{R}_1 = R_1$ , die zu Erklärungszwecken unterschiedlich benannt sind.

und  $\overline{clkAMUX}$ ) und nicht dargestellt ist, und einen Taktteiler, an dessen Ausgang die beiden  $f_s/4$ -Pfade anschließen. Letztere enthalten jeweils einen Phasenrotator, eine weitere Verstärkerkette sowie eine Schaltung zur Gleichtaktspannungs-Einstellung am Übergabepunkt an die DAU-Kerne. Nach der Übergabe der Taktsignale an die CMOS-DAU-Kerne wechselt die Schaltungsarchitektur. Teile des CML-Taktpfads wurden in [85] entwickelt.

Dem Weg des Taktsignals folgend beginnt der Taktpfad mit einer Schaltung zur Offset-Einstellung<sup>1</sup> entsprechend Abb. 3.15a. Mithilfe dieser Schaltung lassen sich die Gleichtaktspannungen der beiden SE-Taktsignale ( $0^\circ$ ,  $180^\circ$ ), deren Wechselanteile über externe DC-Blöcke eingekoppelt werden, gegeneinander verschieben. Dadurch ist eine Anpassung an die Entscheidungsschwelle des nachfolgenden Verstärkers möglich, womit letztlich der Tastgrad (Duty-Cycle) insbesondere am AMUX eingestellt werden kann. Prinzipiell ist eine Offset-Einstellung für die beiden Taktphasen auch extern mittels Bias-Tees möglich. Die Schaltung macht dies überflüssig und vereinfacht somit den experimentellen Aufbau. Des Weiteren ist lediglich ein Pad zur Einstellung erforderlich. Neben der Einstellbarkeit des Offsets erfüllt die Schaltung zugleich die Funktion des Setzens der Gleichtaktspannung  $U_{cm}$  (rechter Teil) sowie der 50- $\Omega$ -Terminierung (100  $\Omega$  differenziell) durch  $R_1$  und  $R_3$ , worin auch die Begründung für  $C_1$  liegt. Eine Erhöhung der Taktpegel wird mittels induktivem *Peaking* ( $L$ ) erreicht. Zur Analyse der Schaltung werden nun lediglich die Widerstände betrachtet. Bei offenem Eingang  $U_{offs}$  ergibt sich aus dem Spannungsteiler  $R_4$ - $R_5$  eine Gleichtaktspannung  $U_{cm} = U_{cm0} = 1,25$  V. In Abb. 3.15b ist das Ersatzschaltbild zur Berechnung des Einflusses

<sup>1</sup>M. Grözing, persönl. Kommunikation, Universität Stuttgart, INT, 2016, 2022.

von  $U_{\text{Offs}}$  gezeigt. Hierzu wird das Thévenin-Äquivalent des Spannungsteilers  $R_4$ - $R_5$  betrachtet und in der modifizierten Spannungsquelle mit

$$\Delta U_{\text{ext}} = U_{\text{Offs}} - U_{\text{cm0}} \quad (3.21)$$

sowie im oberen Widerstand berücksichtigt. Die interne Änderung der Spannung  $\Delta U_{\text{int}}$  lässt sich damit berechnen zu

$$\Delta U_{\text{int}} = \frac{R_3}{2R_1 + R_2 + R_3 + \frac{R_4 \cdot R_5}{R_4 + R_5}} \Delta U_{\text{ext}} \approx 0,05 \cdot \Delta U_{\text{ext}} . \quad (3.22)$$

Aufgrund des Teilverhältnisses ist die Auswirkung einer Änderung der externen Offsetspannung  $\Delta U_{\text{ext}}$  klein, was sich in Gl. (3.22) ausdrückt. Damit ist eine sehr feine Einstellung möglich. Andererseits sind dadurch nur kleine Änderungen für sinnvolle Spannungen  $U_{\text{Offs}}$  einstellbar. Beispielsweise ergibt sich für  $U_{\text{Offs}} = 1,0 \text{ V}$  ein  $\Delta U_{\text{int}} \approx -12 \text{ mV}$ . Der Einfluss auf den Tastgrad bezüglich der nachfolgenden Entscheiderschwelle ist von der Amplitude des Taktsignals abhängig und vor allem für entsprechend kleine Taktpegel signifikant. Der rechte Pfad  $R_1$ - $\tilde{R}_1$ - $C_2$  ergibt sich aus Symmetriegründen.

Im Anschluss folgt eine Kette aus mehreren differenziellen Verstärkern entsprechend Kap. 3.3.3, um den Taktpegel sicher auf den erforderlichen Hub anzuheben. Dabei ist eine mehrdimensionale Abwägung aus Bandbreite, Verstärkung, Anzahl an Stufen und damit auch an Leistungsaufnahme, Flächenbedarf und Gesamtsystemverhalten erforderlich.

Daraufhin folgt eine Startschaltung, die den Takt in den folgenden Schaltungsteilen über ein Reset-Signal definiert starten lässt, wobei die Taktphase und das Einschwingen kontrolliert werden. Dieser definierte Start ist von entscheidender Bedeutung für den ersten CMOS-Taktteiler, wie im nachfolgenden Kapitel beschrieben wird, sowie für den definierten Start beider DAU-Kerne. Der gesamte Taktpfad und die darin enthaltenen Initialisierungen sind so ausgelegt, dass sich die Schaltung nach dem Hochfahren der Versorgungsspannungen in einem definierten, gültigen Zustand befindet, aus welchem heraus sich ein wohl definiertes Startverhalten ergibt. Zu diesem definierten Zustand gehören sowohl ein kontrollierter Startvorgang mit möglichst geringen Einschwingartefakten sowie gültige, differenzielle Taktsignale an den entsprechenden Schaltungsteilen, insbesondere an den ersten CMOS-Taktteilern, vor dem Einschalten, welche passend zur im Weiteren vorgestellten Initialisierung gewählt sind. In Abb. 3.16 sind die Startschaltung sowie der Schaltplan des MUXs dargestellt. Der Schaltplan eines Latches entspricht im Wesentlichen jenem des CML-Taktteilers, welches Abb. 3.17b entnommen werden kann. Ein Reset-Signal  $\overline{resCML}$  aus dem Konfigurationsregister wird abgetastet, woraufhin der MUX-Ausgang von entsprechend der Initialisierung definierten, statischen Pegeln auf das Taktsignal umschaltet. Im Rahmen dieser Arbeit werden Latches stets so dargestellt, dass sie intransparent sind, wenn ihr interner Eingang  $clk = \text{H}$  ist, und



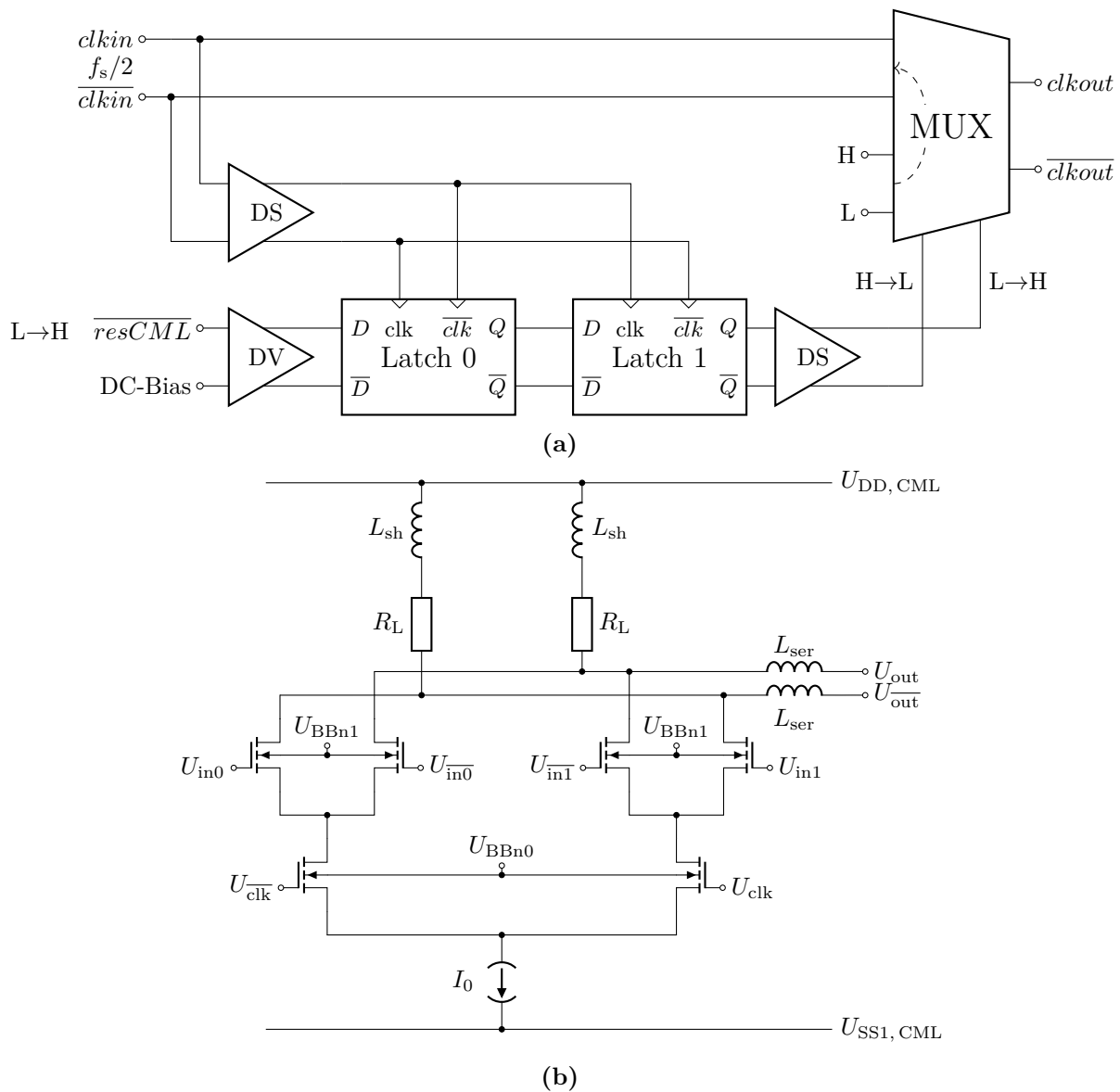


Abbildung 3.16: (a) Startschaltung und (b) Schaltplan des CML-Multiplexers.

transparent für L. Flip-Flops seien so zu betrachten, dass Daten auf die positive Taktflanke an ihrem  $clk$ -Eingang ausgegeben werden. Bei 2:1-MUXn gilt für  $clk = L$  Transparenz des oberen Eingangs, für  $clk = H$  Transparenz des unteren.

Der CML-Taktteiler ist in Abb. 3.17 dargestellt. Dabei werden vier Taktphasen bei  $f_s/4$  erzeugt: ein differenzielles In-Phase- ( $clkoutI$ ,  $\overline{clkoutI}$ ) und ein differenzielles Quadratur-Signal ( $clkoutQ$ ,  $\overline{clkoutQ}$ ). Die Bezeichnungen sind hierbei so gewählt, dass der erste L→H-Übergang nach dem Starten  $clkoutI$  und der zweite, um  $1/(2f_s)$  verschobene L→H-Übergang  $clkoutQ$  zugeordnet werden.

Mithilfe dieser vier Taktphasen können mittels eines programmierbaren 5-bit-Phasenrotators weitere Taktphasen erzeugt werden. Der Phasenrotator [84, 86–89] besteht entsprechend

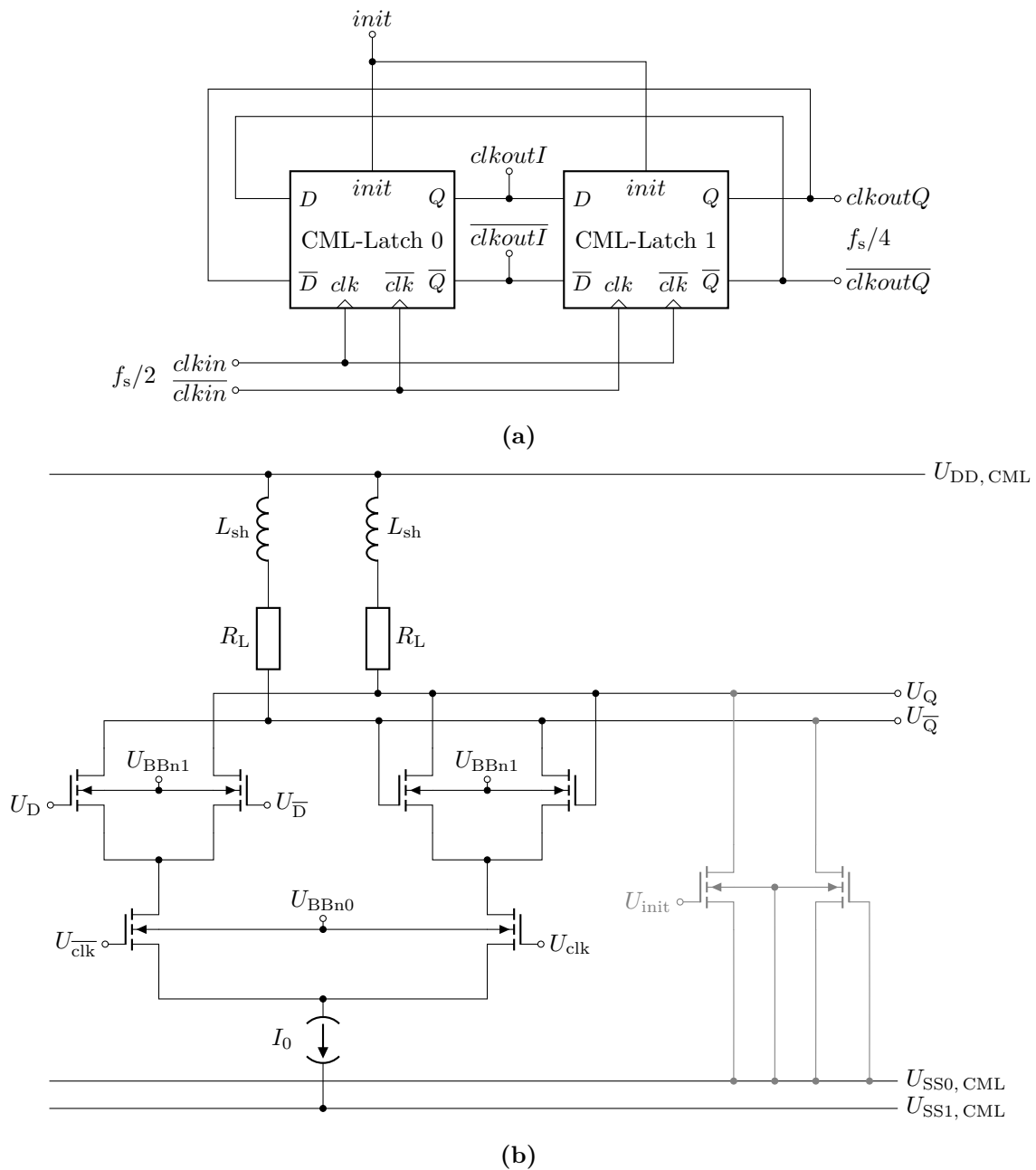
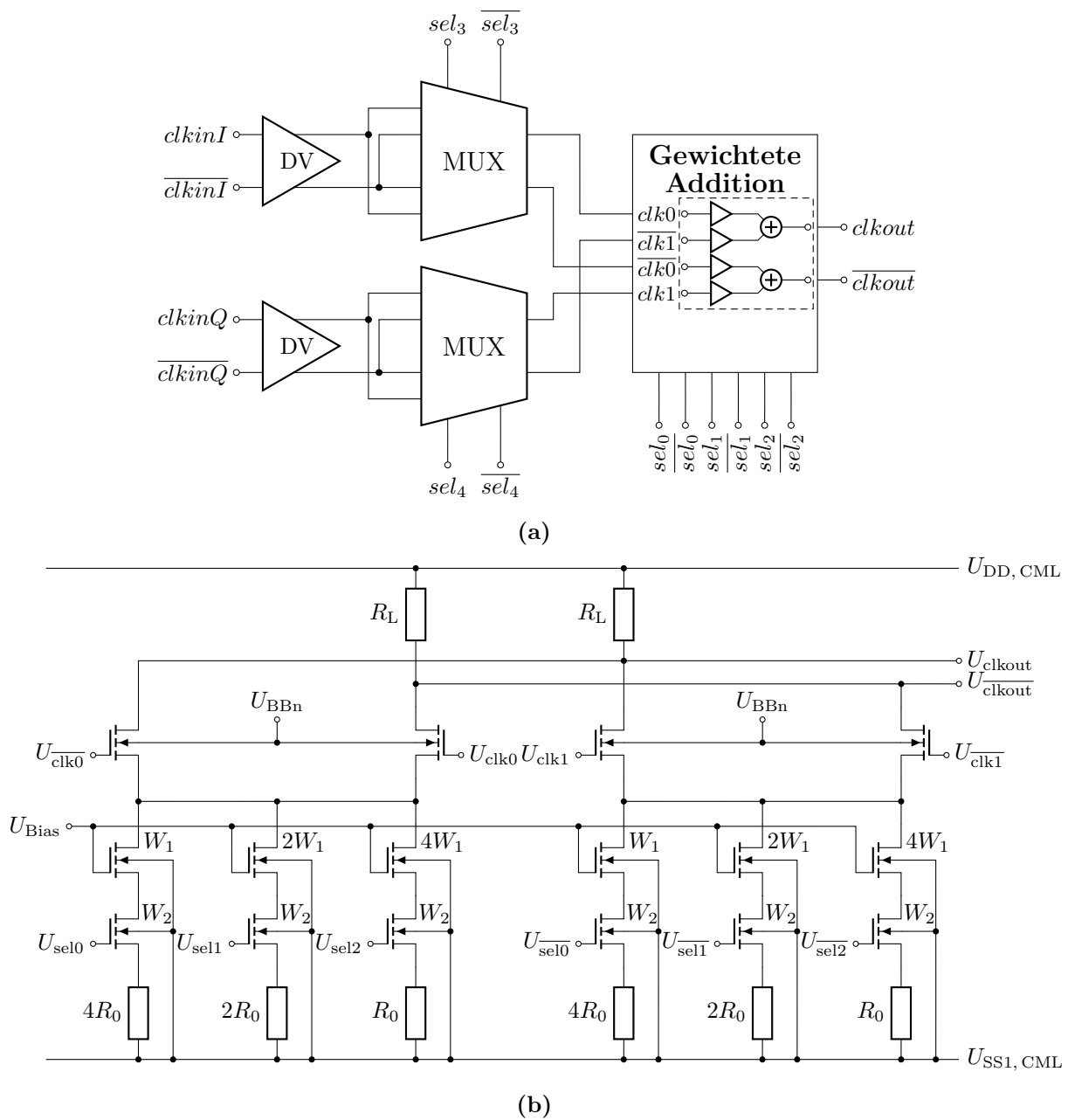


Abbildung 3.17: (a) CML-Takteiler und (b) CML-Latch mit Initialisierung.

Abb. 3.18a aus zwei Teilen: einer Phaseninterpolator-Schaltung sowie einer MUX-Schaltung an dessen Eingang. Dabei kann zwischen einer Grobeinstellung im linken Teil, in welchem durch Auswahl der Eingangssignalphasen des Phaseninterpolators der Quadrant ausgewählt wird, und einer Feineinstellung durch den Phaseninterpolator zur Interpolation zwischen diesen Eingangssignalen unterschieden werden. Da als Eingangssignale die vier Taktphasen aus dem CML-Takteiler verwendet werden, handelt es sich demnach um Quadratur-Phasen-Interpolation [88]. Die so gewählte Konfiguration deckt den gesamten (diskreten) Phasenraum zwischen  $0^\circ$  und  $360^\circ$  bezüglich der  $f_s/4$ -Ebene ab. Die eigentliche Interpolation zwischen



**Abbildung 3.18:** (a) Blockschaltbild des Phasenrotators und (b) Schaltplan des Phaseninterpolators zur Interpolation innerhalb eines Quadranten. Die dargestellte Konfiguration ergibt sich aus der tatsächlichen Verdrahtung. Die Gewichtung erfolgt über binär gewichtete Stromquellen. Die Weiten  $W_2$  sind konstant.

zwei differentiellen Eingangstaktsignalen wird in der Phaseninterpolator-Schaltung nach Abb. 3.18b ausgeführt, deren Funktion auf dem gewichteten Addieren der Eingangssignale beruht; präziser: auf der Addition gewichteter Ströme, die die Eingangsphasen repräsentieren. Nach der Wahl der Eingangssignale über die Konfigurationsbits  $sel_3$  und  $sel_4$  findet die Interpolation zwischen diesen im Phaseninterpolator statt, der über die Bits  $sel_0, sel_1, sel_2$  digital programmierbar ist. Hier findet die gewichtete Addition statt. Für die folgende idea-

le Beschreibung eines Phasenrotators mit  $N_{\text{PR}} = 5$  bit Auflösung nach [84] gelten folgende Annahmen: keine Berücksichtigung der Verzögerung des Phasenrotators, ideale Eintonsignale am Eingang mit präzisen Phasenlagen sowie ideales, lineares Verhalten des Systems. Letzteres wird insbesondere bei zunehmender Sättigung der Eingangssignale, also zunehmender Annäherung an rechteckförmige Signale, verletzt, was zunehmend bei geringeren Frequenzen auftritt. Die Annahme der Eintonsignale ist näherungsweise dann erfüllt, falls keine starke Limitierung der Taktsignale mehr erreicht wird. Daher ist die Funktionalität einer näherungsweise gleichförmigen Phasenverteilung im Bereich zwischen  $0^\circ$  und  $360^\circ$  vor allem für höhere Frequenzen gegeben, für die die gleichförmige Verteilung auch besonders wichtig ist, um ein möglichst präzises Timing zwischen den DAU-Kernen und dem AMUX zu erreichen. Bei niedrigeren Frequenzen verbleibt mindestens die Funktionalität der MUX und somit eine  $90^\circ$ -Einstellung, die bei geringen Umsetzungsraten ausreichend ist. Mit der gezeigten Konfiguration, die sich aus der Verdrahtung ergibt, und den idealen Annahmen kann beispielsweise folgende Proportionalität für den Ausgangszeiger  $\underline{U}_{\text{clkout}}$  in Abhängigkeit der Eingangsamplituden  $\hat{U}_{\text{clk}0}$  und  $\hat{U}_{\overline{\text{clk}1}}$  angegeben werden:

$$\underline{U}_{\text{clkout}} \sim \alpha_{\text{PI}} \cdot \hat{U}_{\text{clk}0} + j \cdot (1 - \alpha_{\text{PI}}) \cdot \hat{U}_{\overline{\text{clk}1}} . \quad (3.23)$$

Zur besseren Lesbarkeit wird bei der Beschreibung des Phasenrotators einmalig die komplexe Größe des Zeigers mit einem Unterstrich gekennzeichnet. O. B. d. A. wird hier beispielhaft von  $\underline{U}_{\text{clk}0} = I$  ( $0^\circ$ ,  $\text{sel}_3 = 0$ ) und  $\underline{U}_{\overline{\text{clk}1}} = Q$  ( $90^\circ$ ,  $\text{sel}_4 = 1$ ) ausgegangen, sodass die Phasendifferenz zwischen  $\underline{U}_{\overline{\text{clk}1}}$  und  $\underline{U}_{\text{clk}0} + \pi/2$  beträgt. Entsprechend Abb. 3.18b wird der Gewichtungsfaktor  $\alpha_{\text{PI}}$  über drei binär gewichtete, programmierbare Stromquellen eingestellt, programmiert über  $\text{sel}_0, \text{sel}_1, \text{sel}_2$ . Die binäre Gewichtung der Stromquellen erfolgt über die Weiten  $W_1, 2W_1$  und  $4W_1$ . Aus Symmetriegründen sind die Widerstandswerte mit  $4R_0, 2R_0$  und  $R_0$  reziprok skaliert. In dieser Konfiguration kommt es aufgrund der Gate-Drain-Kapazitäten zu einem Übersprechen der Eingangssignale auf die Ausgangssignale. Aus Gl. (3.23) ergibt sich bei identischen Eingangsamplituden und den getroffenen Annahmen die Phase des Ausgangssignals zu

$$\phi_{\text{clkout}} = \arg\{\underline{U}_{\text{clkout}}\} = \arctan\left(\frac{1 - \alpha_{\text{PI}}}{\alpha_{\text{PI}}}\right) \quad (3.24)$$

mit

$$\alpha_{\text{PI}} = \frac{\text{sel}_2 \cdot 2^2 + \text{sel}_1 \cdot 2^1 + \text{sel}_0 \cdot 2^0}{2^3 - 1} . \quad (3.25)$$

Es gilt  $\alpha_{\text{PI}} \in [0, 1]$  und für die logischen Signale:  $\text{sel}_i \in \{0, 1\}$  für  $i \in \{0, 1, 2\}$ . An dieser Stelle zeigt sich die Notwendigkeit der Eingangs-MUX zur Wahl des Quadranten, da für  $0 \leq \alpha_{\text{PI}} \leq 1$  lediglich zwischen den um  $90^\circ$  verschobenen Taktphasen von  $\text{clk}0$  und  $\overline{\text{clk}1}$  interpoliert werden kann, die Eingangsphasen eingeschlossen.

Allgemein gilt für einen  $N_{\text{PR}}$ -bit-Phaseninterpolator mit den Eingangsphasen  $\phi_{\text{clk}0}$  und

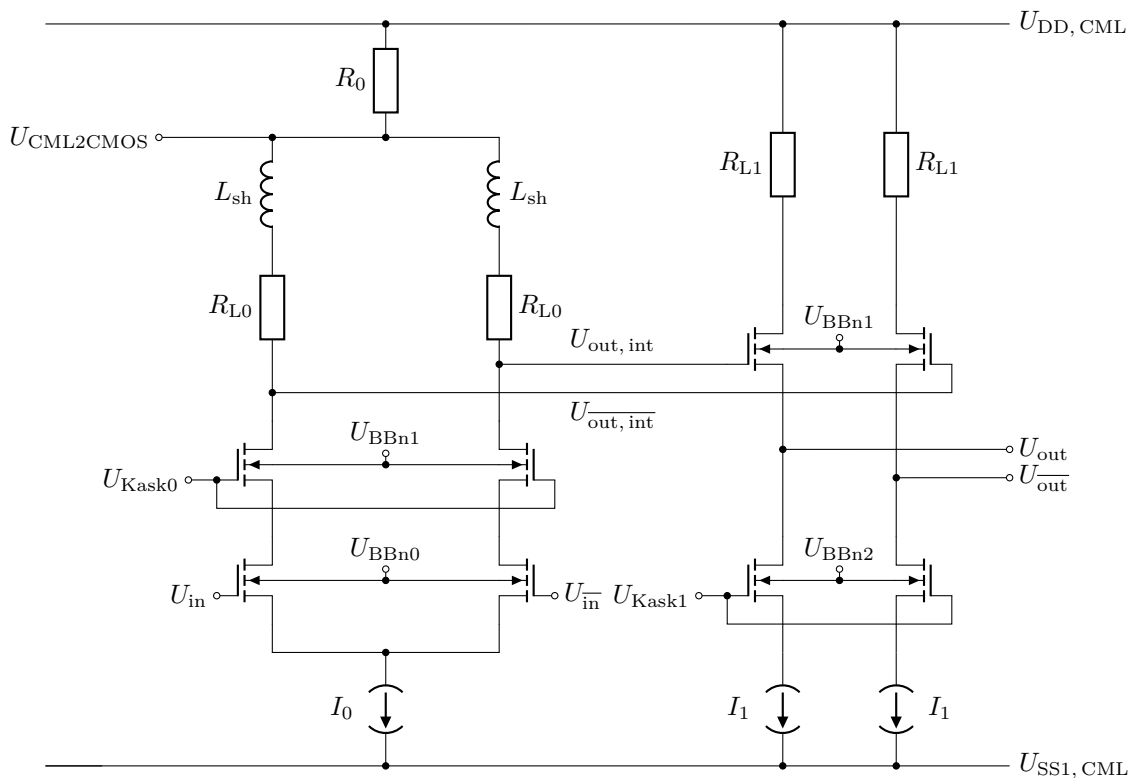
$\phi_{\overline{clk1}}$  idealerweise

$$\phi_{\text{clkout}} = \frac{\sum_{i=0}^{N_{\text{PR}}-1} (sel_i \cdot 2^i \cdot \phi_{\text{clk0}} + (1 - sel_i) \cdot 2^i \cdot \phi_{\overline{clk1}})}{2^{N_{\text{PR}}} - 1} \quad (3.26)$$

Weiterhin sei auf eine Besonderheit verwiesen, die sich aus der Konfiguration in Abb. 3.18 ergibt. Obwohl zur Programmierung des Phasenrotators 5 bit zur Verfügung stehen, sind lediglich  $2^5 - 4 = 28$  Phasenlagen möglich. Sieht man von Asymmetrien, beispielsweise durch Prozessschwankungen, ab, so ergeben sich an den Grenzen der Quadranten stets zwei identische Zustände. Immer dann, wenn im Phaseninterpolator lediglich ein Eingangspfad durchgeschaltet wird, also bei  $sel\langle 2:0 \rangle = 000$  oder bei  $sel\langle 2:0 \rangle = 111$ , hat die Programmierung desjenigen MUXs, dessen Ausgangssignal nicht beachtet wird, keinen Einfluss auf das finale Ausgangssignal. Wird eine Reihe binärer Signale zusammengefasst, wird in dieser Arbeit die Schreibweise  $\langle \cdot \cdot \cdot \rangle$  verwendet. So sind beispielsweise die Zustände  $sel\langle 4:0 \rangle = 00000$  und  $sel\langle 4:0 \rangle = 01000$  im Idealfall äquivalent. Je Quadrant sind damit stets  $2^3$  Phasenlagen möglich, die Quadrantengrenzen eingeschlossen. Somit ergibt sich die zyklische Zahlenfolge in (3.27) mit den  $\overline{sel\langle 4:0 \rangle}$  entsprechenden Dezimalwerten für die korrespondierenden Phaseneinstellungen in aufsteigender Reihenfolge, wobei aufgrund einer Invertierung zwischen den Bits im Konfigurationsregister und dem Phasenrotator die invertierten Bits herangezogen werden, um die erforderliche Programmierung wiederzugeben.

$$\dots 14 \underbrace{15/7}_0^\circ 6 \ 5 \ 4 \ 3 \ 2 \ 1 \ 0 \ 16 \ 17 \ 18 \ 19 \ 20 \ 21 \ 22 \ 23/31 \ 30 \ 29 \ 28 \ 27 \ 26 \ 25 \ 24/8 \ 9 \ 10 \ 11 \ 12 \ 13 \ 14 \dots \quad (3.27)$$

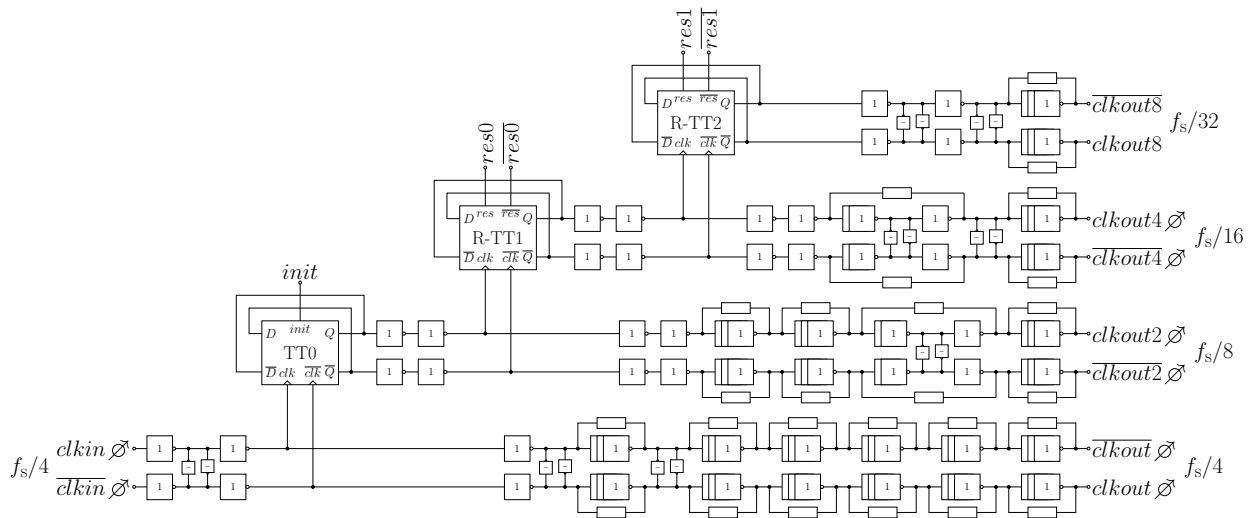
Die Phasen  $0^\circ, \dots, 270^\circ$  sind so definiert, dass ohne Berücksichtigung einer Verzögerung das  $0^\circ$ -Signal dem  $clk_{inI}$ -Signal entspricht. Weiterhin sind die dargestellten Werte von links nach rechts in der Reihenfolge zunehmender Verzögerung angegeben. Die zur Initialisierung des ersten CMOS-Taktteilers passenden Phasenlagen ( $3 \dots 28$ ), die beim ersten Start nach dem Hochfahren gültig sind und die entsprechenden statischen Pegel passender Polarität ausgeben, sind ebenfalls markiert. Sie ergeben sich aus den Definitionen und der Verdrahtung. Zuletzt kann über die initiale Wahl der Phasenrotator-Einstellung beim Startvorgang Einfluss auf das Einschwingverhalten genommen werden. Denn für unterschiedliche Einstellungen ergeben sich unterschiedliche statische Aussteuerungen zu Beginn, aus welchen heraus das Taktsignal einschwingt. An den Quadrantengrenzen ergeben sich die größten initialen Aussteuerungen, für die beiden Werte mittig zwischen ihnen die kleinsten. Daher werden in der Regel beide DAU-Kerne beim Starten des Taktes mit Position 28 gestartet, um das Einschwingen von einer geringeren Aussteuerung heraus zu initiieren, was im Sinne der Vorbeugung zu verstehen ist.



**Abbildung 3.19:** Schaltung zur Einstellung der Gleichtaktspannung.

Ein weiterer funktionaler Block und zugleich der letzte Teil vor der Übergabe an den CMOS-Teil ist die CML-zu-CMOS-Schnittstelle nach Abb. 3.19. Sie wandelt die CML-Taktpegel in die erforderlichen CMOS-Taktpegel in zwei Schritten um. Dabei spielen neben dem Hub die Gleichtaktspannungen eine außerordentlich wichtige Rolle. Sie definieren bei einem Tastverhältnis von 50% im CML-Teil den Tastgrad bezüglich des Umschaltpunkts des weiteren CMOS-Taktpfads, weshalb die Gleichtaktspannung über den externen Anschluss  $U_{\text{CML2CMOS}}$  einstellbar ist. Diese Einstellmöglichkeit besteht für beide DAU-Kerne separat. Auf der linken Seite der Abbildung ist ein modifizierter CML-Verstärker zu sehen, welcher über einen zusätzlichen Widerstand  $R_0 = 10 \Omega$  mit der Versorgungsspannung verbunden ist. Dieser sorgt für eine nominale Verschiebung von  $R_0 \cdot I_0$ , welche über den externen Anschluss  $U_{\text{CML2CMOS}}$  präzise justiert werden kann. Ein nachfolgender Sourcefolger verschiebt den Pegel ein weiteres Mal um die Gate-Source-Spannung des entsprechenden Transistors. Beide Schaltungen sind jeweils um Kaskodentransistoren mit den Gatespannungen  $U_{\text{Kask0}}$  und  $U_{\text{Kask1}}$  ergänzt. Bei der Einstellmöglichkeit der Gleichtaktspannungen müssen die Einstellmöglichkeiten aufgrund der begrenzten Chipfläche auf zwei externe Zugänge reduziert werden – einen je DAU-Kern. Damit können die beiden differenziellen Taktsignale  $U_{\text{out}}$  und  $\overline{U_{\text{out}}}$ , die Eingangstaktsignale eines jeden DAU-Kerns, nur gemeinsam optimiert werden, was bei Asymmetrien zu Einschränkungen führen kann.

Zuletzt sei der Pfad zum AMUX beschrieben, beginnend bei  $clkAMUX$  und  $\overline{clkAMUX}$



**Abbildung 3.20:** CMOS-Taktnetzwerk in den DAU-Kernen.

in Abb. 3.14 und dort nicht weiter dargestellt. Er enthält einen Verstärker, einen MUX, gefolgt von einem weiteren Verstärker und einem Sourcefolger, der den AMUX treibt. Mithilfe des MUXs kann zwischen dem Taktsignal und einem statischen Signal ausgewählt werden. Letzteres kann selbst wiederum über einen weiteren MUX aus zwei Zuständen gewählt werden. Mit dieser Konfiguration ist es möglich, einen statischen Zustand im AMUX zu erzeugen und lediglich einen Kanal – das Ausgangssignal eines DAU-Kerns – statisch transparent zu schalten, wobei beide Kerne ausgewählt werden können. Dies dient u. a. zur statischen Charakterisierung sowie für Analysezwecke.

Insgesamt ist beim Entwurf eine holistische Betrachtung des Großsignalverhaltens des Gesamtsystems entscheidend und ist für diverse Betriebszustände, vor allem den Startvorgang präzise zu untersuchen, sodass insbesondere am CMOS-Teil wohl definierte Signale anliegen. Mit der Übergabe der Taktsignale an die DAU-Kerne ändert sich die Schaltungstopologie von CML nach CMOS.

### 3.4.2 CMOS-Teil des Taktpfads

Nach der Umwandlung der Taktsignale in CMOS-kompatible Spannungen unter Anpassung des Gleichtaktniveaus folgt der CMOS-Teil des Taktpfads, ähnlich [90]. Dieser ist Teil eines jeden DAU-Kerns und soll daher entsprechend der Zielsetzung der Umsetzer-Kerne kompatibel zu CMOS-Logik-Spannungen und sehr kompakt sein. In Abb. 3.20 ist der CMOS-Taktpfad eines Kerns dargestellt. Zu Beginn stehen zwei CMOS-Inverter mit Kreuzkopplung, die zur weiteren Regeneration und Limitierung des Taktsignals dienen und als Fortsetzung des CML-zu-CMOS-Teils gesehen werden können. Die Anforderungen, die sich aus dem anzusteuernenden MUX ergeben (vgl. hierzu Kap. 3.6.3), sind in Form von vier synchronen, differenziellen Taktsignalen bei  $f_s/4$ ,  $f_s/8$ ,  $f_s/16$  und  $f_s/32$ , die jeweils dieselbe Last treiben müssen, definiert. Synchron

bedeutet konkret, dass sie eine gemeinsame steigende Flanke aufweisen. Des Weiteren wird ein definiertes Verhalten zwischen den beiden Kernen gefordert, was durch das Start-Konzept in Kap. 3.9.1 sichergestellt wird. Die wesentlichen Elemente des CMOS-Taktpfads sind Inverterketten mit teilweiser Widerstandsrückkopplung und vereinzelter Kreuzkopplung sowie drei Taktteiler mit zwei unterschiedlichen Architekturen. Die resistive Rückkopplung über drei Inverter (vgl. Abb. E.1) erweist sich hierbei als guter Kompromiss zwischen Leistungsaufnahme, Bandbreite, Gleichtaktstabilität und Pegeldegeneration. Zur Erfüllung der geforderten Synchronität und aufgrund der hohen Schaltfrequenzen werden Ausgleichsinverter zur präzisen Verzögerung eingesetzt, die sich als flexible, mit den hohen Schaltfrequenzen kompatible Lösung zeigen. Prinzipiell ist eine starke Kreuzkopplung zwischen den beiden Phasen eines differenziellen Signals erwünscht. Aufgrund der hohen Schaltfrequenzen muss diese jedoch reduziert werden und kommt daher vor allem bei der langen Taktkette bei  $f_s/4$  als schwache Kreuzkopplung zu Beginn der Kette zum Einsatz. Aufgrund dieser schwachen Kopplung kommt es insbesondere in der langen Treiberkette bei  $f_s/4$  zu Abweichungen, die aufgrund der nicht für beide unipolaren Taktsignale separat einstellbaren Gleichtaktspannungen im CML-Teil nicht ausgeglichen werden können (vgl. Abb. 3.19 im letzten Abschnitt). Auch in den anderen Taktebenen wird vereinzelt Kreuzkopplung implementiert. Neben der Funktion des Ausgleichs von Verzögerungen haben die Inverterketten zusätzlich die Funktion, die Treiberfähigkeit stetig zu erhöhen. Zum Verzögerungsausgleich werden Inverter kleiner Gateweiten zu Beginn der Treiberketten eingesetzt, um die Leistungsaufnahme zu reduzieren. Die Steigerung der Treiberfähigkeit wird im hinteren Teil vorgenommen. Beispielhaft sind die Weiten der n-Kanal-Transistoren  $W_n$  – für jene der p-Kanal-Transistoren gilt  $W_p = 2 \cdot W_n$  – der Treiberinverter für  $f_s/4$  in (3.28) angegeben.

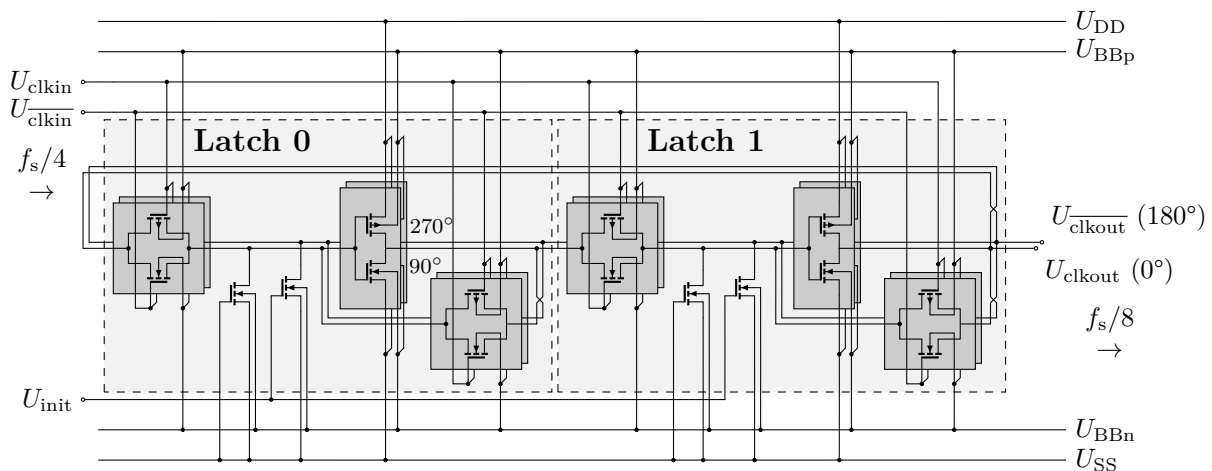
$$W_n \text{ in } \mu\text{m}: 20-20-4-4-4-4-4-4-4-4-4-4-4-4-6-9-13-18-27-40-60-80 \quad (3.28)$$

Die Beurteilung der Synchronität soll hier beispielhaft anhand von Monte-Carlo-Simulationen des Taktpfads auf Schaltungsplanebene erfolgen. Hierzu wird die zeitliche Differenz (*Skew*) bei  $U_{DD}/2 = 0,5\text{V}$  zwischen den unterschiedlichen Taktebenen an jener steigenden Taktflanke, zu der alle Taktsignale idealerweise synchron sein sollen, statistisch untersucht. Tab. 3.4 fasst die Ergebnisse zusammen, die einen sicheren Betrieb des digitalen MUXs nahelegen. Für den Betrieb des DAUs sind zwei Teile von besonderer Bedeutung. Die Qualität des Taktsignals der langen Taktkette bei  $f_s/4$  entscheidet mit über die Eigenschaften und die Performanz der DAU-Kerne. Insbesondere die Tastverhältnisse der beiden Taktphasen bezüglich der Umschaltpunkte der angesteuerten digitalen MUX – bzw. zunächst der dort enthaltenen lokalen Takttreiber und dann nachfolgend der MUX-Elemente – sind von Bedeutung, da die Signale für die letzte Abtastung maßgeblich sind. Die Ergebnisse aus Abb. 3.6 zeigen die außerordentliche Wichtigkeit des Rückkopplungskonzepts, da ohne



**Tabelle 3.4:** Auswertung der Verzögerungen zwischen den steigenden Taktflanken (SE) benachbarter Taktdomänen unter Prozessschwankungen auf Basis von 100 Simulationen auf Schaltplanebene bei 32 GHz.

<i>Skew</i>	Mittelwert $\mu_{\text{Skew}}$ (ps)	Standardabweichung $\sigma_{\text{Skew}}$ (ps)	Minimum $\text{min}_{\text{Skew}}$ (ps)	Maximum $\text{max}_{\text{Skew}}$ (ps)
$t(f_s/4) - t(f_s/8)$	2,194	0,276	1,556	3,135
$t(f_s/8) - t(f_s/16)$	2,599	1,139	-4,285	3,716
$t(f_s/16) - t(f_s/32)$	1,292	0,210	0,223	1,712



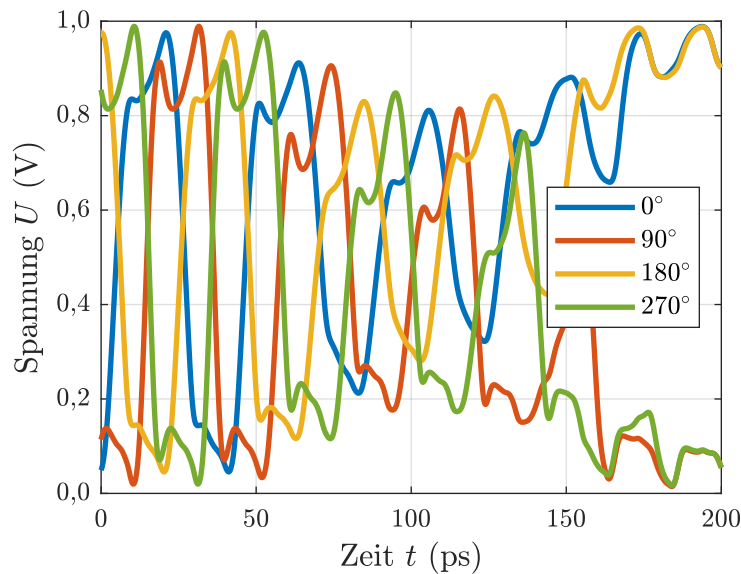
**Abbildung 3.21:** Schaltplan des ersten CMOS-Takteilers  $f_s/4 \rightarrow f_s/8$ .

geeignetes Rückkopplungskonzept nur sehr große Abweichungen vom angestrebten Tastgrad bzw. in den meisten Fällen darin keinerlei Funktionalität gegeben ist (Tastgrad  $\rightarrow 0\%$  bzw.  $\rightarrow 100\%$ ) und das Taktsignal über die Kette „kollabiert“. Ohne Rückkopplung ist praktisch keine Funktionalität in langen Inverterketten für die erstrebten Taktfrequenzen möglich. In Abhängigkeit der kleinsten nFET-Weite  $W_n$  einer Rückkopplungszelle über drei Inverter beträgt die Dimensionierung des Rückkopplungs-Widerstands

$$R \approx \frac{3 \text{ k}\Omega \cdot \mu\text{m}}{W_n}. \quad (3.29)$$

Außerdem ist der Tastgrad für den ersten Takteiler TT0 von großer Bedeutung. Um Rückschlüsse auf die Tastgrade an wichtigen Stellen ziehen und Parameter wie  $U_{\text{CML2CMOS}}$  anpassen zu können, können an den mit  $\varnothing$  markierten Stellen in Abb. 3.20 die Gleichspannungen über einen Gleichwert-Detektor gemessen werden (vgl. Kap. 3.9.4).

Der erste CMOS-Takteiler TT0 stellt eine besonders kritische und sensible Komponente für die grundsätzliche Funktionalität dar. Der Schaltplan auf Transistorebene ist in Abb. 3.21 zu sehen. TT0 ist das kritische Glied im gesamten Taktpfad, das über dessen Funktionalität und somit über die des gesamten Systems entscheidet. Seine Funktionalität kann insbesondere

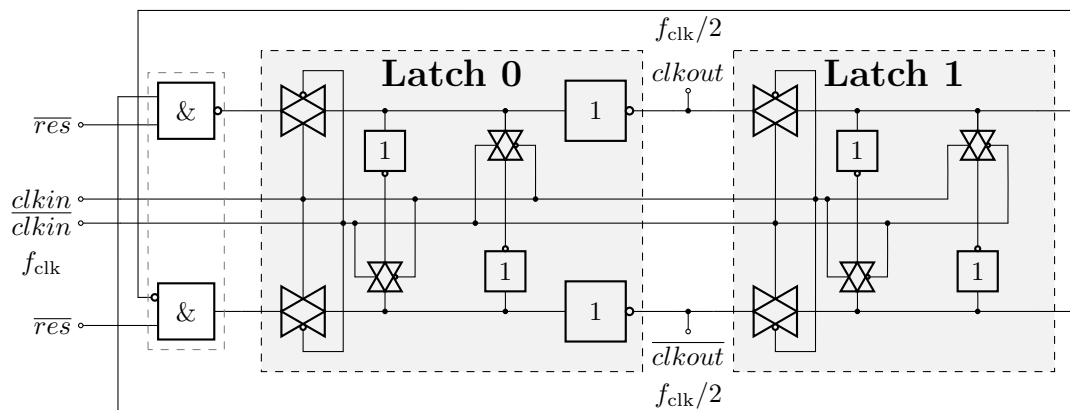


**Abbildung 3.22:** Auswirkungen eines kritischen Versorgungsspannungseinbruchs während des Betriebs des CMOS-Taktteilers TT0, hier beispielhaft bei einer Frequenz von 48 GHz auf Schaltungsplanebene.

durch Versorgungsspannungseinbrüche, ungünstigen Tastgrad eines oder beider Eingangstaktsignale, Einschwingeffekte beim Start in Form von gegebenenfalls mehreren kritischen, verkürzten Pulsen mit reduzierter Amplitude sowie Effekte durch Umschalten des Phasenrotators gänzlich zusammenbrechen. In der Betrachtung als Speicherelement ist dann eine Wiederaufnahme des Betriebs bei hohen Frequenzen nur durch erneutes Starten aus definierten Zuständen heraus möglich, da der Speicherinhalt nicht mehr korrekt ist. Als Maßnahmen zur Sicherstellung des korrekten Betriebs dieser Komponente sind mehrere Aspekte von Bedeutung. Zunächst wird eine separate Versorgungsspannungsdomäne für alle Taktteiler mit ausreichend Puffer-Kapazität implementiert. Dadurch ist die Versorgungsspannung nur wenig belastet und weist keine Störungen durch andere Taktteile oder gar datenabhängige Störungen auf. Dieser Aspekt ist auf einen diesbezüglich prinzipiellen Nachteil der CMOS-Architektur gegenüber der CML-Architektur zurückzuführen. Denn aufgrund geringer oder gar vernachlässigbarer statischer Stromaufnahme kommt es in den CMOS-Teilen zu stark schwankenden Belastungen der Versorgungsspannung, insbesondere beim Ein- und Ausschalten, aber auch beim Umschalten während des Betriebs. Als Konsequenz daraus ergeben sich Einbrüche der Versorgungsspannung aufgrund ihrer nicht idealen, inhärent induktiven Zuführung über die Bonddrähte und Leitungen, die im Rahmen der Möglichkeiten mittels Stützkapazitäten mit niederohmigem Anschluss auf dem Chip reduziert werden müssen. Daher ist der Startvorgang mit dem höchsten Lastsprung besonders kritisch. Ein zu großer Spannungseinbruch würde einen Betrieb unmöglich machen. Abbildung 3.22 zeigt beispielhaft den Zusammenbruch der Taktteiler-Funktionalität bei zu großem Einbruch der Versorgungsspannung im Betrieb. Ein

derartiges Verhalten steht stellvertretend für zu große Abweichungen der anderen genannten kritischen Parameter. Bei korrektem Betrieb werden die Logikpegel LLHH mit dem äußeren Taktsignal zyklisch zwischen den Knoten  $0^\circ$ ,  $270^\circ$ ,  $180^\circ$  und  $90^\circ$  verschoben. Kollabiert der Taktteiler, so fällt er in einen statischen Zustand; im Beispiel der Simulation in HLHL. Aus diesem Zustand findet der Taktteiler bei hohen Frequenzen nicht mehr selbstständig heraus und der Startvorgang muss wiederholt werden. Es ist anzumerken, dass sowohl der Startvorgang mit den kritischen Startpulsen als auch das Umschalten des Phasenrotators und die dynamischen Auswirkungen simulativ stets ganzheitlich betrachtet werden, sodass sämtliche Effekte über den gesamten Taktpfad hinweg abgebildet werden. Die einstellbare Gleichtaktspannung und die Wahl einer geeigneten initialen Stellung des Phasenrotators zum Start als optimierende Stellgrößen sind damit begründet. Außerdem wird konzeptuell durch sequenzielles Einschalten des CMOS-Taktpfads sichergestellt, dass Belastungen der Taktteiler- und Takttreiber-Versorgungsspannung entzerrt werden. Dies wird durch synchron zum Takt rücksetzbare und synchron zuschaltbare Taktteiler R-TT1 und R-TT2 erreicht, die nacheinander aktiviert werden. Eine entsprechende Rücksetzlogik ist aufgrund der hohen Schaltfrequenz für TT0 nicht möglich. Die letzte Maßnahme betrifft eine korrekte Initialisierung. Hier hilft erneut die Betrachtung als Speicherelement. Mittels Minimaltransistoren, die keine relevante Auswirkungen auf die maximale Frequenz haben, wird das rückgekoppelte Flip-Flop beim Hochfahren der Versorgungsspannungen über die Spannung  $U_{\text{init}}$  korrekt und entsprechend zum CML-Teil initialisiert. Dazu ist es unbedingt nötig, dass die TG vor den aktiven Initialisierungstransistoren sperren, da diese ansonsten von den deutlich größeren Treibern überschrieben werden, sofern deren Zustand nicht dem gewünschten Initialisierungszustand entspricht. Dies ist die nachträgliche Begründung für die Einschränkungen der Phasenrotator-Einstellungen beim Hochfahren. Aus Symmetriegründen sind zudem Dummy-Transistoren implementiert. Das Initialisierungskonzept stellt sicher, dass bei entsprechenden Phasenrotator-Einstellungen – hier wird dieselbe Einstellung für beide Kerne angenommen – beide DAU-Kerne synchron starten, da der Entwurf kontrollierte, definierte Taktflanken beim Start einhält. Es ist zu erwähnen, dass das Initialisierungskonzept insbesondere beim Hochfahren greift und eine Absicherung gegen zufällige Effekte darstellt. Prinzipiell ist danach auch ein Starten des Taktpfads aus anderen gültigen Zuständen möglich. Gegebenenfalls muss bei entsprechender Konfiguration ein Takt der beiden DAU-Kerne um eine  $f_s/4$ -Taktperiode ( $\pm 360^\circ$ ) gedreht werden, um die Taktsysteme gegeneinander auszurichten.

Um die erforderliche Synchronität zwischen den beiden DAU-Kernen auch auf den unteren Taktebenen zu garantieren, werden die erwähnten synchron rücksetzbaren, synchron startenden Taktteiler mit entsprechender Eingangslogik, dargestellt in Abb. 3.23, implementiert. „Synchron“ bedeutet konkret, dass die Wirkung auf den Ausgang erst mit der entsprechenden Taktflanke erfolgt und entsprechende Timings eingehalten werden müssen [32], was durch



**Abbildung 3.23:** Synchron rücksetzbare und synchron startende Taktteiler für  $f_s/8 \rightarrow f_s/16$  und  $f_s/16 \rightarrow f_s/32$ . Die synchrone Rücksetzlogik ist tatsächlich mittels eines differenziellen NAND-Gatters realisiert (vgl. Abb. E.2) und hier nur symbolisch dargestellt. Die Rücksetzlogik auf der linken Seite stellt zugleich den Ausgangstreiber für Latch 1 dar.

Abtastung des Reset-Signals sichergestellt wird. Synchronität insgesamt bezieht sich in diesem Fall neben der Relation zum Eingangstaktsignal auch auf einen definierten Zustand zwischen den beiden DAU-Kernen. Der synchrone Reset-Eingang sorgt für einen definierten Initialzustand und somit für deterministisches Verhalten des Gesamtsystems. Dabei wird das Reset-Signal sowohl beim Starten als auch beim Stoppen eingesetzt. Die erforderlichen Reset-Signale  $res0$  und  $res1$  in Abb. 3.20 stammen mit entsprechender Abtastung aus der Startschaltung in Kap. 3.9.1. Über sie können die Taktteiler auch in einem definierten Zustand angehalten werden. Die Reset-Logik ist in DCVSL [91] implementiert und der genaue Schaltplan wird in Abb. E.2 in Anhang E präsentiert. Aufgrund der Verknüpfung des Reset-Signals mit dem Ausgangstaktsignal ist bei Einhaltung der Timings sichergestellt, dass der Taktteiler zur dem Reset-Signal folgenden steigenden Taktflanke startet.

Für sämtliche CMOS-Takttreiber wird ebenfalls eine separate Versorgungsspannungsdomäne eingeführt. Einerseits ist dies durch die bereits hohe Stromaufnahme dieser Domäne begründet, andererseits soll auch die Versorgungsspannung der Takttreiber keinerlei Datenabhängigkeit aufweisen.

Zusammenfassend besteht der CMOS-Taktpfad aus resistiv rückgekoppelten Inverterketten mit teilweiser Kreuzkopplung und zwei unterschiedlichen Taktteiler-Schaltungen, getrennt in zwei Versorgungsspannungsdomänen. Sie bilden die Grundlage für das formulierte Ziel, hinsichtlich der Versorgungsspannung einheitliche DAU-Kerne zu entwerfen. Um die geforderten Schaltfrequenzen zu erreichen, sind allerdings Modifikationen in Form von resistiver Rückkopplung erforderlich, die den potenziellen Vorteil einer geringeren Leistungsaufnahme mindestens verringern, ohne einen konkreten, vollumfänglichen Gegenentwurf in einer anderen Schaltungstopologie zu geben. Allerdings ist das Taktnetzwerk sehr kompakt, was anhand des Layouts E.5 in Anhang E zu erkennen ist. Am Ende des Taktnetzwerks werden

Signale mit den korrekten Spannungspegeln für die digitalen MUX bereitgestellt, ohne dass weitere Levelunterschiede überbrückt werden müssen. Initialisierung, Gleichtaktspannungs- und initiale Phasenrotator-Einstellung sind Mittel, um messtechnisch einzugreifen und die Funktionalität sicherzustellen.

### 3.5 SRAM-Speicher mit 256 KiByte Speichergröße

Nach der Diskussion des Taktpfads wird nachfolgend der Datenpfad betrachtet. Aufgrund der erforderlichen hohen Datenraten, die bei der Zuführung der digitalen Daten zu den beiden DAU-Kernen auftreten, wird ein 256 KiS = 256 KiByte großer Speicher auf dem Chip integriert, der im AWG-Betrieb zyklisch ausgelesen wird. Die Speichergröße wird im Wesentlichen durch die zur Verfügung stehende Chipfläche begrenzt und ist in der Größenordnung durchaus vergleichbar mit kommerziellen AWGs, die oftmals eine Speichergröße von 512 KiS aufweisen [10, 42, 92, 93]. Damit kann auf eine externe Datenquelle mit sehr hohen Anforderungen an Datenrate, an Anzahl paralleler Kanäle sowie an Synchronität verzichtet werden und das kombinierte System aus Speicher und DAU stellt einen vollwertigen, universellen AWG dar, welcher ohne weitere komplexe Datenperipherie betrieben werden kann. Bei einer Umsetzungsrate  $f_s$  beträgt die erforderliche parallele Datenrate an den Eingängen der beiden 8-Bit-DAU-Kerne  $B_{\text{in}}$  insgesamt

$$B_{\text{in}} = 8 \cdot f_s \text{ bit} . \quad (3.30)$$

Die Eingangsdaten verteilen sich auf  $2 \cdot 8 \cdot 16 = 256$  differenzielle Kanäle. Die Durchlaufzeit  $t_{\text{Speicher}}$  des Speichers beträgt

$$t_{\text{Speicher}} = \frac{256 \cdot 1024}{f_s} . \quad (3.31)$$

Diese Betrachtungen verdeutlichen die hohen Anforderungen an die Bereitstellung der Daten.

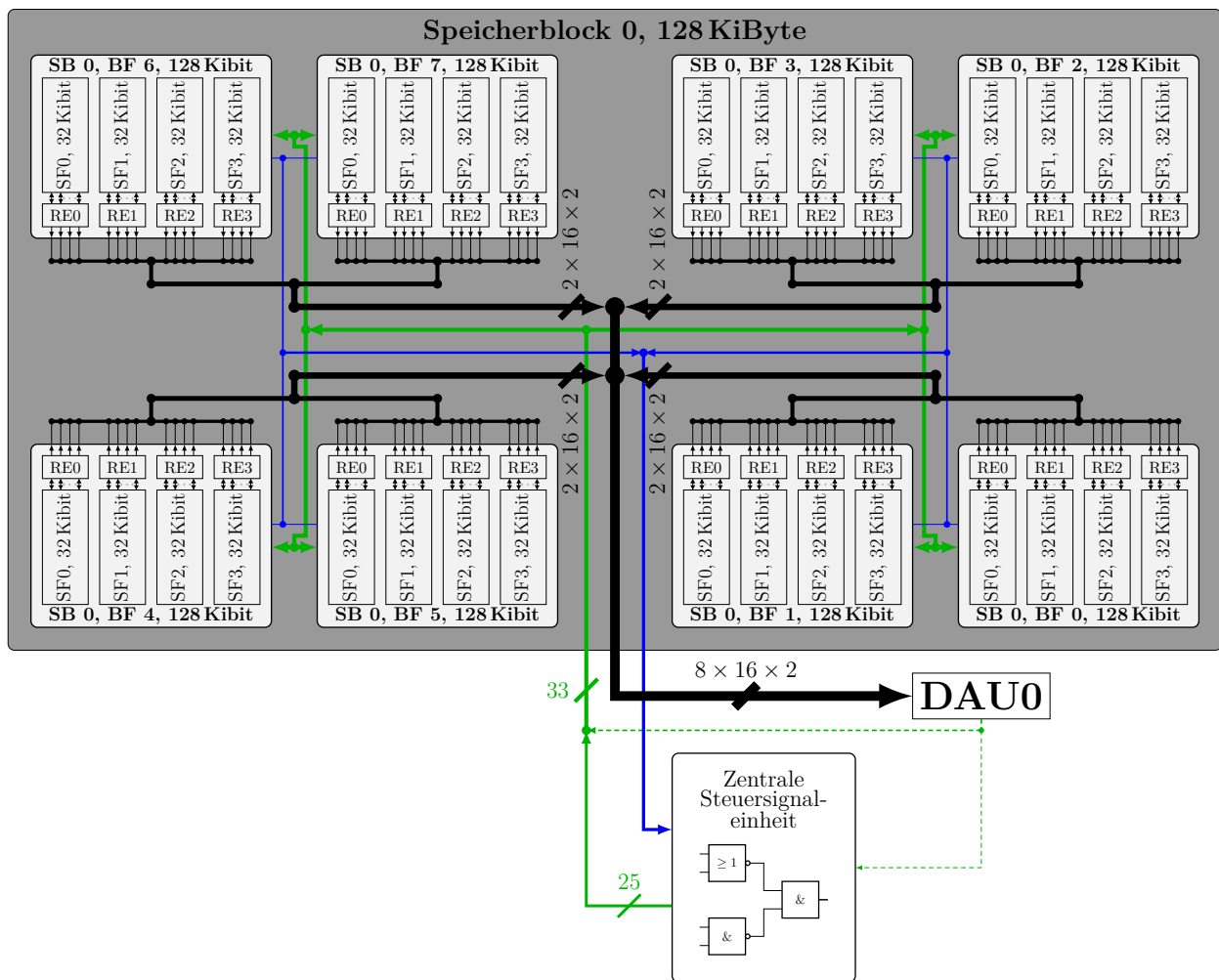
Im Folgenden wird zunächst eine Systembeschreibung mit Aspekten der schaltungstechnischen Realisierung gegeben, bevor auf die Übertragung an die DAU-Kerne eingegangen wird.

#### 3.5.1 Systembeschreibung, Speicherorganisation und schaltungstechnische Realisierung

Wie die anderen Schaltungsteile ist auch der Speicher *full custom* entworfen. Gründe hierfür sind die Möglichkeit der vollständigen Simulation in Kombination mit anderen Schaltungsteilen, eine vollständige Kontrolle über das Layout zur exakten Einpassung in die äußerst knappe Chipfläche und an die HF-Schaltungsteile mit höherer Priorität sowie die Umsetzung der drei erforderlichen Betriebsmodi unter Verwendung einer eigens definierten Schnittstelle. Die

Betriebsmodi umfassen: Serielles Einschreiben in den Speicher bei geringer Frequenz, serielles Auslesen bei geringer Frequenz zur Überprüfung des Speicherinhalts sowie schnelles, paralleles Lesen zur Bereitstellung der Daten für die DAU-Kerne bei  $f_s/32$  und 16-fach parallel für jedes nominale Bit Auflösung eines jeden DAU-Kerns. Die Folgenden Ausführungen zum System basieren im Wesentlichen auf den Darstellungen in [32, 72, 94]. Darüber hinausgehend wird auf spezielle Komponenten gesondert verwiesen. Da der Fokus dieser Abhandlung auf der Digital-Analog-Umsetzung liegt und der Speicher – wenn auch sehr umfangreich – im Wesentlichen auf klassischen Konzepten aus der Literatur beruht [32, 72], soll hier hauptsächlich eine allgemeine Beschreibung auf Systemebene mit Hinweisen auf einige Besonderheiten vorgestellt werden. Zahlreiche Dimensionierungsfragen und Untersuchungen zu Zuverlässigkeit bzw. Ausfallwahrscheinlichkeit, zu Effekten durch Layout und Herstellungstoleranzen sowie zur Einhaltung gewisser Timing-Anforderungen innerhalb der Bit- und Speicherfelder werden nicht diskutiert.

Abbildung 3.24 zeigt den Aufbau des Speichers für einen DAU-Kern, im Folgenden Speicherblock genannt. Vor dem zweiten DAU-Kern befindet sich ein zweiter Speicherblock mit identischem Aufbau, welcher ebenfalls von der zentralen Steuersignaleinheit gesteuert wird. Jeder Speicherblock mit  $128 \text{ KiS} = 128 \text{ KiByte}$  besteht aus acht Bitfeldern mit je 128 Kibit, eines für jedes Bit Auflösung der 8-Bit-DAU-Kerne (nominal). Die Anordnung der Bitfelder in der Abbildung entspricht der tatsächlichen Anordnung, jene der Speicherfelder unterscheidet sich aufgrund von Layout-Spiegelungen von der Darstellung. Um die erforderlichen Signalfrequenzen zu reduzieren, besteht jedes Bitfeld wiederum aus vier parallelen Teilen – die sogenannten Speicherfelder – mit einer Speichergröße von jeweils 32 Kibit. Jedes Speicherfeld besteht aus einer Speichermatrix mit 512 Zeilen und 64 Spalten an Speicherzellen und kann vierfach parallel ausgelesen werden, sodass jedes Bitfeld  $4 \cdot 4 = 16$  parallele, differenzielle Datenkanäle zum schnellen Auslesen ausgibt. Diese werden über vier Registereinheiten – je eine pro Speicherfeld – auf einen Datenbus gegeben. Dieser differenzielle Datenbus umfasst im Hauptstrang in Summe  $8 \cdot 16 \cdot 2 = 256$  Leitungen und wird in Kapitel 3.5.2 vertieft betrachtet. Zur Steuerung des gesamten Speichers bestehend aus zwei Speicherblöcken dient eine zentrale Steuersignaleinheit, welche die globalen Signale wie Zugriffsadressen und Steuerimpulse bereitstellt, die von dort an die Bitfelder übertragen werden (vgl. hierzu grüner Pfad in Abb. 3.24). In den Bitfeldern werden aus diesen Signalen weitere Signale lokal generiert. Der Datenbus für das schnelle Auslesen von den Bitfeldern zu den DAU-Kernen wie auch die Steuersignale in umgekehrter Richtung werden jeweils in einer mehrstufigen „H“-Struktur geführt, um möglichst ähnliche Verzögerungszeiten sicherzustellen. Neben dem Datenbus für das schnelle Auslesen gibt es einen weiteren Datenbus aus acht Leitungen (vgl. blauer Pfad in Abb. 3.24), um die Speicherdaten bei deutlich geringerer Datenrate über ein Pad auszugeben (Debug-Modus). Dies dient zu Analysezwecken und ist eine Möglichkeit, um



**Abbildung 3.24:** Aufbau eines Speicherblocks (SB) mit 128 KiByte. Jeder der beiden Speicherblöcke beinhaltet acht Bitfelder (BF) mit je vier Speicherfeldern (SF), welche über Registereinheiten (RE) beschrieben und ausgelesen werden können. Die Speicherdaten werden parallelisiert über einen Datenbus zu den Kernen geführt. Zur Steuerung der beiden Speicherblöcke werden Signale aus einer zentralen Steuersignaleinheit an die Bitfelder übertragen (grün). Das erforderliche differenzielle Taktsignal für den gesamten Speicher liefert DAU-Kern 0 (grün gestrichelt). Des Weiteren ist ein Debug-Modus implementiert, über welchen der Speicherinhalt überprüft werden kann (blau). Unterschiedliche Linienstärken symbolisieren – nicht maßstäblich – unterschiedliche Busbreiten.

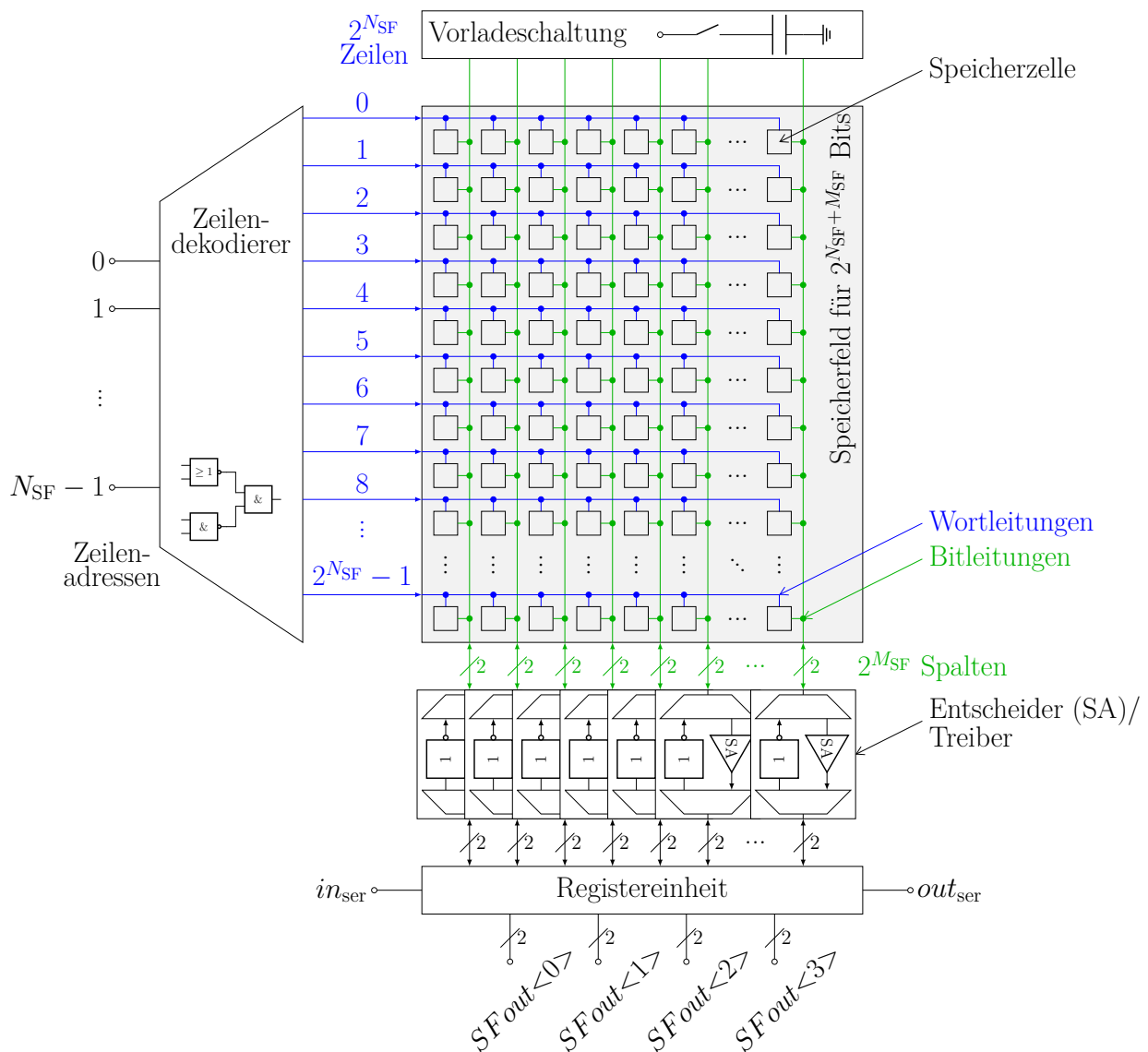
die Korrektheit der eingeschriebenen Daten zu überprüfen und gegebenenfalls auftretende Probleme zu untersuchen, hat jedoch für den AWG-Betrieb keine Bedeutung. Die Verbindung zwischen den Speicherfeldern und den Registereinheiten ist bidirektional. Das heißt, dass die Speicherfelder sowohl über diese Einheiten ausgelesen als auch beschrieben werden.

Aufgrund der hohen, durch CMOS-Schaltungstechnik bedingten pulsartigen Stromaufnahme des Speichers, kommt es unweigerlich zu Spannungseinbrüchen der Versorgungsspannung. Zusätzlich liegt der Datenbus zu den DAU-Kernen in derselben Domäne, was die dynamische Belastungssituation verschärft. Diese Spannungseinbrüche können im Extremfall zu Kippvorgängen in den Speicherzellen und Flip-Flops sowie zur Verletzung von Setup-Zeiten führen,

was letztlich zu fehlerhaften Daten führt. Daher ist es von großer Bedeutung, die auftretenden Stromstöße genau zu untersuchen und die Spannungseinbrüche mittels Stützkapazitäten zu kontrollieren und dabei auf ein tolerables Maß abzuschwächen. Mit der nur begrenzt verfügbaren Fläche für Stützkapazitäten, welche mit anderen Schaltungsteilen geteilt werden muss, ist eine möglichst präzise Abschätzung der erforderlichen Kapazität notwendig, um einen fehlerfreien Betrieb sicherzustellen, aber auch um Flächen für andere Schaltungsteile, vor allem für die DAU-Kerne, freizuhalten. Formale Zusammenhänge hierzu werden in Kap. 3.8 aufgezeigt. Manche Belastungen treten dabei mit einer festen Taktperiode auf, andere zeigen datenabhängige Muster, für die ein Worst-Case-Szenario anzunehmen ist. Damit können lokale wie globale Spannungseinbrüche analysiert und die erforderliche Kapazitätsgröße abgeschätzt werden. Aufgrund möglicher Ungenauigkeiten dieses Modells wird zum einen die Stützkapazität im Rahmen der Möglichkeiten über die Mindestanforderung hinaus erhöht, um einen möglichst sicheren Betrieb zu gewährleisten. Zum anderen werden bei der Anordnung gewisse Bitfelder hinsichtlich ihres Versorgungsspannungsanschlusses priorisiert. Das heißt, die Bitfelder der höchstwertigen Bits (engl.: *most significant bit*, MSB) werden so positioniert, dass sie am nächsten zu den Versorgungsspannungs-Pads liegen bzw. eine möglichst direkte Spannungszuführung erhalten. Der Anordnung der Bitfelder liegt demnach eine reine Vorsichtsmaßnahme zugrunde. Aus dieser Überlegung und dem Layout aus Abb. 3.2 ergibt sich die Anordnung der Bitfelder in Abb. 3.24. Messungen geben später keinen Anlass zur Annahme von Bitfehlern.

Den Aufbau eines Speicherfelds zeigt Abb. 3.25. 32.768 Speicherzellen sind in einer Speichermatrix mit 512 Zeilen und 64 Spalten angeordnet. Zur Ansteuerung der Wortleitungen dient ein Zeilendekodierer, welcher aus den neun eingehenden Adressbits die entsprechende Wortleitung dekodiert, welche dann zum gegebenen Zeitpunkt aktiviert wird. Zur Vermeidung von Fehlern, insbesondere bezüglich der Lesezugriffszeit oder gar durch Änderungen des Speicherinhalts beim Lesezugriff, dient eine Vorladeschaltung, welche die Bitleitungen nominal auf  $U_{DD}/2$  vor dem Lesezugriff vorlädt. Die implementierte Vorladeschaltung entspricht jenem  $U_{DD}/2$ -Generator aus [95]. Um die Bitleitungen zeitlich präzise vorzuladen, ist die Vorladeschaltung an ihrem  $U_{DD}/2$ -Ausgang über TG, welche über einen Steuerimpuls zum entsprechenden Zeitpunkt synchron transparent geschaltet werden, mit den Bitleitungen verbunden. Die Synchronität der Vorladung aller Bitleitungen ergibt sich aus dem Umstand, dass die Speicherfelder zeilenweise ausgelesen werden. Eine entsprechend dimensionierte Pufferkapazität, welche während des intransparenten Zustands der TG vom  $U_{DD}/2$ -Generator aufgeladen wird, stellt während des kurzen Moments hoher Belastung beim Vorladen der Bitleitungen die benötigte Ladung zur Verfügung. Das zentrale Zugriffselement für alle drei Betriebsmodi ist die Registereinheit, welche über einen bidirektionalen Kanal, der weitere Schaltungen enthält, mit den Bitleitungen verbunden ist. Beim Lesen des Speicherinhalts





**Abbildung 3.25:** Aufbau eines Speicherfeldes nach [32, 72, 94] mit den wesentlichen Komponenten: Speicherzellen, Zeilendekodierer zur Ansteuerung der Wortleitungen, Vorladeschaltung (symbolische Darstellung), Bewerterschaltungen (SA), Schreibtreiber sowie die Registereinheit. Ein Speicherfeld besteht aus  $2^{N_{SF}} = 2^9 = 512$  Zeilen und  $2^{M_{SF}} = 2^6 = 64$  Spalten.

werden die differentiellen Bitleitungen über Bewerterschaltungen (engl.: *sense amplifier*, SA) der Registereinheit zugeführt. Umgekehrt wird beim Beschreiben der Speicherzellen der Inhalt jener Einheit über Schreibtreiber (CMOS-Inverter mit entsprechender Weite) auf die Bitleitungen übertragen. Über Analog-Multiplexer/Demultiplexer (A-MUX/DEMUX) [96] können die jeweiligen Schaltungsteile mit den Bitleitungen und der Registereinheit verbunden bzw. getrennt werden. Es ist anzumerken, dass in CMOS-Technik eine Realisierung von Multiplexern sowohl mit Gattern als auch mit Anlogschaltern (TG) möglich ist. Im Falle von Anlogschaltern ist die Signalübertragung bidirektional und der MUX ist identisch mit dem Demultiplexer (DEMUX) [96]. Wie in [96] wird dafür im Weiteren die Bezeichnung

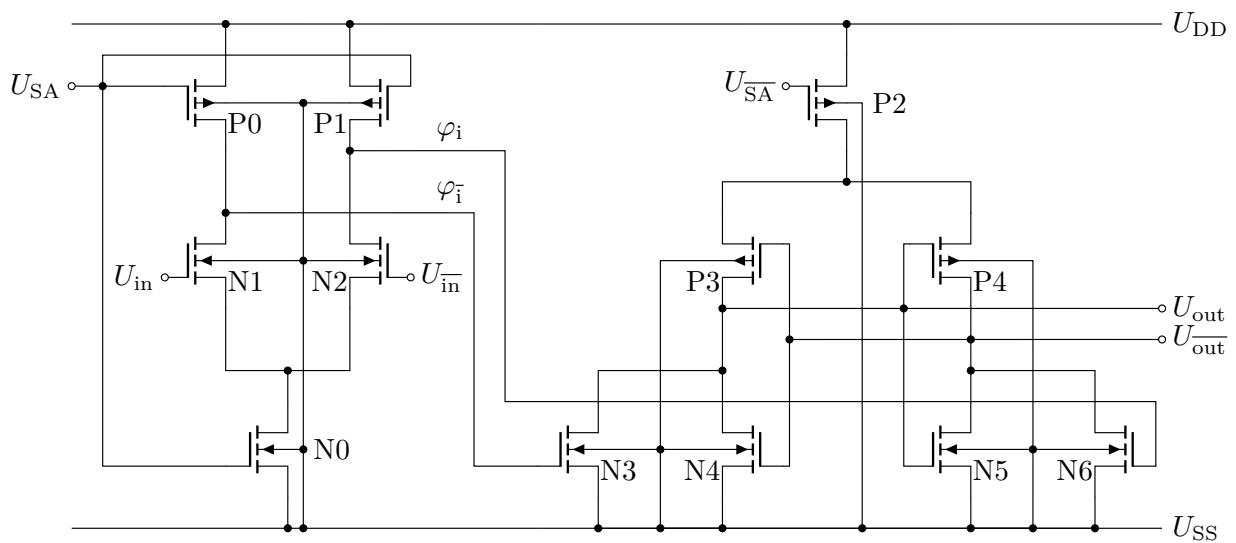


Abbildung 3.26: Schaltplan der Bewererschaltung nach [97].

des A-MUX/DEMUXs verwendet, nicht zu verwechseln mit dem AMUX. Wenn eine reine MUX- oder DEMUX-Funktion gemeint ist, wird die jeweilige konkrete Bezeichnung gewählt, unabhängig von der schaltungstechnischen Realisierung.

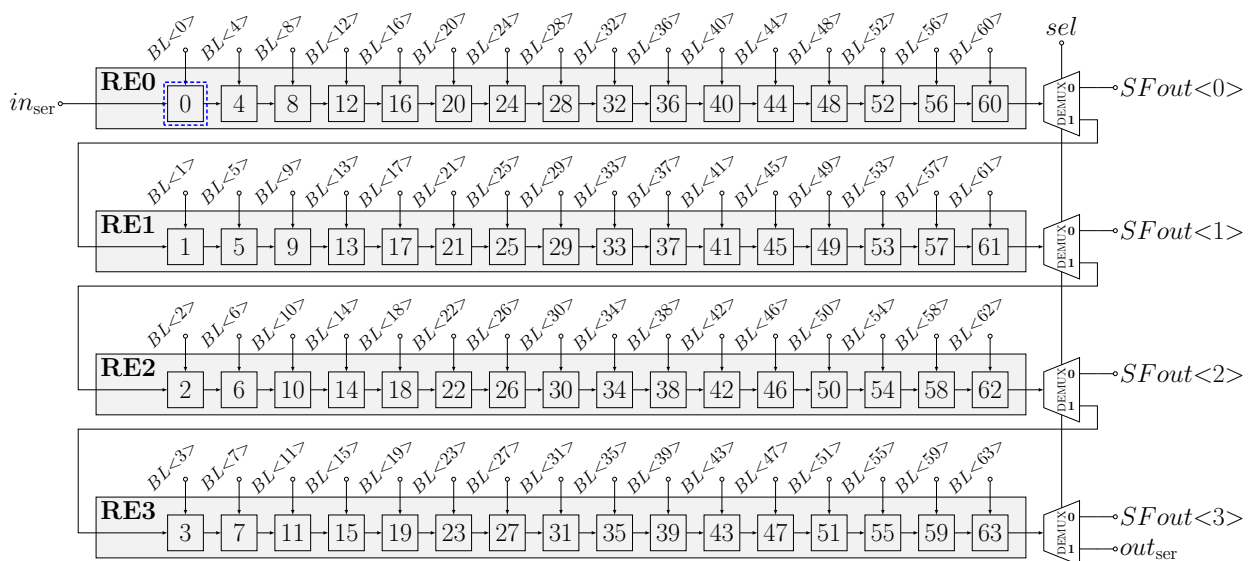
Allgemein sind bei Schaltungen wie dem Speicher mit einer großen Anzahl gleicher Schaltungen Ausbeutebetrachtungen unabdingbar, was anhand der Bewererschaltungen exemplarisch nachvollzogen werden soll. Beim Auslesen des Inhalts einer Speicherzelle werden die Bitleitungen nicht vollständig umgeladen, da ihre jeweilige Kapazität in Kombination mit jener angeschlossener Schaltungen entsprechend groß in Relation zur Stromergiebigkeit einer Speicherzelle ist, die Umladung über die kleinen Auswahltransistoren ( $N_{AXL}$  bzw.  $N_{AXR}$  in Abb. 3.28) hindurch erfolgt und zudem nur eine gewisse Zeit für den Zugriff zur Verfügung steht. Folglich ist eine Bewererschaltung als Entscheider erforderlich, welche die nur zum Teil ausgesteuerten Signalpegel der differentiellen Bitleitungen bewerten bzw. entscheiden. Generell können damit kleine Spannungsunterschiede an Lastkapazitäten erkannt werden. Die getaktete, spannungsbasierte Bewererschaltung aus [97] – als *Double-Tail Latch-Type Voltage Sense Amplifier* bezeichnet – mit dem Schaltplan gemäß Abb. 3.26 erfüllt diese Funktion und stellt einen effektiven Komparator dar. Über das Aktivierungssignal (Spannung  $U_{SA}$ ) kann sie zur entsprechenden Zeit aktiviert werden und hat dadurch, abgesehen von Leckströmen, keine statische Leistungsaufnahme während der passiven Phase. Es handelt sich um eine zweistufige Struktur bestehend aus einer Eingangsstufe mit hoher Eingangsimpedanz und einer Latch-Stufe. Während der Reset-Phase ( $U_{SA} = 0\text{ V}$ ) werden die Knoten  $\varphi_i$  und  $\varphi_{\bar{i}}$  auf  $U_{DD}$  aufgeladen und somit die Ausgangsspannungen  $U_{out}$  und  $U_{\bar{out}}$  auf  $U_{SS} = 0\text{ V}$  gezogen. In der aktiven Phase ( $U_{SA} = U_{DD}$ ) schalten die Transistoren N0 und P2 ein und an den Knoten  $\varphi_i/\varphi_{\bar{i}}$  bildet sich eine differentielle Spannung  $\Delta\varphi_i$  aus. Die Zwischenstufe

aus N3 und N6 überträgt diese Spannungsdifferenz an die beiden kreuzgekoppelten Inverter bestehend aus P3/N4 und P4/N5. Zuletzt regenerieren die beiden Inverter das Signal [97]. Eine wichtige Größe, welche sich direkt auf die Zuverlässigkeit und die Ausbeute auswirkt, ist die eingangsbezogene Offset-Spannung  $U_{\text{Offs,SA}}$ . Sie gibt diejenige Spannungsdifferenz an, welche angelegt werden muss, um die kreuzgekoppelten Inverter in den metastabilen Zustand zu bringen, also die Ausgangsdifferenzspannung 0 V zu erzwingen. Nur wenn die Eingangsspannungsdifferenz  $\Delta U_{\text{in}} = U_{\text{in}} - U_{\text{in}}$  größer als diese Spannung ist, kippt die Schaltung in die richtige Richtung; sonst schlägt die Entscheidung fehl [72, 98]. Statistische Betrachtungen sollen gemäß [98] nachvollzogen werden. Denn in Verbindung mit Herstellungsschwankungen und Rauschen, aber auch durch systematische Effekte wie Layout-Asymmetrien, kann bei kleinen Eingangsspannungsdifferenzen unter Umständen eine falsche Entscheidung getroffen werden. Des Weiteren spielen asymmetrische Lastkapazitäten eine Rolle. Daher muss durch geeignete Ansteuerung sichergestellt werden, dass die Schaltung erst aktiviert wird, wenn die Eingangsspannungsdifferenz groß genug ist – deutlich größer als die Offset-Spannung. Unter Annahme einer Gauß-Verteilung der Offset-Spannung ergibt sich die Ausbeute  $Y_{\text{SA}}$  bei einer Eingangsspannungsdifferenz  $\Delta U_{\text{in}}$  zu:

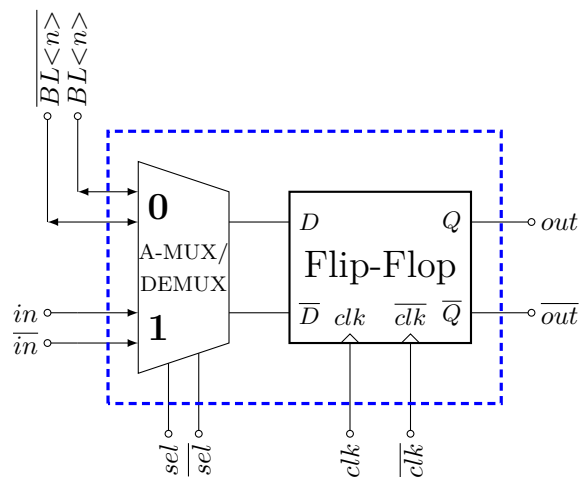
$$Y_{\text{SA}}(\Delta U_{\text{in}}) = \mathcal{P}(U_{\text{Offs,SA}} \leq \Delta U_{\text{in}}) = \frac{1}{2} + \frac{1}{\sqrt{2\pi}} \cdot \int_0^{\Delta U_{\text{in}}/\sigma_{\text{Offs,SA}}} e^{-\frac{x^2}{2}} dx . \quad (3.32)$$

Die Ausbeute entspricht der Wahrscheinlichkeit  $\mathcal{P}$ , dass  $U_{\text{Offs,SA}} \leq \Delta U_{\text{in}}$ . Wird der Mittelwert vernachlässigt, charakterisiert die Standardabweichung  $\sigma_{\text{Offs,SA}}$  als quantitativer Parameter die Verteilung der Eingangs-Offset-Spannung. Die Offset-Spannung entspricht streng genommen dem metastabilen Zustand der Inverter; hier wird jedoch vorzugsweise die Ausbeute simuliert [98]. Die Analyse der Ausbeute von 1.000 Monte-Carlo-Simulationen einer mit Invertern belasteten, aber ansonsten isoliert betrachteten Bewerterhaltung auf Schaltplanebene ergibt  $\sigma_{\text{Offs,SA}} \approx 10$  mV. Angesichts der Implementierung von 4.096 Bewerterhaltungen pro Chip ist durch präzises Timing bei der Aktivierung dieser sicherzustellen, dass eine ausreichend hohe Eingangsspannungsdifferenz vorliegt, welche weit über  $\sigma_{\text{Offs,SA}}$  und  $3\sigma_{\text{Offs,SA}}$  liegt; im konkreten Fall deutlich über 500 mV zum Aktivierungszeitpunkt, womit Extremfälle abgedeckt sind. Diese Betrachtungen zeigen exemplarisch das Vorgehen bei Untersuchungen zur Zuverlässigkeit und stehen stellvertretend für analoge Untersuchungen bei anderen Schaltungsteilen des Speichers.

Der Zugriff auf ein Speicherfeld erfolgt über eine Registereinheit, welche in Abb. 3.27 dargestellt ist. Sie bildet zugleich die Schnittstelle nach außen. Jedes Speicherfeld ist mit einer Einheit verbunden, womit jedes Bitfeld vier solcher Einheiten enthält. Eine Einheit besteht aus vier erweiterten Schieberegistern (Teilregister) sowie vier DEMUXn. Die einzelnen Zellen  $0, \dots, 63$  setzen sich jeweils wiederum aus einem A-MUX/DEMUX und einem Flip-Flop



(a)



(b)

**Abbildung 3.27:** Aufbau einer Registerereinheit (RE). (a) zeigt die gesamte Einheit, bestehend aus vier erweiterten Schieberegistern sowie vier DEMUXn. In (b) ist der Aufbau eines der 64 Speicherelemente dargestellt. Am Eingang eines Flip-Flops befindet sich ein A-MUX/DEMUX, wobei der obere Kanal bidirektional und der untere unidirektional verwendet wird. Die Variable  $n$  repräsentiert eine der 64 Bitleitungen  $BL\langle 0 \rangle, \dots, BL\langle 63 \rangle$ . Treiber und Entscheider gemäß Abb. 3.25 sind nicht eingezeichnet.

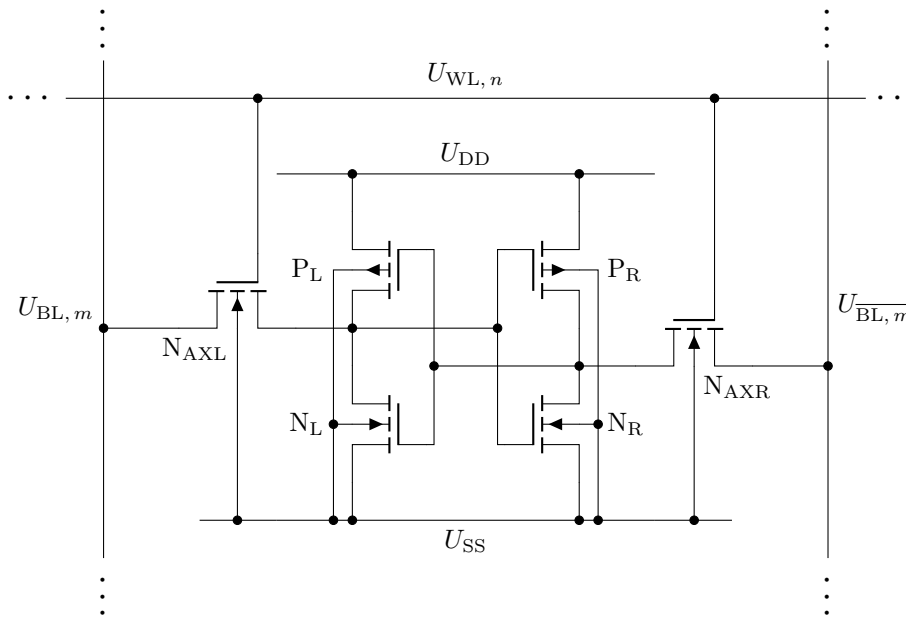
zusammen. Der Aufbau der differentiellen Flip-Flops entspricht jenem in [75]. Die erweiterten Schieberegister sind indirekt, aber bidirektional mit den Bitleitungen als Ein- bzw. Ausgänge verbunden, haben einen seriellen Dateneingang ( $in_{ser}$ ) sowie einen seriellen Datenausgang ( $out_{ser}$ ), beide unidirektional. Letztere sind mit der externen Schnittstelle verbunden und bilden den Dateneingang bzw. -ausgang im Schreib- bzw. Debug-Modus. Über einen MUX wird nur eines der vier  $out_{ser}$ -Signale je Bitfeld an die zentrale Einheit geleitet, im Folgenden als  $debug_{int0}\langle 7:0 \rangle / debug_{int1}\langle 7:0 \rangle$  für alle acht Bitfelder beider Speicherblöcke 0/1 bezeichnet.

Darüber hinaus können die erweiterten Schieberegister an den Ausgängen über DEMUX in zwei Konfigurationen betrieben werden, wie in Abb. 3.27a dargestellt: parallel (DEMUX-Ausgänge „0“) und seriell (DEMUX-Ausgänge „1“). Weiterhin kann die Verbindung an den Eingängen der Flip-Flops über einen A-MUX/DEMUX selektiert werden (vgl. Abb. 3.27b). Konkret bedeutet dies folgende Konfigurationen der gesamten Registereinheit in den drei Betriebsmodi:

- *Schnelles Auslesen*: Die Bitleitungen werden über die Bewertererschaltungen auf die Flip-Flop-Eingänge geschaltet (A-MUX/DEMUX-Konfiguration „0“), sodass parallel eine Zeile mit 64 bit in die Flip-Flops der Registereinheit übernommen wird. Die vier erweiterten Schieberegister werden separat ausgelesen (DEMUX-Ausgänge „0“), also parallel bezüglich der vier Teilregister insgesamt und seriell bezüglich eines Teilregisters. In diesem Fall haben die Teilregister die Funktion eines Registers mit parallelem Eingang und serielltem Ausgang (engl.: *parallel in serial out*, PISO).
- *Speicher beschreiben*: In diesem Fall werden verschiedene Konfigurationen der A-MUX/DEMUX und DEMUX verwendet. Zunächst werden die Daten einer Zeile (64 bit) von außen seriell über den Eingang  $in_{ser}$  in die seriell hintereinandergeschalteten Teilregister getaktet (A-MUX/DEMUX-Konfiguration „1“, DEMUX-Ausgänge „1“). Dies geschieht zunächst unabhängig von der Ziel-Zeile in allen Registereinheiten. Nach Abschluss des Vorgangs werden die A-MUX/DEMUX umgeschaltet (A-MUX/DEMUX-Konfiguration „0“) und die eingeschriebenen Daten über Schreibtreiber auf die Bitleitungen geschrieben. Eine Logikschaltung kombiniert aus einer beim Schreibvorgang ebenfalls eingeschriebenen Adresse (s. Anhang D) die Wortleitung der zu beschreibenden Zeile und aktiviert ausschließlich diese. Insofern werden die Teilregister als Register mit serielltem Eingang und parallelem Ausgang (engl.: *serial in parallel out*, SIPO) betrieben.
- *Serielles Auslesen*: Zu Beginn wird der Inhalt einer Zeile, welche durch eine zuvor eingetaktete Adresse ausgewählt wurde (s. Anhang D), über die Bitleitungen und die Bewertererschaltungen in die entsprechende Registereinheit übernommen (A-MUX/DEMUX-Konfiguration „0“). Anschließend werden die übernommenen Daten seriell über alle vier Teilregister hinweg über  $out_{ser}$  bzw. weiter über einen gemeinsamen Ausgang nach außen geführt (A-MUX/DEMUX-Konfiguration „1“, DEMUX-Ausgänge „1“). Die gesamte Registereinheit wirkt als PISO-Register.

Details zur internen und externen Steuerung des Speichers sind in Anhang D gegeben. Dort werden auch explizit das Beschreiben und serielle Auslesen präsentiert.

Auf der hierarchisch untersten Ebene steht die eigentliche Speicherzelle. Sie ist als klassische Sechs-Transistor-Zelle realisiert und in Abb. 3.28 illustriert. Bei einer Gesamtspeichergröße von 256 KiByte = 2 Mibit ist sie insgesamt 2.097.152 mal auf dem Chip implementiert, womit

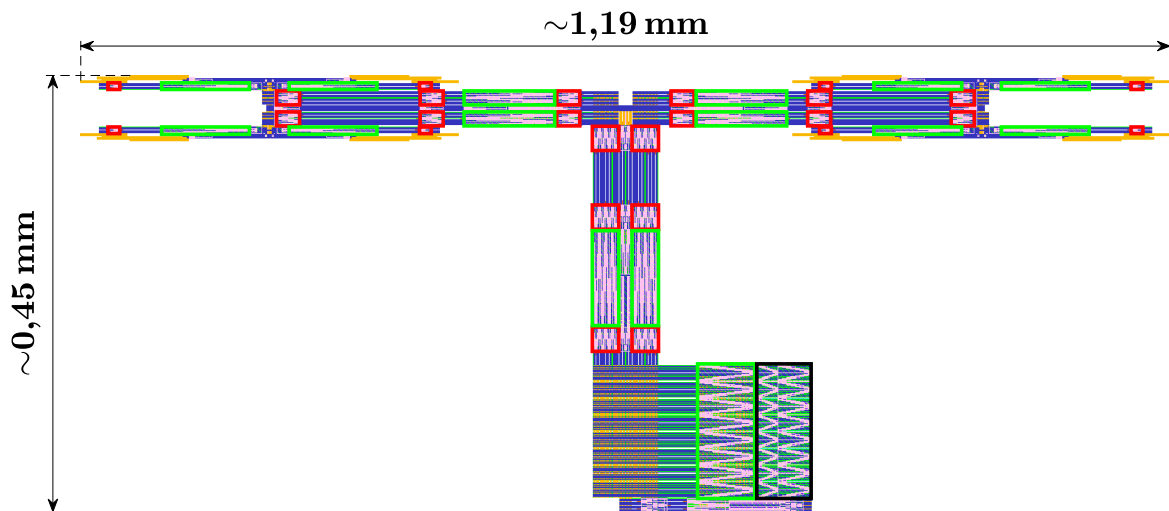


**Abbildung 3.28:** Sechs-Transistor-Zelle nach bspw. [72]. Darin bezeichnen  $U_{WL,n}$ ,  $U_{BL,m}$  und  $U_{\overline{BL},m}$  die Spannungen an der Wortleitung der Zeile  $n$  bzw. an der differentiellen Bitleitung der Spalte  $m$ .

die Zuverlässigkeit der Zelle im System Speicherfeld von außerordentlicher Bedeutung ist. Diverse Untersuchungen und Dimensionierungsfragen, auf die hier nicht näher eingegangen wird, mit analogen Betrachtungen zu den oben exemplarisch für die Bewerterhaltung aufgezeigten Analysen wurden durchgeführt und simulativ beantwortet, um die Fehlerwahrscheinlichkeit extrem gering zu halten, bei gleichzeitig möglichst kleiner Zellfläche. In [72] werden vier Ausfallmechanismen genannt. Ergänzt werden diese durch die bereits genannten lokalen und globalen Spannungseinbrüche, welche bedingt durch Stromstöße während des Betriebs und insbesondere beim Starten des Speichers auftreten können. Somit sind folgende Ausfallmechanismen relevant [72], die es zu untersuchen gilt:

1. Fehler in Ruhestellung (*hold failure*).
2. Verändern des Zellinhalts während eines Lesevorgangs (*read failure*).
3. Fehler während eines Schreibvorgangs (*write failure*).
4. Fehler bezüglich der Zugriffszeit (*access-time failure*).
5. Fehler durch Kippen von Speicherelementen (Speicherzellen, Flip-Flops) bedingt durch Einbruch der Versorgungsspannung.

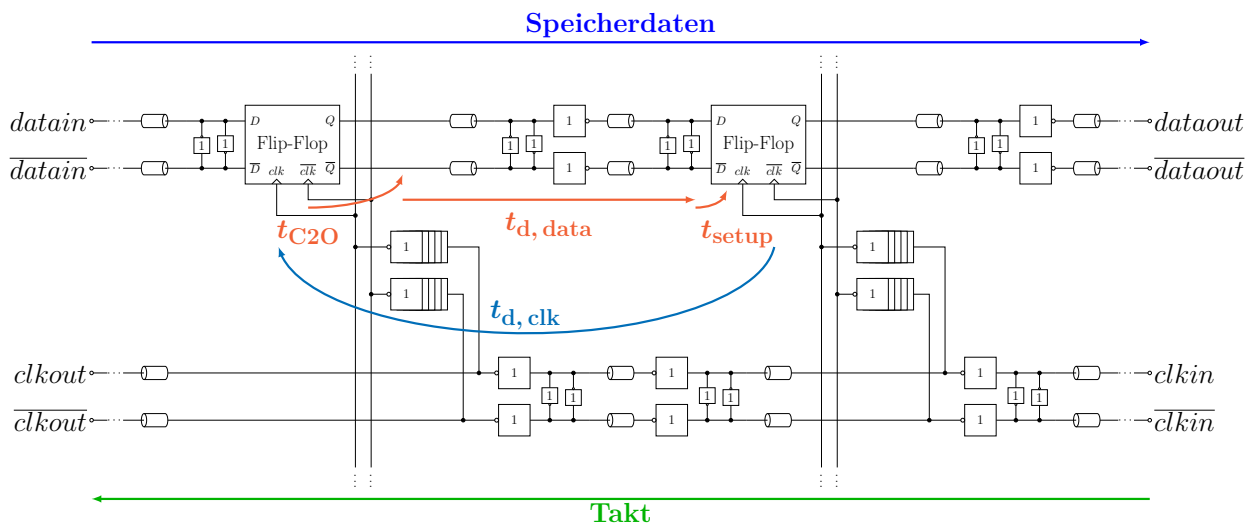
Zur Analyse werden auch entsprechende Störabstände herangezogen. Die Stabilität der Versorgungsspannung stellt aufgrund des Lastsprungs insbesondere beim Starten des Speichers eine Herausforderung dar.



**Abbildung 3.29:** Layout der oberen Datenübertragungsleitungen zwischen Bitfeldern, DAU-Kern sowie zentraler Steuersignaleinheit. Die aktiven Komponenten in den Pfaden der 128 differenziellen Datenkanäle sind farblich umrandet: CMOS-Inverter als Treiber (rot), Flip-Flops (grün), Treiberstufe vor DAU-Kern (schwarz). Die Signale an die Bitfelder, zu denen auch das Taktsignal gehört, sowie die Debug-Signale zum seriellen Auslesen in Richtung der zentralen Einheit verlaufen in den Pfaden ohne Kennzeichnung aktiver Elemente.

### 3.5.2 Datenübertragung zwischen Speicher, zentraler Steuersignaleinheit und Digital-Analog-Umsetzer-Kernen

Zuletzt sind die Daten- und Steuersignalleitungen zur Anbindung und Steuerung des Speichers Gegenstand der Diskussion. Die Datenübertragung von und zum Speicher, insbesondere die parallele Datenübertragung von in Summe 256 differenziellen Kanälen bei  $f_s/32$  bit im Modus des schnellen Auslesens, stellt eine Herausforderung hinsichtlich Abtastung und Belastung dar. Sie belasten die Versorgungsspannung aufgrund zahlreicher Treiber-Inverter und Flip-Flops stark dynamisch, sowohl periodisch als auch datenabhängig und sind in die Speicher-Domäne integriert. Insgesamt werden folgende Daten je Speicherblock übertragen: 128 differenzielle Datenleitungen vom Speicher an einen DAU-Kern, 8 Leitungen der Bitfelder an die zentrale Einheit mit den Signalen des seriellen Auslesens, vier differenzielle Taktleitungen zu den Bitfeldern, 25 Steuerleitungen von der zentralen Einheit zu den Bitfeldern. Es wird keine spezielle Impedanzanpassung in den Übertragungsleitungen vorgenommen. Abbildung 3.29 zeigt den Ausschnitt der oberen Hälfte dieser Leitungen entsprechend „TL0“ in Abb. 3.2, der die Einbettung in das Gesamtsystem entnommen werden kann. Die mehrfache „H“-Struktur ist deutlich zu erkennen und wird von der unteren Chip-Hälfte entsprechend durch Spiegelung ergänzt. Auch in diesem Teil gibt es zahlreiche Dimensionierungsfragen und kritische Timings von Daten und Signalen zwischen den Bitfeldern und den DAU-Kernen



**Abbildung 3.30:** Prinzipielles Abtastschema auf dem Datenbus im Modus des schnellen Auslesens. Takt und Daten sind gegenläufig. Anordnung der Flip-Flops und Inverter variieren je nach Abschnitt. Zu jedem DAU-Kern führen 128 differenzielle Leitungen; hier ist exemplarisch eine differenzielle Leitung gezeigt. Die differenzielle Taktleitung wird vierfach parallel geführt. Längere Leitungsstücke (ohne Impedanzanpassung) sind durch Leitungssymbole markiert, wobei die Längen je nach Abschnitt variieren.

sowie zwischen der zentralen Einheit und den Bitfeldern aufgrund der langen Wege und dem Umstand, dass Takt- und Datensignale in entgegengesetzten Richtungen verlaufen. In Abb. 3.30 wird das Prinzip des Abtastschemas der Daten in Richtung der DAU-Kerne erläutert. Es handelt sich um ein prinzipielles Schema. Dabei variiert die Anordnung von Invertern und Flip-Flops in unterschiedlichen Abschnitten je nach Anforderung. Die Datenpfade enthalten CMOS-Inverter als Treiber, Kreuzkopplungselemente, Leitungsabschnitte sowie Flip-Flops. Ein Ausschnitt einer solchen Treiberstufe im Hauptstrang ist in Abb. E.3 in Anhang E dargestellt. Die Taktpfade enthalten ebenfalls Treiber-Inverter mit Kreuzkopplung auf den Übertragungsleitungen sowie parallel dazu Treiberstufen mit Invertern zunehmender Treiberstärke, um die große Last der Flip-Flops zu treiben. Hierin liegt auch die Begründung, dass das Taktsignal vierfach parallel geführt wird und die Flip-Flops mit den verbundenen Treiberstufen aus allen Taktpfaden angesteuert werden. Längere Leitungsstücke sind durch Leitungssymbole angedeutet, wobei sich bereits die Treiber- und Flip-Flop-Stufen über längere Distanzen strecken und in sich längere Leitungsabschnitte enthalten, wie in Abb. 3.29 ersichtlich ist. Das Abtastschema unterliegt einer strengen Timing-Bedingung. Nur durch Einhaltung von Gl. (3.33) ist eine korrekte Datenübertragung bei voller Taktratenflexibilität bis zur maximalen Umsetzungsrate möglich.

$$t_{C2O} + t_{d, data} + t_{setup} + t_{d, clk} \stackrel{!}{\leq} \frac{1}{f_{mem}} \quad (3.33)$$



Die Summe aus Ausgangsverzögerungszeit eines Flip-Flops (*Clock-to-Output-Zeit*,  $t_{C2O}$ ), Datenverzögerungszeit  $t_{d, \text{data}}$ , Setup-Zeit des nächsten Flip-Flops  $t_{\text{setup}}$  sowie Taktverzögerungszeit  $t_{d, \text{clk}}$  muss kleiner oder gleich einer Taktperiode  $1/f_{\text{mem}} = 32/f_s$  sein. Das Gleichheitszeichen stellt einen Grenzfall dar. Die insgesamt 16 Leitungen zum seriellen Auslesen der Bitfelder unterliegen nicht dieser Bedingung, da sie direkt über MUX nach außen geführt werden und dort entsprechend der Ansteuerung interpretiert werden.

Allerdings unterliegen Teile der 25 Steuersignale in umgekehrter Richtung einer weiteren Timing-Anforderung. Zum einen müssen die Signale des schnellen Auslesens, die in der zentralen Einheit generiert und zu einer definierten Taktflanke ausgegeben werden, in den Bitfeldern erneut abgetastet werden, um die relative zeitliche Abfolge beizubehalten und in allen Bitfeldern Einheitlichkeit zu garantieren. Denn durch die langen Übertragungswege und Asymmetrien unterliegen diese Signale analogen Verzögerungszeiten, was eine erneute Abtastung erforderlich macht. Zum anderen gilt für das Datensignal beim Beschreiben eine entsprechende Anforderung. Generell gilt für eine Anordnung, in der Takt (Frequenz  $f_{\text{mem}}$ ) und Daten in dieselbe Richtung übertragen werden, die Timing-Bedingung nach Gl. (3.34) für eine korrekte Abtastung.

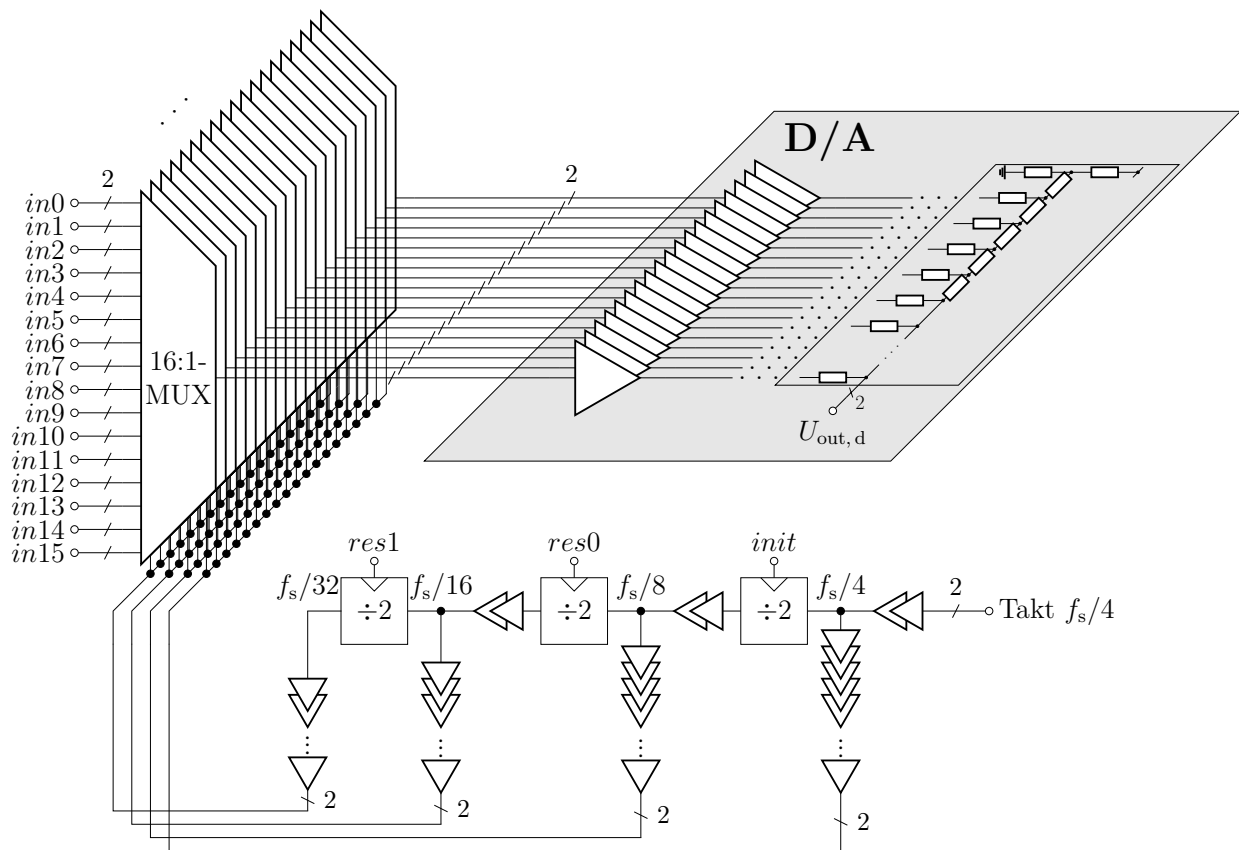
$$t_{d, \text{clk}} \stackrel{!}{\leq} t_{C2O} + t_{d, \text{data}} \stackrel{!}{\leq} t_{d, \text{clk}} + \frac{1}{f_{\text{mem}}} - t_{\text{setup}} \quad (3.34)$$

Damit sind die wesentlichen Teile zur Bereitstellung der digitalen Daten auf dem Chip beschrieben, welche über die Übertragungsleitungen den DAU-Kernen zugeführt werden.

## 3.6 Die Digital-Analog-Umsetzer-Kerne

Die Operation der Digital-Analog-Umsetzung findet in den DAU-Kernen statt. Abbildung 3.31 zeigt das Blockschaltbild eines solchen. Er besteht aus einem digitalen Eingang, digitalen MUXn sowie einem Umsetzungsblock. Der gesamte Kern ist (pseudo-)differenziell ausgeführt. Insgesamt steuern 19 Kanäle, jeder bestehend aus einem 16:1-MUX sowie einer Ausgangsstufe, ein Widerstandsnetzwerk an, in welchem die eigentliche Digital-Analog-Umsetzung für nominal  $N_{\text{DAU}} = 8$  bit durchgeführt wird. Die Anzahl der Kanäle ergibt sich aus der pseudo-segmentierten Architektur: 15 Kanäle für den unären Teil, vier Kanäle für den  $R$ - $2R$ -Teil. Das Takt-Netzwerk zur Ansteuerung des digitalen MUXs ist bereits aus Kap. 3.4.2 bekannt. Jeder DAU-Kern umfasst vier Versorgungsspannungsdomänen: Taktteiler, Takttreiber, MUX und Ausgangsstufen. Außerdem ist das FBB variabel extern einstellbar – global für alle Schaltungsteile.

Bevor der Datenpfad vorgestellt wird, werden zunächst allgemeine Betrachtungen und Umsetzer-Topologien aufgezeigt sowie die verwendete pseudo-segmentierte Struktur einge-

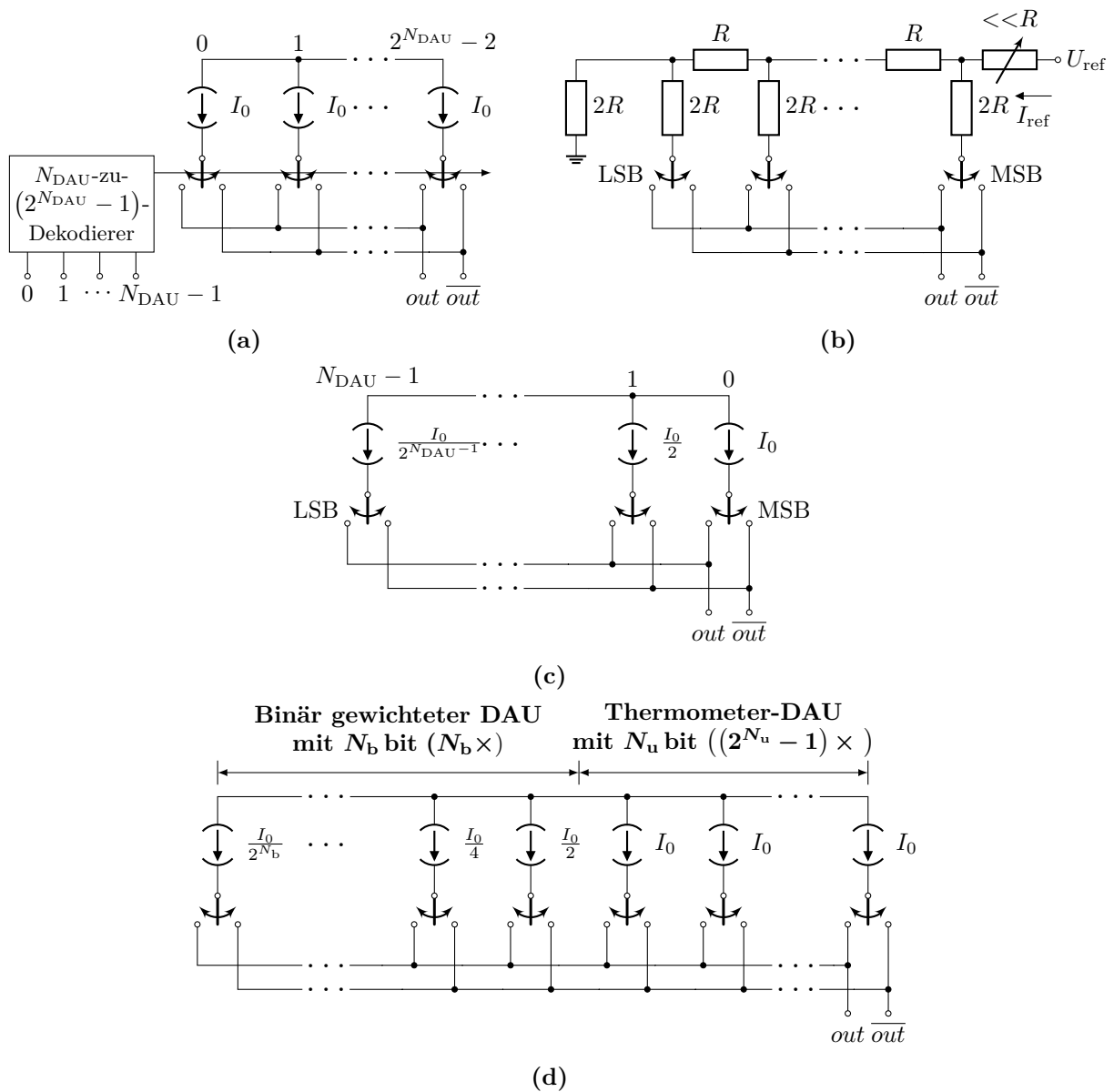


**Abbildung 3.31:** Blockschaltbild eines DAU-Kerns. Ein Widerstandsnetzwerk wird durch 19 Kanäle bestehend aus je einem 16:1-MUX und einer Ausgangsstufe getrieben. Es sind lediglich die Eingänge eines MUXs exemplarisch eingezeichnet. Ein vorgelagertes Dekodier-Netzwerk ist nicht dargestellt.

führt.

### 3.6.1 Allgemeine Betrachtungen und Topologien zur Digital-Analog-Umsetzung

Es gibt zahlreiche Realisierungsmöglichkeiten der Digital-Analog-Umsetzung [1, 2, 61, 62, 99]. So sind Architekturen basierend auf Widerständen, Kapazitäten oder auf Stromquellen möglich [1]. Häufig kommen dabei Stromschaltertopologien zum Einsatz. Abbildung 3.32 gibt einen Überblick über die wesentlichen DAU-Architekturen bei einer nominalen Auflösung  $N_{\text{DAU}}$  basierend auf Stromquellen und unabhängig von der konkreten schaltungstechnischen Ausgestaltung. Wichtige Vor- und Nachteile eines jeden Konzepts sind in Tab. 3.5 zusammengefasst, ohne auf konkrete Ausgestaltungen einzugehen und die jeweils spezifischen Aspekte zu diskutieren. Eine wichtige Frage bei der Bewertung der Konzepte ist, wie viele Schalter mit einer entsprechenden Änderung des Eingangscodes umschalten müssen. Die Größe des Störimpulses (*Glitch*) – die Abweichung eines realen Übergangs vom idealen Übergang, quantifiziert



**Abbildung 3.32:** DAC-Architekturen nach [1, 2, 61]. (a) Thermometer-DAC, (b)  $R$ - $2R$ -Netzwerk, (c) binär-gewichteter DAC sowie (d) segmentierte Struktur.

in Form einer Fläche [1, 61, 100] – hängt mit der Anzahl an Schaltern zusammen, die bei einer Änderung am Eingang umschalten. Ein Störimpuls kann durch kapazitives Übersprechen digitaler Übergänge auf den analogen Ausgang oder asynchrones bzw. asymmetrisches Umschalten der Schalter entstehen [61]. Ist die Anzahl der umschaltenden Quellen der Änderung des Eingangssignals proportional, ist der nichtlineare Beitrag geringer. Bei einer rein binären Realisierung eines 8-bit-DACs sind beispielsweise die Übergänge  $01111111 \leftrightarrow 10000000$  besonders kritisch, da hier alle Schalter umschalten, obwohl sich das Eingangssignal nur um 1 LSB ändert [1, 100]. Weitere Abweichungen können beispielsweise dadurch entstehen, dass sich steigende und fallende Übergänge in der Form unterscheiden oder dass Übergänge von

**Tabelle 3.5:** Vergleich unterschiedlicher Topologien zur Digital-Analog-Umsetzung nach [2, 19, 61, 100].

Architektur	Vorteile	Nachteile
Thermometer	<ul style="list-style-type: none"> <li>• Einheitliche Stufen/Quellen</li> <li>• Monotonie</li> <li>• Störimpuls-Reduktion</li> <li>• Linearität, Verzerrungen reduziert</li> </ul>	<ul style="list-style-type: none"> <li>• <math>2^{N_{\text{DAU}}} - 1</math> (Strom-)Quellen</li> <li>• Dekodier-Logik erforderlich</li> <li>• Große Fläche</li> </ul>
<i>R-2R</i> -Widerstandsnetzwerk	<ul style="list-style-type: none"> <li>• Nur zwei Widerstandswerte benötigt</li> <li>• Einheitliche Stufen</li> <li>• Keine Dekodier-Logik erforderlich</li> </ul>	<ul style="list-style-type: none"> <li>• Verlustleistung in den Widerständen</li> <li>• Präzises Widerstandsverhältnis erforderlich</li> </ul>
Binär gewichtet	<ul style="list-style-type: none"> <li>• <math>N_{\text{DAU}}</math> (Strom-)Quellen</li> <li>• Keine Dekodier-Logik erforderlich</li> </ul>	<ul style="list-style-type: none"> <li>• Große Stromverhältnisse bei entsprechender Auflösung</li> <li>• Präzise Stromverhältnisse erforderlich</li> <li>• Störimpuls</li> </ul>
Segmentiert	<ul style="list-style-type: none"> <li>• Störimpuls-Reduktion</li> <li>• Reduzierung der Anzahl an Stufen</li> </ul>	<ul style="list-style-type: none"> <li>• Zusätzliche Logik erforderlich</li> </ul>

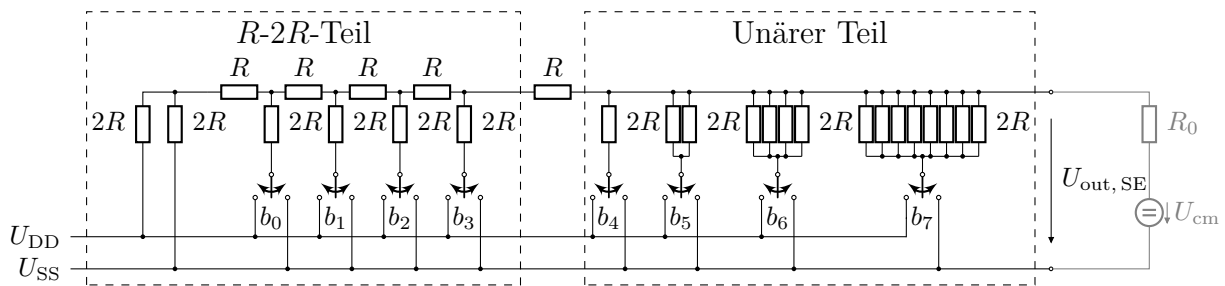
der Spannung am Ausgang abhängen [100]. Zusätzlich sei angemerkt, dass allgemein über eine belastete Versorgungsspannung Signalabhängigkeiten auftreten können, gegebenenfalls datenabhängig. Eine ähnliche Überlegung liefert Erklärungen zum Monotonie-Verhalten, die in der Thermometer-Architektur gesichert ist. Eine segmentierte Architektur stellt einen Kompromiss aus Komplexität, Flächenverbrauch, Leistungsaufnahme und den Vorteilen der Thermometer-Architektur, insbesondere der Reduktion von Verzerrungen, dar [19].

Die im Rahmen dieser Arbeit eingesetzte Umsetzer-Struktur, eine pseudo-segmentierte Architektur, ist ein weiterer Ansatz und wird im folgende Abschnitt näher betrachtet.

### 3.6.2 Die pseudo-segmentierte

#### Digital-Analog-Umsetzer-Architektur

Im Rahmen dieser Arbeit wird eine pseudo-segmentierte Struktur basierend auf der Grundstruktur aus Abb. 3.32d gewählt, die nachfolgend analysiert wird. Eine segmentierte Struktur kann in zwei Sub-DAU zerlegt werden: einen binär gewichteten DAU zur „Feineinstellung“ (LSBs) und einen Thermometer-DAU für den „groben“ Bereich (MSBs) [62, 101]. Die konkrete Ausgestaltung des vorliegenden DAUs unterscheidet sich allerdings von dieser allgemeinen Form. Zunächst wird der binäre Teil mittels eines *R-2R*-Netzwerks realisiert. Ersetzt man in

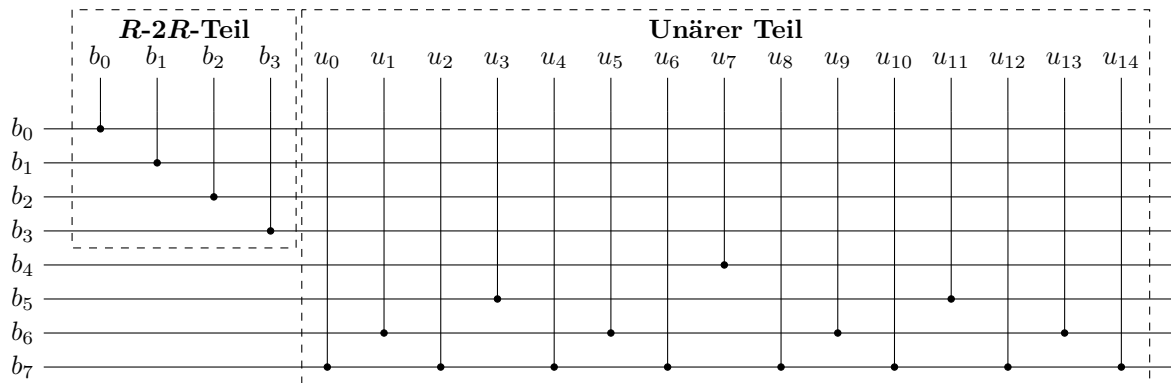


**Abbildung 3.33:** Ersatzschaltbild des Umsetzer-Netzwerks (SE). Es gliedert sich in einen  $R$ - $2R$ -Teil und einen unären Teil. Das Bit  $b_4$  kann prinzipiell zu beiden Teilen gezählt werden; es wird hier dem unären Teil zugeordnet. Die Verbindung der unären Bits vor den Widerständen ist lediglich symbolisch. Im vorliegenden Entwurf wird diese Verbindung vor den digitalen MUXn realisiert.

einer segmentierten Struktur den Thermometer-Dekodierer durch einen binären Dekodierer, führt man also eine binäre anstelle einer echten Thermometer-Dekodierung der Bits am Eingang durch, wird die Struktur als *Pseudo-Segmentierung* bezeichnet [19, 100]. Insofern handelt sich im eigentlichen Sinne wieder um einen binär gewichteten DAU. Zur Unterscheidung der strukturell unterschiedlichen Teile wird im Weiteren vom  $R$ - $2R$ -Teil für die vier LSBs mit strukturell inhärenter binärer Gewichtung und vom (pseudo-)unären Teil für die vier MSBs gesprochen. Dabei ist der unäre Teil nicht an eine Thermometer-Dekodierung gebunden. Im nächsten Schritt wird die Topologie in den Spannungsmodus übersetzt. Wenn gleich prinzipiell auch eine Beschreibung basierend auf Strömen äquivalent zur Betrachtung des Spannungsmodus ist, wird hier von Spannungsmodus gesprochen, da das schaltungstechnische Modell auf Schaltern basiert, die zwischen zwei Spannungswerten umschalten. Abbildung 3.33 zeigt das verwendete Umsetzer-Netzwerk im Spannungsmodus mit idealen Schaltern. Dieses Konzept wurde in einer ersten Untersuchung in [102] betrachtet. Im linken Teil ist das  $R$ - $2R$ -Netzwerk zu erkennen, das die vier LSBs bildet, während im rechten Teil die ursprüngliche Thermometer-Struktur, nun binär verschaltet, zu sehen ist und die vier MSBs realisiert. Die 15 einzelnen, einheitlichen Pfade im rechten Teil werden in Abgrenzung zur natürlichen binären Gewichtung im  $R$ - $2R$ -Teil im Weiteren als unäre Pfade bezeichnet, die den zugehörigen unären Teil bilden. Durch die Zusammenfassung der unären Pfade (1-2-4-8 Pfade) ergibt sich eine binäre Gewichtung – durch Verschaltung, nicht durch Skalierung. Bei dieser so kombinierten Struktur und der Implementierung im Spannungsmodus müssen die in Tab. 3.5 aufgeführten Vor- und Nachteile neu bewertet werden. Die Vorteile liegen in den einheitlichen Pfaden des unären Teils, der Verringerung der Anzahl an Pfaden durch den inhärent binären  $R$ - $2R$ -Teil im Vergleich zu einer rein unären Realisierung sowie im Verzicht auf eine komplexe, aktive Dekodier-Logik, die durch eine rein passive Verdrahtungsmatrix des unären Teils (Dekodier-Netzwerk) ersetzt wird. Die Synchronisierung der Pfade erfolgt in den vorgeschalteten digitalen MUXn. Des Weiteren sind sämtliche Pfade, bestehend aus einem Schalter, welcher durch einen CMOS-Inverter realisiert wird, und einem seriellen

$2R$ -Widerstand, durchgehend gleichartig. Diese Kombination aus Schalter (Inverter) und  $2R$ -Serienwiderstand wird im Weiteren als Quelleneinheit bezeichnet und weist Analogien zu *Source-Series-Terminated*-Treibern bzw. Sendern auf [71]. Einheitliche Quelleneinheiten mit Skalierung durch Zusammenfassen zeigen im Gegensatz zu skalierten Quellen eher ein der Gewichtung proportionales dynamisches Verhalten, was sich positiv auf das lineare Verhalten auswirkt. Denn parallele Transistoren verhalten sich anders als Transistoren mit skalierten Weiten und beheben das Problem unterschiedlicher Lasten in den Pfaden [19, 100]. Als Nachteile verbleiben das erforderliche präzise Widerstandsverhältnis im  $R$ - $2R$ -Teil sowie das Aufgeben der prinzipiellen Monotonie und der Störimpuls-Reduktion mit negativen Auswirkungen auf das dynamische Verhalten aufgrund der binären Verschaltung des unären Teils, welcher keinen echten Thermometer-DAU mit dem Eingangssignal proportionalen Änderungen mehr darstellt. Andere Einflüsse u. a. durch Unterschiede in steigenden und fallenden Übergängen, ein Einfluss der Spannung am Ausgang auf die Übergänge [100] sowie Versorgungsspannungsvariationen, Jitter und asynchrone Effekte sind ohnehin möglich. Außerdem muss darauf geachtet werden, dass systematische Fehler zwischen den beiden Teil-DAUs reduziert werden [100]. Dabei ist vorteilhaft, dass die gleichen Quelleneinheiten in beiden Teilen verwendet werden. Bei der Wahl der Segmentierung – 4 bit im  $R$ - $2R$ -Teil, 4 bit unären Teil – ist folgende Abwägung zu treffen: Prinzipiell ist eine rein unäre Realisierung anzustreben, da diese der Thermometer-Architektur ähnlicher ist. Sie verlangt im Gegensatz zum  $R$ - $2R$ -Teil kein präzises Widerstandsverhältnis von 1:2 und ist diesbezüglich robuster gegenüber Bauelementschwankungen. Allerdings steigt die Anzahl der benötigten Pfade mit der Auflösung  $N_{\text{DAU}}$  exponentiell (präzise:  $2^{N_{\text{DAU}}} - 1$ ) an, was zu einer massiv erhöhten Leistungsaufnahme in den Pfaden und in den benötigten Takttreibern führt. Darüber hinaus nimmt der Flächenbedarf entsprechend zu mit einhergehenden Problemen bei Ansteuerung, Taktverteilung etc., was zu einer Minderung der Performanz führen kann. Die so getroffene Wahl für den DAU mit einer Auflösung  $N_{\text{DAU}} = N_{\text{b}} + N_{\text{u}} = 8$  bit von  $N_{\text{b}} = 4$  bit im  $R$ - $2R$ -Teil und  $N_{\text{u}} = 4$  bit im unären Teil wird den Anforderungen gerecht. Das Bit  $b_4$  könnte ebenso zum  $R$ - $2R$ -Netzwerk gezählt werden, wird hier aber aufgrund der Konsistenz im unären Teil zu Letzterem gezählt. Beide Teile sind in dieser Definition über einen Widerstand  $R$  verbunden. Zuletzt sei angemerkt, dass die Verbindungen der unären Pfade zur binären Gewichtung bereits zu Beginn der vorgeschalteten MUX realisiert sind und nicht wie hier vereinfachend dargestellt nach den Schaltern.

Das zugehörige passive (Pseudo-)Dekodier-Netzwerk ist in Abb. 3.34 dargestellt. Es zeigt die Zuordnung der acht Bits aus einem Speicherblock zu den 19 DAU-Kanälen durch ein einfaches, rein passives Verdrahtungsnetzwerk. Die wechselweise Zuordnung im unären Teil dient der Verringerung von Gradientenfehlern [19, 100]. Einflüsse durch Randeffekte auf die Quelleneinheiten sollen durch Dummy-Widerstände an den Rändern des Ausgangsnetzwerks



**Abbildung 3.34:** Passives (Pseudo-)Dekodier-Netzwerk nach [19, 100]. Es zeigt die Zuordnung der acht Bits  $b_0, \dots, b_7$  aus einem Speicherblock auf 19 DAU-Kanäle:  $R$ - $2R$ -Teil  $b_0, \dots, b_3$  und unärer Teil  $u_0, \dots, u_{14}$ .

verringert werden. Aufgrund der 16-fach parallelen Datenzuführung aus dem Speicher vergrößert sich die Dekodier-Matrix entsprechend auf das 16-Fache; es existiert für jedes der nachfolgenden 16 MUX-Eingänge und dies jeweils differenziell. Die unterschiedliche Belastung der eingehenden Bits hat aufgrund der Dekodierung vor den digitalen MUXn auf der Ebene der geringsten Datenrate keine Auswirkung auf das analoge Ausgangssignal, da die Daten noch mehrfach abgetastet und regeneriert werden. Es muss lediglich sichergestellt werden, dass das kritischste Abtast-Timing des aufgrund des größten *Fanouts* am meisten belasteten Bits  $b_7$  im nachfolgenden Flip-Flop eingehalten wird. Entsprechend Abb. 3.30 muss die Einhaltung der Setup-Zeit von Flip-Flop zu Flip-Flop nun übergreifend von den Übertragungsleitungen über das Dekodier-Netzwerk bis zur Abtastung in den digitalen MUXn sichergestellt werden. Aufgrund der strengen Timing-Anforderungen und der hohen Last des MSBs wird die Dekodierung auf der unteren Taktebene durchgeführt.

Der Ausgangswiderstand des Netzwerks beträgt

$$R_{\text{out}} = \frac{2R}{2^{N_u} - 1} \parallel 2R = \frac{R}{2^{N_u - 1}}. \quad (3.35)$$

Die Anpassung an den externen Lastwiderstand  $R_0$  erfordert

$$R_{\text{out}} = \frac{R}{2^{N_u - 1}} \stackrel{!}{=} R_0, \quad (3.36)$$

sodass sich der Wert für  $R$  zu

$$R = 2^{N_u - 1} \cdot R_0 \quad (3.37)$$

ergibt, was im Falle von  $R_0 = 50 \Omega$  einen Wert von  $R = 400 \Omega$  verlangt.

Aus Abb. 3.33 kann die Ausgangsspannung  $U_{\text{out,SE}}$  für diesen Fall in Abhängigkeit des Eingangswortes durch sukzessive Betrachtung der Ersatzschaltungen mithilfe der Thévenin-Äquivalente der einzelnen Quellenelemente bis zum Ausgang und Superposition hergeleitet

werden. Im idealen Fall ergibt sich bei einem dezimalen Eingangswort  $d$  mit

$$d = \sum_{n=0}^{N_{\text{DAU}}-1} b_n \cdot 2^n = b_0 \cdot 2^0 + b_1 \cdot 2^1 + \dots + b_{N_{\text{DAU}}-1} \cdot 2^{N_{\text{DAU}}-1} \quad (3.38)$$

eine SE-Ausgangsspannung von

$$U_{\text{out,SE}} = \frac{U_{\text{DD}}}{2 \cdot 2^{N_{\text{DAU}}}} \cdot d + \frac{U_{\text{DD}}}{2 \cdot 2 \cdot 2^{N_{\text{DAU}}}} + \frac{U_{\text{cm}}}{2} = U_{\text{LSB}} \cdot d + \frac{U_{\text{LSB}}}{2} + \frac{U_{\text{cm}}}{2}, \quad (3.39)$$

mit

$$U_{\text{LSB}} = \frac{U_{\text{DD}}}{2^{N_{\text{DAU}}+1}}. \quad (3.40)$$

Insbesondere das  $R$ - $2R$ -Netzwerk ist aufgrund des erforderlichen Widerstandsverhältnisses von idealerweise 1:2 und der prozessbedingten Schwankungen der Widerstandswerte anfällig für Linearitätsfehler. Ebenso kann es in segmentierten Architekturen zu Abweichungen zwischen den Teilen kommen. Eine genauere analytische Beschreibung einschließlich dem Einfluss von Parameterschwankungen auf die Ausgangsspannung und somit auf die Linearität kann mithilfe des Modells nach [101] betrachtet werden. Schwankungen werden darin im Verhältnis aus linksseitigem Gesamtwiderstand und dem Serienwiderstand repräsentiert, womit Linearitätsfehler, beispielsweise beim Übergang vom  $R$ - $2R$ -Teil zum unären Teil erklärt werden können, wie sie in Kap. 5.2.2 auftreten.

Anstelle der Teilung von Strömen wie in Architekturen im Strommodus werden im Spannungsmodus demnach Spannungen geteilt [101]. Eine Besonderheit des Schaltplans aus Abb. 3.33 befindet sich im linken Teil. Für gewöhnlich wird der Abschluss von  $b_0$  nach links lediglich über einen  $2R$ -Widerstand zu  $U_{\text{SS}}$  hin realisiert. Hier wird ein weiterer  $2R$ -Pfad zu  $U_{\text{DD}}$  hin zusammen mit einem weiteren Widerstand  $R$  eingefügt. Dies bewirkt in Gl. (3.39) einen Offset von  $U_{\text{LSB}}/2$ , sodass für  $d = 0$  die Ausgangsspannung für  $U_{\text{cm}} = 0 \text{ V}$  nicht  $U_{\text{out,SE}} = 0 \text{ V}$ , sondern  $U_{\text{out,SE}} = U_{\text{LSB}}/2$  beträgt. Der Vorteil dieser Variante liegt in der Symmetrisierung um den Mittelwert  $(U_{\text{out,max}} + U_{\text{out,min}})/2 = U_{\text{cm}}/2 + U_{\text{DD}}/4$ . Neben der analytischen Betrachtung kann dieser  $2R$ -Pfad zu  $U_{\text{DD}}$  auch als neuntes Bit interpretiert werden, welches immer 1 ist. Ohne diesen Pfad gibt es kein bezüglich dem Mittelwert symmetrisches Pendant zu  $d = 0$  (vgl. virtuelles Codewort  $2^{N_{\text{DAU}}}$  in Kap. 2.6). Aus Symmetriegründen wird in diesen Fällen daher  $d = 0$  mitunter gar nicht verwendet [61]. Die hier eingeführte, im idealen Fall perfekte Symmetrie macht solche Überlegungen obsolet und rechtfertigt nachträglich die Definition für  $FS$  in Gl. (2.23b). Denn minimale und maximale Auslenkung vom Mittelwert stimmen idealerweise überein.

Für die andere Hälfte des differenziellen Aufbaus, der  $U_{\text{out,SE}}$  erzeugt, gilt



$$\bar{d} = \sum_{n=0}^{N_{\text{DAU}}-1} (1 - b_n) \cdot 2^n = 2^{N_{\text{DAU}}} - 1 - d. \quad (3.41)$$

Damit gilt für die differenzielle Ausgangsspannung

$$\begin{aligned} U_{\text{out,d}} &= U_{\text{out,SE}} - \overline{U_{\text{out,SE}}} \\ &= U_{\text{LSB}} \cdot d + \frac{U_{\text{LSB}}}{2} + \frac{U_{\text{cm}}}{2} - \left( U_{\text{LSB}} \cdot (2^{N_{\text{DAU}}} - 1 - d) + \frac{U_{\text{LSB}}}{2} + \frac{U_{\text{cm}}}{2} \right) \\ &= \frac{U_{\text{DD}}}{2^{N_{\text{DAU}}}} \cdot d - \frac{U_{\text{DD}}}{2} + U_{\text{LSB}} = 2 \cdot U_{\text{LSB}} \cdot d - \frac{U_{\text{DD}}}{2} + U_{\text{LSB}}. \end{aligned} \quad (3.42)$$

Als Gleichtaktspannung ergibt sich

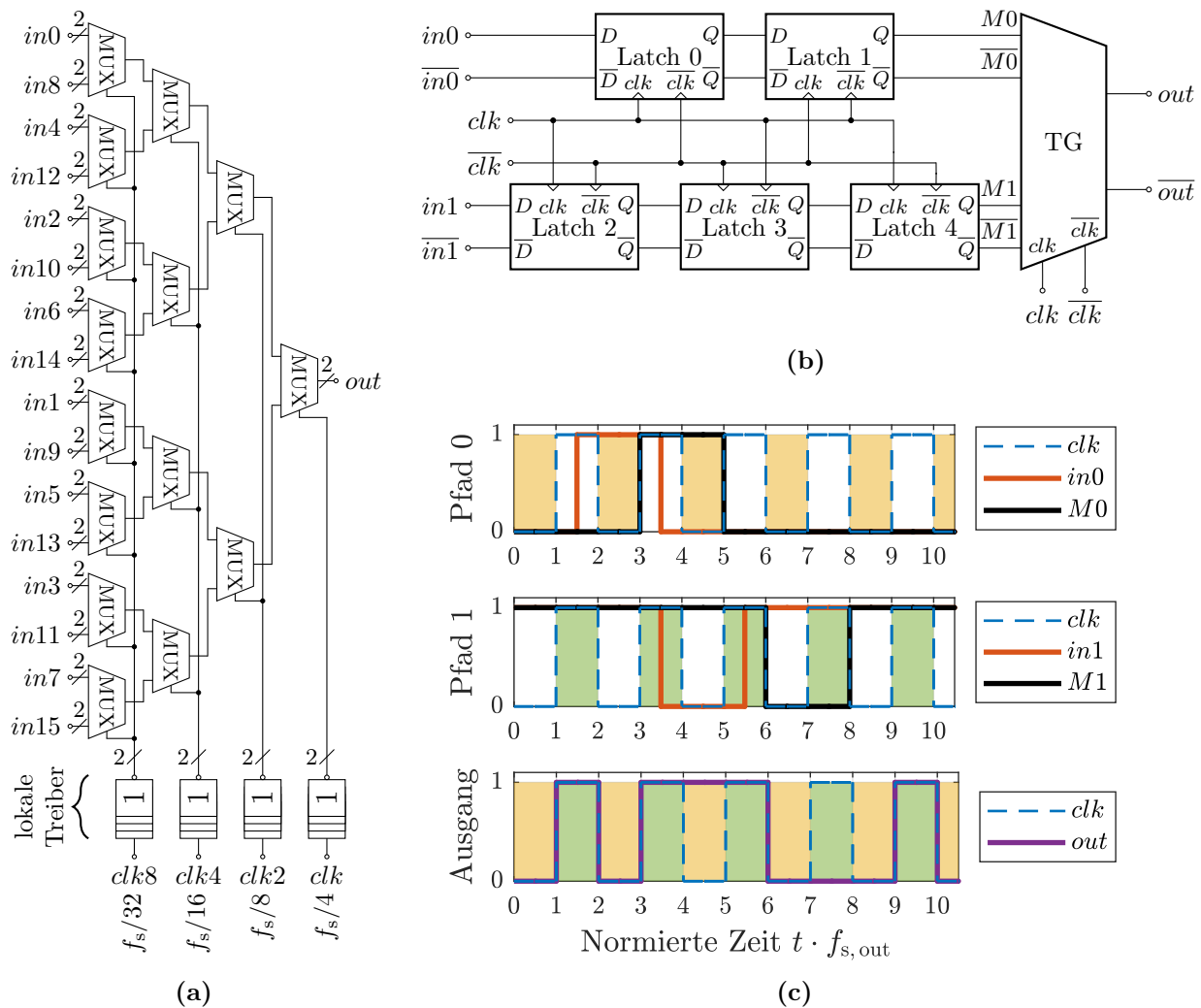
$$U_{\text{out,cm}} = \frac{U_{\text{out,SE}} + \overline{U_{\text{out,SE}}}}{2} = \frac{U_{\text{cm}}}{2} + \frac{U_{\text{DD}}}{4}. \quad (3.43)$$

Für den symmetrischen Fall  $U_{\text{cm}} = U_{\text{DD}}/2$  ergibt sich  $U_{\text{out,cm}} = U_{\text{DD}}/2$ , weshalb die Spannungsquelle für  $U_{\text{cm}}$  in Abb. 3.33 im differenziellen Aufbau wegfällt. In der realen Umsetzung ist dieser Knoten über einen kapazitiv gepufferten Spannungsteiler angeschlossen.

Zusammenfassend wird die Wandlungsoperation in Form eines segmentierten Umsetzers realisiert, in welchem die Thermometer-Dekodierung durch eine binäre ersetzt ist [19, 100]. Mit der Beschreibung der grundlegenden Umsetzer-Architektur werden nachfolgend die konkreten Schaltungsblöcke entlang des Datenpfads vorgestellt.

### 3.6.3 Die digitalen Multiplexer

Die Bereitstellung von Daten bei  $f_s/2$  an den Ausgängen der DAU-Kerne erfordert digitale MUX, um die Bitrate der vom Speicher ausgelesenen Daten an die Ausgangssymbolrate anzupassen. Generell ist hier eine Abwägung für die Tiefe der MUX zu treffen. Mit zunehmender Anzahl an Verzweigungen sinkt die vom Speicher bereitzustellende Datenrate. Im Gegenzug nimmt die Parallelität zu und damit die Anzahl der Datenleitungen. Im Sinne dieser Abwägung wird ein 16:1-MUX realisiert. Hierfür wird eine Baumstruktur [103] gemäß Abb. 3.35a gewählt, die für jeden der 19 Kanäle je DAU-Kern implementiert ist und mit Halbratentakt arbeitet, entsprechend [90]. Damit ergeben sich entlang von differenziellen Taktleitungen über den DAU-Kern hinweg 19 Abgriffe der Ausgangs-Taktsignale  $clkout/\overline{clkout}$ ,  $clkout2/\overline{clkout2}$ ,  $clkout4/\overline{clkout4}$  und  $clkout8/\overline{clkout8}$  in Abb. 3.20. Jede Verzweigung wird dabei bei der halben Frequenz der nachfolgenden Stufe betrieben. Um die Last der globalen Ausgangstaktreiber des Taktnetzwerks, welche sämtliche digitalen MUX eines jeden DAU-Kerns ansteuern, zu reduzieren, wird für jeden MUX-Baum eine weitere Treiberkette lokal eingesetzt. Diese gehören zur Spannungsdomäne der MUX. Die Baumstruktur hat den prinzipiellen Nachteil, dass sich die Last für das Taktnetzwerk mit jeder weiteren Verzweigung verdoppelt und



**Abbildung 3.35:** Aufbau der digitalen MUX. (a) Baumstruktur eines digitalen 16:1-MUXs. Eine Angleichung der Lasten für die Takttreiber erfolgt durch Skalierung, wobei die Eingangsbezeichnungen unabhängig von jenen in (b) und (c) sind. (b) Fünf-Latch-Struktur einer MUX-Stufe aus (a) nach [103] mit zugehörigem Impulsdiagramm (c). Eingangstreiber vor den Latches 0 und 2 sind nicht dargestellt. Die Frequenz  $f_{s,out}$  entspricht der Bitrate am Ausgang einer jeden MUX-Stufe.

somit exponentiell zunimmt. Um dies zu vermeiden, werden die Schaltungselemente in jeder weiteren Verzweigung um den Faktor  $1/2$  kleiner dimensioniert als in der nachfolgenden Stufe, wodurch eine konstante Last für die Takttreiber sichergestellt wird und die lokalen Treiber stets gleich dimensioniert sind. Dies vereinfacht die Anforderungen an die unterschiedlichen Frequenzdomänen im Taktnetzwerk erheblich. Als wesentliche Anforderung verbleibt, dass alle Taktflanken innerhalb einer geringen Toleranz bei gleicher Last entsprechend synchron sind.

Die Grundstruktur eines MUX-Elements aus Abb. 3.35a ist eine Fünf-Latch-MUX-Struktur [103] wie sie in Abb. 3.35b dargestellt ist. Eine vorherige Treiberstufe mit je einem Treiberinverter in den differenziellen Pfaden ist nicht eingezeichnet. Die eigentliche MUX-Operation

(die Zeitverschachtelung) wird durch jeweils vier TG für die differentiellen Eingangssignale realisiert. Ziel dieser Anordnung ist es, Störimpulse zu reduzieren. Für  $clk = L$  sperren die Latches 1 und 3 und der MUX selektiert  $M0/\overline{M0}$ , wobei sich Latch 1 in der Haltephase befindet. Zeitgleich übernimmt Latch 4 den Ausgang von Latch 3 und  $M1/\overline{M1}$  folgen diesem. Die beiden Eingangs-Latches folgen den Eingängen. Für  $clk = H$  ändert sich der Knoten  $M0/\overline{M0}$  auf den Wert von Latch 0 und Latch 4 wird intransparent und sorgt so für ein stabiles Eingangssignal für den MUX. Die Latches 0, 2 und 4 sperren. Währenddessen übernimmt Latch 3 den Ausgang von Latch 2 und Latch 1 jenen von Latch 0 [103]. Das zugehörige Impulsdigramm ist in Abb. 3.35c gezeigt. Aufgrund der inhärenten Verzögerung durch die Ausgangsverzögerung der Flip-Flops bzw. Latches, der Propagation zur nächsten Stufe durch das TG hindurch sowie eine zusätzliche Treiberstufe am Eingang der folgenden MUX-Stufe können die Taktsignale aller Taktomänen von  $f_s/4$  bis zu  $f_s/32$  synchron gewählt werden, womit die Setup-Zeiten der nachfolgenden Flip-Flops (Latches) der nächst höheren Taktebene eingehalten werden, da damit zu frühe Datenwechsel bei synchronen Taktsignalen ausgeschlossen sind. Eine besonders günstige Abtastung erfolgt in der Mitte eines gültigen Eingangsdatums („Augenmitte“), wie in Abb. 3.35c illustriert. Die weiteren Beschreibungen gelten für die Betrachtung der Latches 0 und 2 bzw. der Flip-Flops aus den Latches 0/1 und 2/3 gleichermaßen. Damit die Setup-Zeiten auch in Realität sicher eingehalten werden, ist nur ein gewisser zeitlicher Versatz der Taktflanken benachbarter Taktomänen zulässig. Der erlaubte Versatz (*Skew*) zwischen den Taktsignalen zweier aufeinanderfolgender Taktebenen wird einerseits hart durch die Setup-Zeit des folgenden Flip-Flops begrenzt. In den Extremfällen von zu großem positiven oder negativen Taktversatz kommt der Eingangsdatenwechsel den Setup-Zeiten der folgenden Eingangs-Flip-Flops zu nahe bzw. diese werden verletzt. Dies kann je nach Richtung der Abweichung für die Datenflanke vor oder nach dem gültigen Bereich der Fall sein. Andererseits soll beim Datenwechsel am Eingang des nachfolgenden Flip-Flops dieses sicher intransparent sein. Beides ist für die ermittelten *Skew*-Werte aus Tab. 3.4 gegeben, womit die Synchronitätsanforderung erfüllt ist. Synchronität der Taktsignale unterschiedlicher Taktebenen bedeutet hier konkret, dass jede steigende Taktflanke einer unteren Taktomäne synchron zu den steigenden Taktflanken in den Taktebenen höherer Frequenzen bzw. in der Taktebene höherer Frequenz ist. Diese Anforderung ergibt sich aus dem gewählten Entwurf. Demnach weisen bei positiver Taktflanke in der untersten Ebene alle Taktomänen eine positive Flanke auf. Die Untersuchung eben jenes *Skews* dieses speziellen Schaltvorgangs wurde in Kap. 3.4.2 untersucht. Neben den Parameterschwankungen sind zusätzlich noch Schwankungen der Versorgungsspannung und deren Einfluss zu beachten.

Die MUX können wesentlich zum Jitter am Ausgang der DAU-Kerne beitragen. Insbesondere wirken sich Nichtidealitäten der letzten MUX-Stufe direkt auf das Ausgangssignal aus, da aufgrund der hohen Datenraten keine weitere Abtastung erfolgt. Jitter wird in diesem Fall

sowohl deterministisch als auch als Zufallsprozess verstanden und verringert die Augenöffnung. Dieser kann durch einen nicht idealen Tastgrad oder durch nicht ideale Gleichtaktspannungen einer jeden Taktphase der differentiellen Taktsignale sowie durch asymmetrisches Verhalten der MUX, beispielsweise bedingt durch Bauelementschwankungen, verursacht werden [103]. Letzteres kann sich durch Unterschiede für L- und H-Pegel oder aber durch Unterschiede in den Kanälen  $M0/\overline{M0}$  und  $M1/\overline{M1}$  ausdrücken. Eine wesentliche Quelle für Asymmetrien ist prinzipbedingt durch den Halbbratentakt-Betrieb gegeben, also die Ausgabe von Daten zur steigenden und fallenden Taktflanke. Zwar ist je eine Einstellmöglichkeit der Gleichtaktspannung für das Taktsignal bei  $f_s/4$  entsprechend Abb. 3.19 gegeben, aber aufgrund der beschränkten Chipfläche lediglich für beide Taktphasen gemeinsam (vgl. Kap. 3.4.1). Für das analoge Ausgangssignal sind nicht nur Asymmetrien innerhalb eines Kanals, sondern aller Kanäle maßgeblich, sodass kumulierte Artefakte aus unterschiedlichen Spannungsebenen, Symbollängen und Flankenpositionen entstehen können. Die durch Taktnetzwerk und MUX-Baum bedingten Asymmetrien sowie deren Ausgleich werden in den Messungen eine wesentliche Rolle spielen und zentraler Aspekt der Vorverzerrung sein.

### 3.6.4 Die Ausgangsstufen der Digital-Analog-Umsetzer-Kerne

Im Gegensatz zu üblicherweise auf Stromschaltern basierenden Realisierungen für DAU bei hohen Umsetzungsraten wird ein Ansatz mit CMOS-Invertern in den Quelleneinheiten gewählt. Diese realisieren die Schalter zu den Versorgungsspannungen in der in Abb. 3.33 dargestellten Architektur. Damit kann der DAU entweder als DAU im Spannungsmodus interpretiert werden, in dem Spannungen geteilt werden, oder die Quelleneinheiten werden als programmierbare Stromquellen betrachtet, womit Ströme überlagert werden. Zunächst wird die Dimensionierung des Ausgangsinverters diskutiert, der in Kombination mit dem nachfolgenden Serienwiderstand eine Quelleneinheit bildet.

#### 3.6.4.1 Dimensionierung des Ausgangsinverters und der Ausgangsstufe

Mit dem CMOS-Inverter als einfachem Grundelement, auf welchem die Schalter basieren, sind einige Dimensionierungsaspekte zu beachten. Aufgrund des Ausgangswiderstands eines Inverters  $R_o$ , müssen die  $2R$ -Widerstände auf  $2R - R_o$  angepasst werden, um den erforderlichen Gesamtwiderstand beizubehalten.  $R_o$  wird dabei als Widerstand bei einer gewissen statischen Aussteuerung am Eingang verstanden. Dabei werden gleiche Ausgangswiderstände für nFET und pFET  $R_{o,n} = R_{o,p} = R_o$  angestrebt. Bei der Dimensionierung gilt es zwei Aspekte zu beachten. Um die Ausgangstreiberkette zwischen digitalem MUX und Ausgangsinverter kurz zu halten, sind die Transistorweiten in den Ausgangsinvertern moderat zu wählen. Andererseits soll  $R_o$  klein genug sein, um angesichts des Teilverhältnisses bezüglich des folgenden  $(2R - R_o)$ -Widerstands einen geringen Spannungsabfall über Drain-Source zu erhalten, damit

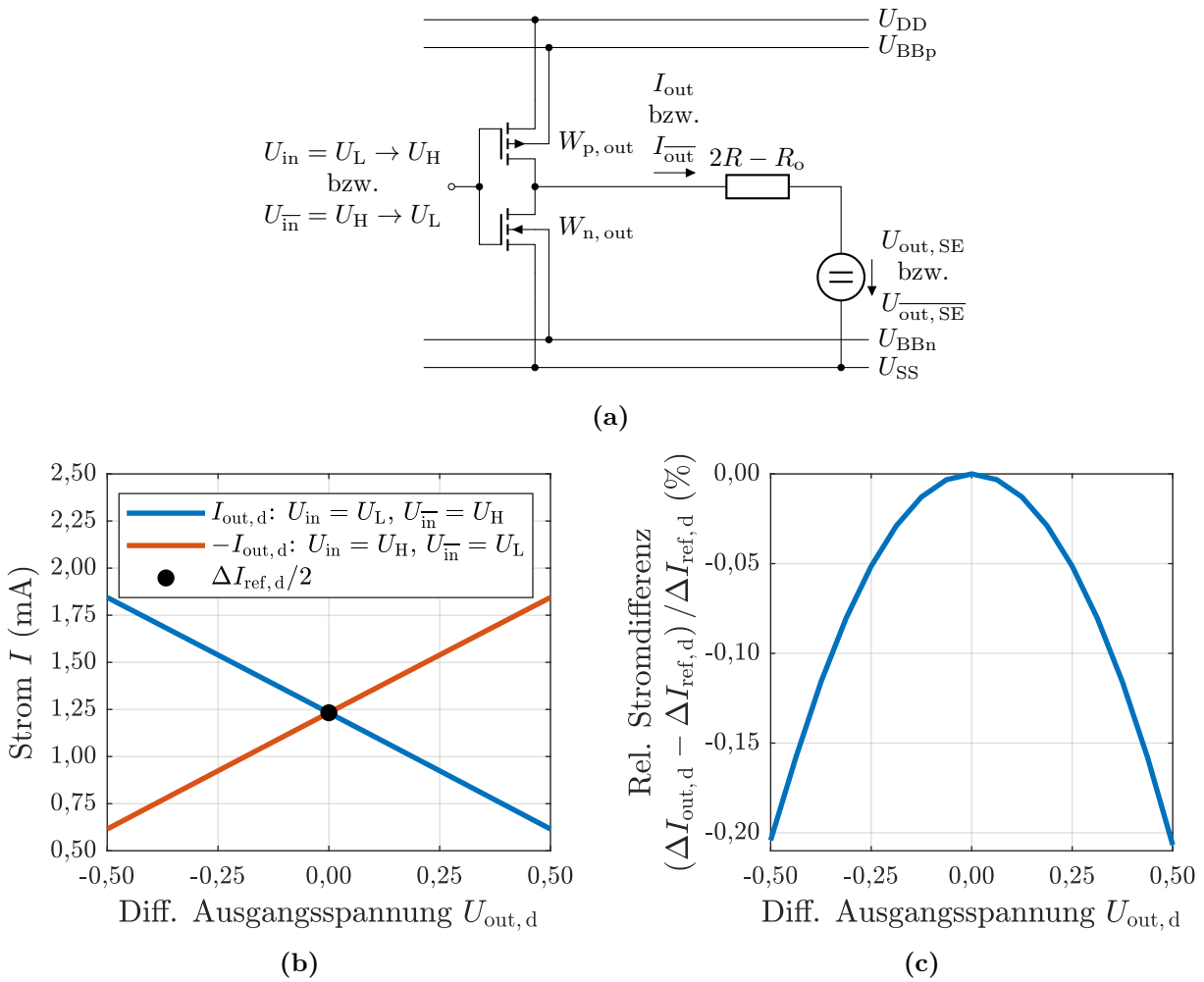
der leitende Transistor tief im linearen Bereich arbeitet (statische Argumentation). Der Grund für Letzteres wird unten ersichtlich. Mit der Wahl eines resultierenden Widerstands von  $R_o \approx 100 \Omega$  und  $2R - R_o = 700 \Omega$  im Widerstandsnetzwerk sind die Bedingungen erfüllt. Ein wesentlicher Unterschied zur Realisierung mittels Stromquellen besteht darin, dass die Stromquellentransistoren in Sättigung betrieben werden und deren Drain-Strom idealerweise unabhängig von der Drain-Source-Spannung ist bzw. real eine möglichst geringe Abhängigkeit aufweist. Der jeweils leitende Transistor im Inverter hingegen arbeitet bei statischen Eingangspegeln unter den gegebenen Voraussetzungen im linearen Bereich  $U_{DS} < U_{GS} - U_{th}$ . Damit ist der Ausgangsstrom prinzipbedingt von der Spannung am Ausgang und damit vom Schaltzustand des DAUs abhängig. Eine Untersuchung, inwieweit diese Abhängigkeit, welche von idealem linearem Verhalten abweichen kann, einen nachteiligen Effekt auf die Linearität des DAUs hat, wird anhand der folgenden Betrachtung<sup>2</sup> durchgeführt.

Abbildung 3.36a zeigt die zu untersuchende Konfiguration mit einem Inverter, der über den Widerstand  $2R - R_o$  gegen unterschiedliche analoge Ausgangsspannungen  $U_{out, SE}$  bzw.  $U_{out, \overline{SE}}$  treibt. Die Konfiguration aus Inverter und  $(2R - R_o)$ -Widerstand bildet eine Quelleneinheit, die gleichermaßen Bestandteil des  $R$ - $2R$ -Teils wie des unären Teils ist. Die unäre Quelle des Bits  $b_4$  stellt die exakte Entsprechung dieser Quelleneinheit dar. Dabei gilt gegenläufig

$$U_{out, SE} = U_{out, cm} + \frac{1}{2} \cdot U_{out, d} \quad \text{und} \quad U_{out, \overline{SE}} = U_{out, cm} - \frac{1}{2} \cdot U_{out, d} , \quad (3.44)$$

wobei  $U_{out, d}$  die differenzielle DAU-Ausgangsspannung beschreibt, für die  $-500 \text{ mV} \lesssim U_{out, d} \lesssim 500 \text{ mV}$  gilt. Die Grenzen werden entsprechend Gl. (3.42) nicht exakt erreicht. Zur Dimensionierung der Transistorweiten  $W_{n, out}$  und  $W_{p, out}$  wird zunächst eine mittlere Ausgangsspannung  $U_{out, cm} = U_{DD}/2 = 0,5 \text{ V}$  angenommen und die Weiten bei gegebenen BB-Spannungen so dimensioniert, dass die Ströme  $I_{out}$  und  $I_{out}$  sowohl für einen degenerierten H- als auch für einen degenerierten L-Pegel am Eingang des Inverters ( $U_H, U_L$ ) dem Strom durch einen idealen  $2R$ -Widerstand mit  $2R = 800 \Omega$  entsprechen. Dies ergibt – für einen gewissen Eingangspegel und ein gewisses BB – eine Dimensionierung von  $W_{n, out} \approx 4 \mu\text{m}$  bzw.  $W_{p, out} \approx 9 \mu\text{m}$ . Die Annahme degenerierter Eingangspegel ist durch den Einsatz von resistiver Rückkopplung in der vorigen Treiberstufe begründet und wird unten genauer beschrieben. Zur Beurteilung der Abhängigkeit der Änderung des Inverter-Ausgangsstroms bei einem Schaltvorgang von der Ausgangsspannung des DAUs wird hier anstelle einer SE-Betrachtung ein differenzieller Schaltvorgang einer Quelleneinheit stellvertretend untersucht. Für den differenziellen Strom gilt  $I_{out, d} = I_{out} - I_{out}$ . Zur Analyse der Auswirkungen des Betriebs der Ausgangstransistoren im linearen Bereich wird ein differenzieller Schaltvorgang für  $U_{in}$  von  $U_L$  nach  $U_H$  am Eingang betrachtet. Dabei wird für diesen Schaltvorgang das Verhältnis der Stromänderung

<sup>2</sup>M. Grözing, persönl. Kommunikation, Universität Stuttgart, INT, 2017.



**Abbildung 3.36:** Betrachtung zur Dimensionierung des Ausgangsinverters. (a) Schaltplan der Konfiguration, (b) differenzielle Ströme in verschiedenen Betriebszuständen und (c) relative Stromdifferenz über der differentiellen Ausgangsspannung.

des differentiellen Stroms

$$\Delta I_{out, d} = I_{out, d} \Big|_{U_{in}=U_L, U_{in}^-=U_H} - I_{out, d} \Big|_{U_{in}=U_H, U_{in}^-=U_L} \quad (3.45)$$

bei variabler Spannung  $U_{out, d}$  zur Referenz bei konstantem  $U_{out, SE} = U_{out, SE} = U_{out, cm}$

$$\Delta I_{ref, d} = I_{ref, d} \Big|_{U_{in}=U_L, U_{in}^-=U_H} - I_{ref, d} \Big|_{U_{in}=U_H, U_{in}^-=U_L} = 2 \cdot \left( I_{ref, SE} \Big|_{U_{in}=U_L} - I_{ref, SE} \Big|_{U_{in}^-=U_H} \right) \quad (3.46)$$

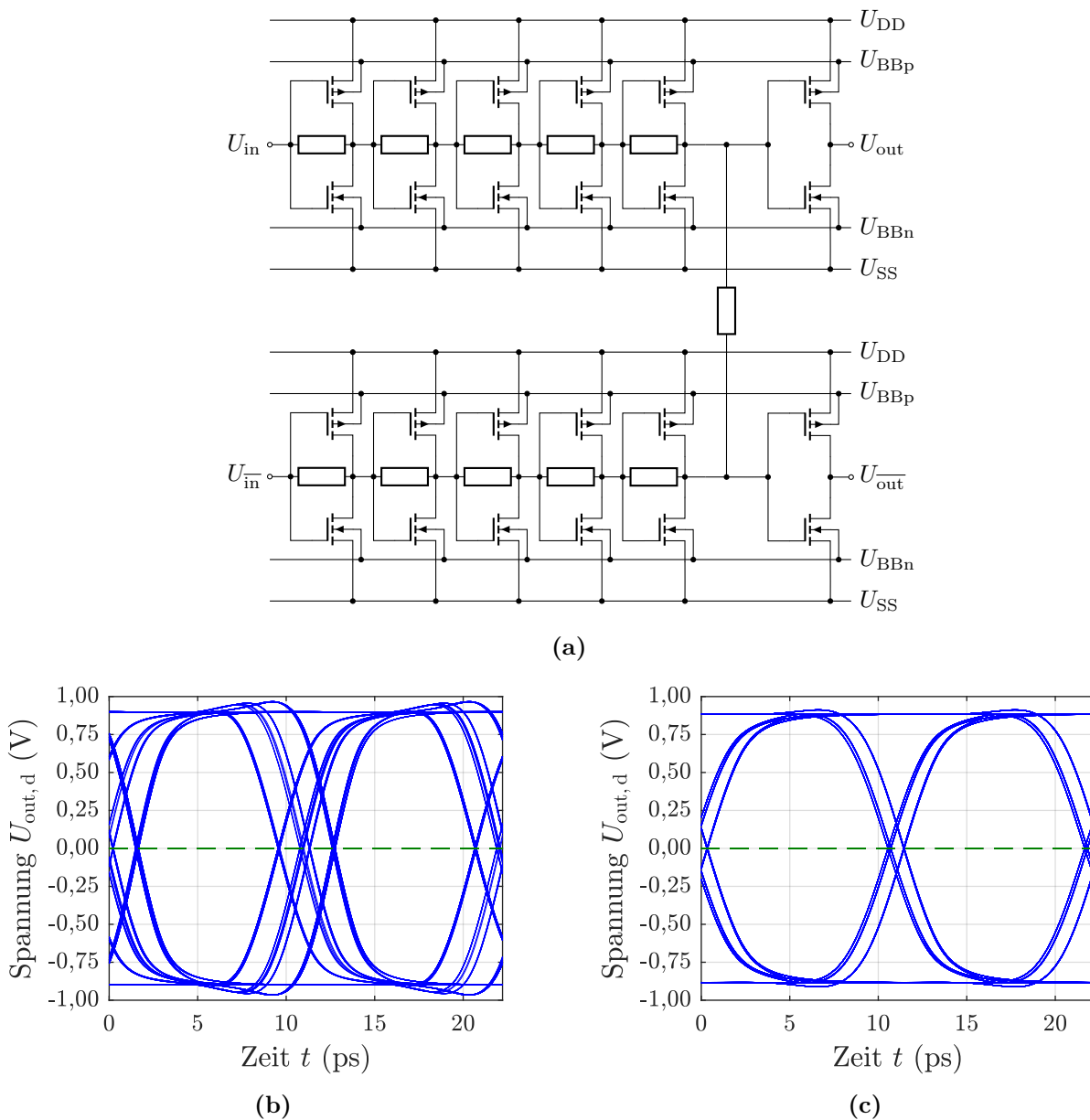
gebildet. Abbildung 3.36b zeigt die differentiellen Ströme im Vergleich zum differentiellen Referenz-Strom und Abb. 3.36c zeigt das genannte Verhältnis mit Normierung für die gewählte Dimensionierung. Darin wird deutlich, dass die relativen Unterschiede in den Stromdifferenzen im Vergleich zu  $U_{out, SE} = U_{out, cm}$  betragsmäßig kleiner als 0,21 % sind. Qualitativ ist ein Bogen zu den Extremwerten von  $U_{out, d}$  erkennbar. Weitere Simulationen und spätere Messun-

gen bestätigen, dass die Abweichungen der Stromänderung von der Referenz-Stromänderung aufgrund des Transistorverhaltens bezogen auf 1 LSB kaum Auswirkungen auf die  $DNL$  haben, weshalb kein prinzipieller Nachteil gegenüber Stromquellen im Sättigungsbereich auf den Skalen, die hier von Interesse sind, festgestellt werden kann. Sie stellen keinen relevanten Faktor dar und können vernachlässigt werden. Dies bestätigt die Wahl der Dimensionierung, da die Drain-Source-Spannung des leitenden Transistors klein genug ist, um die Linearität nicht signifikant zu beeinträchtigen. Dabei sei angemerkt, dass es auch bei Stromquellen im Sättigungsbereich zu Abweichungen von einem ideal konstanten Strom kommen kann und dieser somit abhängig von  $U_{DS}$  ist. Später wird deutlich, dass andere Effekte bei Weitem überwiegen, insbesondere eine Fehlanpassung zwischen unärem und  $R$ - $2R$ -Teil. Neben Schwankungen der Widerstandswerte können auch Parameterschwankungen der Inverter-Transistoren zu Abweichungen der idealen Konfiguration nach Abb. 3.33 führen.

Zwischen digitalem MUX und dem Ausgangsinverter ist eine Inverterkette erforderlich, die zusammen mit dem Ausgangsinverter als Ausgangsstufe bezeichnet wird. Die gesamte Inverterkette ist in Abb. 3.37a dargestellt. Sie ist möglichst kurz gehalten, um zeitliche Abweichungen nach der letzten Abtastung im digitalen MUX gering zu halten. Eine weitere Abtastung ist auf dieser Ebene nicht mehr möglich, weshalb jener im letzten Flip-Flop des digitalen MUXs auf der vorigen Ebene bei halber Datenrate und der Umschaltoperation des letzten TGs eine herausragende Bedeutung für die Leistungsfähigkeit zukommt. Dabei wird auch hier von der resistiven Rückkopplung Gebrauch gemacht, deren Rechtfertigung sich aus den verbesserten Augenöffnungen der Augendiagramme in Abb. 3.37b und Abb. 3.37c für dasselbe *Pseudorandom-Binary-Sequence*-Signal (PRBS) ergibt. Hierbei wird auch unter Berücksichtigung der deutlich kürzeren CMOS-Inverterkette eine andere Abwägung des Rückkopplungskonzepts als im Taktpfad getroffen. Auf eine Kreuzkopplung wird aufgrund der hohen Symbolraten verzichtet, was jedoch die Gefahr eines Auseinanderlaufens der differenziellen Pfade mit sich bringt. Abhängig von der Weite  $W_n$  des n-Kanal-Transistors jenes Inverters, dessen Ein- und Ausgang durch den Widerstand  $R$  gekoppelt werden, betragen die Widerstandswerte

$$R \approx \frac{5 \text{ k}\Omega \cdot \mu\text{m}}{W_n} . \quad (3.47)$$

Eine Möglichkeit der Feinjustierung wäre, über die Versorgungsspannung der vorletzten Inverter in der Kette über die nachfolgende Gate-Source-Spannung Einfluss auf die Ausgangstreiber zu nehmen. Dies ist ebenso über das BB möglich. Auf diese Einstellmöglichkeit wird aufgrund begrenzter Chipfläche verzichtet.

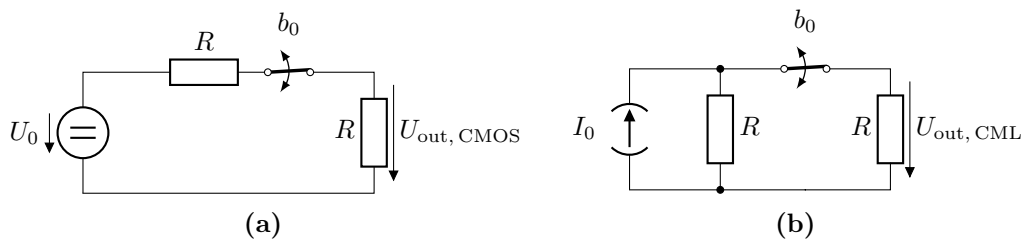


**Abbildung 3.37:** Die DAU-Ausgangsstufe. (a) Schaltplan der DAU-Ausgangsstufe mit rückgekoppelten Inverterketten sowie Schaltplan-Simulationen von Augendiagrammen desselben PRBS-Signals bei 90 GS/s ohne (b) und mit (c) resistiver Rückkopplung zum Vergleich. Die Ausgangsstufen treiben über  $2R - R_o$  gegen  $U_{cm} = 0,5\text{ V}$ .

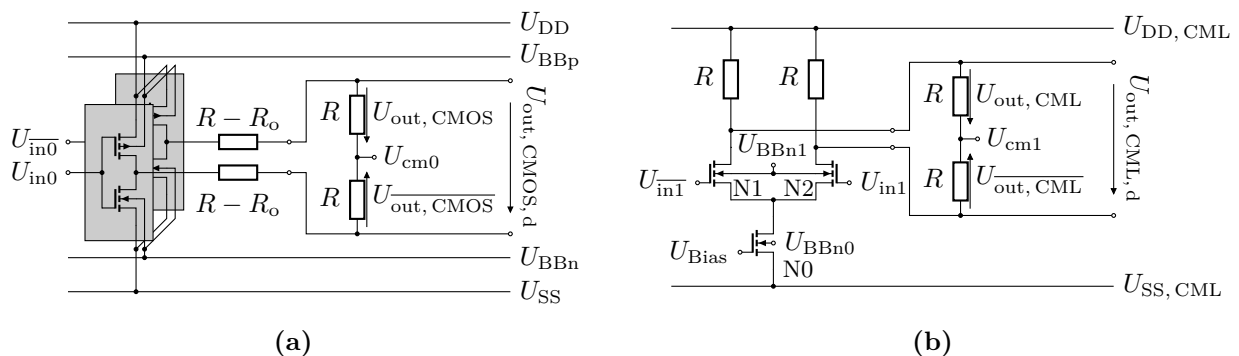
### 3.6.4.2 Prinzipieller Vergleich zwischen einem Digital-Analog-Umsetzer-Ausgang auf CMOS-Invertern und auf Stromschaltertechnik basierend

Um die auf CMOS-Invertern basierende Ausgangstopologie weiter einzuordnen und mit einer Stromschalter-Topologie zu vergleichen, werden zwei einfache 1-Bit-DAU für grundsätzliche Überlegungen herangezogen. Dabei werden stellvertretend grundsätzliche Ausgangstreiber-Topologien verglichen, ohne einen gesamten Gegenentwurf auf Systemebene aufzuzeigen. Ein ganzheitlicher Vergleich auf Systemebene unter Berücksichtigung der Ansteuerung und





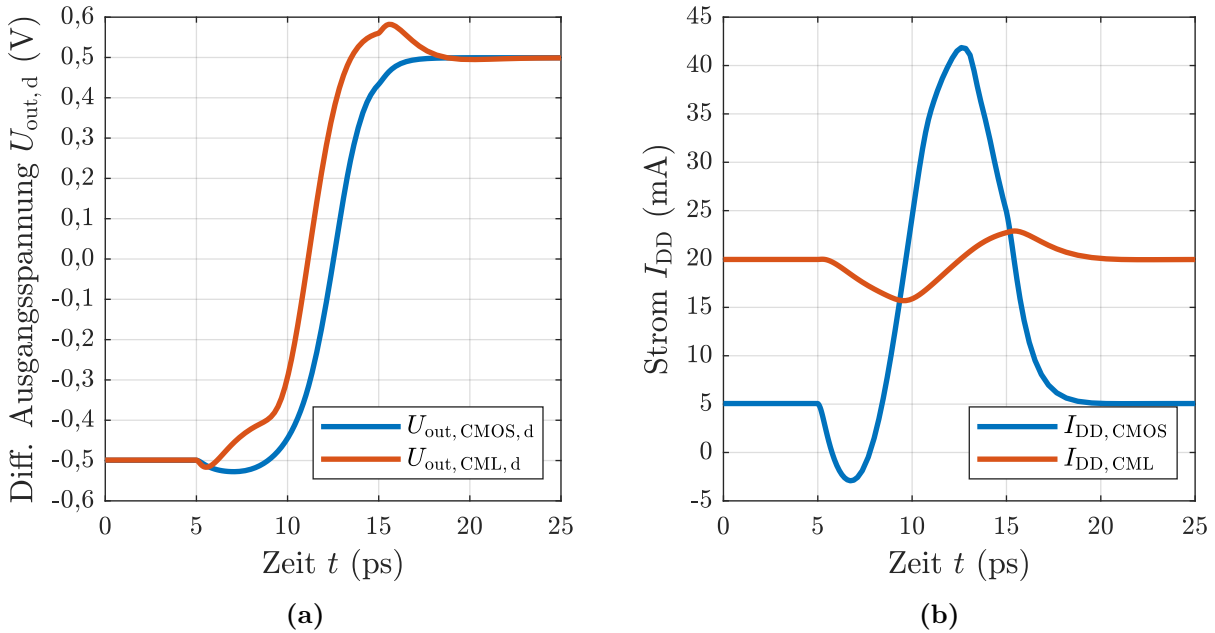
**Abbildung 3.38:** Ersatzschaltbilder der zu vergleichenden 1-Bit-DAU (SE). (a) DAU basierend auf CMOS-Invertern und (b) DAU basierend auf CML-Topologie als Quelleneinheit.



**Abbildung 3.39:** Schaltungstechnische Realisierung der zu vergleichenden 1-Bit-DAU. (a) DAU-Ausgang basierend auf CMOS-Invertern und (b) basierend aus einem CML-Verstärker als beispielhafter, einfacher CML-Gegenentwurf mit geringer Stapelung. Die Bezeichnung der Eingangsspannungen berücksichtigt die Invertierung. Bei allen Transistoren wird FBB eingesetzt und die Widerstände sind ideal.

weiterer Teile vermag weitere Aspekte und Schlüsse zu offenbaren. Die Ersatzschaltbilder der zu vergleichenden DAU sind in Abb. 3.38 dargestellt. Dabei werden Ausgangswiderstände von  $R = 50 \Omega$  und SE-Spannungshübe an den Ausgängen von 500 mV vorausgesetzt, um dem tatsächlichen DAU zu entsprechen. Auf die geringfügige theoretische Abweichung des SE-Spannungshubs von 500 mV nach Gl. (3.39) sei hingewiesen. Damit gilt  $U_0 = 1 \text{ V} = U_{DD}$  und  $I_0 = 20 \text{ mA}$ . Zwei sehr einfache differenzielle Schaltungstopologien zur Realisierung der Ersatzschaltbilder nach Abb. 3.38 sind in Abb. 3.39 dargestellt. Insbesondere Abb. 3.39b erfüllt eine kleinst mögliche Stapelung bei sehr einfacher Realisierung und verzichtet insbesondere bei der Fußpunktstromquelle beispielsweise auf Source-Degeneration oder eine Kaskodenstromquelle. Damit werden Freiheitsgrade eingeschränkt. An dieser Stelle sei darauf hingewiesen, dass ein Vergleich der beiden Topologien maßgeblich von der schaltungstechnischen Realisierung, Parametern wie den Arbeitspunkten und der Wahl des BBs sowie weiteren Dimensionierungsanforderungen abhängt und keinesfalls Anspruch auf universelle quantitative Aussagen erhoben wird, sondern nur beispielhafte Betrachtungen gegeben werden sollen. Als Eingangssignalhub wird in beiden Fällen jener einer gedachten vorherigen CMOS-Schaltung  $U_{pp, SE} = 1 \text{ V}$  angenommen, allerdings mit jeweils angepasster Gleichtaktspannung.

Bei der Dimensionierung der CMOS-Inverter wird die Parallelschaltung aller Inverter



**Abbildung 3.40:** Simulationsergebnisse der DAU-Realisierungen nach Abb. 3.39. Bei einem rampenförmigen Eingangssignalwechsel (10 ps Rampe) zeigt (a) den Verlauf der differenziellen Ausgangsspannung und (b) den Strom aus der Versorgungsspannungsquelle und damit deren Belastung.

mit den Weiten nach Kap. 3.6.4.1 angenommen, sodass  $W_{n,\text{Inv}} = 19 \cdot W_{n,\text{out}}$  und  $W_{p,\text{Inv}} = 19 \cdot W_{p,\text{out}}$  gilt, wenngleich die ursprüngliche Dimensionierung auf degenerierten Eingangsspannungspegeln beruht. Der Ausgangswiderstand  $R_o$  wird entsprechend berücksichtigt.

Auf der anderen Seite werden nominal folgende Werte angenommen:  $I_0 = 20$  mA,  $U_{\text{DS},\text{N}0} = 1$  V,  $U_{\text{Bias}} = 1$  V sowie im Fall  $in1 = \text{H}$   $U_{\text{DS},\text{N}2} = U_{\text{GS},\text{N}2} = 0,5$  V,  $U_{\text{DS},\text{N}1} = 1$  V und  $U_{\text{GS},\text{N}1} = -0,5$  V. Unter diesen Bedingungen ist eine im Vergleich zur CMOS-Inverter-Konfiguration erhöhte Versorgungsspannung von  $U_{\text{DD},\text{CML}} = 2,25$  V erforderlich. Der genaue Wert ist abhängig von der Realisierung der Fußpunktstromquelle und den gewählten Arbeitspunkten der Transistoren.

Zur Analyse werden die differenziellen Ausgangssignale  $U_{\text{out},\text{CMOS},d}$  und  $U_{\text{out},\text{CML},d}$  für  $in0/1 = \text{L} \rightarrow \text{H}$  betrachtet und damit steigende und fallende Ausgangsflanke gemeinsam. Die relevanten Ergebnisse sind in Abb. 3.40 gezeigt. Die Anstiegszeiten der differenziellen Signale sind näherungsweise vergleichbar. Hingegen zeigen sich in den Strömen entscheidende Unterschiede in den beiden Topologien. Im konkreten Fall beträgt die statische Leistungsaufnahme bei Vollaussteuerung für die CMOS-Inverter-Konfiguration ideal  $P_{\text{stat},\text{CMOS}} = 5$  mW, jene der CML-Schaltung hingegen  $P_{\text{stat},\text{CML}} = 45$  mW. Dabei muss beachtet werden, dass nur mit einer gewissen Schaltwahrscheinlichkeit umgeschaltet wird, wodurch eine geringere statische Leistungsaufnahme noch bedeutender wird. Bei  $f_s = 100$  GS/s, was in den DAU-Kernen 50 GS/s mit Symboldauer 20 ps entspricht, ergeben sich im Integral für den Schaltvorgang über diesen

Zeitraum die äquivalenten Ladungen  $|Q_{\text{CMOS}}| \approx 270 \text{ fC}$  und  $|Q_{\text{CML}}| \approx 390 \text{ fC}$  für CMOS- und CML-Implementierung, was ebenfalls ein Maß für die unterschiedliche Leistungsaufnahme repräsentiert. Im Gegenzug wird die Versorgungsspannung durch die CMOS-Inverter deutlich stärker belastet, was anhand der Stromänderungen sichtbar wird. Zum Vergleich werden die äquivalenten Ladungen  $Q_{\text{dyn}}$  der rein dynamischen Stromanteile über den jeweils größten Ausschlag abweichend vom statischen Wert betrachtet:  $|Q_{\text{dyn, CMOS}}| \approx 11 \cdot |Q_{\text{dyn, CML}}|$ . Im Falle einer idealen Stromquelle in der CML-Realisierung erfährt die Versorgungsspannung keinerlei dynamische Belastung, ein Verhalten, das durch verbesserte Stromquellenimplementierungen weiter angenähert werden kann.

Wie bereits im vorigen Kapitel spielt auch hier der wesentliche Unterschied in den Arbeitsbereichen der Transistoren eine Rolle. Während in der CML-Konfiguration die leitenden Transistoren bei statischer Vollaussteuerung im Sättigungsbereich arbeiten, so arbeiten die jeweils nicht sperrenden Transistoren in der CMOS-Inverter-Konfiguration im linearen Bereich. Dies zeigt sich sowohl im Vergleich der statischen Verlustleistungen als auch am dynamischen Verhalten.

Zuletzt soll eine sehr grobe Flächenabschätzung durch Vergleich der Gesamt-Gateweiten  $W_{\text{ges}}$  gegeben werden. Da die Serien- bzw. Lastwiderstände in beiden Konfigurationen nahezu gleich sind, gehen sie nicht in die Betrachtung ein. In der konkreten Dimensionierung gilt

$$W_{\text{ges, CMOS}} = 2 \cdot W_{\text{n, CMOS}} + 2 \cdot W_{\text{p, CMOS}} \approx 495 \mu\text{m} \quad (3.48)$$

sowie

$$W_{\text{ges, CML}} = W_{\text{n, N0}} + 2 \cdot W_{\text{n, N1}} = 161 \mu\text{m} . \quad (3.49)$$

Allerdings ändern sich diese Größenverhältnisse stark, wenn CMOS-Inverter mit höheren Ausgangswiderständen  $R_o$  gewählt werden oder im Falle einer komplexeren (realistischeren) Fußpunktstromquelle sowie unter Berücksichtigung eines erforderlichen Netzwerks zur Arbeitspunkteinstellung in der CML-Konfiguration entsprechend Kap. 3.3.5.

Zusammenfassend bestehen wichtige Unterschiede in den Realisierungen hinsichtlich Versorgungsspannung, Größe, statischer Leistungsaufnahme und Belastung der Versorgungsspannung. Ein Vergleich der Stromaufnahmen bzw. der äquivalenten Ladungen zeigt eindrücklich die prinzipiell unterschiedlichen Verhaltensweisen der Konzepte. Die Realisierung mittels CMOS-Invertern erlaubt eine geringere Leistungsaufnahme bei einer Versorgungsspannung, die kompatibel zu CMOS-Logik-Teilen ist. Allerdings gehen diese Vorteile auf Kosten einer stark dynamisch belasteten Versorgungsspannung, wobei die Dynamik datenabhängig ist.

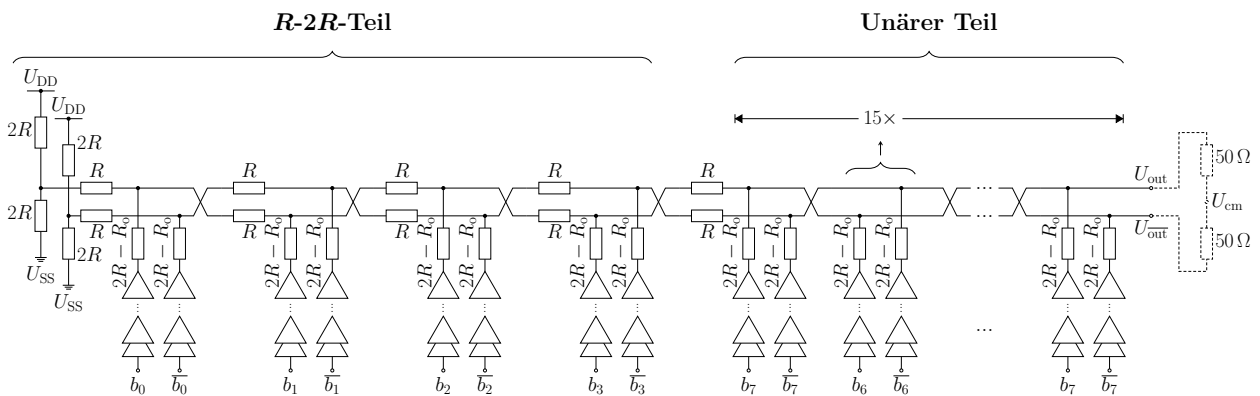


Abbildung 3.41: Ausgangsstruktur der DAU-Kerne.

### 3.6.5 Gesamte Ausgangsstruktur der Digital-Analog-Umsetzung

Mit den Überlegungen und Untersuchungen der vergangenen Kapitel kann nun die gesamte Ausgangsstruktur der DAU-Kerne, in welcher die eigentliche Umsetzung von digitalen zu analogen Signalen stattfindet, konstruiert werden. Abbildung 3.41 zeigt die gesamte differenzielle Struktur nach den digitalen MUXn. Es ist jeweils die Ausgangsstufe mit Quelleneinheit erkennbar. Für alle 19 differenziellen Kanäle werden diese auf einer analogen Ausgangsleitung vereint, die aus Symmetriegründen mit Überkreuzungen realisiert ist. Die DAU-Ausgangssignale  $U_{\text{out}}$  und  $U_{\text{out}}^-$  werden über eine impedanzangepasste Leitung zu den Sourcefolgern vor dem AMUX geführt, wo auch die Abschlusswiderstände mit gepufferter  $U_{\text{cm}}$ -Spannung realisiert sind. Die Anordnung ist so gewählt, dass Takt und Daten in dieselbe Richtung propagieren, um Verzögerungen ähnlich zu halten. Konkret bedeutet dies in Abb. 3.41, dass sowohl die Taktsignale der vorherigen MUX als auch das analoge Ausgangssignal von links nach rechts verlaufen. Dies geht ebenso aus dem Layout eines DAU-Kerns in Abb. E.5 in Anhang E hervor.

### 3.6.6 Zusammenfassung und Bewertung des Konzepts der Digital-Analog-Umsetzer-Kerne

Als Resümee dieses Unterkapitels handelt es sich bei den DAU-Kernen um einen Entwurf, der im Wesentlichen auf grundlegenden CMOS-Elementen wie Invertern und TGn beruht. In einer pseudo-segmentierten Struktur mit einheitlichen Quelleneinheiten aus CMOS-Invertern und Serienwiderständen werden die digitalen Daten in analoge Signale umgesetzt. Ein pseudo-segmentierter Umsetzer entspricht einem segmentierten Umsetzer bis auf die binäre Dekodierung anstelle der Thermometer-Dekodierung im unären Teil. Zum Erreichen der angestrebten Umsetzungsrate sind diverse Maßnahmen in Takt- und Datenpfad wie ein definiertes Starten des Taktpfads oder resistive Rückkopplung von CMOS-Invertern erforderlich. Die potenzielle Verringerung der Leistungsaufnahme von CMOS- im Vergleich zu Stromschalter-Topologien wird durch diese Rückkopplungs-Maßnahmen mindestens reduziert.

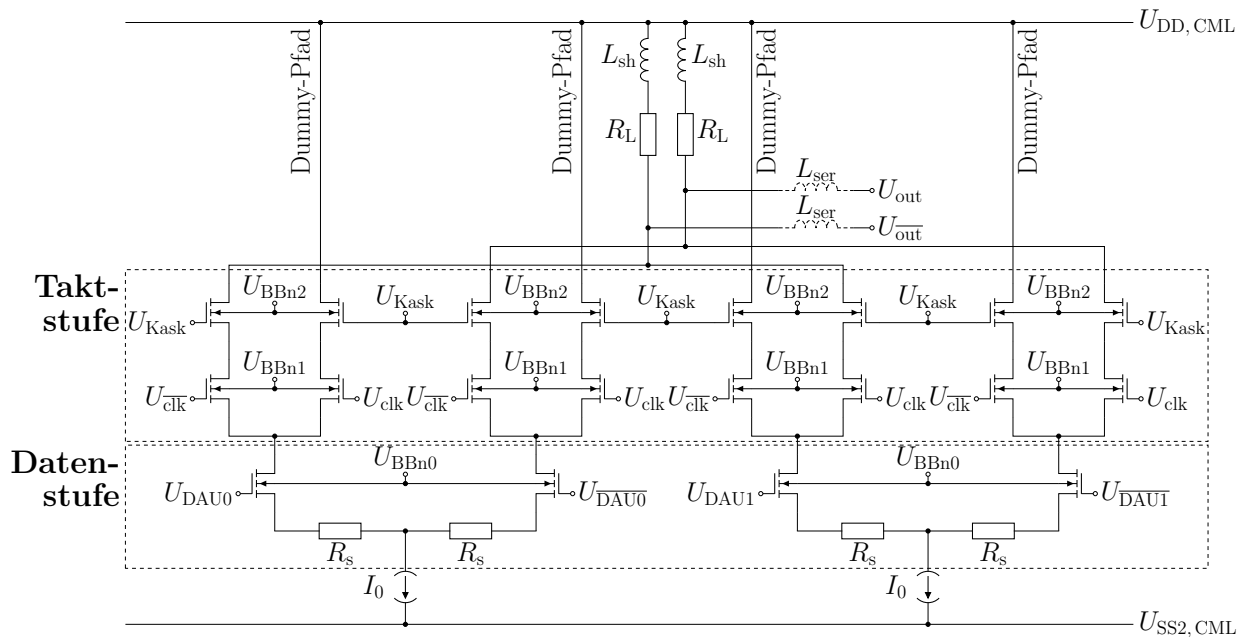


Abbildung 3.42: Schaltplan des AMUXs.

Mit dem Entwurf einhergehend sind große dynamische Belastungen der Versorgungsspannung, welche in integrierten Stützkapazitäten sorgfältig berücksichtigt werden müssen.

### 3.7 Analoger Multiplexer

Der letzte Schaltungsteil im Signalfluss ist der monolithisch integrierte AMUX, welcher mit kleineren Abweichungen auf der Realisierung in [44] basiert und auf analoger Signalebene operiert. Der Schaltplan ist in Abb. 3.42 dargestellt. Das Prinzip der Implementierung basiert auf der Verschachtelung zweier Gilbert-Zellen. Strukturell besteht der AMUX aus zwei linearisierten Transkonduktanzstufen mit darüber angeordneten Stromschaltern, ähnlich zweier Gilbert-Zellen, die auf einem gemeinsamen Ausgang arbeiten. Die Ausgangssignale der DAU-Kerne werden wie bereits erwähnt am Ende einer impedanzkontrollierten Leitung mit  $50\text{-}\Omega$ -Widerständen gegen einen kapazitiv gepufferten Knoten mit  $U_{cm}$  abgeschlossen und über Sourcefolger dem AMUX zugeführt. Differenzielle Transkonduktanzstufen mit Source-Degeneration zur Linearisierung bilden die Dateneingänge des AMUXs, wobei die Ausgangsströme über mit  $f_{clk} = f_s/2$  getaktete Stromschalter ausgewählt werden. Die jeweils nicht selektierten Eingänge werden aus Symmetriegründen auf Dummy-Pfade geleitet. Die getakteten Stromschalter sind jeweils als Kaskodenschaltung darüber ausgeführt. Dabei verbessern die Transistoren in Gateschaltung bei geringem Eingangswiderstand die Isolation zwischen Ausgang und Takteingang [104]. Der ausgewählte Strom wird über die internen Lastwiderstände  $R_L = 50\text{ }\Omega$  und die externen  $50\text{-}\Omega$ -Abschlusswiderstände geführt, wodurch

die Ausgangsspannungen  $U_{\text{out}}$  bzw.  $U_{\text{out}}$  entstehen. Im Ausgangskreis wird induktives *Shunt*- und Serien-Peaking eingesetzt, um die Bandbreite zu erhöhen, wobei die Serieninduktivität allein durch die Ausgangsleitung bestimmt und nicht durch eine explizite Struktur realisiert wird. Prinzipiell sind Daten- und Takt durchgriff auf den Ausgang aufgrund endlicher Isolation, Asymmetrien oder durch parasitäre Layout-Effekte möglich. Wie im Ausgangsverstärker in [44] wird der konstante Teil des Stroms von außen zugeführt. Dies wird durch externe Bias-Tees realisiert, die über den DC-Anschluss die Gleichspannung  $U_{\text{DD,CML}}$  an die Ausgänge anlegen. Auf diese Weise werden die Lastwiderstände  $R_{\text{L}}$  nur durch dynamische Ströme belastet und können in ihrer Weite für eine deutlich kleinere Stromtragfähigkeit ausgelegt und somit deutlich kleiner dimensioniert werden. Die kleinere Fläche der Widerstände verringert die parasitäre Kapazität am Ausgang, wodurch die Bandbreite erhöht wird.

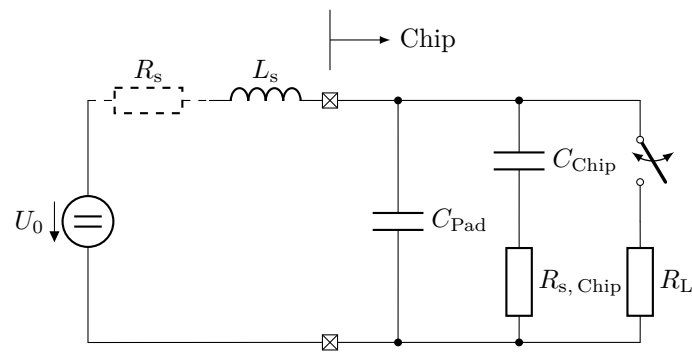
Wie in Kap. 3.3.4 bezüglich der Austauschbarkeit der Eingänge angemerkt, gibt es auch für den AMUX prinzipiell zwei Konfigurationen: Taktschalter unten, Dateneingänge oben sowie Taktschalter oben, Dateneingänge unten. In [104] wird aufgrund höherer Linearität die Konfiguration mit den Taktschaltern oben bevorzugt, was im Einklang mit der hier gewählten Konfiguration steht. Weitere Analysen sind in [13, 46, 104] dargestellt.

Ein letzter Aspekt betrifft den AMUX-Ausgang, der gleichzeitig den Chipausgang bildet. Wie in Kap. 3.11 dargestellt wird, ist für eine hohe Bandbreite eine möglichst kleine Padkapazität erforderlich. Daher werden möglichst kleine Pads gewählt – unter Beachtung der Bondbarkeit. Generell werden in der gesamten passiven Ausgangsstruktur, die die Induktivitäten, Leitungen und die Pads enthält, möglichst geringe Metallichten an der Grenze der Entwurfsregeln in der Umgebung, lateral wie vertikal, angestrebt, um parasitäre Kapazitäten zu verringern. Ebenso werden aktive Teile mit höher dotieren Gebieten vermieden.

Mit dem AMUX und dem Chipausgang endet der Datenpfad. In den verbleibenden Unterkapiteln werden weitere Aspekte der schaltungstechnischen Realisierung sowie periphere Schaltungsteile neben den vorgestellten Hauptkomponenten diskutiert.

## 3.8 Aspekte der Versorgungsspannungen, Domänen und Konzepte

Wie in den vergangenen Kapiteln im Zusammenhang mit verschiedenen Aspekten dargelegt, ist die Stabilität der Versorgungsspannungen sowohl für die grundsätzliche Funktionalität als auch für die Performanz, das dynamische Verhalten, von großer Bedeutung. Dabei ist die Stabilität der Versorgungsspannungen aufgrund ihrer dynamischen Belastung vorwiegend ein Problem der CMOS-Schaltungen – Speicher und DAU-Kerne. CML-Teile und darin enthaltene Spannungen zur Arbeitspunkteinstellung werden ebenfalls kapazitiv gepuffert, weisen jedoch aufgrund der näherungsweise statischen Stromaufnahme deutlich relaxiertere Anforderungen



**Abbildung 3.43:** Ersatzschaltbild zur Untersuchung des Versorgungsspannungs-Verhaltens, insbesondere für Start- und Stopp-Vorgang. Bei der integrierten Stützkapazität  $C_{\text{Chip}}$  handelt es sich um verteilte Kapazitäten auf dem Chip mit Serienwiderstand  $R_{s, \text{Chip}}$ . Weitere Zuleitungswiderstände als Erweiterung von  $R_s$  auf dem Chip sind nicht dargestellt.  $L_s$  enthält u. a. die Bonddraht-Induktivität,  $C_{\text{Pad}}$  beschreibt die Padkapazität.

auf und werden hier nicht weiter diskutiert. Bei der Betrachtung der Versorgungsspannungen wird im Folgenden zwischen drei Szenarien unterschieden: dem Startvorgang dem Betrieb sowie dem Abschalten einzelner Teile bzw. dem gesamten Herunterfahren. Abbildung 3.43 zeigt ein Ersatzschaltbild der Gegebenheiten, welches beim Entwurf zu berücksichtigen ist und anhand vereinfachter Betrachtungen<sup>3</sup> diskutiert wird. Für jeden Schaltungsteil bzw. jede Domäne sind entsprechende Abwägungen zu treffen. Ausführliche analytische und simulative Untersuchungen werden hier nicht dargestellt. Die Zuleitungsinduktivität  $L_s$  entspricht im Wesentlichen der Bondinduktivität, kann aber auch weitere Elemente einer induktiven Zuleitung enthalten. Der Lastwiderstand  $R_L$  repräsentiert die Stromaufnahme des jeweiligen Schaltungsteils, beispielsweise  $R_L = 2 \Omega$  für einen CMOS-Teil mit 0,5 A statischer Stromaufnahme im Betrieb bei nominaler Spannung  $U_0 = 1 \text{ V}$ .

Die Betrachtung des Startvorgangs ist lediglich für jene Teile mit Gedächtnis von größter Relevanz, die ihren Speicherinhalt beim Startvorgang keinesfalls verlieren dürfen, da ansonsten kein Betrieb möglich ist. Dies betrifft den Speicher mit den zuvor eingeschriebenen Daten und die CMOS-Taktteiler, wie in Kap. 3.4.2 dargestellt. Wenngleich die CMOS-Takttreiber keine Speicherelemente enthalten, ist der Startvorgang aufgrund des engen Zusammenhangs zu den CMOS-Taktteilern ebenfalls wichtig. Bei den anderen Schaltungsteilen – digitale MUX und Ausgangstreiber – ist der Startvorgang nicht von Relevanz, da gültige Ausgangssignale erst im eingeschwungenen Betriebszustand betrachtet werden. Eine Abschätzung über die minimal erforderliche Kapazität auf dem Chip  $C_{\text{Chip}}$  und die maximal erlaubte Bonddrahtinduktivität  $L_s = L_{\text{Bond}}$  kann mittels den Zusammenhängen (3.50) getroffen werden.

$$C_{\text{Chip}} \geq \frac{\Delta I \cdot t_{\text{Stütz}}}{\Delta U_{\text{max}}}, \quad L_{\text{Bond}} \leq \frac{\Delta U_{\text{max}} \cdot t_{\text{Stütz}}}{\Delta I} \quad (3.50)$$

<sup>3</sup>M. Grözing, persönl. Kommunikation, Universität Stuttgart, INT, 2017.

Darin bezeichnen  $\Delta U_{\max}$  den erlaubten Spannungseinbruch,  $\Delta I$  die Stromänderung durch den Laststoß und  $t_{\text{Stütz}}$  die erforderliche Stützzeit. Es ist erkennbar, dass es gegenläufige Anforderungen an die Stützzeit gibt, wenn  $C_{\text{Chip}}$  klein gehalten werden soll und die erlaubte Induktivität  $L_{\text{Bond}}$  möglichst groß sein soll. Beispielsweise ergibt sich exemplarisch für  $\Delta U_{\max} = 50 \text{ mV}$ ,  $\Delta I = 100 \text{ mA}$  und  $C_{\text{Chip}} = 1 \text{ nF}$  eine erlaubte Induktivität von nur  $L_{\text{Bond}} = 250 \text{ pH}$ . Als Maßnahmen, die durch die Zusammenhänge (3.50) begründet sind, werden größtmögliche Entkopplungskapazitäten – oder auch Stützkapazitäten, Glättungskapazitäten – realisiert, Stromstöße durch Trennung von Schaltungsteilen in mehrere Versorgungsspannungsdomänen und durch kaskadiertes Einschalten reduziert sowie möglichst kurze Bonddrähte angestrebt. Mitunter werden auch mehrere Bonddrähte parallel gesetzt, wodurch einerseits die Induktivität und andererseits die Strombelastung je Bonddraht reduziert wird.

Das Ersatzschaltbild nach Abb. 3.43 gilt gleichermaßen für das plötzliche Abschalten einzelner Teile. Hier gilt es, gefährliche Überspannungen zu verhindern. Dies geschieht ebenfalls durch stufenweises Vorgehen sowie durch entsprechende Reduzierung der Versorgungsspannungen vor dem Abschalten, was zu einer geringeren Stromaufnahme und zu einem größeren Spielraum für Spannungsüberhöhungen führt. So können Speicher sowie R-TT1 und R-TT2 nach Abb. 3.20 nacheinander über den jeweiligen Reset abgeschaltet werden. Insgesamt werden diverse Aspekte dieser Art bei der Steuerung des DAUs berücksichtigt.

Die Versorgungsspannungsstabilität während des Betriebs ist für alle CMOS-Teile gleichermaßen relevant und entscheidet über Funktionalität und Performanz, beispielsweise über datenabhängigen Jitter. In Abb. 3.22 wurde bereits die Auswirkung eines zu großen Versorgungsspannungseinbruchs auf die Taktteiler-Funktionalität gezeigt. Dynamische Belastungen im Betrieb müssen auf dem Chip lokal abgepuffert werden, generell bei möglichst geringem  $R_{\text{s, Chip}}$ . Hierbei ergeben sich die Anforderungen nach (3.51) an die Chip-Kapazität und an die Zuleitungswiderstände  $R_{\text{s, Chip}}$ .

$$C_{\text{Chip}} \geq \frac{\Delta Q}{\Delta U_{\max}}, \quad R_{\text{s, Chip}} \leq \frac{\tau_{\text{RCmax}}}{C_{\text{Chip}}} \quad (3.51)$$

Dabei entsprechen  $\Delta Q$  der zur Stromänderung (dynamischer Anteil) korrespondierenden Ladung und  $\tau_{\text{RCmax}}$  einer vorgegebenen Zeitkonstanten, innerhalb welcher der Strom aus der Kapazität bereitstehen soll, und steht damit in Relation zum zeitlichen Verlauf der Stromänderung und somit letztlich zur Umsetzungsrate. Die Zeitkonstante wird mit zunehmend entfernten Kapazitäten relevanter. Die Kapazität muss so lange den erforderlichen Strom liefern, bis der Strom von außen ausreichend nachgeführt wird, wobei diese Vorgänge kombiniert betrachtet werden müssen. Zu beachten sind weiterhin die Richtung der Änderung sowie die zur Verfügung stehende Aufladezeit, innerhalb der die Kapazität wieder aufgeladen sein muss, um für den nächsten Belastungsimpuls wieder von Neuem verfügbar zu sein.



Ein weiterer Aspekt der Trennung in unterschiedliche Versorgungsspannungsdomänen zusätzlich zur Lastaufteilung ist die Performanz. Dabei wird zwischen Takt- und Daten-Spannungen unterschieden, die unterschiedliche Belastungsmuster aufweisen. Eine Trennung von Speicher-, MUX- und Ausgangstreiber-Spannung ist sinnvoll, um die Signalqualität des analogen Ausgangssignals zu verbessern. Eine Trennung zwischen CMOS-Taktteiler- und CMOS-Takttreiber-Spannung ist weniger durch Performanz als vielmehr durch die hohe Sensibilität des ersten CMOS-Taktteilers begründet, die für die generelle Funktionalität kritisch ist. Daraus ergibt sich die gewählte Konfiguration. Darüber hinaus spielen auch Überlegungen zur Initialisierung eine Rolle bei der Trennung, was im Einschaltkonzept Berücksichtigung findet. Eine zusätzliche Bedingung ist durch die Messtechnik gegeben. Um ein möglichst störungsfreies Triggersignal auszugeben, welches zur Ansteuerung des Oszilloskops notwendig ist, wird auch das Triggersignal in einer „taktreinen“ Versorgungsspannung (CMOS-Takttreiber-Spannung) ausgegeben. Generell werden alle CMOS-Versorgungsspannungen symmetrisch von oben und unten entsprechend Abb. 3.2 zugeführt und alle Versorgungsspannungen möglichst nahe am Chip mittels oberflächenmontierter Kapazitäten (engl.: *surface-mounted device*, SMD), darunter auch hochfrequenztaugliche, gepuffert. Im Falle der integrierten Kapazitäten ist aufgrund begrenzter Chipfläche und Dichteregeln eine sorgfältige Abwägung mit Kompromissen bei der Zuteilung zu treffen. Die Zuweisung von Kondensatorfläche an die einzelnen Domänen orientiert sich an möglichst präzisen Abschätzungen, ohne anderen Teilen zu viel Kondensatorfläche zu entziehen. Auf Schaltungsebene beträgt der Kapazitätsbelag eines n-Kanal-Transistors bei  $U_{GS/D} = 1\text{ V}$  und der gewählten Dimensionierung bezogen auf die Gatefläche  $C'_{AG} \approx 19\text{ fF}/(\mu\text{m})^2$  und bezogen auf die benötigte Chipfläche  $C'_{A\text{chip}} \approx 12\text{ fF}/(\mu\text{m})^2$ . Die Werte sind mittels Wechselstrom-Simulation (engl.: *alternating current*, AC) bei geringen Frequenzen und entsprechendem Arbeitspunkt bestimmt, wobei die Angabe zur Gatefläche auf gezeichneten Dimensionen vor Verkleinerung basiert. Es sei angemerkt, dass der Wert bezogen auf die Chipfläche abhängig von der Dimensionierung ist, bei der auch das HF-Verhalten berücksichtigt werden muss. Der Wert bezogen auf die Chipfläche hängt wiederum von den maximal erlaubten lokalen Dichteregeln ab. Darüber hinaus sind je nach Verfügbarkeit mittels nicht anderweitig belegter Metalle Metall-Oxid-Metall-Fingerstrukturen (MOM) darüber realisiert, deren Betrag jedoch deutlich geringer ist und die eine untergeordnete Rolle spielen. Obschon auch vertikale Kapazitäten gebildet werden, stehen vertikale Metall-Isolator-Metall-Kapazitäten (MIM) mit speziellem Schichtaufbau nicht zur Verfügung.

Zusammenfassend werden aus all diesen Überlegungen heraus die CMOS-Spannungen in folgende Domänen getrennt: Speicher, digitale MUX, Taktteiler, Takttreiber sowie Ausgangstreiber.

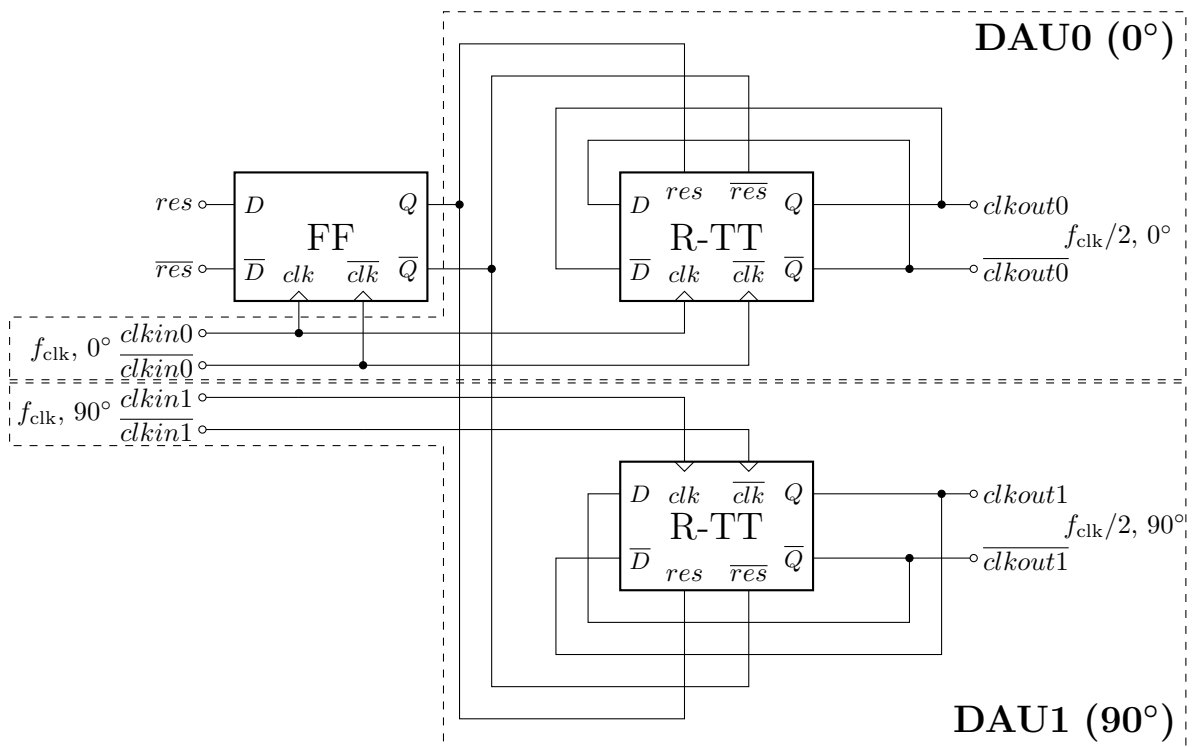
## 3.9 Weitere Schaltungsteile und periphere Komponenten

Zur Steuerung, Konfiguration und Analyse des Systems sind weitere Schaltungen erforderlich.

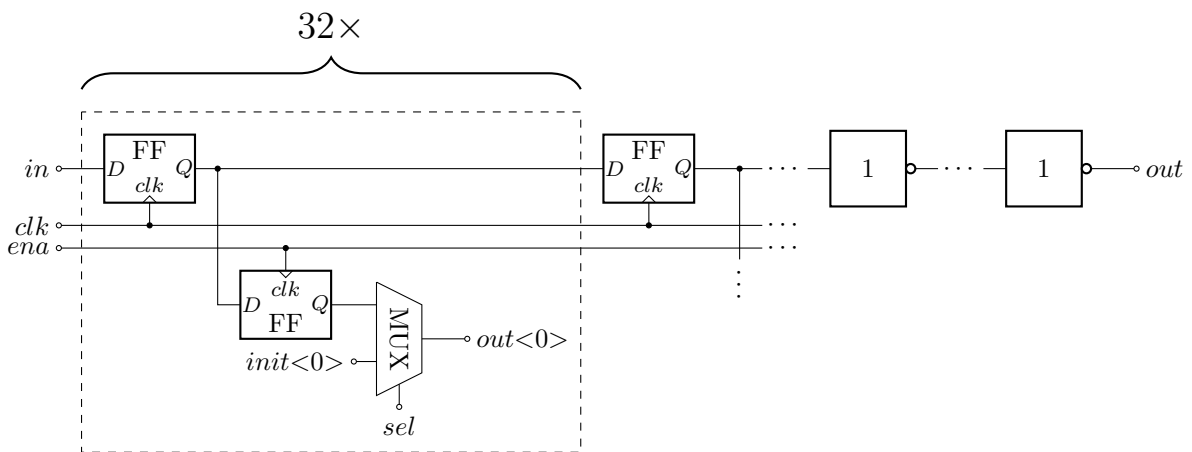
### 3.9.1 Start- und Reset-Konzept der Digital-Analog-Umsetzer-Kerne

Ein kaskadiertes Einschalten und zwingend definierte Verhältnisse hinsichtlich Takt-Netzwerken und Datenfolge erfordern ein präzises Einschaltkonzept. Synchronität bzw. eine definierte Phasenbeziehung zwischen den DAU-Kernen ist nicht nur hinsichtlich des Timings zum AMUX von Bedeutung, sondern auch für die Reihenfolge der ausgegebenen Symbole. Zwar lassen sich prinzipiell über die Phasenrotatoren beliebige Verzögerungen einstellen, aber ein definiertes Verhalten ist von großer Wichtigkeit für einen sinnvollen, komfortablen Einsatz. Dies wird durch synchrones Einschalten ab der  $f_s/8$ -Ebene erreicht. In der Annahme, dass beim Startvorgang die beiden Kerne eine Phasendifferenz von  $0^\circ$  oder  $90^\circ$  (DAU1 später) bezüglich der  $f_s/4$ -Ebene aufweisen, werden die Reset-Signale mit dem entsprechenden Takt aus dem Kern DAU0 abgeleitet, der den erforderlichen Master-Takt stellt. Der Startvorgang des CML-Teils sowie der ersten CMOS-Taktteiler  $f_s/4 \rightarrow f_s/8$  stellt bei entsprechender Phasenrotator-Einstellung eine definierte Relation auf  $f_s/4$ -Ebene bereits sicher. Abbildung 3.44 zeigt, wie das Reset-Signal  $res$  aus dem Konfigurationsregister abgetastet und an die rücksetzbaren Taktteiler weitergeleitet wird. Dieses Prinzip gilt gleichermaßen für die Taktteiler  $f_s/8 \rightarrow f_s/16$  und  $f_s/16 \rightarrow f_s/32$ . Auf diese Weise starten beide DAU-Kerne auf definierte Weise zueinander. Im Entwurf muss sichergestellt sein, dass das Reset-Signal ausreichend lange vor der nächsten Taktflanke in den rücksetzbaren Taktteilern R-TT ankommt. In diesem Fall starten die Taktteiler synchron zur Eingangs-Taktflanke. Das Reset-Signal des Speichers wird auf ähnliche Weise mit einem  $f_s/32$ -Taktsignal ( $0^\circ$ ) abgetastet, sodass der Adresszähler ebenfalls definiert startet. Damit ist gewährleistet, dass die Speicherdaten stets auf dieselbe Weise in Relation zu den Takt-Netzwerken der DAU-Kerne stehen und die Daten der Speicherblöcke in korrekter Reihenfolge anliegen, ohne dass eine manuelle Verschiebung mittels der Phasenrotatoren zwischen den Kernen erforderlich ist. Die Startschaltung der rücksetzbaren CMOS-Taktteiler sorgt somit für deterministische Verhältnisse. Die korrekte Relation der  $f_{clk}/32$ -Flanke ist entscheidend für zwei der vorgestellten Vorverzerrungskonzepte (Kap. 4).

Über die programmierbaren Signale  $res/\overline{res}$  können die Taktteiler auch zum sequenziellen Ausschalten angehalten werden.



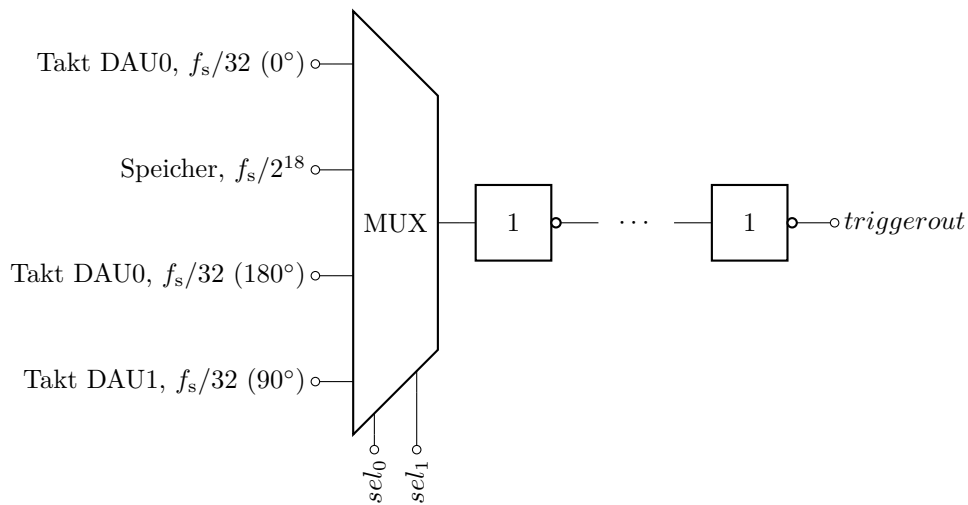
**Abbildung 3.44:** Einschaltkonzept der rücksetzbaren Takteiler (R-TT)  $f_s/8 \rightarrow f_s/16$  und  $f_s/16 \rightarrow f_s/32$ . Das Flip-Flop FF ist seinerseits initialisierbar (nicht dargestellt). Zu Beginn sind die beiden DAU in der Regel synchron ( $0^\circ$ , Bezug  $f_s/4$ ).



**Abbildung 3.45:** Aufbau des Konfigurationsregisters.

### 3.9.2 Konfigurationsregister

Das zentrale Element zur externen Steuerung des Systems ist das Konfigurationsregister. Es lässt sich von außen seriell beschreiben und hat eine Größe von 32 bit, von welchen 25 bit genutzt werden. Abbildung 3.45 zeigt den Aufbau des Konfigurationsregisters. Die Programmierung erfolgt über drei Signale ( $clk$ ,  $in$  und  $ena$ ). Über ein viertes Signal  $out$  können die seriell eingeschriebenen Daten zur Kontrolle ausgelesen werden. Um Schreib-



**Abbildung 3.46:** Ausgabe des Triggersignals.

und Ausgabevorgang zu trennen und somit ungültige Ausgabezustände zu vermeiden, wird ein Schattenregister implementiert. Damit besteht jeder Eintrag aus zwei Flip-Flops. Des Weiteren wird ein Initialisierungswert festgelegt, welcher über einen MUX selektiert wird. Die Initialisierung kann mittels eines für Schreib- und Lese-Betrieb nicht benötigten Zustands gemäß Gl. (3.52) ausgewählt werden, wodurch kein weiteres Signal erforderlich ist.

$$sel = in \wedge clk \wedge ena \quad (3.52)$$

Folgende Einstellungen sind mithilfe des Konfigurationsregisters programmierbar: Phasenrotator für DAU0 (5 bit), Phasenrotator für DAU1 (5 bit), Auswahl des zu messenden Signals für den Gleichwert-Detektor (4 bit), Auswahl des Triggersignals (2 bit), Initialisierung des CML-Taktteilers (1 bit), Initialisierung der ersten CMOS-Taktteiler (1 bit), Reset-Signal für die CML-Startschaltung (1 bit), Reset-Signal für die CMOS-Taktteiler  $f_s/8 \rightarrow f_s/16$  (1 bit), Reset-Signal für die CMOS-Taktteiler  $f_s/16 \rightarrow f_s/32$  (1 bit), Reset-Signal für den Speicher (1 bit), Phasenselektor für den Speichertakt (1 bit), AMUX-Takt aktiv oder statisch schalten (1 bit) sowie Auswahl des AMUX-Kanals bei statischem AMUX (1 bit).

### 3.9.3 Ausgabe des Triggersignals

Zur messtechnischen Charakterisierung ist ein Triggersignal erforderlich. Prinzipiell kann zwischen dem  $f_s/32$ -Takt und der Speicherzyklus-Frequenz gewählt werden. Letztere wird aus dem MSB der Zeilenadresse des Adresszählers im Speicher gewonnen. Zu Analysezwecken werden insgesamt drei  $f_s/32$ -Signale unterschiedlicher Phasenlage ausgegeben. So können beispielsweise über das  $0^\circ$ - und das  $90^\circ$ -Signal die Funktionalität der Taktnetzwerke bzw. der beiden Kerne, genauer der kritischen CMOS-Taktteiler, betrachtet werden. Abbildung 3.46

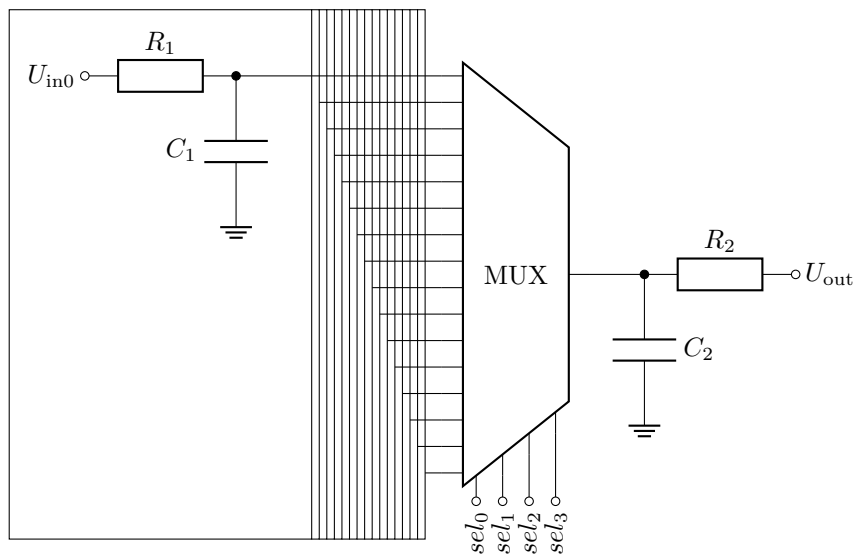


Abbildung 3.47: Blockschaltbild des Gleichwert-Detektors.

zeigt die Trigger-Schaltung mit zugehörigem programmierbarem MUX und Ausgangstreibern, um 50- $\Omega$ -Lasten treiben zu können.

### 3.9.4 Gleichwert-Detektor

Zuletzt bietet ein Gleichwert-Detektor die Möglichkeit, Gleichanteil-Spannungen an diversen Stellen zu messen und gegebenenfalls über die entsprechenden Betriebsparameter einzustellen. Dabei handelt es sich im Wesentlichen um  $RC$ -Glieder und einen programmierbaren MUX zur Auswahl des analogen Ausgabesignals gemäß Abb. 3.47. Prinzipiell werden Mittelwerte gemessen, die sich bei differentiellen Signalen aus den Gleichtaktspannungen und den Tastgraden ergeben und gewisse Rückschlüsse auf Letztere erlauben. Dieses ist jedoch nur eingeschränkt aufgrund des kombinierten Effektes aus Gleichtaktniveau und Tastgrad möglich. Die möglichen Messpunkte können den Markierungen in Abb. 3.20 entnommen werden und sind jeweils für beide DAU-Kerne verfügbar. Die dort eingezeichneten Abgriffe am Ende der Treiberketten befinden sich am Ende der Taktleitungen, welche sich über den gesamten DAU-Kern hinweg erstrecken und die digitalen MUX ansteuern (vgl. Abb. E.5). Dabei werden stets die Gleichwerte von unipolaren Signalen bestimmt. Bei der Interpretation sind zudem die differentielle Topologie des CML-Teils und die pseudo-differentielle Topologie des CMOS-Teils zu beachten. Die Widerstände  $R_1 = 20 \text{ k}\Omega$  liegen dabei möglichst dicht an den Abgriffspunkten, um niederohmig verbundene kapazitive und induktive Lasten zu minimieren. Darauf folgt eine erste Kapazität  $C_1$  an der nächsten verfügbaren Fläche in möglichst kurzer Entfernung. Nach dem MUX führt eine lange Leitung das Signal zum Pad, wo die dominierende Kapazität aus Platzgründen untergebracht ist. Zuletzt ist bei der Dimensionierung auf eine minimale Grenzfrequenz ( $RC$ -Zeit) zu achten, sodass Wechselanteile weit über der entsprechenden

Zeitkonstanten liegen.

### 3.10 Mögliche Betriebsmodi des Digital-Analog-Umsetzers

Zur Analyse der Schaltung ist wie in Kap. 3.4.1 genannt ein MUX im Taktpfad zum AMUX eingefügt, welcher eine programmierbare Wahlmöglichkeit zwischen dem  $f_s/2$ -Takt und einem statischen Signal gestattet, wobei die Polarität des statischen Pegels ihrerseits wiederum programmierbar ist. Auf diese Weise kann neben dem tatsächlichen AMUX-Betrieb auch lediglich einer der beiden DAU-Kanäle im Schaltplan 3.42 dauerhaft transparent geschaltet und so genauer analysiert werden. Dabei ist zu beachten, dass aufgrund der Sourcefolger und des transparenten AMUXs nur die indirekten Ausgangssignale der DAU-Kerne am Chipausgang messbar sind. Sourcefolger und AMUX führen eine „Verstärkeroperation“ durch. Darüber hinaus ist mögliches Übersprechen des jeweils intransparent geschalteten DAU-Kanals zu beachten, weshalb ein geeignetes Signal für den nicht betrachteten DAU-Kern zu wählen ist. Auch ein Taktdurchgriff durch den Takt-MUX ist möglich.

### 3.11 Prinzipielle Betrachtungen der Schnittstelle zwischen Chip und Leiterplatte für hochfrequente Signale

Eine letzte Betrachtung betrifft die Aufbautechnik. Unabhängig von den HF-Eigenschaften des Chips ist die Aufbautechnik ein entscheidender Faktor bei der messtechnischen Evaluation. Sie kann der limitierende Faktor sein, insbesondere was die Bandbreite betrifft. Die weiteren Untersuchungen legen nahe, dass sie eine entscheidende Limitierung in der Bandbreite darstellt, was zunächst im Vorgriff auf die spätere messtechnische Analyse des Aufbaus anhand einiger grundsätzlicher Überlegungen<sup>4</sup> betrachtet werden soll. Dabei geht es weniger um eine präzise quantitative Analyse als vielmehr um eine prinzipielle Betrachtung anhand von Werten in der Größenordnung der realen Werte. Allgemein wäre bei Signalen mit Frequenzanteilen bis  $f_s/2$  ein möglichst flacher Frequenzverlauf am Ausgang des Chips in diesem Bereich, idealerweise ohne jegliche Dämpfung, wünschenswert. Die Kombination aus kaum weiter reduzierbarer Padkapazität, Bonddrähten und HF-Struktur auf der HF-Leiterplatte stellt allerdings eine erhebliche Limitierung dar.

Zunächst soll die Induktivität des Bonddrahts betrachtet werden. In einem sehr einfachen

---

<sup>4</sup>M. Grözing, persönl. Kommunikation, Universität Stuttgart, INT, 2018, 2021.

Modell sollen eine gerade Hin- und eine parallele Rückleitung betrachtet werden, also eine Doppelleitung mit Strömen in entgegengesetzter Richtung. Aus der Elektrodynamik ist bekannt, dass die äußere Induktivität einer Doppelleitung  $L_{\text{DL}}$  der Länge  $l$ , dem Achsenabstand  $a$  und dem Leiterradius  $r_0$

$$L_{\text{DL}} = \frac{\mu_0}{\pi} l \cdot \ln \left( \frac{a}{r_0} \right) \quad (3.53)$$

beträgt [105]. Dabei ist  $\mu_0$  die magnetische Feldkonstante. Die innere Induktivität sei vernachlässigt. Bei einem Bonddrahtdurchmesser von  $25 \mu\text{m}$ , einem angenommenen Achsenabstand von  $120 \mu\text{m}$  (gemittelter Wert aus Abstand der Pads und Leiterbahnabstand auf der HF-Leiterplatte) sowie einer angenommenen Länge von  $300 \mu\text{m}$  ergibt sich eine Induktivität von rund  $270 \text{ pH}$  bzw. ein Induktivitätsbelag von ca.  $0,9 \text{ pH}/\mu\text{m}$ . Der Induktivitätsbelag deckt sich näherungsweise mit anderen Angaben [1, 106]. Allerdings sei darauf hingewiesen, dass für präzise Aussagen stets die Konfiguration (GSG, GSSG, GSGSG etc.; G: *Ground*, S: *Signal*) und Rückleitung (z. B. über Massefläche oder Bonddrähte) beachtet werden müssen. Hier wird von geraden, parallel verlaufenden Drähten ausgegangen und die Struktur am Ausgang (GSSG) findet keinerlei Berücksichtigung. Dieses grobe Modell soll für die weiteren Abschätzungen ausreichen, da ohnehin eine messtechnische Charakterisierung der Ausgangsstruktur folgt.

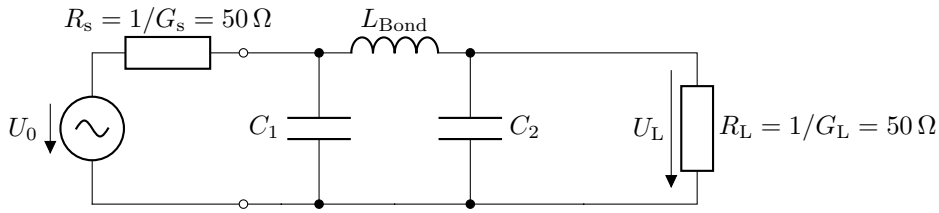
Auf der HF-Leiterplatte handelt es sich sowohl beim Takteingang als auch beim Datenausgang um dieselbe Struktur (vgl. später Abb. 5.2). Die differenziellen Signale werden dabei über die HF-Steckverbinder zunächst über zwei GSG-Leitungen geführt – man könnte sie insgesamt auch als GSGSG-Leitung betrachten. In Chipnähe wird dann zu einer GSSG-Struktur übergegangen. Dabei sind möglichst hohe Bandbreiten, also geringe Dämpfungen über einen weiten Frequenzbereich, erforderlich [10], um einen ausreichend hohen Takthub auf dem Chip sowie möglichst hohe Ausgangspegel zu erhalten. Betrachtet man zunächst den Übergang zwischen der HF-Leiterplatte und dem Chip, so kann in einer ersten, sehr einfachen Überlegung das Ersatzschaltbild eines LC-Resonators, bestehend aus Bondinduktivität und den Padkapazität, herangezogen werden. Der Wellenwiderstand einer solchen „künstlichen Leitung“ beträgt bei Annahme einer Bondinduktivität von  $L_{\text{Bond}} = 300 \text{ pH}$  sowie einer Padkapazität von  $C_{\text{Pad}} = 30 \text{ fF}$

$$Z_{\text{w,LC}} = \sqrt{\frac{L_{\text{Bond}}}{C_{\text{Pad}}}} = 100 \Omega . \quad (3.54)$$

Andererseits beträgt die Resonanzfrequenz  $f_0$  eines solchen LC-Elements

$$f_0 = \frac{1}{2\pi\sqrt{L_{\text{Bond}}C_{\text{Pad}}}} \approx 53 \text{ GHz} . \quad (3.55)$$

Auf die Unzulänglichkeiten dieses Modells insbesondere des ungenauen Bonddrahtmodells



**Abbildung 3.48:** Vereinfachtes Ersatzschaltbild von Takteingang bzw. Datenausgang mit Bonddrahtmodell und Padkapazität.

sei ausdrücklich hingewiesen. Man erkennt, dass durch zwei Bedingungen – gute Anpassung an  $50\ \Omega$  (SE) und hohe Resonanzfrequenz – kombinierte Anforderungen an  $L_{\text{Bond}}$  und  $C_{\text{Pad}}$  gestellt werden.

Abbildung 3.48 zeigt ein etwas erweitertes Ersatzschaltbild des Übergangs. Es beinhaltet ein  $\pi$ -Modell des Bonddrahts [106] bestehend aus zwei Kapazitäten und der Bondinduktivität sowie eine  $50\text{-}\Omega$ -Quelle und Last. Ein Serienwiderstand des Bonddrahts wird vernachlässigt. Je nachdem, ob man den Takteingang oder den Datenausgang betrachtet, ist die Padkapazität  $C_{\text{Pad}}$  in  $C_2$  oder  $C_1$  enthalten. Daraus ergibt sich die Übertragungsfunktion

$$\frac{U_L(s)}{U_0(s)} = \frac{G_s}{(G_s + G_L) + s(C_1 + C_2 + L_{\text{Bond}}G_sG_L) + s^2L_{\text{Bond}}(G_sC_2 + G_LC_1) + s^3L_{\text{Bond}}C_1C_2} \quad (3.56)$$

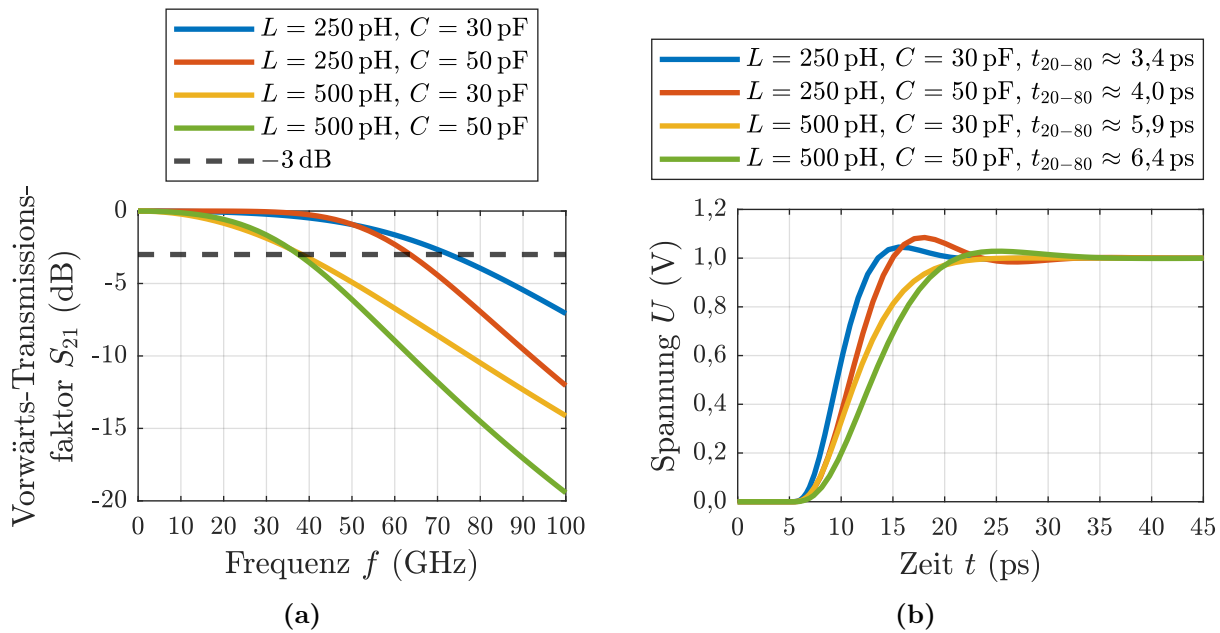
Um die prinzipiellen Effekte zu studieren, sollen folgende Definitionen bzw. Vereinfachungen getroffen werden:  $G_s = G_L = G = 1/R$ ,  $C_1 = C_2 = C$  und  $L_{\text{Bond}} = L$ . Diese Vereinfachung der analytischen Lösung berücksichtigt nicht die Asymmetrie in den Kapazitäten, welche sich durch die nur einseitige Padkapazität ergibt. Es ergeben sich drei Polstellen:

$$s_0 = -\frac{1}{RC} \quad \text{sowie} \quad (3.57a)$$

$$s_{1,2} = -\frac{1}{2RC} \pm \sqrt{\left(\frac{1}{2RC}\right)^2 - \frac{2}{LC}} \quad (3.57b)$$

Abbildung 3.49a zeigt den Vorwärts-Transmissionsfaktor  $S_{21}$  für verschiedene Kapazitäts- und Induktivitätswerte. Aus den Polstellen und der Simulation ergeben sich zwei Bedingungen für möglichst breitbandiges Verhalten: Zum einen muss die Kapazität – die Padkapazität, auf welche man beim Entwurf Einfluss nehmen kann – möglichst klein sein. Damit lässt sich beispielsweise die Polstelle  $s_0$  zu höheren Frequenzen schieben. Zum anderen muss die Induktivität möglichst klein und damit die Bonddrähte möglichst kurz sein. Die vereinfachte Anpassbedingung nach Gl. (3.54) definiert sogar ein bestimmtes Verhältnis. Die Konsequenzen der Bandbreitenlimitierungen lassen sich auch anhand von Zeitbereichssimulationen betrachten. In Abb. 3.49b sind steigende Flanken für eine Eingangflanke mit  $1\ \text{ps}$  Anstiegszeit für die beispielhaften Werte aus Abb. 3.49a gezeigt. Zusätzlich sind die Anstiegszeiten von  $20\%$





**Abbildung 3.49:** Simulationen zum Modell der Eingangs- bzw. Ausgangsstruktur im (a) Frequenzbereich und (b) Zeitbereich.

auf 80 %, also von 200 mV auf 800 mV angegeben. Die Entwurfsmaßnahmen nach Kap. 3.7, um eine kleine Padkapazität bzw. allgemein eine geringe Ausgangskapazität zu erreichen, betreffen die Gestaltung der passiven Ausgangsstrukturen. Dabei wird an die absolut untere Grenze der zulässigen Dichteregeln gegangen und sowohl genutzte als auch ungenutzte (*Filler*) Metalle nach Möglichkeit vermieden. Mittels einer AC-Simulation bei geringen Frequenzen kann eine Padkapazität von ca. 33 fF abgeschätzt werden. Darüber hinaus werden Maßnahmen beim Entwurf der HF-Leiterplatte ergriffen, um möglichst kurze Bonddrähte zu erreichen. Zum einen wird der Chip in eine Vertiefung gesetzt, sodass die Chipoberfläche möglichst plan mit den HF-Leitungen der HF-Leiterplatte sind. Zum anderen werden die HF-Leiterbahnen im Rahmen der zulässigen Entwurfsregeln möglichst nahe an die Vertiefung herangeführt. Diese Maßnahmen in Kombination mit möglichst direkten und flachen Bonddrähten verkürzen deren Länge. Da Takteingang und Datenausgang gegenüberliegend sind, ist aufgrund von Herstellungstoleranzen eine Priorisierung erforderlich. Aufgrund der einstellbaren Taktleistung wird der Ausgang priorisiert, sodass der Chip ausgangsseitig an der Kante der Vertiefung ausgerichtet wird und geringfügig längere Bonddrähte eingangsseitig in Kauf genommen werden. Die Maßnahmen helfen darüber hinaus, die Induktivität der Versorgungsspannungszuführung zu verringern, wie in Kap. 3.8 gefordert.

Mit diesem letzten Aspekt soll das Kapitel der schaltungstechnischen Realisierung des DAUs geschlossen werden. Nachfolgend werden die Vorverzerrungsverfahren erläutert, die zur Demonstration von Messungen höchster Leistungsfähigkeit unerlässlich sind.



---

## 4 Lineare Vorverzerrung der digitalen Daten

Die lineare Vorverzerrung hat zum Ziel, deterministische, lineare Effekte zu kompensieren. Im Weiteren Verlauf werden auch periodisch zeitvariante Effekte berücksichtigt. Mit Blick auf ein Übertragungssystem wirkt die Vorverzerrung im Sender. Ausgangspunkt ist die Beschreibung eines linearen Systems, dem DAU, als Superposition von Impulsantworten, die es zu schätzen gilt. Es werden verschiedene Verfahren vorgestellt, die Impulsantwort zu schätzen, wobei diese verkürzt als Impulsantwort und nicht als geschätzte Impulsantwort bezeichnet wird und das Impulsübertragungsverhalten repräsentiert. Auf die Unterschiede zum Dirac-Impuls  $\delta(t)$  in der Theorie sei hingewiesen. Die diskrete Impulsantwort  $h[n, \nu]$  geht aus geeigneter Abtastung hervor. Im Weiteren werden Methoden und Begriffe aus der Nachrichtenübertragung und Entzerrung verwendet. Denn bei der Entwicklung der Vorverzerrung können Methoden der (Kanal-)Entzerrung aus der Nachrichtenübertragung eingesetzt werden, genauer der Korrektur linearer Kanalverzerrungen. Insofern repräsentiert die DAU-Impulsantwort die Kanalimpulsantwort in Übertragungssystemen und die Begriffe des „Kanals“ sowie der „Kanalschätzung“ können auf den DAU übertragen werden. Allgemein sind lineare Kanalverzerrungen durch lineare Systeme zu korrigieren, deren Übertragungsfunktion invers zur Kanalübertragungsfunktion sein muss [60]. Zu den zu korrigierenden Effekten zählen der Frequenzgang des DAUs und des Aufbaus (Intersymbol-Interferenz), wobei ein möglichst flacher Frequenzverlauf erreicht werden soll, deterministische LPTV-Effekte wie Jitter und Verstärkungsvariationen sowie Reflexionen. Das Systemverhalten wird dabei als das Verhalten des gesamten Systems aus DAU-Chip sowie dem gesamten Aufbau bis hin zum Oszilloskop verstanden, da sämtliche Effekte miteinbezogen werden müssen. Dabei ist die Berechnung der vorverzerrten Signale zunächst zeitdiskret aber wertkontinuierlich. Erst im letzten Schritt bei der Zuweisung zu den diskreten 8-bit-Codeworten des DAUs kommt es zu einer Diskretisierung der Werte, womit die digitale Vorverzerrung abgeschlossen wird. Die vorgestellten Vorverzerrungsverfahren sind abgeleitet aus [60, 107].

## 4.1 Intersymbol-Interferenz und die erste Nyquist-Bedingung

Ausgangspunkt der folgenden Betrachtungen, welche auf [54, 60] beruhen, ist Gl. (2.19). Es werden keine additiven Rauscheinflüsse berücksichtigt. Gegeben seien eine Datenfolge  $x[n]$ , wobei DAU-konforme Daten angenommen werden, sowie die (zeitinvariante) Gesamtpulsantwort  $h(t)$  des DAUs unter Einfluss eines impulsformenden Filters, das es zu berechnen gilt. Außerdem seien entsprechende Normierungen angenommen, um eine einheitenlose Signalbeschreibung zu erhalten. Am Ausgang des DAUs ergibt sich dann folgendes Ausgangssignal:

$$y(t) = x_s(t) * h(t) = \sum_{\nu=-\infty}^{\infty} x[\nu] h(t - \nu T_s) . \quad (4.1)$$

Ein Abtastung zu den diskreten Zeitpunkten  $t_0 + nT_s$  – in Erweiterung zu Gl. (B.17) sei noch eine Verschiebung  $t_0$  erlaubt – liefert die Folge

$$\begin{aligned} y[n] &= y(t_0 + nT_s) = \sum_{\nu=-\infty}^{\infty} x[\nu] h(t_0 + (n - \nu) T_s) \\ &= \sum_{\nu=-\infty}^{\infty} x[\nu] h[n - \nu] = x[n] h[0] + \sum_{\substack{\nu=-\infty \\ \nu \neq n}}^{\infty} x[\nu] h[n - \nu] , \end{aligned} \quad (4.2)$$

wobei  $h[n] = h(t_0 + nT_s)$ . Der Störungsterm

$$R[n] = \sum_{\substack{\nu=-\infty \\ \nu \neq n}}^{\infty} x[\nu] h[n - \nu] \quad (4.3)$$

wird als Intersymbol-Interferenz bezeichnet. Auch wenn das System natürlich kausal ist, so wird dies in der Formulierung nicht berücksichtigt. Details zur Wahl von  $t_0$  werden später ersichtlich. Ziel der Vorverzerrung ist es

$$R[n] \stackrel{!}{=} 0 \quad \forall n \in \mathbb{Z} \quad (4.4)$$

zu erreichen. Dies führt zu folgender Bedingung:

$$h[n - \nu] = h(t_0 + (n - \nu) T_s) = \begin{cases} 0 & \text{für } \nu \in \mathbb{Z}, \nu \neq n , \\ h[0] = h(t_0) (\neq 0) & \text{für } \nu = n . \end{cases} \quad (4.5)$$

Letztere wird als erste Nyquist-Bedingung bezeichnet und der zugehörige Impuls als Nyquist-Impuls. Dabei ist zu erwähnen, dass hier Zeitverschiebungen ( $t_0$ ) und Dämpfungen ( $h(t_0)$ )

zugelassen werden. Ist Bedingung (4.5) erfüllt, so erhält man als Ausgangssignal

$$y[n] = x[n] h[0] . \quad (4.6)$$

Die Vorverzerrung zielt genau darauf ab, wobei im realen System aufgrund diverser Nicht-idealitäten (Rauschen, Verzerrungen) die Bedingung nicht perfekt eingehalten wird.

Nachfolgend werden drei Vorverzerrungsverfahren vorgestellt. Ziel ist ein universelles, datenunabhängiges Vorverzerrungsmodell zu entwickeln, was in Kap. 4.4 erreicht wird.

## 4.2 Lineare, zeitinvariante Vorverzerrung durch Systemidentifikation mittels identischer Trainings- und Zieldaten

Aufgrund des endlichen Speichers, der zyklisch ausgelesen wird, sind periodische Signale von Interesse, um eingeschwungene Ausgangssignale zu erhalten, wobei die Periodizität der Daten  $N_d$  entsprechend der Speichergröße eine Zweierpotenz ist. Mit periodischen Daten kann von der zyklischen Faltung aus Gl. (B.28) ausgegangen werden und das an diskreten Punkten betrachtete Ausgangssignal lautet im Zeitbereich

$$y[n] = x[n] \textcircled{N_d} h[n] , \quad 0 \leq n \leq N_d - 1 \quad (4.7)$$

und im Frequenzbereich

$$Y[k] = \text{DFT}_{N_d}\{x[n]\} \cdot \text{DFT}_{N_d}\{h[n]\} = X[k] H[k] , \quad 0 \leq k \leq N_d - 1 . \quad (4.8)$$

Darin bezeichnet  $h[n]$  die aus den gemessenen Daten extrahierte, geschätzte Impulsantwort des Systems. Es handelt sich demnach um eine LTI-Beschreibung. Die Gleichungen (4.7) und (4.8) repräsentieren ein LTI-DAU-Modell. Für ein Vorverzerrungsfilter mit der Impulsantwort  $e[n]$  sollte idealerweise im Zeitbereich ( $0 \leq n \leq N_d - 1$ )

$$h[n] \textcircled{N_d} e[n] = \begin{cases} 1 & \text{für } n = 0 , \\ 0 & \text{sonst} \end{cases} \quad (4.9)$$

gelten, was im Frequenzbereich ( $0 \leq k \leq N_d - 1$ ) der Bedingung

$$\text{DFT}_{N_d}\{h[n]\} \cdot \text{DFT}_{N_d}\{e[n]\} = H[k] E[k] = 1 \quad (4.10)$$

entspricht. Dabei wird dieselbe Länge  $N_d$  wie jene der Datenfolge angenommen. Demnach muss für das Vorverzerrungsfilter

$$E[k] = \frac{1}{H[k]} \quad (4.11)$$

gelten, das damit das inverse Filter des linearen Filtermodells des DAUs darstellt. Es wird als *Zero-Forcing-Filter* (ZF) bezeichnet [60, 107]. Die Ausführung der Vorverzerrung im Frequenzbereich ist hierbei keinesfalls zwingend. Über den Zusammenhang aus zyklischer Faltung im Zeitbereich und Multiplikation im Frequenzbereich besteht eine Korrespondenz zu einer zyklischen Faltungsmatrix.

Gleichung (4.9) stellt eine Idealisierung dar. In Realität kommen weitere Effekte hinzu, darunter die Überlagerung von Rauschen. Beim *Minimum-Mean-Square-Error-Verfahren* (MMSE) ist die Minimierung der Gesamtfehlerleistung das Ziel. „Diese Fehlerleistung enthält sowohl Rauschen als auch Intersymbol-Interferenz, wobei infolge des MMSE-Ansatzes zwischen den beiden Einflüssen der optimale Kompromiss in Hinblick auf eine minimale Gesamtfehlerleistung eingestellt wird“ [60]. Die Übertragungsfunktion (hier über DFT) des Vorverzerrungsfilters unter genanntem Kriterium lautet [60, 107]

$$E[k] = \frac{H^*[k]}{H[k]H^*[k] + \alpha} \quad (4.12)$$

Der Term  $\alpha$  stellt das Verhältnis aus mittlerer Rausch- und Signalleistung dar, wird im Weiteren jedoch als rein empirischer Parameter angenommen. Der Spezialfall  $\alpha = 0$  führt auf das Ergebnis (4.11).

Unabhängig davon, welches Verfahren angewendet wird, basiert die Vorverzerrung auf einer Folge von Trainingssymbolen  $x[n]$ . Dabei werden die unvorverzerrten Trainingsdaten über den DAU ausgegeben und das DAU-Ausgangssignal gemessen. Das zugehörige normierte Signal  $y_{\text{Mess}}$  habe die Länge  $N_{\text{Mess}}$ . Meist beträgt die Länge der Trainingssymbole  $N_d = 1024$ . Wird diese Sequenz im Ganzen auf dem Oszilloskop dargestellt, ergibt sich bei einer maximalen Datenlänge des Oszilloskops  $N_{\text{Oszi}} = 16000$  und beispielsweise einer Umsetzungsrate von  $f_s = 100 \text{ GS/s}$  eine Auflösung von 0,64 ps.  $N_{\text{Mess}}$  ist allgemein bei möglicherweise größeren Datenlängen aufgrund höherer Auflösung oder einer eventuellen Interpolation der Messdaten variabel. Dies führt zu folgendem Algorithmus:

1. Rationale Abtastratenerhöhung der Eingangsdaten  $x[n]$  um  $N_{\text{Mess}}/N_d$  von  $N_d \rightarrow N_{\text{Mess}}$  und Normierung. Dies ergibt  $x_u[m]$ , mit  $0 \leq m \leq N_{\text{Mess}} - 1$  mit derselben Länge wie jene des gemessenen Signals  $y_{\text{Mess}}[m]$ .
2. Normierung der Messdaten, sodass Original- und Messdaten denselben Aussteuerbereich haben.
3. Bestimmung des Indexes  $m_0$  des Maximalwertes der zirkularen Kreuzkorrelation von

$x_u[m]$  und  $y_{\text{Mess}}[m]$  zur Identifikation der Originaldaten in den Messdaten:

$$\begin{aligned} m_0 &= \underset{m}{\operatorname{argmax}} \{x_u[m] \star y_{\text{Mess}}[m]\} \\ &= \underset{m}{\operatorname{argmax}} \left\{ \operatorname{IDFT}_{N_{\text{Mess}}} \left\{ \operatorname{DFT}_{N_{\text{Mess}}} \{x_u[m]\} \cdot \left( \operatorname{DFT}_{N_{\text{Mess}}} \{y_{\text{Mess}}[m]\} \right)^* \right\} \right\}. \end{aligned} \quad (4.13)$$

4. Zyklische Permutation des Messdaten-Vektors ( $m_0 = 0$  bedeutet Übereinstimmung):

$$\tilde{\mathbf{y}}_{\text{Mess}}[m] = (\mathbf{P}_\sigma)^{m_0} \mathbf{y}_{\text{Mess}}[m]. \quad (4.14)$$

Die zugehörige Permutationsmatrix  $\mathbf{P}_\sigma$  ist in Anhang F definiert. Im konkreten Fall hat sie die Dimension  $N_{\text{Mess}} \times N_{\text{Mess}}$ .

5. Lineare Interpolation von  $\tilde{\mathbf{y}}_{\text{Mess}}[m]$  auf  $N_d$  Punkte im Abstand  $T_s$  ergibt  $y[n]$ .

6. Frequenzgang  $H[k]$  berechnen:

$$H[k] = \frac{\operatorname{DFT}_{N_d} \{y[n]\}}{\operatorname{DFT}_{N_d} \{x[n]\}} = \frac{Y[k]}{X[k]}. \quad (4.15)$$

7. Vorverzerrungskoeffizienten  $E[k]$  im Frequenzbereich nach Gl. (4.11) oder (4.12), abhängig vom Verfahren, berechnen.

8. DC-Wert  $E[0] = 0$  korrigieren.

9. Unnormierte, vorverzerrte Daten  $\tilde{x}_{\text{korrr}}[n]$  durch elementweise Multiplikation und Rücktransformation in den Zeitbereich berechnen:

$$\tilde{x}_{\text{korrr}}[n] = \operatorname{IDFT}_{N_d} \{X[k] E[k]\}. \quad (4.16)$$

10. Daten normieren, sodass  $-1 \leq x_{\text{korrr}}[n] \leq 1$  gilt und maximale Aussteuerung erreicht wird:

$$x_{\text{korrr}}[n] = \frac{\tilde{x}_{\text{korrr}}[n]}{\max_{0 \leq n \leq N_d-1} \{|\tilde{x}_{\text{korrr}}[n]|\}}. \quad (4.17)$$

11. Zuordnung der Daten zu diskreten DAU-Symbolen (Quantisierung).

Es sei angemerkt, dass von geeigneten, breitbandigen Signalen ausgegangen wird, dergestalt, dass in Gl. (4.15) keine Divisionsprobleme (null) auftreten. Dabei können auch kleine Werte  $X[k]$  problematisch sein. Für den DC-Wert ist diese Problematik aufgrund der Festlegung in Schritt 8 nicht von Belang.

Mit der vorgestellten Methode ist es möglich, mithilfe einer Trainingssequenz die „Kanalimpulsantwort“ zu schätzen und diese zur Vorverzerrung zu nutzen. Es sind eine ZF- und eine MMSE-Lösung möglich. Der Nachteil der starken Rauschanhebung im Bereich von Einbrüchen des Kanalfrequenzgangs bei der ZF-Lösung kann durch den MMSE-Ansatz

entschärft werden [60]. Unter Vorwegnahme der späteren Messergebnisse ist zu erwähnen, dass dieses Verfahren bzw. die so geschätzte Impulsantwort im konkreten Fall nicht universell ist. Denn das DAU-Verhalten weist signifikantes zeitvariantes Verhalten auf, weshalb eine reine LTI-Beschreibung, welche hinter dem angegebenen Verfahren steckt, nicht ausreichend ist. Aus diesem Grund ist das Verfahren auf die Anwendung beschränkt, Daten mithilfe von zuvor gemessenen, identischen Trainingsdaten vorzuverzerrern. Für diesen Anwendungsfall mit breitbandigen PAM-Signalen liefert das Verfahren jedoch sehr gute Ergebnisse, weshalb die Ergebnisse als Referenz zu Evaluierung der weiteren Vorverzerrungsverfahren herangezogen werden.

### 4.3 Lineare, zeitinvariante Vorverzerrung durch Systemidentifikation mittels eines Einheitsimpulses

In diesem Abschnitt wird eine weitere LTI-Vorverzerrungsmethode vorgestellt, in welcher die Impulsantwort auf andere Art geschätzt wird. Obschon es sich ebenfalls um ein LTI-Verfahren handelt und entsprechende Restriktionen hinsichtlich der Universalität wie bereits im letzten Abschnitt zu erwarten sind, ist es ein wichtiger Zwischenschritt, um den Weg zu einem universellen Vorverzerrungsverfahren im nächsten Unterkapitel zu ebnen. Die folgende LTI-Vorverzerrungsmethode kann aus dem Entzerrerverfahren des Symboltaktentzerrers in [60] abgeleitet werden. Es ist ein Verfahren der linearen Entzerrung mit nichtrekursiven Systemen (Transversalentzerrer) im Zeitbereich, welches für das vorliegende Problem übertragen wird. Ausgangspunkt ist wieder eine zeitdiskrete Betrachtung. Die diskrete Impulsantwort  $h[n]$  als Antwort auf einen Einheitsimpuls steht im Mittelpunkt. Nachfolgend wird das Verfahren basierend auf der Darstellung in [60] wiedergegeben.

Die gesamte Impulsantwort endlicher Länge  $N_h$  des Systems sei  $h[n]$  unter Annahme von  $h[n] = 0$  für  $n < 0$  und  $n \geq N_h$  mit zugehörigem Vektor

$$\mathbf{h} = (h[0], h[1], \dots, h[N_h - 1])^T . \quad (4.18)$$

Die Impulsantwort wird hierbei aus der Systemantwort auf einen Einheitsimpuls geschätzt und für die Stützstellen gilt  $h[n] = h(t_0 + nT_s)$ , wobei die Wahl der Zeitbasis in Kap. 5.2.3 gegeben ist. Das digitale, nichtrekursive Vorverzerrungssystem mit der Impulsantwort  $e[n]$  der Länge  $N_e$ , also mit der Definition  $e[n] = 0$  für  $n < 0$  und  $n \geq N_e$ , wird durch den Vektor

$$\mathbf{e} = (e[0], e[1], \dots, e[N_e - 1])^T \quad (4.19)$$



repräsentiert. Die Vorverzerrung hat zum Ziel, einen Nyquist-Impuls

$$\mathbf{i} = (0, 0, \dots, 0, 1, 0, \dots, 0)^T, \quad (4.20)$$

$\uparrow n_0$

$\mathbf{i} \in \mathbb{R}^{(N_e+N_h-1) \times 1}$ , zu erzeugen. Die Position  $n_0$  stellt einen Freiheitsgrad dar und wird im mittleren Bereich gewählt. Betrachtet man die Faltung

$$(e * h)[n] = \sum_{\nu=-\infty}^{\infty} e[\nu] h[n-\nu] = \sum_{\nu=0}^{N_e-1} e[\nu] h[n-\nu], \quad (4.21)$$

so kann die Bedingung unter Darstellung der Faltung als Matrix-Vektor-Produkt wie folgt formuliert werden:

$$\underbrace{\begin{pmatrix} h[0] & 0 & \dots & 0 \\ h[1] & h[0] & \dots & \\ h[2] & h[1] & \ddots & \vdots \\ \vdots & \vdots & \dots & \\ h[N_h-2] & h[N_h-3] & \dots & 0 \\ h[N_h-1] & h[N_h-2] & \dots & \boxed{h[0]} \\ 0 & h[N_h-1] & \dots & h[1] \\ 0 & 0 & \dots & h[2] \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \dots & h[N_h-1] \end{pmatrix}}_{\mathbf{H}} \cdot \underbrace{\begin{pmatrix} e[0] \\ e[1] \\ e[2] \\ \vdots \\ e[N_e-1] \end{pmatrix}}_{\mathbf{e}} = \underbrace{\begin{pmatrix} 0 \\ 0 \\ \vdots \\ 0 \\ 1 \\ 0 \\ \vdots \\ 0 \\ 0 \end{pmatrix}}_{\mathbf{i}} + \underbrace{\begin{pmatrix} \epsilon_i[0] \\ \epsilon_i[1] \\ \vdots \\ \epsilon_i[n_0-1] \\ \epsilon_i[n_0] \\ \epsilon_i[n_0+1] \\ \vdots \\ \epsilon_i[N_h+N_e-3] \\ \epsilon_i[N_h+N_e-2] \end{pmatrix}}_{\boldsymbol{\epsilon}_i}. \quad (4.22)$$

Die Startposition des markierten Eintrags  $\boxed{h[0]}$  hängt dabei von der Größe der Matrix ab. Die Faltungsmatrix  $\mathbf{H}$  hat die Größe  $(N_e + N_h - 1) \times N_e$  und stellt strukturell eine Toeplitz-Matrix dar. Gesucht sind die Vorverzerrungskoeffizienten  $\mathbf{e}$ , nach Gl. (4.21) also eine Operation zur Dekonvolution (Entfaltung). Das Gleichungssystem kann kurz als

$$\mathbf{H} \cdot \mathbf{e} = \mathbf{i} + \boldsymbol{\epsilon}_i \quad (4.23)$$

geschrieben werden. Da die Matrix  $\mathbf{H}$  nicht quadratisch und das Gleichungssystem somit überbestimmt ist, erfolgt die Lösung durch Minimierung der Energie des Fehlers  $\boldsymbol{\epsilon}_i$  im Sinne kleinster Fehlerquadrate (engl.: *least squares*, LS):

$$\mathbf{e}_{\text{LS}} = \underset{\mathbf{e}}{\operatorname{argmin}} \{ \boldsymbol{\epsilon}_i^H \boldsymbol{\epsilon}_i \} = \underset{\mathbf{e}}{\operatorname{argmin}} \left\{ \sum_{n=0}^{N_e+N_h-2} \epsilon_i^2[n] \right\}. \quad (4.24)$$

Die LS-Lösung ergibt sich mit der Pseudoinversen  $\mathbf{H}^+ = (\mathbf{H}^H \mathbf{H})^{-1} \mathbf{H}^H$  (auch Moore-Penrose-Inverse), wobei hier  $\mathbf{H}^+ \in \mathbb{R}^{N_e \times (N_e + N_h - 1)}$  gilt, zu

$$\mathbf{e}_{\text{LS}} = (\mathbf{H}^H \mathbf{H})^{-1} \mathbf{H}^H \mathbf{i} = \mathbf{H}^+ \mathbf{i} . \quad (4.25)$$

Auch hierbei handelt es sich um ein ZF-Verfahren; das „Kanalrauschen“ findet keine Berücksichtigung. Es wird lediglich eine „möglichst gute Einhaltung der ersten Nyquist-Bedingung (äquidistante Nullstellen der Gesamtimpulsantwort) angestrebt“ [60]. Das Verfahren kann in eine transversale Filterstruktur übersetzt werden, allerdings mit konstanten Filterkoeffizienten.

Im Vorgriff auf die späteren Messergebnisse wird sich dieses LTI-Verfahren als unzureichend herausstellen, da das DAU-System zeitvariant, genauer periodisch zeitvariant, ist. Aus diesem Grund wird das Verfahren im nächsten Abschnitt unter Berücksichtigung periodischer Zeitvarianz weiterentwickelt.

## 4.4 Universelle lineare, periodisch zeitvariante Vorverzerrung durch Systemidentifikation mittels verschobener Einheitsimpulse

Messungen von Einheitsimpulsen an verschiedenen Positionen offenbaren, dass keine einheitliche Reaktion des Systems erfolgt. Vielmehr zeigen sich systembedingt  $P$  unterschiedliche Impulsreaktionen, die sich mit der Periode  $P$  wiederholen, was sich auf die Architektur zurückführen lässt, womit zeitvariante Effekte einen zentralen Aspekt bei der Vorverzerrung darstellen. Es handelt sich demnach um ein LPTV-System mit deterministischer, periodischer Zeitvarianz und linearem Verhalten bezüglich der Daten. Ein Modell für periodisch zeitvariante Impulse unterschiedlicher Breite und Höhe mit den spektralen Auswirkungen wurde bereits in Kap. 2.9 eingeführt. Diese können als eine Kombination aus festem, periodischem Jitter und periodischen Verstärkungsvariationen – jeweils deterministisch – entsprechend den Gleichungen (2.43), (2.46) und (2.52) interpretiert werden. Beide Effekte – so sie deterministisch und linear sind – zu berücksichtigen und zusammen mit dem Frequenzgang (Intersymbol-Interferenz) zu kompensieren, ist Ziel dieses universellen Vorverzerrungskonzepts, das die Effekte beschreibt und korrigiert. Hierzu wird der Ansatz aus den Gleichungen (4.22) bzw. (4.23) erweitert. Dabei ergeben sich  $P$  Gleichungssysteme und eine Matrix für die Vorverzerrungskoeffizienten  $\mathbf{e}_{\text{LPTV}} \in \mathbb{R}^{N_e \times P}$ .

Im Weiteren sei der Übergang von der kontinuierlichen, zeitvarianten Impulsantwort  $h(t, \tau)$  zur diskontinuierlichen  $h[n, \nu]$  wie folgt definiert:

$$h[n, \nu] = h(t_0 + nT_s, t_0 + \nu T_s) . \quad (4.26)$$

Ausgangspunkt der nachfolgenden Überlegungen ist die Superpositionssumme nach Gl. (2.8), die entsprechend Kap. 2.3 auch mittels der modifizierten zeitvarianten Impulsantwort  $g[n, \mu]$  ausgedrückt werden kann, wobei hier nur die diskreten Werte aufgrund der nachfolgenden digitalen Signalverarbeitung betrachtet werden:

$$\begin{aligned}
 y[n] &= \sum_{\nu=n-N_h+1}^n e[\nu] h[n, \nu] \stackrel{\mu=n-\nu}{=} \sum_{\mu=0}^{N_h-1} e[n-\mu] h[n, n-\mu] \\
 &= \sum_{\mu=0}^{N_g-1} e[n-\mu] g[n, \mu] = e[n] \otimes g[n, \mu] .
 \end{aligned} \tag{4.27}$$

Diese Gleichung stellt das zeitvariante Analogon zu Gl. (4.21) dar. Dabei wird die Kausalität berücksichtigt:  $h[n, \nu] = 0$  für  $n < \nu$  bzw.  $g[n, \mu] = 0$  für  $\mu < 0$ . Des Weiteren wird von einer endlichen Länge  $N_h = N_g$ , innerhalb welcher Werte von  $h[n, \nu]$  bzw.  $g[n, \mu]$  berücksichtigt werden, ausgegangen. Das Ausgangssignal zu den diskreten Abtastzeitpunkten  $t_0 + nT_s$  kann demnach als zeitvariante Faltung berechnet werden. Gleichung (4.27) modelliert das DAU-System und kann somit auch als Simulationsmodell des Systems verwendet werden. Mit einer Schätzung der kontinuierlichen Impulsantwort  $h(t, \tau)$  bzw. numerisch mithilfe feiner abgetasteten Impulsreaktionen als  $h[n, \nu]$  aus den Messungen ist eine Simulation auch jenseits der Abtastwerte möglich, die im Rahmen der im Modell enthaltenen Effekte gültig ist. Die Periode des LPTV-Systems sei  $P$ , also gilt

$$h[n + z_0P, \nu + z_0P] = h[n, \nu] \quad \text{und} \quad g[n + z_0P, \mu] = g[n, \mu] \quad \text{für } z_0 \in \mathbb{Z} . \tag{4.28}$$

Im Weiteren werden die Elemente einer Matrix  $\mathbf{A} = (a_{ij})$  entsprechend den Vektoren wie folgt geschrieben:  $a[i, j] = a_{ij}$ , Zählung beginnend mit 0. Zunächst wird lediglich die zeitvariante Impulsantwort  $h[n, \nu]$  betrachtet. Die Bildungsvorschrift der zeitvarianten Faltungsmatrix  $\mathbf{H}_{\text{LPTV}}$  ergibt sich aus Gl. (4.27)

$$\mathbf{H}_{\text{LPTV}} = \left( h[n, \nu] \right) , \tag{4.29}$$

mit  $0 \leq n \leq N_e + N_h - 2$  und  $0 \leq \nu \leq N_e - 1$ . Sie hat demnach wieder die Größe  $(N_e + N_h - 1) \times N_e$  und ist abhängig von der gewählten Länge  $N_e$  des zugehörigen Vorverzerrungsvektors  $\mathbf{e}_{\text{LPTV}, \kappa}$ ,  $\kappa \in \{0, \dots, P-1\}$ , welche hier mit  $N_e = n_0 \cdot P$  und  $n_0 \in \mathbb{N}$  gewählt wird. Aufgrund der Kausalität und der als endlich angenommenen Länge der Impulsreaktionen gilt  $h[n, \nu] = 0$  für  $\nu > n$  und  $\nu < n - N_h + 1$ , wie dies auch in den Summationsgrenzen  $n - N_h + 1 \leq \nu \leq n$  in Gl. (4.27) berücksichtigt ist. Die Faltungsmatrix repräsentiert damit die Operation aus Gl. (4.27), wenn man  $e[n] = 0$  für  $n < 0$  annimmt. Aus Darstellungs- sowie aus Konsistenzgründen bezüglich der späteren Bestimmung wird eine zeitlich normierte

Impulsantwort  $\tilde{h}[\rho, \nu]$  mit neuer Zeitbasis  $\rho$  definiert. Mit  $\rho := n - \nu$  gilt:

$$\tilde{h}[\rho, \nu] := h[\rho + \nu, \nu] . \quad (4.30)$$

Die berücksichtigten Werte liegen damit im Bereich  $0 \leq \rho \leq N_h - 1$ . Dies ist lediglich eine Definition, um Messungen der Impulsreaktionen komfortabel zuzuordnen. Es handelt sich hierbei um eine den Impulsreaktionen  $h_n(t - t_n)$  in Kap. 2.9.1 entsprechende Beschreibung, welche ebenfalls zeitlich auf einen gemeinsamen Startpunkt  $t = 0$  normiert sind (vgl. Gl. (C.5)). An den grundsätzlichen Zusammenhängen ändert sich nichts. Ferner seien die folgenden  $P$  Vektoren  $\tilde{\mathbf{h}}_{p, \text{ZP}}$  definiert:

$$\tilde{\mathbf{h}}_{p, \text{ZP}} := \left( \tilde{h}[0, p], \tilde{h}[1, p], \dots, \tilde{h}[N_h - 1, p], \underbrace{0, \dots, 0}_{N_e - 1} \right)^T . \quad (4.31)$$

Dabei gilt  $p \in \{0, \dots, P - 1\}$ . Die Vektoren aus Gl. (4.31) beschreiben  $P$  verschiedene Vektoren für  $P$  Impulsreaktionen zu jeweils unterschiedlichen Stoßstellen [51], erweitert durch *Zero Padding* auf die Größe  $(N_e + N_h - 1) \times 1$ . Im nächsten Schritt werden Permutationen auf diese Vektoren angewendet:

$$\hat{\mathbf{h}}_i = \mathbf{P}_\sigma^i \tilde{\mathbf{h}}_{i \bmod P, \text{ZP}} . \quad (4.32)$$

Die Permutationsmatrix hat hierbei das Format  $(N_e + N_h - 1) \times (N_e + N_h - 1)$  und  $i \in \{0, \dots, N_e - 1\}$ . Damit kann die Faltungsmatrix  $\mathbf{H}_{\text{LPTV}}$  für die zeitvariante Faltung mithilfe dieser Spaltenvektoren angegeben werden:

$$\mathbf{H}_{\text{LPTV}} = \left( \hat{\mathbf{h}}_0, \hat{\mathbf{h}}_1, \dots, \hat{\mathbf{h}}_{N_e - 1} \right) = \begin{pmatrix} \tilde{h}[0, 0] & 0 & \dots & 0 & 0 & 0 & \dots & 0 \\ \tilde{h}[1, 0] & \tilde{h}[0, 1] & \dots & 0 & 0 & 0 & \dots & 0 \\ \tilde{h}[2, 0] & \tilde{h}[1, 1] & \dots & 0 & 0 & 0 & \dots & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ \tilde{h}[N_h - 2, 0] & \tilde{h}[N_h - 3, 1] & \dots & 0 & 0 & 0 & \dots & 0 \\ \tilde{h}[N_h - 1, 0] & \tilde{h}[N_h - 2, 1] & \dots & \boxed{\tilde{h}[0, P - 1]} & 0 & 0 & \dots & 0 \\ 0 & \tilde{h}[N_h - 1, 1] & \dots & \tilde{h}[1, P - 1] & \tilde{h}[0, 0] & 0 & \dots & 0 \\ 0 & 0 & \dots & \tilde{h}[2, P - 1] & \tilde{h}[1, 0] & \tilde{h}[0, 1] & \dots & 0 \\ 0 & 0 & \dots & \tilde{h}[3, P - 1] & \tilde{h}[2, 0] & \tilde{h}[1, 1] & \dots & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \dots & 0 & 0 & 0 & \dots & \tilde{h}[N_h - 1, P - 1] \end{pmatrix} . \quad (4.33)$$

Die zeitvariante Faltungsmatrix wird demnach alternierend mit den einzelnen zeitlich verschobenen Impulsreaktionen periodisch besetzt, die jeweils einer entsprechenden zyklischen Permutation unterliegen. Auch hier hängt die Position des markierten Eintrags  $\tilde{h}[0, P-1]$  von der Größe der Matrix ab – genauer von  $P$  und  $N_e$  (Eintrag kann auch mehrfach vorkommen). Es ist zu erkennen, dass die zeitvariante Faltungsmatrix strukturell keine Toeplitz-Matrix mehr darstellt.

Im nächsten Schritt gilt es, die Vektoren der Nyquist-Impulse  $\mathbf{i}_\kappa \in \mathbb{R}^{(N_e+N_h-1) \times 1}$  mit  $\kappa \in \{0, \dots, P-1\}$  zu definieren. Hierzu definiert man für eine Spalte  $j$  (Zählung beginnend mit 0) ein  $\kappa = j \bmod P$ . Dabei wird  $j$  vorzugsweise etwa aus der Mitte der Matrix  $\mathbf{H}_{\text{LPTV}}$  gewählt mit der Bedingung, dass sich für aufsteigende  $j$  aufsteigende Werte für  $\kappa$  von 0 bis  $P-1$  ergeben.  $P$  mittlere Spalten  $j \in \{j_0, \dots, j_0 + P - 1\}$  der Matrix  $\mathbf{H}_{\text{LPTV}}$  werden demnach so gewählt, dass  $j_0 \bmod P = 0$ . Mit  $\kappa = j \bmod P$  ergibt sich dann genau  $\kappa \in \{0, \dots, P-1\}$  in aufsteigender Reihenfolge. Die zeitlich normierte Impulsantwort  $\tilde{h}[\rho, \nu]$  enthält diskrete Impulse mit jeweils einem Maximum, wobei die Position der Maxima stets an derselben Stelle  $\rho$  auftritt. Dies ist systembedingt und wird durch die Definition erzwungen, was anhand des Bestimmungsverfahrens der zeitlich normierten Impulsantwort nach Kap. 5.2.3 deutlich wird. Zu jedem  $\kappa$  ist nun der Index  $\eta_\kappa$  des Maximums der zugehörigen Spalte zu bestimmen:

$$\eta_\kappa = \underset{n \in \{0, \dots, N_e+N_h-2\}}{\operatorname{argmax}} \left\{ \hat{h}_j[n] \right\}. \quad (4.34)$$

Die Positionen der Maxima der aufsteigend sortierten Spaltenindizes  $j$  unterliegen einem Inkrement gemäß

$$\eta_{\kappa+1} = \eta_\kappa + 1. \quad (4.35)$$

Damit ergeben sich  $P$  Nyquist-Impuls-Vektoren

$$\mathbf{i}_\kappa = \mathbf{e}_{\eta_\kappa} \quad \text{bzw.} \quad \mathbf{i}_\kappa = (0, 0, \dots, 0, 1, 0, \dots, 0)^T, \quad (4.36)$$

↑ Element  $\eta_\kappa$

wobei sich Vektoren mit aufeinanderfolgenden Indizes entsprechend Gl. (4.35) jeweils um eine Position unterscheiden. Die Vektoren  $\mathbf{e}_{\eta_\kappa}$  bezeichnen die entsprechenden Einheitsvektoren. Auf diese Weise erhält man Vektoren zu Nyquist-Impulsen an jeder Position innerhalb einer Periode. Für  $\max\{\tilde{h}[\rho, \nu]\} = \tilde{h}[\rho_{\max}, \nu]$ , wobei  $\rho_{\max}$  für alle  $\tilde{h}[\rho, \nu]$  gleich ist, gilt

$$\eta_\kappa = \rho_{\max} + j \quad (4.37)$$

und der zu einer mittleren Spalte  $j$  gehörende Nyquist-Impuls-Vektor kann auch mittels Gl. (4.38) bestimmt werden.

$$\mathbf{i}_\kappa = \mathbf{e}_{\rho_{\max}+j} \quad (4.38)$$

Mit diesen Definitionen können analog zu Gl. (4.22)  $P$  Gleichungssysteme aufgestellt werden:

$$\mathbf{H}_{\text{LPTV}} \cdot \mathbf{e}_{\text{LPTV},\kappa} = \mathbf{i}_\kappa + \boldsymbol{\epsilon}_{\mathbf{i},\kappa} \quad (4.39)$$

bzw. unter Verwendung der Matrizen

$$\mathbf{e}_{\text{LPTV}} = (\mathbf{e}_{\text{LPTV},0}, \mathbf{e}_{\text{LPTV},1}, \dots, \mathbf{e}_{\text{LPTV},P-1}) \in \mathbb{R}^{N_e \times P}, \quad (4.40a)$$

$$\mathbf{i}_{\text{LPTV}} = (\mathbf{i}_0, \mathbf{i}_1, \dots, \mathbf{i}_{P-1}) \in \mathbb{R}^{(N_e+N_h-1) \times P} \quad \text{sowie} \quad (4.40b)$$

$$\boldsymbol{\epsilon}_{\mathbf{i},\text{LPTV}} = (\boldsymbol{\epsilon}_{\mathbf{i},0}, \boldsymbol{\epsilon}_{\mathbf{i},1}, \dots, \boldsymbol{\epsilon}_{\mathbf{i},P-1}) \in \mathbb{R}^{(N_e+N_h-1) \times P} \quad (4.40c)$$

zusammengefasst:

$$\mathbf{H}_{\text{LPTV}} \cdot \mathbf{e}_{\text{LPTV}} = \mathbf{i}_{\text{LPTV}} + \boldsymbol{\epsilon}_{\mathbf{i},\text{LPTV}}. \quad (4.41)$$

Die Nyquist-Impuls-Vektoren werden in der zugehörigen Matrix  $\mathbf{i}_{\text{LPTV}}$  in Gl. (4.42) zusammengefasst.

$$\mathbf{i}_{\text{LPTV}} = \begin{pmatrix} \mathbf{i}_0 & \mathbf{i}_1 & & \mathbf{i}_{P-1} \\ \downarrow & \downarrow & & \downarrow \\ 0 & 0 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 1 & 0 & \cdots & 0 \\ 0 & 1 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & 1 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & 0 \end{pmatrix} \begin{array}{l} \leftarrow \text{Zeile } \eta_0 \\ \leftarrow \text{Zeile } \eta_1 \\ \vdots \\ \leftarrow \text{Zeile } \eta_{P-1} \end{array} \quad (4.42)$$

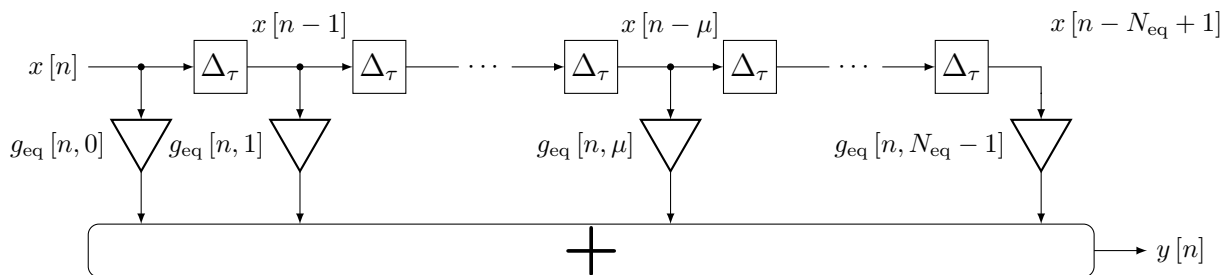
Die Matrix  $\mathbf{e}_{\text{LPTV}}$  enthält die Vorverzerrungskoeffizienten. Aufgrund der Überbestimmtheit wird auch hier das LS-Verfahren nach den Gleichungen (4.24) und (4.25) angewandt:

$$\mathbf{e}_{\text{LPTV,LS}} = (\mathbf{e}_{\text{LPTV,LS},0}, \mathbf{e}_{\text{LPTV,LS},1}, \dots, \mathbf{e}_{\text{LPTV,LS},P-1}) = (\mathbf{H}_{\text{LPTV}}^H \mathbf{H}_{\text{LPTV}})^{-1} \mathbf{H}_{\text{LPTV}}^H \mathbf{i}_{\text{LPTV}}. \quad (4.43)$$

Da sich bei der Berechnung der Vorverzerrungskoeffizienten auf eine Periode beschränkt wird, die Vorverzerrung aber für beliebige Datenlängen  $N_d$  gilt, wird eine periodische fortgesetzte Vorverzerrungsmatrix  $\tilde{\mathbf{e}}_{\text{LPTV,LS}}$  in der Weise definiert, dass für  $z_0 \in \mathbb{Z}$

$$\tilde{\mathbf{e}}_{\text{LPTV,LS}} [i + z_0P, j + z_0P] = \tilde{\mathbf{e}}_{\text{LPTV,LS}} [i, j]. \quad (4.44)$$

Bei geeigneter Verschiebung  $z_0$ , sodass  $0 \leq \tilde{j} \leq P-1$ , können dann die Werte berechnet



**Abbildung 4.1:** Zeitdiskretes, zeitvariantes Filter nach [54]. Die Verzögerung  $\Delta_\tau$  entspricht der Symboldauer  $T_s$ . Der Zugriff auf die Koeffizienten erfolgt über  $g_{\text{eq}}[(n \bmod P), \mu]$ .

werden durch

$$\tilde{e}_{\text{LPTV,LS}}[\tilde{i}, \tilde{j}] = \begin{cases} e_{\text{LPTV,LS}}[\tilde{i}, \tilde{j}] & \text{für } 0 \leq \tilde{i} \leq N_e - 1 \text{ und } 0 \leq \tilde{j} \leq P - 1, \\ 0 & \text{sonst,} \end{cases} \quad (4.45)$$

d. h., es werden neben der periodischen Fortsetzung entsprechende Nullen ergänzt. Zu beachten ist hierbei die eingeschränkte Gültigkeit von Gl. (4.45) für  $0 \leq \tilde{j} \leq P - 1$ .

Allgemein sei darauf hingewiesen, dass beim Lösen von Gl. (4.39) bzw. (4.41) die Verletzung von Kausalität zugelassen wird. Denn rechnerisch sind Werte  $e_{\text{LPTV,LS}}[i, j] \neq 0$  für  $i < j$  möglich. Diese sind jedoch vernachlässigbar. Der Übergang von der Impulsantwort zur modifizierten Impulsantwort  $g_{\text{eq}}[n, \mu]$  erfolgt dergestalt, dass

$$g_{\text{eq}}[n, \mu] = \begin{cases} \tilde{e}_{\text{LPTV,LS}}[n, n - \mu] & \text{für } 0 \leq \mu \leq N_{\text{eq}} - 1, \\ 0 & \text{sonst.} \end{cases} \quad (4.46)$$

In Gl. (4.46) wird die Filterlänge  $N_{\text{eq}} \leq N_e$  eingeführt. Je nach Anwendung oder Rahmenbedingungen kann auch eine kürzere Filterlänge durch geeignete Kürzung der Spaltenvektoren in  $\tilde{e}_{\text{LPTV,LS}}$  bzw. Nullsetzen entsprechender Matrixeinträge verwendet werden. Da die Vorverzerrungskoeffizienten vorab und nicht in Echtzeit berechnet werden, ist dies im Rahmen dieser Arbeit nicht erforderlich. Es lässt sich leicht nachprüfen, dass für  $0 \leq \mu \leq N_{\text{eq}} - 1$  gilt:  $g_{\text{eq}}[n + z_0 P, \mu] = g_{\text{eq}}[n, \mu]$ ,  $z_0 \in \mathbb{Z}$ . Für  $\mu$  außerhalb des Bereichs ist dies trivial. Aufgrund der einfacheren periodischen Struktur ist die Verwendung der modifizierten Impulsantwort zur Realisierung des Filters vorteilhaft. In einer  $(P \times N_{\text{eq}})$ -Matrix lassen sich alle berücksichtigten Einträge darstellen und der Zugriff erfolgt über  $g_{\text{eq}}[(n \bmod P), \mu]$ . Die Filterstruktur kann Abb. 4.1 entnommen werden. Im Vergleich zu einem LTI-System ist lediglich eine Erweiterung der Filterkoeffizienten erforderlich: eine Matrix mit Filterkoeffizienten anstelle eines Vektors. Eine *Lookup*-Tabelle hätte in diesem Fall die Größe  $P \times N_{\text{eq}}$  anstelle von  $1 \times N_{\text{eq}}$ . Die Vorverzerrung lässt sich in ein zeitdiskretes, zeitvariantes Filter mit endlicher Impulsantwort in transversaler Struktur und periodisch zeitvarianten Koeffizienten übersetzen. Damit können

die vorverzerrten Daten  $\tilde{y}_{\text{eq}}[n]$  wie folgt berechnet werden – wahlweise über  $\tilde{e}_{\text{LPTV,LS}}[n, \nu]$  oder  $g_{\text{eq}}[n, \mu]$ :

$$\begin{aligned} \tilde{y}_{\text{eq}}[n] &= \sum_{\nu=n-N_{\text{eq}}+1}^n x[\nu] \tilde{e}_{\text{LPTV,LS}}[n, \nu] \stackrel{\mu=n-\nu}{=} \sum_{\mu=0}^{N_{\text{eq}}-1} x[n-\mu] g_{\text{eq}}[(n \bmod P), \mu] \\ &= x[n] \otimes g_{\text{eq}}[(n \bmod P), \mu] . \end{aligned} \quad (4.47)$$

Im Falle eines LTI-Systems ergibt sich mit  $h_{\text{eq}}[\mu]$

$$\tilde{y}_{\text{eq}}[n] = \sum_{\mu=0}^{N_{\text{eq}}-1} x[n-\mu] h_{\text{eq}}[\mu] , \quad (4.48)$$

was der Vorverzerrung nach Kap. 4.3 entspricht. Daraufhin folgt wieder eine Normierung der berechneten Datenfolge der Länge  $N_d$ , typischerweise so, dass maximale Aussteuerung erreicht wird:

$$y_{\text{eq}}[n] = \frac{\tilde{y}_{\text{eq}}[n]}{\max_{0 \leq n \leq N_d-1} \{|\tilde{y}_{\text{eq}}[n]|\}} . \quad (4.49)$$

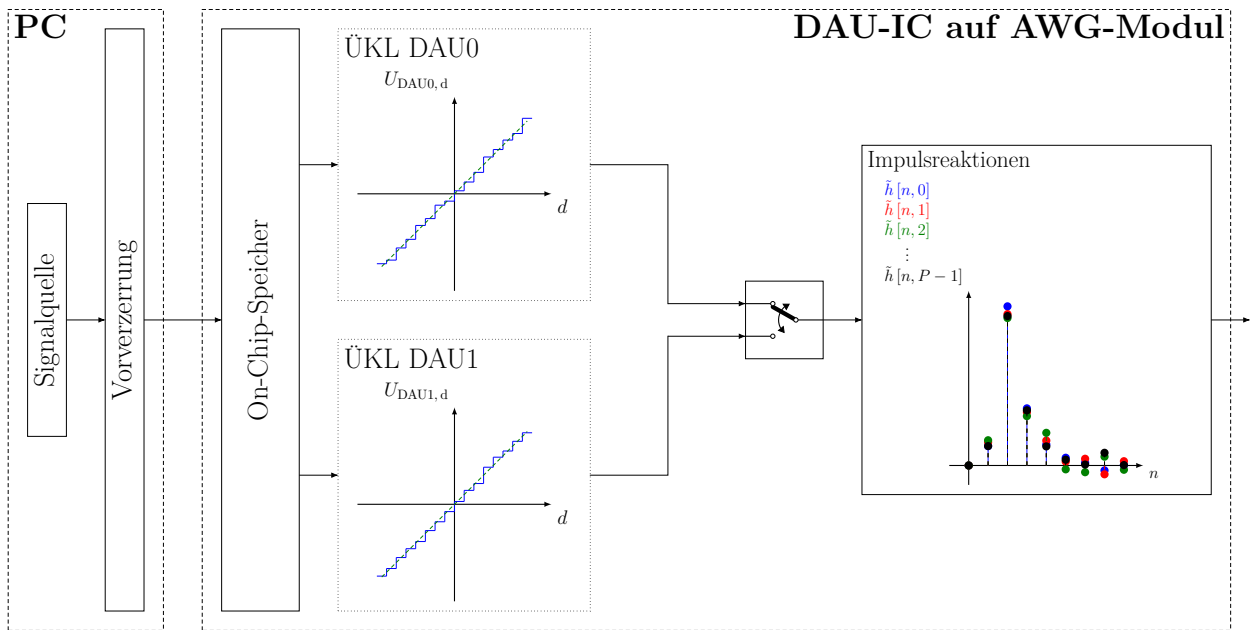
Zusammen mit einer finalen Quantisierung wird jede Art der Signalverarbeitung auf diese Weise abgeschlossen.

Zuletzt sei angemerkt, dass mit einer zeitlich normierten Impulsantwort zur Vorverzerrung  $\tilde{h}_{\text{LPTV}}[\rho, \nu] = e_{\text{LPTV,LS}}[\rho + \nu, \nu]$  mit  $\tilde{h}_{\text{LPTV}}[\rho, \nu + z_0 P] = \tilde{h}_{\text{LPTV}}[\rho, \nu]$  ( $z_0 \in \mathbb{Z}$ ) diese auch durch eine andere Implementierung gemäß Gl. (4.50) möglich ist.

$$\tilde{y}_{\text{eq}}[n] = \sum_{\nu=n-N_{\text{eq}}+1}^n x[\nu] \tilde{h}_{\text{LPTV}}[n-\nu, (\nu \bmod P)] = \sum_{\mu=0}^{N_{\text{eq}}-1} x[n-\mu] \tilde{h}_{\text{LPTV}}[\mu, ((n-\mu) \bmod P)] \quad (4.50)$$

Damit ist ein universelles, zeitvariantes Vorverzerrungskonzept beschrieben. Die Impulsantwort wird in diesem Fall mittels eines Datenvektors aus Einheitsimpulsen an allen Positionen innerhalb einer Periode bestimmt. Details zur Bestimmung werden in Kap. 5.2.3 diskutiert. Auf die konkrete Implementierung sowie auf algorithmische Details wie die Beachtung der zyklischen Daten und entsprechendes Einschwingen sei hier nur hingewiesen, ohne weiter darauf einzugehen. Ein letzter Aspekt ist die Notwendigkeit der korrekten Zuordnung der vorverzerrten Daten zu den diskreten Werten  $n$ , welche aufgrund der Zeitvarianz von entscheidender Bedeutung ist, damit die Positionen  $n$  der Daten  $y_{\text{eq}}[n]$  an den der Vorverzerrung entsprechenden Positionen liegen. Dem ersten Wort im Speicher – Speicherfeld 0, Zeile 0, Spalte 0 – wird  $y_{\text{eq}}[0]$  mit  $p = 0$  zugeordnet und entsprechend fortgesetzt die weiteren. Dazu gehört auch ein definiertes Startkonzept des Systems bzw. des Speichers, sodass die zeitliche Zuordnung der berechneten Symbole dem zeitvarianten Verhalten des DAUs entspricht und eine definierte Reihenfolge garantiert ist. In den Messungen zeigt sich, dass die periodische





**Abbildung 4.2:** Veranschaulichung der Vorverzerrung im Zeitbereich (ÜKL: Übertragungskennlinie, PC: Computer (engl.: *personal computer*)). Die Berücksichtigung der Übertragungskennlinien ist optional. Bei einer LTI-Vorverzerrung würde nur eine Impulsreaktion benötigt.

Zeitvarianz mit der Periode des Taktnetzwerks zusammenhängt. Daher bedeutet eine korrekte Zuordnung konkret, dass ein Wort einer festen Adresse auch stets im selben Zustand des Taktnetzwerks ausgegeben werden muss und der Speicher die Datenausgabe definiert zu den Takten des Taktnetzwerks startet. Dabei handelt es sich um eine feste, aber nicht weiter spezifizierte Relation zwischen Zustand des Taktnetzwerks und entsprechendem Symbol, so, wie es sich aus dem synchronen Speicherstart ergibt. Die Überlegungen aus Kap. 3.9.1 sind daher von größter Wichtigkeit für eine funktionierende Vorverzerrung unter Berücksichtigung der Zeitvarianz. Abbildung 4.2 veranschaulicht den Prozess der LPTV-Vorverzerrung im Zeitbereich. Im rechten Teil ist das DAW-Modell bestehend aus statischer Nichtlinearität und LPTV-System mit Gedächtnis dargestellt. Für die Vorverzerrung wird der umgekehrte Weg gegangen, indem gemäß dem LPTV-System vorverzerrt und dann eine ideale oder optional eine den Übertragungskennlinien entsprechende Zuordnung bei der Quantisierung gewählt wird. Eine ideale Zuordnung bezieht sich auf äquidistante Quantisierungsintervalle. In den weiteren Messungen wird auf die Zuordnung nach den Übertragungskennlinien verzichtet. Diese könnte unter Umständen für Signale bei geringen Frequenzen und hohen Anforderungen an präzise definierte Ausgangsspannungen von Bedeutung sein.

## 4.5 Zusammenfassung der Vorverzerrungsverfahren

Im Verlauf dieses Kapitels wurden drei Vorverzerrungsverfahren vorgestellt. Zwei davon basieren auf LTI-Beschreibungen, eine berücksichtigt deterministisches, periodisch zeitvariantes Verhalten. Lediglich Letzteres ist ein universelles Verfahren für den vorliegenden DAU. Denn durch die Architektur der Kerne spielt Zeitvarianz eine herausragende Rolle, weshalb ein LTI-Modell als universeller Ansatz unzureichend ist, um die inhärente Zeitvarianz auszugleichen. Insbesondere der gewählte CMOS-Ansatz in den DAU-Kernen bringt dieses Artefakt mit sich. Dennoch kann für eine festgelegte Datenfolge breitbandiger Signale eine Impulsantwort geschätzt werden, die zur erfolgreichen Vorverzerrung derselben Datenfolge verwendet werden kann und sehr gute Resultate liefert. Dies wird im Weiteren als Referenz zur Bewertung der anderen Verfahren herangezogen. Ein weiterer Unterschied besteht in der Filterlänge. Diese lässt sich im Fall der universellen LPTV-Vorverzerrung abhängig von der gewünschten Genauigkeit entsprechend kurz halten, während das Vorverzerrungsverfahren mit Trainingsdaten nach Kap. 4.2 auf der gesamten Datenlänge operiert. Die LPTV-Vorverzerrung kann als *Multiple-Input-Multiple-Output-* (MIMO) bzw. präziser als *Multiple-Input-Single-Output-* System (MISO) aufgefasst werden; im konkreten Fall mit  $P = 32$  Eingangskanälen und einem Ausgangssignal (AMUX). Gleichung (4.27) kann zudem als Grundlage eines „DAU-Simulators“ verwendet werden, um damit erfasstes Verhalten vorab zu simulieren.

Zusammenfassend stellt die vorgestellte universelle LPTV-Vorverzerrung für  $P$  „Kanäle“ ein mächtiges Instrument dar, nicht nur für den vorliegenden DAU.

# 5 Messtechnische Charakterisierung des Digital-Analog-Umsetzers

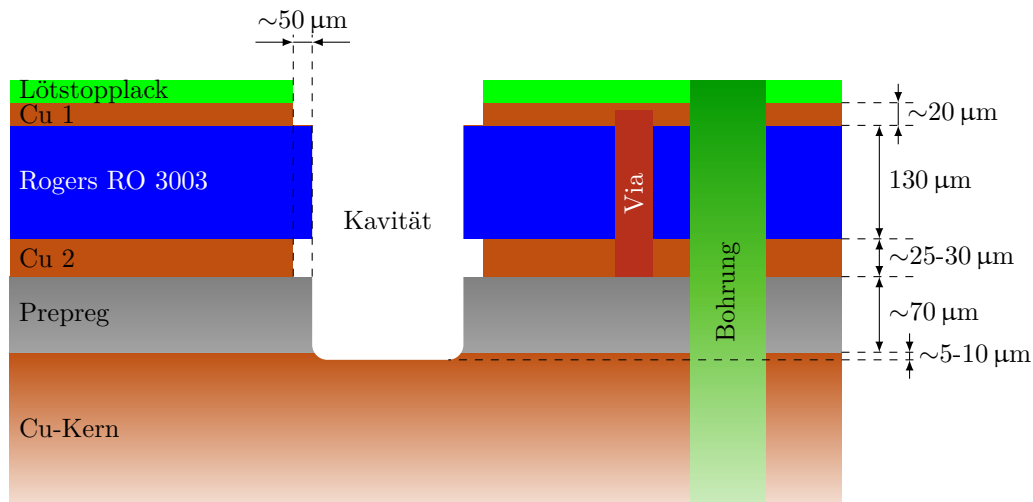
Die messtechnische Charakterisierung des DAUs umfasst verschiedene Untersuchungen. Neben statischer und dynamischer Charakterisierung nach Kap. 2 werden auch der Taktpfad sowie die Impulsantwort untersucht. Ebenso sind PAM-Signale Gegenstand der Analyse. Zur Untersuchung diverser Effekte sowie zur statischen und dynamischen Charakterisierung wird eine Umsetzungsrate von  $f_s = 100 \text{ GS/s}$  gewählt. Ebenso werden Ergebnisse der dynamischen Charakterisierung bei  $f_s = 64 \text{ GS/s}$  gezeigt. Darüber hinaus werden die Grenzen des DAUs mithilfe von PAM-Signalen ausgelotet. Zunächst wird der Messaufbau vorgestellt.

## 5.1 Messumgebung

Die Messumgebung beinhaltet zwei Leiterplatten, Spannungsquellen, diverse HF-Komponenten, eine Taktquelle und ein unterabtastendes Oszilloskop. Dabei hat die eingesetzte Aufbautechnik entscheidenden Einfluss auf die Gesamt-Performanz. Fotoaufnahmen des Messaufbaus sind in Anhang G dargestellt.

### 5.1.1 Der Leiterplattenaufbau

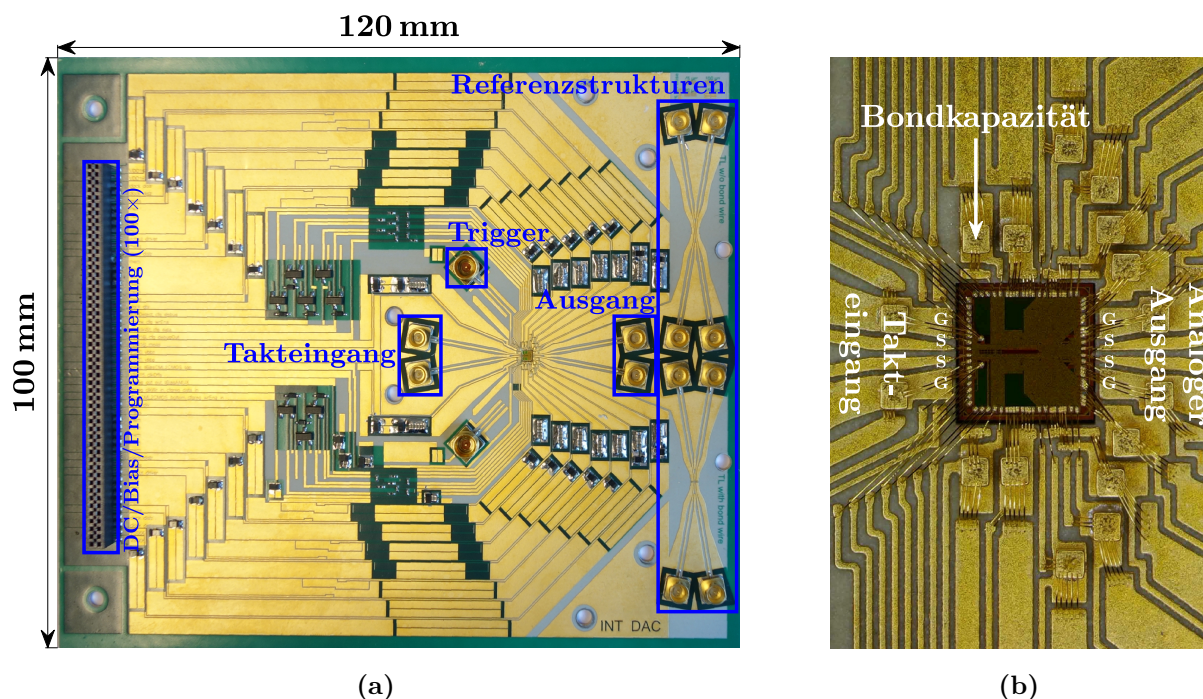
Zur messtechnischen Charakterisierung des DAUs wird ein Aufbau aus zwei Leiterplatten eingesetzt, welche im Weiteren als „HF-Leiterplatte“ und als „DC-Leiterplatte“ bezeichnet werden. Der Chip selbst wird auf der HF-Leiterplatte platziert. Dabei werden die Signale nach Frequenzen unterschieden. Die Signale bei höchsten Frequenzen – analoges Ausgangssignal, Takteingangssignal und Triggersignal – werden direkt von der HF-Leiterplatte abgeführt. Versorgungsspannungen, Steuerspannungen sowie Datensignale des Speichers und des Konfigurationsregisters bei deutlich geringeren Frequenzen werden an die DC-Leiterplatte weitergeleitet, wobei der Begriff „DC-Leiterplatte“ hier als Kurzform zu verstehen ist und den Kontrast zu den HF-Signalen verdeutlichen soll. Genau genommen handelt es sich um eine Adapter-Leiterplatte für Gleichspannungen und Programmierung.



**Abbildung 5.1:** Schichtaufbau der HF-Leiterplatte ohne Vergoldung (nicht maßstabsgerecht). Die Maße beruhen auf Angaben des Herstellers. Cu 1 und Cu 2 bilden die beiden Metalllagen, über welche Spannungs- und Signalführungen realisiert sind. Sie bestehen aus Kupfer (Cu) mit nachträglicher Vergoldung (nicht dargestellt) und sind aus Herstellungsgründen rund  $50\ \mu\text{m}$  um die Kavität zurückgezogen.

#### 5.1.1.1 Die Hochfrequenz-Leiterplatte

Bei der HF-Leiterplatte handelt es sich um eine Leiterplatte mit einem speziellen, für hohe Frequenzen spezifizierten Substrat. Die Signale für Takteingang und analogen Ausgang werden über impedanzangepasste Leitungen geführt. Im Rahmen dieser Arbeit kommen zwei geringfügig unterschiedliche HF-Leiterplatten zum Einsatz, die sich in den Schichtdicken etwas unterscheiden. Das Substrat unterscheidet sich jedoch nicht. Der Schichtaufbau einer der beiden Leiterplattenvarianten ist in Abb. 5.1 dargestellt. Die zusätzliche Vergoldung (chemisch Nickel-Palladium-Gold) ist nicht dargestellt. Als Substrat wird das Material *Rogers RO3003* mit einer relativen Permittivität  $\epsilon_r = 3,0$  und einer Dicke von  $130\ \mu\text{m}$  gewählt. Dieses wird über ein  $\sim 70\ \mu\text{m}$  dickes Prepreg (nach Verpressen) auf einen Metallkern aus Kupfer aufgebracht. Letzterer stabilisiert den Aufbau und leitet die Wärme ab. Die Dicke der oberen Kupfer-Schicht beträgt etwa  $20\ \mu\text{m}$ , jene der unteren ca.  $25\text{-}30\ \mu\text{m}$ . Der Chip wird in einer mittels eines Lasers ausgeschnittenen Kavität versenkt. Dabei sind die Dicken minimal gewählt, sodass die Tiefe der Kavität im Rahmen der technologischen Möglichkeiten der Chipdicke möglichst nahekommt, um kurze Bonddrähte zu realisieren. Des Weiteren sind die Abmessungen der Kavität möglichst nahe an den Chipdimensionen ausgerichtet. Abbildung 5.2 zeigt einen Gesamtüberblick über die HF-Leiterplatte und die Anbindung des Chips. In Abb. 5.2a sind die HF-Leitungen und Anschlüsse erkennbar. Die minimale Strukturgröße sowie der minimale Leitungsabstand betragen nominal  $75\ \mu\text{m}$ . Sowohl die obere Metalllage Cu 1 als auch die untere Cu 2 sind strukturiert. Takt- und Ausgangssignale werden über Subminiatur-HF-Steckverbinder (*Mini Sub-Miniature Push-On* (M-SMP/SMPM), Rosenberger 18S102-



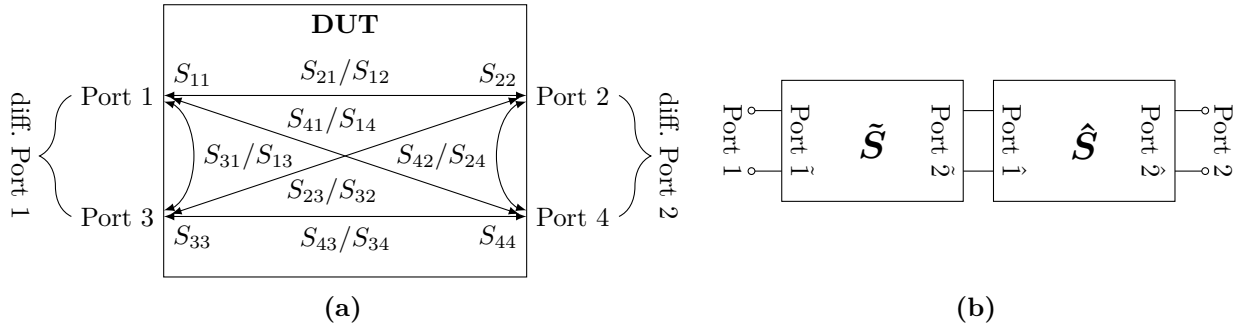
**Abbildung 5.2:** (a) HF-Leiterplatte und (b) mikroskopische Aufnahme eines gebondeten Chips. Die nominalen Abmessungen der Kavität betragen  $1970 \mu\text{m} \times 1970 \mu\text{m}$ . Die Referenzstrukturen stellen Kopien der Takt- bzw. Ausgangsleitung in doppelter Ausführung dar. Bei der oberen Referenzstruktur sind die beiden Leitungsteile direkt miteinander verbunden, bei der unteren ist die Verbindung über Bonddrähte, die näherungsweise vergleichbar mit jenen der Chipverbindung sind, realisiert.

40ML5) mit einer Spezifikation bis 65 GHz verbunden, das Triggersignal über Steckverbinder (*Sub-Miniature Push-On* (SMP), Rosenberger 19S102-40ML5) mit einer Spezifikation bis 40 GHz. Die differenziellen, impedanzkontrollierten Takt- und Ausgangsleitungen haben am Chip eine GSSG-Konfiguration. Sie sind als koplanare Leitungen (Wellenleiter) auf Cu 1 mit zusätzlicher Massefläche auf Cu 2 ausgeführt (*grounded coplanar waveguide*). Zur Charakterisierung dieser Leitungen befinden sich auf der rechten Seite Referenzstrukturen mit jeweils zwei zueinander gespiegelten Leitungen. Diese bilden sowohl die Takteingangs- als auch die Ausgangsleitung nach. Im oberen Fall sind die Leitungen direkt miteinander verbunden, im unteren Fall ist die Verbindung durch vier Bonddrähte ähnlicher Länge wie jene der Chipverbindung gegeben, um deren Einfluss zu untersuchen. Eine mikroskopische Aufnahme der gebondeten Referenzstruktur ist in Abb. G.1f in Anhang G dargestellt. Diverse Kapazitäten an Versorgungs- und Steuerspannungen dienen zu deren Stabilisierung und sind möglichst nahe am Chip platziert. Dabei kommen zum Teil auch Kapazitäten für hohe Frequenzen zum Einsatz. Auf den Programmierschnittstellen sind zusätzlich *RC*-Tiefpassfilter sowie Schutzdioden angebracht. Dabei ist zu erwähnen, dass der konkrete Aufbau unter vorsorglichen Gesichtspunkten zu verstehen und keinesfalls an absoluten Notwendigkeiten orientiert ist. Zuletzt sind diverse Messleitungen vorgesehen, um die Spannungen in Chipnähe

hochohmig im Sinne einer Vierleitermessung bestimmen zu können, da die Spannungsabfälle zwischen den Netzteilen und dem Chip aufgrund teils hoher Ströme nicht zu vernachlässigen sind. Sämtliche Versorgungsspannungs-, Steuerspannungs- und Messleitungen sowie sämtliche Signale zur Programmierung werden in einer 100-poligen Buchsenleiste zusammengeführt, welche die Schnittstelle zur DC-Leiterplatte bildet, wobei bei Schaltungsteilen mit hohen Stromaufnahmen die Verbindung über mehrere Kontakte realisiert ist.

Die Kontaktierung des Chips mittels Gold-Bonddrähten mit einem Durchmesser von  $25\ \mu\text{m}$  ist in Abb. 5.2b gezeigt. Dabei ist eine Priorisierung der Ausgangs- und Taktsignale sowie kritischer Versorgungsspannungen berücksichtigt, welche in möglichst kurzen Bonddrähten besteht. Weiterhin sind Bondkapazitäten für die Versorgungsspannungen zu sehen. Diese sind zum einen dadurch motiviert, in kürzest möglicher Distanz zum Chip eine möglichst stabile Versorgungsspannung bereitzustellen. Zum anderen eröffnen sie die Möglichkeit einer zweiten Verdrahtungsebene, um die engen Verhältnisse etwas zu entzerren. Manche Versorgungsspannungen sind mit mehreren Bonddrähten und breiteren Pads kontaktiert. Dies dient zum einen der Reduzierung der Bondinduktivität, zum anderen wird die Strombelastung pro Draht bei Strömen von teils mehreren 100 mA reduziert. Abgesehen von den breiteren Pads beträgt der Padabstand zwischen den Mittelpunkten zweier Pads auf dem Chip typischerweise  $90\ \mu\text{m}$ , was auch bei den HF-Pads der Fall ist. Dieser Abstand ist dadurch motiviert, die Vielzahl an Pads auf der begrenzten Chipfläche unterzubringen und gleichzeitig auf die Bondbarkeit zu achten. Für die BB-Spannungen sind zusätzlich Pads in zweiter Reihe zu erkennen. Auf der HF-Leiterplatte hingegen beträgt der minimale Mitte-Mitte-Abstand zweier Leitungen  $150\ \mu\text{m}$ . Aus dieser Diskrepanz ergibt sich die Notwendigkeit eines entsprechend komplexeren Verdrahtungskonzepts, da nicht alle Leitungen parallel zugeführt werden können. Takt- und Ausgangsleitung sind in Steckernähe in GSGSG-Konfiguration und auf eine möglichst gute Anpassung dimensioniert. In Chipnähe geht diese in eine GSSG-Struktur über, wobei im letzten Abschnitt in unmittelbarer Nähe zum Chip eine Fehlanpassung in Kauf genommen werden muss. Diese ergibt sich einerseits aus den engen Verhältnissen auf der HF-Leiterplatte um den Chip herum und andererseits aus technologischen Limitierungen. Aus dem genannten Grund der begrenzten Chipfläche ist auch keine Vergrößerung des Abstandes auf dem Chip möglich. Weitere Aufnahmen sind in Abb. G.2 in Anhang G zu finden.

Die Charakterisierung der HF-Leiterplatte durch die beiden Referenzstrukturen, wie in Abb. 5.2a dargestellt, erfolgt mittels Streuparametern (S-Parameter). Dabei sei auf zwei wesentliche Unterschiede zur realen Chipverbindung hingewiesen: Aus messtechnischen Gründen werden längere Kabel bei den Referenzmessungen verwendet ( $12\ \text{cm}$  anstelle von  $8\ \text{cm}$  am Chipausgang). Der größte Unterschied besteht allerdings darin, dass in der Struktur mit Bonddrähten weder die Padkapazität des Chips noch der reale Abschluss des Chipeingangs nachgebildet werden. Insofern sind die nachfolgenden Messungen nicht absolut quantitativ



**Abbildung 5.3:** Darstellungen zu (a) differentiellen S-Parametern und (b) S-Parametern bei Kaskadierung zweier Zweitoren. Im symmetrischen Fall – Referenzstruktur aus zwei gespiegelten und direkt verbundenen Leitungen – entsprechen sich Port  $\tilde{1}$  und Port  $\hat{2}$  sowie Port  $\tilde{2}$  und Port  $\hat{1}$ .

auf den Messaufbau des Chips übertragbar. Die Vermessung der Referenzstrukturen erfolgt SE mit einem vektoriellen Netzwerkanalysator (Anritsu 37397A). Aus der Konfiguration in Abb. 5.3a ergeben sich 16 Standard-S-Parameter  $\mathbf{S}_{\text{Std}} = (S_{ij})$  mit  $1 \leq i \leq 4$  und  $1 \leq j \leq 4$  für das zu messende Objekt (engl.: *device under test*, DUT). Die Zusammenfassung zu zwei differentiellen Ports erfolgt durch folgende Transformationen [108]:

$$S_{11,d} = \frac{S_{11} - S_{13} - S_{31} + S_{33}}{2}, \quad (5.1a)$$

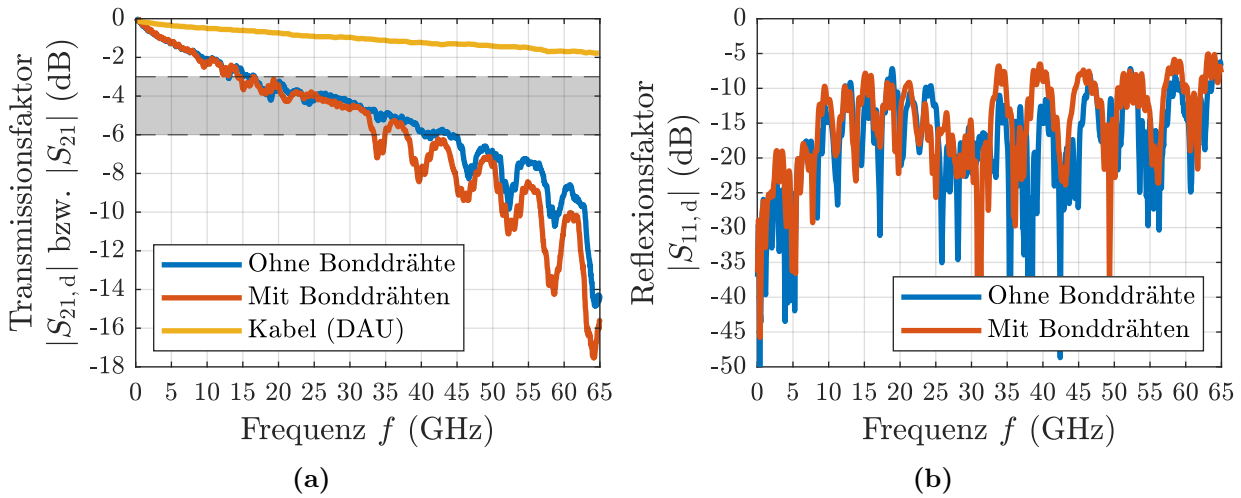
$$S_{12,d} = \frac{S_{12} - S_{14} - S_{32} + S_{34}}{2}, \quad (5.1b)$$

$$S_{21,d} = \frac{S_{21} - S_{23} - S_{41} + S_{43}}{2} \quad \text{und} \quad (5.1c)$$

$$S_{22,d} = \frac{S_{22} - S_{24} - S_{42} + S_{44}}{2}. \quad (5.1d)$$

Abbildung 5.4 zeigt die so gewonnenen Ergebnisse. In Abb. H.1 in Anhang H ist zudem ein Smith-Diagramm der Eingangsreflexionsfaktoren dargestellt. Eine geringe Dämpfung ist gleichermaßen für die Ausgangsbandbreite und den Eingangstakthub wichtig. Der Einfluss der Bonddrähte zeigt sich insbesondere bei Frequenzen über 30 GHz durch eine höhere Dämpfung mit mehreren tieferen Einbrüchen sowie durch eine schlechtere Anpassung. Da es sich jeweils um die doppelte Leitungsstruktur handelt, muss die Verkettung zweier Streuparameter-Matrizen betrachtet werden, um Rückschlüsse auf eine Leitungshälfte zu ziehen. Eine Verkettung nach Abb. 5.3b mit  $\tilde{\mathbf{S}} = (\tilde{S}_{ij})$  und  $\hat{\mathbf{S}} = (\hat{S}_{ij})$  ( $1 \leq i \leq 2$ ,  $1 \leq j \leq 2$ ) ergibt folgenden Zusammenhang [108]:

$$\mathbf{S}_{\text{ges}} = \begin{pmatrix} S_{11,\text{ges}} & S_{12,\text{ges}} \\ S_{21,\text{ges}} & S_{22,\text{ges}} \end{pmatrix} = \begin{pmatrix} \tilde{S}_{11} + \frac{\tilde{S}_{12}\tilde{S}_{21}\hat{S}_{11}}{1 - \tilde{S}_{22}\hat{S}_{11}} & \frac{\tilde{S}_{12}\hat{S}_{12}}{1 - \tilde{S}_{22}\hat{S}_{11}} \\ \frac{\tilde{S}_{21}\hat{S}_{21}}{1 - \tilde{S}_{22}\hat{S}_{11}} & \hat{S}_{22} + \frac{\tilde{S}_{22}\hat{S}_{12}\hat{S}_{21}}{1 - \tilde{S}_{22}\hat{S}_{11}} \end{pmatrix}. \quad (5.2)$$



**Abbildung 5.4:** Differenzielle (a) (Vorwärts-)Transmissionsfaktoren  $S_{21,d}$  und (b) (Eingangs-)Reflexionsfaktoren  $S_{11,d}$  der Referenzstrukturen eines Aufbaus. In den Messergebnissen enthalten sind jeweils eine Doppelleitung mit Bonddrähten bzw. ohne Bonddrähte, die Konnektoren auf der HF-Leiterplatte sowie die Kabel. Der  $S_{21}$ -Parameter eines am Ausgang des DAUs verwendeten Kabels nach Herstellerangaben ist ebenfalls eingezeichnet.

Betrachtet man den Term des S-Parameters  $S_{21,ges}$ , so ist zu erkennen, dass das Produkt aus den beiden  $S_{21}$ -Parametern um einen Korrekturfaktor  $1/(1 - \tilde{S}_{22}\hat{S}_{11})$  zu modifizieren ist, der allerdings unbekannt ist. Für den ideal angepassten Fall ohne Reflexionen zwischen den Zweitoren beträgt dieser Korrekturfaktor 1 (0 dB) und die  $S_{21}$ -Parametern können einfach multipliziert bzw. in Dezibel addiert werden. Unter der Annahme  $\tilde{S}_{21} = \hat{S}_{21}$  und bei Betrachtung der reinen Doppelleitung ohne Bonddrähte entspräche die  $-3$ -dB-Bandbreite der halben Leitung dann dem Schnittpunkt mit der  $-6$ -dB-Linie. Daher könnte die  $-3$ -dB-Bandbreite einer halben Struktur im grauen Bereich in Abb. 5.4a angenommen werden, zwischen der  $-3$ -dB-Frequenz der Doppelstruktur und der  $-6$ -dB-Frequenz ohne Reflexion<sup>5</sup>, also bei 15 GHz und darüber. Es sei darauf hingewiesen, dass aufgrund der Zusammenhänge (5.2) der komplexwertigen S-Parameter auch andere (Extrem-)Fälle bei entsprechenden Reflexionen und verfehlter Anpassung möglich sind.

Unabhängig von der zuletzt geführten Diskussion wird jedoch deutlich, dass die Bandbreite der Aufbautechnik nicht mit den erstrebten Dimensionen in den Umsetzungsraten von über 100 GS/s bzw. den entsprechenden Nyquist-Frequenzen Schritt halten kann. Die hervorgerufene Dämpfung wird die Bandbreite in den Messungen mitbestimmen.

<sup>5</sup>Diese Betrachtung basiert auf einer Analyse von T. Tannert, persönl. Kommunikation, Universität Stuttgart, INT, 2022.



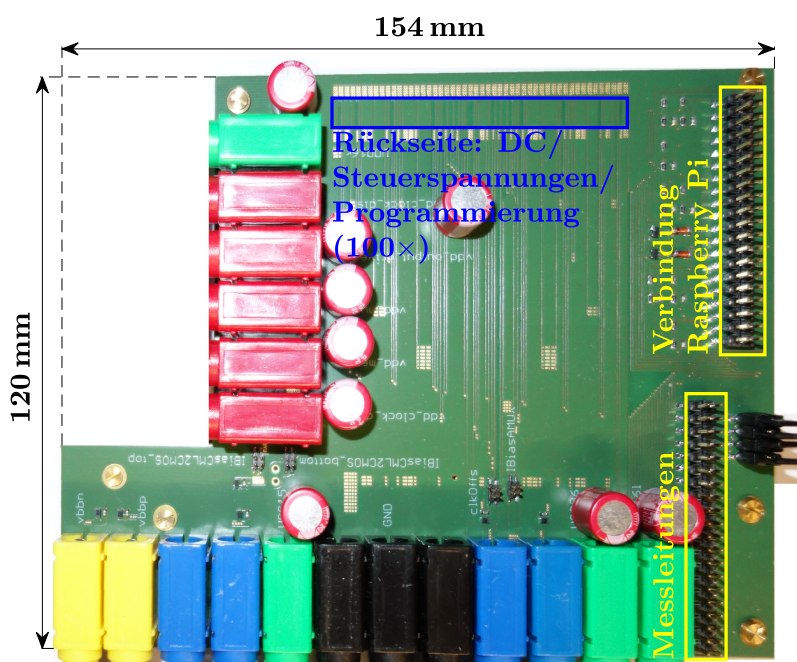


Abbildung 5.5: DC-Leiterplatte.

### 5.1.1.2 Die Adapter-Leiterplatte für Gleichspannungen und Programmierung

Die Adapter-Leiterplatte für Gleichspannungen und Programmierung – kurz: „DC-Leiterplatte“ – wird über einen 100-poligen Stecker mit der HF-Leiterplatte verbunden und ist mit klassischem FR4-Material (engl.: *flame retardant*, FR) realisiert. Abbildung 5.5 zeigt eine Aufnahme der Leiterplatte. Sie dient im Wesentlichen als Schnittstelle zu den Netzteilen sowie zur Steuerungseinheit, welche aus einem Raspberry Pi besteht und enthält nur wenige Komponenten. Auf dieser Leiterplatte befindet sich der in Kap. 3 genannte gemeinsame Masse-Sternpunkt aller Versorgungsspannungen sowie der HF-Signale. Dies betrifft explizit auch die  $U_{SS}$ -Spannungen der CMOS-Teile. Neben diversen Kapazitäten und Kurzschlussbrücken enthält sie eine Stiftleiste zur Anbindung des Raspberry Pis, eine Stiftleiste zur Messung der Spannungen in Chipnähe und des Gleichwert-Detektors sowie Schaltungen zur Pegelkonvertierung zwischen den Spannungspegeln des Raspberry Pis und des DAUs. Diese bestehen in Richtung DAU aus kapazitiv gepufferten Spannungsteilern. In Gegenrichtung zur Auswertung der Ausgangssignale des Speichers im Debug-Modus sowie des Konfigurationsregisters enthalten sie je einen Inverter als Puffer zwischen DAU und Raspberry Pi sowie eine Diode, um den Spannungspegel zu verschieben. Auf dem Raspberry Pi selbst ist eine Software zur Programmierung von Speicher und Konfigurationsregister implementiert, einschließlich grafischer Benutzeroberfläche.

Insgesamt ist zu beachten, dass es aufgrund unterschiedlicher Stromaufnahmen und abweichenden Zuleitungswegen in den einzelnen Versorgungsspannungsdomänen zu unterschiedli-

chen Spannungsabfällen kommen kann. Aus diesem Grund können unterschiedliche externe Spannungen erforderlich sein, um den gewünschten Spannungspegel am Chip zu erreichen. Hierbei helfen die erwähnten Messleitungen.

Mit der Ansteuersoftware auf dem Raspberry Pi, DC- und HF-Leiterplatte ist der DAU zugänglich und kann mit Netzteilen und Messgeräten verbunden werden. Beim Aufbau werden auch thermische Aspekte beachtet, die nachfolgend dargestellt sind.

### 5.1.2 Thermische Betrachtung

Aufgrund der hohen Leistungsaufnahme auf geringer Chipfläche sind lokale und globale thermische Betrachtungen zu berücksichtigen, die hier beispielhaft anhand einer Abschätzung für einen DAU-Kern dargestellt werden. Dabei werden eine eindimensionale Wärmeleitung zur Rückseite des Substrats (Temperaturgefälle nur in die Tiefe) mit idealer Wärmesenke angenommen und das BOX nicht berücksichtigt. Unter Annahme einer Leistungsaufnahme von  $P_{\text{DAU-Kern}} \approx 1,4 \text{ W}$  eines Kerns bei 118 GS/s nach Kap. 5.2.7 und unter Annahme einer Fläche von  $A_{\text{DAU-Kern}} \approx 22.000 (\mu\text{m})^2$  der aktiven Fläche aus MUX, Taktnetzwerk und Ausgang ergibt sich eine Temperaturdifferenz [109]

$$\Delta T_{\text{Si}} = \frac{d_{\text{Chip}}}{\lambda_{\text{Si}} \cdot A_{\text{DAU-Kern}}} \cdot P_{\text{DAU-Kern}} \quad (5.3)$$

von  $\Delta T_{\text{Si}} (d_{\text{Chip}} = 250 \mu\text{m}) \approx 106 \text{ K}$  bzw.  $\Delta T_{\text{Si}} (d_{\text{Chip}} = 120 \mu\text{m}) \approx 51 \text{ K}$  im Vergleich zur Rückseite, für die Raumtemperatur angenommen wird. Für die Wärmeleitfähigkeit von Silizium wird  $\lambda_{\text{Si}} \approx 150 \text{ W}/(\text{m} \cdot \text{K})$  [110, 111] angenommen. Die eindimensionale Betrachtung mit auf konstanter Fläche konzentrierter, rein vertikaler Wärmeabfuhr nach unten ist sicherlich ein Extremfall. Dennoch ist zu erkennen, dass durchaus kritische Temperaturen erreicht werden können. Aus diesem Grund werden zwei Gegenmaßnahmen ergriffen: Verwendung möglichst dünner Chips sowie Aufbringen der Chips auf einer Kupferplatte mit thermisch gut leitfähigem Klebstoff. In der Aufbautechnik finden sich diese Maßnahmen wieder. Aus Herstellungsgründen basieren die weiteren Messungen auf Chips unterschiedlicher Dicke: Chips mit einer nominalen Dicke von  $d_{\text{Chip}} = 120 \mu\text{m}$  ( $\sim 120 \mu\text{m}$  gemessen) und Chips mit einer nominalen Dicke von  $d_{\text{Chip}} = 250 \mu\text{m}$  ( $\sim 260 \mu\text{m}$  gemessen). Ein Vergleich dieser Chipdicken mit dem Schichtaufbau der HF-Leiterplatte in Abb. 5.1 zeigt, dass die Chips unterschiedlich tief in der Kavität sitzen bzw. der dickere Chip nahezu plan zur Oberfläche ist.

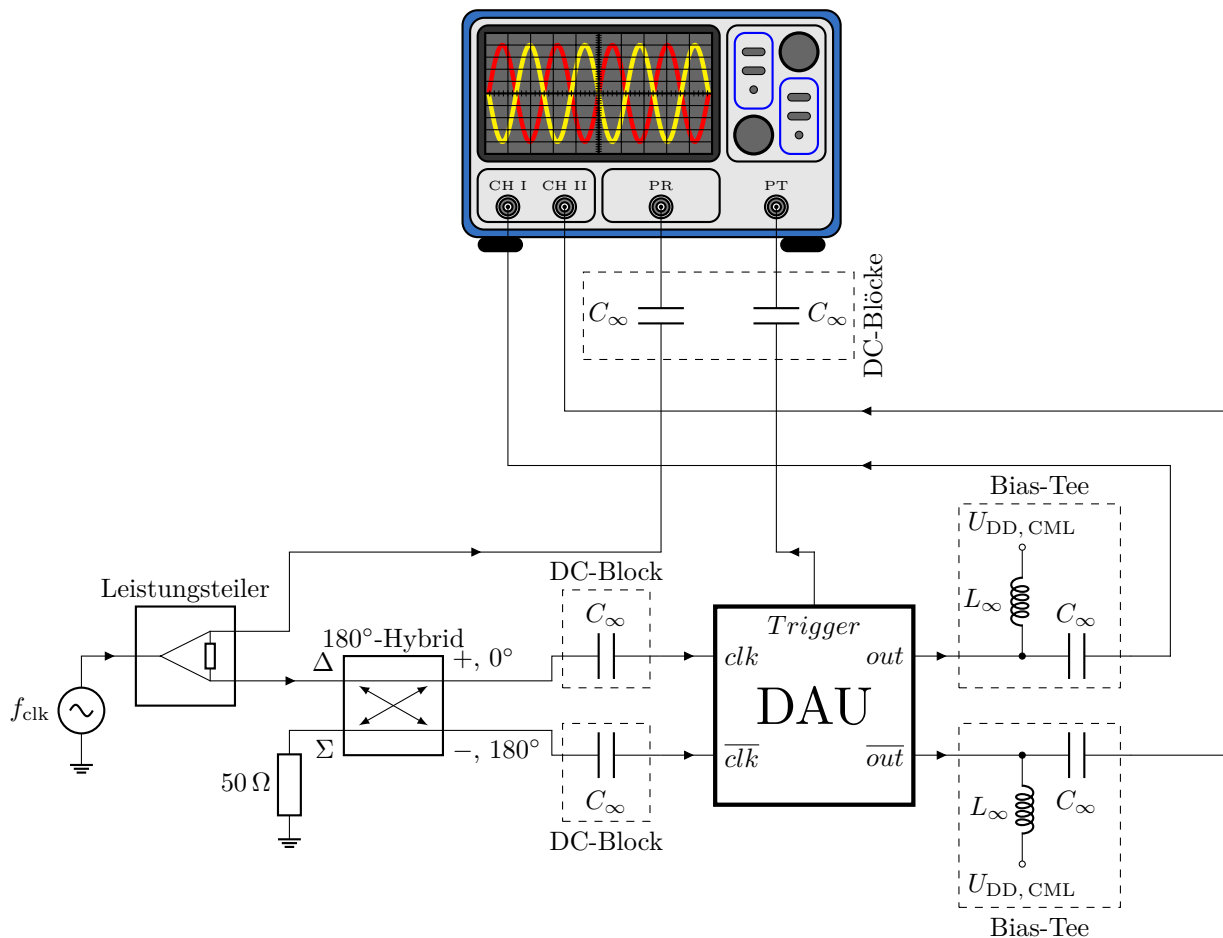


Abbildung 5.6: HF-Messaufbau (PR: Phasenreferenz, PT: Prescale Trigger).

### 5.1.3 Der Hochfrequenz-Messaufbau

In Abb. 5.6 ist der HF-Messaufbau dargestellt. Eine genaue Liste der verwendeten Komponenten ist in Anhang G zu finden. Als Oszilloskop wird ein unterabtastendes Oszilloskop (Subsampling-Oszilloskop) verwendet und somit die Daten mittels Äquivalenzzeit-Abtastung erfasst. Die Abtastmodule sind mit einer Bandbreite von 70 GHz spezifiziert. Zur Erhöhung der Präzision der Zeitbasis kommt ein Phasenreferenzmodul zum Einsatz, welches einen RMS-Jitter von  $< 100$  fs aufweist. Das Oszilloskop kann zur Darstellung von Augendiagrammen entweder nur über die Phasenreferenz (PR) betrieben werden oder zur Darstellung von Zeitsignalen in äquivalenter Zeit mittels des (*Prescale*-)Triggers (PT) sowie in einem kombinierten Modus aus Phasenreferenz und (*Prescale*-)Trigger. Das Taktsignal der Taktquelle wird mittels eines Leistungsteilers in zwei Pfade aufgeteilt. Ein Pfad wird zur Ansteuerung der Phasenreferenz verwendet, der andere Pfad dient in Kombination mit einem breitbandigen  $180^\circ$ -Hybrid und DC-Blöcken als differenzielles Taktsignal für den Chip. Der Ausgang wird entsprechend den Ausführungen in Kap. 3.7 über Bias-Tees dem Oszilloskop zugeführt. Takt- und Datenpfad sind mit V-Komponenten (1,85 mm) aufgebaut.

### 5.1.4 Betrieb des Digital-Analog-Umsetzers

Aus der schaltungstechnischen Realisierung des DAUs ergeben sich zahlreiche Anforderungen und Aspekte für dessen Betrieb. Zu nennen sind hierbei der kritische Startvorgang des ersten CMOS-Takteilers sowie Versorgungsspannungseinbrüche beim Zuschalten und mögliches gefährliches Überschwingen bei plötzlichem Abschalten von CMOS-Schaltungsteilen, wie es der Diskussion in Kap. 3.8 zu entnehmen ist. Daher ist ein sehr vorsichtiges Operationsschema erforderlich. Ohne präzise Darstellung aller Schritte sollen einige Grundprinzipien erwähnt werden. Beim Starten ist auf eine korrekte Einschaltreihenfolge zu achten, sodass in allen relevanten Teilen die korrekte Initialisierung gegeben ist. Über das Konfigurationsregister können die unteren Taktebenen sequenziell zugeschaltet und Lastsprünge entzerrt werden. Zum Beschreiben des Speichers wird dessen Reset aktiv geschaltet. Beim Herunterfahren werden zunächst CMOS-Datenspannungen gesenkt, um kritisches Überschwingen der Versorgungsspannungen beim Abschalten zu verhindern. Der Taktpfad wird wie beim Start sequenziell abgeschaltet – in umgekehrter Reihenfolge.

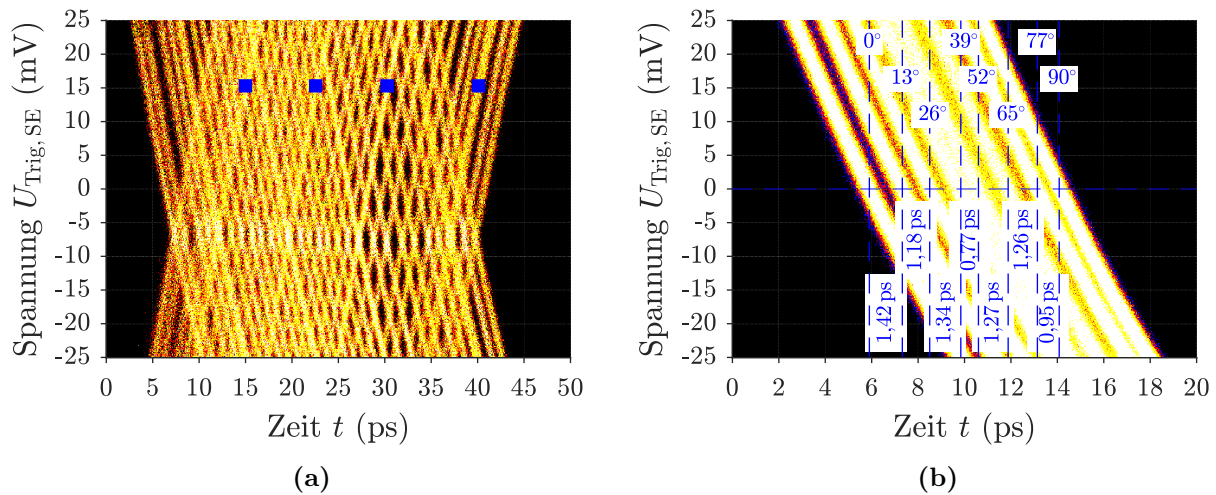
Mittels der geschilderten Aufbautechnik und diesem HF-Messaufbau können die folgenden Messergebnisse gezeigt werden.

## 5.2 Messergebnisse

In diesem Kapitel werden die Messergebnisse dargestellt. Dabei liegt der Fokus auf Einton- und PAM-Signalen, insbesondere auf breitbandigen PAM-Signalen. Bei den höchsten Umsetzungsrate sind auch schmalbandigere PAM-Signale von Bedeutung. Generell werden digital stets (nahezu) mittelwertfreie und zyklische Signale erzeugt.

### 5.2.1 Demonstration der Funktionalität des Taktpfads und der Phasenrotatoren

Die Demonstration der Funktionalität des Taktpfads basiert auf der Messung des Triggersignals, welches mittels eines Leistungsteilers aufgeteilt und sowohl als Triggersignal für das Oszilloskop als auch als Messsignal dient. Auch dieses erfährt die veränderten Phasenlagen durch die Phasenrotatoren, wobei hier stellvertretend die Ergebnisse eines Phasenrotators präsentiert werden. Abbildung 5.7 zeigt die Messergebnisse des Triggersignals für die verschiedenen Phasenrotator-Einstellungen bei einer Frequenz von  $f_{\text{clk}} = f_s/2 = 60 \text{ GHz}$ , was demnach mit einer Umsetzungsrate von  $f_s = 120 \text{ GS/s}$  korrespondiert. Demnach weist das Triggersignal eine Frequenz von  $f_{\text{Trig}} = f_s/32 = 3,75 \text{ GHz}$  auf. Abbildung 5.7a zeigt alle 28 verschiedenen Phasenlagen innerhalb eines  $360^\circ$ -Fensters, die sich aus den 32 programmierbaren Konfigurationen ergeben. Aus messtechnischen Gründen sind sowohl die steigenden



**Abbildung 5.7:** Messungen des SE-Triggersignals bei einer Taktfrequenz von  $f_{\text{clk}} = f_s/2 = 60$  GHz zur Untersuchung der Taktpfad-Funktionalität. (a) Es können alle 28 zu erwartenden Taktphasen innerhalb von  $360^\circ$  beobachtet werden. Die Markierungen zeigen die Quadrantenübergänge. (b) Eine Analyse eines Quadranten offenbart präzise einstellbare Verzögerungen mit geringen Abweichungen.

als auch fallenden Flanken zu sehen. Prinzipiell kann der Takt beliebig verschoben werden. Die Übergänge an den Quadrantengrenzen erscheinen mitunter etwas breiter. Eine Messung fallender Flanken für einen Quadranten zeigt Abb. 5.7b. Letztere ist aufgrund der Doppelnutzung des Triggersignals als Oszilloskop-Trigger und als Messsignal nur für einen Quadranten möglich. Bei idealen, äquidistanten Phasenunterschieden ergäbe sich eine Auflösung – eine Zeitverzögerung pro Schritt – von  $\Delta t = 2 / (28 \cdot f_{\text{clk}}) \approx 1,19$  ps bzw. eine Phasendifferenz bezogen auf  $f_{\text{clk}}/2 = f_s/4$  von  $\Delta\phi = 360^\circ/28 \approx 12,9^\circ$ . Eine Auswertung der zu Abb. 5.7b gehörenden Histogramme bestätigt näherungsweise die erwarteten Werte (vgl. Markierungen in Abb. 5.7b). Zur Auswertung wird jeder Übergang durch eine Gauß-Funktion angenähert und das Maximum zur Auswertung herangezogen. Es ergeben sich Verzögerungen etwa im Bereich 0,8 ps-1,4 ps. Außerdem kann am Beispiel einer Flanke ein RMS-Jitter von  $\sim 250$  fs bestimmt werden. Allerdings muss beachtet werden, dass die Messergebnisse das ganze System einschließlich des Triggerausgangs repräsentieren und nicht den tatsächlichen, breitbandigen Ausgang. Aus diesem Grund ist die Aussagekraft des so bestimmten Jitters begrenzt, was die internen Verhältnisse, insbesondere jene auf höheren Taktebenen, sowie den analogen Ausgang betrifft. Messtechnisch ist die Funktionalität des breitbandigen Taktpfads bis zu einer unteren Frequenz von 2 GHz verifiziert, was der kleinstmöglichen Frequenz der eingesetzten Taktquelle entspricht.

Abschließend sollen die Grenzen des Taktpfads diskutiert werden. Zunächst sei angemerkt, dass für den Betrieb des DAUs bei höchsten Frequenzen beim Umschalten des Phasenrotators eine Verzögerung des Takts präferiert wird. Geht man bei einem Umschaltvorgang des Phasenrotators zu früheren Taktphasen über, kann bei Frequenzen am Rande der Funktionalität

mitunter ein Versatz von einer  $f_s/4$ -Taktperiode beobachtet werden; es wird also eine Taktperiode übersprungen. Dies kann allerdings durch Anpassung der Taktphasen der DAU-Kerne zueinander über die Phasenrotatoren ausgeglichen werden, sodass die Datenfolge wieder eingehalten wird. Dies sind erste, noch unkritische Artefakte. Aufgrund der Verkürzung der Taktsignale beim Rotieren zu früheren Taktphasen ist dieser Vorgang jedoch zunehmend kritischer für die Betriebssicherheit bei zunehmend höheren Frequenzen. In Extremfällen kann die Funktionalität des CMOS-Taktteilers zusammenbrechen. Darüber hinaus ist ein Auseinanderlaufen der Gleichwertspannungen der beiden Taktphasen am Übergang zwischen CML- und CMOS-Teil des Taktpfads zu beobachten, welches zyklisch in unterschiedlicher Ausprägung je nach Phasenrotator-Einstellung auftritt und nicht durch die externe Korrektur zu beheben ist. Die beiden letztgenannten Effekte treten typischerweise bei allerhöchsten Frequenzen an der Grenze der Funktionalität des Taktpfads auf,  $\gtrsim 120$  GS/s. Damit bestimmen das Übergangsverhalten des Phasenrotators und die Gleichwerte – eine Kombination aus Gleichtaktspannung und Tastverhältnis – der Taktsignale in Kombination mit dem sensiblen CMOS-Taktteiler TT0 die Grenze der Taktpfad-Funktionalität.

Mit dem Nachweis der vollständigen Taktpfad-Funktionalität bis mindestens 60 GHz stehen im Weiteren das DAU-Verhalten und dessen Charakterisierung im Mittelpunkt.

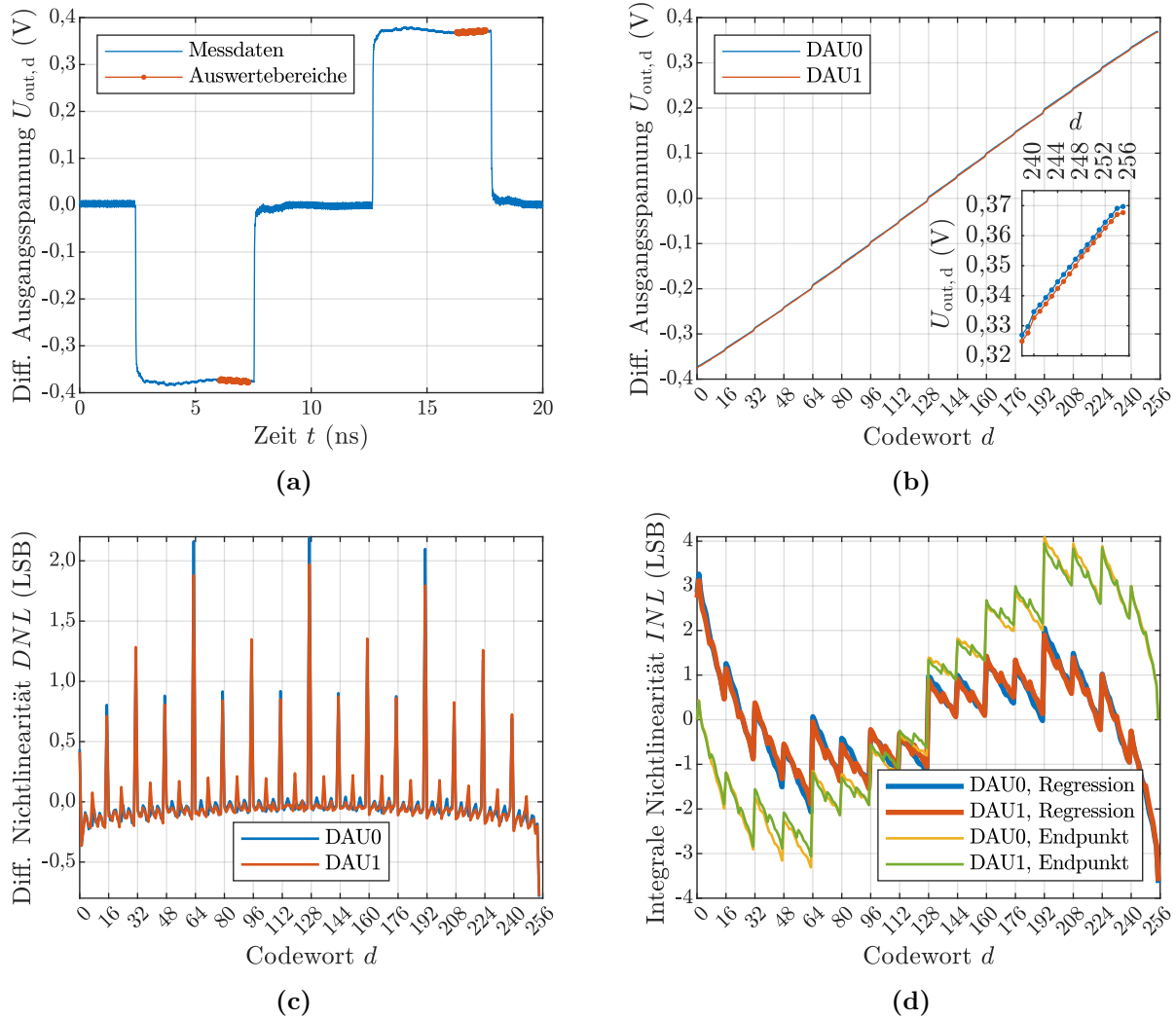
### 5.2.2 Statische Charakterisierung

Bei der statischen Charakterisierung wird von der Möglichkeit des statischen AMUX-Betriebs Gebrauch gemacht, sodass die Übertragungskennlinien beider DAU-Kerne separat gemessen werden, wobei nochmals auf den indirekten Zugriff hingewiesen werden soll, da die DAU-Ausgangssignale nicht direkt, sondern über Sourcefolger und AMUX ausgegeben werden. Aufgrund der verhältnismäßig langen Aussteuerung der Pegel wird eine spezielle Sequenz gewählt, um einseitigen Erwärmungseffekten zu entgegenen:

$$\dots, d, \dots, d, 127, 128, 127, 128, 127, \dots, 128, \bar{d}, \dots, \bar{d}, \dots \quad (5.4)$$

Das CW  $\bar{d}$  steht verkürzt für  $255 - d$ . Die Symbolwechsel zwischen zwei CWen 127, 128, ... sollen gleichmäßige Erwärmung der Transistoren sicherstellen, bevor das nächste CW zur Analyse ausgegeben wird. Abbildung 5.8a zeigt beispielhaft ein Messergebnis, welches zur Analyse herangezogen wird, einschließlich des Auswertebereichs. Der jeweilige Spannungswert wird durch Mittelung über den Auswertebereich bestimmt. In Konsistenz zur Endpunktgeraden werden die LSB-Spannungen  $U_{\text{LSB}0/1}$  gemäß Gl. (5.5) und in Übereinstimmung zur Definition (2.25) für beide DAU (0/1) separat bestimmt.

$$U_{\text{LSB}0/1} = \frac{U(d = 255)|_{\text{DAU}0/1} - U(d = 0)|_{\text{DAU}0/1}}{2^{N_{\text{DAU}}} - 1} \quad (5.5)$$



**Abbildung 5.8:** Ergebnisse der statischen Charakterisierung. (a) Rohmessdaten, die das aus thermischen Überlegungen begründete Ansteuerschema und den Auswertebereich, über den der arithmetische Mittelwert gebildet wird, illustrieren. Übertragungskennlinien,  $DNL$  und  $INL$  sind in (b) bis (d) dargestellt. Die  $INL$  wird sowohl basierend auf der Endpunktgeraden als auch auf der Regressionsgeraden bestimmt (d).

Dabei bilden die Endpunkte gleichzeitig die Extrempunkte minimaler bzw. maximaler Aussteuerung. Die Übertragungskennlinien sowie die Ergebnisse für  $DNL$  und  $INL$  bezogen auf 1 LSB sind in Abb. 5.8b bis 5.8d dargestellt. Die Auswertung erfolgt für die differenziellen Signale und bei  $f_{\text{clk}} = 50$  GHz, also einer Umsetzungsrate von 50 GS/s für jeden DAU-Kern. Aus den Transferkennlinien wird über die mittleren Maximal- und Minimalpunkte, welche identisch zu den Endpunkten sind, die (differenzielle) Vollaussteuerung  $FS \approx 0,74$  V bestimmt, welche im Weiteren als Bezugsgröße zur Normierung herangezogen wird.

Mehrere Aspekte nicht idealen Verhaltens sind erkennbar. Zum einen sind in einem Abstand von  $\Delta d = 16$  Sprünge bei Änderungen im unären Teil zu sehen, die für  $\Delta d = 32$  und  $\Delta d = 64$ , also beim Umschalten mehrerer unärer Pfade, jeweils noch ausgeprägter erscheinen. Diese

spiegeln sich ebenfalls in der *INL* wider. Es ergeben sich also immer beim Übergang vom *R-2R*-Teil zum unären Teil Abweichungen in der statischen Linearität, was sich anhand von Parameterschwankungen nachvollziehen lässt [101], wodurch *R-2R*-Teil und unärer Teil nicht ideal aufeinander abgestimmt sind. Analytisch kann dies anhand des Modells nach [101] betrachtet werden. Für den Anwendungsbereich dieser Arbeit ist die Präzision jedoch ausreichend und die Möglichkeit einer feineren Abstimmung nicht erforderlich. Weiterhin ist unter Vernachlässigung dieser Spitzen eine leichte Wölbung im Diagramm der *DNL* erkennbar; ein Bogen, wie er auch in Kap. 3.6.4.1 erkennbar war und diskutiert wurde. Insgesamt zeigen die beiden DAU-Kerne qualitativ wie quantitativ ein sehr ähnliches Verhalten. Zuletzt weisen die *INL*-Kurven ein Limitierungsverhalten des Systems bei den maximalen Auslenkungen auf.

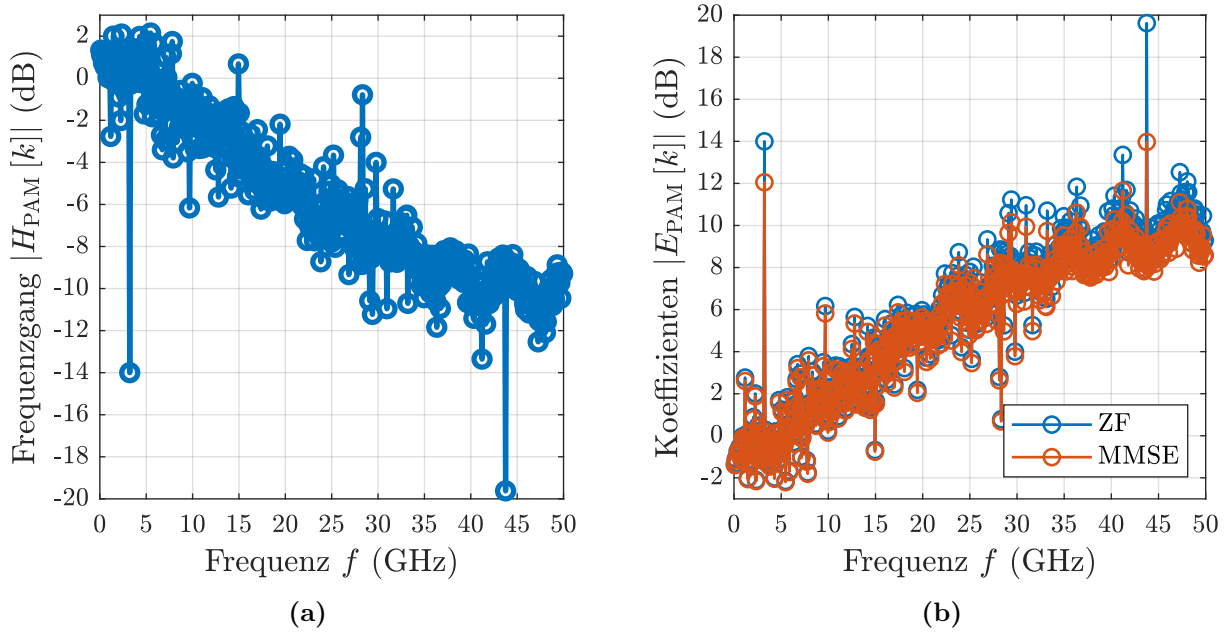
Bevor charakteristische dynamische Parameter analysiert werden, wird die Impulsantwort des Systems untersucht, da hierbei die zeitvarianten Effekte zum Vorschein kommen, welche erhebliche Auswirkungen auf die dynamische Charakteristik haben und zu korrigieren sind.

### 5.2.3 Schätzung der Impulsantwort des Systems

Bei der Schätzung der Impulsantwort des Systems wird analog zu Kap. 4 vorgegangen. Alle Ergebnisse sind exemplarisch bei  $f_s = 100 \text{ GS/s}$  angegeben. Zunächst sei eine PAM-4-Folge der Länge  $N_d = 1024$  gegeben und die Vorverzerrung nach Kap. 4.2 basierend auf denselben Nutzdaten als Trainings- und Zieldaten betrachtet. In Abb. 5.9 sind die Beträge in logarithmischer Darstellung der so geschätzten Impulsantwort sowie die Frequenzgänge zur Vorverzerrung für beide Verfahren, ZF und MMSE, entsprechend der Definitionen in Kap. 4.2 dargestellt. Da die Normierung erst am Ende des Algorithmus nach Kap. 4.2 erfolgt, sind Werte über 0 dB möglich. Abbildung 5.9a liefert einen ersten Hinweis auf die Bandbreite. Die Amplitudengänge der Vorverzerrungsfiler sind in Abb. 5.9b dargestellt, welche für einen insgesamt möglichst flachen Amplitudengang am Ausgang des DAUs sorgen sollen. Dabei wird der Einfluss des MMSE-Verfahrens deutlich, da die Korrektur von Einbrüchen in Abb. 5.9b etwas weniger überbetont ist – abhängig von  $\alpha$ . Weiterhin zeigt sich die Relevanz von breitbandigen Signalen mit möglichst wenigen Einbrüchen für dieses Verfahren. Die zugehörigen Augendiagramme werden in Kap. 5.2.6 in den Abbildungen 5.21a und 5.21b präsentiert.

Als Nächstes erfolgt die Untersuchung der Impulsantwort in Analogie zu Kap. 4.4 mithilfe von verschobenen Einheitsimpulsen (Länge  $T_s = 1/f_s$ ) und den jeweiligen Systemreaktionen. Die Reaktion des Systems auf diese Folge wird als Schätzung der Impulsantwort herangezogen und im Weiteren nur noch als Impulsantwort bezeichnet. Auf die reale Symboldauer sei hingewiesen. Die Verschiebung bezieht sich hierbei auf unterschiedliche Positionen des Impulses, wobei im weiteren Verlauf deutlich wird, dass die Relation zum Zustand des Takt-





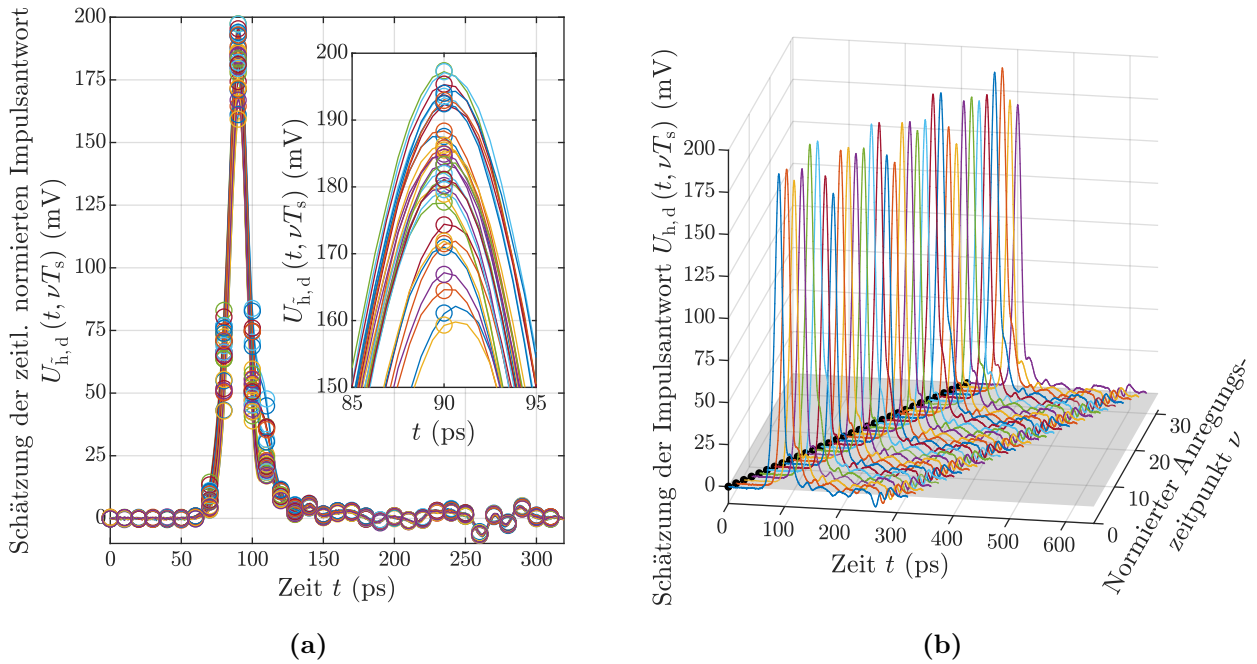
**Abbildung 5.9:** Frequenzgang (a) des Systems und (b) der Vorverzerrung mittels identischer Trainings- und Zieldaten für eine PAM-4-Folge bei  $f_s = 100$  GS/s. Dargestellt ist jeweils eine Hälfte des sich aus der DFT ergebenden Spektrums über den den Frequenzindizes entsprechenden Frequenzen. Die DC-Werte werden in allen Fällen zu null gesetzt. Für den Faktor  $\alpha$  nach Gl. (4.12) wird  $\alpha = 0,01$  angenommen.

netzwerks maßgeblich sein wird. Aus der so gemessenen Impulsantwort geht die zeitdiskrete Impulsantwort  $h[n, \nu]$  durch geeignete Abtastung hervor. Skalierungen sind aufgrund der Normierung (4.49) nicht von Belang. Die Anregung der Einheitsimpulse geschieht durch Datensequenzen nach (5.6a) und (5.6b).

$$01111111, \dots, 01111111, \underbrace{11111111}_{\text{Position } i_0}, 01111111, \dots, 01111111 \quad (5.6a)$$

$$10000000, \dots, 10000000, \underbrace{00000000}_{\text{Position } j_0}, 10000000, \dots, 10000000 \quad (5.6b)$$

Demnach werden sowohl positive Sprünge als auch negative Sprünge von etwa der mittleren Aussteuerung zur maximalen bzw. minimalen Aussteuerung ausgegeben. Der Mittelwert der Datenfolge ist null. Im Sinne der Linearität werden die Impulsreaktionen für steigende bzw. fallende Impulse jedoch im Weiteren nicht separat betrachtet, sondern ein Mittelwert unter Vorzeichenanpassung aus beiden als Impulsreaktion definiert. Die Positionen  $i_0$  bzw.  $j_0$  werden variiert, beginnend mit dem ersten Wort im Speicher, dem  $\nu = 0$  zugewiesen wird. Es zeigt sich eine Abhängigkeit der Impulsreaktion mit Wiederholungen gemäß  $i_0 \bmod 32$  bzw.  $j_0 \bmod 32$ , was periodisches Verhalten mit der Periode  $P = 32$  nahelegt. Daher gilt für die zu  $i_0$  korrespondierende Position  $j_0$ :  $j_0 = i_0 + z_0 \cdot P$  mit  $z_0 \in \mathbb{Z}$  und es sind lediglich



**Abbildung 5.10:** Impulsreaktionen bei Anregung mit Einheitsimpulsen an unterschiedlichen Positionen innerhalb einer Periode bei  $f_s = 100$  GS/s (differenziell). (a) Messung der zeitlich normierten Impulsantwort (ohne Zuordnung) mit Abtastwerten zu den Zeitpunkten  $t_0 + nT_s$  mit  $n \in \{0, \dots, N_h - 1\}$  und (b) Darstellung der gemessenen Impulsantwort. Es handelt sich jeweils um die gemittelten Daten für positiven und negativen Sprung an korrespondierenden Positionen. Die schwarzen Punkte in (b) repräsentieren den Versatz der unterschiedlichen Anregungszeitpunkte. Messwerte vor diesen Zeitpunkten sowie jene nach den dargestellten Impulsreaktionen bezüglich der Zeitachse  $t$  sind ohne Bedeutung.

$(i_0 \bmod P) \in \{0, \dots, P - 1\}$  und  $(j_0 \bmod P) \in \{0, \dots, P - 1\}$  relevant. Abbildung 5.10 zeigt die Impulsreaktionen  $\tilde{h}(t, \nu T_s)$  und  $h(t, \nu T_s)$  für 32 Anregungspositionen. Um die originalen Messergebnisse quantitativ unverändert wiederzugeben, werden anstelle der normierten Impulsreaktionen die entsprechenden gemessenen Spannungen  $U_{\tilde{h},d}$  und  $U_{h,d}$ , gemittelt über 20 Aufzeichnungen, für die Anregungszeitpunkte  $\nu T_s$  mit  $\nu \in \{0, \dots, P - 1\}$  angegeben. Es handelt sich um Mischformen: zeitkontinuierlich in  $t$ , zeitdiskret in  $\nu T_s$ . Aus diesen Messergebnissen können diverse Aussagen über das Systemverhalten extrahiert werden. Zunächst sei angemerkt, dass sich die zeitlich normierten Impulsreaktionen für  $\nu$  und  $\tilde{\nu} = \nu + z \cdot P$  mit  $z \in \mathbb{Z}$  signifikant ähneln und kaum relevante Unterschiede aufweisen, was messtechnisch verifiziert ist. Aus Gründen der Übersichtlichkeit sind lediglich  $P = 32$  Reaktionen dargestellt. Aufgrund dieser Periodizität ist lediglich die Position des Impulses innerhalb einer Periode (modulo  $P$ ) entscheidend, weshalb alle Impulse in einem Datensatz erzeugt und die Impulsreaktionen aus dem entsprechenden Ausschnitt aufgezeichnet werden können. Mit positiven und negativen Sprüngen werden insgesamt 64 Impulsreaktionen bestimmt. Aus Abb. 5.10a wird deutlich, dass die Impulsreaktionen unterschiedliche Höhen und Breiten aufweisen.

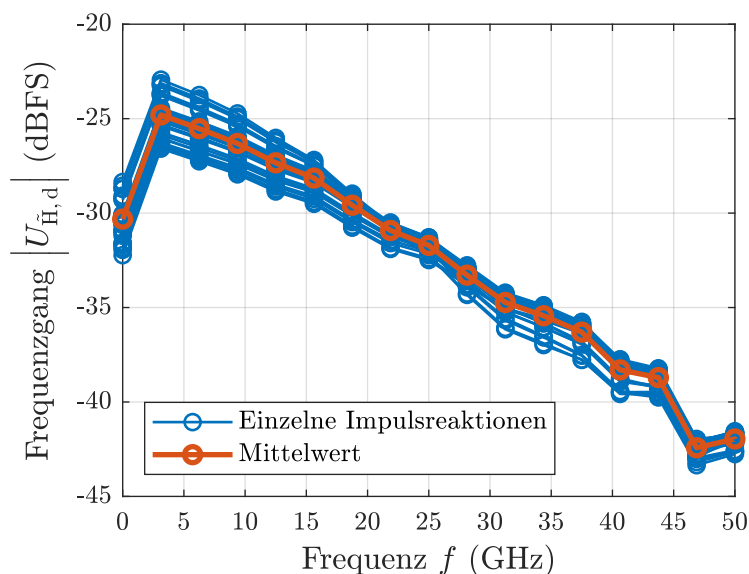
Damit ist das Modell von periodischem Jitter und periodischen Verstärkungsvariationen aus Kap. 2.9 sowie das daraus begründete Vorverzerrungsmodell nach Kap. 4.4 motiviert. Diese Effekte verstärken sich bei noch höheren Umsetzungsraten. In Anhang H ist eine Analyse bei 108 GS/s dargestellt. Alle Impulsreaktionen werden aus einem Ausgangssignal im Abstand von  $z \cdot T_s$  ( $z \in \mathbb{Z}$ ) äquidistant abgetastet und damit eine gemeinsame Zeitbasis gewählt. In Kap. 4 wurde zur Abtastung zu den Zeitpunkten  $t_0 + nT_s$  der Parameter  $t_0$  als Freiheitsgrad gelassen, der nun anhand der Abbildung definiert werden kann. Für alle Impulsreaktionen wird dieselbe Anzahl an Abtastzeitpunkten  $N_h$  gewählt, mit entsprechender Aufteilung um das jeweilige Maximum. Aus Normierungsgründen werden dabei einige Abtastpunkte vor der Impulsreaktion eingeschlossen, um diese auf den Mittelwert dieser Punkte normieren zu können. Damit werden ungeachtet der Kausalität und des Anregungszeitpunkts auch Zeitpunkte eingeschlossen, die vor der Impulsreaktion liegen und somit  $t_0$  definiert; das heißt,  $t_0$  wird entsprechend um das Maximum der Impulsreaktion gewählt, für jede Impulsreaktion separat. Diese Normierung ist in Abb. 5.10 bereits berücksichtigt, wodurch die Werte vor der Impulsreaktion im Sinne der Kausalität praktisch null sind. Auf den Unterschied bei der Wahl von  $t_0$  im Vergleich zu Gl. (4.5) sei hingewiesen: Der Extremwert der Impulsreaktion befindet sich nun nicht an der Stelle  $t_0$ . Zuletzt ist eine Reflexion des Aufbaus ca. 170 ps nach den Maxima zu erkennen. Um diese bei der Vorverzerrung zu berücksichtigen, wird eine Länge  $N_h = 32$  für die Impulsreaktionen angenommen. Werden Kompromisse bei der Signalqualität gemacht oder ein Aufbau ohne jegliche Reflexion realisiert, kann diese Länge und damit letztlich auch die Filterlänge stark reduziert werden. Da im Rahmen dieser Arbeit die Vorverzerrung extern erfolgt, muss darauf keine Rücksicht genommen werden. Abbildung 5.10b offenbart noch weitere Details. Sie zeigt die Impulsantwort über eine Periode. Ist eine größere Toleranz bei der Ähnlichkeit von Impulsreaktionen zugelassen, so zeigen sich auch kleinere Perioden von  $P_0 = 16$  und  $P_1 = 8$ . Dennoch bleibt die Aussage, dass es praktisch eine Übereinstimmung für  $P = 32$  gibt, bestehen.

Um die Frage nach der Ursache dieser Periodizität zu beantworten, muss periodischem Verhalten im DAU nachgegangen werden, womit nur der Taktpfad infrage kommt. Betrachtet man den Taktpfad anhand von Abbildungen 3.14 und 3.20, so kann diese Periodizität wiedergefunden werden. Der Taktpfad arbeitet auf den Taktebenen  $f_s/2$ ,  $f_s/4$ ,  $f_s/8$ ,  $f_s/16$  und  $f_s/32$ . Aufgrund des Halbratentakt-Konzepts geben sowohl der AMUX als auch die beiden DAU-Kerne Symbole zu steigenden und fallenden Taktflanken aus. Nach 32 Symbolen (32 halbe  $f_s/2$  Taktperioden) befindet sich der gesamte Taktpfad wieder im selben Zustand. Die messtechnische Beobachtung einer Periode  $P = 32$  in Kombination mit dieser schaltungs-technisch begründeten Tatsache ist ein starker Hinweis, dass das periodisch zeitvariante Verhalten der Schaltungsarchitektur des Taktpfads entstammt. Denn die Impulsreaktionen weisen ein Verhalten ähnlich dem periodischen Belastungsmuster des Taktsystems auf. Tat-

sächlich tragen die beiden DAU-Kerne praktisch den Großteil zu dieser Zeitvarianz bei. Die Takttreiber befinden sich in einer Versorgungsspannungsdomäne und steuern die digitalen MUX an. Ebenso belasten die lokalen Takttreiber in den digitalen MUXn als Fortsetzung des Taktnetzwerks die Domäne der MUX. Über die Ansteuerung der Elemente der digitalen MUX – Flip-Flops, TG, Inverter – auf der höchsten Taktebene  $f_s/4$  haben die Takttreiber direkten Einfluss auf die Länge der Ausgangssymbole. Kommt es infolge von Schaltvorgängen auf den unteren Taktebenen  $f_s/8$  bis  $f_s/32$  zu Abweichungen des Taktsignale, beispielsweise durch Belastung der Versorgungsspannung, zeigt sich dies in Form von Ausgangssymbolen unterschiedlicher Dauer und Höhe. Weiterhin kommt es durch asymmetrisches Verhalten (z. B. aufgrund des Tastverhältnisses) zu Abweichungen bei steigenden und fallenden Taktflanken auf  $f_s/4$ -Ebene, jeweils zusätzlich beeinflusst durch die unteren Ebenen. Auf diese Weise können die Zustände der CMOS-Taktpfade direkt auf die Ausgangssymbole abgebildet werden. Aufgrund der Wiederholung dieser Zustände nach 16 Symbolen eines jeden DAU-Kerns (16 halbe  $f_s/4$  Taktperioden bzw. acht  $f_s/4$  Taktzyklen) ergibt sich insgesamt eine Periode von  $P = 32$ . Die angesprochenen Ähnlichkeiten bei kleineren Perioden  $P_0 = 16$  und  $P_1 = 8$ , was Perioden von 8 und 4 in den DAU-Kernen entspricht, legen nahe, dass die Einflüsse der Ebenen  $f_s/4$  bis  $f_s/16$  bzw.  $f_s/4$  bis  $f_s/8$  dominant sind. Abermals sind die dynamische Belastung der Versorgungsspannung durch die CMOS-Architektur, wie sie beispielsweise auch in Kap. 3.6.4.2 diskutiert wurde, und ihre Auswirkungen, insbesondere auf analoge Signale, ein wichtiger Aspekt und scheinen sich hier konkret in den Messergebnissen in Form von unterschiedlichen Impulsreaktionen zu manifestieren.

Die Transformation der Impulsreaktionen in den Frequenzbereich liefert einerseits Einblicke in den zu kompensierenden Frequenzgang und andererseits eine weitere Abschätzung der Bandbreite des Aufbaus (vgl. Kap. 5.2.5). In Abb. 5.11 sind die diskreten Fourier-Transformationen zu  $\tilde{H}(j\omega, \nu T_s)$  gehörend aus den entsprechenden Spannungswerten der einzelnen Impulsreaktionen sowie des Mittelwerts dargestellt. Für eine LTI-Vorverzerrung nach Kap. 4.3 kann die mittlere Impulsreaktion als Impulsantwort herangezogen werden.

Zusammenfassend zeigen die Messungen der Impulsreaktionen auf Einheitsimpulse an verschiedenen Positionen ein periodisch zeitvariantes Verhalten. Im Sinne von Kanälen sind unter Berücksichtigung der beiden AMUX-Kanäle mit jeweils 16 DAU-Kanälen insgesamt 32 Kanäle zu beachten, was zur Periode von  $P = 32$  führt. In dieser Betrachtungsweise könnte das System auch als hochgradig zeitverschachteltes System verstanden werden. Die Periodizität mit  $P = 32$  ist ein starkes Indiz für eine Abhängigkeit vom Zustand des Taktpfads. Bei genauerer Betrachtung findet sich in der Architektur der beiden Taktnetzwerke, die direkte Auswirkungen auf die Abtastung der Ausgangssymbole in den digitalen MUXn haben, eine Erklärung hierfür. Dies in Kombination mit möglichen Asymmetrien, insbesondere hinsichtlich steigenden und fallenden Taktflanken sowie Tastverhältnissen durch das Halbratentakt-Konzept, liefert eine



**Abbildung 5.11:** Amplitudengänge der Impulsreaktionen bei  $f_s = 100$  GS/s ohne Zuordnung mit Mittelwert und unter Normierung auf  $FS/2$ .

plausible Erklärung dieser Phänomene. Die Untersuchung der Impulsreaktionen innerhalb einer Periode bietet eine Möglichkeit der Systemidentifikation und dient zugleich als Basis für eine Korrektur durch die LPTV-Vorverzerrung nach Kap. 4.4. Die Konsequenzen dieser Zeitvarianz zeigen sich bei Einton- wie auch bei PAM-Signalen. Ebenso werden die Auswirkungen der Korrektur, welche mitunter erheblich bessere Ergebnisse hervorbringen wird, eindrücklich anhand der dynamischen Charakterisierung demonstriert.

#### 5.2.4 Dynamische Charakterisierung durch Analyse von Eintonsignalen

Gemäß Kap. 2.7 werden nachfolgend mittels digitaler Eintonsignale einige charakteristische dynamische DAU-Parameter bestimmt. Bei Bezug auf die Vollaussteuerung werden wie in Kap. 5.2.2 angegeben die Mittelwerte des jeweils größten und kleinsten Werts aus den unterschiedlichen Transferkennlinien der Kerne zugrunde gelegt, was hier gleichzeitig den jeweiligen Endpunkten entspricht. Eine Normierung erfolgt dann in Relation zur *Full-Scale*-Amplitude  $FS/2$  mit zugehöriger Einheit dBFS.

### 5.2.4.1 Wahl der Testsignale und Analyse der Messdaten

Aus Kap. 2 ist bekannt, dass die Bestimmung verschiedener charakteristischer Größen des DAUs die Ausgabe eines Sinussignals und dessen spektrale Analyse erfordern. Präziser formuliert werden ideale Sinussignale abgetastet und ein nicht ideales, analoges Ausgangssignal analysiert. Die Signalanalyse wird dabei im Rahmen dieser Arbeit ausschließlich im Frequenzbereich nach [63] durchgeführt. Bei der Wahl der Frequenzen sowie der Länge der Signale bzw. der auszugebenden Sequenzen  $N_d$  werden in [63] einige Anforderungen formuliert.

Wenngleich prinzipiell frei wählbar, sind bei der Auswahl der Signalfrequenzen zur Charakterisierung einige Aspekte zu beachten. In [63] wird zwischen einer groben, mittleren und feinen Frequenzwahl unterschieden. Ausgangspunkt ist das abgetastete Sinussignal

$$x[n] = A_{\sin} \cdot \sin\left(\frac{2\pi fn}{f_s} + \phi_0\right), \quad (5.7)$$

mit  $n \in \{0, \dots, N_d - 1\}$ . Im Folgenden wird  $\phi_0 = 0$  angenommen. Des Weiteren wird stets von maximaler Aussteuerung ( $A_{\sin} = 1$ ) ausgegangen, wie in [63] empfohlen. Die Testfrequenzen sollen beginnend von geringen Frequenzen – wenige Prozent der analogen Bandbreite – über den gesamten Frequenzbereich verteilt gewählt werden. Generell ist bei der Analyse von Interesse, dass Artefakte unterschiedlichen Ursprungs bei unterschiedlichen Frequenzen auftreten, um sie zu separieren, wobei *Aliasing* zu beachten ist. Eine geeignete Wahl einer Testfrequenz ist gegeben, wenn

$$f = f_j = \frac{j}{N_d} f_s \quad (5.8)$$

mit  $j \in \mathbb{N}$  und  $j < N_d/2$  gewählt wird und dabei  $j$  und  $N_d$  teilerfremd sind. Auf diese Weise ist sichergestellt, dass die Phasen der abgetasteten Werte gleichmäßig mit Abstand  $2\pi/N_d$  zwischen 0 und  $2\pi$  verteilt sind [63, 112, 113]. Wird unter Berücksichtigung der zyklischen Architektur des Speichers für  $N_d$  eine Zweierpotenz gewählt, bedeutet dies konkret, dass diese Bedingung für jedes ungerade  $j$  erfüllt ist [63]. Eine letzte Anforderung an die Wahl der Eintonsignale betrifft die Länge  $N_d$ . Sie stellt die Grundperiode der Datensequenz dar, welche  $n_0$ -mal zyklisch wiederholt in den Speicher geschrieben wird:  $n_0 = N_{\text{Speicher}}/N_d$  mit  $n_0 \in \mathbb{N}$  und  $N_{\text{Speicher}} = 262.144$ . Aus der Zielsetzung, jedes CW auszugeben, ist bei idealer Transfer-Charakteristik

$$N_d \geq \lceil \pi \cdot 2^{N_{\text{DAU}}} \rceil \quad (5.9)$$

zu wählen [63], wie in [112] gezeigt, wobei  $\lceil \cdot \rceil$  für die Aufrundungsfunktion steht. Die kleinste Zweierpotenz, für die Gl. (5.9) erfüllt ist, ist  $N_d = 4 \cdot 2^{N_{\text{DAU}}} = 1024$  [63, 112, 113], was im Weiteren so festgelegt sei.

Methodisch wird die Frequenzbereichsanalyse durchgeführt, indem zunächst eine Ausgangssequenz der Länge  $N_d = 1024$  mit dem unterabtastenden Oszilloskop aufgenommen wird

(äquivalente Zeit). Dieses zeichnet in einer Messung  $N_{\text{Oszi}} = 16.000$  Messpunkte auf, wobei in der Regel genau eine gesamte Sequenz auf einmal aufgezeichnet wird, sofern es das Verhältnis aus  $N_d$  und  $f_s$  erlaubt. Darüber hinaus können auch sequenziell mehr Daten aufgezeichnet werden. Geht man ohne Interpolation von  $N_{\text{Oszi}}$  Messpunkten aus, die sich genau über eine Datensequenz  $N_d$  erstrecken, beträgt die Zeitaufösung des überabgetasteten Signals

$$\Delta t_{\text{Oszi}} = \frac{N_d}{f_s \cdot N_{\text{Oszi}}} \quad (5.10)$$

und die spätere Frequenzaufösung der DFT

$$\Delta f_{\text{DFT}} = \frac{f_s}{N_d} . \quad (5.11)$$

Bei ungünstigem Verhältnis muss interpoliert werden.

Zur späteren Trennung von Signal- und Verzerrungsanteilen einerseits und Rauschen andererseits werden jeweils eine gemittelte  $U_{\text{avg}}[n]$  (Mittelwert über 20 Messkurven) und eine einfache Messung  $U_{\text{smppl}}[n]$  mit  $n \in \{0, \dots, N_{\text{Oszi}} - 1\}$  durchgeführt. Darin bezeichnen  $U_{\text{avg/smppl}}[n]$  die aufgezeichneten Messwerte. Zur Analyse werden stets differenzielle Signale herangezogen. Im ersten Schritt der mathematischen Analyse werden Signal- und Verzerrungsanteile  $x_{\text{SD}}[n]$  – praktisch überwiegend kausale Anteile – vom rein stochastischen Rauschanteil  $x_{\text{N}}[n]$  getrennt und die Daten auf die *Full-Scale*-Amplitude  $FS/2$  normiert:

$$x_{\text{SD}}[n] = \frac{U_{\text{avg}}[n]}{FS/2} \quad \text{und} \quad (5.12a)$$

$$x_{\text{N}}[n] = \frac{U_{\text{smppl}}[n] - U_{\text{avg}}[n]}{FS/2} . \quad (5.12b)$$

Es ist zu beachten, dass auf diese Weise das Quantisierungsrauschen in  $x_{\text{SD}}[n]$  enthalten und es daher in einem aus  $x_{\text{N}}[n]$  abgeleiteten *SNR* nicht berücksichtigt ist. Anschließend wird mittels DFT in den Frequenzbereich übergegangen:  $X_{\text{SD}}[k]$  und  $X_{\text{N}}[k]$  mit  $k \in \{0, \dots, N_{\text{DFT}} - 1\}$ . Im Falle der Gültigkeit von Gl. (5.10) gilt für die DFT-Länge  $N_{\text{DFT}} = N_{\text{Oszi}}$ . Wenngleich die erwähnte Trennung nicht ideal ist, wird vereinfachend zunächst ohne konkrete Zuordnung der einzelnen Frequenzanteile davon ausgegangen, dass  $X_{\text{SD}}[k]$  nur Signal-, DC- und Verzerrungsanteile aufweist und somit alle von Signalanteilen und DC-Anteil verschiedenen Anteile als Verzerrungen aufgefasst werden. Entsprechend werden abgesehen vom DC-Anteil alle Werte in  $X_{\text{N}}[k]$  als Rauschanteile aufgefasst. Gemäß Kap. 2.7 werden die DC-Werte in den Analysen nicht weiter beachtet. Allgemein sei zum so gewonnenen Rauschspektrum angemerkt, dass bei der exakten Interpretation Vorsicht geboten ist. In [114] wird *Aliasing* in  $1/f^\alpha$ -Rauschspektren bei Unterabtastung diskutiert und dadurch das Leistungsdichtespektrum bei Annäherung an die entsprechende Nyquist-Frequenz weißem Rauschen ähnelt. Im Folgenden wird darauf

nicht weiter eingegangen und lediglich der RMS-Wert des so gewonnenen Rauschspektrums extrahiert. Mithilfe von  $X_{SD}[k]$  kann das  $SDR$  und in Kombination mit  $X_N[k]$  das  $SNDR$  berechnet werden.

#### 5.2.4.2 Einfluss der LPTV-Vorverzerrung auf Eintonssignale

Im Gegensatz zu einer LTI-Vorverzerrung kann eine LPTV-Vorverzerrung Eintonssignale, die von LPTV-Effekten beeinträchtigt sind, positiv beeinflussen, sodass sich im Ausgangsspektrum Verbesserungen hinsichtlich des SDRs ergeben, indem Verzerrungen aufgrund von periodischer Zeitvarianz reduziert werden. Ein geeignetes LPTV-System wirkt diesen also entgegen. Ein LTI-System, dessen Wirkung sich im Frequenzbereich – ungeachtet der Phase – als eine Korrektur des Amplitudengangs vorgestellt werden kann, mit anschließender Renormierung, kann dies nicht leisten. Beispielhaft werden hier die Auswirkungen auf die Signalspektren bei  $f_s = 100$  GS/s sowie  $N_d = 1024$  für  $f_{\text{Sig}} = 1.074.218.750$  Hz ( $j = 11$ ),  $f_{\text{Sig}} = 25.097.656.250$  Hz ( $j = 257$ ) und  $f_{\text{Sig}} = 49.707.031.250$  Hz ( $j = 509$ ), also eine geringe Frequenz, eine nahe der halben Nyquist-Frequenz  $f_s/4$  und eine nahe der Nyquist-Frequenz  $f_s/2$  diskutiert. Die Amplitudengänge sind in den Abbildungen 5.12 bis 5.14 dargestellt. Die Amplitudenspektren  $A_{FS}(f)$  gehen aus den DFTen  $X_{SD}[k]$  und  $X_N[k]$  durch Betragsbildung, Normierung mit der DFT-Länge  $N_{\text{DFT}}$  und Verdoppelung der von 0 verschiedenen Frequenzen hervor. Zu betrachten ist hierzu auch Zusammenhang (B.31). Dabei wird lediglich die erste Nyquist-Zone bezüglich  $f_s$  betrachtet. Die blauen Spektren zeigen die zu  $X_{SD}[k]$  gehörenden normierten Amplituden, die roten Spektren jene zu  $X_N[k]$  gehörend. Das  $SFDR$  wird auf den Träger bezogen. Entsprechend den theoretischen Überlegungen aus Kap. 2.9 und einer maximal angenommenen Periode der deterministischen Zeitvarianzen von  $P = 32$  ergeben sich bei einem Signal der Frequenz  $f_{\text{Sig}}$  Linien bei  $f_n$  mit

$$f_n = n \cdot \frac{f_s}{P} \pm f_{\text{Sig}}, \quad n \in \mathbb{Z} \quad (5.13)$$

bzw. allgemein unter Beachtung von  $m$  Harmonischen bei  $f_{n,m}$  mit

$$f_{n,m} = n \cdot \frac{f_s}{P} \pm m \cdot f_{\text{Sig}}, \quad n \in \mathbb{Z}, m \in \mathbb{N}. \quad (5.14)$$

Abgesehen vom Fall  $n = 0$  und  $m = 1$  stellen diese Linien Störlinien  $f_D$  dar:

$$f_D = f_{n,m} \Big|_{n \neq 0 \wedge m \neq 1}. \quad (5.15)$$

Der DC-Wert wird nicht berücksichtigt. Zusätzlich zeigt sich jeweils eine Störlinie durch Taktdurchgriff aufgrund von Asymmetrien bei  $f_D = f_s/2 = f_{\text{clk}}$ , trotz differenzieller Signale. Die Zuordnung einiger Störlinien zu Gl. (5.14) sowie der Taktdurchgriff sind in den



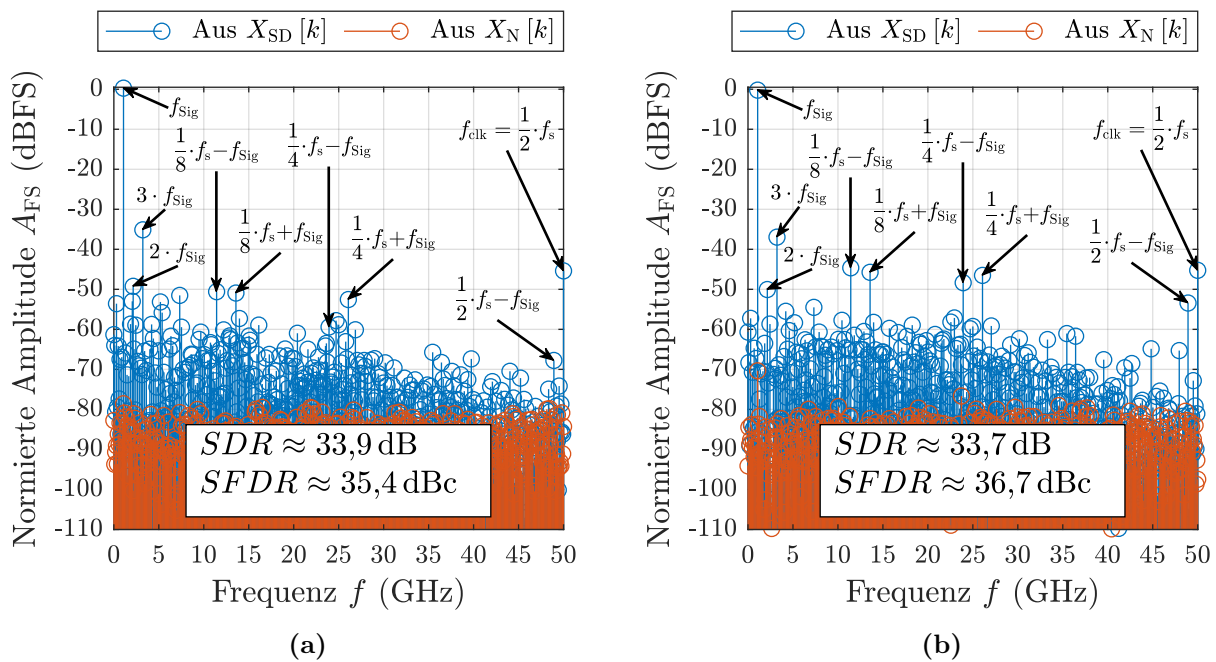


Abbildung 5.12: Einfluss der LPTV-Vorverzerrung auf die Signalqualität eines Eintonsignals der Frequenz  $f_{Sig} = 1.074.218.750$  Hz (a) ohne und (b) mit LPTV-Vorverzerrung.

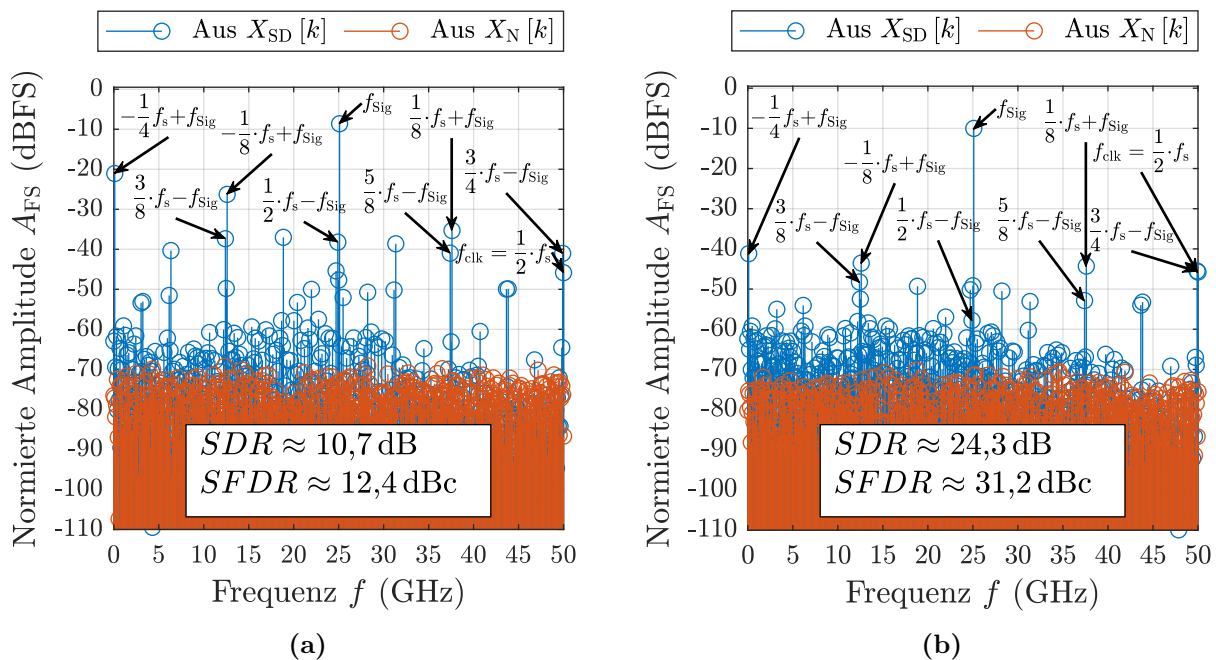
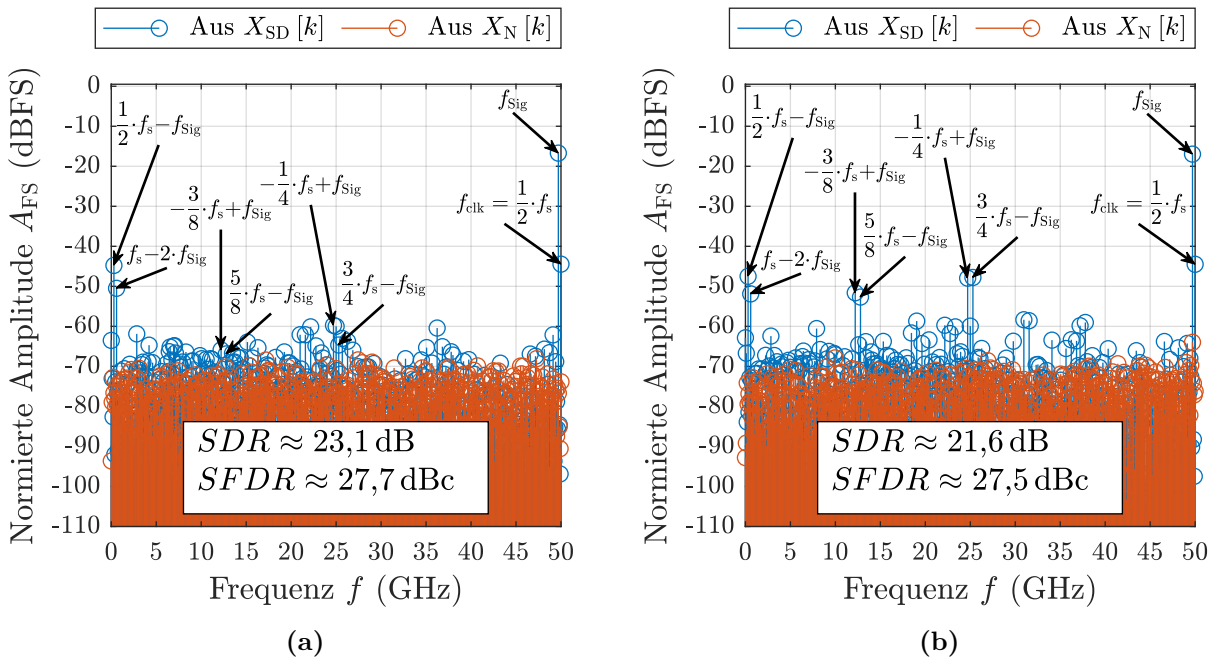


Abbildung 5.13: Einfluss der LPTV-Vorverzerrung auf die Signalqualität eines Eintonsignals der Frequenz  $f_{Sig} = 25.097.656.250$  Hz (a) ohne und (b) mit LPTV-Vorverzerrung.

Abbildungen 5.12 bis 5.14 eingezeichnet. Bei  $f_{Sig} \approx 1$  GHz ist zusätzlich die dritte Harmonische als nichtlineare Verzerrung von Bedeutung. Die Vorverzerrung zeigt mitunter eine massive Verbesserung von  $SDR$  und  $SFDR$  und führt zu einer deutlich höheren effektiven



**Abbildung 5.14:** Einfluss der LPTV-Vorverzerrung auf die Signalqualität eines Eintonsignals der Frequenz  $f_{Sig} = 49.707.031.250$  Hz (a) ohne und (b) mit LPTV-Vorverzerrung.

Auflösung – rund 6 dB entsprechen 1 bit. Im Falle von  $f_{Sig} \approx 25$  GHz ergibt sich eine Verbesserung von  $\Delta SDR \approx 13,6$  dB. Eine geringe Reduktion, allerdings kaum von Relevanz, ist bei  $f_{Sig} \approx 1$  GHz und  $f_{Sig} \approx 49$  GHz zu beobachten. Der Grund für die unterschiedlich ausgeprägte Anfälligkeit für periodische Zeitinvarianzen liegt in der Zeitverschachtelung. Bei sehr niedrigen Signalfrequenzen sind sowohl die Signaländerungen an beiden DAU-Ausgängen als auch am AMUX-Ausgang vergleichsweise gering bzw. langsam. Im Bereich von  $f_s/4$  weisen sowohl die DAU-Kerne als auch der AMUX mitunter große Signaländerungen aufeinanderfolgender Symbole auf. Bei Frequenzen nahe  $f_s/2$  sind die Signaländerungen in den DAU-Kernen vergleichsweise gering und nur jene am AMUX-Ausgang groß; die Störlinie bei  $f_s/2 - f_{Sig}$  ragt heraus. Diese Tatsache begründet die unterschiedliche Betroffenheit bei unterschiedlichen Signalfrequenzen, da die Zeitvarianzen maßgeblich von den DAU-Kernen verursacht werden und die Störlinien dann besonders groß sind, wenn die DAU-Kerne große Signaländerungen an ihren Ausgängen aufweisen. Denn wenn davon ausgegangen wird, dass die ausgegebene statische Spannung der DAU-Kerne vergleichsweise genau ist, was  $DNL$  und  $INL$  nahelegen, und die unterschiedliche „Stärke“ der Impulsantworten – Höhe und Breite – vor allem aus der periodisch zeitvarianten Länge der DAU-Pulse resultieren, spielt diese unterschiedliche Länge nur dann eine entscheidende Rolle, wenn sich aufeinanderfolgende DAU-Pulse stark unterscheiden. Allgemein kann auch die reale, nicht ideale AMUX-Operation durch asymmetrisches Verhalten oder andere Nichtidealitäten entsprechende Verzerrungen verursachen. Dabei können sowohl der AMUX selbst, der zugehörige Taktpfad oder auch

asymmetrische Eingangskanäle (Sub-DAU und Ausgangspfade) für diese verantwortlich sein. Der Zusammenhang aus LPTV-Effekten und den daraus abgeleiteten Verzerrungen gilt mit einer Periode von zwei auch in diesen Fällen.

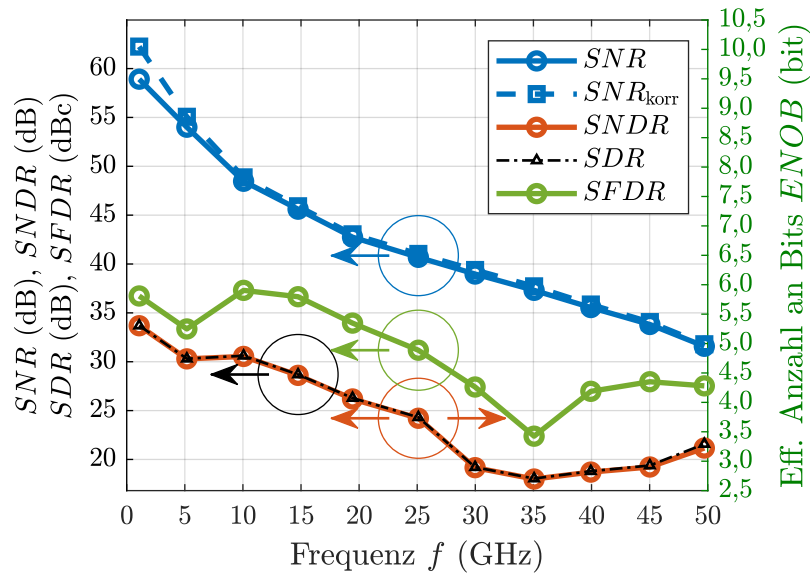
Ein entscheidender Punkt für die Wirksamkeit der Vorverzerrung neben der Reduzierung von Störlinien ist, dass der Signalanteil (nahezu) unangetastet bleibt. Aus den Messergebnissen geht hervor, dass Signalamplituden keine nennenswerte Dämpfung erfahren und dies somit erfüllt ist.

Bei  $f_s = 64 \text{ GS/s}$  zeigen sich entsprechende Verbesserungen im  $SDR$ :  $< +0,1 \text{ dB}$  bei  $f_{\text{Sig}} \approx 1 \text{ GHz}$ , etwa  $+8,5 \text{ dB}$  bei  $f_{\text{Sig}} \approx 15 \text{ GHz}$  und etwa  $+5,6 \text{ dB}$  bei  $f_{\text{Sig}} \approx 32 \text{ GHz}$ .

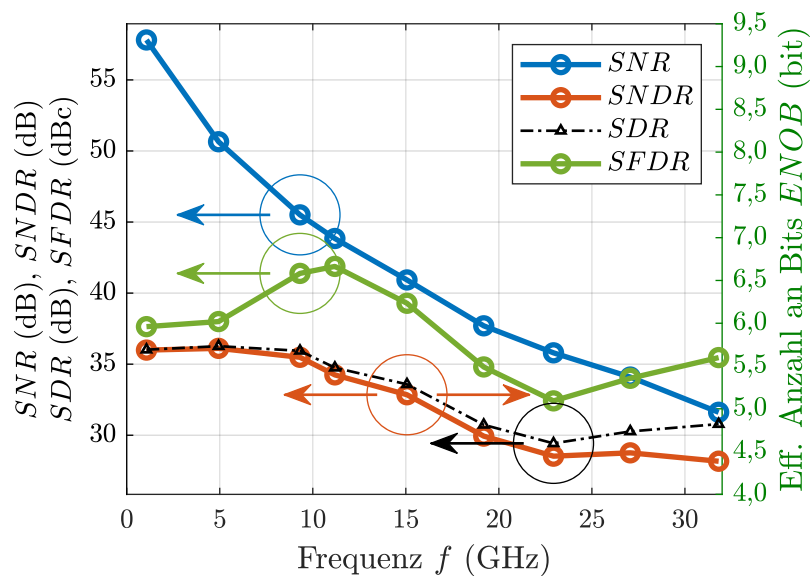
Wie bereits bei der Betrachtung der Impulsantwort in Kap. 5.2.3 sind dominantere Störungen um  $P_1 = 8$  zu beobachten, was die These unterstreicht, dass Änderungen in den untersten Taktebenen mit  $P_0 = 16$  und  $P = 32$ , die zu anderen Teilungsverhältnissen gehören, eine etwas untergeordnetere Rolle spielen. Insbesondere sind auch signifikante Störlinien um  $f_s/4$  ( $P_2 = 4$ ) zu beobachten.

#### 5.2.4.3 Ergebnisse der dynamischen Charakterisierung mit LPTV-Vorverzerrung

Die Ergebnisse der dynamischen Charakterisierung sind in Abb. 5.15 für  $f_s = 100 \text{ GS/s}$  und  $f_s = 64 \text{ GS/s}$  dargestellt. Zur Berechnung der effektiven Auflösung wird Gl. (2.39) zugrunde gelegt. Die Analyse basiert auf den Gleichungen (5.12a) und (5.12b). Eine einfache Analyse, die lediglich  $U_{\text{smp1}}[n]$  zur Berechnung des  $SNDR$ s heranzieht, indem das RMS-Verhältnis der Signalamplitude über die anderen Anteile in der ersten Nyquist-Zone, DC-Anteil ausgeschlossen, berechnet wird, liefert ein kaum unterscheidbares Ergebnis. Allerdings erlaubt die verwendete Methode die Trennung von rein stochastischen Rauschanteilen. Betrachtet man das  $SNDR$  bei  $f_s = 100 \text{ GS/s}$ , so ist praktisch eine kontinuierliche Abnahme über der Frequenz bis etwa  $35 \text{ GHz}$  zu beobachten, ebenso bis etwa  $23 \text{ GHz}$  bei  $f_s = 64 \text{ GS/s}$ . Bei  $f_s = 100 \text{ GS/s}$  kann durchgängig ein  $SNDR > 18 \text{ dB}$  bis zur Nyquist-Frequenz erreicht werden, bei  $f_s = 64 \text{ GS/s}$  ein  $SNDR > 28 \text{ dB}$ . Über den gesamten Frequenzbereich gilt für  $f_s = 100 \text{ GS/s}$   $ENOB > 2,5 \text{ bit}$  und für  $f_s = 64 \text{ GS/s}$   $ENOB > 4,3 \text{ bit}$ . Der Vergleich von  $SNDR$  und  $SDR$  bei  $f_s = 100 \text{ GS/s}$  zeigt, dass hier allein die Verzerrungen ausschlaggebend sind. Eine besondere Abnahme findet sich im Bereich um  $f_s/4$ , wo die beiden DAU-Kerne schnelle Signalwechsel aufweisen. Im Abfall der  $SNDR$ -Kurve bei  $f_s = 100 \text{ GS/s}$  lässt sich allerdings auch eine Parallele zur Bandbreite ziehen, die Gegenstand der Diskussion im nächsten Abschnitt ist. Generell nimmt erwartungsgemäß das  $SNDR$  ab, wenn die Signalamplitude aufgrund mangelnder Bandbreite gedämpft wird. Kommen zusätzlich zu Letzterem noch zunehmende Verzerrungen hinzu, möglicherweise bei geringeren Frequenzen mit geringerer Dämpfung, tritt ein degradiertes Signalpegel in Kombination mit weniger gedämpften Verzerrungen auf. Zur Illustration des Einflusses der abnehmenden Signalamplitude ist in Abb. 5.16



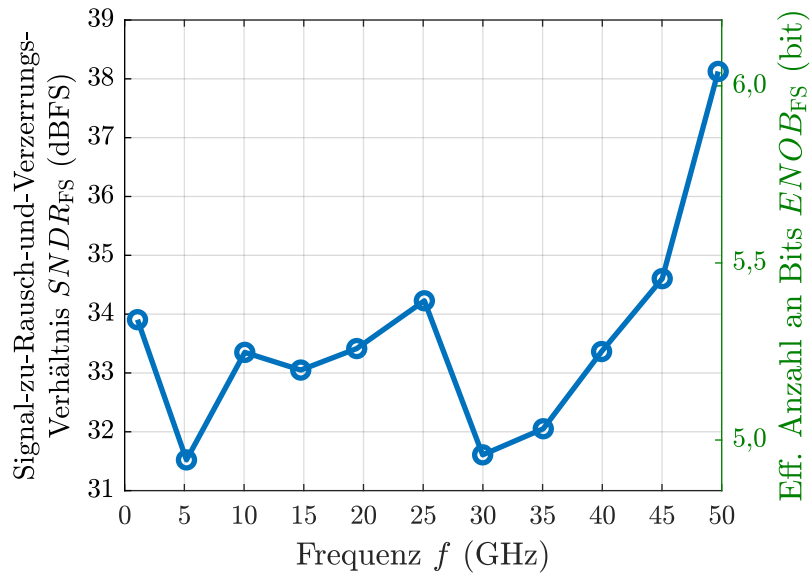
(a)



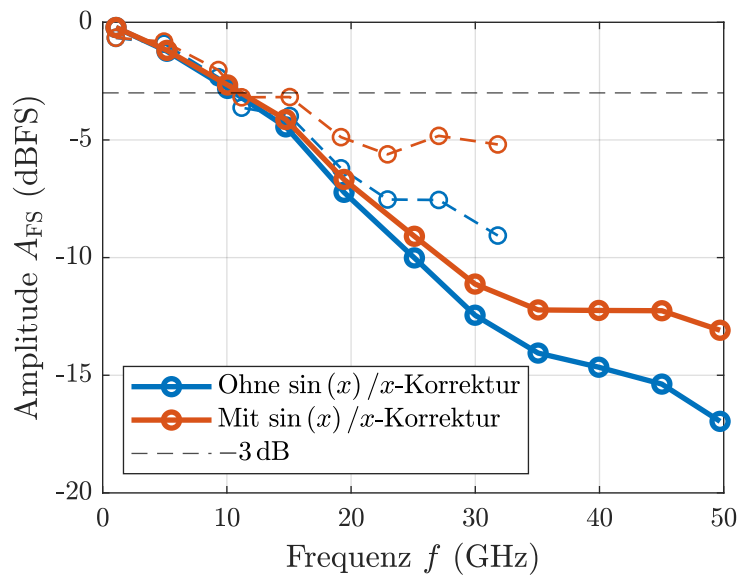
(b)

**Abbildung 5.15:** Ergebnisse der dynamischen Charakterisierung. (a)  $f_s = 100$  GS/s und (b)  $f_s = 64$  GS/s. Das hier dargestellte  $SNR$  berücksichtigt aufgrund des Messverfahrens nur stochastisches Rauschen, nicht das Quantisierungsrauschen. In (a) ist zusätzlich ein  $SNR_{\text{korr}}$  angegeben, in welchem die Rauschleistung des Oszilloskops herausgerechnet ist.

das  $SNDR$  bezogen auf die Amplitude bei Vollaussteuerung für  $f_s = 100$  GS/s dargestellt. Hypothetisch wird demnach von einer konstanten Signalamplitude  $FS/2$  ausgegangen. Dies stellt eine nicht erreichbare Obergrenze für das  $SNDR$  dar, da die Verzerrungen weiterhin Dämpfung erfahren und hierfür dieselben Amplituden wie in Abb. 5.15a angenommen werden. Dennoch wird unter Berücksichtigung dieses Extremfalls ein entsprechendes Potenzial bei höheren Bandbreiten ersichtlich.

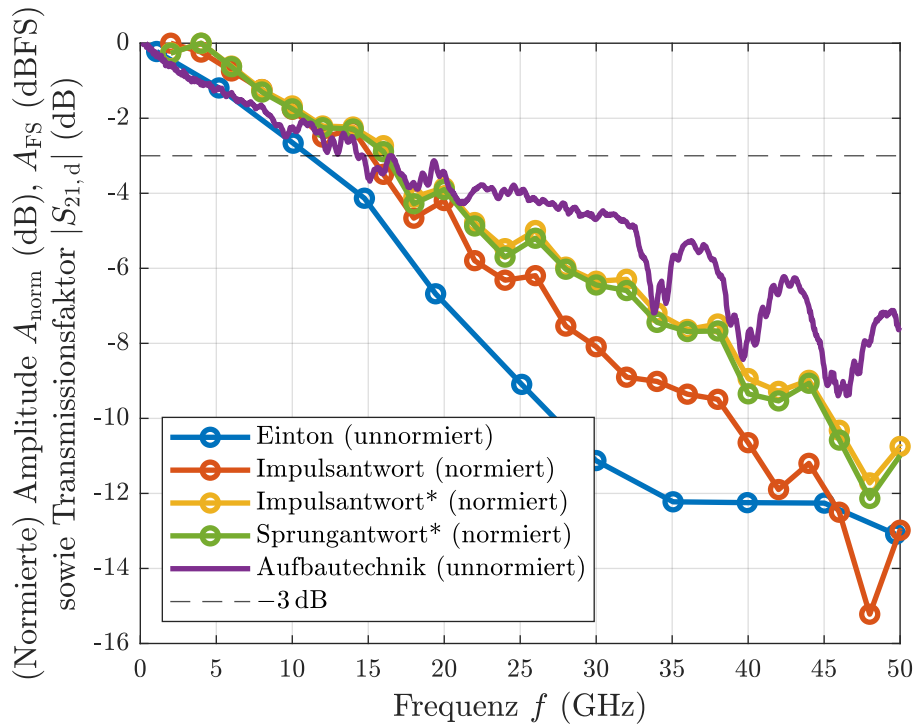


**Abbildung 5.16:** Ergebnisse der dynamischen Charakterisierung bei Bezug zu  $FS/2$  für  $f_s = 100$  GS/s.



**Abbildung 5.17:** Signalamplituden bei Bezug zu  $FS/2$ . Durchgezogene Linien:  $f_s = 100$  GS/s, gestrichelte Linien:  $f_s = 64$  GS/s.

Zuletzt kann über die Signalamplituden die Ausgangsbandbreite abgeschätzt werden. Abbildung 5.17 zeigt diese sowie die um die  $\sin(x)/x$ -Dämpfung korrigierten Werte. Demnach ergibt sich eine  $-3$ -dB-Bandbreite von  $f_{-3\text{dB}} \approx 11$  GHz. Detailliertere Betrachtungen der Ausgangsbandbreite erfolgen im folgenden Abschnitt.



**Abbildung 5.18:** Vergleich der Amplitudengänge unterschiedlicher Bestimmungsverfahren mit der Referenzstruktur der HF-Leiterplatte. Als Parameter für die Aufbautechnik wird der  $S_{21,d}$ -Parameter der doppelten Leitung mit Bonddrähten herangezogen. Messungen des DAUs sind bei  $f_s = 100$  GS/s durchgeführt. Die Daten der mittleren Impuls- und mittleren Sprungantwort sind normiert auf den Wert bei der kleinsten Frequenz über 0 Hz, jene aus den Einton-Messungen (dBFS) und der Aufbautechnik sind nicht weiter normiert, da sie bereits über  $FS/2$  bzw. über die Kalibrierung normiert sind. Die  $\sin(x)/x$ -Dämpfung ist aus Vergleichsgründen aus den Daten der Eintonamplituden und der Impulsantworten herausgerechnet. Die Messungen der Eintonamplituden (blau) und der Impulsantwort (rot) entstammen demselben Aufbau. Die Messungen der Impulsantwort (gelb) und der Sprungantwort (grün) gehören zu einem zweiten Aufbau (\*).

### 5.2.5 Die Bandbreite des Aufbaus

Abbildung 5.18 zeigt die Ergebnisse in Form der Amplituden aller drei Methoden zur Bestimmung der Bandbreite nach [63] – Eintonamplituden, Impulsantwort, Sprungantwort – für  $f_s = 100$  GS/s. Für die Impulsantworten werden zur Verbesserung der Frequenzauflösung längere Aufnahmen, als sie in Kap. 5.2.3 zur Vorverzerrung herangezogen werden, verwendet. Es ist anzumerken, dass die Ergebnisse der Sprungantworten gemäß [63] über Vollaussteuerung bestimmt werden, während bei den Impulsantworten etwa die mittlere Aussteuerung entsprechend Kap. 5.2.3 zugrunde liegt. Sprungantworten mit Sprüngen um  $FS$  sind wie die Impulsantworten über alle Positionen innerhalb einer Periode sowie positive und negative Sprünge mit Vorzeichenanpassung gemittelt. In der Abbildung sind die Ergebnisse zweier leicht unterschiedlicher Aufbauten dargestellt (\*). Diese unterscheiden sich in Chipdicke, einer leicht modifizierten HF-Leiterplatte und vor allem in unterschiedlich breitbandigen Bias-

Tees am Ausgang (vgl. Komponenten Tab. G.1 in Anhang G), womit die unterschiedlichen Bandbreiten erklärt werden können. Zu Vergleichszwecken ist aus den Ergebnissen der Eintonanalyse sowie aus den Impulsantworten die inhärente  $\sin(x)/x$ -Dämpfung herausgerechnet. Zusätzlich wird die Messung der Referenzstruktur der HF-Leiterplatte mit doppelter Leitung und Bonddrähten aufgetragen. Neben der  $-3$ -dB-Bandbreite aus den Einton-Messungen von etwa 11 GHz zeigt sich in den anderen Verfahren eine Bandbreite von rund 16 GHz. Insbesondere der mit „\*“ markierte Aufbau weist bei höheren Frequenzen um bis ca. 3 dB geringere Dämpfungen auf. Der  $\sin(x)/x$ -Roll-Off spielt im Vergleich eine untergeordnete Rolle; die Dämpfung wird von anderen Faktoren dominiert. Eine klare Zuweisung der Dämpfung an unterschiedliche Teile ist auf diese Weise nur schwer möglich. Je nach angenommenem Wert für die Leitungsdämpfung gemäß Abb. 5.4a kann die Aufbautechnik ein dominanter Faktor sein. In jedem Fall trägt sie einen nicht unerheblichen Anteil bei. Perspektivisch sind daher *On-Wafer*-Messungen mittels eines Hochfrequenz-Messkopfs von Interesse, um die wahre Bandbreite des DAU-Chips zu ermitteln. Zudem sei angemerkt, dass für breitbandige Signale vor dem Hintergrund der Vorverzerrung weniger die  $-3$ -dB-Frequenz von Bedeutung ist. Bei breitbandigen Signalen kommt es bei der Vorverzerrung auf die Dämpfung über den gesamten spektralen Bereich des Signals an [10]. Insofern kann als Anforderung eher ein möglichst ausgedehnter, flacher Verlauf des Amplitudengangs mit geringem Abfall und einer möglichst geringen Dämpfung im gesamten relevanten Frequenzbereich formuliert werden als die Definition eines einzelnen Werts. Denn im Prinzip entscheidet die größte Dämpfung über den Ausgangspegel, falls durch Vorverzerrung ein flacher Frequenzgang erzielt werden soll. Der Abb. 5.18 zu entnehmende Verlauf ist ausreichend flach zur Erzeugung vorverzerrter Signale mit Baudraten bis 108 GBaud bzw. Signalbandbreiten bis 54 GHz, was im folgenden Kapitel gezeigt wird.

Wenngleich die Bandbreite im Verhältnis zu den erstrebten Umsetzungsraten gering ist, wenn breitbandige Signale bis zur Nyquist-Frequenz  $f_s/2$  generiert werden sollen, so zeigt ein Vergleich mit der Literatur dennoch eine konkurrenzfähige Bandbreite. Ein Vergleich mit dem Frequenzgang eines elektrischen Pfads in einem optischen Übertragungssystem mit einem kommerziellen 16-nm-DAU [9] ist in Anhang H dargestellt. Legt man eine  $-20$ -dB-Bandbreite zugrunde, so wird das Ergebnis aus der Literatur mit  $f_{-20\text{dB}} \approx 51$  GHz vom Ergebnis dieser Arbeit mit  $f_{-20\text{dB}} \approx 51$  GHz bis  $f_{-20\text{dB}} \approx 57$  GHz je nach Aufbau erreicht bzw. sogar etwas übertroffen. Die hier gezeigten Daten sind zu jenem aus [9] konkurrenzfähig.

Abschließend zeigt sich generell wie auch in der Literatur, dass mangelnde Bandbreite bei CMOS-DAU mitunter hinter den Fortschritten bei den Umsetzungsraten zurückbleiben [9, 14]. In [9, 14] wird daher von der erwähnten „Bandbreitenlücke“ gesprochen. Jedoch sind mit sehr fortgeschrittenen Aufbautechniken und angepassten Ausgangsstrukturen bedeutende Fortschritte möglich [3, 115].

### 5.2.6 Augendiagramme von pulsamplitudenmodulierten Signalen

Im Rahmen dieses Kapitels wird anhand der Messergebnisse von PAM-Signalen bis an die Grenzen der vollständigen Funktionalität des DAUs gegangen und diese somit aufgezeigt. Für die Datenübertragung sind PAM-Signale mit diskreten Amplitudenwerten von Interesse, was bei einem idealen DAU dem Signal einer PAM-Rechteckfolge entspricht. Durch Überabtastung können die Umsetzungsrate bzw. die DAU-Symbolrate  $f_s$  und die Datensymbolrate  $D$  in Baud prinzipiell verschieden sein. Eine  $M$ -stufige PAM wird im Weiteren als PAM- $M$  bezeichnet. Die Datenrate  $B$  in bit/s ergibt sich somit zu

$$B = D \cdot \log_2(M) \text{ bit} . \quad (5.16)$$

Aufgrund des Halbratentakt-Konzepts im AMUX und damit der Ansteuerung des Phasenreferenz-Moduls mit  $f_s/2$  wird jeweils immer ein Doppelaugen dargestellt, wobei sich die beiden einzelnen Augen voneinander unterscheiden können und jeweils einen AMUX-Kanal repräsentieren. Ein Augendiagramm stellt damit prinzipiell einen fundamentalen Zeitausschnitt über  $2/f_s$  dar, der dadurch erzeugt wird, dass alle Zeitintervalle

$$|t + z \cdot 2T_s| \leq T_s \quad \text{für } z \in \mathbb{Z} \quad (5.17)$$

zusammenfallen [60]. Bei darüber hinausgehenden Zeitausschnitten zeigen sich Wiederholungen vom fundamentalen Ausschnitt. Ist die erste Nyquist-Bedingung erfüllt, zeigt sich ein klares, mehrstufiges Signal [60]. In dieser Arbeit werden Augendiagramme stets über 100 Erfassungen des Oszilloskops betrachtet.

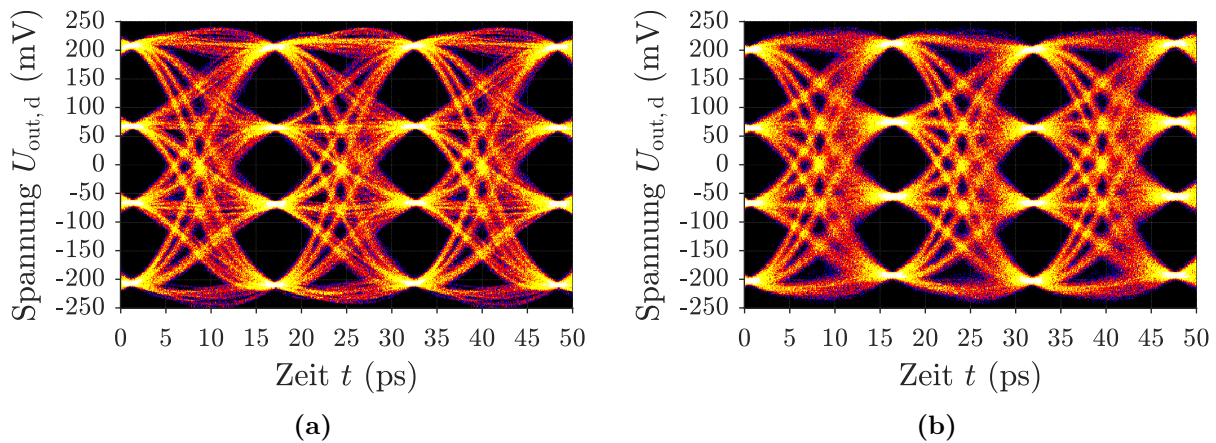
Aus den Augendiagrammen kann ebenfalls ein  $SNDR$  extrahiert werden, präziser: zwei  $SNDR$ -Werte – einer aus jedem der beiden vertikalen Augenöffnungen. Hierzu wird an einer geeigneten Stelle ein Histogramm über alle Niveaus gemessen und dieses in  $M$  Abschnitte unterteilt, wobei die Grenzen in den Augenöffnungen zu wählen sind. Für jeden Abschnitt werden die jeweiligen Mittelwerte  $\mu_{\text{eye}}[0], \dots, \mu_{\text{eye}}[M-1]$  und Standardabweichungen  $\sigma_{\text{eye}}[0], \dots, \sigma_{\text{eye}}[M-1]$  berechnet. Aus den zugehörigen RMS-Werten

$$\text{RMS}\{\mu_{\text{eye}}[i]\} = \sqrt{\frac{1}{M} \sum_{i=0}^{M-1} \mu_{\text{eye}}^2[i]} \quad \text{sowie} \quad \text{RMS}\{\sigma_{\text{eye}}[i]\} = \sqrt{\frac{1}{M} \sum_{i=0}^{M-1} \sigma_{\text{eye}}^2[i]} , \quad (5.18)$$

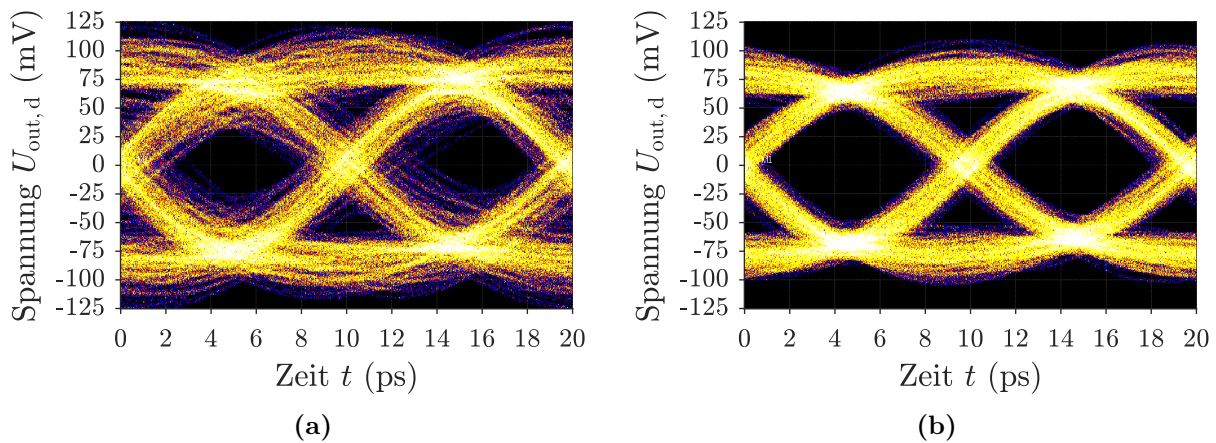
die Signal- bzw. Rauschleistung und Leistung der (verbleibenden) Verzerrungen repräsentieren, kann ein  $SNDR$  berechnet werden zu

$$SNDR = 20 \cdot \log_{10} \left( \frac{\text{RMS}\{\mu_{\text{eye}}[i]\}}{\text{RMS}\{\sigma_{\text{eye}}[i]\}} \right) . \quad (5.19)$$





**Abbildung 5.19:** Vergleich von PAM-4-Signalen mit Vorverzerrung nach Kap. 4.2 (Training, ZF) bei  $f_s = 64$  GS/s,  $D = 64$  GBaud und  $B = 128$  Gbit/s. (a)  $N_d = 1024$  und (b)  $N_d = 8192$ .

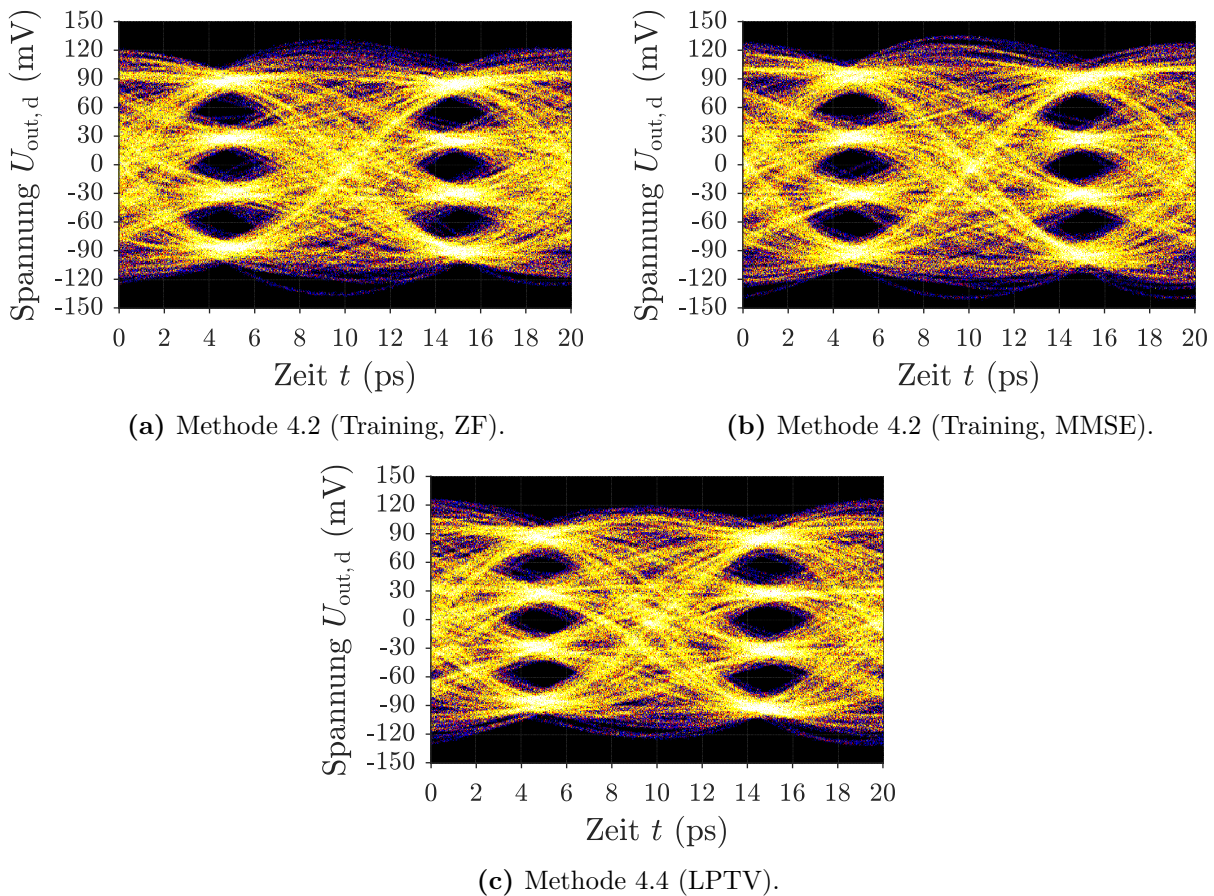


**Abbildung 5.20:** Vergleich von PAM-2-Signalen mit LTI- und LPTV-Vorverzerrung bei  $f_s = 100$  GS/s und  $B = 100$  Gbit/s. (a) LTI-Verfahren mit mittlerer Impulsreaktion als Impulsantwort nach Kap. 4.3 und (b) LPTV-Vorverzerrung nach Kap. 4.4.

Der durch  $\text{RMS}\{\sigma_{\text{eye}}[i]\}$  repräsentierte Anteil enthält dabei nicht nur reines Rauschen, sondern auch weitere Anteile wie z. B. nichtlineare Verzerrungen und nicht kompensierte Intersymbol-Interferenz.

Wie bereits bei den Einton-Messungen ist die Datenlänge einer Periode ein wählbarer Parameter. In Abb. 5.19 werden zwei PAM-4-Augendiagramme bei 64 GS/s für Periodenlängen  $N_d = 1024$  und  $N_d = 8192$  gegenübergestellt. Für größere Periodenlängen verschwimmen die Übergänge zunehmend. Allerdings ändert sich die Qualität der Augenöffnungen und der Niveaus nicht signifikant, was sich auch an den  $SNDR$ -Werten in Tab. 5.1 beobachten lässt, weshalb sich im Weiteren auf Periodenlängen  $N_d = 1024$  beschränkt wird.

Eine weitere zu beantwortende Frage ist jene nach den Auswirkungen der LPTV-Vorverzerrung auf PAM-Signale im Vergleich zu einer LTI-Vorverzerrung. Abbildung 5.20 stellt die beiden Verfahren für ein PAM-Signal bei  $f_s = 100$  GS/s und  $B = 100$  Gbit/s gegen-

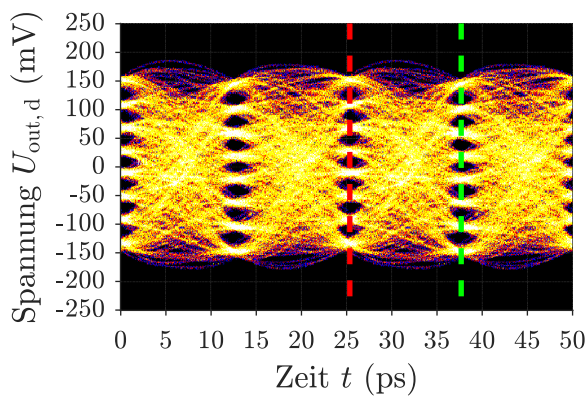


**Abbildung 5.21:** Vergleich von PAM-4-Signalen für die Vorverzerrungsverfahren nach Kap. 4.2 (Training) und 4.4 (LPTV) bei  $f_s = 100$  GS/s und  $B = 200$  Gbit/s. (a) Trainingsverfahren mit ZF, (b) Trainingsverfahren mit MMSE und (c) LPTV-Vorverzerrung.

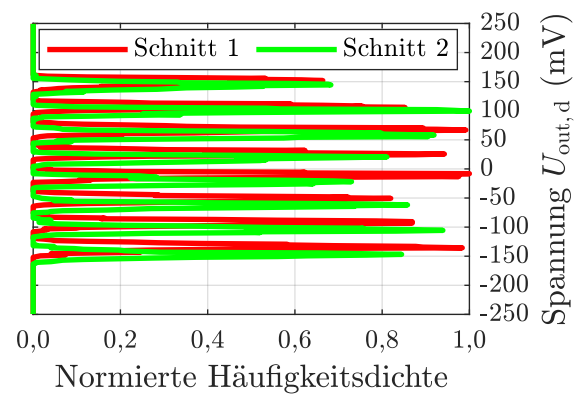
über. Es zeigen sich eindrücklich deutlich schärfere Niveaus im Falle der LPTV-Vorverzerrung. Für die Trainingsverfahren ZF und MMSE nach Kap. 4.2 gilt Ähnliches wie für die LPTV-Vorverzerrung. Höherstufige PAM-Signale bei hohen Umsetzungsraten sind bei einfacher LTI-Vorverzerrung nach Kap. 4.3 praktisch ausgeschlossen.

Einen Vergleich zwischen den Trainingsverfahren und der universellen LPTV-Vorverzerrung zeigt Abb. 5.21. Das MMSE-Verfahren in Abb. 5.21b zeigt hier keine Verbesserungen im Vergleich zum ZF-Verfahren in Abb. 5.21a. Der Vergleich von LPTV-Vorverzerrung zu den als Referenz betrachteten Trainingsverfahren nach Kap. 4.2 verdeutlicht, dass es keinen nennenswerten Unterschied zwischen diesen gibt und unterstreicht die Mächtigkeit dieses universellen LPTV-Verfahrens und des Vorverzerrungskonzepts. Ein quantitativer Vergleich ist ebenfalls durch die  $SNDR$ -Werte in Tab. 5.1 gegeben. Die praktische Äquivalenz der Verfahren bei PAM-Signalen mit gegebenenfalls minimalen Unterschieden im Ergebnis gilt allgemein auch für die weiteren Darstellungen.

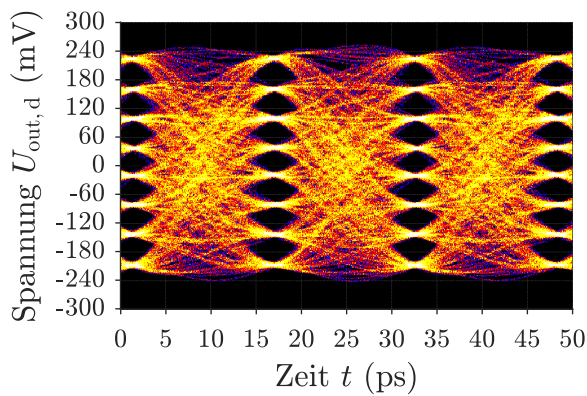
Abbildung 5.22 zeigt eine Auswahl an weiteren Augendiagrammen bei unterschiedlichen



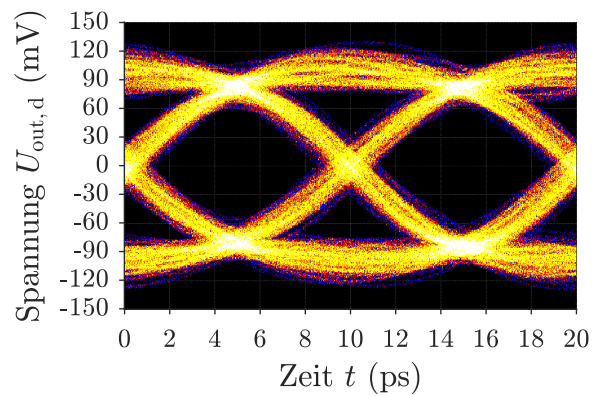
(a)  $f_s = 80$  GS/s,  $B = 240$  Gbit/s,  
Methode 4.2 (Training, ZF).



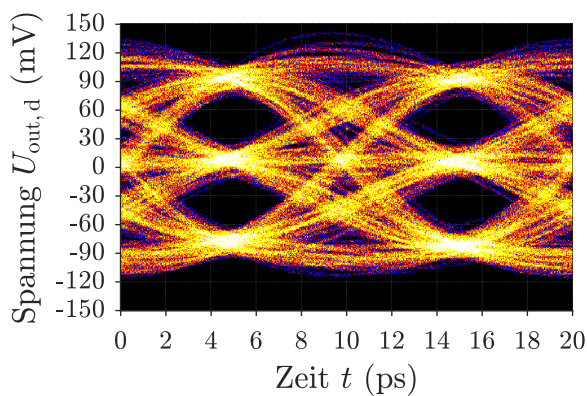
(b)  $f_s = 80$  GS/s,  $B = 240$  Gbit/s,  
Methode 4.2 (Training, ZF).



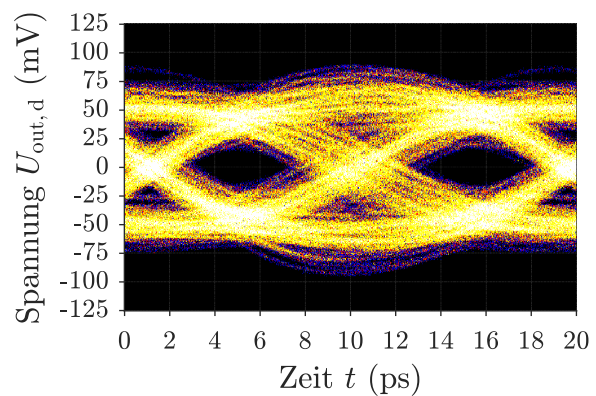
(c)  $f_s = 64$  GS/s,  $B = 192$  Gbit/s,  
Methode 4.2 (Training, ZF).



(d)  $f_s = 100$  GS/s,  $B = 100$  Gbit/s,  
Methode 4.4 (LPTV).



(e)  $f_s = 100$  GS/s,  $B \approx 158$  Gbit/s,  
Methode 4.4 (LPTV).



(f)  $f_s = 108$  GS/s,  $B = 108$  Gbit/s,  
Methode 4.4 (LPTV).

**Abbildung 5.22:** Weitere Messergebnisse von PAM-Signalen. (a) PAM-8-Signal bei  $f_s = 80$  GS/s, (c) PAM-8-Signal bei  $f_s = 64$  GS/s, (d) PAM-2-Signal bei  $f_s = 100$  GS/s, (e) PAM-3-Signal bei  $f_s = 100$  GS/s und (f) PAM-2-Signal bei  $f_s = 108$  GS/s. In (b) sind exemplarisch die Histogramme im Bereich der in (a) eingezeichneten Schnittlinien dargestellt. (d) zeigt ein PAM-2-Augendiagramm eines anderen Aufbaus als in Abb. 5.20b.

Umsetzungs- und Datenraten für sehr breitbandige Signale sowie beispielhaft die Histogramme in Abb. 5.22b zu den Schnittlinien in Abb. 5.22a. Aufeinanderfolgende Augenöffnungen entsprechen den beiden AMUX-Kanälen. Aufgrund der beschränkten Bandbreite muss die Datenrate bei den höchsten Umsetzungsraten – über 108 GS/s – reduziert werden. Im Falle des überabgetasteten Signals in Abb. 5.23 wird im konkreten Beispiel eine *Raised-Cosine*-Pulsformung (*Roll-Off*-Faktor  $\beta = 0,5$ ) mit der Pulsform im Zeitbereich nach Gl. (5.20b) und der Charakteristik im Frequenzbereich nach Gl. (5.20a) [54, 60, 107, 116] angewendet.

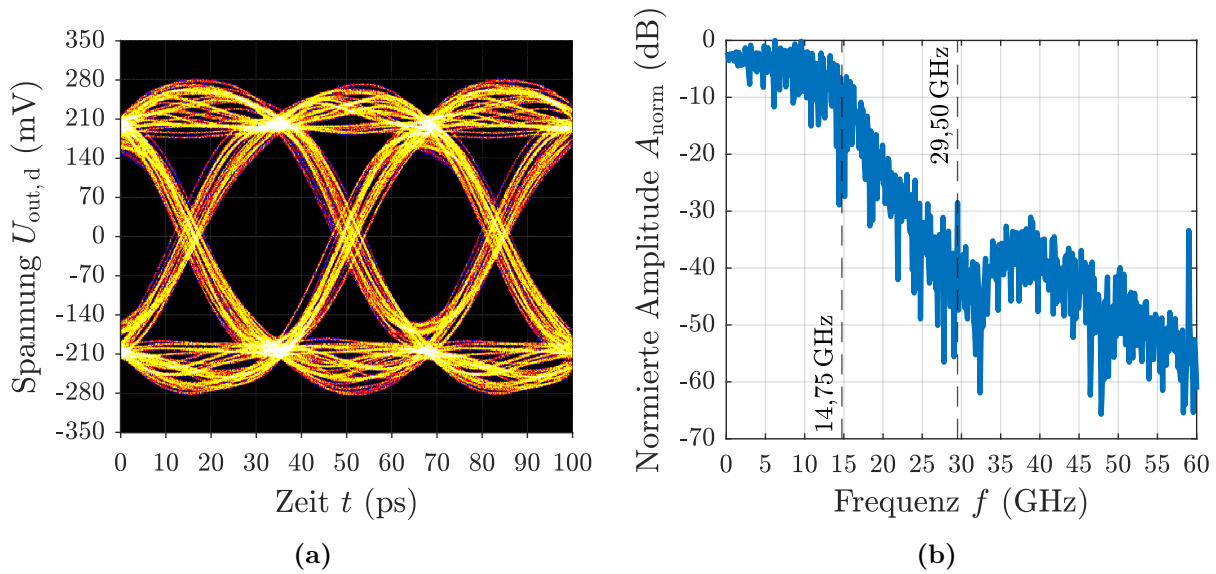
$$\frac{H_{\text{RC}}(j\omega)}{H_{\text{RC}}(0)} = \begin{cases} 1 & \text{für } 0 \leq \frac{|\omega|}{\omega_{\text{N}}} \leq 1 - \beta \\ \frac{1}{2} \left\{ 1 + \cos \left[ \frac{\pi}{2\beta} \left( \frac{|\omega|}{\omega_{\text{N}}} - (1 - \beta) \right) \right] \right\} & \text{für } 1 - \beta < \frac{|\omega|}{\omega_{\text{N}}} < 1 + \beta \\ 0 & \text{für } \frac{|\omega|}{\omega_{\text{N}}} \geq 1 + \beta \end{cases} \quad (5.20a)$$

$$\frac{h_{\text{RC}}(t)}{h_{\text{RC}}(0)} = \frac{\sin(\pi t/T_{\text{b}})}{\pi t/T_{\text{b}}} \cdot \frac{\cos(\pi \beta t/T_{\text{b}})}{1 - 4\beta^2 t^2/T_{\text{b}}^2} \quad (5.20b)$$

Darin gilt für die Nyquist-Kreisfrequenz  $\omega_{\text{N}} = \pi/T_{\text{b}}$ ,  $h_{\text{RC}}(0) = 1/T_{\text{b}} \cdot H_{\text{RC}}(0)$  und  $0 \leq \beta \leq 1$ . Um die Datenrate sowohl an den analogen Ausgängen beider DAU-Kerne als auch am AMUX-Ausgang zu reduzieren, wird eine vierfache Überabtastung gewählt. Die Überabtastung kann jedoch zur Pulsformung genutzt werden, sodass der DAU durch seine hohe Umsetzungsrate zur Pulsformung schmalbandigerer Signale – Signale mit Bandbreiten deutlich unterhalb der Nyquist-Frequenz des DAUs – genutzt werden kann und dort aufgrund seiner Leistungsfähigkeit weiterhin Vorteile bietet. Das zugehörige Spektrum zu Abb. 5.23a ist in Abb. 5.23b dargestellt. Die Ergebnisse der *SNDR*-Analyse nach Gl. (5.19) zu den dargestellten Augendiagrammen sind in Tab. 5.1 zusammengefasst.

Ein letzter Aspekt betrifft den „Betriebszustand“ des DAUs. Aufgrund der CMOS-Teile besteht eine gewisse Abhängigkeit des „Betriebszustands“ von der Datenfolge, beispielsweise über die Belastung der entsprechenden Versorgungsspannungen. Bei der Aufzeichnung der Impulsreaktionen weist die Datenfolge vergleichsweise wenige Wechsel auf, ganz im Gegensatz zu PAM-Signalen. Daher kann eine Nachjustierung der Betriebsparameter zwischen Aufzeichnung der Impulsreaktionen und Ausgabe der PAM-Signale erforderlich sein. Bei den Verfahren mit Trainingssequenz hingegen wird bereits bei der Charakterisierung ein Betriebszustand mit vielen Wechseln erzeugt und eine Nachjustierung ist – wenn überhaupt – nur in engen Grenzen sinnvoll, da sich zu große Abweichungen vom Charakterisierungszustand eher negativ auswirken.

Zusammenfassend können offene PAM-Augen bei entsprechender Messzeit bei sehr hohen Umsetzungsraten bis über 100 GS/s gezeigt werden. Die höchste Datenrate von 240 Gbit/s wird für ein PAM-8-Signal mit 80 GS/s erreicht. PAM-4-Signale sind bis 100 GS/s demonstriert, was einer Datenrate von 200 Gbit/s entspricht. Als höchste Umsetzungs- und Baudrate

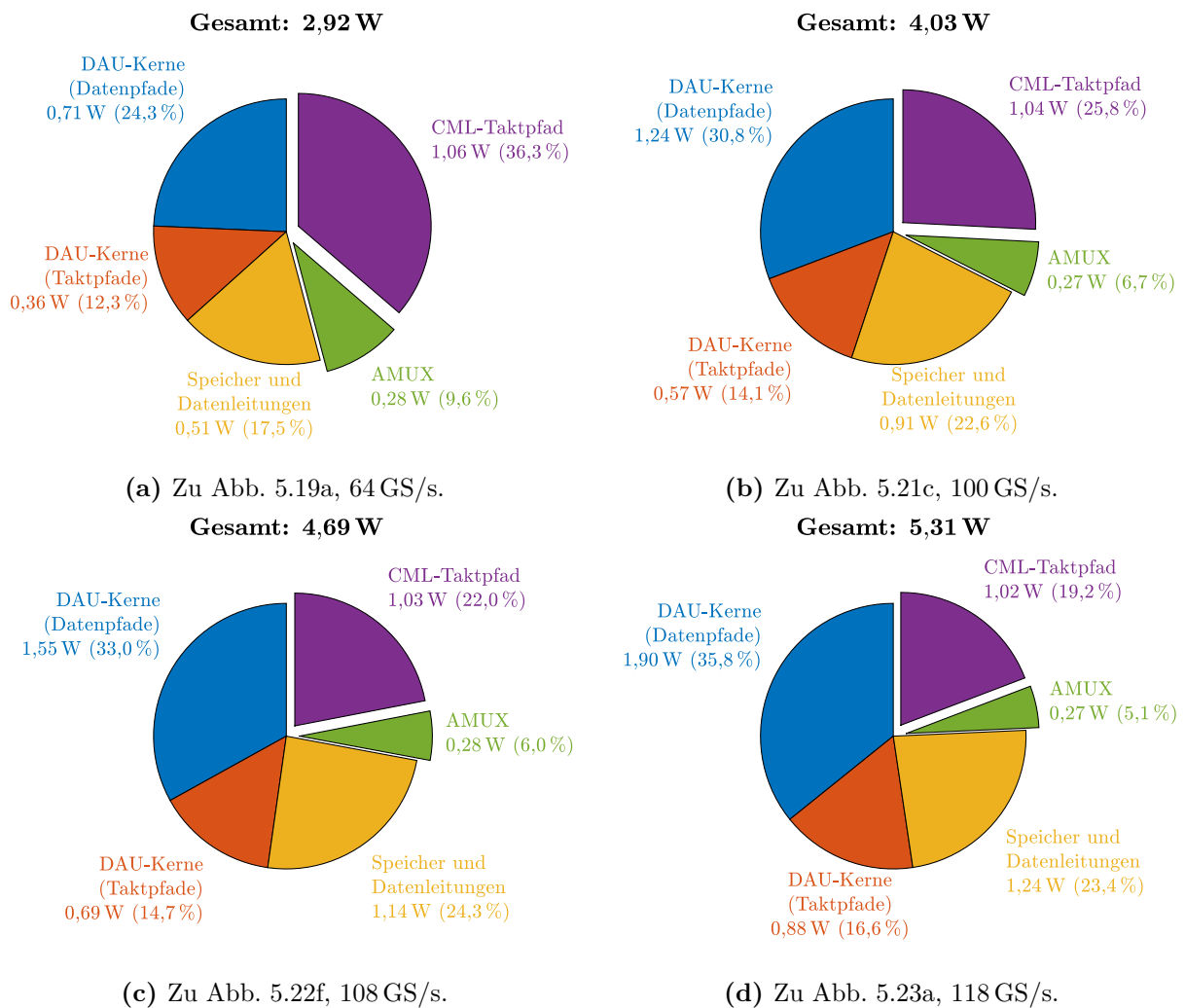


**Abbildung 5.23:** Überabgetastetes PAM-2-Signal mit *Raised-Cosine*-Pulsformung bei  $f_s = 118$  GS/s und  $B = 29,5$  Gbit/s. Dabei wird Methode 4.3 zur Vorverzerrung mit mittlerer Impulsreaktion als Impulsantwort angewendet. Das Spektrum in (b) ist auf den Maximalwert normiert.

**Tabelle 5.1:** Quantitative Analyse der *SNDR*-Werte für die gezeigten Augendiagramme, jeweils für beide Augenöffnungen.

Umsetzungsrate $f_s$ (GS/s)	Datenrate $B$ (Gbit/s)	PAM	Abbildung	Signal-zu-Rausch-und- Verzerrungs-Verhältnis <i>SNDR</i> (dB)
64	128	4	5.19a	$\sim 34,8$ / $\sim 34,9$
64	128	4	5.19b	$\sim 34,6$ / $\sim 34,3$
100	100	2	5.20a	$\sim 13,7$ / $\sim 13,4$
100	100	2	5.20b	$\sim 20,7$ / $\sim 19,2$
100	200	4	5.21a	$\sim 20,3$ / $\sim 20,4$
100	200	4	5.21b	$\sim 20,3$ / $\sim 20,0$
100	200	4	5.21c	$\sim 19,5$ / $\sim 20,7$
80	240	8	5.22a	$\sim 26,4$ / $\sim 26,3$
64	192	8	5.22c	$\sim 34,4$ / $\sim 34,6$
100	100	2	5.22d	$\sim 20,7$ / $\sim 21,1$
100	$\sim 158$	3	5.22e	$\sim 20,7$ / $\sim 20,7$
108	108	2	5.22f	$\sim 12,1$ / $\sim 12,7$
118	29,5	2	5.23a	$\sim 26,2$ / $\sim 21,6$

für breitbandige Signale bis zur Nyquist-Frequenz ist  $f_s = 108$  GS/s bzw.  $D = 108$  GBaud für ein PAM-2-Signal gezeigt. Bis 118 GS/s ist die Funktionalität für schmalbandige Signale mit optionaler Pulsformung demonstriert, was die maximale Umsetzungsrate bei vollständiger Funktionalität darstellt. Definiert man die Ergebnisse der Trainingsverfahren nach Kap. 4.2 als Referenz bzw. als Vergleichsmaßstab für breitbandige PAM-Signale, so zeigt sich die

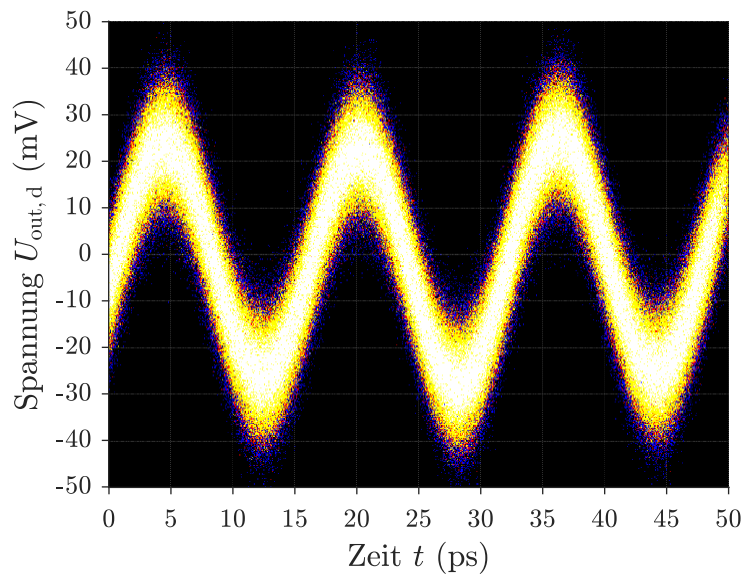


**Abbildung 5.24:** Leistungsaufnahmen bei unterschiedlichen Umsetzungsraten: (a)  $f_s = 64$  GS/s, (b)  $f_s = 100$  GS/s, (c)  $f_s = 108$  GS/s und (d)  $f_s = 118$  GS/s. Die Angaben zu den Leistungsaufnahmen des AMUXs schließen jeweils die Sourcefolger an den Dateneingängen mit ein.

universelle LPTV-Vorverzerrung nach Kap. 4.4 als praktisch gleichwertig und liefert sehr ähnliche Resultate, was die Qualität des Verfahrens abermals unterstreicht.

### 5.2.7 Leistungsaufnahme des Digital-Analog-Umsetzers

Einige Leistungsaufnahmen bei unterschiedlichen Umsetzungsraten zu den im letzten Abschnitt gezeigten PAM-Signalen sind in Abb. 5.24 dargestellt. Dabei handelt es sich um die „äußeren Leistungsaufnahmen“, einschließlich aller Verluste in den Zuleitungen. Die tatsächliche Leistungsaufnahme des DAUs ist etwas niedriger. Beispielsweise ist die Spannung bei einer Stromaufnahme von 0,5 A mit  $0,2 \Omega$  Zuleitungswiderstand und extern angelegter Spannung von 1 V am Chip bereits um 100 mV, also 10% geringer. Betrachtet man die absoluten Werte, so ist zu erkennen, dass die Leistungsaufnahmen der CML-Teile praktisch unabhängig von der



**Abbildung 5.25:** Einfache Umschaltoperation des AMUXs bei 126 GS/s.

Umsetzungsrate sind. Jene der CMOS-Teile skalieren deutlich mit der Umsetzungsfrequenz. Sie bestimmen zunehmend die Gesamtleistungsaufnahme.

### 5.2.8 Obere Grenze der prinzipiellen Funktionalität

Die bisherigen Messergebnisse zeigen die vollständige DAU-Funktionalität bis 118 GSs. Bei 120 GSs treten erste Bitfehler im Datenpfad auf. In diesem letzten experimentellen Abschnitt sollen die absoluten Grenzen aufgezeigt werden. Darunter soll die Demonstration einer einfachen AMUX-Operation zu verstehen sein. Dabei geben die beiden DAU-Kerne statisch den minimalen bzw. maximalen Pegel aus und der AMUX schaltet zwischen diesen um. Für diese Operation wird die Funktionalität des Taktpfads lediglich für eine feste Phasenrotator-Einstellung vorausgesetzt. Diese wird allerdings nicht angepasst. Außerdem können während der statischen Aussteuerung keine möglicherweise auftretenden Bitfehler erkannt werden. Der Vollständigkeit halber sei erwähnt, dass die DAU-Kerne auf größerer Zeitskala ihre Zustände umkehren, um mittelwertfreie Signale zu erhalten. Abbildung 5.25 zeigt genau diese Umschaltoperation des AMUXs bei 126 GS/s. Der RMS-Jitter beträgt ca. 740 fs. Dies zeigt das Potenzial des Konzepts für noch höhere Umsetzungsraten.

### 5.2.9 Vergleich mit dem Stand der Technik

Nachfolgend sollen die Messergebnisse eingeordnet werden. Aufgrund der Zielsetzung dieser Arbeit stehen Auflösung sowie Verlustleistungsaspekte und damit zusammenhängende Bewertungsfaktoren [19] weniger im Fokus. Stattdessen sind höchste Umsetzungs- und Datenraten

von Bedeutung. Ebenso steht weniger der AMUX als vielmehr der DAU als Ganzes im Zentrum des Vergleichs. Ein Vergleich unterschiedlicher AMUX in unterschiedlichen Technologien ist beispielsweise in [104] gegeben. Darüber hinaus sei auf die genannten Realisierungsbeispiele der Zeitverschachtelungskonzepte und hybriden DAU-AMUX-Konfigurationen aus Abb. 1.8 in Kap. 1.4 und deren Spezifikationen verwiesen. Vorab seien kommerzielle DAU bzw. AWGs angeführt, ungeachtet der Technologie. Zunächst ist ein 92-GS/s-DAU in 28-nm-CMOS-Technologie mit 8 bit nominaler Auflösung von *Socionext* [117, 118] bzw. *Fujitsu* [119] zu nennen. Ein 92-GS/s-AWG (*Keysight* M8196A) ist in [93] zu finden, ein 120-GS/s-AWG (*Keysight* M8194A) in [120], beide ebenfalls mit  $N_{\text{DAU}} = 8$  bit. In [48] wird ein CMOS-DAU von *Socionext* mit 90 GS/s und einer nominalen Auflösung von 8 bit eingesetzt. Er weist eine analoge Ausgangsbandbreite von  $f_{-3,\text{dB}} \approx 19$  GHz auf und ist in diesem Punkt von der Größenordnung durchaus vergleichbar mit der -3-dB-Bandbreite dieses Aufbaus. Zusätzlich sei der CMOS-DAU in 16-nm-Technologie aus [9] mit 120 GS/s und einer Auflösung<sup>6</sup> von  $N_{\text{DAU}} = 8$  bit genannt, der darin für Datensymbolraten bis 105 GBaud eingesetzt wird. Allerdings sind keine direkten Vergleiche von PAM-Signalen möglich, da dort ein gesamtes Übertragungssystem betrachtet wird. Es werden Informationsraten von ca. 5,3 bit/Symbol (zwei Dimensionen) erreicht. Auch im Hinblick auf die Bandbreite ist der DAU dieser Arbeit durchaus damit vergleichbar (s. Abb. H.4). In Ergänzung dazu ist beispielhaft ein DAU in InP-HBT-Technologie bis 90 GS/s mit  $N_{\text{DAU}} = 6$  bit [121] als Repräsentant für diese Technologie zu nennen. Weitere Auflistungen sind beispielsweise in [15, 117–119, 122] zusammengestellt. Der DAU dieser Arbeit übertrifft die Umsetzungsdaten in den genannten Quellen oder kann mit den höchsten Umsetzungsdaten mithalten, ungeachtet der Technologie.

Im Weiteren erfolgen detailliertere Vergleiche mit dem Schwerpunkt auf Umsetzungsrate und ausgewählten PAM-Messungen. Da DAU mit hohen Umsetzungs- und Datenraten häufig in Sendesystemen mit DAU-basierter Vorverzerrung in der digitalen Domäne zum Einsatz kommen [3, 123], werden auch derartige Systeme zur Einordnung herangezogen, wenngleich diese in der Regel weiteren Anforderungen wie z. B. Leistungsaufnahme und Flächenbedarf unterliegen. Die Tabellen 5.2 und 5.3 ordnen die gewonnenen Ergebnisse anhand von Vergleichen zu anderen CMOS-DAU in ausgewählten wissenschaftlichen Publikationen ein und zeigen zugleich eine gewisse Entwicklung auf. Die Angaben der Bandbreiten unterliegen keiner einheitlichen Bestimmung und sind lediglich als Orientierung zu verstehen. Generell ist dabei auch auf das System zu achten. Beim vorliegenden DAU handelt es sich um einen universell einsetzbaren AWG, wohingegen viele der Vergleichssysteme Teil von Sendesystemen (Tx) sind. Im Hinblick darauf ist das damit verbundene breite Anwendungsfeld und die Variabilität der Daten zu beachten. Aus den Vergleichen wird ersichtlich, dass der DAU dieser Arbeit andere CMOS-DAU in den Tabellen hinsichtlich Umsetzungs- und Datenrate in

<sup>6</sup>F. Buchali, persönl. Kommunikation, Nokia, 2022.



mindestens einem dieser Parameter übertrifft. Dies wird trotz der Bandbreitenlimitierung und der zumeist vergleichsweise weniger fortgeschrittenen Technologie erreicht, was die Stärke des Konzepts unterstreicht.

Tabelle 5.4 zeigt Vergleiche zu modernsten AWGs in Bipolartechnologien, die mit CMOS-Technologie kombiniert sind (BiCMOS). Mit Ausnahme von [92] stammen die Daten aus wissenschaftlichen Publikationen, in welchen diese AWGs eingesetzt und charakterisiert werden. Mit der Integration eines AMUXs kann die Leistungsfähigkeit eines CMOS-DAUs jener schnellerer Technologien weiter angenähert werden, was mit dem DAU dieser Arbeit demonstriert wird. Bei Umsetzungs- und Datenraten kann weiter zu den Realisierungen in Bipolartechnologien aufgeschlossen werden. Angesichts der Leistungsaufnahmen von 15 W und 18 W der mit „\*“ bzw. „\*\*“ gekennzeichneten AWGs weist die CMOS-Implementierung des DAUs dieser Arbeit doch deutliche Vorteile in diesem Punkt auf, wobei zu erwähnen ist, dass der Aufbau eines Demonstratormoduls die Leistungsaufnahme noch erhöhen kann. Ähnlich verhält es sich – selbst unter Berücksichtigung der größeren Speicher – bei Betrachtung der Chipflächen von  $5,52 \text{ mm} \times 4,38 \text{ mm}$  bzw.  $6,04 \text{ mm} \times 5,14 \text{ mm}$  [10, 42].

Tabelle 5.2: Vergleich mit dem Stand der Technik Teil 1 (CMOS-Realisierungen).

Referenz	ISSCC 2020 [124]	ISSCC 2020 [125]	ISSCC 2021 [126]	ISSCC 2021 [115]/ JSSC 2022 [3]	Diese Arbeit
Technologie	40 nm	7 nm	7 nm	10 nm	28 nm
System (Speicher)	Tx	Tx	Tx	Tx (optional)	AWG (256 KiS)
Architektur	Viertelratentakt	Halbratentakt	Viertelratentakt	Viertelratentakt	Halbratentakt
Nominale Auflösung $N_{DAU}$ (bit)	7	7	8	7	8
Umsetzungs- rate $f_s$ (GS/s)	100 (PAM-2)	56 (PAM-4)	97	116 (PAM-2/4) 112 (PAM-2/4) 56 (PAM-8)	118 <sup>a</sup> 108 (PAM-2) 100 (PAM-2/4) 80 (PAM-8)
Datenrate $B$ (Gbit/s)	100 (PAM-2)	112 (PAM-4)	132 (PAM-4)	232 (PAM-4) 224 (PAM-4) 168 (PAM-8) 116 (PAM-2) 112 (PAM-2)	240 (PAM-8) 200 (PAM-4) 108 (PAM-2) 100 (PAM-2)
Bandbreite (GHz)	-	-	~36	~36 <sup>d</sup>	~11 <sup>b</sup> - 16 <sup>c</sup>

<sup>a</sup> Überabtastrung, Pulsformung    <sup>b</sup> aus Eintonnungsmessung ohne  $\sin(x)/x$ -Dämpfung,  $-3$  dB    <sup>c</sup> aus Impuls-/Sprungantwort ohne  $\sin(x)/x$ -Dämpfung,  $-3$  dB  
<sup>d</sup> Messung ausschließlich der Aufbautechnik,  $-3$  dB

**Tabelle 5.3:** Vergleich mit dem Stand der Technik Teil 2 (CMOS-Realisierungen).

Referenz	RFIC 2014 [37]/ TMTT 2015 [38]	ISSCC 2017 [127]	ISSCC 2018 [128]	BCICTS 2019 [129]	Diese Arbeit
Technologie	28 nm	20 nm	14 nm	7 nm	28 nm
System (Speicher)	AWG (1 KiS)	Tx	Tx	AWG (256 S)	AWG (256 KiS)
Architektur	Halbratentakt <sup>d</sup>	Halbratentakt	Viertelratentakt	Halbratentakt	Halbratentakt
Nominale Auflösung $N_{\text{DAU}}$ (bit)	8	8	8	8	8
Umsetzungs- rate $f_s$ (GS/s)	100 50 (PAM-4) 40 (PAM-2/4/8)	64 (PAM-2)	56 (PAM-2/4)	60	118 <sup>a</sup> 108 (PAM-2) 100 (PAM-2/4) 80 (PAM-8)
Datenrate $B$ (Gbit/s)	120 (PAM-8) 100 (PAM-4) 80 (PAM-4) 40 (PAM-2)	64 (PAM-2)	112 (PAM-4) 56 (PAM-2)	- <sup>e</sup>	240 (PAM-8) 200 (PAM-4) 108 (PAM-2) 100 (PAM-2)
Bandbreite (GHz)	$\sim 13^f$	20	-	-	$\sim 11^b - 16^c$

<sup>a</sup> Überabtastung, Pulsformung <sup>b</sup> aus Eintonmessung ohne  $\sin(x)/x$ -Dämpfung,  $-3$  dB <sup>c</sup> aus Impuls-/Sprungantwort ohne  $\sin(x)/x$ -Dämpfung,  $-3$  dB

<sup>d</sup> in den Sub-DAUs <sup>e</sup> 56 GS/s, 56 Gbit/s (PAM-2) bei früherem Chip in 65 nm-CMOS-Technologie [130]

<sup>f</sup> HF-Messkopf mit *Deembedding*;  $\sim 10$  GHz nach Messung mit HF-Messkopf ohne *Deembedding*; jeweils mit  $\sin(x)/x$ -Dämpfung

**Tabelle 5.4:** Vergleich mit dem Stand der Technik Teil 3 (Realisierungen in Bipolartechnologie).

Referenz	Micram [42] <sup>d</sup>	Micram [10] <sup>d</sup>	Keysight M8199A [92], [11] <sup>d</sup>	Diese Arbeit
Technologie	BiCMOS055	BiCMOS055	SiGe	28 nm
System (Speicher)	AWG* (512 KiS)	AWG** (512 KiS)	AWG (512 KiS)	AWG (256 KiS)
Architektur	Halbratentakt	Halbratentakt	Halbratentakt	Halbratentakt
Nominale Auflösung $N_{DAU}$ (bit)	6	8	8	8
Umsetzungs- rate $f_s$ (GS/s)	100	128	128/134 (256, kombiniert)	118 <sup>a</sup> 108 (PAM-2) 100 (PAM-2/4) 80 (PAM-8)
Datenrate $B$ (Gbit/s)	200 (PAM-4)	384 (PAM-8) 256 (PAM-4)	288 (PAM-4) <sup>e</sup> 256 (PAM-4) 240 (PAM-8)	240 (PAM-8) 200 (PAM-4) 108 (PAM-2) 100 (PAM-2)
Bandbreite (GHz)	~40	~24	65-70	~11 <sup>b</sup> -16 <sup>c</sup>

<sup>a</sup> Überabtastung, Pulsformung    <sup>b</sup> aus Eintonmessung ohne  $\sin(x)/x$ -Dämpfung, -3 dB

<sup>c</sup> aus Impuls-/Sprungantwort ohne  $\sin(x)/x$ -Dämpfung, -3 dB    <sup>d</sup> sekundäre Quelle durch Anwender

<sup>e</sup> kombiniert

### 5.2.10 Zusammenfassung der Messergebnisse und Bewertung des Konzepts

Die Messergebnisse demonstrieren die vollständige Funktionalität des Systems bis  $f_s = 118$  GS/s und damit jene der einzelnen DAU-Kerne bis 59 GS/s. Weiterhin kann die Funktionalität des gesamten Taktpfads bis 60 GHz gezeigt werden, unter Einschränkung der Phasenrotatoren bis 63 GHz. Ein wesentlicher Aspekt in den Messungen ist das periodisch zeitvariante Verhalten des DAUs. Mittels Impulsreaktionen zu Impulsen an unterschiedlichen Positionen lässt sich dieses Verhalten studieren. Gleichzeitig können die Impulsreaktionen zur Systemidentifikation sowie zur LPTV-Vorverzerrung genutzt werden. Die Wirksamkeit der LPTV-Vorverzerrung zeigt sich eindrucksvoll an den Verbesserungen bei der dynamischen Charakterisierung, beispielsweise in Form von höherem  $SNDR$  durch Reduzierung von Verzerrungen, sowie in der vertikalen Öffnung der Augendiagramme bei PAM-Signalen. Eine derartige Verbesserung von Eintonsignalen können LTI-Verfahren nicht leisten. Wählt man das Ergebnis bei Vorverzerrung mittels Trainingssequenz nach Kap. 4.2 als Maßstab, so können bei PAM-Signalen gleichwertige Ergebnisse mit universeller LPTV-Vorverzerrung erzielt werden. Die beobachtete Übereinstimmung zwischen der Periode des zeitvarianten Verhaltens und der Periodizität der Zustände in den CMOS-Taktnetzwerken ist ein starkes

Indiz für die Ursächlichkeit der Zeitvarianz in eben diesen Taktnetzwerken aufgrund Versorgungsspannungsschwankungen. Perspektivisch könnte das Vorverzerrungsmodell dahingehend entwickelt werden, die Impulsantwort aus komplexeren Datenfolgen zu schätzen, wie im MIMO-/MISO-Ansatz in [15, 47, 48]. Messungen zeigen, dass trotz der LPTV-Vorverzerrung weiterhin entsprechende Verzerrungen dominieren. Daher ist durch Weiterentwicklung der Vorverzerrung zur weiteren Reduktion dieser verbleibenden Verzerrungen vielversprechendes Potenzial für Steigerungen der Performanz vorhanden. Im Gegensatz zur konkreten Ausführung der Vorverzerrung in den Publikationen [15, 47, 48] handelt es sich beim Verfahren in dieser Arbeit allerdings allgemein um ein  $N:1$ -, konkret um ein  $32:1$ -Verfahren, anstelle eines  $2:1$ -Verfahrens.

Wie in Kap. 5.2.5 dargelegt, steht die geringe Bandbreite des Aufbaus im Kontrast zu den erzielten Umsetzungsraten. Trotz der begrenzten  $-3$ -dB-Bandbreite ermöglicht der flache Abfall des Frequenzgangs höchste Datenraten bis 240 Gbit/s und Baudraten bis 108 GBaud/s. Ein limitierender Faktor scheint dabei die Aufbautechnik zu sein, die einen deutlichen Beitrag liefert, weshalb diese weiterzuentwickeln ist. Konkret müsste die Fehlanpassung in Chipnähe aufgrund des Platzmangels untersucht und gegebenenfalls behoben werden. Generell sind eine präzise Modellierung der Aufbautechnik einschließlich komplexeren Bonddrähtemodellen [131] anzustreben, wobei die genaue Struktur – GSG, GSGSG, GSSG etc. – zu beachten ist. Perspektivisch sind auch Aufbautechniken ohne Bonddrähte und damit einhergehender Bonddrahtinduktivität bei weiterhin geringer Padkapazität von Interesse: Flip-Chip-Technologien. Die Ergebnisse in [3, 115] mit Bandbreiten um 36 GHz zeigen eindrücklich das Potenzial eines hoch optimierten Chipaufbaus.

Abschließend zeigt sich, dass der Stand der Technik von CMOS-DAU mit diesem DAU hinsichtlich Umsetzungsrate bzw. Datenrate auch bei Vergleich mit fortgeschritteneren Technologien erreicht bzw. zumeist übertroffen werden kann. Das Konzept ist in der Lage, den Stand der Technik mit zu definieren. Umsetzungsraten für den Bereich über 100 GS/s sind mit diesem DAU möglich.



## 6 Zusammenfassung und Ausblick

In dieser Arbeit wurde ein DAU-IC in einer 28-nm-CMOS-Technologie für höchste Umsetzungsrate entwickelt. Zwei Sub-DAU sowie ein AMUX, realisiert in unterschiedlichen Schaltungstopologien, werden auf einem Chip integriert. Dabei handelt es sich um die erste Integration dieser Art bei derart hohen Umsetzungsrate. Ein 256 KiS großer SRAM-Speicher ergänzt die DAU-Funktionalität zu einem universellen AWG auf einem Chip. Aufgrund der inhärent nichtlinearen AMUX-Operation wird eine Verschiebung des  $\sin(x)/x$ -Roll-Offs erreicht. Allgemein stellt ein integrierter AMUX eine Lösung zur Erhöhung der Umsetzungsrate und Bandbreiten für CMOS-DAU dar, was diese Arbeit demonstriert. Damit eröffnet sich neben der rein technologischen Weiterentwicklung ein weiterer, konzeptueller Pfad, um die Umsetzungsrate von CMOS-DAU zu steigern und Grenzen zu verschieben.

Zwei 8-bit-Sub-DAU in (modifizierten) CMOS-Schaltungstopologien bis 59 GS/s wandeln digitale in analoge Signale. Zur Umsetzung wird eine pseudo-segmentierte Struktur aus 4 bit unären und 4 bit inhärent binären Quellen gewählt. Hierbei stellt die auf CMOS-Invertern basierte Ausgangsstruktur eine Besonderheit dar. Ein AMUX in CML-Topologie mit induktiver Überhöhung kombiniert diese analogen Signale und verdoppelt dabei die Umsetzungsrate. DAU-Kerne und AMUX arbeiten im Halbratentakt-Konzept. In den Sub-DAU wird resistive Rückkopplung von CMOS-Inverterketten zur Steigerung der Leistungsfähigkeit eingesetzt. Außerdem spielt die Versorgungsspannungsstabilität aufgrund hoher dynamischer Belastung durch die CMOS-Architektur eine wichtige Rolle für die generelle Funktionalität wie für die analoge Signalqualität. Sie zieht sich als roter Faden durch diese Arbeit mit einer Vielzahl an Aspekten. Realisierungen der Ausgangsstufen und des zugehörigen Taktpfads in Stromschaltertechnik sind in dieser Hinsicht vorteilhaft.

In Messungen können breitbandige PAM-Signale, die die gesamte erste Nyquist-Zone abdecken, bis 108 GS/s (PAM-2) und Datenrate bis 240 Gbit/s für ein PAM-8-Signal bei 80 GS/s gezeigt werden. Weiterhin werden PAM-4-Signale bei 100 GS/s demonstriert. Außerdem kann der DAU bei schmalbandigeren Signalen für Anwendungen mit Überabtastung und gegebenenfalls Pulsformung bei Umsetzungsrate bis 118 GS/s eingesetzt werden. Demonstrierte Umsetzungsrate oder Datenrate sind gleichauf oder übertreffen andere CMOS-DAU in Sendesystemen und AWGs, auch jene in fortgeschritteneren Technologien. Allerdings zeigt die Analyse der  $-3$ -dB-Bandbreite mit ca. 11-16 GHz Verbesserungspotenzial bezüglich der

Aufbautechnik und eine Diskrepanz zu den erzielten Umsetzungsraten, weshalb Signalpegel breitbandiger Signale durch Vorverzerrung reduziert werden. Betrachtungen der Aufbautechnik legen nahe, dass sie einen entscheidenden Faktor zu dieser Begrenzung beiträgt. Hier ist perspektivisch eine Weiterentwicklung, beispielsweise durch Flip-Chip-Technologien, von Interesse, um das Potenzial des DAUs auszuschöpfen. Ebenso sind Messungen mithilfe von HF-Messköpfen am Ausgang anstelle der Bond-Verbindungen von Interesse, um Beschränkungen durch Aufbautechnik zu umgehen und um so das volle Potenzial zu erfassen. Unter dem Gesichtspunkt der Vorverzerrung breitbandiger Signale, für die ein möglichst flacher Frequenzverlauf ausschlaggebend ist, kann dennoch ein konkurrenzfähiger Frequenzgang gezeigt werden. Trotz der Bandbreitenlimitierung können andere Systeme übertroffen werden.

Neben der Systementwicklung werden zudem unterschiedliche lineare Vorverzerrungsverfahren analysiert und die erforderliche digitale Signalverarbeitung implementiert. Dabei wird ein universell einsetzbares LPTV-Verfahren entwickelt, das die wesentlichen linearen Artefakte des DAUs korrigiert. Denn der DAU weist ein entwurfsbedingtes, deterministisches, periodisch zeitvariantes Verhalten auf, welches Verzerrungen erzeugt. Dies geht unmittelbar aus den Überlegungen in Kap. 2.9 hervor, die Verzerrungen erklären. Messergebnisse können damit in Einklang gebracht werden. Die Reaktionen auf einen Eingangsimpuls zeigen unterschiedliche Formen und hängen vom Zeitpunkt der Anregung ab. In den Impulsreaktionen zeigt sich demnach periodisches Verhalten entsprechend des Belastungsmusters des Taktsystems. Ein 32:1-LPTV-Vorverzerrungsverfahren korrigiert diese Artefakte zum großen Teil. Zunächst wird mittels verschobener Einheitsimpulse eine Systemidentifikation durchgeführt, auf deren Basis die Vorverzerrungskoeffizienten berechnet werden. Nach der Vorverzerrung können PAM-Signale mit deutlich verbesserten vertikalen Augenöffnungen erzeugt werden. Dabei zeigt ein Vergleich mit aus Trainingsdaten basierenden Vorverzerrungsverfahren, die als Referenz herangezogen werden, dass sich bei PAM-Signalen praktisch gleichwertige Ergebnisse durch die LPTV-Vorverzerrung ergeben, die sich allenfalls in Nuancen unterscheiden. Außerdem kann das  $SNDR$  für Frequenzen, die besonders von diesen Verzerrungen betroffen sind, signifikant erhöht werden. Mit einem LTI-Verfahren ist dies für Eintonsignale nicht möglich. Das entwickelte LPTV-Verfahren einschließlich Systemidentifikation erweist sich als sehr mächtig und ist prinzipiell auch für andere Systeme mit deterministischem, linearem, periodisch zeitvariantem Verhalten einsetzbar. Es ist ein zentraler Punkt dieser Arbeit. Möglicherweise können über andere Ansätze, beispielsweise jenem MIMO-Ansatz in [15] die Verzerrungen weiter reduziert werden. Aus den  $SDR$ - bzw.  $SNDR$ -Messungen mit Eintonsignalen geht hervor, dass diese weiterhin dominieren, was weiteres Potenzial offenlässt und eine Weiterentwicklung der Vorverzerrung motiviert.

Eine Weiterentwicklung des DAUs kann auf unterschiedlichen Ebenen erfolgen. Zum einen können bereits Verbesserungen durch die einfache Maßnahme einer größeren Chipfläche



---

erreicht werden. Dadurch können mehr Stützkapazitäten und gegebenenfalls weitere Einstellmöglichkeiten und Versorgungsspannungsdomänen realisiert und somit die Signalqualität durch stabilere Versorgungsspannungen verbessert werden, da hier aufgrund begrenzter Chipfläche Kompromisse eingegangen werden mussten. Zum anderen können auch Veränderungen auf Systemebene vorgenommen werden. Beispielsweise kann der kritische CMOS-Takteiler überarbeitet und gegebenenfalls durch eine andere Topologie ersetzt werden. Ebenso könnten die langen CMOS-Inverterketten im Taktnetzwerk auf  $f_s/4$ -Ebene, die nur schwach gekoppelt sind und überwiegend unabhängig als SE-Takte verlaufen, durch eine andere Architektur ersetzt werden. Außerdem ist eine andere Segmentierung mit mehr Bits im  $R$ - $2R$ -Teil von Interesse, um das Taktnetzwerk weniger zu belasten. Zur komfortableren Nutzung ist zudem ein kompakterer Aufbau mit einer aktiven DC-Leiterplatte, welche Versorgungsspannungen und Betriebsparameter regelt und weniger externe Anschlüsse benötigt, erstrebenswert. Weiterhin ist eine Weiterentwicklung in fortgeschritteneren CMOS-Technologien von Interesse. Hierbei sind nicht nur die aktiven Bauelemente von Bedeutung, sondern auch die passiven Strukturen, beispielsweise in Form eines entsprechenden Metallstapels für HF-Anwendungen. Denn die Anforderung an niederohmige Strukturen mit geringen parasitären Kapazitäten für Induktivitäten und Ausgang bleibt bestehen. Grundsätzlich sind auch andere Architekturen wie ein Viertelratentakt-Konzept und ein 4:1-AMUX, als Baumstruktur oder direkt in einstufiger Topologie, zu bedenken.

Der DAU dieser Arbeit liefert einen Beitrag zur Fortentwicklung von DAUn für künftige Anwendungen in der Nachrichtentechnik, die Umsetzungsdaten deutlich über 100 GS/s erfordern.



## A Aufschlüsselung der Beiträge zu dieser Arbeit

Auf dem Weg bis zur Realisierung des Systems gab es einige Beiträge von Kollegen und studentischen Arbeiten am Institut für Elektrische und Optische Nachrichtentechnik (INT) der Universität Stuttgart, welche hier genannt werden sollen. Die Grundidee des DAUs stammt aus dem Projektantrag [132] von Prof. Dr.-Ing. M. Berroth und Dr.-Ing. M. Grözing. Eine erste, grundsätzliche Untersuchung zur Umsetzer-Struktur geht auf [102] zurück. Im Rahmen von [94] wurde eine erste Version eines Bitfeldes entwickelt. Komponenten im CML-Taktpfad basieren auf [85]. Teile des Speichers wurden zudem von Dr.-Ing. T. Veigel entworfen. Der AMUX wurde von T. Tannert basierend auf [44] entworfen. Ebenso basiert der CML-Taktpfad auf Arbeiten der Kollegen T. Tannert und Dr.-Ing. X.-Q. Du. Die Ansteuersoftware für Speicher und Konfigurationsregister wurde im Rahmen von [133] entwickelt.

Die Beiträge dieser Arbeit liegen auf dem Gesamtsystem, der Entwicklung der DAU-Kerne, der Datenleitungen, der Taktstart-Problematik, der Überarbeitung und Integration des Speichers, der simulativen Verifikation, der Gesamtintegration sowie der Mitarbeit an sämtlichen Schaltungsteilen. Der Entwurf der Leiterplatten, der Messaufbau, die messtechnische Charakterisierung sowie die Signalverarbeitung und Vorverzerrung gehören vollständig zu dieser Arbeit. Der Bondaufbau wurde von P. Klose (Nokia Bell Labs) realisiert.



## B Systemtheoretische Grundlagen

Die Ausführungen in diesem Kapitel sind [49–52, 54] entnommen und erheben keinen Anspruch auf eine vollständige und präzise mathematische Diskussion, sondern stellen vielmehr den Rahmen für einige mathematische Beschreibungen in dieser Arbeit dar. Zunächst werden zeitkontinuierliche Signale und Systeme betrachtet, bevor zu zeitdiskreten Signalen und Systemen übergegangen wird.

### B.1 Kontinuierliche Signale und Systeme

Ein System mit Operator  $\mathcal{T}$  transformiert ein Eingangssignal  $x(t)$  in ein Ausgangssignal  $y(t)$  mit der Operatorbeziehung:

$$y(t) = \mathcal{T}\{x(t)\} . \quad (\text{B.1})$$

Die Impulsfunktion, Delta-Funktion oder auch Dirac-Funktion  $\delta(t)$  ist eine wichtige verallgemeinerte Funktion oder Distribution zur Systemcharakterisierung. Die im Allgemeinen zeitvariante Impulsantwort  $h(t, \tau)$  eines linearen, kontinuierlichen Systems ist die Antwort des Systems zum Beobachtungszeitpunkt  $t$  auf einen Dirac-Stoß  $\delta(t - \tau)$  zum Zeitpunkt  $\tau$  [51, 54]:

$$h(t, \tau) := \mathcal{T}\{\delta(t - \tau)\} . \quad (\text{B.2})$$

Ist das System kausal, so gilt weiterhin

$$h(t, \tau) = 0 \quad \text{für } t < \tau . \quad (\text{B.3})$$

Eine zentrale Klasse an Systemen sind LTI-Systeme. Im Falle von Zeitinvarianz gilt

$$h(t, \tau) = h(t - \tau) . \quad (\text{B.4})$$

Die Impulsantwort hängt lediglich von der Differenz zwischen dem Beobachtungszeitpunkt  $t$  und dem Zeitpunkt des Dirac-Stoßes  $\tau$  ab.

Mithilfe der Impulsantwort und des Eingangssignals  $x(t)$  kann das Ausgangssignal  $y(t)$  eines linearen, kontinuierlichen Systems in Form eines Superpositionsintegrals ausgedrückt

werden:

$$y(t) = \int_{-\infty}^{\infty} x(\tau) h(t, \tau) d\tau . \quad (\text{B.5})$$

Das Ausgangssignal  $y(t)$  eines LTI-Systems kann allgemein durch die Faltung des Eingangssignals  $x(t)$  mit der Impulsantwort  $h(t)$  dieses Systems angegeben werden:

$$y(t) = \int_{-\infty}^{\infty} x(\tau) \cdot h(t - \tau) d\tau =: x(t) * h(t) . \quad (\text{B.6})$$

Eine periodische Funktion  $x_p(t)$  mit der Periodendauer  $T = 1/f_0 = 2\pi/\omega_0$  kann gemäß den Gleichungen (B.7a) und (B.7b) als Fourier-Reihe in komplexer Darstellung ausgedrückt werden.

$$x_p(t) = \sum_{\nu=-\infty}^{\infty} c_\nu \cdot e^{j\nu\omega_0 t} \quad \text{mit} \quad (\text{B.7a})$$

$$c_\nu = \frac{1}{T} \int_T x_p(t) \cdot e^{-j\nu\omega_0 t} dt . \quad (\text{B.7b})$$

Dabei gilt für  $x_p(t) \in \mathbb{R}$ :

$$c_{-\nu} = c_\nu^* . \quad (\text{B.8})$$

Die Fourier-Transformation einer Funktion  $x(t)$  sowie die inverse Fourier-Transformation sind in den Gleichungen (B.9a) und (B.9b) dargestellt.

$$X(j\omega) = \int_{-\infty}^{\infty} x(t) \cdot e^{-j\omega t} dt \quad (\text{B.9a})$$

$$x(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} X(j\omega) \cdot e^{j\omega t} d\omega \quad (\text{B.9b})$$

Für die Korrespondenz wird die Schreibweise

$$x(t) \circ \bullet \mathcal{F}\{x(t)\} = X(j\omega) \quad (\text{B.10})$$

mit der Fourier-Transformierten  $X(j\omega)$  verwendet. Eine wichtige Korrespondenz die Faltung im Zeitbereich betreffend ist in Gl. (B.11) dargestellt.

$$x(t) = x_1(t) * x_2(t) \circ \bullet X(j\omega) = X_1(j\omega) \cdot X_2(j\omega) \quad (\text{B.11})$$

Für das Signal

$$x(t) = \text{rect}(t/T_R) := \begin{cases} 0 & \text{für } |t| > T_R/2, \\ \frac{1}{2} & \text{für } |t| = T_R/2, \\ 1 & \text{für } |t| < T_R/2 \end{cases} \quad (\text{B.12})$$

ergibt sich die Fourier-Transformierte

$$X(j\omega) = T_R \cdot \frac{\sin\left(\frac{\omega T_R}{2}\right)}{\frac{\omega T_R}{2}} =: T_R \cdot \text{si}\left(\frac{\omega T_R}{2}\right). \quad (\text{B.13})$$

Weiterhin sei die Sprungfunktion  $s(t)$  (Heaviside-Funktion) definiert:

$$s(t) := \begin{cases} 0 & \text{für } t < 0, \\ 0,5 & \text{für } t = 0, \\ 1 & \text{für } t > 0. \end{cases} \quad (\text{B.14})$$

Dabei ist der Wert bei  $t = 0$  passend zur Definition (B.12) gewählt. Zuletzt sei die Korrespondenz der Impulsfolge mit Periode  $T$

$$d_T(t) = \sum_{\nu=-\infty}^{\infty} \delta(t - \nu T) \quad (\text{B.15})$$

gegeben:

$$d_T(t) \circ \longrightarrow D_{\omega_0}(j\omega) = \omega_0 \sum_{\nu=-\infty}^{\infty} \delta(\omega - \nu\omega_0) = \sum_{\nu=-\infty}^{\infty} e^{-j\nu 2\pi\omega/\omega_0}, \quad (\text{B.16})$$

wobei  $\omega_0 = 2\pi/T$ .

## B.2 Diskontinuierliche Signale und Systeme

Entsprechend den vorangegangenen Ausführungen werden diskontinuierliche Signale und Systeme beschrieben. Zeitdiskrete Signale werden mathematisch als Folge von Zahlen dargestellt. Im Rahmen dieser Arbeit wird dies durch eckige Klammern hervorgehoben. Entsteht die Folge  $x[n]$  durch periodische Abtastung eines analogen Signals  $x(t)$  mit der Abtastperiode  $T_s$ , dem Kehrwert der Abtastfrequenz  $f_s$ , so gilt:

$$x[n] = x(nT_s), \quad n \in \mathbb{Z}. \quad (\text{B.17})$$

Zunächst kann die Einheitsabtastrfolge, der Einheitsimpuls,  $\delta[n]$  mit

$$\delta[n] = \begin{cases} 1 & \text{für } n = 0, \\ 0 & \text{für } n \neq 0 \end{cases} \quad (\text{B.18})$$

definiert werden.

Bei einem zeitdiskreten System, welches mathematisch wiederum als Transformation mit Operator  $\mathcal{T}$  definiert ist, wird eine Eingangsfolge mit den Werten  $x[n]$  in eine Ausgangsfolge  $y[n]$  abgebildet:

$$y[n] = \mathcal{T}\{x[n]\}. \quad (\text{B.19})$$

Für die (zeitvariante) Impulsantwort  $h[n, \nu]$  eines linearen, diskontinuierlichen Systems gilt:

$$h[n, \nu] := \mathcal{T}\{\delta[n - \nu]\}. \quad (\text{B.20})$$

Ist das System kausal, gilt:

$$h[n, \nu] = 0 \quad \text{für } n < \nu. \quad (\text{B.21})$$

Im Falle von Zeitinvarianz gilt entsprechend dem zeitkontinuierlichen Fall

$$h[n, \nu] = h[n - \nu], \quad \forall n, \nu. \quad (\text{B.22})$$

Mithilfe der Impulsantwort kann das Ausgangssignal  $y[n]$  durch

$$y[n] = \sum_{\nu=-\infty}^{\infty} x[\nu] h[n, \nu] \quad (\text{B.23a})$$

$$\stackrel{\text{zeitinv.}}{=} \sum_{\nu=-\infty}^{\infty} x[\nu] h[n - \nu] =: x[n] * h[n] \quad (\text{B.23b})$$

angegeben werden, wobei für zeitinvariante Systeme die untere Zeile gilt.

Die Fourier-Transformationsdarstellung einer Folge ist durch das Transformiertenpaar der zeitdiskreten Fourier-Transformation in den Gleichungen (B.24a) und (B.24b) mit  $\Omega = \omega \cdot T_s = \omega / f_s$  gegeben.

$$x[n] = \frac{1}{2\pi} \int_{-\pi}^{\pi} X(e^{j\Omega}) e^{j\Omega n} d\Omega \quad (\text{B.24a})$$

$$X(e^{j\Omega}) = \sum_{n=-\infty}^{\infty} x[n] e^{-j\Omega n} \quad (\text{B.24b})$$

Es handelt sich um die Fourier-Transformation für Abtastrsignale. Synthese- und Analyseglei-



chung der DFT sind in den Gleichungen (B.25a) und (B.25b) angegeben.

$$x[n] = \frac{1}{N} \sum_{k=0}^{N-1} X[k] e^{j(2\pi/N)kn} \quad (\text{B.25a})$$

$$X[k] = \sum_{n=0}^{N-1} x[n] e^{-j(2\pi/N)kn} \quad (\text{B.25b})$$

Folgende Schreibweisen wird hierfür verwendet:

$$X[k] = \text{DFT}_N\{x[n]\}, \quad k \in \{0, \dots, N-1\} \quad (\text{B.26})$$

sowie für die Rücktransformation

$$x[n] = \text{DFT}_N^{-1}\{X[k]\} = \text{IDFT}_N\{X[k]\}, \quad n \in \{0, \dots, N-1\}. \quad (\text{B.27})$$

Für die zirkulare oder zyklische Faltung

$$\begin{aligned} x[n] &= \sum_{\nu=0}^{N-1} x_{1,p}[\nu] x_{2,p}[n-\nu] = \sum_{\nu=0}^{N-1} x_1[\nu] x_2[(n-\nu) \bmod N] \\ &=: x_1[n] \textcircled{N} x_2[n], \quad 0 \leq n \leq N-1 \end{aligned} \quad (\text{B.28})$$

der Folgen  $x_{1,p}[\nu]$  und  $x_{2,p}[\nu]$  mit Periode  $N$  bzw. der Folgen  $x_1[\nu]$  und  $x_2[\nu]$ , die mit einer Periode von  $x_{1,p}[\nu]$  bzw.  $x_{2,p}[\nu]$  übereinstimmen, gilt die Zuordnung

$$X[k] = X_1[k] \cdot X_2[k]. \quad (\text{B.29})$$

Die Parsevalsche Beziehung der DFT für eine Folge  $x[n]$  der Länge  $N$  mit der DFT  $X[k]$  der Länge  $N$  lautet:

$$\sum_{n=0}^{N-1} |x[n]|^2 = \frac{1}{N} \sum_{k=0}^{N-1} |X[k]|^2. \quad (\text{B.30})$$

Zwischen den komplexen Fourier-Koeffizienten und der DFT gilt bei Einhaltung des Abtasttheorems (vgl. Kap. 2.2) der Zusammenhang in Gl. (B.31).

$$c_k = \frac{1}{N} \cdot X[k] \quad (\text{B.31})$$



# C Herleitungen

Im Folgenden werden die Herleitung des Spektrums bei periodisch ungleichmäßigen Haltezeiten (Kap. C.1) sowie der Beweis der *Roll-Off*-Verschiebung durch den AMUX (Kap. C.2) dargestellt.

## C.1 Herleitung des Spektrums bei periodisch ungleichmäßigen Haltezeiten im Ausgangssignal eines Digital-Analog-Umsetzers

Berücksichtigt man in Ergänzung zum Modell nach Gl. (2.42) [67, 68] noch die ZOH-Operation eines DAUs, so ergeben sich etwas veränderte Zusammenhänge unter dem Einfluss von Jitter. Die folgende Herleitung basiert auf den Ausführungen in [4, 66].

Ausgangspunkt ist Abb. 2.6. Das Ausgangssignal lässt sich demnach berechnen zu

$$\begin{aligned}
 y(t) &= \sum_{n=-\infty}^{\infty} x(nT_s) h_n(t - t_n) \\
 &= \sum_{p=0}^{P-1} \sum_{\nu=-\infty}^{\infty} x(\nu PT_s + pT_s) h_p(t - \nu PT_s - pT_s - r_p T_s) ,
 \end{aligned} \tag{C.1}$$

wobei auf die Variation der Impulsantwort im Gegensatz zu Gl. (2.42) zu achten ist, erkennbar am Index  $n$  bzw.  $p$ . Es gelten weiterhin die Zusammenhänge

$$t_n = nT_s + \Delta_n \tag{C.2}$$

sowie

$$t_n = (\nu P + p) T_s + \Delta_{\nu P + p} = \nu PT_s + pT_s + \Delta_p = \nu PT_s + pT_s + r_p T_s \tag{C.3}$$

mit  $n = \nu P + p$ ,  $\nu \in \mathbb{Z}$ ,  $p \in \{0, \dots, P-1\}$  und einer angenommenen Periode von  $P$ . Die Zeitdifferenz

$$t_{n+1} - t_n = \nu PT_s + (p+1) T_s + \Delta_{p+1} - (\nu PT_s + pT_s + \Delta_p) = T_s + \Delta_{p+1} - \Delta_p \tag{C.4}$$

ist ebenfalls periodisch mit der Periode  $P$ . Die Rechteckfunktionen  $h_n(t)$  bzw.  $h_p(t)$  variabler Breiten können mithilfe der Sprungfunktion  $s(t)$  ausgedrückt werden:

$$h_p(t) = s(t) - s(t - T_s - r_{p+1}T_s + r_pT_s) . \quad (\text{C.5})$$

Die Dauer des Rechtecks  $\tau_p$  beträgt demnach

$$\tau_p = T_s - r_pT_s + r_{p+1}T_s \quad (\text{C.6})$$

und die Fourier-Transformierte lautet

$$\begin{aligned} H_p(j\omega) &= \int_{-\infty}^{\infty} h_p(t) e^{-j\omega t} dt = \int_0^{T_s - r_pT_s + r_{p+1}T_s} e^{-j\omega t} dt \\ &= \frac{1 - e^{-j\omega(T_s - r_pT_s + r_{p+1}T_s)}}{j\omega} \\ &= \frac{2}{\omega} e^{-j\omega(1+r_{p+1}-r_p)T_s/2} \sin(\omega(1+r_{p+1}-r_p)T_s/2) . \end{aligned} \quad (\text{C.7})$$

Die Fourier-Transformierte von Gl. (C.1) berechnet sich wieder unter Verwendung von Gl. (B.16) wie folgt:

$$\begin{aligned} Y(j\omega) &= \int_{-\infty}^{\infty} y(t) e^{-j\omega t} dt \\ &= \int_{-\infty}^{\infty} \sum_{\nu=-\infty}^{\infty} \sum_{p=0}^{P-1} x(\nu PT_s + pT_s) h_p(t - \nu PT_s - pT_s - r_pT_s) e^{-j\omega t} dt \\ &= \sum_{\nu=-\infty}^{\infty} \sum_{p=0}^{P-1} x(\nu PT_s + pT_s) e^{-j\omega\nu PT_s} e^{-j\omega pT_s} e^{-j\omega r_pT_s} \int_{-\infty}^{\infty} h_p(t) e^{-j\omega t} dt \\ &= \sum_{p=0}^{P-1} H_p(j\omega) e^{-j\omega pT_s} e^{-j\omega r_pT_s} \sum_{\nu=-\infty}^{\infty} \left( \frac{1}{2\pi} \int_{-\infty}^{\infty} X(j\tilde{\omega}) e^{j\tilde{\omega}(\nu PT_s + pT_s)} d\tilde{\omega} \right) e^{-j\omega\nu PT_s} \\ &= \frac{1}{2\pi} \sum_{p=0}^{P-1} H_p(j\omega) e^{-j\omega pT_s} e^{-j\omega r_pT_s} \int_{-\infty}^{\infty} X(j\tilde{\omega}) e^{j\tilde{\omega}pT_s} \left( \sum_{\nu=-\infty}^{\infty} e^{-j(\omega - \tilde{\omega})\nu PT_s} \right) d\tilde{\omega} \\ &= \frac{1}{PT_s} \sum_{p=0}^{P-1} H_p(j\omega) e^{-j\omega pT_s} e^{-j\omega r_pT_s} \int_{-\infty}^{\infty} X(j\tilde{\omega}) e^{j\tilde{\omega}pT_s} \left( \sum_{\nu=-\infty}^{\infty} \delta\left(\omega - \tilde{\omega} - \nu \frac{2\pi}{PT_s}\right) \right) d\tilde{\omega} \\ &= \frac{1}{PT_s} \sum_{\nu=-\infty}^{\infty} \sum_{p=0}^{P-1} H_p(j\omega) e^{-j\frac{2\pi}{P}\nu p} e^{-j\omega r_pT_s} X\left(j\omega - j\nu \frac{2\pi}{PT_s}\right) \\ &= \frac{1}{PT_s} \sum_{\nu=-\infty}^{\infty} \tilde{A}_\nu(j\omega) X\left(j\omega - j\nu \frac{2\pi}{PT_s}\right) . \end{aligned} \quad (\text{C.8})$$

Dabei gilt

$$\begin{aligned}
\tilde{A}_\nu(j\omega) &= \sum_{p=0}^{P-1} H_p(j\omega) e^{-j\frac{2\pi}{P}\nu p} e^{-j\omega r_p T_s} \\
&= \sum_{p=0}^{P-1} \frac{2 \cdot \sin(\omega(1+r_{p+1}-r_p)T_s/2)}{\omega} e^{-j\omega(1+r_{p+1}-r_p)T_s/2} e^{-j\frac{2\pi}{P}\nu p} e^{-j\omega r_p T_s} \quad (\text{C.9}) \\
&= \sum_{p=0}^{P-1} \frac{2 \cdot \sin(\omega(1+r_{p+1}-r_p)T_s/2)}{\omega} e^{-j\omega(1+r_{p+1}+r_p)T_s/2} e^{-j\frac{2\pi}{P}\nu p} .
\end{aligned}$$

## C.2 Beweis der *Roll-Off*-Verschiebung durch den analogen Multiplexer

Zu zeigen ist, dass durch den Einsatz eines AMUXs der  $\sin(x)/x$ -*Roll-Off* entsprechend der effektiven Gesamtumsetzungsrate  $f_s = 1/T_s$  verschoben wird und damit das Konzept Sub-DAU  $\rightarrow$  AMUX eine prinzipbedingte Bandbreitenerhöhung von DAUs – ohne Berücksichtigung weiterer bandbreitenlimitierender Effekte – erreicht wird. Ausgangspunkt der folgenden Betrachtung ist erneut das allgemeine Modell eines DAU-AMUX-Systems nach Abb. 2.7 [15].

Als Vorüberlegung wird die komplexe Fourier-Reihe eines periodischen Rechtecksignals  $f_1(t)$  der Periode  $T_p$  und Rechteckbreite  $T_p/N$  entsprechend Abb. C.1 betrachtet, welche in Gl. (C.10) gegeben ist.

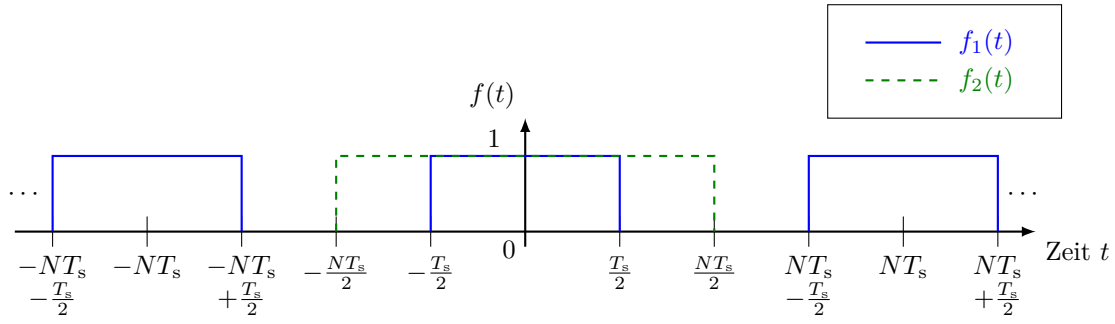
$$f_1(t) = \sum_{\nu=-\infty}^{\infty} \text{rect}\left(\frac{t - \nu T_p}{T_p/N}\right) = \sum_{\nu=-\infty}^{\infty} \frac{1}{N} \text{si}\left(\frac{\pi\nu}{N}\right) e^{j\nu\frac{2\pi}{T_p}t} \quad (\text{C.10})$$

Die Korrespondenz zu Abb. C.1 ist für  $T_p = T_{\text{DAU}} = N \cdot T_s$  gegeben.

Zunächst wird das Modell nach [15] herangezogen, das auf Abb. 2.7 beruht und hier rekapituliert wird. Es werden  $N$  DAU ( $N \in \mathbb{N}$ ) mit  $\Lambda = \{0, \dots, N-1\}$  und  $\lambda \in \Lambda$  angenommen, wobei  $N = 1$  einer Umsetzer-Struktur ohne AMUX entspricht, welche auch durch die Gleichungen (2.21) und (2.22) beschrieben wird. Folgende Annahmen werden getroffen:

- Es wird von idealer Multiplikation durch den AMUX (bzw. durch die Gilbert-Zelle) ausgegangen (Eingangssignale und Taktsignale).
- Die Digital-Analog-Umsetzung wird als ZOH-Operation betrachtet.
- Anders als in Gl. (2.20) wird das zu einem Symbol gehörende Rechteck um den Umsetzungszeitpunkt zentriert, damit der Phasenverschiebungsterm entfällt.
- Die Architektur hinsichtlich Takt (z. B. Halbratentakt-Konzept) wird nicht betrachtet.
- Es werden weder Rauschen noch Jitter betrachtet.
- Es werden lineare DAU vorausgesetzt.

Die Ausgangssymboldauer der einzelnen DAU ist  $T_{\text{DAU}}$ , wobei  $T_s$  die Symboldauer nach



**Abbildung C.1:** Darstellung einer periodischen Rechteckfolge  $f_1(t)$  mit Rechtecken der Breite  $T_s$  und der Funktion  $f_2(t)$  eines einzelnen Rechtecks der Breite  $NT_s$ . Dabei gilt  $N \geq 1$ , wobei im betrachteten Fall  $N \in \mathbb{N}$  sei.

dem AMUX angibt. Es wird  $T_{\text{DAU}} = N \cdot T_s$  angenommen, wenngleich diese Bedingung nicht zwangswise erforderlich ist. Für die Teilsignale  $x_\lambda[n]$  mit  $\lambda \in \Lambda$  gilt im Zeitbereich

$$x_\lambda[n] = x[n \cdot N + \lambda] \quad (\text{C.11})$$

sowie im Frequenzbereich

$$X_\lambda(e^{j\Omega N}) = X_\lambda(e^{j\omega T_{\text{DAU}}}) = \frac{1}{N} \sum_{\mu=0}^{N-1} X(e^{j(\Omega - \mu \frac{2\pi}{N})}) e^{j(\Omega - \mu \frac{2\pi}{N}) \cdot \lambda}. \quad (\text{C.12})$$

Dabei gilt  $\Omega = \omega T_s$ . Die DAU-Ausgangssignale ergeben sich unter den genannten Annahmen bei NRZ-Pulsen zu

$$y_\lambda(t) = \underbrace{\sum_{\nu=-\infty}^{\infty} x_\lambda[\nu] \delta(t - \nu \cdot T_{\text{DAU}})}_{\text{ideale Digital-Analog-Umsetzung}} * \underbrace{\text{rect}\left(\frac{t}{T_{\text{DAU}}}\right)}_{\text{ZOH}} * \underbrace{v_\lambda(t)}_{\text{Filter}} * \underbrace{\delta(t - \lambda \cdot T_s)}_{\text{Verzögerung}}. \quad (\text{C.13})$$

Die Funktionen  $v_\lambda(t)$  stehen für Bandbreitenlimitierungen sowohl der DAU als auch für explizite, optionale Filter. Im Frequenzbereich ausgedrückt erhält man

$$Y_\lambda(j\omega) = \underbrace{X_\lambda(e^{j\omega T_{\text{DAU}}})}_{\text{ideale Digital-Analog-Umsetzung}} \cdot \underbrace{T_{\text{DAU}} \text{si}\left(\frac{\omega T_{\text{DAU}}}{2}\right)}_{\text{ZOH}} \cdot \underbrace{V_\lambda(j\omega)}_{\text{Filter}} \cdot \underbrace{e^{-j\omega \lambda T_s}}_{\text{Verzögerung}}. \quad (\text{C.14})$$

Für den AMUX wird angenommen, dass er die DAU-Signale mittig „ausschneidet“. Für die Taktsignale gilt damit im Zeitbereich

$$c_\lambda(t) = \text{rect}\left(\frac{t}{T_s}\right) * \delta(t - \lambda \cdot T_s) * \sum_{\nu=-\infty}^{\infty} \delta(t - \nu \cdot NT_s) * v_{\text{clk}, \lambda}(t) \quad (\text{C.15})$$

und im Frequenzbereich

$$C_\lambda(j\omega) = \frac{2\pi}{N} \cdot \text{si}\left(\frac{\omega T_s}{2}\right) \cdot e^{-j\omega\lambda T_s} \cdot V_{\text{clk},\lambda}(j\omega) \cdot \sum_{\mu=-\infty}^{\infty} \delta\left(\omega - \mu \frac{2\pi}{NT_s}\right) . \quad (\text{C.16})$$

Auch hierbei werden Tiefpasscharakteristiken in den Taktpfaden durch die Funktionen  $v_{\text{clk},\lambda}(t)$  bzw.  $V_{\text{clk},\lambda}(j\omega)$  repräsentiert. Es ergeben sich Taktlinien bei  $\mu f_s/N$  und  $\mu \in \{\mathbb{Z} \setminus \{\pm N, \pm 2N, \pm 3N, \dots\}\}$  im Spektrum, die Phasenverschiebungen unterliegen sowie durch eine si-Funktion und  $V_{\text{clk},\lambda}(j\omega)$  gedämpft sind. Dabei werden diejenigen Frequenzen beachtet, an welchen  $\text{si}(\omega T_s/2)$  keine Nullstellen aufweist. Unter Berücksichtigung einer weiteren Tiefpasscharakteristik am Ausgang  $v_{\text{out}}(t)$  lässt sich das Ausgangssignal schreiben zu

$$y(t) = \left( \sum_{\lambda \in \Lambda} c_\lambda(t) \cdot y_\lambda(t) \right) * v_{\text{out}}(t) , \quad (\text{C.17})$$

bzw. im Frequenzbereich zu

$$Y(j\omega) = \frac{1}{2\pi} \left( \sum_{\lambda \in \Lambda} C_\lambda(j\omega) * Y_\lambda(j\omega) \right) \cdot V_{\text{out}}(j\omega) . \quad (\text{C.18})$$

Bis hier entsprechen die Berechnungen dem Modell aus [15].

Zur formalen Herleitung der  $\sin(x)/x$ -Roll-Off-Verschiebung durch einen AMUX wird Gl. (C.18) herangezogen. Es seien  $V_\lambda(j\omega) = 1$ ,  $V_{\text{out}}(j\omega) = 1$  und  $V_{\text{clk},\lambda}(j\omega) = 1$ . Damit gilt

$$Y_\lambda(j\omega) = T_{\text{DAU}} \cdot X_\lambda\left(e^{j\omega T_{\text{DAU}}}\right) \cdot \text{si}\left(\frac{\omega T_{\text{DAU}}}{2}\right) \cdot e^{-j\omega\lambda T_s} \quad (\text{C.19})$$

sowie

$$C_\lambda(j\omega) = \frac{2\pi}{N} \cdot \text{si}\left(\frac{\omega T_s}{2}\right) \cdot e^{-j\omega\lambda T_s} \cdot \sum_{\mu=-\infty}^{\infty} \delta\left(\omega - \mu \frac{2\pi}{NT_s}\right) . \quad (\text{C.20})$$

Das Ausgangsspektrum berechnet sich zu

$$\begin{aligned} Y(j\omega) &= \frac{1}{2\pi} \sum_{\lambda \in \Lambda} C_\lambda(j\omega) * Y_\lambda(j\omega) \\ &= \sum_{\lambda \in \Lambda} \frac{T_{\text{DAU}}}{N} \left[ X_\lambda\left(e^{j\omega T_{\text{DAU}}}\right) \cdot \text{si}\left(\frac{\omega T_{\text{DAU}}}{2}\right) \cdot e^{-j\omega\lambda T_s} \right] \\ &\quad * \left[ \sum_{\mu=-\infty}^{\infty} \text{si}\left(\frac{\omega T_s}{2}\right) \cdot e^{-j\omega\lambda T_s} \cdot \delta\left(\omega - \mu \frac{2\pi}{NT_s}\right) \right] \\ &= \frac{T_{\text{DAU}}}{N} \sum_{\lambda \in \Lambda} \sum_{\mu=-\infty}^{\infty} \int_{-\infty}^{\infty} X_\lambda\left(e^{j\tilde{\omega} T_{\text{DAU}}}\right) \text{si}\left(\frac{\tilde{\omega} T_{\text{DAU}}}{2}\right) e^{-j\tilde{\omega}\lambda T_s} \\ &\quad \cdot \text{si}\left(\frac{(\omega - \tilde{\omega}) T_s}{2}\right) e^{-j(\omega - \tilde{\omega})\lambda T_s} \delta\left(\omega - \tilde{\omega} - \mu \frac{2\pi}{NT_s}\right) d\tilde{\omega} \end{aligned}$$

$$\begin{aligned}
&= T_s \sum_{\lambda \in \Lambda} \sum_{\mu=-\infty}^{\infty} X_\lambda \left( e^{j(\omega - \mu \frac{2\pi}{NT_s}) T_{\text{DAU}}} \right) \text{si} \left( \frac{(\omega - \mu \frac{2\pi}{NT_s}) T_{\text{DAU}}}{2} \right) e^{-j(\omega - \mu \frac{2\pi}{NT_s}) \lambda T_s} \\
&\cdot \text{si} \left( \frac{\mu \frac{2\pi}{NT_s} T_s}{2} \right) e^{-j\mu \frac{2\pi}{NT_s} \lambda T_s} \\
&= T_s \sum_{\lambda \in \Lambda} \sum_{\mu=-\infty}^{\infty} X_\lambda \left( e^{j\omega T_{\text{DAU}} - j\mu 2\pi} \right) \text{si} \left( \frac{(\omega - \mu \frac{2\pi}{NT_s}) T_{\text{DAU}}}{2} \right) e^{-j\omega \lambda T_s} \text{si} \left( \mu \frac{\pi}{N} \right) \\
&= T_s \sum_{\lambda \in \Lambda} X_\lambda \left( e^{j\omega T_{\text{DAU}}} \right) e^{-j\omega \lambda T_s} \sum_{\mu=-\infty}^{\infty} \text{si} \left( \frac{(\omega - \mu \frac{2\pi}{NT_s}) T_{\text{DAU}}}{2} \right) \text{si} \left( \mu \frac{\pi}{N} \right). \quad (\text{C.21})
\end{aligned}$$

Betrachtet man den rechten Teil von Gl. (C.21) im Zeitbereich, so erhält man

$$\begin{aligned}
\sum_{\mu=-\infty}^{\infty} \text{si} \left( \frac{(\omega - \mu \frac{2\pi}{NT_s}) T_{\text{DAU}}}{2} \right) \text{si} \left( \mu \frac{\pi}{N} \right) &\bullet \circ \sum_{\mu=-\infty}^{\infty} \text{si} \left( \mu \frac{\pi}{N} \right) \cdot e^{j\mu \frac{2\pi}{T_{\text{DAU}}} t} \cdot \frac{1}{T_{\text{DAU}}} \text{rect} \left( \frac{t}{T_{\text{DAU}}} \right) \\
&\stackrel{(\text{C.10})}{=} \frac{N}{T_{\text{DAU}}} \underbrace{\sum_{\mu=-\infty}^{\infty} \text{rect} \left( \frac{t - \mu T_{\text{DAU}}}{T_{\text{DAU}}/N} \right)}_{f_1(t)} \cdot \underbrace{\text{rect} \left( \frac{t}{T_{\text{DAU}}} \right)}_{f_2(t)} \\
&= \frac{N}{T_{\text{DAU}}} \cdot \text{rect} \left( \frac{t}{T_{\text{DAU}}/N} \right) = \frac{1}{T_s} \cdot \text{rect} \left( \frac{t}{T_s} \right). \quad (\text{C.22})
\end{aligned}$$

Der letzte Schritt kann auch grafisch anhand von Abb. C.1 nachvollzogen werden. Die Rücktransformation von Gl. (C.22) in den Frequenzbereich liefert

$$\frac{1}{T_s} \cdot \text{rect} \left( \frac{t}{T_s} \right) \circ \bullet \text{si} \left( \frac{\omega T_s}{2} \right) \quad (\text{C.23})$$

und somit erhält man für das Ausgangssignal

$$Y(j\omega) = T_s \cdot \sum_{\lambda \in \Lambda} X_\lambda \left( e^{j\omega T_{\text{DAU}}} \right) \cdot e^{-j\omega \lambda T_s} \cdot \text{si} \left( \frac{\omega T_s}{2} \right). \quad (\text{C.24})$$

Für  $N = 1$  und damit  $T_s = T_{\text{DAU}}$  erhält man – unter Berücksichtigung der Zentrierung der Rechtecke – exakt das bekannte Ergebnis aus Gl. (2.22). Konkret ergibt sich für  $N = 2$  unter Berücksichtigung von Gl. (C.12)

$$X_0(e^{j2\Omega}) = \frac{1}{2} [X(e^{j\Omega}) + X(e^{j(\Omega-\pi)})] \quad (\text{C.25})$$

und

$$X_1(e^{j2\Omega}) = \frac{1}{2} [X(e^{j\Omega}) - X(e^{j(\Omega-\pi)})] \cdot e^{j\Omega} \quad (\text{C.26})$$



und somit

$$Y(j\omega) = T_s \cdot X(e^{j\omega T_s}) \cdot \text{si}\left(\frac{\omega T_s}{2}\right), \quad (\text{C.27})$$

wobei Letzteres auch allgemein gilt. In Gl. (C.27) wird der Bezug zum ursprünglichen Signal  $x[n]$  vor dem DEMUX hergestellt. In den Gleichungen (C.24) und (C.27) ist die Multiplikation mit dem Term  $\text{si}\left(\frac{\omega T_s}{2}\right)$  der Nachweis, dass die effektive Gesamtumsetzungsrate maßgeblich ist. Damit ist der *Roll-Off* durch eine si-Funktion mit  $T_s = 1/f_s$  gegeben, also der Umsetzungsrate unter Berücksichtigung des AMUXs, und nicht mehr durch jene der DAU mit  $f_{\text{DAU}} = 1/T_{\text{DAU}}$ . Somit ist die *Roll-Off*-Verschiebung bewiesen.

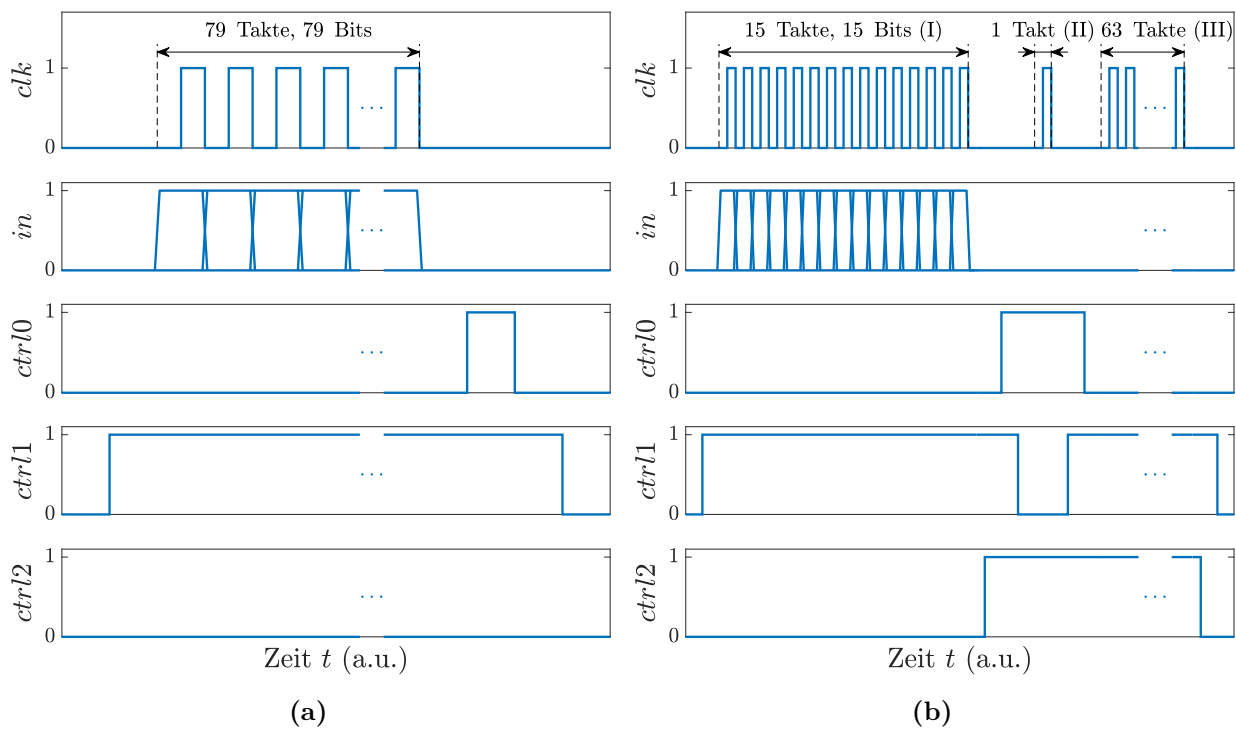
□



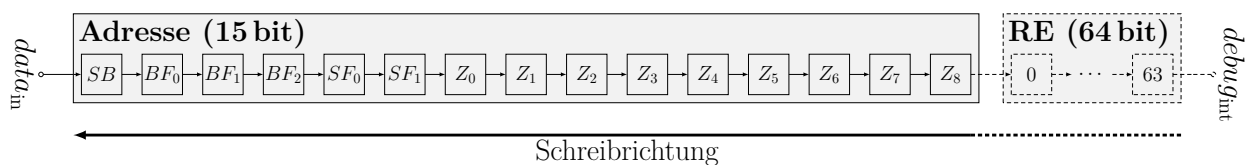
## D Interne und externe Steuerung des Speichers

Zur Ansteuerung des Speichers sind diverse globale und lokale Signale notwendig. Alle Steuersignale zum schnellen Auslesen werden in der zentralen Einheit erzeugt. Als Eingangstaktsignal dient hierbei eines der beiden hierfür bereitgestellten unipolaren Taktsignale aus dem Taktnetzwerk von DAU-Kern 0 bei  $f_s/32$ , die  $180^\circ$  zueinander verschoben sind, wobei die zu verwendende Phase über ein Signal aus dem Konfigurationsregister ausgewählt werden kann. Ein ebenfalls über das Konfigurationsregister programmierbares Reset-Signal startet bzw. stoppt die Steuersignalgenerierung in der zentralen Einheit über rücksetzbare Flip-Flops, womit das schnelle Auslesen ein- bzw. ausgeschaltet werden kann. Bei diesem Vorgang wird auch die Adresse zurückgesetzt. Insgesamt werden somit 25 und in Vereinigung mit den vierfach parallelen differenziellen Taktsignalen 33 Signale an die Bitfelder eines Speicherblocks übertragen (grüner Kanal in Abb. 3.24). Auf dem blauen Rückkanal derselben Abbildung werden die acht  $debug_{\text{int}0/1}$ -Signale für das serielle Auslesen übertragen.

Zuletzt soll auf die externe Programmierung des Speichers eingegangen werden. Sowohl das Beschreiben als auch das serielle Auslesen (Debug-Modus) geschieht über einen Sechsdraht-Bus mit folgenden Signalen: Taktsignal  $clk$ , Dateneingang  $in$ , Datenausgang  $out$  sowie drei kombinatorische Signale  $ctrl0$ ,  $ctrl1$  und  $ctrl2$ . Letztere dienen der internen Konfiguration, beispielsweise der Steuerung der Registerseinheiten. Da der Datenausgang lediglich zur Analyse der Speicherdaten dient, sind für den AWG-Betrieb fünf Signale ausreichend. Die Signale werden mittels eines Raspberry Pis ausgegeben bzw. im Falle des  $out$ -Ausgangs empfangen. Abbildung D.1 zeigt die externen Ansteuersequenzen der Speicherschnittstelle beim Beschreiben (Abb. D.1a) sowie beim seriellen Auslesen (Abb. D.1b). Das Beschreiben des Speichers geschieht zeilenweise auf Speicherfeldebene. Das heißt, dass jede Zeile eines jeden Speicherfeldes separat in einem eigenen Schreibzyklus beschrieben wird. Insgesamt sind 79 bit an Daten je Zeile erforderlich: 64 bit Nutzdaten sowie 15 bit zur Adressierung. Die Adressbits setzen sich aus einem Bit zur Auswahl des Speicherblocks (0/1), drei Bits zur Auswahl eines Bitfeldes (000, ..., 111), zwei Bits zur Auswahl eines Speicherfeldes (00, ..., 11) sowie neun Bits für die Zeilenadresse (000000000, ..., 111111111), die sich aus den  $2^{N_{\text{SF}}} = 2^9 = 512$  Zeilen ergeben, zusammen. Nutzdaten und Adressbits



**Abbildung D.1:** Externe Ansteuerung des Speichers über einen Sechs-Draht-Bus mit fünf Eingangssignalen  $clk$ ,  $in$ ,  $ctrl0$ ,  $ctrl1$ ,  $ctrl2$  und einem Ausgangssignal  $out$  (nicht dargestellt). Die Signalfolge beim Beschreiben ist in (a), jene beim seriellen Auslesen ist in (b) gezeigt. Daten werden auf die steigende Taktflanke übernommen.



**Abbildung D.2:** Darstellung der Sequenz aus Adressbits und Nutzdaten mit Reihenfolge der Einschreibesequenz. Die Bezeichnungen stehen für folgende binär-codierte Adressteile:  $SB$ : Speicherblock,  $BF_0, \dots, 2$ : Bitfeld,  $SF_0, \dots, 1$ : Speicherfeld und  $Z_0, \dots, 8$ : Zeile.

werden seriell gemäß Abb. D.2 aneinandergereiht. Beim Schreiben werden die Schieberegister gewissermaßen um Adressregister verlängert. Teile der Adresse werden in der zentralen Einheit gespeichert und ausgewertet, Teile in den Bitfeldern selbst. Die Registereinheiten werden hierzu seriell verschaltet (DEMUX-Ausgang „1“, A-MUX/DEMUX-Konfiguration „1“ in Abb. 3.27). Das Eintakten der Daten erfolgt mittels des externen Taktes  $clk$ . Dabei werden die Daten stets zur steigenden Flanke übernommen. Nachdem alle 79 bit eingeschrieben sind, wird die eingeschriebene Adresse intern ausgewertet, die entsprechende Wortleitung aktiviert und die Nutzdaten über die Schreibtreiber in die adressierte Zeile übernommen ( $ctrl0 = 1$ , A-MUX/DEMUX-Konfiguration „0“ in Abb. 3.27b). Es ist zu erwähnen, dass die Nutzdaten zunächst in alle Registereinheiten geschrieben werden, da die vollständige Zieladresse erst mit Abschluss der Daten-Einschreibesequenz vorliegt. Während des gesamten Schreibprozesses

sorgt die Kombination aus den Signalen *ctrl0*, *ctrl1* und *ctrl2* stets für die entsprechende Konfiguration in der zentralen Steuersignaleinheit sowie in den Bit- und Speicherfeldern. Aufgrund der zeilenweisen Beschreibung wird dieser Schreibzyklus mit Iteration über alle Zeilenadressen hinweg in allen Speicherfeldern 32.768 mal wiederholt, um den gesamten Speicher zu beschreiben.

Die Datenfolge des Debug-Modus ist in Abb. D.1b gezeigt. In einem ersten Schritt (Taktsequenz I) werden die 15 Adressbits der auszulesenden Zeile in die zentrale Steuersignaleinheit und dann weiter in die Bitfelder geschrieben. Die dargestellte Konfiguration der Steuersignale sorgt in Kombination mit dem einzelnen Takt in Taktsequenz II für die entsprechende Konfiguration der Registereinheiten sowie der Vorladeschaltungen und der Entscheider, so dass der Inhalt der adressierten Zeile nach Auswertung der eingeschriebenen Adresse durch Öffnung der entsprechenden Wortleitung über die Entscheider in die entsprechende Registereinheit übernommen wird. Wie in Abb. 3.24 aus den blauen Pfaden hervorgeht, führen die *debug<sub>int0/1</sub>*-Ausgänge aller Bitfelder zur zentralen Steuersignaleinheit. MUX selektieren denjenigen Kanal, welcher der eingeschriebenen Adresse entspricht und leitet ausschließlich diesen an das Ausgangs-Pad. Da bereits in Taktsequenz II der Inhalt des Flip-Flops in Speicherelement 63 gemäß Abb. 3.27a am Ausgang *out<sub>ser</sub>* der Registereinheit anliegt und damit jener aus Bitleitung *BL<63>*, liegt bereits zu diesem Zeitpunkt das erste ausgelesene und gültige Bit am Chip-Ausgang an. Zum Auslesen des restlichen Zeileninhalts in der Registereinheit sind daher nur noch 63 weitere Takte in Taktsequenz III erforderlich. Dabei wird die A-MUX/DEMUX-Konfiguration in den Registereinheiten auf „1“ geschaltet und die restlichen Daten seriell über DEMUX-Konfiguration „1“ ausgegeben. Wie auch beim Vorgang des Beschreibens muss dieser Vorgang für jede Zeile wiederholt werden. Sowohl beim Beschreiben als auch beim seriellen Auslesen des Speichers gibt es keinerlei Anforderungen an die Synchronität der Signale. Es bestehen lediglich sequenzielle Anforderungen an die Abfolge. Aufgrund der Aufteilung der Spaltenindizes und der Struktur der Registereinheiten (vgl. Nummerierung in Abb. 3.27a) müssen die Daten beim Beschreiben sowie beim seriellen Auslesen entsprechend sortiert bzw. interpretiert werden.



## E Weitere Schaltpläne und Layout-Ausschnitte

In diesem Abschnitt werden weitere, nicht im Hauptteil enthaltene Schaltpläne und Layout-Ausschnitte präsentiert. Abbildung E.1 zeigt den Schaltplan einer Takttreibereinheit mit Rückkopplung über drei CMOS-Inverter. In Abb. E.2 ist der Schaltplan des differentiellen NAND-Gatters in den rücksetzbaren Taktteilern dargestellt.

Die Layouts einer Treibereinheit der Leitungen zwischen Speicherblock und DAU-Kern im Hauptpfad, eines CML-Verstärkers mit induktivem *Peaking* sowie eines DAU-Kerns werden in den Abbildungen E.3, E.4 und E.5 gezeigt.

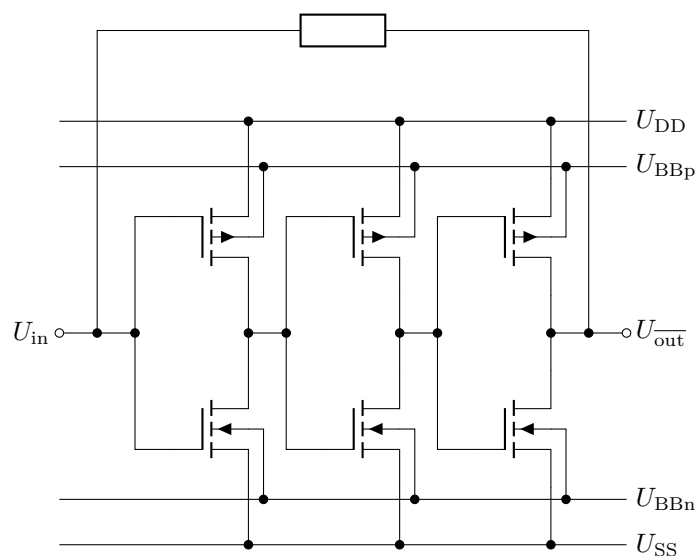
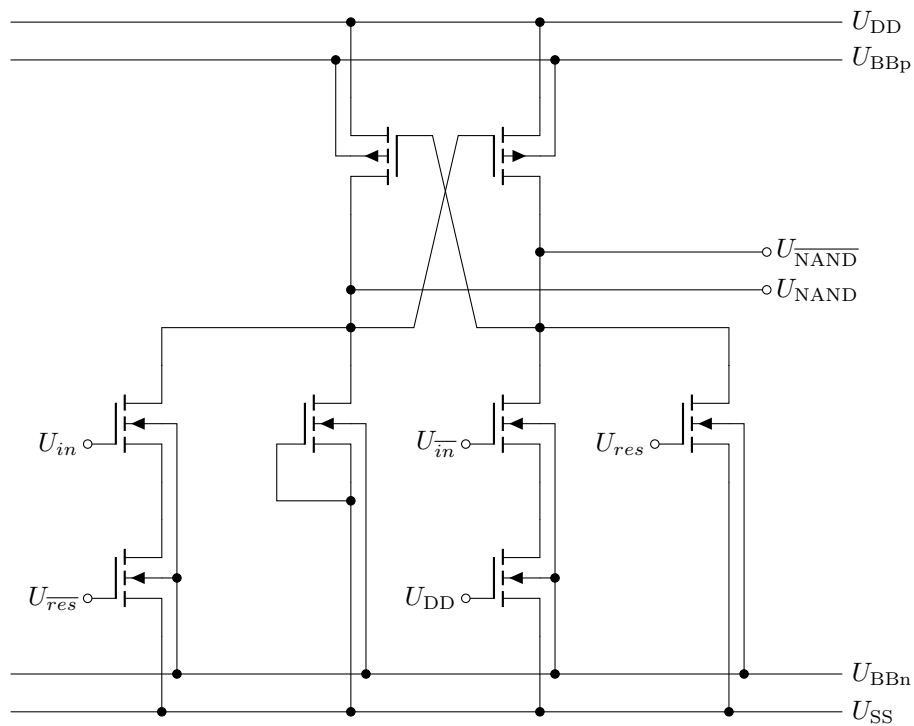
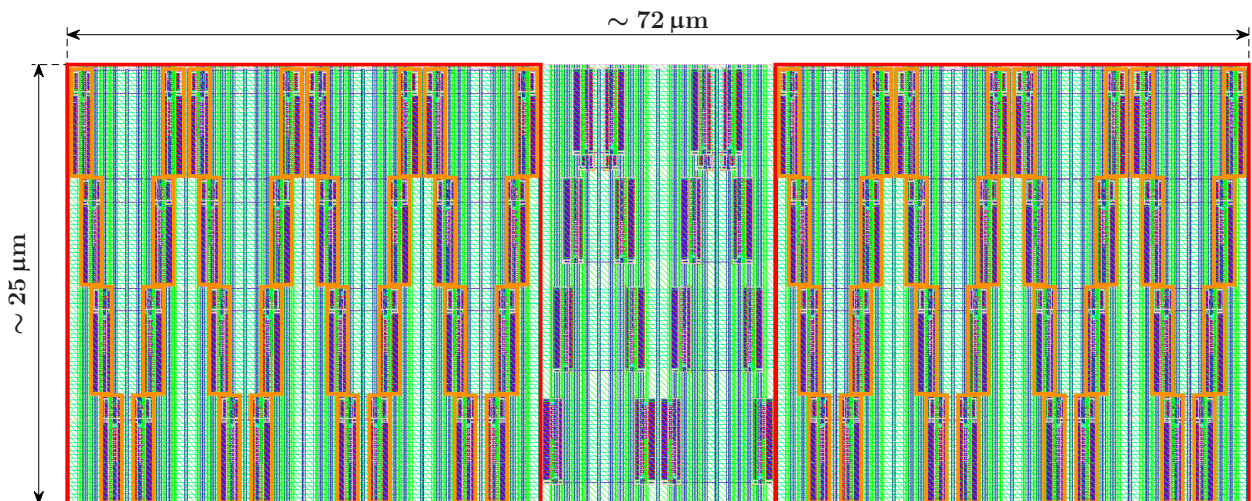


Abbildung E.1: Schaltplan einer Takttreibereinheit mit Rückkopplung.



**Abbildung E.2:** Schaltplan eines differenziellen NAND-Gatters in DCVSL. Aus Symmetriegründen sind Dummy-Transistoren eingefügt. Es realisiert die Funktionen  $in \wedge \overline{res}/\overline{in} \wedge res$ .



**Abbildung E.3:** Layout-Ausschnitt einer Treiberstufe. Die rot markierten Teile entsprechen den ebenfalls rot markierten Inverterstufen des Hauptstrangs in Abb. 3.29. Die einzelnen differenziellen CMOS-Inverter inklusive Kreuzkopplung sind ebenfalls markiert (orange). Sie sind gestaffelt angeordnet. Zwischen den roten Blöcken verlaufen die Steuer- und Debug-Signale.



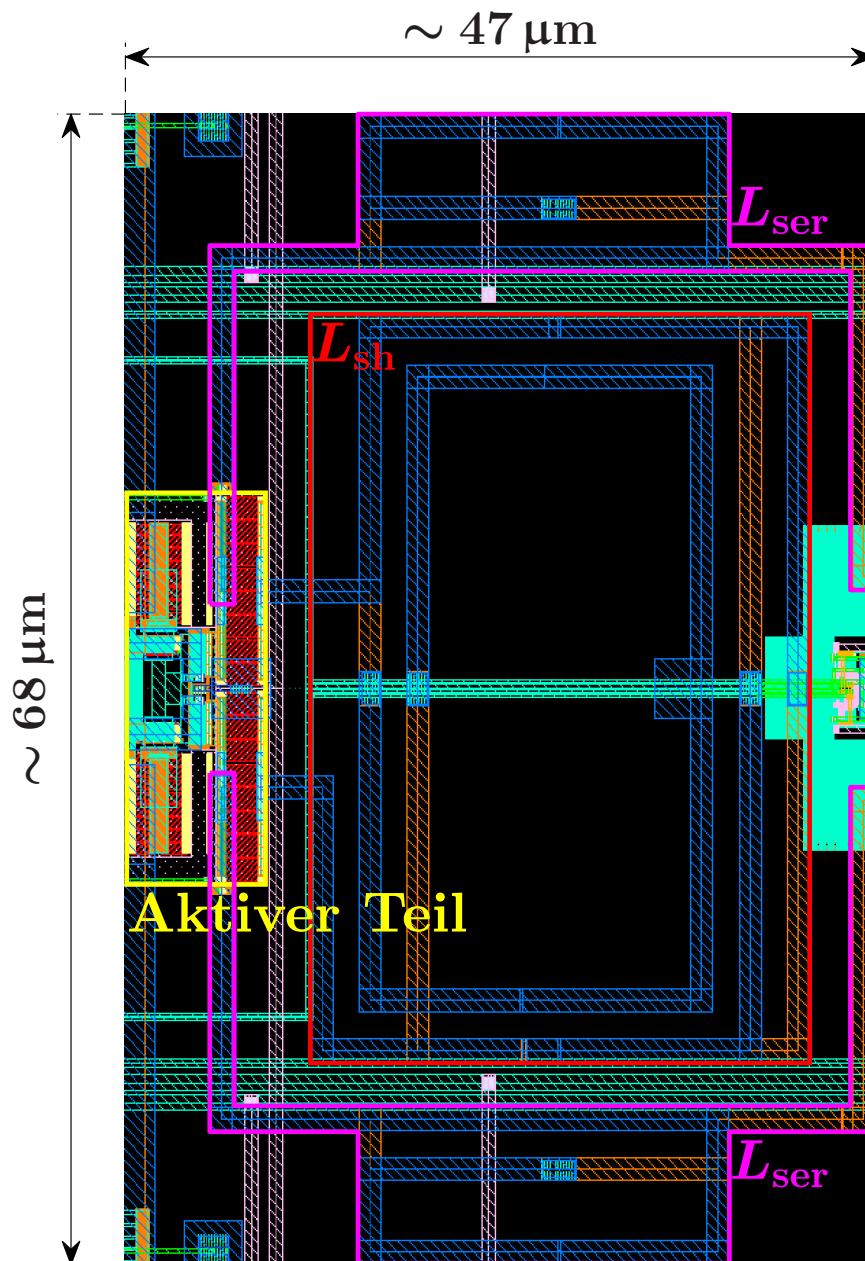


Abbildung E.4: Layout eines CML-Verstärkers mit *Shunt-Series-Peaking*.

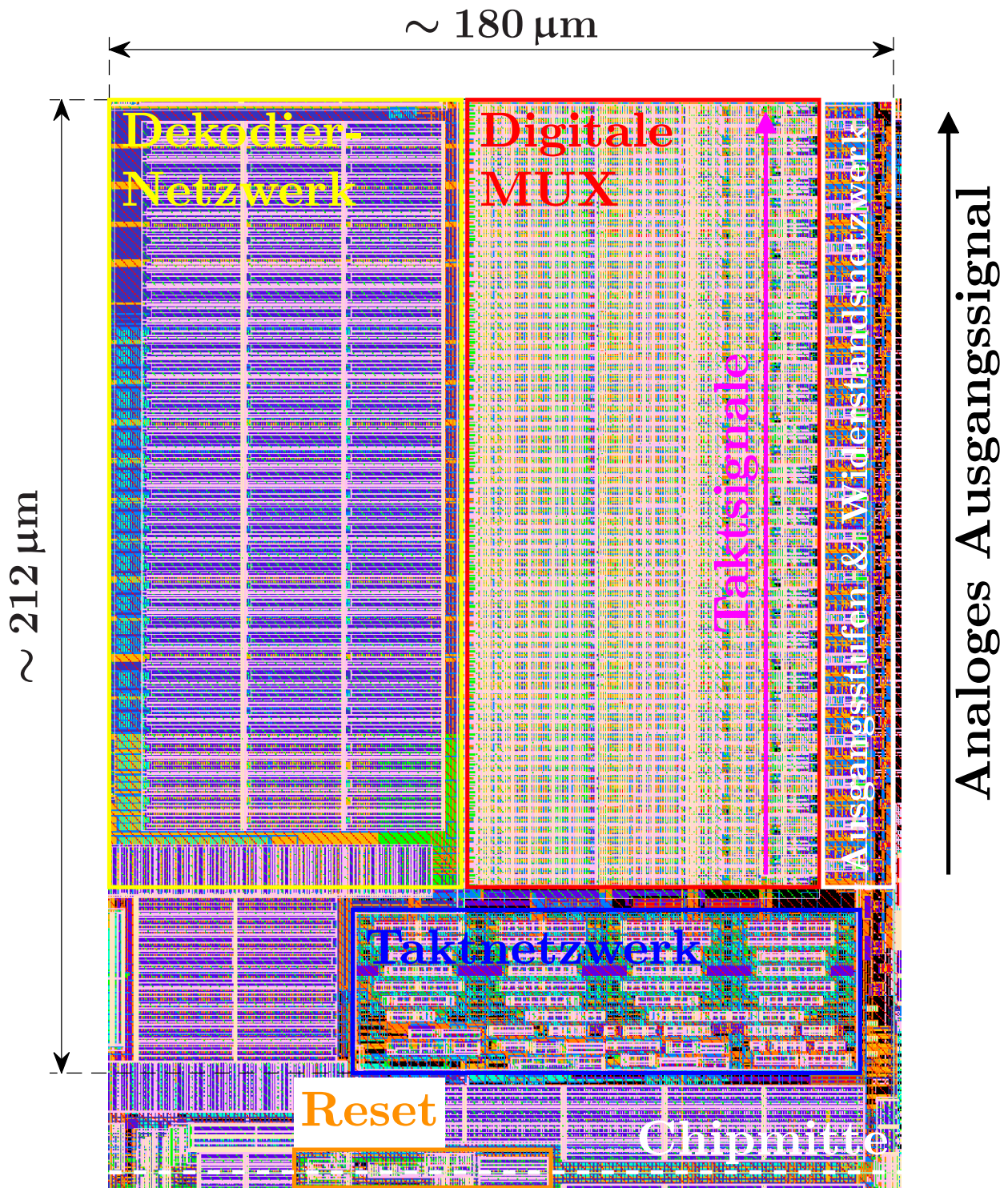


Abbildung E.5: Layout eines DAU-Kerns. Taktsignale und analoges Ausgangssignal werden in dieselbe Richtung geführt.

## F Definition der Permutationsmatrix

Im Rahmen der Vorverzerrung sind zyklische Verschiebungen der Elemente in Vektoren erforderlich, weshalb eine Permutationsmatrix definiert wird. Pro Schritt werden die Elemente  $a[0], \dots, a[N-1]$  eines Vektors  $\mathbf{a}$  um eine Position zyklisch verschoben, also  $a[0], \dots, a[N-2]$  auf  $a[1], \dots, a[N-1]$  sowie  $a[N-1]$  auf  $a[0]$  abgebildet. Dies kann mathematisch als Permutation  $\sigma$  betrachtet und mit der zugehörigen Permutationsmatrix  $\mathbf{P}_\sigma$  der Dimension  $N \times N$  beschrieben werden [134]:

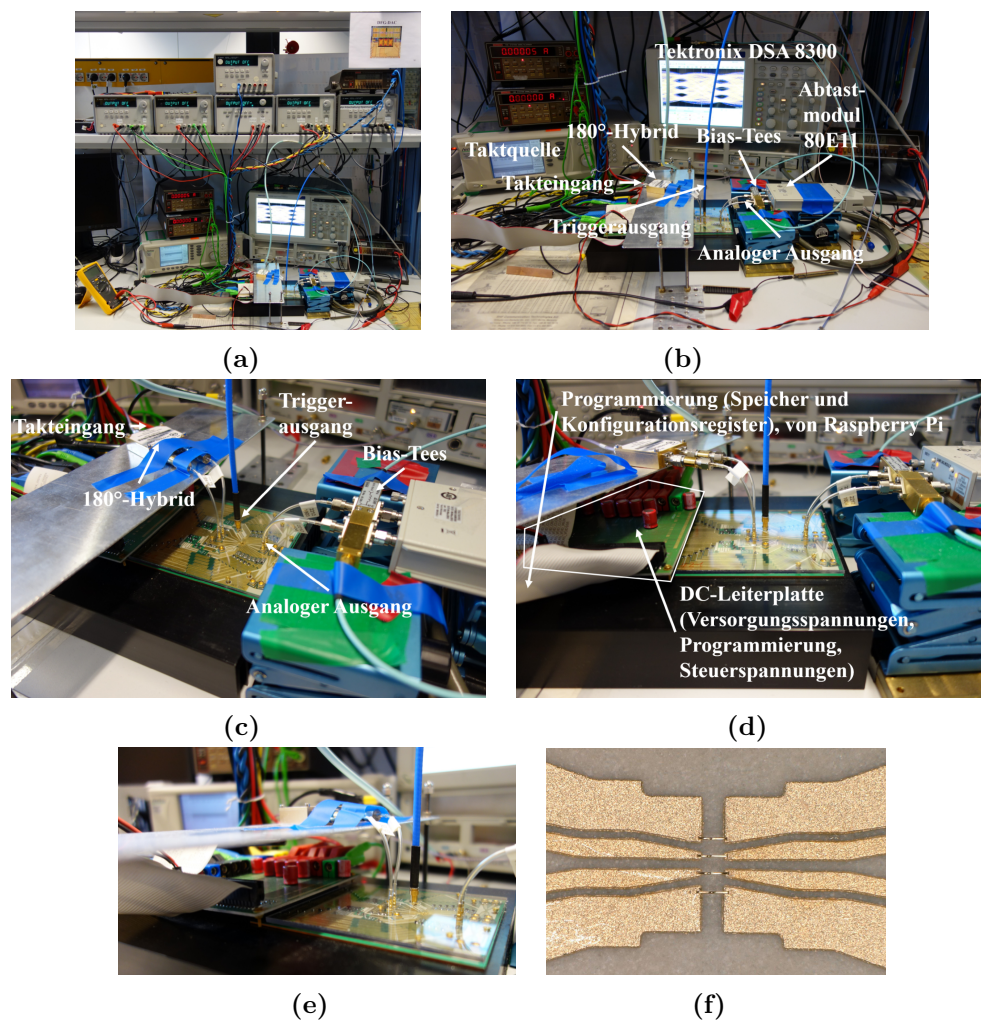
$$\mathbf{P}_\sigma = \begin{pmatrix} 0 & 0 & 0 & \cdots & 0 & 1 \\ 1 & 0 & 0 & \cdots & 0 & 0 \\ 0 & 1 & 0 & \cdots & 0 & 0 \\ 0 & 0 & 1 & \cdots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & 1 & 0 \end{pmatrix}. \quad (\text{F.1})$$

Eine  $l$ -fache zyklische Verschiebung lässt sich durch  $\mathbf{P}_\sigma^l$  beschreiben und steht für die  $l$ -fache Hintereinanderausführung. Dabei setzt man  $\mathbf{P}_\sigma^0 := \mathbf{E}_N$ , mit der Einheitsmatrix  $\mathbf{E}_N$  ( $N \times N$ ).

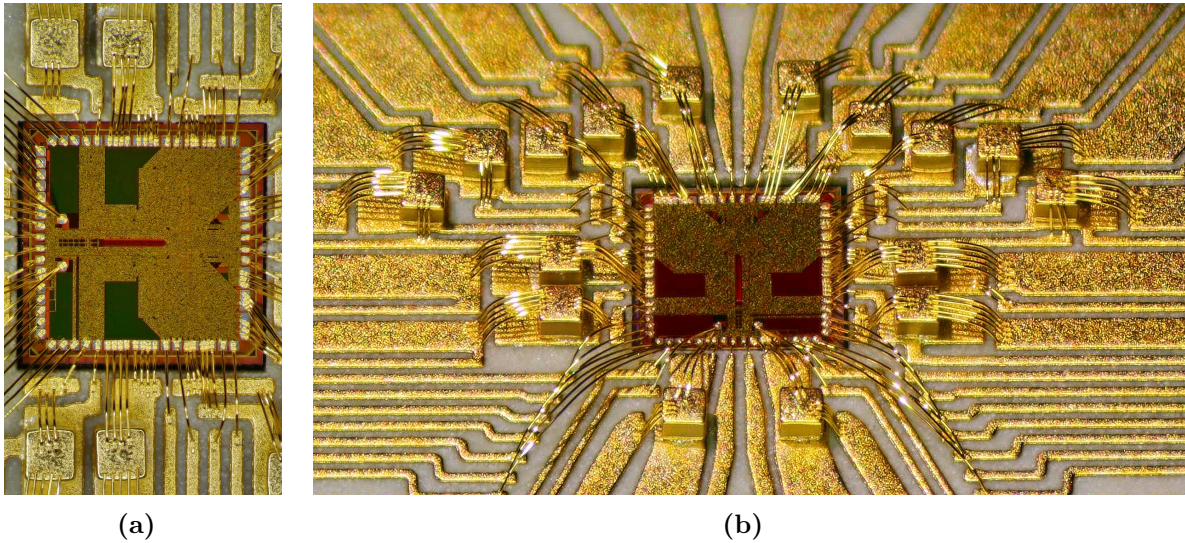


## G Messaufbau und verwendete Hochfrequenz-Komponenten

Die Aufnahmen in Abb. G.1 zeigen den Messaufbau. Mikroskopische Aufnahmen eines gebondeten Chips sind in Abb. G.2 dargestellt. Tabelle G.1 fasst die verwendeten Komponenten im HF-Aufbau mit einigen Schlüsselspezifikationen zusammen.



**Abbildung G.1:** Impressionen des Messaufbaus. (a) Gesamter Messaufbau, (b) und (c) Komponenten der hochfrequenten Pfade sowie (d) und (e) detailliertere Aufnahmen der Verbindung von DC- und HF-Leiterplatte. (f) Nahaufnahme der gebondeten Referenzstruktur auf der HF-Leiterplatte.



**Abbildung G.2:** Mikroskopische Aufnahmen eines gebondeten Chips. (a) Nahaufnahme des Chips und (b) gesamter Bondaufbau.

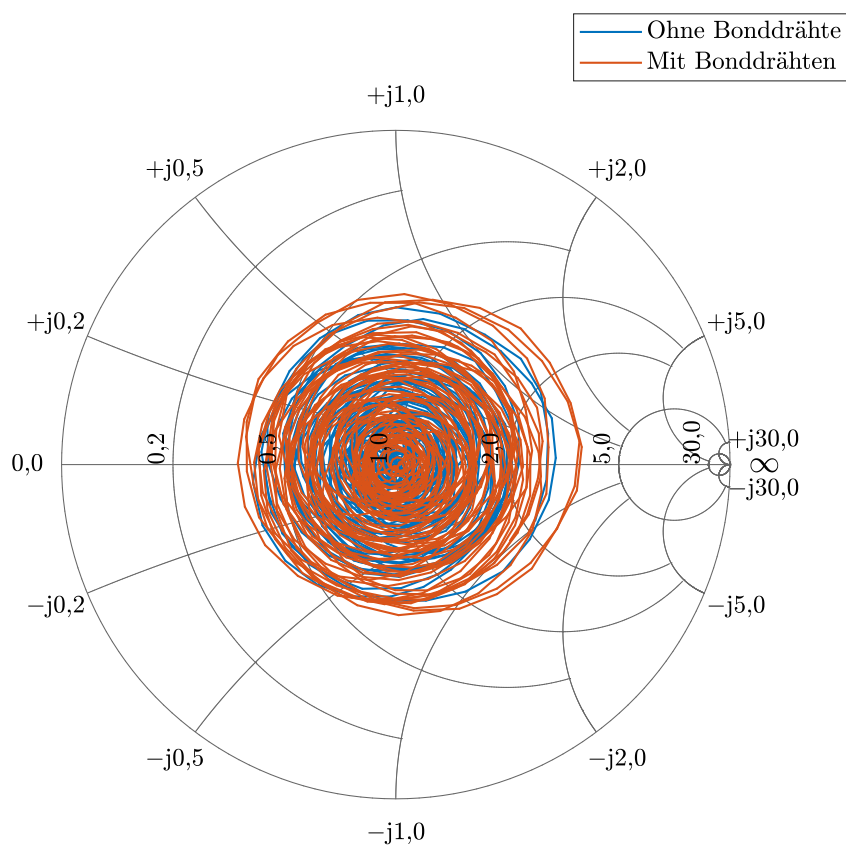
**Tabelle G.1:** Verwendete Komponenten im HF-Aufbau.

Komponente	Hersteller	Typ	Spezifikation
Oszilloskop	Tektronix	DSA8300	-
Abtastmodul	Tektronix	80E11	70 GHz Bandbreite
Phasenreferenzmodul	Tektronix	82A04B	< 100 fs RMS-Jitter
Taktquelle	Anritsu	MG3697C	Option 15 für Ausgangsleistung +9 dBm bis 67 GHz
Leistungssteiler Takt	Marki Microwave	PD-0465	4 GHz bis 65 GHz
180°-Hybrid	Hyperlabs	HL9407	500 kHz bis 67 GHz
DC-Blöcke Taktpfad	Anritsu	V265	30 kHz/50 kHz bis 65 GHz
Bias-Tees <sup>a</sup>	SHF	BT65R-A	20 kHz/40 kHz bis 65 GHz, inkl. Option EM (Performanz bis 110 GHz spezifiziert)
Bias-Tees <sup>a</sup>	Picosecond Pulse Labs	5542	10 kHz bis > 50 GHz
Kabel Takteingang, analoger Ausgang	KMCO	SFCA185M119 SMPM0080J	SMPM-V, 65 GHz, 8 cm, z. T. auch 7 cm

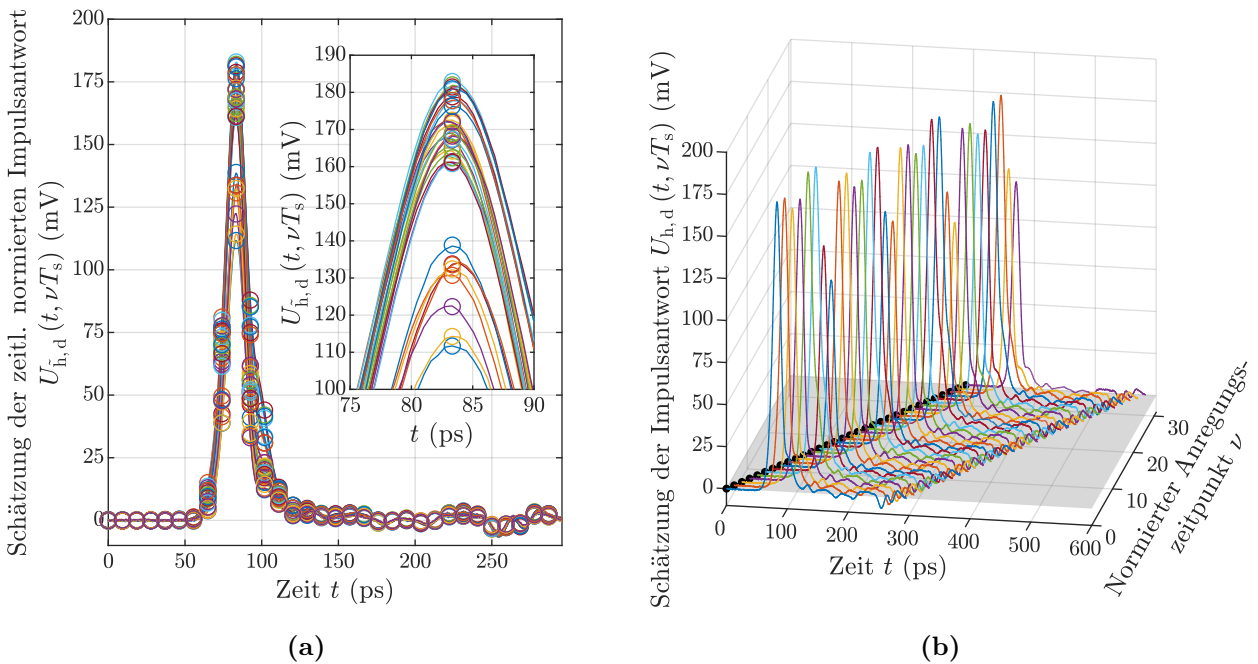
<sup>a</sup> Beide Bias-Tees im Verlauf der Messungen genutzt.

## H Weitere Messergebnisse

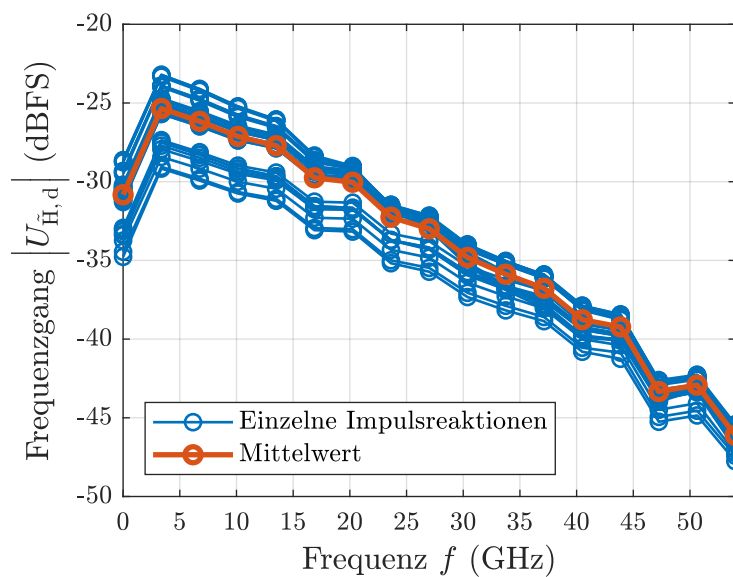
In den Abbildungen H.1, H.2 und H.3 sind weitere Messergebnisse dargestellt. Abbildung H.4 zeigt einen Vergleich der Bandbreite mit dem elektrischen Pfad eines optischen Übertragungssystems mit einem 16-nm-CMOS-DAU. Im Gegensatz zu Abb. 5.18 ist die  $\sin(x)/x$ -Dämpfung jeweils enthalten.



**Abbildung H.1:** Smith-Diagramm der Eingangsreflexionsfaktoren  $S_{11,d}$  der Referenzstrukturen im Frequenzbereich 40 MHz bis 65 GHz.

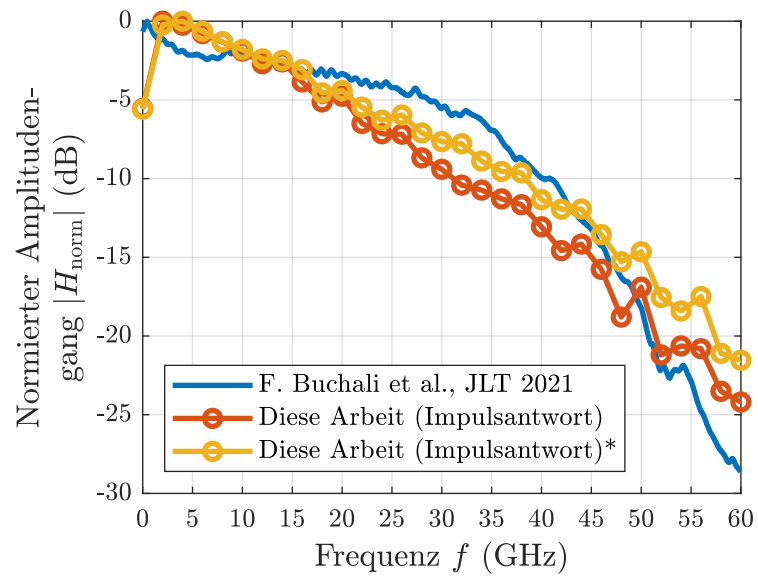


**Abbildung H.2:** Impulsreaktionen bei Anregung mit Einheitsimpulsen an unterschiedlichen Positionen innerhalb einer Periode bei  $f_s = 108$  GS/s (differenziell). (a) Messung der zeitlich normierten Impulsantwort (ohne Zuordnung) mit Abtastwerten zu den Zeitpunkten  $t_0 + nT_s$  mit  $n \in \{0, \dots, N_h - 1\}$  und (b) Darstellung der gemessenen Impulsantwort.



**Abbildung H.3:** Amplitudengänge der Impulsreaktionen bei  $f_s = 108$  GS/s ohne Zuordnung mit Mittelwert und unter Normierung auf  $FS/2$ .





**Abbildung H.4:** Vergleich der Bandbreite einschließlich  $\sin(x)/x$ -Dämpfung mit dem elektrischen Pfad eines optischen Übertragungssystems mit einem 16-nm-CMOS-DAU (extrahiert aus [9]). Ein zweiter Aufbau dieser Arbeit ist mit „\*“ gekennzeichnet. Die Amplitudengänge sind auf das jeweilige Maximum normiert.



# I Literaturverzeichnis

- [1] F. Maloberti, *Data Converters*. Dordrecht: Springer, 2007.
- [2] C. Laperle und M. O’Sullivan, „Advances in High-Speed DACs, ADCs, and DSP for Optical Coherent Transceivers”, *Journal of Lightwave Technology*, Vol. 32, Nr. 4, S. 629–643, 2014.
- [3] J. Kim, S. Kundu, A. Balankutty *et al.*, „A 224-Gb/s DAC-Based PAM-4 Quarter-Rate Transmitter With 8-Tap FFE in 10-nm FinFET”, *IEEE Journal of Solid-State Circuits*, Vol. 57, Nr. 1, S. 6–20, 2022.
- [4] L. Angrisani und M. D’Arco, „Modeling Timing Jitter Effects in Digital-to-Analog Converters”, *IEEE Transactions on Instrumentation and Measurement*, Vol. 58, Nr. 2, S. 330–336, 2009.
- [5] International Telecommunication Union. [Online]. Adresse: <https://www.itu.int/itu-d/reports/statistics/2021/11/15/international-bandwidth-usage/> (abgerufen am 02.04.2022).
- [6] P. J. Winzer und D. T. Neilson, „From Scaling Disparities to Integrated Parallelism: A Decathlon for a Decade”, *Journal of Lightwave Technology*, Vol. 35, Nr. 5, S. 1099–1115, 2017.
- [7] P. J. Winzer, D. T. Neilson und A. R. Chraplyvy, „Fiber-optic transmission and networking: the previous 20 and the next 20 years [Invited]”, *Optics Express*, Vol. 26, Nr. 18, S. 24 190–24 239, 2018.
- [8] G. E. Moore, „Cramming more components onto integrated circuits, Reprinted from Electronics, Volume 38, Number 8, April 19, 1965, pp.114 ff.” *IEEE Solid-State Circuits Society Newsletter*, Vol. 11, Nr. 3, S. 33–35, 2006.
- [9] F. Buchali, V. Lauinger, M. Chagnon, K. Schuh und V. Aref, „CMOS DAC Supported 1.1 Tb/s/ $\lambda$  DWDM Transmission at 9.8 bit/s/Hz Over DCI Distances”, *Journal of Lightwave Technology*, Vol. 39, Nr. 4, S. 1171–1178, 2021.
- [10] F. Buchali, V. Aref, R. Dischler *et al.*, „128 GSa/s SiGe DAC Implementation Enabling 1.52 Tb/s Single Carrier Transmission”, *Journal of Lightwave Technology*, Vol. 39, Nr. 3, S. 763–770, 2021.
- [11] F. Pittalà, R.-P. Braun, G. Böcherer *et al.*, „1.71 Tb/s Single-Channel and 56.51 Tb/s DWDM Transmission Over 96.5 km Field-Deployed SSMF”, *IEEE Photonics Technology Letters*, Vol. 34, Nr. 3, S. 157–160, 2022.

- [12] M. Nagatani, H. Wakita, Y. Ogiso *et al.*, „A 110-GHz-Bandwidth 2:1 AMUX-Driver IC using 250-nm InP DHBTs for Beyond-1-Tb/s/carrier Optical Transmission Systems”, in *2019 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, 2019.
- [13] M. Nagatani, H. Wakita, H. Yamazaki *et al.*, „A Beyond-1-Tb/s Coherent Optical Transmitter Front-End Based on 110-GHz-Bandwidth 2:1 Analog Multiplexer in 250-nm InP DHBT”, *IEEE Journal of Solid-State Circuits*, Vol. 55, Nr. 9, S. 2301–2315, 2020.
- [14] F. Buchali, „Beyond 1 Tbit/s transmission using high-speed DACs and analog multiplexing”, in *Optical Fiber Communication Conference (OFC) 2021*, 2021, Tu6D.1.
- [15] C. Schmidt, *Interleaving Concepts for Digital-to-Analog Converters: Algorithms, Models, Simulations and Experiments*. Wiesbaden: Springer Vieweg, 2020.
- [16] B. Murmann und B. Hoefflinger, Hrsgg., *NANO-CHIPS 2030: On-Chip AI for an Efficient Data-Driven World*, Serie The Frontiers Collection. Cham: Springer Nature Switzerland AG, 2020.
- [17] D. Widmann, R. Nägele, M. Grözing und M. Berroth, „Mixed-Signal Integrated Circuit for Direct Raised-Cosine Filter Waveform Synthesis of Digital Signals up to 24 GS/s in 22 nm FD-SOI CMOS Technology”, in *2022 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2022, S. 3234–3238.
- [18] S. Balasubramanian, G. Creech, J. Wilson *et al.*, „Systematic Analysis of Interleaved Digital-to-Analog Converters”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 58, Nr. 12, S. 882–886, 2011.
- [19] X. Wu, P. Palmers und M. S. J. Steyaert, „A 130 nm CMOS 6-bit Full Nyquist 3 GS/s DAC”, *IEEE Journal of Solid-State Circuits*, Vol. 43, Nr. 11, S. 2396–2403, 2008.
- [20] F. Arute, K. Arya, R. Babbush *et al.*, „Quantum supremacy using a programmable superconducting processor”, *Nature*, Vol. 574, S. 505–510, 2019.
- [21] D. J. Reilly, „Engineering the quantum-classical interface of solid-state qubits”, *npj Quantum Information*, Vol. 1, Nr. 15011, 2015.
- [22] J. C. Bardin, E. Jeffrey, E. Lucero *et al.*, „A 28nm Bulk-CMOS 4-to-8GHz <2mW Cryogenic Pulse Modulator for Scalable Quantum Computing”, in *2019 IEEE International Solid-State Circuits Conference (ISSCC)*, 2019, S. 456–457.
- [23] C. Degenhardt, L. Geck, A. Kruth, P. Vliex und S. van Waasen, „CMOS Based Scalable Cryogenic Control Electronics for Qubits”, in *2017 IEEE International Conference on Rebooting Computing (ICRC)*, 2017.
- [24] International Technology Roadmap for Semiconductors. [Online]. Adresse: <http://www.itrs2.net/> (abgerufen am 15.11.2022).
- [25] A. Cathelin, „Fully Depleted Silicon on Insulator Devices CMOS: The 28-nm node is the perfect technology for analog, RF, mmW, and mixed-signal system-on-chip integration”, *IEEE Solid-State Circuits Magazine*, Vol. 9, Nr. 4, S. 18–26, 2017.

- [26] S. Clerc, T. Di Gilio und A. Cathelin, Hrsgg., *The Fourth Terminal: Benefits of Body-Biasing Techniques for FDSOI Circuits and Systems*, Serie Integrated Circuits and Systems. Cham: Springer Nature Switzerland, 2020.
- [27] A. Cathelin, „RF/Analog and Mixed-Signal Design Techniques in FD-SOI Technology”, in *2017 IEEE Custom Integrated Circuits Conference (CICC)*, 2017.
- [28] S. N. Ong, S. Lehmann, W. H. Chow *et al.*, „A 22nm FDSOI Technology Optimized for RF/mmWave Applications”, in *2018 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2018, S. 72–75.
- [29] M. Sadegh Dadash, S. Bonen, U. Alakusu, D. Harame und S. P. Voinigescu, „DC-170 GHz Characterization of 22nm FDSOI Technology for Radar Sensor Applications”, in *2018 13th European Microwave Integrated Circuits Conference (EuMIC)*, 2018, S. 158–161.
- [30] D. K. Schroder, *Semiconductor Material and Device Characterization*, 3. Aufl. Hoboken: Wiley-Interscience, IEEE Press, 2006.
- [31] Y. Taur und T. H. Ning, *Fundamentals of Modern VLSI Devices*, 2. Aufl. Cambridge [u.a.]: Cambridge University Press, 2009.
- [32] N. H. E. Weste und D. M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4. Aufl. Boston [u.a.]: Addison-Wesley, 2011.
- [33] S. M. Sze und K. K. Ng, *Physics of Semiconductor Devices*, 3. Aufl. Hoboken: Wiley-Interscience, 2007.
- [34] P. R. Gray, P. J. Hurst, S. H. Lewis und R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 5. Aufl., International Student Version. Hoboken: Wiley, 2010.
- [35] S. J. Mason, „Power Gain in Feedback Amplifier”, *Transactions of the IRE Professional Group on Circuit Theory*, Vol. CT-1, Nr. 2, S. 20–25, 1954.
- [36] M. S. Gupta, „Power Gain in Feedback Amplifiers, a Classic Revisited”, *IEEE Transactions on Microwave Theory and Techniques*, Vol. 40, Nr. 5, S. 864–879, 1992.
- [37] H. Huang, J. Heilmeyer, M. Grözing und M. Berroth, „An 8-bit 100-GS/s distributed DAC in 28-nm CMOS”, in *2014 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2014, S. 65–68.
- [38] H. Huang, J. Heilmeyer, M. Grözing, M. Berroth, J. Leibrich und W. Rosenkranz, „An 8-bit 100-GS/s Distributed DAC in 28-nm CMOS for Optical Communications”, *IEEE Transactions on Microwave Theory and Techniques*, Vol. 63, Nr. 4, S. 1211–1218, 2015.
- [39] H. Huang, „Ultra-High-Speed Digital-to-Analog Converter for Optical Communications”, Dissertation, Universität Stuttgart, Institut für Elektrische und Optische Nachrichtentechnik, 2019.
- [40] S. Balasubramanian und W. Khalil, „Architectural Trends in GHz Speed DACs”, in *NORCHIP 2012*, 2012.

- [41] C. Krall, C. Vogel und K. Witrissal, „Time-Interleaved Digital-to-Analog Converters for UWB Signal Generation”, in *2007 IEEE International Conference on Ultra-Wideband*, 2007, S. 366–371.
- [42] K. Schuh, F. Buchali, W. Idler *et al.*, „100 GSa/s BiCMOS DAC Supporting 400 Gb/s Dual Channel Transmission”, in *ECOC 2016; 42nd European Conference on Optical Communications (ECOC)*, 2016, S. 37–39.
- [43] H. Hettrich, R. Schmid, L. Altenhain, J. Würtele und M. Möller, „A Linear Active Combiner Enabling an Interleaved 200 GS/s DAC with 44 GHz Analog Bandwidth”, in *2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2017, S. 142–145.
- [44] T. Tannert, X.-Q. Du, D. Widmann *et al.*, „A SiGe-HBT 2:1 Analog Multiplexer with more than 67 GHz Bandwidth”, in *2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2017, S. 146–149.
- [45] K. Schuh, Q. Hu, M. Collisi *et al.*, „100 GSa/s BiCMOS Analog Multiplexer Based 100 GBd PAM Transmission over 20 km Single-Mode Fiber in the C-Band”, in *2020 European Conference on Optical Communications (ECOC)*, 2020.
- [46] M. Collisi und M. Möller, „A 120 GS/s 2:1 Analog Multiplexer with High Linearity in SiGe-BiCMOS Technology”, in *2020 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, 2020.
- [47] J. Schostak, T. Tannert, C. Schmidt *et al.*, „150 GBd PAM-4 Electrical Signal Generation using SiGe-Based Analog Multiplexer IC”, in *2022 17th European Microwave Integrated Circuits Conference (EuMIC)*, 2022, S. 173–176.
- [48] C. Schmidt, T. Tannert, J. H. Choi *et al.*, „120 GBd SiGe-Based 2:1 Analog Multiplexer Module for Ultra-Broadband Transmission Systems”, in *2021 16th European Microwave Integrated Circuits Conference (EuMIC)*, 2022, S. 169–172.
- [49] M. Meyer, *Signalverarbeitung: Analoge und digitale Signale, Systeme und Filter*, 9., korrigierte Aufl. Wiesbaden: Springer Vieweg, 2021.
- [50] A. V. Oppenheim und R. W. Schaffer, *Zeitdiskrete Signalverarbeitung*, 3., durchgesehene Aufl., deutsche Übersetzung: Horst Walter. München [u.a.]: Oldenbourg, 1999.
- [51] R. Unbehauen, *Systemtheorie 1: Allgemeine Grundlagen, Signale und lineare Systeme im Zeit- und Frequenzbereich*, 8., korrigierte Aufl. München ; Wien: Oldenbourg, 2002.
- [52] A. V. Oppenheim und A. S. Willsky, *Signale und Systeme (Lehrbuch)*, 2., durchgesehene Aufl., H.-D. Junge, Hrsg., deutsche Übersetzung: H.-D. Junge. Weinheim [u.a.]: VCH, 1992.
- [53] C. E. Shannon, „Communication in the Presence of Noise”, *Proceedings of the IRE*, Vol. 37, Nr. 1, S. 10–21, 1949.
- [54] J. Speidel, *Introduction to Digital Communications*, 2. Aufl., Serie Signals and Communication Technology. Cham: Springer Nature Switzerland AG, 2021.

- [55] P. A. Bello, „Characterization of Randomly Time-Variant Linear Channels”, *IEEE Transactions on Communications Systems*, Vol. 11, Nr. 4, S. 360–393, 1963.
- [56] S. Pavan und R. S. Rajan, „Interreciprocity in Linear Periodically Time-Varying Networks With Sampled Outputs”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 61, Nr. 9, S. 686–690, 2014.
- [57] S. Pavan, „On Linear Periodically Time Varying (LPTV) Systems with Modulated Inputs, and their Application to Smoothing Filters”, in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2017.
- [58] A. S. Mehr und T. Chen, „Representations of Linear Periodically Time-Varying and Multirate Systems”, *IEEE Transactions on Signal Processing*, Vol. 50, Nr. 9, S. 2221–2229, 2002.
- [59] C. Vogel und C. Krall, „Compensation of Distortions Caused by Periodic Nonuniform Holding Signals”, in *2008 6th International Symposium on Communication Systems, Networks and Digital Signal Processing*, 2008.
- [60] K.-D. Kammeyer und A. Dekorsy, *Nachrichtenübertragung*, 6., erweiterte und aktualisierte Aufl. Wiesbaden: Springer Vieweg, 2018.
- [61] W. Kester, Hrsg., *The Data Conversion Handbook*, Serie Analog Devices Series. Amsterdam [u.a.]: Elsevier Newnes, 2005.
- [62] B. Razavi, *Principles of Data Conversion System Design*. New York: Wiley-IEEE Press, 1995.
- [63] Institute of Electrical and Electronics Engineers, „IEEE Standard for Terminology and Test Methods of Digital-to-Analog Converter Devices”, *IEEE Std 1658-2011*, 2012.
- [64] E. Balestrieri und S. Rapuano, „DAC consistent terminology: static parameter definitions”, *Measurement*, Vol. 40, Nr. 5, S. 500–508, 2007.
- [65] E. Balestrieri und S. Rapuano, „Defining DAC performance in the frequency domain”, *Measurement*, Vol. 40, Nr. 5, S. 463–472, 2007.
- [66] S.-P. U, S.-W. Sin und R. P. Martins, „Exact Spectra Analysis of Sampled Signals With Jitter-Induced Nonuniformly Holding Effects”, *IEEE Transactions on Instrumentation and Measurement*, Vol. 53, Nr. 4, S. 1279–1288, 2004.
- [67] Y.-C. Jenq, „Digital-to-Analog (D/A) Converters with Nonuniformly Sampled Signals”, *IEEE Transactions on Instrumentation and Measurement*, Vol. 45, Nr. 1, S. 56–59, 1996.
- [68] Y.-C. Jenq, „Direct Digital Synthesizer with Jittered Clock”, *IEEE Transactions on Instrumentation and Measurement*, Vol. 46, Nr. 3, S. 653–655, 1997.
- [69] K. Doris, A. van Roermund und D. Leenaerts, „A General Analysis on the Timing Jitter in D/A Converters”, in *2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353)*, 2002, S. I-117–I-120.

- [70] T. He, M. Kareppagoudr, U.-K. Moon, G. C. Temes und Y. Zhang, „Pseudo-Pseudo-Differential Circuits”, in *2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2017, S. 1517–1520.
- [71] C. Menolfi, T. Toiff, P. Buchmann *et al.*, „A 16Gb/s Source-Series Terminated Transmitter in 65nm CMOS SOI”, in *2007 IEEE International Solid-State Circuits Conference (ISSCC)*, 2007, S. 446–447.
- [72] H. Klar und T. Noll, *Integrierte Digitale Schaltungen: Vom Transistor zur optimierten Logikschaltung*, 3. Aufl. Berlin ; Heidelberg: Springer Vieweg, 2015.
- [73] S.-F. Chao, J.-J. Kuo, C.-L. Lin, M.-D. Tsai und H. Wang, „A DC-11.5 GHz Low-Power, Wideband Amplifier Using Splitting-Load Inductive Peaking Technique”, *IEEE Microwave and Wireless Components Letters*, Vol. 18, Nr. 7, S. 482–484, 2008.
- [74] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Serie McGraw-Hill Series in Electrical and Computer Engineering. Boston [u.a.]: McGraw-Hill, 2001.
- [75] M. J. Myjak, J. G. Delgado-Frias und S. K. Jeon, „An Energy-Efficient Differential Flip-Flop for Deeply Pipelined Systems”, in *2006 49th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2006, S. 203–207.
- [76] V. Stojanovic und V. G. Oklobdzija, „Comparative Analysis of Master-Slave Latches and Flip-Flops for High-Performance and Low-Power Systems”, *IEEE Journal of Solid-State Circuits*, Vol. 34, Nr. 4, S. 536–548, 1999.
- [77] A. Kumar, C. Debnath, P. N. Singh *et al.*, „A 0.065-mm<sup>2</sup> 19.8-mW Single-Channel Calibration-Free 12-b 600-MS/s ADC in 28-nm UTBB FD-SOI Using FBB”, *IEEE Journal of Solid-State Circuits*, Vol. 52, Nr. 7, S. 1927–1939, 2017.
- [78] A. van den Bosch, M. Steyaert und W. Sansen, „SFDR-Bandwidth Limitations for High Speed High Resolution Current Steering CMOS D/A Converters”, in *ICECS'99. Proceedings of ICECS '99. 6th IEEE International Conference on Electronics, Circuits and Systems (Cat. No.99EX357)*, 1999, S. 1193–1196.
- [79] S. Shekhar, J. S. Walling und D. J. Allstot, „Bandwidth Extension Techniques for CMOS Amplifiers”, *IEEE Journal of Solid-State Circuits*, Vol. 41, Nr. 11, S. 2424–2439, 2006.
- [80] J. S. Walling, S. Shekhar und D. J. Allstot, „Wideband CMOS Amplifier Design: Time-Domain Considerations”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 55, Nr. 7, S. 1781–1793, 2008.
- [81] T. H. Lee, *Planar Microwave Engineering: A Practical Guide to Theory, Measurements and Circuits*. Cambridge: Cambridge University Press, 2004.
- [82] B. Gilbert, „A Precise Four-Quadrant Multiplier with Subnanosecond Response”, *IEEE Journal of Solid-State Circuits*, Vol. 3, Nr. 4, S. 365–373, 1968.
- [83] H. E. Jones, „Dual output synchronous detector utilizing transistorized differential amplifiers”, U.S. patent 3241078A (15 March 1966; filed: 18 June 1963).



- [84] D. Widmann, T. Tannert, X.-Q. Du, M. Grözing und M. Berroth, „Multi-Phase Clock Path Circuit up to 57 GHz Including 5 bit Programmable Phase Interpolators for Time-Interleaved Broadband Data Converters in a 28 nm FD-SOI CMOS Technology”, in *2021 16th European Microwave Integrated Circuits Conference (EuMIC)*, 2022, S. 177–180.
- [85] D. Reiter, „Entwicklung eines breitbandigen Taktpfades mit einstellbarer Phasenlage für über 64 GHz in einer 28 nm CMOS Technologie”, Masterarbeit, Universität Stuttgart, Institut für Elektrische und Optische Nachrichtentechnik, 2017.
- [86] S. Sidiropoulos und M. A. Horowitz, „A Semidigital Dual Delay-Locked Loop”, *IEEE Journal of Solid-State Circuits*, Vol. 32, Nr. 11, S. 1683–1692, 1997.
- [87] G. Wu, D. Huang, J. Li *et al.*, „A 1–16 Gb/s All-Digital Clock and Data Recovery With a Wideband High-Linearity Phase Interpolator”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 24, Nr. 7, S. 2511–2520, 2016.
- [88] R. Kreienkamp, U. Langmann, C. Zimmermann, T. Aoyama und H. Siedhoff, „A 10-Gb/s CMOS Clock and Data Recovery Circuit With an Analog Phase Interpolator”, *IEEE Journal of Solid-State Circuits*, Vol. 40, Nr. 3, S. 736–743, 2005.
- [89] L. Rodoni, G. von Büren, A. Huber, M. Schmatz und H. Jäckel, „A 5.75 to 44 Gb/s Quarter Rate CDR With Data Rate Selection in 90 nm Bulk CMOS”, *IEEE Journal of Solid-State Circuits*, Vol. 44, Nr. 7, S. 1927–1941, 2009.
- [90] D. Widmann, M. Grözing und M. Berroth, „High-Speed Serializer for a 64 GSs<sup>-1</sup> Digital-to-Analog Converter in a 28 nm Fully-Depleted Silicon-on-Insulator CMOS Technology”, *Advances in Radio Science*, Vol. 16, S. 99–108, 2018.
- [91] L. G. Heller, W. R. Griffin, J. W. Davis und N. G. Thoma, „Cascode Voltage Switch Logic: A Differential CMOS Logic Family”, in *1984 IEEE International Solid-State Circuits Conference (ISSCC)*, 1984, S. 16–17.
- [92] Keysight. [Online]. Adresse: <https://www.keysight.com/de/de/assets/3120-1465/data-sheets/M8199A-128-256-GSa-s-Arbitrary-Waveform-Generator.pdf> (abgerufen am 16.05.2022).
- [93] Keysight. [Online]. Adresse: <https://www.keysight.com/zz/en/assets/7018-04911/data-sheets/5992-0971.pdf> (abgerufen am 29.12.2022).
- [94] S. Brandl, „Entwurf eines Speichers für einen sehr schnellen Digital-Analog-Umsetzer in einer 28 nm CMOS-Technologie”, Masterarbeit, Universität Stuttgart, Institut für Elektrische und Optische Nachrichtentechnik, 2016.
- [95] Y. Nakagome, H. Tanaka, K. Takeuchi *et al.*, „An Experimental 1.5-V 64-Mb DRAM”, *IEEE Journal of Solid-State Circuits*, Vol. 26, Nr. 4, S. 465–472, 1991.
- [96] U. Tietze und C. Schenk, *Halbleiter-Schaltungstechnik*, 12. Aufl. Berlin [u.a.]: Springer, 2002.

- [97] D. Schinkel, E. Mensink, E. Klumperink, E. van Tuijl und B. Nauta, „A Double-Tail Latch-Type Voltage Sense Amplifier with 18ps Setup+Hold Time”, in *2007 IEEE International Solid-State Circuits Conference (ISSCC)*, 2007, S. 314–315.
- [98] B. Wicht, T. Nirschl und D. Schmitt-Landsiedel, „Yield and Speed Optimization of a Latch-Type Voltage Sense Amplifier”, *IEEE Journal of Solid-State Circuits*, Vol. 39, Nr. 7, S. 1148–1158, 2004.
- [99] R. v. d. Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2. Aufl., Serie The Kluwer International Series in Engineering and Computer Science. Boston [u.a.]: Kluwer Academic Publishers, 2003.
- [100] J. Deveugele und M. S. J. Steyaert, „A 10-bit 250-MS/s Binary-Weighted Current-Steering DAC”, *IEEE Journal of Solid-State Circuits*, Vol. 41, Nr. 2, S. 320–329, 2006.
- [101] M. P. Kennedy, „On the Robustness of  $R$ - $2R$  Ladder DAC’s”, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol. 47, Nr. 2, S. 109–116, 2000.
- [102] F. Nieuwenhuizen, „Konzeptstudie zu schnellen leistungsarmen Digital-Analog-Umsetzern”, Masterarbeit, Universität Stuttgart, Institut für Elektrische und Optische Nachrichtentechnik, 2015.
- [103] B. Razavi, *Design of Integrated Circuits for Optical Communications*. Boston [u.a.]: McGraw-Hill, 2003.
- [104] M. Collisi und M. Möller, „Resolution-Related Design Considerations for a 120-GS/s 8-bit 2:1 Analog Multiplexer in SiGe-BiCMOS Technology”, *IEEE Journal of Solid-State Circuits*, Vol. 56, Nr. 9, S. 2624–2634, 2021.
- [105] K. Küpfmüller und G. Kohn, *Theoretische Elektrotechnik und Elektronik: Eine Einführung*, 14., verbesserte Aufl. Berlin [u.a.]: Springer, 1993.
- [106] D. Jahn, R. Reuter, Y. Yin und J. Feige, „Characterization and Modeling of Wire Bond Interconnects up to 100 GHz”, in *2006 IEEE Compound Semiconductor Integrated Circuit Symposium*, 2006, S. 111–114.
- [107] J. G. Proakis und M. Salehi, *Digital Communications*, 5. Aufl. Boston [u.a.]: McGraw-Hill, 2008.
- [108] L. Besser und R. Gilmore, *Practical RF Circuit Design for Modern Wireless Systems: Passive Circuits and Systems*. Boston ; London: Artech House, 2003, Vol. 1.
- [109] W. Demtröder, *Experimentalphysik 1: Mechanik und Wärme*, 9. Aufl. Berlin: Springer Spektrum, 2021.
- [110] C. J. Glassbrenner und G. A. Slack, „Thermal Conductivity of Silicon and Germanium from 3°K to the Melting Point”, *Physical Review*, Vol. 134, Nr. 4A, S. A1058–A1069, 1964.

- [111] H. R. Shanks, P. D. Maycock, P. H. Sidles und G. C. Danielson, „Thermal Conductivity of Silicon from 300 to 1400°K”, *Physical Review*, Vol. 130, Nr. 5, S. 1743–1748, 1963.
- [112] J. J. Blair, „Selecting Test Frequencies for Sinewave Tests of ADCs”, *IEEE Transactions on Instrumentation and Measurement*, Vol. 54, Nr. 1, S. 73–78, 2005.
- [113] A. Moschitta und P. Carbone, „Testing Data Converters when Sampling is Incoherent”, in *13th Workshop on ADC Modelling and Testing*, 2008, IMEKO.
- [114] J. W. Kirchner, „Aliasing in  $1/f^\alpha$  noise spectra: Origins, consequences, and remedies”, *Physical Review E*, Vol. 71, S. 066 110-1–066 110-16, 2005.
- [115] J. Kim, S. Kundu, A. Balankutty *et al.*, „A 224Gb/s DAC-Based PAM-4 Transmitter with 8-Tap FFE in 10nm CMOS”, in *2021 IEEE International Solid-State Circuits Conference (ISSCC)*, 2021, S. 126–127.
- [116] N. S. Alagha und P. Kabal, „Generalized Raised-Cosine Filters”, *IEEE Transactions on Communications*, Vol. 47, Nr. 7, S. 989–997, 1999.
- [117] T. Drenski und J. C. Rasmussen, „ADC & DAC - Technology Trends and Steps to Overcome Current Limitations”, in *Optical Fiber Communication Conference (OFC)*, 2018.
- [118] T. Drenski und J. C. Rasmussen, „ADC/DAC and ASIC technology trends”, in *2019 24th OptoElectronics and Communications Conference (OECC) and 2019 International Conference on Photonics in Switching and Computing (PSC)*, 2019.
- [119] W. Idler und F. Buchali, „Higher-Order Modulation Formats – Concepts and Enabling Devices”, in *Fibre Optic Communication: Key Devices*, 2. Aufl., Serie Springer Series in Optical Science, H. Venghaus und N. Grote, Hrsgg. Cham [u.a.]: Springer, 2017, S. 291–357.
- [120] Keysight. [Online]. Adresse: <https://www.keysight.com/zz/en/assets/7018-06341/data-sheets/5992-3361.pdf> (abgerufen am 29.12.2022).
- [121] M. Nagatani, H. Wakita, H. Nosaka *et al.*, „75 GBd InP-HBT MUX-DAC module for high-symbol-rate optical transmission”, *Electronics Letters*, Vol. 51, Nr. 9, S. 710–712, 2015.
- [122] C. Schmidt, C. Kottke, V. Jungnickel und R. Freund, „High-Speed Digital-to-Analog Converter Concepts”, in *Proceedings of SPIE; Next-Generation Optical Communication: Components, Sub-Systems, and Systems VI*, Vol. 10130, 2017, S. 101 300N-1–101 300N-9.
- [123] Z. Wang, M. Choi, K. Lee *et al.*, „An Output Bandwidth Optimized 200-Gb/s PAM-4 100-Gb/s NRZ Transmitter With 5-Tap FFE in 28-nm CMOS”, *IEEE Journal of Solid-State Circuits*, Vol. 57, Nr. 1, S. 21–31, 2022.
- [124] P.-J. Peng, S.-T. Lai, W.-H. Wang, C.-W. Lin, W.-C. Huang und T. Shih, „A 100Gb/s NRZ Transmitter with 8-Tap FFE Using a 7b DAC in 40nm CMOS”, in *2020 IEEE International Solid-State Circuits Conference (ISSCC)*, 2020, S. 130–131.

- [125] E. Groen, C. Boecker, M. Hossain *et al.*, „A 10-to-112Gb/s DSP-DAC-Based Transmitter with  $1.2V_{ppd}$  Output Swing in 7nm FinFET”, in *2020 IEEE International Solid-State Circuits Conference (ISSCC)*, 2020, S. 120–121.
- [126] R. L. Nguyen, A. M. Castrillon, A. Fan *et al.*, „A Highly Reconfigurable 40-97GS/s DAC and ADC with 40GHz AFE Bandwidth and Sub-35fJ/conv-step for 400Gb/s Coherent Optical Applications in 7nm FinFET”, in *2021 IEEE International Solid-State Circuits Conference (ISSCC)*, 2021, S. 136–137.
- [127] J. Cao, D. Cui, A. Nazemi *et al.*, „A Transmitter and Receiver for 100Gb/s Coherent Networks with Integrated  $4 \times 64$ GS/s 8b ADCs and DACs in 20nm CMOS”, in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, 2017, S. 484–485.
- [128] C. Menolfi, M. Braendli, P. A. Francese *et al.*, „A 112Gb/s 2.6pJ/b 8-Tap FFE PAM-4 SST TX in 14nm CMOS”, in *2018 IEEE International Solid-State Circuits Conference (ISSCC)*, 2018, S. 104–105.
- [129] Y. Greshishchev, J. Aguirre, S. Aouini *et al.*, „A 60 GS/s 8-b DAC with  $> 29.5$ dB SINAD up to Nyquist frequency in 7nm FinFET CMOS”, in *2019 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, 2019.
- [130] Y. M. Greshishchev, D. Pollex, S.-C. Wang *et al.*, „A 56GS/s 6b DAC in 65nm CMOS with  $256 \times 6$ b Memory”, in *2011 IEEE International Solid-State Circuits Conference (ISSCC)*, 2011, S. 194–195.
- [131] A. L. Nazarian, L. F. Tiemeijer, D. L. John, J. A. van Steenwijk, M. de Langen und R. M. T. Pijper, „A Physics-Based Causal Bond-Wire Model for RF Applications”, *IEEE Transactions on Microwave Theory and Techniques*, Vol. 60, Nr. 12, S. 3683–3692, 2012.
- [132] Deutsche Forschungsgemeinschaft. [Online]. Adresse: <https://gepris.dfg.de/gepris/projekt/276016065?language=de> (abgerufen am 15.01.2023).
- [133] L. Trommer, „Implementierung einer Ansteuerung für einen schnellen Digital-Analog-Umsetzer mit 128 GSa/s Umsetzungsrate”, Bachelorarbeit, Universität Stuttgart, Institut für Elektrische und Optische Nachrichtentechnik, 2019.
- [134] G. Kemper und F. Reimers, *Lineare Algebra: Mit einer Einführung in diskrete Mathematik und Mengenlehre*. Berlin: Springer Spektrum, 2022.