

# **Montage und Biegeverhalten von SMD-Bauelementen und ultradünnen Chips auf Foliensubstraten**

Assembly and Bending Behavior Characterization of SMD Components and Ultra-Thin  
Chips on Foil Substrates

Von der Fakultät Konstruktions-, Produktions- und Fahrzeugtechnik  
der Universität Stuttgart

zur Erlangung der Würde eines Doktor-Ingenieurs (Dr.-Ing.)  
genehmigte Abhandlung

von

**Rafat Anwar Ahmed Saleh**

aus Lahj, Jemen

Hauptberichter: Prof. Dr.-Ing. André Zimmermann

Mitberichter: Prof. Dr.-Ing. Joachim N. Burghartz

Tag der mündlichen Prüfung: 23.11.2023

Institut für Mikrointegration der Universität Stuttgart

2024



## Vorwort

Die vorliegende Arbeit entstand im Rahmen meiner Anstellung als wissenschaftlicher Mitarbeiter bei der Hahn-Schickard-Gesellschaft für angewandte Forschung e.V. in Stuttgart. An dieser Stelle möchte ich die Gelegenheit nutzen, um denjenigen zu danken, die mich auf diesem Weg begleitet haben und ohne deren Hilfe diese wissenschaftliche Arbeit nicht möglich gewesen wäre.

Allen voran möchte ich mich bei Herrn Prof. Dr.-Ing. André Zimmermann für die Übernahme des Hauptberichtes bedanken. Herr Prof. Zimmermann, durch Ihr Vertrauen und Ihre fachliche Unterstützung, Beratung und konstruktiven Ratschlägen haben Sie diese Arbeit erst ermöglicht. Außerdem möchte ich Herrn Prof. Dr.-Ing. Joachim N. Burghartz herzlich für die Übernahme des Zweitgutachtens und seine Betreuung danken.

Mein aufrichtiger Dank gilt zunächst meinen Betreuern Herrn Dr. Wolfgang Eberhardt und Herrn Maximilian Barth, die mich durch ihre fachliche Expertise und Ermutigung unterstützt haben. Herrn Dr. Thomas Günther vom Institut für Mikrointegration der Universität Stuttgart möchte ich für seine Ratschläge und Empfehlungen auch herzlich danken.

Ein herzliches Dankeschön geht auch an meine Kollegen Dr. Florian Janek, Klaus Skibowski, Dr. Volker Kible, Ernst Müller und David Helm, die mir wertvolle Einblicke und praktische Hilfe während der Forschungsarbeit zur Verfügung gestellt haben. Des Weiteren möchte ich mich bei meiner Gruppe Mikromontage sehr herzlich bedanken. Durch die gute Zusammenarbeit und die Arbeitsteilung war mir die Anfertigung dieser Arbeit erst möglich. Ein besonderer Dank gebührt auch Herrn Dr. Karl-Peter Fritz für die Anstellung über die Zeit der Doktorarbeit hinaus, die mir am Ende noch einmal Entlastung und Ermutigung gegeben hat, weiterzumachen. Des Weiteren möchte ich Herrn Robin Pagan von Miva Technologies GmbH für seine Unterstützung bei der Durchführung der adaptiven Belichtung danken.

Abschließend möchte ich meinen Eltern, meiner Familie und meinen Freunden sehr herzlich danken, die in irgendeiner Form zu dieser Arbeit beigetragen haben und mich von Anfang an unterstützt und an mich geglaubt haben.

Rafat Saleh



## Inhaltsverzeichnis

Vorwort .....	I
Inhaltsverzeichnis .....	III
Abkürzungsverzeichnis .....	VII
Verzeichnis der in Gleichungen verwendeten Größen .....	VIII
Zusammenfassung .....	IX
Abstract .....	X
1 Einleitung .....	11
2 Aufbau der Arbeit .....	15
3 Grundlagen und Stand der Technik .....	17
3.1 Anwendungen flexibler Mikrosysteme .....	17
3.1.1 Wearables .....	17
3.1.2 Medizintechnik und Gesundheitsbereich .....	18
3.1.3 Flexible Displays .....	19
3.1.4 Sonstige Anwendungen .....	20
3.2 Substratmaterialien für flexible Mikrosysteme .....	21
3.3 Strukturierung flexibler Substrate .....	23
3.4 Herstellung und Integration ultradünner Chips auf Foliensubstraten ...	24
3.4.1 Herstellung ultradünner Chips .....	24
3.4.2 Integrationsverfahren ultradünner Chips auf Foliensubstraten .....	24
3.5 Aufbau und Integration von SMDs auf Foliensubstraten .....	27
3.5.1 Kontaktierung von SMDs über Lötprozesse .....	27
3.5.2 Kontaktierung von SMDs über leitfähige Klebprozesse .....	30

---

3.6	Testverfahren flexibler Mikrosysteme.....	32
3.6.1	Biegeprüfung einzelner Bauelemente.....	33
3.6.2	Biegeprüfung kompletter Mikrosysteme .....	36
3.6.3	Andere Prüfverfahren zur Charakterisierung flexibler Mikrosysteme	39
4	Wissenschaftliche Fragestellung.....	41
5	Konzeption und Aufbau eines Biegeprüfstandes .....	43
5.1	Motivation und Problemstellung.....	43
5.2	Konstruktion und Ansteuerung des Prüfstandes.....	44
5.3	Layout-Vorbereitung für die Biegeprüfung .....	48
5.4	Aufnahme und Auswertung der Ergebnisse .....	49
6	AVT und Charakterisierung von SMDs auf Foliensubstraten.....	55
6.1	Herstellung und Strukturierung des Schaltungsträgers .....	55
6.2	AVT-Prozesse.....	58
6.2.1	Prozessabfolge für leitfähiges Kleben.....	58
6.2.2	Prozessabfolge für das Löten .....	60
6.3	Schertest der Aufbauten als Vorversuch.....	62
6.4	Fazit der Voruntersuchung und Scherprüfung .....	68
6.5	Hauptversuch zur Biegecharakterisierung von SMDs auf Foliensubstraten	68
6.5.1	Einfluss der Schaltungsträger .....	76
6.5.2	Einfluss von AVT-Technologie und Prozessparametern.....	77
6.5.3	Einfluss der Bauelemente .....	77
6.5.4	Analyse der Ausfälle und Fehlermechanismen .....	77

---

6.6	Fazit der Untersuchung .....	78
7	AVT und Charakterisierung von ultradünnen Chips auf Foliensubstraten...	81
7.1	Anforderungen an die AVT ultradünner Chips auf Foliensubstraten.....	81
7.2	Kontaktierungskonzepte ultradünner Chips auf Foliensubstraten .....	84
7.2.1	Konzept 1: Grabenfüllung über leitfähige Klebstoffe.....	84
7.2.2	Konzept 2: Grabenfüllung über Sputterprozess.....	85
7.2.3	Konzept 3: Flip-Chip-Technik mithilfe von Klebe- und Lötprozess .....	86
7.2.4	Bewertung der ausgearbeiteten Konzepte .....	87
7.3	Design und Strukturierung des Schaltungsträgers .....	91
7.4	Auswahl der ultradünnen Chips .....	92
7.5	Untersuchung der Prozessketten zur AVT ultradünner Chips auf Foliensubstraten .....	94
7.5.1	Chipklebung auf flexiblen Foliensubstraten.....	94
7.5.2	Single-Chip-Bumping und Abflachung der Studbumps .....	96
7.5.3	Einbettung der Chips im flexiblen Lack .....	99
7.5.4	Adaptive fotolithographische Strukturierung des Lacks .....	102
7.5.5	Kontaktierung ultradünner Chips mit leitfähigen Klebstoffen .....	106
7.6	Evaluierung der Prozesskette .....	107
7.7	Ergebnis und Fazit der Untersuchung .....	107
7.8	Hauptversuch zur Biegecharakterisierung ultradünner Chips auf Foliensubstraten .....	111
7.8.1	Einfluss der Schaltungsträger .....	112
7.8.2	Einfluss von AVT-Technologie und Prozessparametern.....	112

---

7.8.3	Analyse der Ausfälle und Fehlermechanismen .....	114
8	Diskussion.....	119
8.1	Integration von SMDs auf Foliensubstraten.....	119
8.2	Integration von ultradünnen Chips auf Foliensubstraten.....	122
9	Zusammenfassung und Ausblick.....	127
10	Literaturverzeichnis .....	129
11	Begleitende studentische Arbeiten.....	143
12	Liste der Veröffentlichungen .....	145



**Abkürzungsverzeichnis**

---

Abkürzung	Bedeutung
ACA	Anisotropic Conductive Adhesive
ACF	Anisotropic Conductive Film
ACP	Anisotropic Conductive Paste
AlSiCu	Oberflächen-Finish Aluminium-Silizium-Kupfer
ASIC	Application-Specific Integrated Circuit
Au	Gold
AVT	Aufbau- und Verbindungstechnik
CIF/COF	Chip-in-Foil/ Chip-on-Foil
Cu	Kupfer
DBG	Dicing Before Grinding
DoE	Design of Experiments
ED	Electroless Deposition für chemisch abgeschiedenes Kupfer
ENEPIG	Electroless Nickel Electroless Palladium Immersion Gold
ENIG	Electroless Nickel Immersion Gold
ICA	Isotropic Conductive Adhesive
ICF	Isotropic Conductive Film
ICP	Isotropic Conductive Paste
ImAg	Immersion Silver bzw. Chemisches Silber
NI	National Instruments
PCB	Printed Circuit Board
PI	Polyimid
PVD	Physical Vapour Deposition
PXI	PCI eXtensions for Instrumentation
RA	Rolled Annealed für gewalzte Kupferfolie
SAC	Zinn-Silber-Kupfer-Lot
SIF	System-in-Foil
SMDs	Surface-Mounted Devices
SnBi	Zinn-Bismut-Lot
SnBiAg	Zinn-Bismut-Silber-Lot
UPM	Under Bump Metallization
UV	Ultraviolett
ZIF	Zero Insertion Force

---

---

**Verzeichnis der in Gleichungen verwendeten Größen**

---

Abkürzung	Größe	Einheit
$a$	Abstand	m
$A$	Fläche	m <sup>2</sup>
$b$	Breite	m
$E$	Elastizitätsmodul	N/m <sup>2</sup>
$F$	Kraft	N
$k$	Auslenkung	m
$l$	Länge	m
$l$ bzw. $L$	Länge	m
$r$	Radius	m
$R$	Biegeradius	m
$t$	Dicke	m
$\varepsilon$	Dehung	%
$\sigma$	Spannung	N/m <sup>2</sup>
$\tau$	Scherfestigkeit	N/m <sup>2</sup>

---

## Zusammenfassung

Flexible Elektronik gewinnt in der Industrie und Forschung zunehmend an Bedeutung. Ein wichtiger Bereich der flexiblen Elektronik ist das sogenannte System-in-Foil (SiF), bei dem Bauelemente und Strukturen auf oder in einer Polymerfolie integriert werden. Die Anwendungsbereiche von SiF umfassen Unterhaltungselektronik, Industrietechnik, Gesundheitswesen, Automobil-, Luft- und Raumfahrttechnik. Diese Arbeit beschäftigt sich mit der Montage und Biegecharakterisierung von SMDs und ultradünnen Chips auf Foliensubstraten. Dafür wurde ein dynamischer Biegeprüfstand zur Charakterisierung von Folienaufbauten konzipiert und umgesetzt. Anschließend wurden mithilfe einer Versuchsplanung leitfähiges Kleben und Lötens zur Integration von SMDs auf Foliensubstraten vergleichend untersucht, wobei Prozess- und Materialvariationen angewendet wurden. Die erstellten Aufbauten wurden mithilfe von Scher- und Biegeprüfungen bewertet. Es wurde festgestellt, dass SMDs, die durch Lötens auf Foliensubstrate aufgebracht wurden, im Vergleich zu geklebten SMDs höhere Scherkräfte aufweisen. Im Gegensatz dazu zeigten die geklebten SMDs eine höhere Anzahl an Biegezyklen bis zum Ausfall. Das Oberflächenfinish erwies sich als ein sehr wichtiger Einflussfaktor auf das Biegeverhalten der Aufbauten. Außerdem wurde ein Konzept zur Integration von ultradünnen Chips auf Foliensubstraten mithilfe von adaptiver Belichtung und Dispenstechniken erarbeitet, das erfolgreich durchgeführt und unter dynamischer Biegeprüfung evaluiert wurde. Die entwickelte Prozesskette ermöglicht es, Chips unabhängig von ihrer Bestückungsgenauigkeit zuverlässig zu erkennen und zu kontaktieren. Mit diesem Konzept wurde ein Aufbau von weniger als 130  $\mu\text{m}$  Dicke ohne große Versteifung an der Verbindungsstelle realisiert. Bei der Biegeprüfung unter 10 mm Biegeradius haben die Aufbauten Tests mit über 10.000 Biegezyklen bestanden. Diese Prozesskette bildet die Grundlage für die Herstellung von multichipfähigen Mikrosystemen.

**Abstract**

Flexible electronics are becoming increasingly important in many industries and research fields. One important field of flexible electronics is the so-called System-in-Foil (SiF), in which components and structures are integrated on or in a polymer foil. SiF applications include consumer electronics, industrial technology, healthcare, automotive, and aerospace. This work focuses on the assembly and bending characterization of surface-mounted devices (SMDs) and ultra-thin chips on flexible foil substrates. For this purpose, a dynamic bending test setup was designed and implemented to characterize assembled foil substrates. Subsequently, conductive adhesive technology and soldering were comparatively investigated to integrate SMDs on foil substrates, with process and material variations applied. The assemblies were evaluated using shear and dynamic bending tests. It was found that SMDs applied to foil substrates by soldering had higher shear forces compared to SMDs attached using adhesives. In contrast, the adhesive-bonded SMDs showed a higher number of bending cycles until failure. The surface finish was found to be a critical influencing factor on the bending behavior of the assemblies. Additionally, a concept for integrating ultra-thin chips on foil substrates using adaptive exposure and dispensing techniques was developed, successfully performed, and evaluated under dynamic bending testing. The developed process chain enables reliable detection and contacting of chips regardless of their placement accuracy. Using this concept, a structure with less than 130  $\mu\text{m}$  thickness with little stiffening at the assembly location was realized. During bending testing under 10 mm bending radius, the assemblies passed more than 10,000 bending cycles without failure. This process chain forms the basis for manufacturing multichip-capable microsystems.

## 1 Einleitung

Flexible Elektronik im Sinne biegeschlaffer elektronischer Baugruppen gewinnt in vielen Bereichen der Industrie und Forschung zunehmend an Bedeutung [1]–[3]. Ein wichtiger Bereich der flexiblen Elektronik ist das System-in-Foil (SiF), bei dem elektronische Bauelemente und Strukturen auf oder in eine Polymerfolie integriert werden [4]. Diese Technologie bietet zahlreiche Vorteile wie mechanische Flexibilität, geringes Gewicht, minimale Dicke und hohe Packungsdichte [5],[6]. Dadurch eignet sich ein SiF ideal für Anwendungen, die Flexibilität während des Einsatzes oder eine Integration auf gekrümmten Oberflächen erfordern [6], [7]. Aufgrund der vorher erwähnten Gründe wächst der Markt für flexible Elektronik kontinuierlich. Schätzungen zufolge wird sich der Weltmarkt für flexible Elektronik im Jahr 2024 auf rund 87,21 Milliarden USD belaufen [8]. Insbesondere im asiatisch-pazifischen Raum wird der Markt voraussichtlich von etwa 5 Mrd. USD im Jahr 2013 auf 30 Mrd. USD im Jahr 2024 wachsen [8]. Laut einer Studie von IDTechEx wird die weltweite Nachfrage nach flexibler Hybridelektronik im Jahr 2030 einen Wert von über 3 Mrd. USD erreichen [9]. Die Anwendungsbereiche der flexiblen Elektronik umfassen Unterhaltungselektronik [10], [11], Industrietechnik [12]–[15], Gesundheitswesen [16]–[18], Automobiltechnik [7], [19] und die Luft- und Raumfahrttechnik [19], [20].

Etablierte Bauelemente aus der Halbleitertechnologie können in/auf flexiblen Schaltungsträger integriert werden, sodass die erhaltene Baugruppe gebogen, in unregelmäßigen Formen verformt oder sogar gestreckt werden kann [16], [21]. Flexible Elektronik besteht aus elektronischen Komponenten wie oberflächenmontierten Bauteilen (SMDs) oder ultradünnen Chips auf flexiblen Substraten [22], [23]. Diese elektronischen Komponenten sind zwar von Natur aus nicht flexibel, aber gerade die Chips werden soweit rückgedünnt, sodass sie am Ende biegsam werden [23], [24].

Flexible Elektronik muss sich verformen können und gleichzeitig müssen die funktionalen Eigenschaften durch die Biegung während der Anwendung

unbeeinträchtigt bleiben [20]. Mit den wachsenden Anforderungen an die Zuverlässigkeit von flexiblen Systemen steigt auch der Bedarf an einer Charakterisierung der mechanischen Stabilität der Komponenten und der Verbunds aus Komponenten und Schaltungsträgern [25]. Deshalb ist die mechanische Biegecharakterisierung von großer Bedeutung [26], [27]. Die Biegebelastung ist eine der Hauptbelastungen, die Risse verursachen und zur Fehlfunktion flexibler Aufbauten führen [28]. Die Zuverlässigkeit dieser flexiblen Elektronik ist daher sehr wichtig, um den wachsenden Marktbedarf zu erfüllen [29], [30]. Das Ziel der Biegeprüfung ist es, das Verhalten flexibler Systeme unter Biegung und ihre Ermüdungsstabilität zu verstehen. Die mit der Biegung verbundenen Ausfälle haben einen großen Einfluss auf die Zuverlässigkeit der Komponenten. Die durch die Biegung oder Vibration der Schaltungsträger erzeugten Kräfte sind die Hauptursache für ihr Versagen [31].

Der Fokus dieser Arbeit liegt auf der Integration möglicher Komponenten von SMDs über Chips bis hin zu funktionalen Strukturen auf oder in polymerbasierten flexiblen Substraten. Ein bedeutender Aspekt bei der Herstellung dieser Systeme ist jedoch das Biegeverhalten der Aufbauten, insbesondere unter dynamischer Biegebeanspruchung, denn dieser Lastfall ist sehr bestimmend sowohl für die Funktionalität der Komponenten eines Systems als auch für die Funktionserhaltung während des Einsatzes.

Diese wissenschaftliche Arbeit beschäftigt sich mit der Integration von oberflächenmontierten Bauelementen und ultradünnen Chips auf folienbasierten Systemen sowie deren Charakterisierung unter dynamischer Biegeprüfung. Dafür wird auf Basis vorhandener flexibler Substrate und Technologien Prozesswissen erworben und angewendet. In der Literatur mangelt es an Informationen über die Charakterisierung von aufgebauten miniaturisierten Bauteilen, einschließlich SMDs und dünnen Chips, insbesondere unter dynamischer Biegung. Diese Lücke an wichtigen Informationen stellt ein Hindernis für die Marktdurchdringung dieser Aufbauten dar. Die im Rahmen dieser wissenschaftlichen Arbeit behandelten Aufbau- und

Verbindungstechniken (AVT) und deren Untersuchung unter Biegeprüfung tragen zur Entwicklung zuverlässiger Mikrosysteme bei.





## 2 Aufbau der Arbeit

Die vorliegende Arbeit ist in mehrere Kapitel untergliedert. Kapitel 1 beinhaltet einen Überblick über das Forschungsgebiet und erklärt, was die Motivation für diese wissenschaftliche Arbeit ist.

Kapitel 3 behandelt die Grundlagen und den Stand der Technik, auf denen diese Arbeit aufbaut. Dazu gehören Themen wie Foliensubstrate, die Integration von SMDs und ultradünnen Chips auf diesen Substraten sowie die Charakterisierung von flexiblen Aufbauten unter Biegung. Darüber hinaus werden in Kapitel 3 einige Anwendungen für flexible Elektronik vorgestellt.

In Kapitel 4 werden auf Basis des aktuellen Standes der Technik und der beschriebenen Grundlagen die Hypothese und die Forschungsfragen formuliert. Diese Fragen werden sukzessive im Laufe der Arbeit beantwortet.

Kapitel 5 enthält eine kurze Beschreibung des dynamischen Biegeprüfstands, der in dieser Arbeit weiter optimiert und in Betrieb genommen wird. Außerdem werden die Schaltungen zur AVT von SMDs und ultradünnen Chips entworfen. Zusätzlich werden die verwendete Ausleseelektronik sowie die Datenauswertung kurz erläutert.

In Kapitel 6 wird die Integration von SMDs auf Foliensubstraten mittels der AVT-Techniken leitfähiges Kleben und Löten beschrieben. Nach der Durchführung der AVT-Prozesse werden die Aufbauten mittels Schertests und dynamischer Biegeprüfung evaluiert. Die Faktoren, die einen großen Einfluss auf die Aufbauten haben, werden am Ende als Fazit zusammengefasst. Diese Ergebnisse fließen in die Integration von ultradünnen Chips auf Foliensubstraten ein.

Kapitel 7 beschäftigt sich mit der Montage und Biegecharakterisierung von ultradünnen Chips auf Foliensubstraten. Dafür wird auf Basis des aktuellen Standes der Technik ein Konzept zur Integration und Kontaktierung von Chips mithilfe von adaptiver Belichtung und Dispenstechniken erarbeitet. Die Teilprozesse werden

ausführlich beschrieben und die erstellten Aufbauten werden einer dynamischen Biegeprüfung unterzogen.

In Kapitel 8 werden die Teilprozesse und Ergebnisse aus den Kapiteln 6 und 7 diskutiert. Die Ausfallmechanismen während der Biegeprüfung werden kurz erläutert und anhand von Ergebnissen veranschaulicht.

In Kapitel 9 werden die Ergebnisse der Arbeit zusammengefasst. Auf Basis der Literatur und der erzielten Ergebnisse werden weitere Arbeiten vorgeschlagen, um die Prozesse für SiF weiter zu optimieren und zu vertiefen.

### **3 Grundlagen und Stand der Technik**

Das vorliegende Kapitel beinhaltet einen Überblick über die notwendigen Kenntnisse und die Grundlagen, auf denen die vorliegende Arbeit aufbaut. Unter diesen Grundlagen sind u. a. die Foliensubstrate zu erwähnen, die Integration von SMDs und ultradünnen Chips auf den Foliensubstraten sowie die Charakterisierung von flexiblen Aufbauten. Zusätzlich werden einige Anwendungen für flexible Elektronik kurz vorgestellt. Die Kenntnisse und Grundlagen, die in diesem Kapitel präsentiert werden, sind von entscheidender Bedeutung für das Verständnis und die Durchführung der darauf aufbauenden Arbeit.

#### **3.1 Anwendungen flexibler Mikrosysteme**

Die folgenden Kapitelabschnitte fokussieren hauptsächlich auf die bekanntesten Einsatzbereiche der flexiblen Elektronik. Hierbei erstreckt sich das Spektrum von flexibler, am Körper getragener Elektronik über den Bereich der Gesundheitsversorgung bis hin zur Automatisierungstechnik, die alle als besonders geeignet für die Verwendung flexibler Elektronik gelten. Zur Veranschaulichung werden einige konkrete Beispiele und wissenschaftliche Arbeiten herausgestellt.

##### **3.1.1 Wearables**

Flexible Elektronik wird immer häufiger in Wearables und intelligenten medizinischen Geräten eingesetzt. Da die Bevölkerung altert, stoßen traditionelle medizinische Methoden an ihre Grenzen, um die Bedürfnisse der Patienten rechtzeitig zu erfüllen. Eine flexible und tragbare Gesundheitsüberwachung stellt eine neue Technologie dar, die eine Alternative zu den herkömmlichen Diagnosemethoden bietet. Darüber hinaus wird die Gesundheitsversorgung durch die Nutzung tragbarer Geräte zeitnah und flexibel gestaltet [32]. In Abbildung 3-1 werden einige physiologische Signale dargestellt, die mithilfe von tragbaren, flexiblen Sensoren gemessen und durch Telemedizin aus der Ferne ausgewertet werden können.

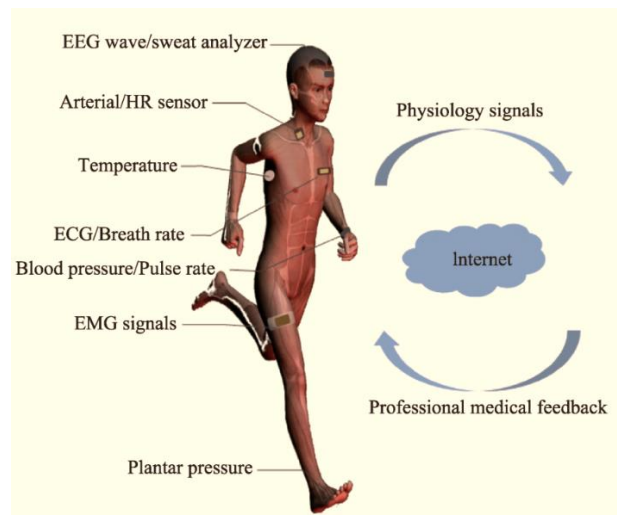


Abbildung 3-1: Flexible Elektronik zur Messung vitaler Parameter am Körper [32].

### 3.1.2 Medizintechnik und Gesundheitsbereich

In der Medizintechnik können flexible Systeme verwendet werden, um verschiedene Messdaten zu erfassen und Bewegungsabläufe aufzuzeichnen. Außerdem können wichtige Vitalparameter wie Körpertemperatur und Herzfrequenzraten überwacht werden, um so den allgemeinen Zustand des Menschen anhand einer Vielzahl von Parametern zu beurteilen. Flexible Elektronik gewinnt im medizinischen Bereich zunehmend an Bedeutung, da sie den Patienten mehr Komfort bietet [33]. Es wurde bereits in den frühen 2000er Jahren über den Einsatz von großflächiger flexibler Elektronik in der Röntgenbildgebung berichtet [34]. Flexible Elektronik wird ebenfalls bei der Herstellung von elektronischen Augenkameras und fluidischen Sensoren in der Medizintechnik eingesetzt [35], [36], [37], [38]. Darüber hinaus finden Folientechnologien Anwendung in intelligenten Implantaten [39], [7]. Abbildung 3-2 zeigt einige Anwendungen von flexibler Elektronik im Gesundheitsbereich.

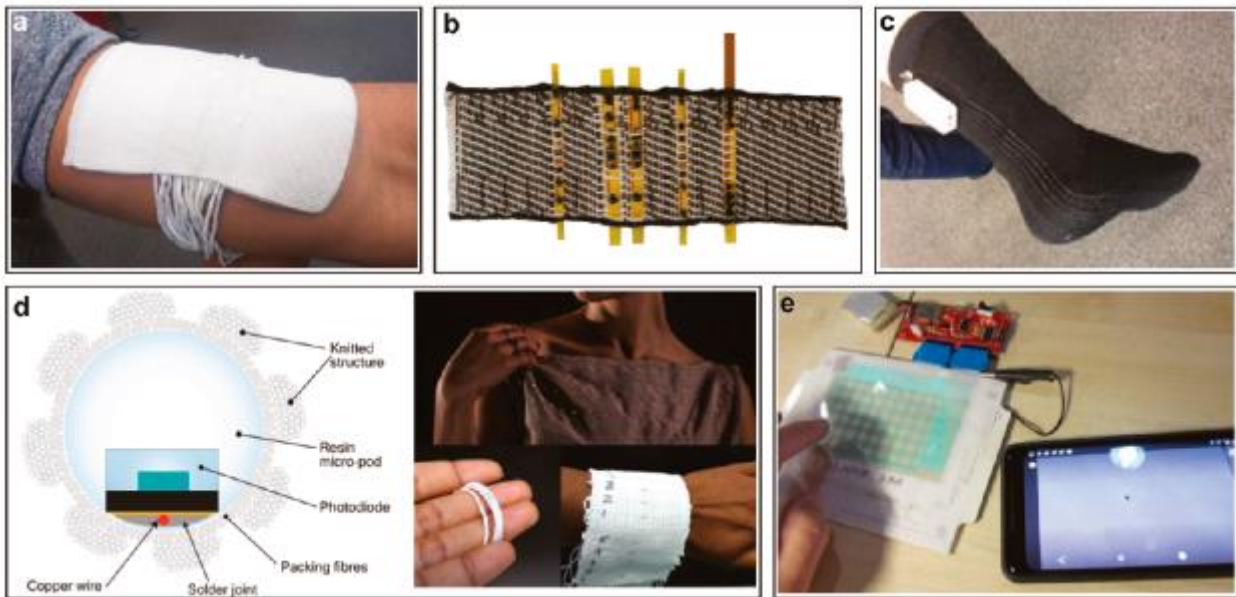


Abbildung 3-2: Einige Anwendungen flexibler Elektronik in der Medizintechnik [40]:  
 a)Temperatursensor, b) Sensor für die Sauerstoffversorgung des Blutes, c) Socke mit  
 Temperatursensor für Fitness und Gesundheitsvorsorge, (d) Eingebettete Fotodioden in  
 Textilien zur Gesundheitsüberwachung, e) Taktil fühlendes Gewebe für Anwendungen  
 in Mensch-Maschine-Schnittstellen.

### 3.1.3 Flexible Displays

Durch die Optimierung von organischen Leuchtdioden (OLEDs) ist es möglich, flexible Displays herzustellen, indem sie auf Kunststoffen integriert werden. Dies liegt daran, dass OLEDs einzigartige Eigenschaften aufweisen, wie z. B. ihre ultradünne und einfache Struktur sowie die Herstellung bei niedrigen Temperaturen [41]. Forrest [42] gibt einen Überblick über organische Halbleiter, die zur Herstellung flexibler Displays verwendet werden, sowie über Technologien zur Abscheidung von Polymer-Dünnschichten. Um die Herstellungskosten für großflächige flexible Displays zu senken, haben Gelinck et al. [43] die Verwendung von organischen Transistoren auf flexiblen Substraten demonstriert, um flexible elektrophoretische Monochrom-Displays mit aktiver Matrix zu entwickeln. Abbildung 3-3 zeigt, wie flexible Displays gehandhabt werden können.

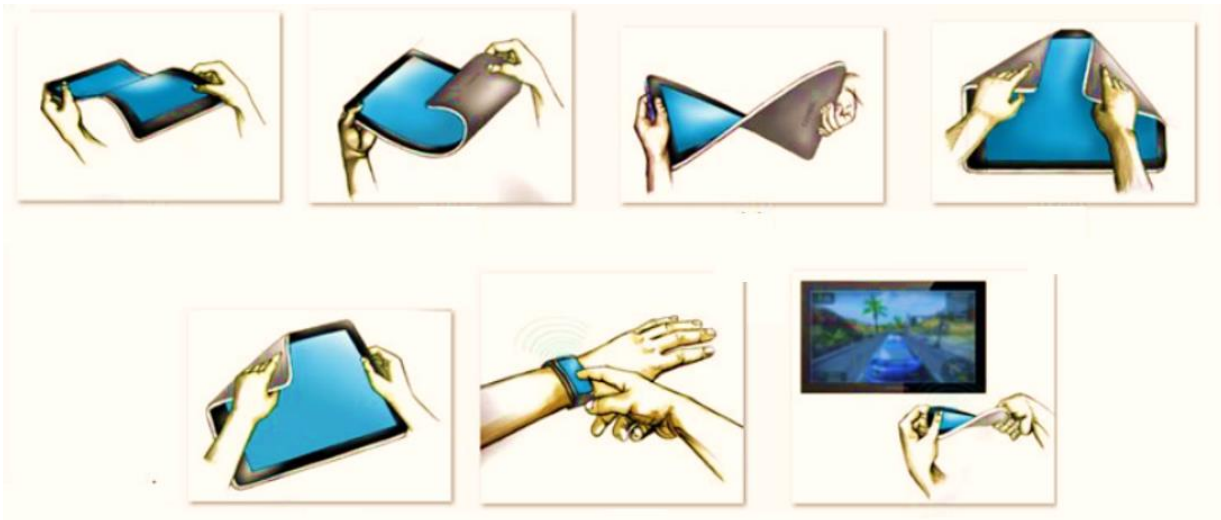


Abbildung 3-3: Beispiele für den Einsatz flexibler Elektronik in Displays [44].

### 3.1.4 Sonstige Anwendungen

Einer der bedeutendsten Einsatzbereiche von SiF ist der Automobilbereich, wo diese Foliensysteme als Sensoren eingesetzt werden, um beispielsweise Temperatur, Druck und Durchfluss in Kraftstoffleitungen zu messen und zu überwachen [1], [37], [45]. Ein weiteres Anwendungsgebiet ist die Robotik im Umfeld der Mensch-Maschine-Interaktion [46], [47], [48]. Hier kommen flexible Systeme zum Einsatz, um Bewegungen und Positionen von Robotern zu erfassen und somit eine präzise und sichere Interaktion zwischen Mensch und Maschine zu gewährleisten. Auch in Verpackungs- und Logistikanwendungen sowie bei intelligenten Etiketten werden SiF-Systeme eingesetzt, um Sensoren zu integrieren, die beispielsweise den Zustand von Verpackungen und Transportgütern überwachen und den Status von Produkten in Echtzeit verfolgen [49], [50], [51]. Ein weiteres interessantes Anwendungsgebiet flexibler Foliensysteme ist die Nutzung als Folienstreifensensoren für Windräder, um beispielsweise Vibrationen und Verformungen zu messen und somit die Leistung sowie Effizienz der Anlage zu optimieren [52], [53]. Außerdem werden sie in der Industrieautomation eingesetzt, um Fertigungsabläufe zu überwachen und zu steuern. Durch die Integration von flexiblen Sensoren können Produktionsprozesse optimiert und im Rahmen der Digitalisierung weiter automatisiert werden [49].

### 3.2 Substratmaterialien für flexible Mikrosysteme

Die Wahl der Schaltungsträger für flexible elektronische Baugruppen hängt stark von den Anwendungsbereichen und -bedingungen ab. In den meisten Fällen wird eine Betriebstemperatur von bis zu ca. 125°C benötigt [54]. Allerdings können die Prozesstemperaturen aufgrund unterschiedlicher Aufbau und -verbindungstechniken zwischen 100°C, wie beim leitfähigen Kleben, und 300°C, wie beim Löten, variieren. Diese Faktoren müssen bei der Wahl der Schaltungsträger berücksichtigt werden. Außerdem beeinflussen die Prozessketten für die Herstellung der Aufbauten und der Kontakt zu verschiedenen Chemikalien stark die Wahl. Eine Übersicht über die wichtigsten Schaltungsträgern und deren Eigenschaften ist in Tabelle 3-1 aufgeführt. Weitere Informationen zu den Eigenschaften der Schaltungsträger können folgenden Quellen entnommen werden: [5], [7], [20].

Tabelle 3-1: Auflistung wichtiger Schaltungsträger und ihrer mechanischen Eigenschaften. Die Quellen für die einzelnen Daten können der Veröffentlichung [5] entnommen werden.

Material	Polyethylen-naphthalat (PEN)	Polyethylen-terephthalat (PET)	Flüssigkristall-polymer (LCP)	Polydimethylsiloxan (PDMS)	Polyimid (PI)
Dichte (g/cm <sup>3</sup> )	1,39	1,41	1,38–1,95	0,95–1,08	1,06–1,45
Elastizitätsmodul (MPa)	2000	1700	5000–20.000	0,36–0,87	1800–15.000
Poissonzahl	0,3–0,4	0,3–0,4	0,4	0,5	0,34
Glassübergangstemperatur (°C)	116–120	68–114	82–280	–125	290–430
Wärmeausdehnungskoeffizient (CTE) bei 20 °C (ppm/K)	10–14	40–50	4–38	180–450	3–50
Feuchtigkeitsaufnahme (%)	0,3	0,4	0,02–0,04	0,1–1,3	2–4
Herausforderungen	Geringe thermische Stabilität	Geringe thermische Stabilität	Unzureichende Selbsthaftung an Metallen	Hohe Gasdurchlässigkeit	Hohe Feuchtigkeitsaufnahme, geringe Steifigkeit

Polyimid (PI) ist das am häufigsten verwendete Material für Schaltungsträger in der flexiblen Elektronik, obwohl es im Vergleich zu anderen Materialien teurer ist. Die hohen Kosten für die Herstellung werden durch die hohe Beständigkeit gegen Lötprozesse, Chemikalien und die damit verbundene Designfreiheit gerechtfertigt [55]. Der am weitesten verbreitete flexible Schaltungsträger besteht aus einer Polyimidfolie, auf die eine Kupferfolie einseitig aufgebracht wird. Diese wird standardmäßig mit lithographischen Verfahren strukturiert (Abbildung 3-4) [54].

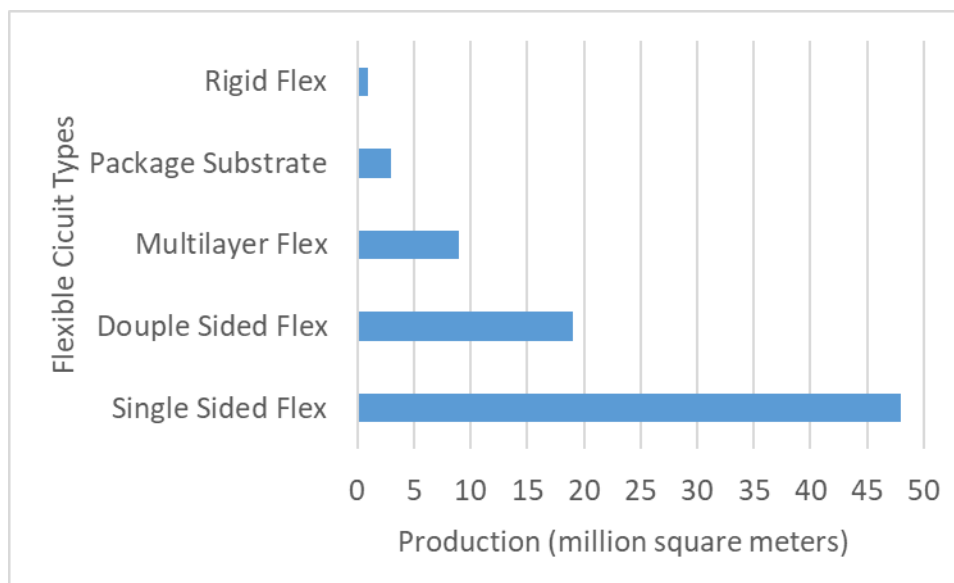


Abbildung 3-4: Arten flexibler Schaltungen, nachgezeichnet nach [54].

Schaltungsträger für flexible Elektronik sollten kostengünstig, chemisch und thermisch stabil sein, um die erforderlichen Prozesse zu überstehen [40]. Es gibt verschiedene Materialien für Schaltungsträger, die für diesen Zweck eingesetzt werden, darunter Polyethylenterephthalat (PET), Polyethylnaphthalat (PEN), Polycarbonat (PC), Polyethersulfon (PES), Liquid Crystal Polymer (LCP) und PI [20]. Darüber hinaus werden auch andere Polymersubstrate wie Polydimethylsiloxan (PDMS) und Polyetheretherketon (PEEK) sowie Papier, dünne Glasfolien und Metallfolien verwendet [56], [18], [57]. In der Regel werden für Anwendungen, die einer Biegebelastung ausgesetzt sind, Polyimidfolien bevorzugt, die mit einer Kupferkaschierung versehen sind. Dabei kann für die Kaschierung entweder eine Kupferwalzfolie (RA) oder eine



galvanisch abgeschiedene Kupferfolie (ED) verwendet werden. Während ED bessere elektrische Eigenschaften aufweist, ist RA aufgrund ihrer besseren mechanischen Eigenschaften, wie zum Beispiel der Biegebarkeit, vorteilhaft [58]. Ein weiteres Material, das zunehmend in Wearables eingesetzt wird, ist thermoplastisches Polyurethan (TPU), das mechanische Flexibilität und in gewissen Grenzen auch Dehnbarkeit bietet [46], [20].

Ausgehend von den verschiedenen aufgelisteten Materialien für flexible Elektronik ergeben sich verschiedene Anforderungen an die Substrate:

- Die Substrate müssen die erwünschte Flexibilität aufweisen, damit sie während der Anwendung weder brechen noch knicken.
- Die Substrate müssen elastisch genug sein, d.h., sie sollen nach der Biegung wieder ihre ursprüngliche Lage annehmen.
- Die Substrate sollen eine hinreichende Zugfestigkeit aufweisen. Sie dürfen unter bestimmten Zugkräften nicht reißen und damit die Funktionalität des Schaltungsträgers gefährden.
- Die Substrate müssen eine lange Haltbarkeit in Bezug auf Alterung besitzen, um evtl. während des Einsatzes nicht zu versagen.
- Die Substrate müssen eine hohe thermische und chemische Stabilität haben, um die AVT-Prozesse zu überstehen und zu ermöglichen.

### 3.3 Strukturierung flexibler Substrate

Um elektronische Bauelemente auf flexiblen Schaltungsträgern zu integrieren, muss zunächst das Schaltungsbild erstellt werden. In der Massenproduktion werden hierfür subtraktive Verfahren wie lithografische Prozesse in Kombination mit Ätzprozessen eingesetzt [59]. Im Bereich Packaging sind Sputterprozesse mit Lift-Off ebenfalls gebräuchliche Strukturierungstechniken [60]. Obwohl volladditive Druckverfahren wie Inkjet- und Aerosoljet ressourcenschonend sind, wenig Abfall produzieren und eine

hohe Layoutflexibilität bieten, stellen sie aufgrund von Problemen mit der Leitfähigkeit und Haftfestigkeit der Leiterbahnen auf den Foliensubstraten immer noch eine Herausforderung dar. Daher sind sie in der Massenproduktion von flexiblen Systemen noch nicht weit verbreitet [61].

### **3.4 Herstellung und Integration ultradünner Chips auf Foliensubstraten**

#### **3.4.1 Herstellung ultradünner Chips**

Es gibt zwei etablierte Verfahren zur Herstellung ultradünner Chips: Das Dicing-Before-Grinding-Verfahren (DBG), welches Chipdicken von unter 30  $\mu\text{m}$  ermöglicht [62], und die Chipfilm<sup>TM</sup>-Technologie, die vom IMS CHIPS entwickelt und patentiert wurde [63]. Dabei ist die Metallisierung (Pads) und somit das finale Finish entscheidend für die Kontaktierungstechnologie, die für die Kontaktierung der Chips eingesetzt wird. Als Standard wird eine AlSiCu-Metallisierung verwendet, die für das Drahtbonden geeignet ist. Andere Kontaktierungstechnologien wie leitfähiges Kleben erfordern jedoch sogenannte Unter-Pad-Metallisierung (UPM für Under Bump Metallization), die durch Sputterprozesse und chemische/galvanische Verfahren erzeugt werden können [64], [65]. Die Wahl der Metallisierung beeinflusst die Zuverlässigkeit der Chipkontaktierung.

#### **3.4.2 Integrationsverfahren ultradünner Chips auf Foliensubstraten**

Es gibt zwei Möglichkeiten, ultradünne Chips auf (flexiblen) Substraten zu integrieren. Die erste Variante ist die Face-Up-Integration, bei der die aktive Chipseite vom Substrat weg nach oben zeigt. Die zweite Variante ist die Face-Down-Integration, bei der die aktive Chipseite zum Substrat hin nach unten zeigt (Flip-Chip) [66]. Bei der Face-Down-Integration können entweder Löt- oder Klebprozesse zur Kontaktierung verwendet werden. Bei der Face-Up-Integration kommen verschiedene Verfahren wie Drucktechniken oder Einbettung mit anschließenden Sputterprozessen zum Einsatz.

Drucktechniken wie Aerosol- und Inkjet-Druck erfordern allerdings eine edle Chipoberfläche wie Gold. Eine weitere Herausforderung bei Drucktechniken zur

Integration von Chips auf ein Substrat besteht darin, dass die Kante des Chips aufgrund der Höhendifferenzen schwierig zu bedrucken ist [62]. Um diese Herausforderung zu lösen, wird häufig ein Meniskus mithilfe von Klebstoffen entlang der Chipkante erzeugt, auf den die Leiterbahnen gedruckt werden können [63], [67], [68]. Allerdings sind in der Regel mehrere Überfahrten erforderlich, um eine ausreichende Leiterbahndicke zu erzielen. Diese mehrfachen Überfahren sind sehr zeitintensiv. Außerdem hängt die Zuverlässigkeit der Kontaktierung stark von der Rampengeometrie und der Reproduzierbarkeit des verwendeten Druckprozesses ab. Bei der Biegung brechen die Leiterbahnen an der Chipkante, da dort bei Belastung durch Biegung eine überproportionale mechanische Beanspruchung auftritt. Abbildung 3-5 zeigt die Funktionsweise des Andruckens über eine Rampe.

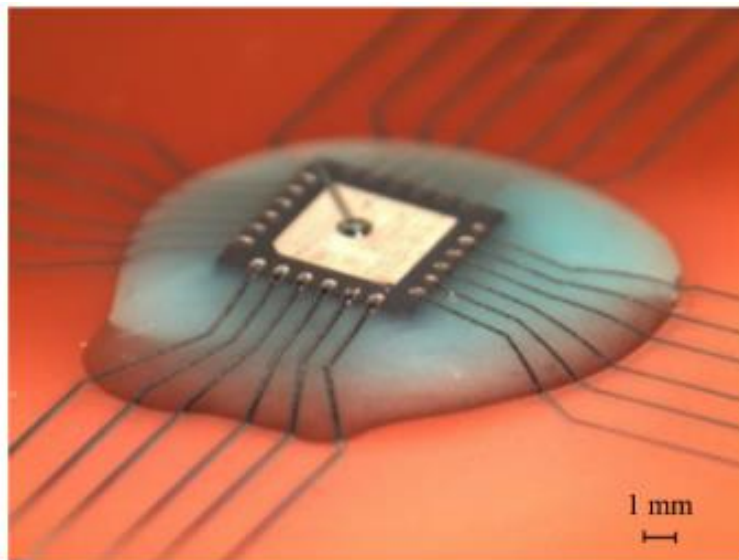


Abbildung 3-5: Andrucken von Leiterbahnen über Rampe zur Kontaktierung von Chips [69]. ©2017 IEEE. Wiederverwendung mit Genehmigung von IEEE.

Eine andere Möglichkeit zur Kontaktierung von Chips auf Foliensubstraten besteht darin, die Chips zwischen Folienlaminaten einzubetten und die Chippads mit einem Laser freizulegen. Solche Technologien werden bereits auf starren Leiterplatten angewendet. Vorreiter für diese Verfahren sind u. a. die Prozesse „IMB“ von Imbera [70] und „Lasercavity“ von Würth [71] (s. Abbildung 3-6).

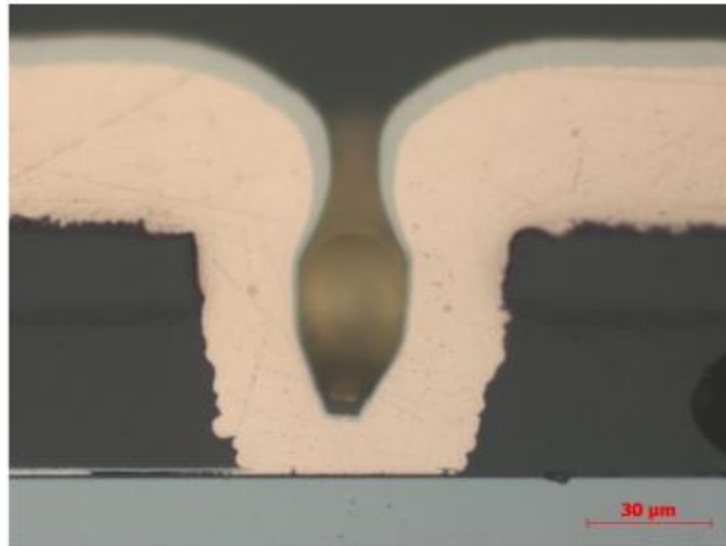


Abbildung 3-6: Ein Querschliff zeigt ein kontaktiertes Chippad mittels des Lasercavity-Prozesses von Würth [72].

Basierend auf diesen Verfahren haben Forschungseinrichtungen und Firmen gemeinsam daran gearbeitet, die Einbettung von Komponenten auch auf flexiblen Foliensubstraten zu ermöglichen [46], [49], [73]. Die eingebetteten Chippads werden durch Laserbohren freigelegt und anschließend über eine außenstromlose Metallisierung, mit ggf. galvanischer Nachverstärkung, kontaktiert. Außerdem können Sputtertechniken eingesetzt werden, um die eingebetteten Chips zu kontaktieren [74]–[77]. Herausforderungen sind hierbei eine hohe Genauigkeit bei der Chipplatzierung sowie die langwierigen Laminierungsprozesse, bei denen darauf zu achten ist, Chipbrüche zu vermeiden. Mit Hilfe der Chip-Film Patch (CFP) Technologie von IMS-Chips werden hybride, mechanisch flexible Systeme auf der Basis von beispielsweise flüssigem PI und Benzocyclobuten aufgebaut [62], [78]. Diese Verfahren benötigen jedoch viel Erfahrung bei der Prozessführung und beim Materialhandling sowie eine kostenintensive Anlagentechnik. Darüber hinaus können die Chippads durch den Laserprozess und die Freilegung entweder beschädigt werden oder es bleibt eine dünne Schicht des Einbettungsmaterials, die die Kontaktierung verhindert.

Im Rahmen dieser wissenschaftlichen Arbeit wird eine alternative Technologie untersucht, um Chips auf Foliensubstraten zu kontaktieren. Hierbei werden Lithographieschritte eingesetzt, um die eingebetteten Chips auf den Foliensubstraten freizulegen und über leitfähige Klebstoffe zu kontaktieren. Eine genaue Positionierung der Chips ist nicht notwendig, da die Kontaktpads adaptiv freigelegt werden. Zudem ist die Bildung einer Rampe um den Chip nicht erforderlich, da durch Dispenstechniken höhere Schichtdicken erreicht werden können, die die Höhendifferenz entlang der Chipkante ausgleichen.

### **3.5 Aufbau und Integration von SMDs auf Foliensubstraten**

Zur Integration von SMDs auf Foliensubstraten werden wie bei herkömmlichen Leiterplatten die klassischen AVT-Methoden wie Löten und Kleben mittels leitfähiger Klebstoffe verwendet. Im folgenden Abschnitt werden diese zwei Verfahren beschrieben.

#### **3.5.1 Kontaktierung von SMDs über Lötprozesse**

Das Lötverfahren ist eines der wichtigsten Verfahren zur Kontaktierung von SMDs auf Leiterplatten. Es handelt sich dabei um eine stoffschlüssige Verbindung der Kontaktstellen, die durch chemische Reaktionen und physikalische Phänomene wie Diffusion entsteht und unlösbar ist.

Es gibt zwei etablierte Verfahren zum Löten von elektronischen Bauteilen auf Leiterplatten: das Reflowlöten und das Dampfphasenlöten. Beim Reflowlöten wird wie folgt vorgegangen: zunächst wird eine Lötpaste auf die Leiterplatte aufgetragen, und die Bauteile werden auf die Paste gesetzt. Anschließend wird die gesamte Baugruppe in einem Durchlaufofen mit einem Förderband, das durch verschiedene steuerbare Heizzonen führt, erwärmt. Diese Zonen verwenden Infrarot- und Konvektionswärme, um die Baugruppe zu erhitzen. Beim Reflowlöten wird die gesamte Baugruppe auf eine Temperatur über dem Schmelzpunkt der verwendeten Lotlegierung erhitzt. Dadurch verschmelzen die Lotpartikel und verbinden die Bauteilpads mit den Leiterplattenpads. Das Lötprofil wird durch die Einstellung der Temperaturen in den einzelnen Zonen und

die Geschwindigkeit des Förderbands kontrolliert [79]. Beim Dampfphasenlöten findet der Lötprozess in einem geschlossenen Tank statt. In diesem Tank befindet sich eine spezielle Wärmeübertragungsflüssigkeit, das sogenannte Galden, das durch einen Erhitzer am Boden des Tanks erhitzt wird. Oben im Tank befindet sich ein Kühlgerät, das den erhitzten Dampf abkühlt und kondensiert. Dadurch entsteht ein Dampfraum im Tank. Ähnlich wie beim Reflowlöten wird zuerst eine Lötpaste auf die Leiterplatte aufgetragen und anschließend die Bauteile darauf bestückt. Diese Baugruppe wird dann in den Dampfraum eingetaucht, wodurch der Dampf an ihr kondensiert. Die dabei freigesetzte Kondensationswärme und der Wärmestrom erwärmen die Baugruppe über den Schmelzpunkt der verwendeten Lotlegierung. Durch die Zusammensetzung der Galden-Flüssigkeit und die Eintauchzeiten der Baugruppe in den Dampfraum kann das Lötprofil gesteuert werden [80]. Das Dampfphasenlöten bietet eine gleichmäßige und schonende Erwärmung der Lötstellen, während das Reflowlöten eher für Rolle-zu-Rolle-Verfahren geeignet ist. Beide Verfahren sind kostengünstig, etabliert und für die Massenproduktion geeignet, wobei eine Selbstjustierung der Bauelemente während des Lötprozesses gegeben ist. Allerdings erfordern Lötprozesse im Allgemeinen höhere Temperaturen, was die Auswahl der Schaltungsträger einschränken kann [81]–[83].

Seitdem bleihaltige Lote in Europa verboten wurden, haben sowohl Forschungsinstitute als auch Unternehmen sich auf die Entwicklung von bleifreien Lötverfahren konzentriert. Die Lötverfahren mit bleifreien Loten gelten heute als fortschrittliche Schlüsseltechnologie für die Herstellung von umweltfreundlichen elektronischen Baugruppen [84]. Die bekanntesten bleifreien Lotlegierungen stammen aus den Systemen Zinn-Silber, Zinn-Bismut, Zinn-Kupfer, Zinn-Silber-Kupfer und Zinn-Silber-Wismut [85], [86]. Die Hauptkomponente in diesen Loten ist das Metall Zinn, dessen Eigenschaften durch Beimischung von anderen Metallen gezielt verändert werden können [85]. Die Wahl des verwendeten Lots und dessen Lötprofil haben einen entscheidenden Einfluss auf die thermische Belastung der elektronischen Baugruppen

und muss daher bei der Auswahl des Schaltungsträgers und der erlaubten Prozesstemperatur der einzelnen Komponenten berücksichtigt werden.

In einer Studie haben Wright et al. [87] das Löten von 0402 SMD-Komponenten auf 50 µm Polyimidfolie mit dem Lot SnBi untersucht. Sie haben die Aufbauten unter dynamischer Biegeprüfung mit einem Biegeradius von 25 mm gebogen, indem sie Gewichte an den Foliensubstraten während der Biegung aufgehängt und das kritische Ausfallgewicht ermittelt haben. Je nachdem, bei welchem Gewicht ein Ausfall auftrat, wurden leichtere Gewichte verwendet, um die Risse in der Kontaktierung und die Anzahl der Biegezyklen bis zum Versagen zu bewerten. Dabei konnten Biegezyklen bis zum Versagen von 3000 bis 8000 erreicht werden. Bei geringen Gewichten stellten sie eine Delamination als Ausfallmechanismus fest. Bei Erhöhung des Gewichts jedoch brachen eher die Kupferleiterbahnen (s. Abbildung 3-7). Es ist jedoch zu beachten, dass diese Belastung nicht dem reinen Lastfall einer Biegung entspricht, da die Proben einer gewollten Dehnung ausgesetzt waren, die die Ergebnisse beeinflussen konnte.

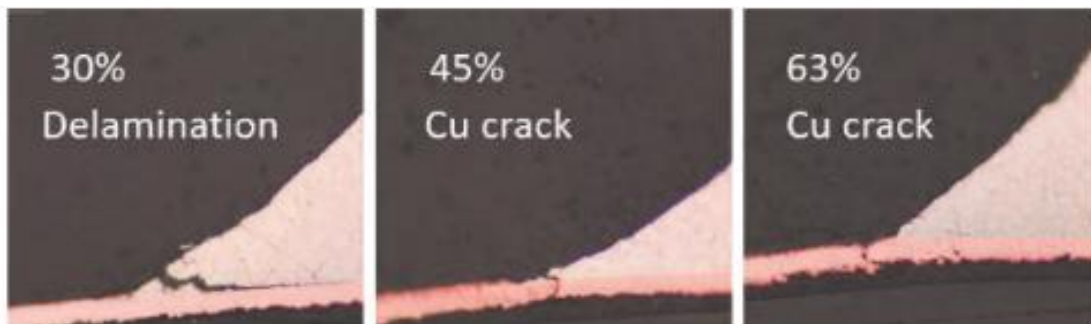


Abbildung 3-7: Biegecharakterisierung von SMD-Komponenten auf Polyimidfolien. Abhängig vom Gewicht fallen die Proben nach unterschiedlichen Mechanismen aus [87]. ©2017 IEEE. Wiederverwendung mit Genehmigung von IEEE.

In weiteren Arbeiten wurde die Kontaktierung von SMDs auf Polyimidfolien und Papier mittels Reflowlöten untersucht. Allerdings wurden die Leiterbahnen mithilfe des Siebdrucks von Silbertinten hergestellt. Es wurde festgestellt, dass die Scherfestigkeit der SMDs auf Polyimidfolien ein vielfaches niedriger im Vergleich zu SMDs auf Leiterplatte ist [88], [89]. Hirmann et al. [90] haben ebenfalls die Kontaktierung von SMDs auf

Polyimidfolien und starren Leiterplatten für leitfähiges Kleben und Löten mittels Scherprüfung verglichen. Sie stellten fest, dass gelötete Proben in beiden Gruppen höhere Scherkräfte erreichten. Es fehlt in [90] allerdings ein Vergleich beider AVT-Techniken unter dynamischer Biegecharakterisierung.

### 3.5.2 Kontaktierung von SMDs über leitfähige Klebprozesse

Überall dort, wo die Löttemperaturen für Bauelemente auf Leiterplatten zu hoch sind, wird das leitfähige Kleben eingesetzt. Im Vergleich zum Löten sind die leitfähigen Klebstoffe nach dem Aushärten mechanisch flexibel. Dadurch eignet sich diese Kontaktierung für Anwendungen, die mechanische Flexibilität erfordern. Außerdem enthalten die Klebstoffe keine schädlichen Stoffe wie Blei, wodurch sie zunehmend eingesetzt werden [91], [92]. Es gibt verschiedene Gebindeformen von leitfähigen Klebstoffen, die für unterschiedliche Anwendungen geeignet sind. Die gängigste Form sind mit flüssigem Klebstoff gefüllten Kartuschen, die auf die Substrate aufgetragen werden können, indem sie dispenst, gejetet, gedippt oder gestempelt werden.

Die leitfähigen Klebstoffe enthalten metallische Füllstoffe, welche den Klebstoff isotrop oder anisotrop leitfähig machen, je nachdem wie viel Füllstoffe im Klebstoff vorhanden sind. Die Menge an Füllstoffen, die zur sogenannten Perkolationsschwelle führt, bestimmt diesen Unterschied zwischen isotropen Klebstoffen (ICA, für Isotropic Conductive Adhesive) und anisotropen Klebstoffen (ACA, für Anisotropic Conductive Adhesive). Die Größe und Form der metallischen Füllstoffe beeinflussen die Perkolationsschwelle, die normalerweise bei einem Volumenanteil von 15-25% liegt. Wenn die Füllstoffe diese Schwelle überschreiten, leitet der Klebstoff nach der Aushärtung in allen Richtungen. Wenn der Füllstoffgehalt unterhalb der Perkolationsschwelle liegt, leitet der Klebstoff nach der Aushärtung nur in der Z-Richtung, in der beim Fügevorgang Druck ausgeübt wird. Beide Klebstoffvarianten, ACA und ICA, sind als Filme (ACF bzw. ICF) oder Pasten (ACP bzw. ICP) erhältlich [93].

Im Gegensatz zu den Loten können Klebstoffe unter verschiedenen Aushärtungsbedingungen ausgehärtet werden, was die Verwendung von flexiblen



Substraten mit niedriger Glasübergangstemperatur ermöglicht. Die Aushärtungsbedingungen variieren je nach Aushärtungstemperatur und können zwischen Sekunden und Stunden liegen. Das macht ihren Einsatz in den Rolle-zu-Rolle-Verfahren sehr beliebt. Darüber hinaus können Klebstoffe auch mit Hilfe von Licht, wie zum Beispiel UV-Licht, ausgehärtet werden. Dies ermöglicht eine schnelle Aushärtung direkt während der Bestückung von Bauteilen, wenn geeignete UV-Lampen verwendet werden, und erhöht somit die Produktionseffizienz. Zumal können solche Bedingungen für die Bestückung von optischen Systemen, die Active-Alignment benötigen, sehr nützlich sein. Abbildung 3-8 zeigt die Kontaktierung von SMDs auf Leiterplatte mittels leitfähiger Klebstoffe.

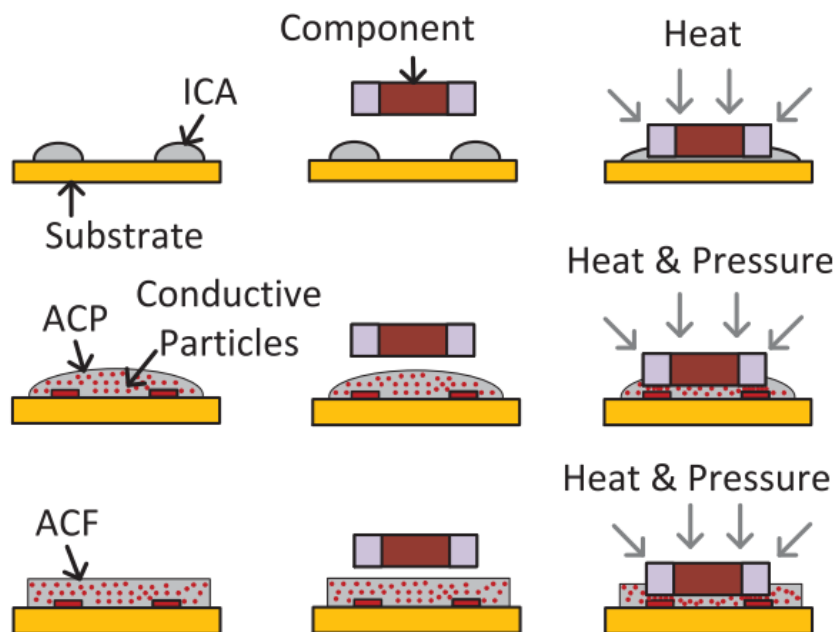


Abbildung 3-8: Verschiedene Vorgehensweisen zur Kontaktierung von SMDs auf einer Leiterplatte mithilfe des Klebens [68].

Es gab bereits mehrere Studien zur Integration von SMDs auf Foliensubstraten mit Hilfe von Klebprozessen [68], [92], [94]. Allerdings wurden in diesen hauptsächlich die Aufbauten unter Scherbeanspruchung oder statischer Biegeprüfung bewertet. Für flexible Anwendungen ist jedoch die Untersuchung des Verhaltens der Kontaktierung unter dynamischer Biegeprüfung entscheidend, um zuverlässige Mikroaufbauten für flexible Elektronik herstellen zu können.

### 3.6 Testverfahren flexibler Mikrosysteme

Die Charakterisierung von flexiblen Aufbauten erfolgt hauptsächlich durch die Biegeprüfung, insbesondere durch die dynamische Biegeprüfung, da dies einer der wichtigsten Lastfälle ist. Es ist notwendig, die grundlegende Theorie und die Beschreibungen der einzelnen Lastfälle zu verstehen, um die Aufbauten und Ausfälle besser bewerten zu können. Wenn Komponenten oder Strukturen auf oder in flexible oder sogar dehnbare Substrate integriert werden, sind mechanische Tests notwendig, um die Zuverlässigkeit der Aufbauten zu bewerten. Wenn ein flexibles System auf eine Rolle mit einem Radius  $R$  gebogen wird, erfährt der obere Bereich der Struktur eine Zugspannung und die andere Seite eine Druckbelastung [95] (s. Abbildung 3-9). Die obere Fläche wird elastisch gedehnt, während die untere Fläche elastisch komprimiert wird. Die neutrale Ebene, die sogenannte neutrale Faser, im Inneren des Foliensubstrats bleibt spannungsfrei [28], [95].

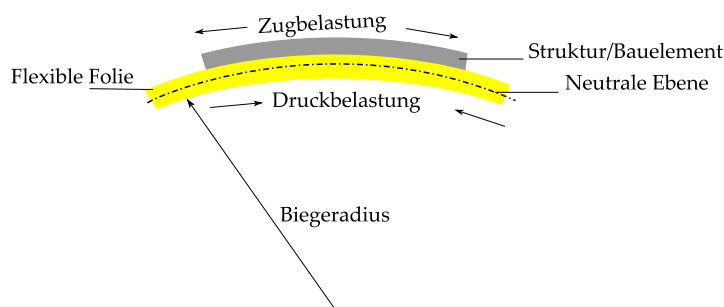


Abbildung 3-9: Einfluss der Biegung von Bauelementen auf einen bestimmten Biegeradius schematisch.

Bei dem Design und der Herstellung eines flexiblen Systems kann die Dehnung innerhalb des Aufbaus verbessert werden, indem die starren Komponenten von der Oberseite des Schaltungsträgers, wo die Biegedehnung am größten ist, zur neutralen Ebene verlagert werden, wo die Dehnung minimal ist [16]. Es ist jedoch zu beachten, dass die neutrale Ebene im flexiblen Aufbau nicht mit der neutralen Ebene in einem homogenen Material übereinstimmt, wenn es eine mechanische Fehlanpassung zwischen den Komponenten gibt [96]. Bei der Entwicklung flexibler Aufbauten muss dies

berücksichtigt werden. Palavesam et al. [26], [29] verglichen die Bruchfestigkeit von nackten, rückgedünnten Chips mit der von in flexiblen Foliensubstraten eingebetteten Chips und fanden heraus, dass der Aufbau, bestehend aus Chips in flexiblen Foliensubstraten eingebettet, eine bis zu 80 % höhere Bruchfestigkeit aufweist als lose nackte Chips. Ähnliche Ergebnisse erzielten Kim et al. [11], als sie die Zuverlässigkeit von Systemen auf flexiblen Substraten in einem Drei-Punkt-Biegetest untersuchten.

### **3.6.1 Biegeprüfung einzelner Bauelemente**

Die 3-Punkt-Biegemethode ist eine gängige Methode zur Charakterisierung der Biegefestigkeit von einzelnen Bauelementen. Dabei wird das zu untersuchende Bauelement auf zwei Auflagen platziert und in der Mitte mit einem Prüfkörper belastet (s. Abbildung 3-10). Mithilfe von Messtechniken wird die mechanische Kraft im Bauelement anhand der Biegung gemessen und in einer Spannung umgerechnet, bis es versagt. Ein großer Vorteil dieser Biegemethode besteht darin, dass das Spannungs-Dehnungs-Verhältnis ermittelt werden kann, wodurch das Verhalten von Strukturen/Bauteilen unter definiertem Last vorhergesagt werden kann. Darüber hinaus kann die Biegeprüfung dazu beitragen, den Elastizitätsmodul von homogenen Schichten und Werkstoffen zu bestimmen [97], [98].

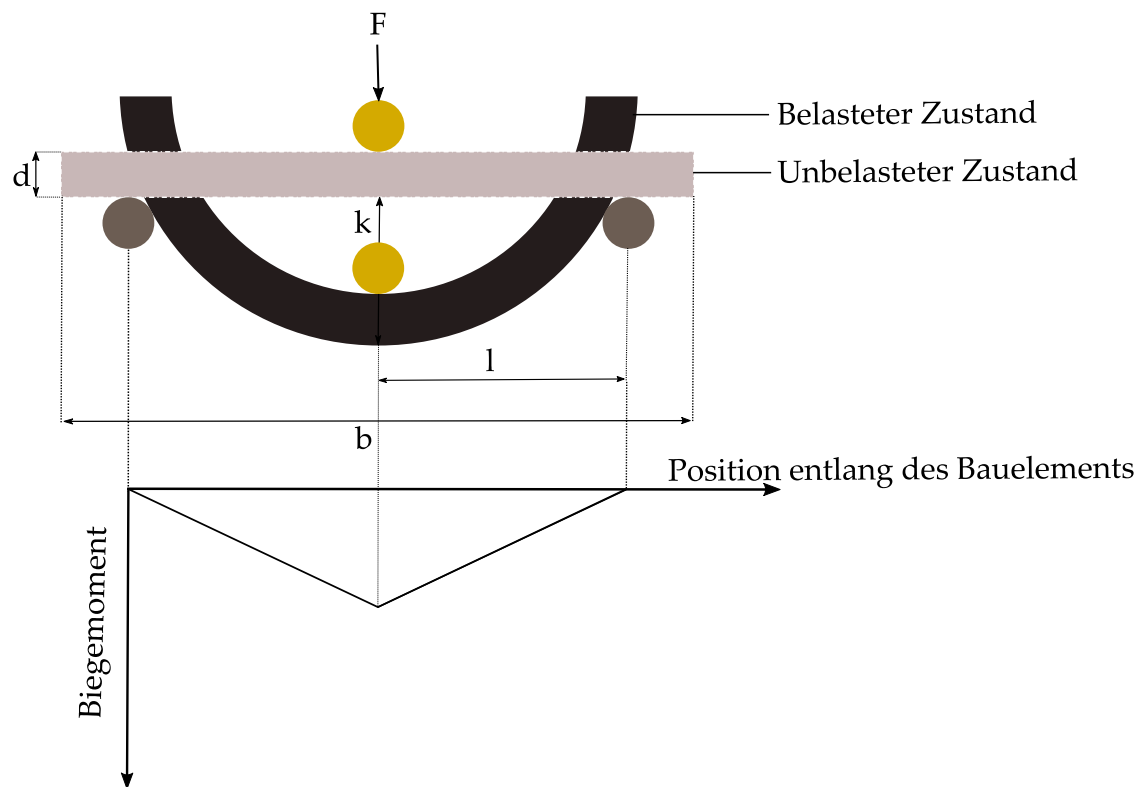


Abbildung 3-10: 3-Punkt-Biegeprüfung und Biegemomentverlauf. Dabei stehen  $b$ ,  $d$ ,  $F$ ,  $k$ ,  $l$  jeweils für Breite, Dicke des Bauelements, Kraft, Auslenkung, Abstand zwischen den beiden Auflagern.

Ein Nachteil der 3-Punkt-Biegeprüfung ist, dass die maximale Spannung in der Mitte des Bauteils auftritt, was möglicherweise zu unerwünschtem Versagen führen kann. Außerdem kommt es häufig vor, dass die funktionalen Strukturen auf dem zu testenden Bauteil nicht gleichmäßig verteilt sind und somit ungleichmäßig belastet werden [14]. Infolgedessen können die Ergebnisse dieser Biegeprüfung nicht repräsentativ für das gesamte Bauteil sein.

Alternative zur 3-Punkt-Biegeprüfung gibt es die Möglichkeit, die Aufbauten mittels 4-Punkt-Biegeprüfung zu charakterisieren (s. Abbildung 3-11). Diese Methode wird insbesondere zur Beurteilung der Haftfestigkeit von Verbundsystemen verwendet, die aus mehreren Schichten bestehen, wie es bei verkapselten und vergrabenen Bauteilen in einer Leiterplatte der Fall ist [99].

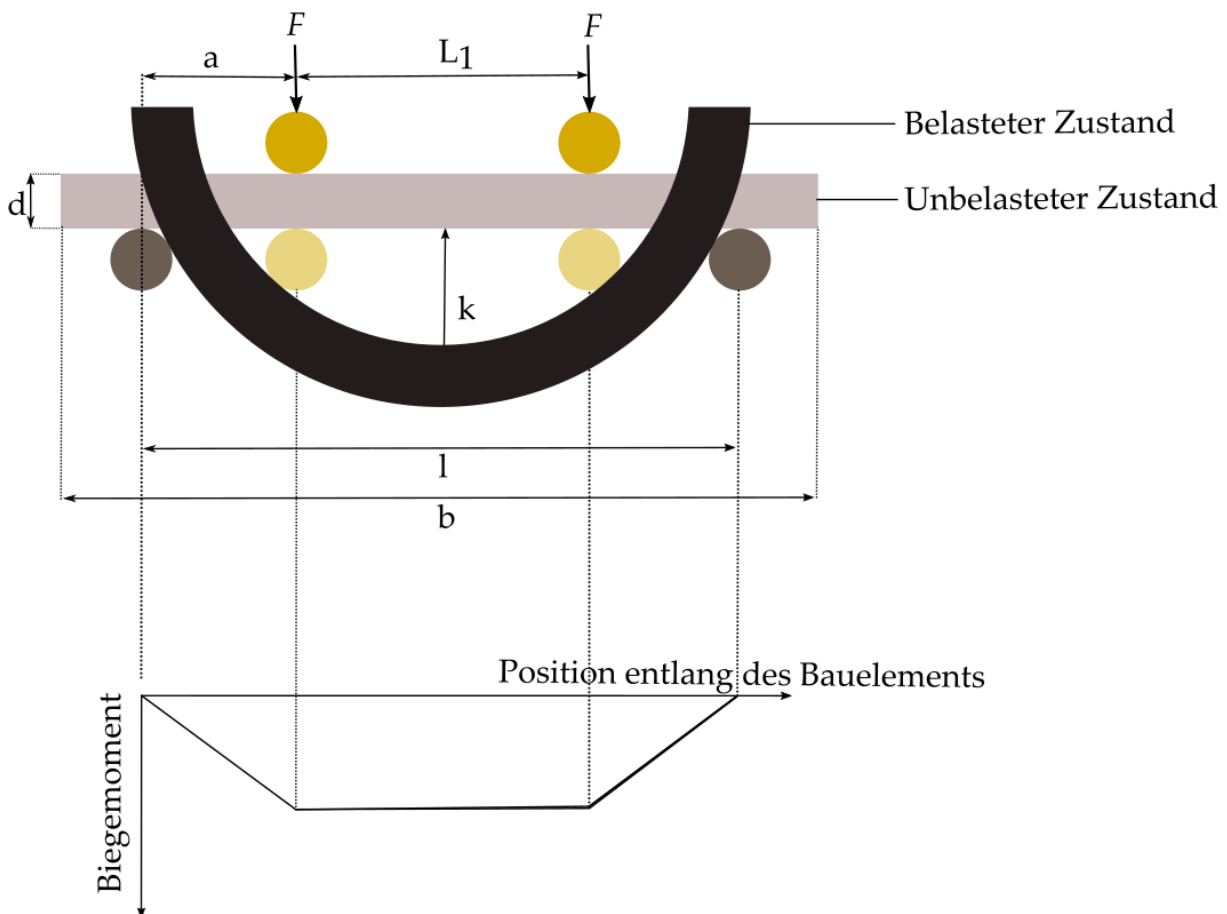
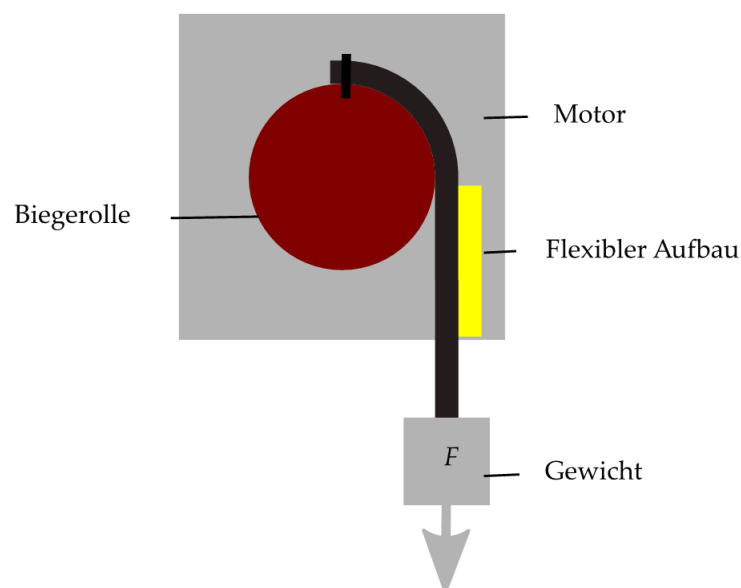


Abbildung 3-11: 4-Punkt-Biegeprüfung und Biegemomentverlauf. Dabei stehen  $b$ ,  $d$ ,  $F$ ,  $k$ ,  $l$  jeweils für Breite, Dicke des Bauelements, Kraft, Auslenkung, Abstand zwischen den beiden Auflagern.

Bei der 4-Punkt-Biegeprüfung wird der zu untersuchende Aufbau, ähnlich bei der 3-Punkt-Biegeprüfung, auf zwei Auflagern platziert. Der Unterschied besteht jedoch darin, dass das Bauteil über zwei weitere Auflagern nach unten belastet und dabei die Auslenkung gemessen wird, um die Charakterisierung unter Biegung zu erhalten [14]. Im Vergleich zur 3-Punkt-Biegeprüfung bietet die 4-Punkt-Biegeprüfung viele Vorteile. Besonders gewährleistet sie eine gleichmäßige Biegespannung zwischen den beiden Auflagern, was in vielen Fällen von Vorteil ist. Darüber hinaus sind Ausrichtungsfehler bei dieser Methode weniger problematisch, was zu einer genaueren Charakterisierung führt [30], [100].

### 3.6.2 Biegeprüfung kompletter Mikrosysteme

Die üblichen Prüfverfahren wie die 3-Punkt- oder 4-Punkt-Biegeprüfung sind am besten geeignet für die Biegecharakterisierung mit kleinen Verschiebungen und unter großen Biegeradien [101]. Für Foliensysteme mit geringer Dicke und kleinen Biegeradien sind jedoch andere Prüfverfahren erforderlich, die größere Verschiebungen ermöglichen. Ein Beispiel hierfür sind die Schiebbiegemethode oder Rollbiegeprüfungen (Push-to-flex und Roll-to-flex). Bei der Rollbiegeprüfung wird der Aufbau über eine Walze gerollt, um die Aufbauten unter bestimmten Biegeradien zu charakterisieren. Der Biegeradius hängt vom Durchmesser der Walze ab. Somit bestimmt der Walzendurchmesser über den Biegeradius die induzierte Spannung [102]. Obwohl der Biegeprüfstand nach diesem Verfahren in der Literatur variieren kann, bleibt das Prinzip das Gleiche, nämlich die flexiblen Aufbauten auf ein Träger zu fixieren und auf einem definierten Biegeradius ab zu rollen (s. Abbildung 3-12).



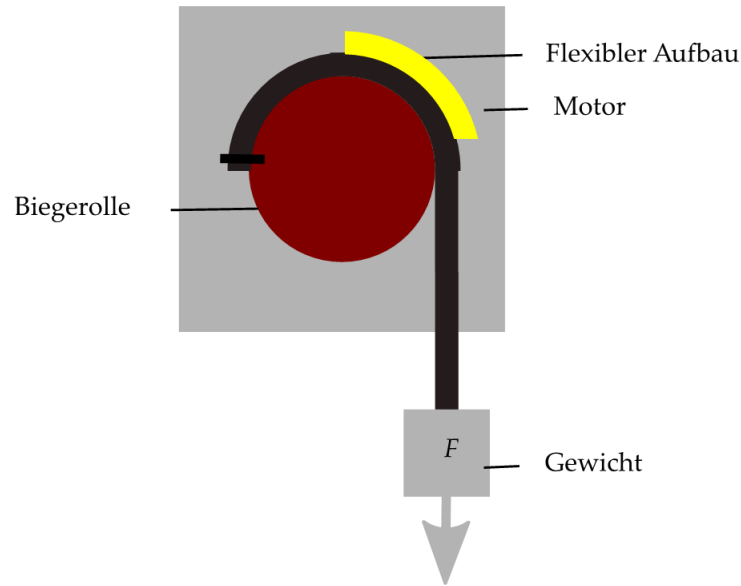
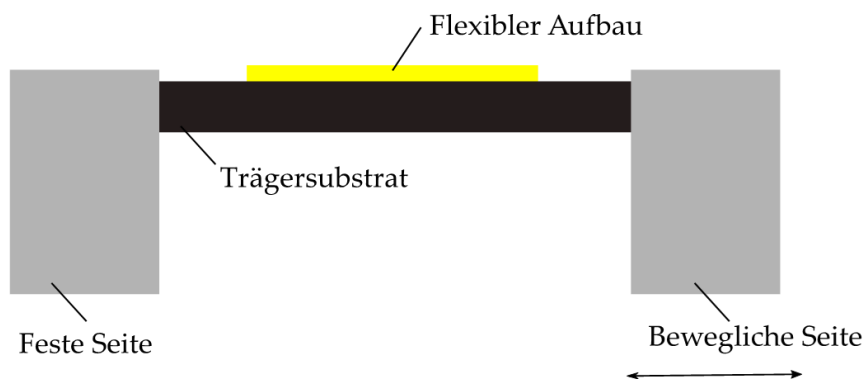


Abbildung 3-12: Schematische Darstellung zur Rollbiegemethode nach [102].

Bei der Schiebbiegeprüfung (Push-to-flex) wird der zu untersuchende Aufbau auf zwei Trägern fixiert. Einer der Träger wird in Richtung des anderen geschoben, wodurch sich der Aufbau verbiegt. Wenn die Träger sich voneinander entfernen, wird der Aufbau wieder entlastet. Allerdings erfordert diese Biegemethode aufgrund der dünneren, flexiblen Aufbauten eine unterstützende Trägerstruktur, um damit den Biegeradius definieren zu können [11]. Diese Einschränkung ist ein Nachteil für die Biegeuntersuchung von flexiblen Systemen und führt zu einer höheren Steifigkeit des flexiblen Aufbaus durch die Trägerstruktur. Abbildung 3-13 zeigt eine Schiebbiegeprüfung, bei der der flexible Aufbau auf einem dickeren Trägersubstrat platziert wird.



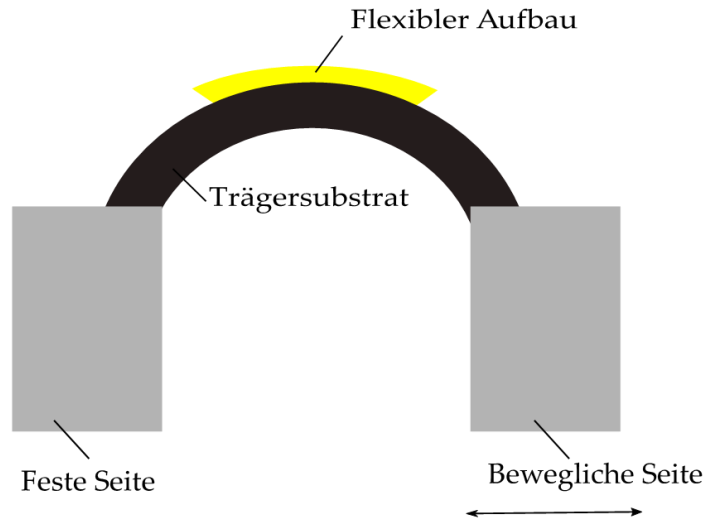


Abbildung 3-13: Exemplarische Darstellung zur Schiebbiegemethode nach [11].

Für die Berechnung der auftretenden Dehnungen und Spannungen während der Biegeprüfung von flexiblen Aufbauten werden folgende Parameter und materialabhängigen Konstanten eingesetzt. Wenn flexible Komponenten wie ultradünne Chips oder Strukturen mit einer Dicke  $d_c$  und einem Elastizitätsmodul  $E_c$  über ein Trägersubstrat mit einer Dicke  $d_t$  und einem Elastizitätsmodul  $E_t$  mit einem definierten Biegeradius  $R$  gebogen werden, kann die Dehnung  $\varepsilon_{top}$  auf der Oberseite flexibler Strukturen mit folgender Gleichung (1) berechnet werden [28], [95], [103]:

$$\varepsilon_{top} = \frac{(d_c + d_t)}{2 \cdot R} \cdot \frac{(1 + 2\eta + \chi\eta^2)}{(1 + \eta)(1 + \chi\eta)} \quad (1)$$

Dabei ist  $\eta = d_c/d_t$  und  $\chi = E_c/E_t$ . Daraus lässt sich die auftretende mechanische Spannung  $\sigma_c$  auf der oberen Seite wie folgt in Gleichung (2) berechnen :

$$\sigma_c = E_c \cdot \varepsilon_{top} \quad (2)$$

Durch Einsatz der Dehnung  $\varepsilon_{top}$  aus Gleichung (1) in Gleichung (2) kann die Spannung  $\sigma_c$  nun berechnet werden wie in Gleichung (3):

$$\sigma_c = E_c \cdot \frac{1}{2 \cdot R} \cdot \frac{E_c \cdot t_c^2 + E_t \cdot t_t \cdot (2 \cdot t_c + t_t)}{E_c \cdot t_c + E_t \cdot t_t} \quad (3)$$



Sollten jedoch sehr dünne Bauelemente oder Strukturen auf Substrate gebogen werden, kann die Dehnung  $\varepsilon_{top}$  vereinfacht wie folgt in Gleichung (4) berechnet werden [34], [87], [95], [104]–[106]:

$$\varepsilon_{top} = \frac{(t_c + t_t)}{2 \cdot R} \quad (4)$$

### 3.6.3 Andere Prüfverfahren zur Charakterisierung flexibler Mikrosysteme

Die Wahl geeigneter Prüfmethode hängt stark von der Anwendung und den zu erwartenden Betriebsbedingungen ab. Zur umfassenden Charakterisierung und Gewährleistung der Funktion von flexiblen Aufbauten spielen neben der Biegecharakterisierung auch andere Prüfverfahren eine essenzielle Rolle. Obwohl der Fokus der Arbeit im Rahmen dieser wissenschaftlichen Arbeit auf dem Hauptlastfall Biegung liegt, sind auch andere Lastfälle wie Temperaturwechsel, Vibrationen und feuchte Wärme von Bedeutung [107]–[109], da sie die Zuverlässigkeit flexibler Aufbauten beeinträchtigen können. In einem öffentlich geförderten Forschungsprojekt wurde herausgefunden, dass die unterschiedlichen Temperaturkoeffizienten von flexiblen Aufbauten, die aus verschiedenen Komponenten und Integrationstechniken bestehen, dazu führen können, dass der Temperaturwechseltest in einigen Fällen eine höhere Belastung darstellt als die Biegebeanspruchung [62]. Außerdem sind flexible Aufbauten nicht nur Stauchung oder Dehnung ausgesetzt, sondern erfahren auch Torsionskräfte, die eine erhebliche Auswirkung auf ihre Funktionalität haben. Chow et al. [110] haben hierzu eine spezielle Vorrichtung entwickelt, die in der Lage ist, in-situ zu prüfen, wie Torsion die Zuverlässigkeit von Aufbauten beeinflusst. In einer weiteren Untersuchung von Mukherjee et al. [111] wurde der Einfluss von Biegung und Torsion auf die Funktionalität von gedruckten Strukturen auf verschiedenen Schaltungsträgern untersucht.



## 4 Wissenschaftliche Fragestellung

Wie in der Einleitung bereits beschrieben wurde, ist die Biegecharakterisierung, insbesondere die Untersuchung unter dynamischer Biegeprüfung, eine herausfordernde Aufgabe bei der Herstellung zuverlässiger flexibler Mikrosysteme. Es gibt kein standardisiertes Verfahren zur Biegeprüfung flexibler Aufbauten, was den Vergleich von Kontaktierungstechnologien erschwert. Darüber hinaus beschränken sich die verfügbaren Prüfstände und Literaturergebnisse meistens auf statische Biegeprüfungen, um die Zuverlässigkeit der Aufbauten zu bewerten. Ein weiterer Aspekt, der die Einführung von flexiblen Aufbauten erschwert, sind die langen Prozessketten und kostenintensiven Anlagen, die den Zugang zu dieser Technologie, insbesondere zu SiF, erschweren. Der Einsatz von kurzen digitalen Prozessketten mit gängigen Anlagen aus der Industrie wäre hier von Vorteil. Insbesondere die Untersuchung von Prozessparametern zur Realisierung von Mikroaufbauten im Hinblick auf das Biegeverhalten ist für die industrielle Anwendung von großer Bedeutung. In dieser Arbeit wird daher ein grundlegendes Verständnis der Prozessparameter erarbeitet, um die Herstellung zuverlässiger flexibler Aufbauten zu ermöglichen. Dafür wird im Rahmen dieser wissenschaftlichen Arbeit folgende Hypothese untersucht:

**„Durch Optimierung der Prozesskette zum Aufbau von Foliensystemen, bestehend aus ultradünnen Chips und passiven Bauelementen auf flexiblen Schaltungsträgern, lässt sich ihr Verhalten unter Biegebelastung verbessern“**

Ausgehend von dieser Hypothese werden folgende Punkte erarbeitet:

- Umfassende Recherche des aktuellen Stands der Technik zu flexibler Elektronik, insbesondere im Hinblick auf die mechanische Biegeprüfung von flexiblen Aufbauten.
- Konzeption und Aufbau eines Biegeprüfstandes zur Charakterisierung flexibler Aufbauten.

- 
- Vergleich unterschiedlicher Prozessketten zur Integration von SMDs auf Foliensubstraten und anschließende Charakterisierung unter Biegeprüfung.
  - Realisierung einer Prozesskette zur Integration ultradünner Chips auf Foliensubstraten.
  - Prüfung der Umsetzbarkeit der Direktbelichtung zur adaptiven Strukturierung von maskierten Chips auf Foliensubstraten.
  - Variation der Prozessparameter für die AVT von SMDs und ultradünnen Chips auf Foliensubstraten mit dem Ziel, die Anzahl an Biegezyklen bis zum Versagen von Foliensystemen zu optimieren.

## 5 Konzeption und Aufbau eines Biegeprüfstandes

In diesem Kapitel wird in erster Linie die Motivation für den Aufbau eines eigenen Biegeprüfstandes erläutert. Anhand der definierten Anforderungen wird das Konzept aufgezeigt und der finale Aufbau präsentiert. Des Weiteren wird das Layout für die AVT, das sich durch den Aufbau ergibt, kurz vorgestellt. Abschließend werden die notwendigen Schritte zur Datenaufnahme und -auswertung beschrieben.

### 5.1 Motivation und Problemstellung

Wie im Kapitel 3.6 dargelegt, können die Biegeprüfverfahren je nach den zu untersuchenden Bauelementen und Aufbauten variieren. Insbesondere bei flexiblen Systemen ist es üblich, das gesamte System als eine Einheit zu untersuchen, um die Zuverlässigkeit zu bewerten. Die Zuverlässigkeit flexibler Mikrosysteme hängt jedoch von einer Vielzahl von Faktoren und Lastfällen ab, die weitgehend durch die Anwendung und den Einsatzbereich bestimmt werden. Neben Temperaturschock und Feuchte-Wärme-Tests nimmt die mechanische Biegeprüfung eine signifikante Stellung ein. Vor diesem Hintergrund beschränkt sich der Hauptlastfall der vorliegenden Arbeit auf die mechanische Biegeprüfung. Da es jedoch in der Literatur keinen einheitlichen Standard für Biegeprüfungen flexibler Systeme gibt, wird ein eigener Prüfstand aufgebaut und fortlaufend modifiziert und optimiert. Dabei werden die Folienaufbauten auf definierte Biegeradien gebogen, um sie dynamisch im Wechsel zwischen planarer und gebogener Form zu untersuchen. Der Prüfstand muss mehrere Anforderungen erfüllen. Dazu gehören die Möglichkeit zur Verwendung unterschiedlicher Biegeradien, eine einfache Montage und einfacher Wechsel der Aufbauten, eine hohe Wiederholgenauigkeit, die Möglichkeit zur gleichzeitigen Prüfung mehrerer Aufbauten, die Überwachung der Schaltung während der Biegeprüfung sowie die Auswertung und Erkennung des Versagenszeitpunktes. Gerade die zuletzt erwähnte Anforderung ist für eine aussagekräftige Bewertung der AVT von großer Bedeutung.

---

Eine Variation der Biegeradien ist bei der Biegeprüfung unerlässlich, da die Foliensysteme, die unterschiedliche Typen von Bauelementen enthalten können, unter einer Dehnung geprüft werden müssen. Dünnere Bauelemente wie Chips werden bei einem anderen Biegeradius versagen als größere Bauelemente wie SMDs. Außerdem öffnen sich kleine Risse in der Schaltung oft nur im gebogenen Zustand, weshalb eine gleichzeitige Überwachung während der Biegung für die Auswertung des Versagens von großer Bedeutung ist. Darüber hinaus sollen die Biegezyklen bis zum Ausfall genau erfasst werden, um die AVT von einzelnen Bauelementen miteinander vergleichen zu können.

Ausgehend von den erstellten Kriterien und orientiert an den Biegeprüfständen von Bensaïd et al. [106], Harendt et al. [15], Wright et al. [87] und Ernst et al. [112], wurde ein Konzept ausgearbeitet. Das Konzept besteht aus Boschprofilen als Basis und einem Motor, der verschiedene Wellen in Vor- und Rückwärtsrichtung zieht. Das Konzept mit den Boschprofilen und austauschbaren Rollen erlaubt den einfachen Wechsel von Biegerollen und von Foliensubstraten. Im folgenden Abschnitt wird das Konzept näher beschrieben und aufgezeigt.

## 5.2 Konstruktion und Ansteuerung des Prüfstandes

In dieser Arbeit wird ein Biegeprüfstand auf Basis eines im Haus vorhandenen Gleichstrommotors (BLDC Motor DB87-k2V25460, Nanotec Electronic GmbH & Co. KG, Deutschland) konzipiert. Ein ausschlaggebender Punkt für die Verwendung dieses Motors ist das Vorhandensein der Motorsteuerung mit dem Motorcontroller (N5-2-2, Nanotec Electronic GmbH & Co. KG, Deutschland). Ein weiterer Vorteil von Gleichstrommotoren ist das geschlossene Schleifensystem mit einem Encoder, das eine präzise Positionskontrolle und ein präzises Drehmoment selbst bei hohen Drehzahlen ermöglicht.

Die zuvor beschriebenen Anforderungen werden umgesetzt, indem verschiedene Konzepte verfolgt werden, um den Prüfstand so zu gestalten, dass die gestellten

Biegeprüfstandes

Anforderungen erfüllt werden. Es ist auch wichtig, dass der Prüfstand erweiterbar konzipiert wird, um zukünftig größere Foliensubstrate zu prüfen. Aus diesem Grund wurde in dieser Arbeit entschieden, Boschprofile als Basis zu verwenden. Konstrukte aus Boschprofilen werden auf einer Platte befestigt, um die zu testenden Foliensubstrate in horizontaler Orientierung aufzuspannen.

Mithilfe von Zahnrädern und Zahnriemen treibt der Motor eine Aufwickelrolle an, die wiederum die Foliensubstrate auf die Biegerolle in Vor- und Rückwärtsrichtung zieht. Die Foliensubstrate sind gleichzeitig mit der Ausleseeinheit verbunden, welche auf einer Linearführung gleitet. Durch das Eigengewicht der Ausleseelektronik bleiben die Foliensubstrate während der gesamten Biegedauer unter minimaler Spannung und somit auf die Biegerolle gebogen. Die Abbildung 5-1 und Abbildung 5-2 zeigen das Konzept zum Aufbau des Biegeprüfstandes.

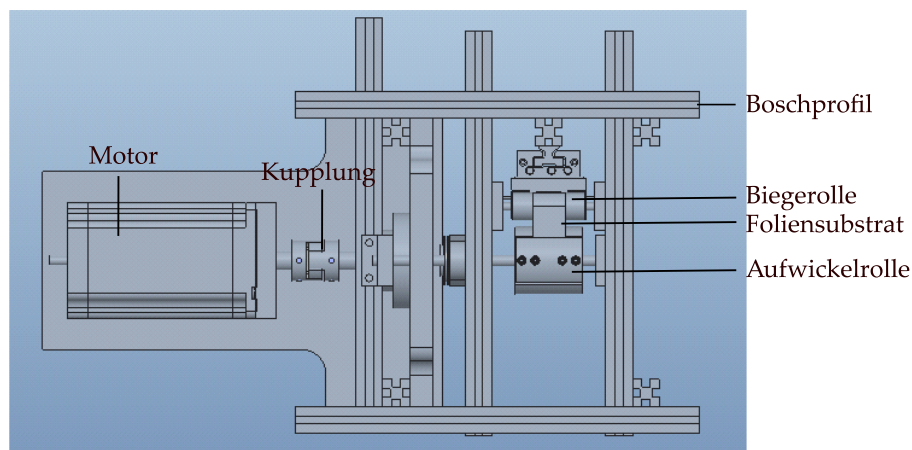


Abbildung 5-1: Konzeption des Biegeprüfstandes für die Biegeprüfung von Foliensubstraten (Draufsicht).

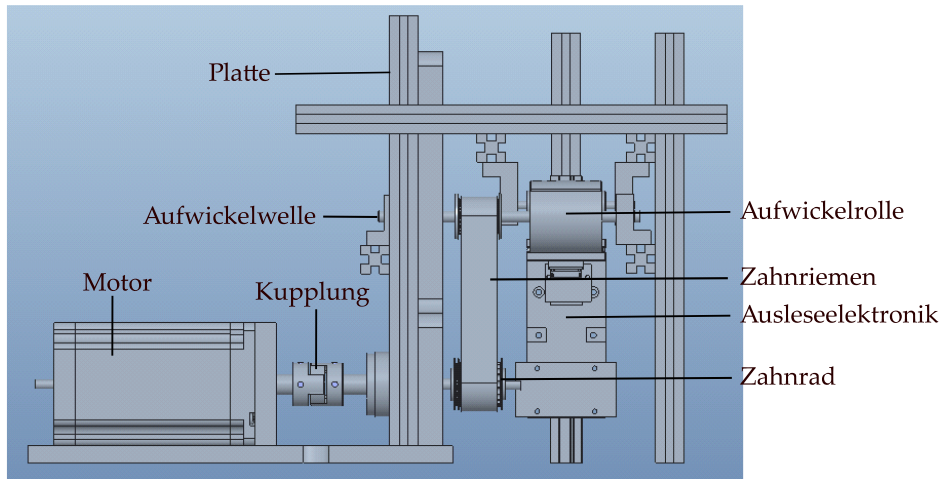


Abbildung 5-2: Konzeption des Biegeprüfstandes für die Biegeprüfung von Foliensubstraten (Seitenansicht).

Das in Abbildung 5-1 und Abbildung 5-2 gezeigte Konzept wird umgesetzt und in einem Prüfstand realisiert (s. Abbildung 5-3 & Abbildung 5-4): Ein Gleichstrommotor (1) treibt über ein Zahnrad und einen Zahnriemen eine Aufwickelwelle (2) an. Über dieser Welle ist eine Aufwickelrolle (3) montiert. Die zu biegenden Foliensubstrate mit bestückten Bauelementen (4) werden auf der Aufwickelrolle befestigt. Während sich der Motor hin und her dreht, wird das Foliensubstrat über eine austauschbare Rolle (5) geführt. Diese Rolle bestimmt den Biegeradius und ermöglicht damit die exakte Kontrolle der Biegebelastung auf die Foliensubstrate. Die Foliensubstrate am distalen Ende sind an der Ausleseelektronik (6) mit einem ZIF-Stecker befestigt, um die elektrischen Widerstände während der Biegung in-situ zu überwachen. Diese Ausleseeinheit gleitet über eine Linearführung (7). Das Gewicht der Ausleseelektronik beträgt ca. 200 g und übt während der Biegeprüfung eine Zugkraft von ca. 2 N auf die Foliensubstrate aus. Durch das angebrachte Gewicht der Ausleseelektronik bleiben die Foliensubstrate über den Biegeradius kontinuierlich gespannt.



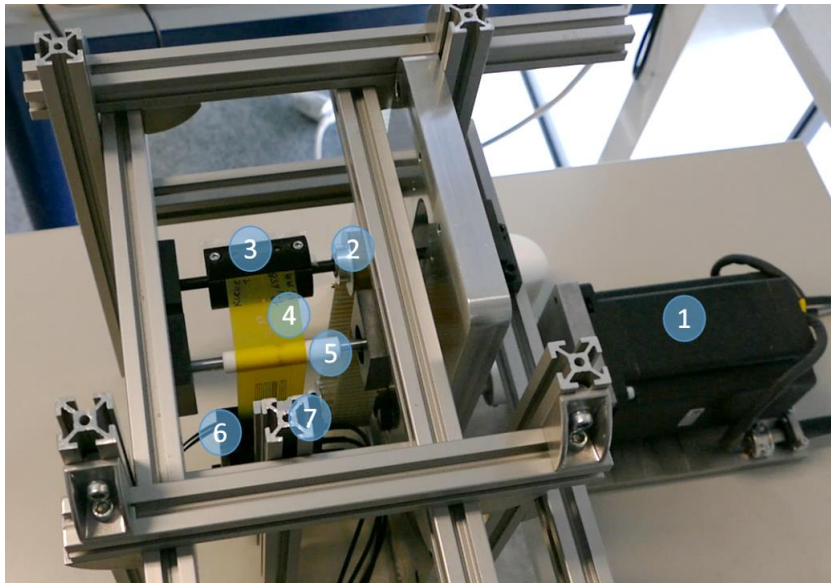


Abbildung 5-3: Dynamischer Prüfstand für die Biegeprüfungen von Foliensubstraten.

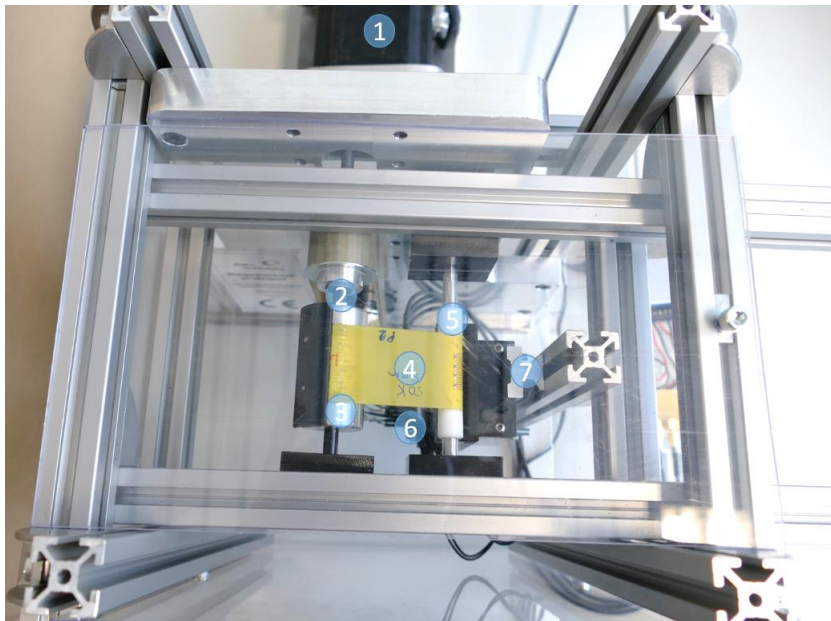


Abbildung 5-4: Dynamischer Prüfstand für die Biegeprüfungen von Foliensubstraten  
(Draufsicht).

Für ein besseres Verständnis des dynamischen Biegeverhaltens von flexiblen Foliensubstraten werden die elektrischen Eigenschaften in-situ fortlaufend gemessen und ausgewertet. Außerdem besteht die Möglichkeit, nach einer bestimmten Anzahl von Biegezyklen die Foliensubstrate zu entnehmen und die elektrischen Eigenschaften zu analysieren. Während der Biegeprüfung werden die Foliensubstrate auf einen festen Biegeradius gerollt, sodass die Substrate in jedem Biegezyklus einen planaren und

gebogenen Zustand einnehmen. Die rollende Hin- und Herbewegung wird über den Motor gesteuert. Mit dem aktuellen Aufbau können gleichzeitig vier Aufbauten (Kanäle) geprüft werden.

Nachdem die Foliensubstrate strukturiert und bestückt worden sind, wird zunächst ein kritischer Biegeradius bestimmt, bei dem vermehrt Ausfälle auftreten. Hierbei werden Biegeradien und -zyklen durchgeführt, die anhand der in der Literatur definierten Werte festgelegt werden. Während dieser Biegeprüfung wird die Widerstandsmessung kontinuierlich dokumentiert. Ein Ausfall wird anhand einer Widerstandsänderung oder eines Widerstandsanstiegs von über 20 % definiert.

### 5.3 Layout-Vorbereitung für die Biegeprüfung

Die in dieser Arbeit verwendete Ausleseinheit ermöglicht die Widerstandsmessung von vier Kanälen gleichzeitig. Diese Kanäle können entweder für vier Bauelemente wie SMDs oder vier Verbindungen wie auf dem Chip genutzt werden. Die Widerstandsmessung erfolgt mithilfe der Vierleitermessung. Bei der Vierleitermessung werden vier Anschlüsse verwendet. Über zwei der Anschlüsse wird ein definierter Strom aus einer Stromquelle zugeführt, während über die anderen beiden Anschlüsse der Spannungsabfall gemessen wird. Da die Anschlüsse getrennt sind, wird der Widerstand der Anschlussleitungen nicht in die Widerstandsmessung einbezogen.

Die Länge der verwendeten Foliensubstrate wird durch den Aufbau und die Auswahl des Biegeradius bestimmt. Wenn ein zu langes Foliensubstrat gewählt wird, muss der Prüfstand lange Strecken abfahren, um die darauf bestückten Bauelementen zu prüfen. Bei kürzeren Foliensubstraten kann die Ausleselektronik an der Biegerolle anstoßen. Basierend auf der Literatur und Vorversuchen wurden Foliensubstrate für Biegeradien von 5 bis 10 mm konzipiert. Die Substrate werden im Viertelkreis über die Biegerolle hin und her gebogen, um sie samt bestückter Bauelementen schwellend zu belasten und zu entlasten.

## Biegeprüfstandes

Abbildung 5-5 zeigt das Schaltungslayout zur Biegeprüfung der AVT von Foliensubstraten mit SMDs und Chips. Es ist jedoch zu berücksichtigen, dass das Schaltungslayout für 0603 und 0402 SMDs minimal unterschiedlich ist. Der Unterschied liegt lediglich in den ausgewählten Padgrößen. Die Strukturierung und Herstellung dieser Foliensubstrate erfolgt wie im Kapitel 6.1 beschrieben.

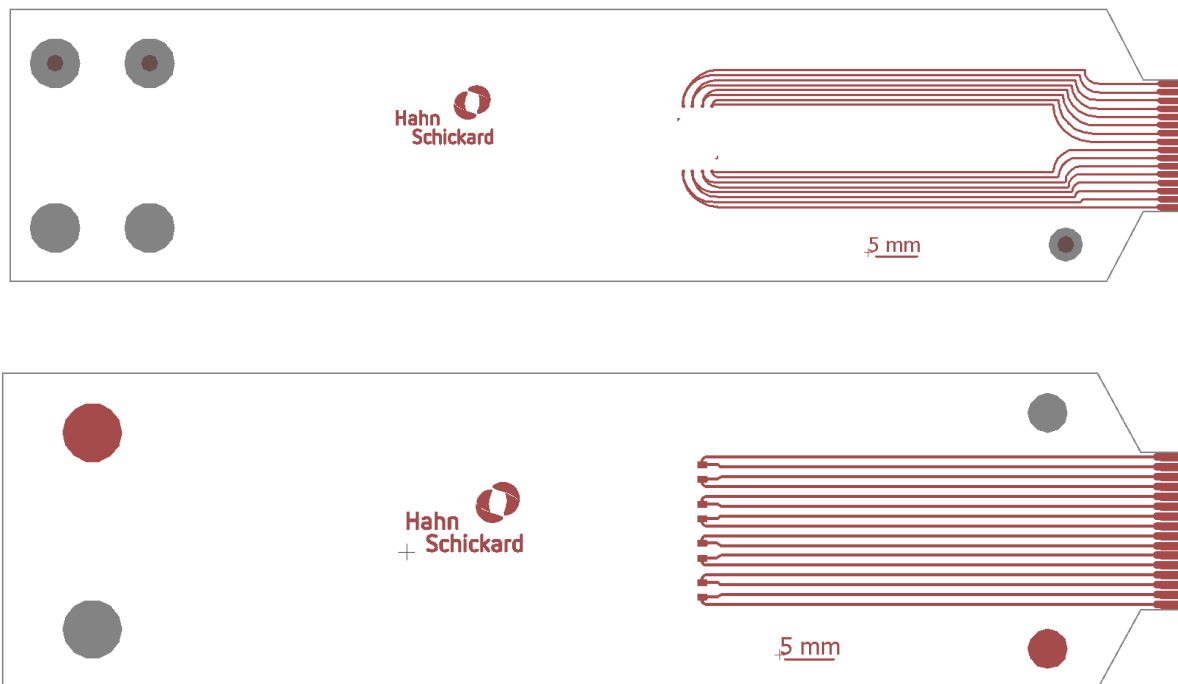


Abbildung 5-5: Layout für die Biegeprüfung, oben für ultradünne Chips und unten für SMD-Widerstände.

#### 5.4 Aufnahme und Auswertung der Ergebnisse

Während der Biegeprüfung wird die elektrische Widerstandsmessung der vier kontaktierten Widerstände/Leiterbahnen mittels der Ausleseeinheit durchgeführt. Die Ausleseeinheit ist speziell für die Online-Widerstandsmessung ausgelegt und besteht aus einer vierfachen Stromquelle sowie einem vierfachen Spannungsverstärker. Ihr Zweck besteht darin, die vier zu messenden Widerstände mit einem Speisestrom von 1,6 mA zu beaufschlagen und die dabei auftretende Spannung mit einem Faktor von 6,6 zu verstärken, bevor sie dem PXI-Messgerät zugeführt wird. Hierbei wird die

---

Vierleitermessung verwendet, um Messfehler zu minimieren, die durch Leitungswiderstände und andere Leitungseffekte verursacht werden können. Die Widerstände werden über separate Leitungen mit dem Speisestrom beaufschlagt, während die Messspannung über andere Leitungen abgegriffen wird, was zu einer besseren Trennung von Mess- und Speisestrom führt und somit die Messgenauigkeit erhöht. Diese Methode stellt eine kosteneffektive Lösung für die Messung des elektrischen Widerstands während der Biegeprüfung dar.

Das Ausgangssignal der Ausleseinheit wird mittels Koaxialleitungen in ein Data Acquisition (DAQ)-System eingespeist. Das DAQ-System ist ein Analog-Digital-Wandler und tastet die vier Messkanäle mit einer Frequenz von mehreren 10 kHz ab. Durch diese schnelle Abtastung und die ausreichende Bandbreite der Ausleseinheit können auch kurzzeitige Unterbrechungen bzw. Erhöhungen des Widerstands erkannt werden.

Das DAQ-System verfügt außerdem über ein Datenaufzeichnungsprogramm auf dem Messrechner. Dieses Programm ruft die Daten vom DAQ ab, berechnet den Widerstand aus der gemessenen Spannung, der bekannten Verstärkung und dem bekannten Speisestrom und speichert die Werte ab. Dabei wird die Widerstandsmessung unter Berücksichtigung des Verstärkungsfaktors nach dem ohmschen Gesetz durchgeführt.

Die Foliensubstrate werden mittels ZIF-Steckern an die Ausleseinheit angeschlossen, um eine zuverlässige elektrische Verbindung herzustellen. Um sicherzustellen, dass die Substrate während der Biegeprüfung nicht brechen oder sich bewegen und dadurch die Messergebnisse beeinträchtigen, wird das Foliensubstrat mithilfe von zwei Stiften vor dem ZIF-Stecker fixiert. Dadurch wird die minimale, auf das Foliensubstrat wirkende Zugkraft entkoppelt. Außerdem werden die einzelnen Leitungen passend in den ZIF-Stecker geführt, um eine ordnungsgemäße Verbindung sicherzustellen. Aufgrund der Bauweise des ZIF-Steckers muss das Foliensubstrat an der Kontaktstelle zum ZIF-Stecker 0,3 mm dick sein, um sicher geklemmt zu werden und eine ausreichend stabile Verbindung herzustellen. Daher wird das Foliensubstrat an der

## Biegeprüfstandes

Kontaktstelle vor der Messung auf 0,3 mm verdickt. Dadurch wird sichergestellt, dass das Foliensubstrat fest im ZIF-Stecker verankert ist und ein optimaler Kontakt zwischen dem Foliensubstrat und der Ausleseeinheit hergestellt wird (s. Abbildung 5-6).

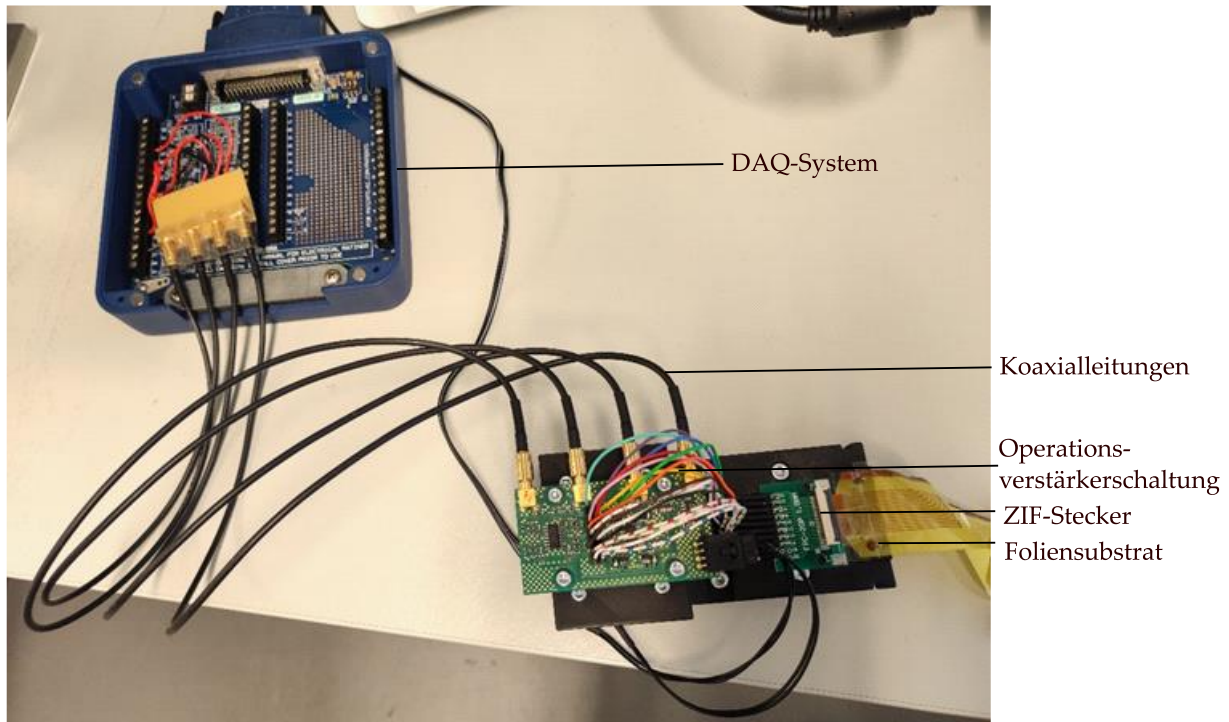


Abbildung 5-6: Ausleseeinheit bestehend aus ZIF-Stecker mit angeschlossenem Foliensubstrat, Operationsverstärkerschaltung sowie NI-Messbox.

Während der Biegeprüfung werden Messdaten erfasst und am Ende der Biegeprüfung in einer CSV-Datei gespeichert. Dabei werden die Zeitstempel und die individuellen Kanalwiderstandswerte kontinuierlich aufgezeichnet. Die Abtastrate für die Widerstandsaufnahme wird auf 100 Hz festgelegt, was bedeutet, dass etwa 50.000 Lastzyklen zu einer Datei mit ungefähr 5.000.000 Zeilen führen können. Aufgrund der Größe sind die Dateien für herkömmliche Auswerteprogramme wie Excel schwer lesbar. Aus diesem Grund werden die einzelnen Kanäle separat gespeichert. Um die Daten in einer brauchbaren Form auszugeben, wird ein Python-Code verwendet. Dieser Code lädt und analysiert die vier Kanäle sequenziell mit einer For-Schleife und gibt alle relevanten Werte aus. Dazu gehören die Anzahl der Biegezyklen, der minimale und maximale

Widerstand sowie deren Indexwerte. Der Bruchzyklus und dessen Index werden ebenfalls erfasst und ausgegeben (s. Abbildung 5-7).

	Daten	Werte
<b>0</b>	Anzahl der Zeilen in Rohdatei	8792999
<b>1</b>	Gefahrene Biegezyklen	77131
<b>2</b>	Minimaler Widerstand [ $\Omega$ ]	9,93
<b>3</b>	Index vom min. Widerstand	1
<b>4</b>	Maximaler Widerstand [ $\Omega$ ]	13,815
<b>5</b>	Index vom max. Widerstand	36124
<b>6</b>	Anfangswiderstand [ $\Omega$ ]	10,0490795
<b>7</b>	Mittelwert Widerstand [ $\Omega$ ]	10,20120211
<b>8</b>	Standardabweichung	0,214352799
<b>9</b>	Widerstandsänderung Min zu Max	39,12386707
<b>10</b>	Max_Widerstandsänderung_zu_R0	37,47527821
<b>11</b>	Index vom Widerstand 20% größer Mittelwertwiderstand	3533552
<b>12</b>	Bruchzyklus Biegeanzahl	30996

Abbildung 5-7: Ausgabe der Datenauswertung von Python als Exceldatei.

Der Verlauf der Datenerfassung während der Biegeprüfung werden zusätzlich graphisch ausgegeben. Für die Übersicht werden die Daten wie in der CSV-Datei ausgegeben. Daher erscheint als Einheit Sekunden auf der Zeitachse (s. Abbildung 5-8).

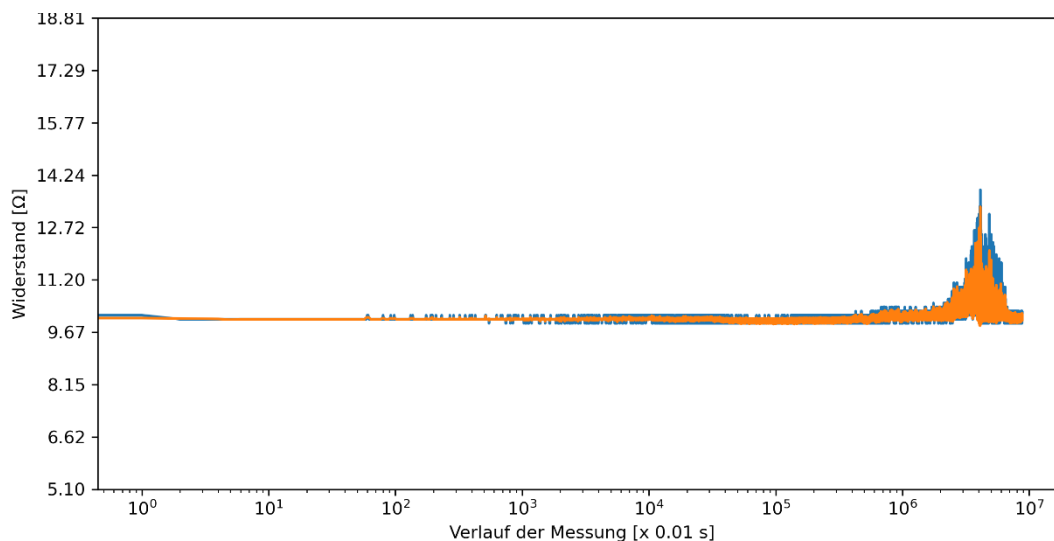


Abbildung 5-8: Ausgabe des ganzen Verlaufs der Datenerfassung.

Außerdem werden die Widerstandswerte in Abhängigkeit der Anzahl an Biegezyklen in einer Unterteilung von 2000 Zyklen dargestellt (s. Abbildung 5-9).

## Biegeprüfstandes

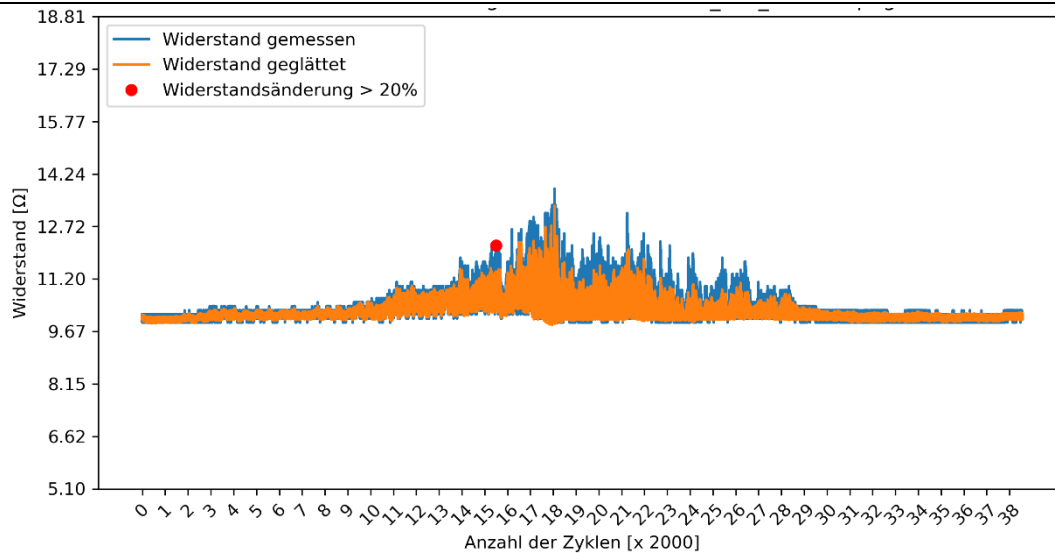


Abbildung 5-9: Ausgabe der Widerstandswerte in Abhängigkeit der Anzahl an Biegezyklen.

Als Kriterium für den Ausfall wird eine Widerstandsänderung von 20 % vom Ausgangswiderstand verwendet. Zur Bestimmung des Ausgangswiderstands werden die Anfangswiderstandswerte der Datenerfassung vor der Messung ermittelt und daraus der Mittelwert berechnet. Basierend auf diesem Mittelwert werden der minimale und maximale Widerstandswert ermittelt. Um die Foliensubstrate zu charakterisieren, wird das genaue Biegezyklus ermittelt, bei dem der Widerstand um 20 % höher als der Ausgangswiderstand liegt. Auf dieser Grundlage wird der Bruchzyklus berechnet und ausgegeben.





## 6 AVT und Charakterisierung von SMDs auf Foliensubstraten

Dieses Kapitel behandelt die AVT und Charakterisierung von SMDs auf Foliensubstraten. Zunächst wird erläutert, welche Schritte zur Strukturierung und Herstellung der Foliensubstrate erforderlich sind. Darüber hinaus werden die verschiedenen AVT-Prozesse beschrieben, einschließlich der Scher- und Biegeprüfungen. Abschließend werden die gewonnenen Erkenntnisse aus den Untersuchungen zusammengefasst und als Fazit präsentiert.

### 6.1 Herstellung und Strukturierung des Schaltungsträgers

Eine vergleichende Untersuchung verschiedener Aufbau- und Verbindungstechniken, insbesondere von Lötprozessen und Leitlebeprozessen, wird durchgeführt, um die mechanische Zuverlässigkeit von Bauelementen auf flexiblen Schaltungsträgern zu analysieren und zu vergleichen. Die Prozessparameter der AVT, sowie die AVT-Prozesse selbst werden variiert und anhand einer Scherprüfung evaluiert, um die relevanten Einflussparameter zu identifizieren. Diese relevanten Parameter werden dann in den Hauptversuchen verwendet, wo die Aufbauten unter dynamischer Biegeprüfung charakterisiert werden. Das Ziel der Untersuchung ist es, die optimale AVT für SMD-Bauelemente auf flexiblen Foliensubstraten zu ermitteln, um deren mechanische Zuverlässigkeit zu verbessern.

Für die Montage der Bauelemente auf flexiblen Foliensubstraten wurden Polyimidfolien (MC-18-25-00-CEM-Z-0300-0500, Holders Technology, Deutschland) mit Kupferkaschierung als Schaltungsträger verwendet. Diese Polyimidfolien haben eine Dicke von 25  $\mu\text{m}$  und sind mit 18  $\mu\text{m}$  Kupferfolien klebstofflos gewalzt (Rolled Annealed-Folien). Diese klebstofflosen Lamine eignen sich besonders für Anwendungen mit hohen dynamischen Biegebelastungen. Während der Verarbeitung und der Scherprüfung wurden diese Foliensubstrate auf Kupfer-kaschierte Leiterplatten (FR4-Basismaterial PCB, Lorrex, Deutschland) laminiert. Eine schematische Darstellung der

kompletten Prozesskette zur Fixierung und Strukturierung der kupferkaschierten Folien ist in Abbildung 6-1 dargestellt.

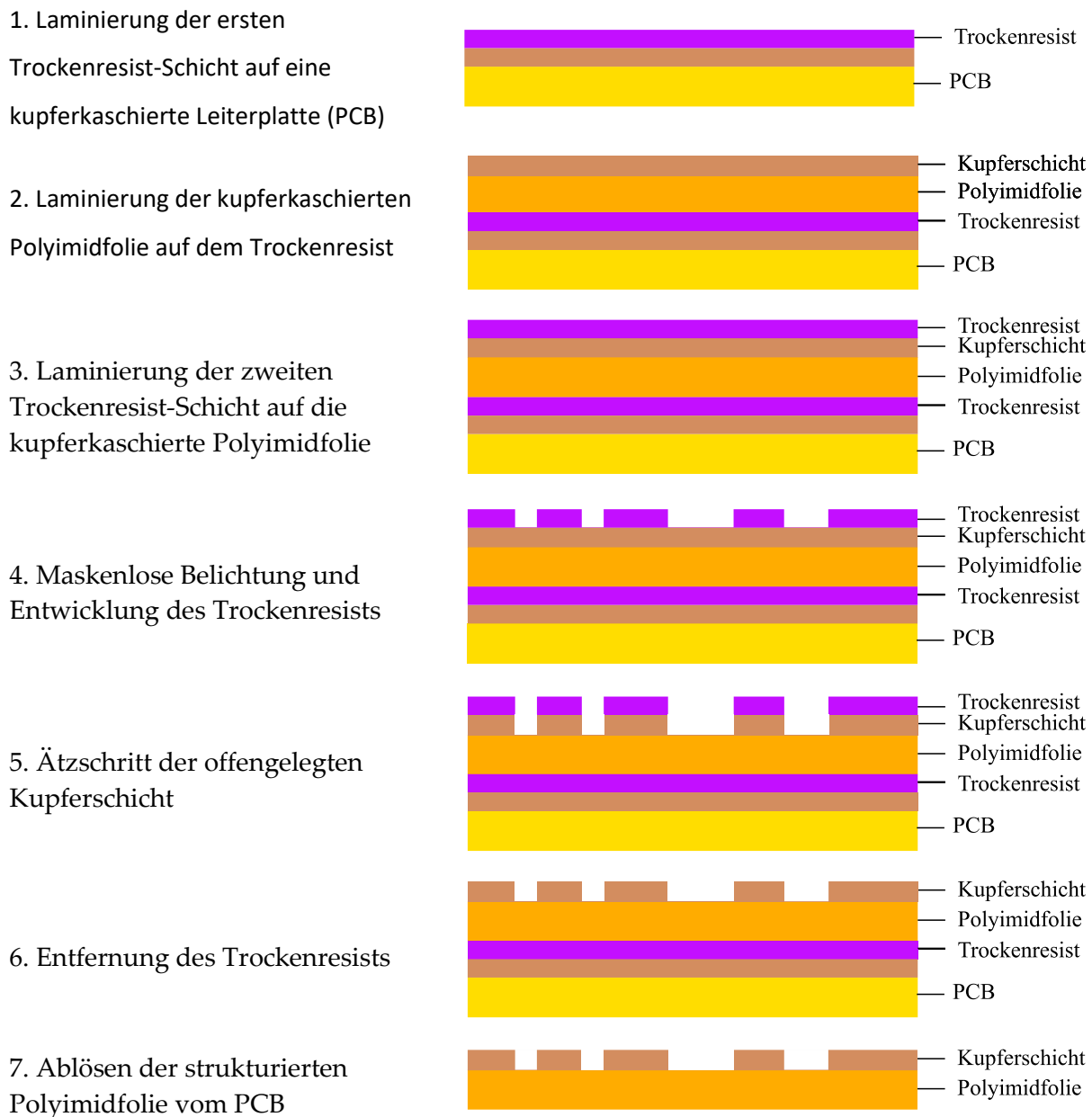


Abbildung 6-1: Schematische Darstellung der Prozesskette zur Strukturierung der kupferkaschierten Foliensubstrate.

Wenn die Foliensubstrate für die Scherprüfung strukturiert wurden (s. Abbildung 6-2), wurden sie mit Bauelementen bestückt und in einem weiteren Prozessschritt verarbeitet, ohne dass sie von der Leiterplatte entfernt wurden. Im Gegensatz dazu wurden sie nach der Strukturierung für die Biegeprüfung abgelöst und in einem separaten Prozessschritt weiterverarbeitet.

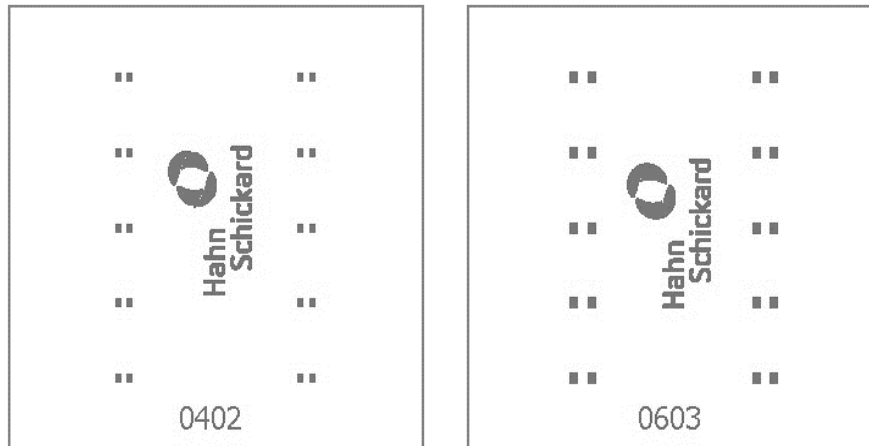


Abbildung 6-2: Schaltungsdesign für die Scherprüfung von Bauelementen des Typs 0603 und 0402.

Die Prozessparameter für die Prozesse Laminierung, Belichtung, Entwicklung und Ätzung sind jeweils in Tabelle 6-1 aufgelistet:

Tabelle 6-1: Verwendete Prozessparameter wichtiger Prozesse bei der Strukturierung der Foliensubstrate.

Prozess	Parameter 1	Parameter 2	Parameter 3
Laminierung	Temperatur: 120 °C	Geschwindigkeit: 0,2 m/Min.	Druck: Ca. 40 N
Belichtung	Energiedosis: 40 mJ/cm <sup>2</sup> , Vierfache Belichtung	Aspektjustage: -3	Linienkompensation: 30
Entwicklung	Entwicklungszeit: 45 s	Entwicklungstemperatur: 30 °C	Durchflussrate: 70 – 80 %
Ätzung	Ätztemperatur: 45 °C	Ätzzeit: 3 – 6 Min.	Durchflussrate: 80 %

Die Parameter Aspektjustage und Linienkompensation in Tabelle 6-1 beziehen sich auf die tatsächliche Belichtung von Linien- und Strukturbreiten. Sie müssen bei der Belichtung festgelegt werden, um sicherzustellen, dass die Linien und Strukturen nach der Entwicklung wie gewünscht erscheinen. Darüber hinaus geben die Durchflussraten bei der Entwicklung und Ätzung sowohl die Menge als auch den Volumenstrom des verwendeten Mediums an. Die prozentuale Einstellung bezieht sich auf die volle Leistung der verwendeten Pumpen.

Nach der Vorbereitung der einzelnen Leiterplatten für die Scherprüfung wurden die Klebstoffe gestempelt und die einzelnen SMD-Komponenten bestückt. Dabei wurden

SMD-Bauelemente mit den Größen 0603 und 0402 verwendet, und als AVT-Prozesse wurden Löten und leitfähiges Kleben vergleichend untersucht. Um die Einflussfaktoren auf die Zuverlässigkeit zu veranschaulichen, wird zunächst ein Ishikawa-Diagramm erstellt, in dem die relevanten Faktoren dargestellt werden. Eine allgemeine Darstellung der Einflussfaktoren ist in Abbildung 6-3 gezeigt.

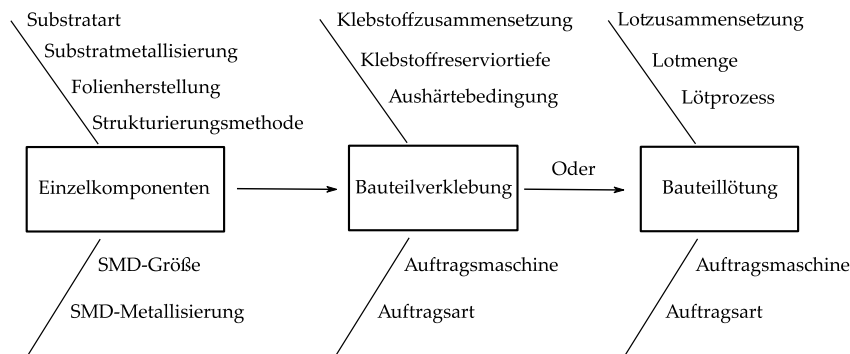


Abbildung 6-3: Einflussfaktoren auf die Zuverlässigkeit der AVT-Prozesse von SMDs auf Foliensubstraten.

Die Beschreibung von einzelnen Komponenten und verwendeten Prozessparametern zum Kleben und Löten von SMD-Bauelementen auf Foliensubstraten wird in den folgenden Abschnitten erwähnt.

## 6.2 AVT-Prozesse

### 6.2.1 Prozessabfolge für leitfähiges Kleben

Bei der Auswahl des Klebstoffs wurden folgende Anforderungen berücksichtigt, um den Klebprozess reproduzierbar zu gestalten und eine hohe Zuverlässigkeit der AVT-Prozesse zu gewährleisten. Dabei wurden u. a. die chemischen und physikalischen Eigenschaften des Klebstoffs, die Eignung für Foliensubstrate, die Aushärtungsdauer und -temperatur sowie die elektrischen und mechanischen Eigenschaften des ausgehärteten Klebstoffs betrachtet. Außerdem wurden die Bearbeitungszeiten (Potlife) des Klebstoffs herangezogen. Die Erfüllung dieser Anforderungen ist von

entscheidender Bedeutung für eine erfolgreiche Durchführung der AVT-Prozesse und eine hohe Zuverlässigkeit der montierten Bauelemente.

Aufgrund der vorher erwähnten Anforderungen wurden hier zwei Klebstoffe ausgewählt. Es handelt sich um die Materialien Loctite 3880 (Loctite Ablestik 3880, Henkel AG & Co. KGaA, Deutschland) und H20E (EPO-TEK H20E, Epoxy Technologies, Inc., USA), die unterschiedliche Zusammensetzungen aufweisen. Der Klebstoff Loctite 3880 ist ein 1-Komponenten-Klebstoff auf Basis von Epoxidharzen, der mit Silberpartikeln gefüllt ist. Obwohl H20E ein 2-Komponenten-Klebstoff ist, wird er vom Hersteller vorgemischt angeboten und als 1-Komponenten-Klebstoff geliefert.

Anschließend wurden die Einflussfaktoren für den Klebevorgang aufgrund der Literaturrecherche und der Datenblätter ausgewählt und eine Versuchsplanung (Design of Experiments, DoE) erstellt. Die Faktoren und die Stufen für das DoE sind in Tabelle 6-2 aufgeführt.

Tabelle 6-2: DoE für die AVT von SMDs auf Foliensubstraten mittels leitfähiger Klebstoffe.

Faktoren	Stufe 1	Stufe 2
Bauteilgröße	0603	0402
Klebstoff	H20E	Loctite 3880
Klebstoffreservoirtiefe	150 $\mu\text{m}$	100 $\mu\text{m}$
Aushärteprofil	150 °C x 12 Min.	125 °C x 30 Min.

Die Auswahl der Aushärtungsprofile für die Klebstoffe basiert auf den empfohlenen Profilen beider Klebstoffhersteller, welche für beide Klebstoffe anwendbar sind. Eine wichtige Voraussetzung ist, dass die Aufbauten in einem einzigen Durchlauf ausgehärtet werden können, um eine bessere Vergleichbarkeit der Ergebnisse zu gewährleisten. Die Klebstoffmenge wurde durch einen Stempelprozess kontrolliert, bei dem der Klebstoff aus einem Reservoir bzw. Stempelkissen mit einer definierten Tiefe auf eine Rakel aufgetragen wurde, um einen Klebespalt von 100 oder 150  $\mu\text{m}$  zu erzeugen. Anschließend wurde der Klebstoff mit Hilfe von Stempeltools für 0603 und

0402 auf die Pads übertragen (s. Abbildung 6-4). Dieser Prozess wurde auf dem Fineplacer durchgeführt. Danach wurden die SMDs unter dem Mikroskop platziert und in einem Konvektionsofen ausgehärtet.

Stempelkissen und Stempeltools für  
Klebstoffauftrag



Stempelkissen für ICA-Stempelprozess in  
vergrößerter Ansicht



Stempeltool für 0402 in vergrößerter  
Ansicht

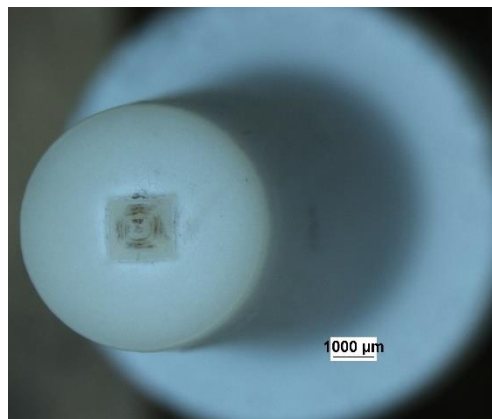


Abbildung 6-4: Verwendete Stempelkissen und Stempeltools für den Klebeauftrag.

Das Schaltungslayout ermöglicht zehn Wiederholungen für jede Kombination der Prozessparameter gemäß der Abbildung 6-2.

### 6.2.2 Prozessabfolge für das Lötten

Die Auswahl der Lote erfolgte unter Berücksichtigung der klassischen bleifreien Lötverfahren, die auch bei herkömmlichen Leiterplatten Verwendung finden. Zudem

## Foliensubstraten

wurden Lote ausgewählt, die für industrielle Projekte im Haus im Einsatz sind. Als niederschmelzende Lote wurden eine SnBi-basierte Lotpaste (S42D500A5, Nordson EFD, USA) und eine SnBiAg-basierte Lotpaste (DP 5600, Interflux Electronics, Belgien) eingesetzt. Von den Standardloten kam eine Lotpaste mit der Legierung SAC (F169 SA40C5-86D30, Heraeus Holding GmbH, Deutschland) zum Einsatz (s. Tabelle 6-3). Wie bereits in den Grundlagen im Kapitel 3.5.1 beschrieben, kommen in der Industrie häufig zwei Lötprozesse zum Einsatz: das Reflowlöten und das Dampfphasenlöten. In dieser Arbeit wurden ebenfalls beide Verfahren verwendet. Das Löten in der Dampfphase jedoch wurde ausschließlich für das SAC-Lot verwendet.

Tabelle 6-3: Zusammensetzung sowie wichtige Eigenschaften der verwendeten Lote.

Lot	Zusammensetzung	Schmelzpunkt [°C]	Partikelgröße [ $\mu\text{m}$ ]
S42D500A5	Sn42Bi58	138	15-25
DP 5600	Sn42Bi57Ag1	139	25-45
F169 (SAC)	Sn95,5Ag4Cu0,5	217	25-45

Ähnlich wie beim leitfähigen Kleben von Bauteilen wurde für die SMD-Montage mit dem Lötprozess ebenfalls eine Versuchsplanung erstellt. Tabelle 6-4 gibt einen Überblick über die Faktoren und die Stufen dieses DoE.

Tabelle 6-4: DoE für die AVT von SMDs auf Folien mittels Lötens.

Faktoren	Stufe 1	Stufe 2	Stufe 3
Bauteilgröße	0603	0402	-
Lot	SnBi	SnBiAg	SAC
Lotprozess	Reflowlöten	Dampfphasenlöten (SAC)	-

Für diesen AVT-Prozess wurde das jeweilige Lot mittels eines Handdispensers (JB113N, Fisnar Inc., Germantown, WI, USA) punktförmig auf die Pads aufgetragen.

Bei den ersten Versuchen wurde das SAC-Lot sowohl in der Dampfphase (SLC 500, IBL-Löttechnik GmbH, Königsbrunn, Deutschland) als auch im Reflowofen (SMT XXS, SMT Maschinen- und Vertriebs GmbH & Co. KG, Wertheim, Deutschland) gelötet. Allerdings ergaben sich aus den ersten Schervorversuchen vergleichbare Ergebnisse.

Außerdem war die Anlage für das Dampfphasenlöten meist durch andere Projekte belegt. Aus diesen Gründen konzentriert sich die Arbeit im Folgenden auf das Reflowlöten. Abbildung 6-5 zeigt die eingesetzten Lötprofile für die verschiedenen Lote.

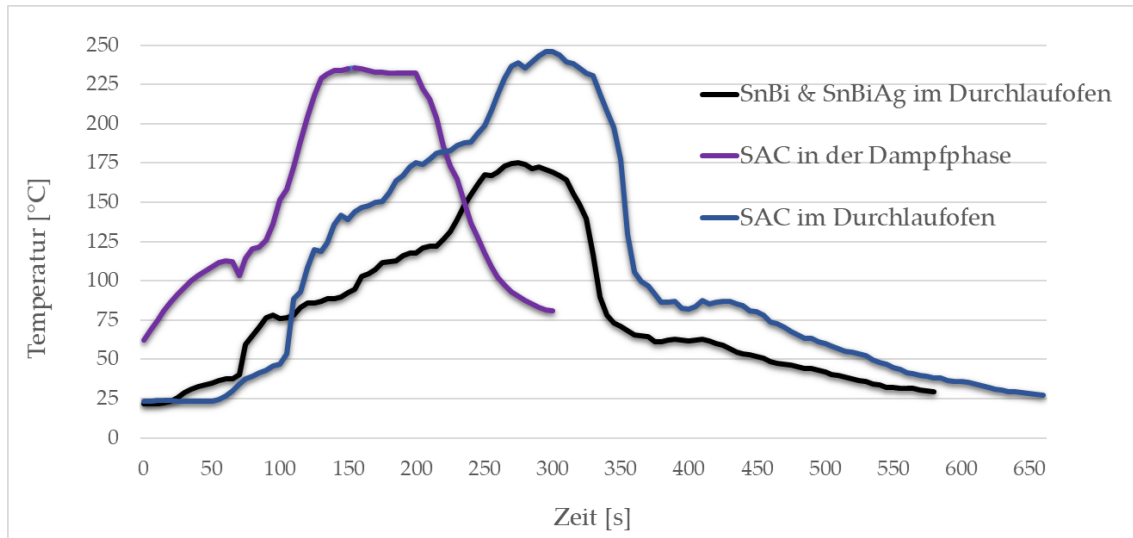


Abbildung 6-5: In dieser Arbeit verwendete Lötprofile für die verschiedenen Lote.

### 6.3 Schertest der Aufbauten als Vorversuch

Für die Evaluierung der Montage und AVT von SMDs auf flexiblen Foliensubstraten wurde primär die Scherprüfung angewendet. Diese Scherprüfung erfolgte durch den Einsatz eines Dage-Geräts (Nordson DAGE 4000Plus, Nordson EFD, USA). Im Anschluss an die Scherprüfung wurden die Scherflächen unter einem Auflichtmikroskop vermessen und analysiert. Das Ziel dieses Vorgehens besteht darin, die Scherkräfte zu normieren, um eine Vergleichbarkeit der Ergebnisse verschiedener Faktoren zu gewährleisten.

Zur Ermittlung der Scherflächen wurden insgesamt 20 Flächenpaare in jeder Kategorie herangezogen. Konkret bedeutet dies, dass für beide Bauteilgrößen 0603 und 0402 und für die AVT-Prozesse Kleben und Löten jeweils 20 Flächen ausgewählt und analysiert werden, um sie für die Berechnung zu verwenden.

Tabelle 6-5 zeigt die bestimmten Scherflächen in Abhängigkeit von dem angewandten AVT-Prozess und der verwendeten Bauteilgröße. Die Ergebnisse zeigen,



dass bei der Montage von 0402-Bauelementen eine durchschnittliche Scherfläche von  $0,264 \pm 0,082 \text{ mm}^2$  erreicht wird, während bei der Montage von 0603-Bauelementen eine durchschnittliche Scherfläche von  $0,534 \pm 0,109 \text{ mm}^2$  erzielt wird. Mit diesen Werten wurden die erzielten Scherkräfte normiert und miteinander verglichen.

Tabelle 6-5: Die Scherflächen in Abhängigkeit von Bauteilgröße und AVT Prozess.

AVT und Bauelementgröße	Scherfläche [mm <sup>2</sup> ]
Kleben 0603	0,525 ( $\pm 0,096$ )
Kleben 0402	0,229 ( $\pm 0,036$ )
Löten 0603	0,544 ( $\pm 0,122$ )
Löten 0402	0,299 ( $\pm 0,099$ )
0603 im Durchschnitt	0,534 ( $\pm 0,109$ )
0402 im Durchschnitt	0,264 ( $\pm 0,082$ )

Die vorher bestimmten Scherflächen wurden orientiert an der Literatur [113] und [114] anhand der Bruchbereiche nach dem Schertest unter einem Auflichtmikroskop bewertet. Dabei wurden jeweils die Flächenpaare eines SMD-Bauelements vermessen und zu einer Scherfläche zusammenaddiert. Mit den bestimmten Scherflächen  $A$  und den gemessenen Scherkräften  $F$  lässt sich die Scherfestigkeit  $\tau$  wie folgt in Gleichung (5) berechnen:

$$\tau = \frac{F}{A} \quad (5)$$

Für die Auswertung der Scherergebnisse wurden die erstellten Versuchsplanungen mit der statistischen Analysesoftware Minitab (Minitab 18, Minitab, LLC, State College, PA, USA) analysiert und ausgewertet.

Beim Löten von 0603- und 0402-SMDs weisen die verwendeten Lote SnBi, SnBiAg und SAC unterschiedliche Scherfestigkeiten auf. Für 0603 Bauelemente lieferten sowohl SnBi als auch SnBiAg im Durchlaufofen im Mittel höhere Scherfestigkeit als SAC-Lot im Durchlaufofen und in der Dampfphase. Bei 0402-SMDs hingegen erzielten SnBiAg im Durchlaufofen und SAC-Lot in der Dampfphase im Durchschnitt die höchste

Scherfestigkeit. Zusammenfassend kann festgestellt werden, dass das Lot SnBiAg im Durchlaufofen eine sehr gute Verbindung für beide Bauteilgrößen erzielt (s. Abbildung 6-6). Allerdings liegt die Streuung bei den gelöteten Teilen mit SnBiAg sehr hoch.

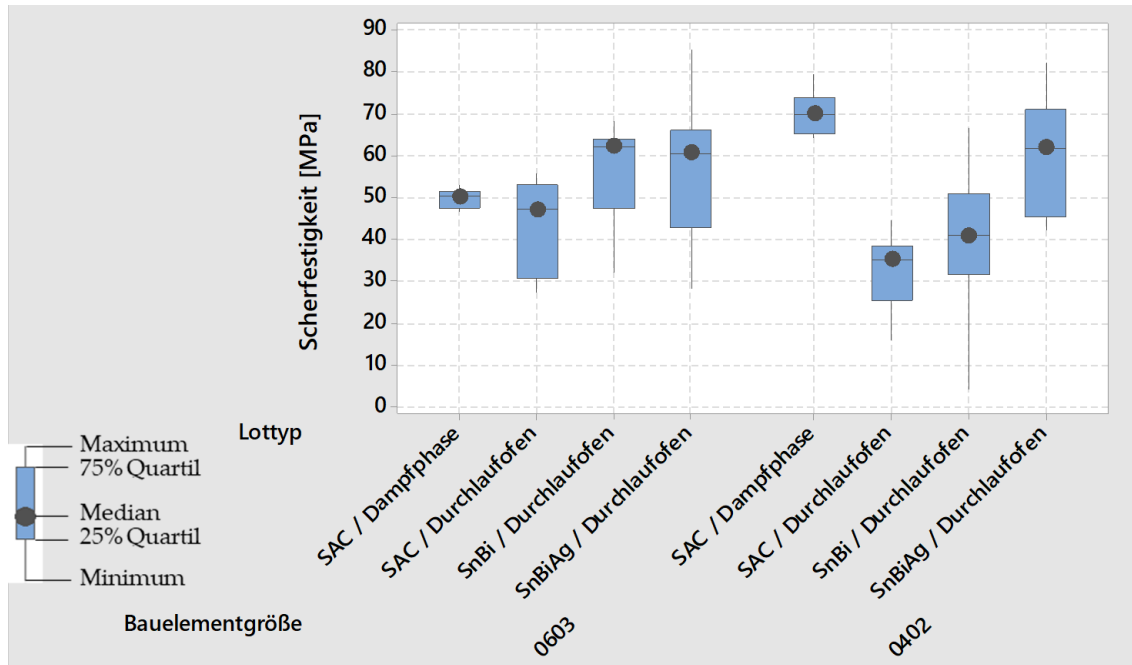


Abbildung 6-6: Erreichte Scherfestigkeit beim Löten von 0402 und 0603 SMDs auf Foliensubstraten.

Abbildung 6-7 illustriert das Pareto-Diagramm, welches die Größe und den Effekt einzelner Einflussfaktoren auf die Scherfestigkeit darstellt. Alle Balken, die die Referenzlinie bei 1,993 überschreiten, sind bei einem Signifikanzniveau von  $\alpha = 0,05$  statistisch signifikant. Dabei spielt die Bauteilgröße keine wesentliche Rolle, sondern vielmehr die Kombination aus dem verwendeten Lot und dem entsprechenden Lötprozess.

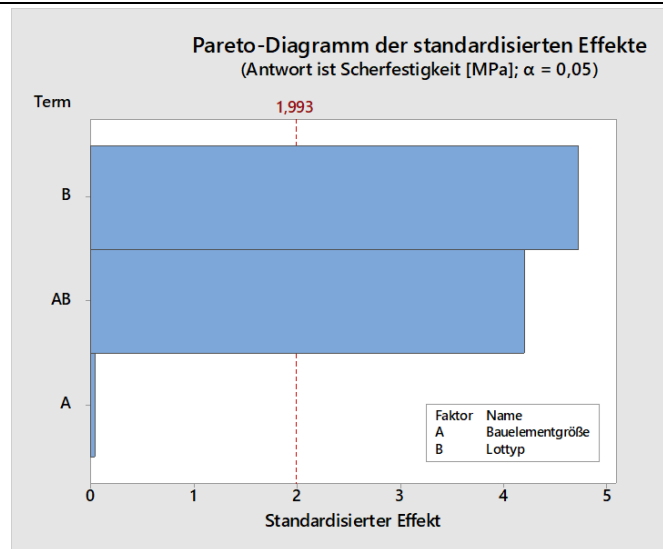


Abbildung 6-7: Pareto-Diagramm der Scherfestigkeit beim Löten von 0402 und 0603 SMDs auf Foliensubstraten.

Abbildung 6-8 zeigt deutlich den Einfluss des AVT-Prozesses auf die Scherfestigkeit. Die Referenzlinie bei einer Scherfestigkeit von 51,6 MPa entspricht dabei dem Gesamtmittelwert aller Scherfestigkeitswerte. Die Scherfestigkeit liegt im Durchschnitt bei über 40 MPa. Beim Löten von beiden Bauelementtypen mit den Loten SAC und SnBiAg wird sogar eine Scherfestigkeit von über 55 MPa erreicht.

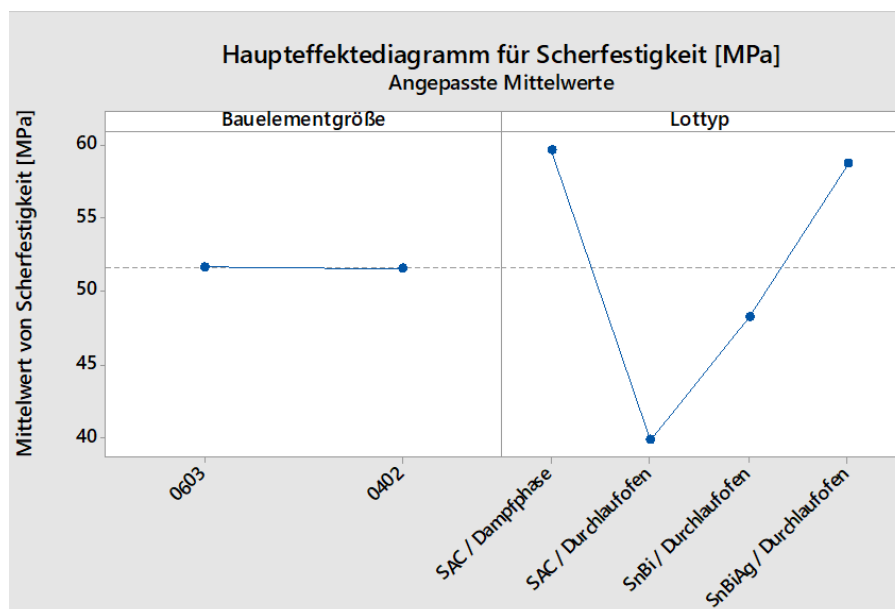


Abbildung 6-8: Haupteffektdiagramm der Scherfestigkeit beim Löten von 0402 und 0603 SMDs auf Foliensubstraten.

Genauso wie beim Löten von Bauteilen auf Foliensubstraten spielen beim leitfähigen Kleben von Bauteilen auf Foliensubstraten verschiedene Faktoren eine Rolle. Die erzielte Scherfestigkeit beim Kleben hängt maßgeblich von verschiedenen Faktoren ab, darunter dem eingesetzten Klebstoff, der Menge des aufgetragenen Klebstoffs und dem gewählten Aushärtungsprofil. Abbildung 6-9 zeigt die erreichten Scherwerte beim Kleben von Bauteilen auf Foliensubstraten mit den verschiedenen Parametern.

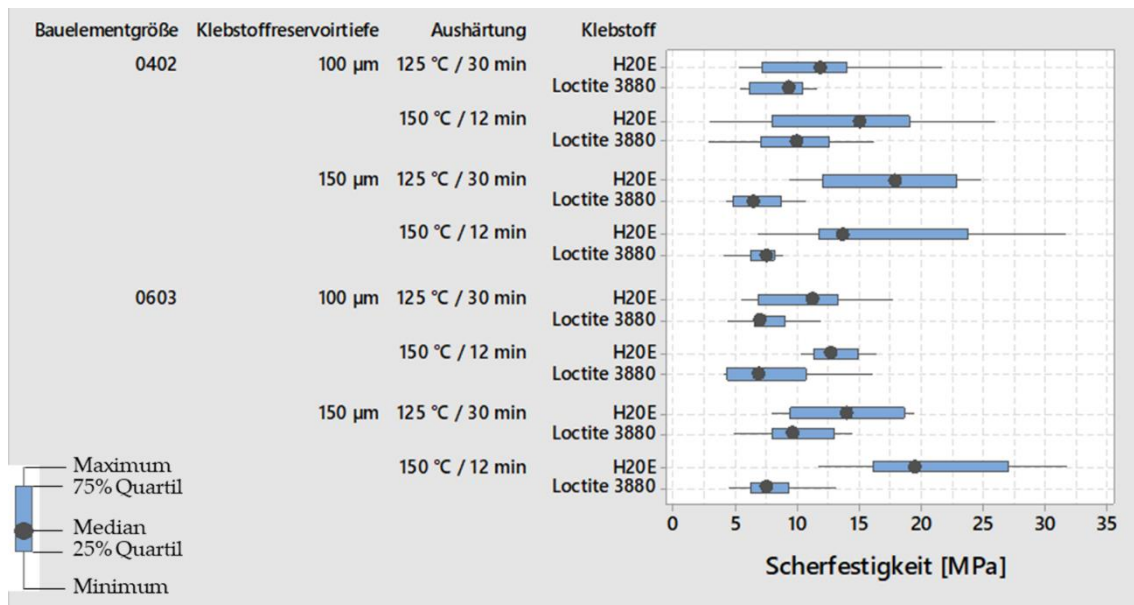


Abbildung 6-9: Erreichte Scherfestigkeit beim Kleben von 0402 und 0603 SMDs auf Foliensubstraten.

Der Einfluss der Faktoren auf die Festigkeit wird in Abbildung 6-10 deutlich. Dabei stellt die Balkenlänge die Signifikanz der Auswirkung auf die erreichte Scherfestigkeit und somit die Güte der Klebeverbindung dar. Dabei haben der gewählte Klebstoff sowie die Klebstoffmenge den größten Einfluss.

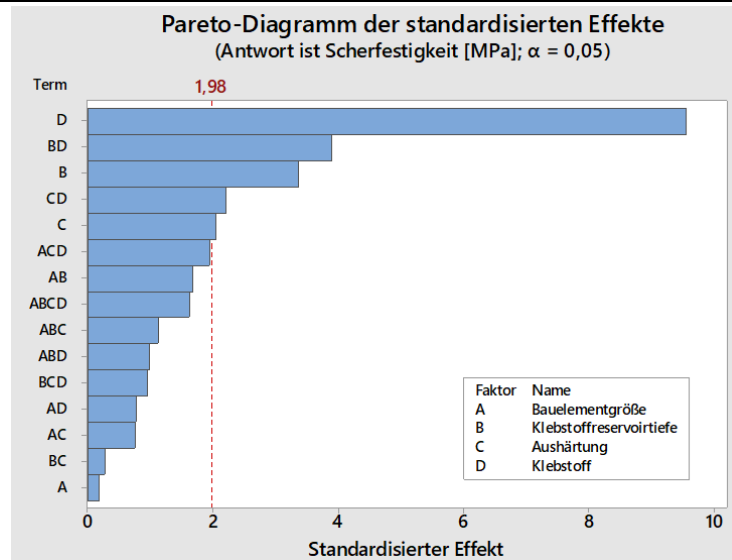


Abbildung 6-10: Pareto-Diagramm der Scherfestigkeit beim Kleben von 0402 und 0603 SMDs auf Foliensubstraten.

Das Haupteffektdiagramm in Abbildung 6-11 zeigt, wie stark und in welcher Richtung die Faktoren die Scherfestigkeit beeinflussen. Anhand dieses Diagramms lässt sich schlussfolgern, dass die geklebten SMDs Scherfestigkeitswerte von über 8 MPa erreichen. Die Auswahl und die Menge des Klebstoffs spielen eine entscheidende Rolle für eine zuverlässige Klebeverbindung, was durch eine steil ansteigende Linie im Diagramm dargestellt wird. Ebenfalls beeinflussen die Aushärtungsbedingungen die Scherfestigkeit. Eine schnellere Aushärtung bei höheren Temperaturen führt zu einer höheren Scherfestigkeit.

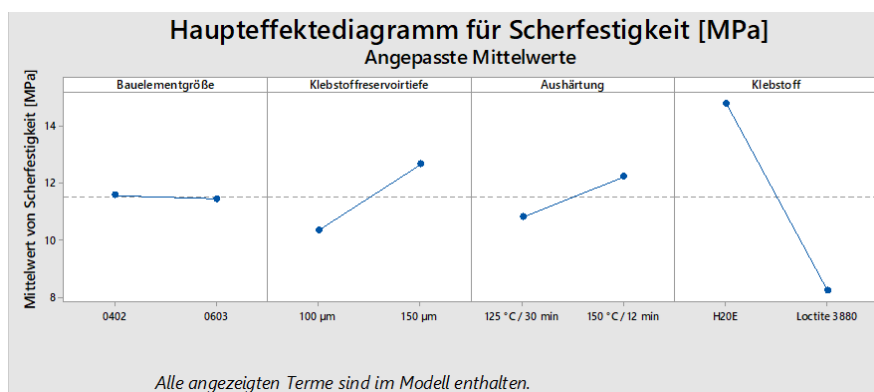


Abbildung 6-11: Haupteffektdiagramm der Scherfestigkeit beim Kleben von 0402 und 0603 SMDs auf Foliensubstraten.

---

Die Referenzlinie bei einer Scherfestigkeit von 11,5 MPa entspricht dem Gesamtmittelwert für alle Scherfestigkeitswerte.

#### **6.4 Fazit der Voruntersuchung und Scherprüfung**

Bei den Klebeversuchen wurden durch den Einsatz des Klebstoffs H20E und eine Klebstoffreservoirtiefe von 150  $\mu\text{m}$  die größten Scherfestigkeitswerte erreicht. Darüber hinaus wurden durch das Aushärten im Ofen bei 150°C höhere Scherfestigkeiten erzielt als bei 125°C. Diese Erkenntnisse flossen in den Hauptversuch ein. Da die Klebstoffe jedoch unterschiedlich sind, ist eine Untersuchung beider Klebstoffe mittels Biegeprüfung interessant. Aus diesem Grund werden beide Klebstoffe auch in weiteren Versuchen zur AVT von SMDs auf Foliensubstraten eingesetzt.

Im Vergleich zur Verwendung von leitfähigen Klebstoffen wurde beim Löten von SMDs auf Foliensubstraten eine höhere Scherfestigkeit erreicht. Die Festigkeitswerte waren beim Löten mit SAC-Lot sowohl in der Dampfphase als auch im Reflowofen deutlich höher als beim Kleben von SMDs auf Foliensubstraten. Da die Anlage für das Dampfphasenlöten als Ressource nur eingeschränkt zur Verfügung stand, wurden die Lötprozesse im Rahmen dieser Arbeit vorwiegend im Reflowofen durchgeführt. Die Faktoren aus den Vorversuchen wurden bis auf die Verwendung des Dampfphasenlötens unverändert in den Hauptversuch übernommen, um das Biegeverhalten der AVT mittels Lötprozessen auf Foliensubstraten zu untersuchen.

#### **6.5 Hauptversuch zur Biegecharakterisierung von SMDs auf Foliensubstraten**

Auf Basis des Vorversuchs wurde ein DoE für die Biegecharakterisierung der AVT von SMDs auf Foliensubstraten durchgeführt (s. Tabelle 6-6). Die Parameter Klebstoffmenge mit 150  $\mu\text{m}$  Reservoirtiefe und Aushärtung bei 150°C wurden dabei aus dem Vorversuch übernommen. Beim Löten wurden die Bauteile im Reflowofen gelötet. Zusätzlich wurde im Hauptversuch ein neuer Faktor, das Finish auf den

## Foliensubstraten

Foliensubstraten, berücksichtigt. Basierend auf der Literatur wurde das Finish Silber (ImAg) im Vergleich zu Standard-Kupfer untersucht.

Tabelle 6-6: DoE für die AVT von SMDs auf Foliensubstraten für den Hauptversuch.

Faktoren	Stufe 1	Stufe 2	Stufe 3
Bauelementgröße	0603	0402	-
Substratmetallisierung	Standard-Kupfer	ImAg	-
Lot	SnBi	SnBiAg	SAC
Klebstoff	H20E	Loctite 3880	-

In erster Linie wurden die Foliensubstrate für den Hauptversuch strukturiert und mit ImAg metallisiert, wie in Kap. 6.1 beschrieben. Abbildung 6-12 zeigt das Schaltungslayout für die Biegecharakterisierung der AVT von SMDs auf Foliensubstraten.



Abbildung 6-12: Erstellte Schaltung für die Biegeprüfung für 0603 (für 0402 sind nur die Pads kleiner). Oben ist die Metallisierung Standard-Kupfer, unten ImAg.

Die bestückten SMDs auf Foliensubstraten wurden nacheinander auf dem Biegeprüfstand befestigt und gebogen. In Vorversuchen sind einige dieser Aufbauten bei einem Biegeradius von 5 mm ausgefallen. Daher wurde dieser Radius als Biegeradius für die Biegeprüfung verwendet. Die Aufbauten wurden mit einer Biegefrequenz von 1,12 Hz gebogen. Für die Charakterisierung der Aufbauten wurde eine Anzahl an

---

Biegezyklen orientiert am Stand der Technik ausgewählt. Derzeit werden häufig Biegezyklen bis zu 20.000 Zyklen im Maximum angegeben [87], [112]. Daher wurde im Rahmen dieser Arbeit eine Anzahl von 50.000 Biegezyklen angestrebt.

Einige Aufbauten fallen während der ersten 1000 Biegezyklen aus, während andere Aufbauten später ausfallen. Einige Aufbauten bleiben jedoch bis zum Ende der Biegecharakterisierung von 50.000 Biegezyklen intakt. Um die Anzahl der Biegezyklen bis zum Versagen miteinander vergleichen zu können, werden alle Ausfallsdaten in Kategorien eingeteilt. Zusätzlich werden die Biegezyklen bis zum Versagen in Minitab erfasst, um die Einflussfaktoren zu analysieren. Falls die Aufbauten bis zum Ende der Biegeprüfung ohne Ausfall durchlaufen, wird eine Biegezyklenzahl von 50.000 eingetragen.

In Abbildung 6-13 wird anhand des Pareto-Diagramms dargestellt, welche Faktoren beim Löten von SMD-Bauelementen auf Foliensubstraten einen signifikanten Einfluss auf die Anzahl der Biegezyklen bis zum Versagen haben. Die Auswertung zeigt, dass die Oberflächenmetallisierung den größten Einfluss auf die Anzahl der erreichten Biegezyklen hat. Darüber hinaus spielt auch die SMD-Größe eine wichtige Rolle, da größere Bauteile in der Regel steifer sind. Im Vergleich dazu hat die Auswahl des verwendeten Lotes nur einen begrenzten Einfluss auf die Anzahl der erreichten Biegezyklen.



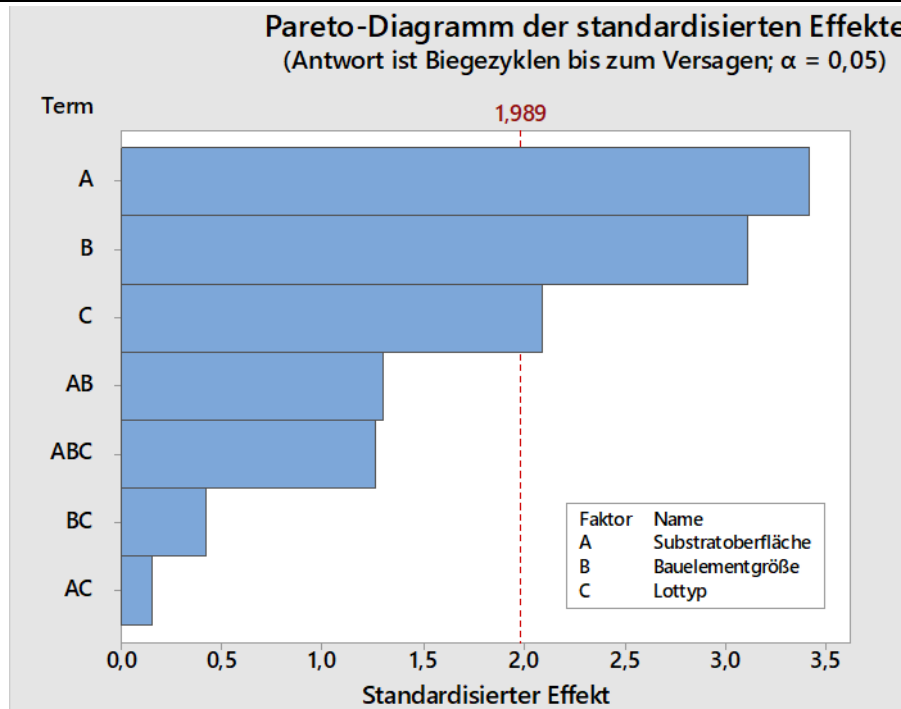


Abbildung 6-13: Pareto-Diagramm der erreichten Anzahl an Biegezyklen beim Löten von 0402 und 0603 SMDs auf Foliensubstraten.

Gelötete SMDs auf Standard-Kupferoberflächen haben eine höhere Anzahl an Biegezyklen bis zum Versagen erreicht als diejenigen auf Silberoberflächen. Darüber hinaus wurde die höchste Anzahl an Biegezyklen mit dem Lot SnBiAg erreicht, während das Standard-Lot SAC im Vergleich zu den anderen Loten eine sehr geringe Anzahl an Zyklen bis zum Versagen aufwies. Foliensubstrate bestückt mit der SMD-Größe 0402 haben eine höhere Anzahl an Biegezyklen bis zum Versagen erreicht als diejenigen mit der Größe 0603 (s. Abbildung 6-14).

Der Mittelwert der Anzahl an Biegezyklen bis zum Versagen für beiden Bauelementtypen 0603 und 0402 inklusive aller Varianten beim Löten liegt bei 29065 Biegezyklen. Beim leitfähigen Kleben beträgt der Mittelwert dagegen 44445 Biegezyklen.

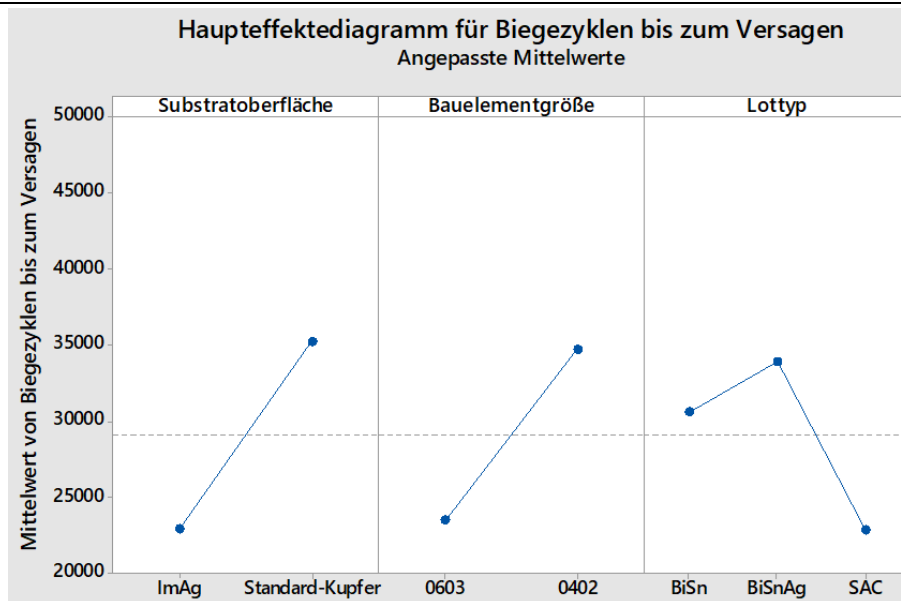


Abbildung 6-14: Haupteffektdiagramm der erreichten Anzahl an Biegezyklen beim Löten von 0402 und 0603 SMDs auf Foliensubstraten.

Wie bereits erwähnt, treten Ausfälle von Aufbauten bei einer verschiedenen Anzahl an Biegezyklen auf. Um die Variationen der AVT-Prozesse besser vergleichen zu können, wurden diese Ausfalldaten in Kategorien gruppiert. Insbesondere können Parameter, die für eine bessere Montage verantwortlich sind, besser hervorgehoben werden. Daher wurden die Daten in vier Kategorien eingeteilt: Ausfälle zwischen 1500 und 15.000 Biegezyklen, Ausfälle zwischen 15.000 und 30.000 Biegezyklen, Ausfälle zwischen 30.000 und 50.000 Biegezyklen und schließlich intakte Aufbauten beim Ende der Biegeprüfung bei 50.000 Biegezyklen. Diese Kategorisierung wurde ebenfalls durch Farbkennzeichnung angezeigt. Frühe Ausfälle unter 15.000 Zyklen werden rot gekennzeichnet, während intakte Aufbauten am Ende der Biegeprüfung grün markiert sind (s. Abbildung 6-15).

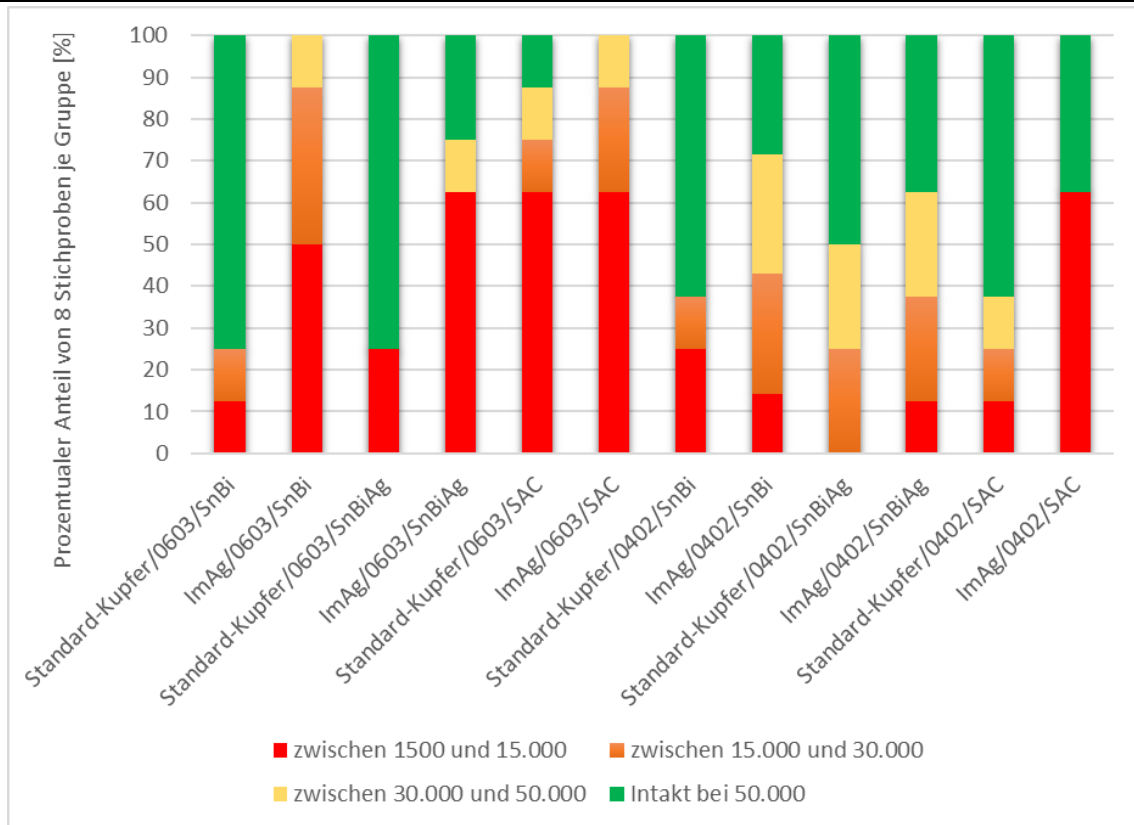


Abbildung 6-15: Erzielte Anzahl an dynamischer Biegezyklen bis zum Versagen in Kategorien für die verschiedenen Prozessvarianten beim Löten von SMDs auf Foliensubstraten.

Aus dieser Abbildung lassen sich folgende Erkenntnisse zusammenfassen:

- SnBi- und SnBiAg-Lote erreichen mehr Biegezyklen bis zum Versagen bzw. bleiben länger intakt als SAC-Lot.
- Aufbauten gelötet auf Standard-Kupferoberfläche schneiden besser ab als die auf Silberoberfläche.
- Gelötete SMDs auf Silberoberfläche haben Frühausfälle bzw. fallen vermehrt bei weniger als 15.000 Biegezyklen aus.
- 0402-Bauelemente bleiben länger intakt als 0603-Bauelemente.

Im Vergleich zu gelöteten SMDs auf Foliensubstraten zeigen sich unterschiedliche Ergebnisse beim leitfähigen Kleben auf Foliensubstraten. Dabei spielen die

Wechselwirkungen zwischen Klebstoff und Bauteilgröße sowie zwischen Substratoberfläche und Bauteilgröße eine entscheidende Rolle bei der Bestimmung der erreichten Anzahl an Biegezyklen bis zum Versagen. Im Gegensatz zur AVT mit Lötprozessen spielen die einzelnen Faktoren eine untergeordnete Rolle beim leitfähigen Kleben (Abbildung 6-16).

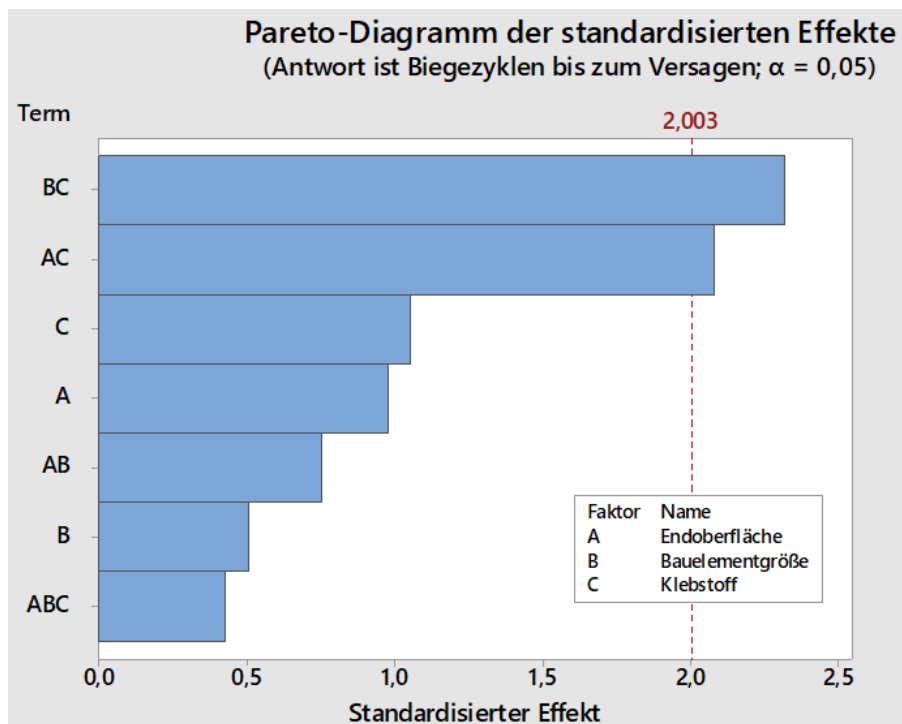


Abbildung 6-16: Pareto-Diagramm der erreichten Anzahl an Biegezyklen beim Kleben von 0402 und 0603 SMDs auf Foliensubstraten.

Die mit H20E geklebten 0603-Aufbauten auf Foliensubstraten mit Silberoberflächen haben die höchste Anzahl an Biegezyklen bis zum Versagen erreicht. Abbildung 6-17 verdeutlicht den Einfluss der einzelnen Faktoren auf die Anzahl an Biegezyklen. An dieser Stelle ist anzumerken, dass die Mittelwerte der erreichten Biegezyklenzahl der geklebten Aufbauten trotzdem im Vergleich zu gelöteten Aufbauten sehr hoch sind. Aber die einzelnen Faktoren spielen keine große Rolle. Genauso wie beim Pareto-Diagramm ist dieser Zusammenhang in Abbildung 6-17 deutlich.

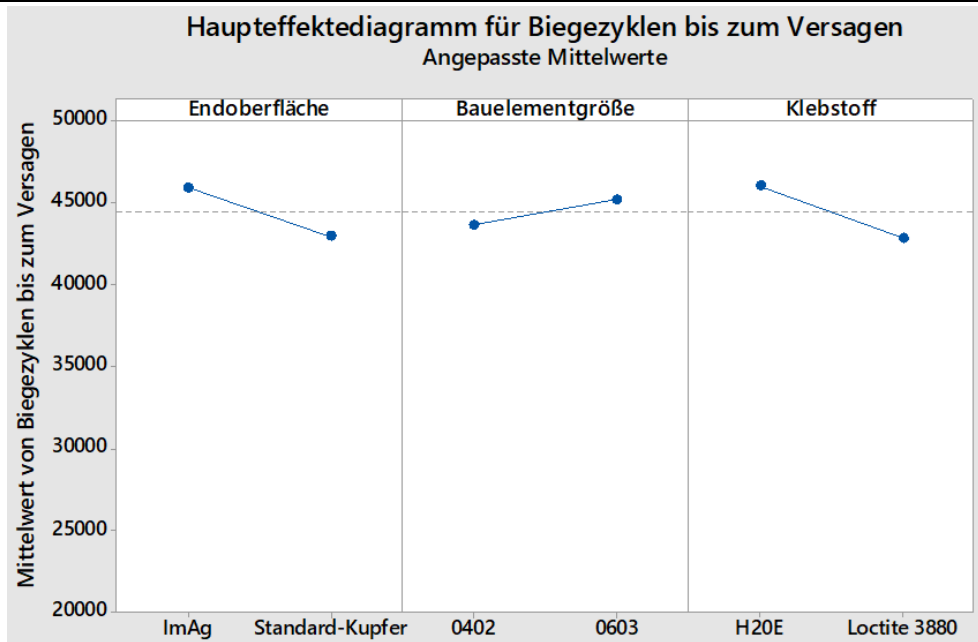


Abbildung 6-17: Haupteffektdiagramm der erreichten Biegezyklen beim Kleben von 0402 und 0603 SMDs auf Foliensubstraten.

Genauso wie bei gelöteten Aufbauten wurden die Ausfalldaten beim leitfähigen Kleben ebenfalls in Kategorien unterteilt. Die Ergebnisse der Biegeprüfung von geklebten Aufbauten sehen überraschenderweise deutlich anderes aus als beim gelöteten (s. Abbildung 6-18), da mehr Aufbauten bis zum Ende der Biegeprüfung intakt bleiben. Auf Silberoberflächen werden außerdem mehr Biegezyklen bis zum Versagen als auf Standard-Kupfer erreicht.

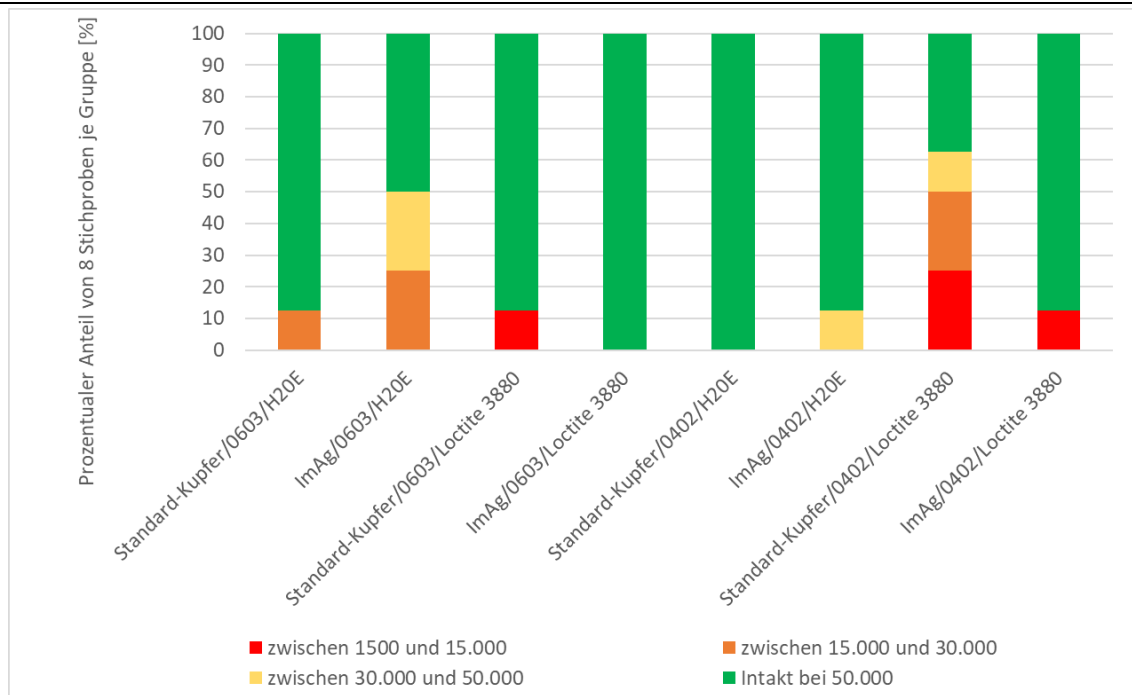


Abbildung 6-18: Erzielte Anzahl an dynamischer Biegezyklen bis zum Versagen in Kategorien für die verschiedenen Prozessvarianten beim Kleben von SMDs auf Foliensubstraten.

### 6.5.1 Einfluss der Schaltungsträger

Abhängig von der Art der AVT übt der Schaltungsträger einen großen Einfluss auf die Anzahl der erreichten Biegezyklen bis zum Versagen aus. Beim Löten erreichten Foliensubstrate, die mit SMDs auf Standard-Kupferoberflächen gelötet sind, höhere Anzahl an Biegezyklen bis zum Versagen als beim Kleben. Beim Kleben hingegen wurden mehr Biegezyklen bis zum Versagen erreicht, wenn die SMDs auf Foliensubstrate mit Silberoberflächen geklebt wurden. Beim Löten auf Standard-Kupferoberflächen wurden im Durchschnitt 35231 Biegezyklen bis zum Versagen erreicht, während bei Silberoberflächen im Durchschnitt nur 22898 Biegezyklen erreicht wurden.

Die Verwendung von leitfähigen Klebstoffen bei der AVT führte zu anderen Ergebnissen. Während beim Kleben auf Silberoberflächen Biegezyklenzahlen von 45934 bis zum Versagen erreicht wurden, lagen die Mittelwerte beim Kleben auf Standard-

Kupferoberfläche bei 42956 Biegezyklen. Die Mittelwerte sind somit fast doppelt so hoch wie beim Löten von SMDs auf Foliensubstraten.

### 6.5.2 Einfluss von AVT-Technologie und Prozessparametern

Die verschiedenen Lote mit unterschiedlichen Lötprozessen ergaben unter Biegeprüfung unterschiedliche Ergebnisse. Die höchste Anzahl von Biegezyklen wurde beim Lot SnBiAg erreicht, nämlich 33885 Biegezyklen bis zum Versagen. Mit durchschnittlich 30544 Biegezyklen folgte das Lot SnBi. Das SAC-Lot schnitt mit durchschnittlich 22763 Biegezyklen schlechter ab.

In der Gruppe leitfähiges Kleben von SMDs auf Foliensubstraten spielt die Auswahl des Klebstoffs keine signifikante Rolle auf die Zuverlässigkeit der AVT. Die mit H20E geklebten Aufbauten erreichten im Durchschnitt 46050 Biegezyklen bis zum Versagen, während die mit Loctite 3880 geklebten Aufbauten auf 42840 Biegezyklen kamen.

### 6.5.3 Einfluss der Bauelemente

Größere Bauelemente werden auf einer größeren Fläche montiert, was zu einer höheren Steifigkeit führt und unter Biegeprüfung nachteilig sein kann. Diese Aussage wurde bei der Biegecharakterisierung der gelöteten Aufbauten deutlich. Bei 0603 SMDs lag der Durchschnitt bei 23444 Biegezyklen, während er bei 0402 SMDs bei 34685 Biegezyklen lag. Im Gegensatz dazu ergaben die Ergebnisse und der Einfluss der Bauelemente beim leitfähigen Kleben ein anderes Bild. Die 0402 SMDs wiesen im Vergleich zu 0603 niedrigere Biegezyklen bis zum Versagen auf. Die Mittelwerte der Biegezyklen bis zum Versagen für die SMDs 0603 und 0402 betragen jeweils 45216 und 43674 Biegezyklen. Allerdings spielt der Faktor Bauelementgröße beim leitfähigen Kleben laut dem Pareto-Diagramm keine signifikante Rolle (s. Abbildung 6-16).

### 6.5.4 Analyse der Ausfälle und Fehlermechanismen

Die Ausfälle bei gelöteten Aufbauten auf Foliensubstraten unterscheiden sich von denen bei geklebten Aufbauten. Bei gelöteten Aufbauten traten Risse häufiger an der

Verbindungsstelle zwischen Lot und Substrat auf und breiteten sich entlang dieser Linie aus. Im Gegensatz dazu entstanden bei geklebten Aufbauten Risse typischerweise im Inneren des Klebstoffs (s. Abbildung 6-19 & Abbildung 6-20).

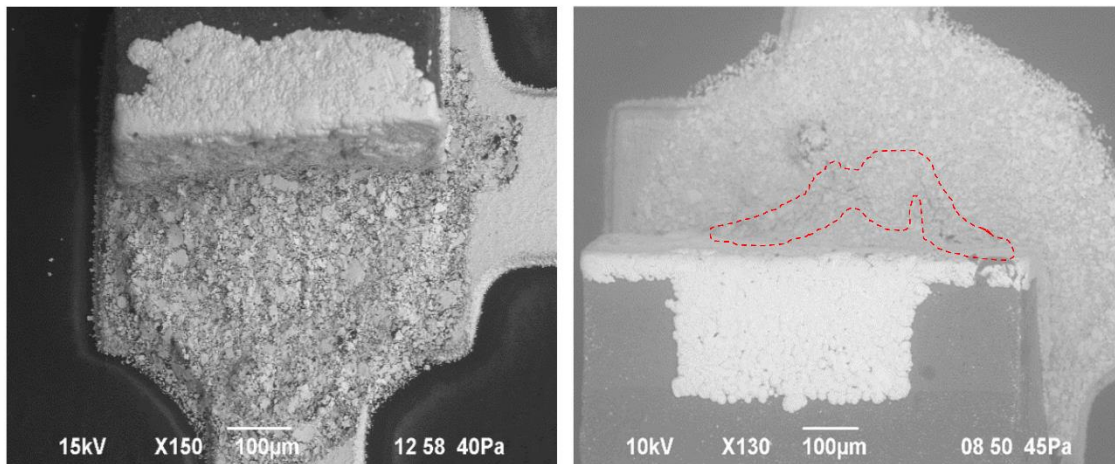


Abbildung 6-19: Intakte Probe geklebt mit H20E (links) und ausgefallene Probe geklebt mit Loctite 3880 (rechts) [115].

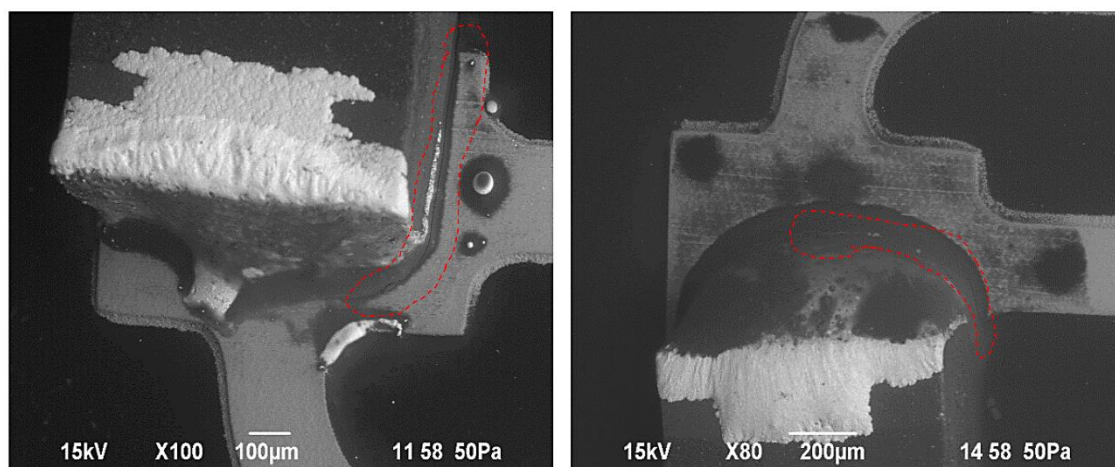


Abbildung 6-20: Ausgefallene gelötete SMDs auf Foliensubstraten gelötet mit SnBi (links) und SnBiAg (rechts) [115].

## 6.6 Fazit der Untersuchung

Die durchschnittliche Anzahl an Biegezyklen bis zum Versagen, die sowohl für 0603 als auch für 0402 unter Berücksichtigung aller Lötprozesse und Parametervariationen in Minitab ermittelt wurden, betrug 29065 Biegezyklen. Im Gegensatz dazu lag die



durchschnittliche Anzahl an Biegezyklen bis zum Versagen beim leitfähigen Kleben bei 44445. Außerdem hielten die auf Foliensubstrate mit Silberoberflächen geklebten SMDs mehr Biegezyklen bis zum Versagen aus als diejenigen, die auf Foliensubstraten mit Standard-Kupferoberflächen geklebt wurden. Im Vergleich dazu hielten die auf Standard-Kupferoberflächen gelöteten SMDs mehr Biegezyklen bis zum Versagen aus als die gelöteten Aufbauten auf Silberoberflächen.

In der AVT-Gruppe Löten wurden mehr Biegezyklen bis zum Versagen mit dem Lot SnBiAg im Vergleich zu anderen Lötten auf Standard-Kupferoberfläche erreicht. In der AVT-Gruppe Kleben wurden mit dem Klebstoff H20E im Vergleich zum Klebstoff Loctite 3880 auf Silberoberfläche mehr Biegezyklen bis zum Versagen erzielt. Die geklebten SMDs zeigten eine höhere Anzahl an Biegezyklen, bevor ein Versagen eintritt. Zusammenfassend lässt sich feststellen, dass bei der Biegeprüfung die geklebten SMDs im Vergleich zu den gelöteten SMDs auf Foliensubstraten eine höhere Widerstandsfähigkeit gegenüber dynamischer Biegebelastung aufweisen.



## **7 AVT und Charakterisierung von ultradünnen Chips auf Foliensubstraten**

Im Fokus dieses Kapitels steht die Montage und Biegeprüfung von ultradünnen Chips auf Foliensubstraten. Zunächst werden die Anforderungen an die AVT ultradünner Chips vorgestellt, anhand derer die Konzepte erarbeitet werden. Anschließend werden die einzelnen Teilprozesse schrittweise erläutert, wobei auch die Herausforderungen und ihre Lösungen vorgestellt werden. Zusammenfassend wird die Prozesskette zur Montage und Kontaktierung von ultradünnen Chips mittels adaptiver Belichtung und Dispenstechniken beschrieben. Abschließend erfolgt eine Charakterisierung der Aufbauten unter dynamischer Biegeprüfung und die Analyse eventueller Ausfälle.

### **7.1 Anforderungen an die AVT ultradünner Chips auf Foliensubstraten**

Basierend auf dem aktuellen Stand der Technik und den verfügbaren Ressourcen werden Konzepte erarbeitet, um ultradünne Chips auf Foliensubstraten zu integrieren und zu kontaktieren. Dabei werden die Anforderungen an die AVT als entscheidende Faktoren für die Entwicklung von Konzepten herangezogen. Zur Evaluierung der verfügbaren Konzepte aus der Literatur werden Bewertungskriterien ausgearbeitet und die verschiedenen Konzepte entsprechend gewichtet. Die Konzepte mit den besten Bewertungen werden ausgewählt und als Basis für die Umsetzung der in dieser Arbeit verfolgten Konzepte verwendet. Die Umsetzung erfolgt dabei unter Berücksichtigung der verfügbaren Ressourcen und unter Einhaltung der erstellten Anforderungen an die AVT.

Hauptaufgabe der AVT ist eine zuverlässige Integration und Kontaktierung ultradünner Chips auf Foliensubstraten. Eine sehr wichtige Rolle bei der AVT spielt die Flexibilität. Weitere Faktoren wie Biokompatibilität, optisches Aussehen und

---

hermetische Versiegelung sind Zusatzfaktoren, die an dieser Stelle noch keine sehr große Rolle spielen. Folgende Anforderungen werden an die AVT gestellt:

- Die AVT soll das Bauelement auf dem Substrat sowohl mechanisch als auch elektrisch verbinden.
- Der Aufbau soll möglichst kompakt sein, vor allem in Z-Richtung, um die Flexibilität sicherzustellen und eine Versteifung des Aufbaus zu vermeiden.
- Die Verbindungsstelle zwischen Chip und Substrat soll temperaturfest sein. D.h., die Festigkeit soll bei steigender Temperatur nicht nachlassen. Ein Verfließen (Erweichung) der Verbindungsstelle bei weiteren Prozessschritten soll nicht erfolgen.
- Die Verbindungsstelle soll bei Biegebelastung nicht als erstes versagen.
- Die Verbindungsstelle soll zu möglichst wenig zusätzlicher örtlicher Steifigkeit führen.
- Die Werkstoffverträglichkeit der verbindungs beteiligten Komponenten soll gegeben und keine Wechselwirkung oder Korrosionsgefahr vorhanden sein.
- Die AVT soll mit den ultradünnen Chips kompatibel sein. Keine unüblichen zusätzlichen Prozessschritte sollen bei der Herstellung der Chips notwendig sein.
- Die Prozesse für die AVT ultradünner Chips sollen eine hohe Reproduzierbarkeit aufweisen.

Zu den vorherigen Anforderungen gibt es zusätzlich weitere Anforderungen, die als Wunschanforderungen gelten und an dieser Stelle noch eine untergeordnete Rolle spielen. Zu diesen gehören u. a. folgende Anforderungen:

## ultradünnen Chips auf Foliensubstraten

- Für die Herstellung der Integration und Verbindung benötigte Materialien und Geräte sollen im Haus vorhanden sein. Im Idealfall ist die AVT außerdem für kleinere Stückzahlen geeignet.
- Die Prozesskette sollen nicht patentgeschützt sein. Außerdem sollen die Prozesse in der Literatur weitgehend nicht unter dynamischer Biegebelastung charakterisiert sein.
- Die Handhabung soll möglichst einfach sein, wenig Vor- und Nacharbeit erfordern und eine kurze Prozesskette aufweisen.
- Die AVT soll möglichst kostengünstig und die Materialien in kleinen Bestellmengen lieferbar sein.

Die vorher erwähnten Anforderungen werden in die Gruppen A, B und C unterteilt und gewichtet (s. Abbildung 7-1 & Abbildung 7-2). Insbesondere hilft das sehr bei der Gewichtung der einzelnen Kriterien.

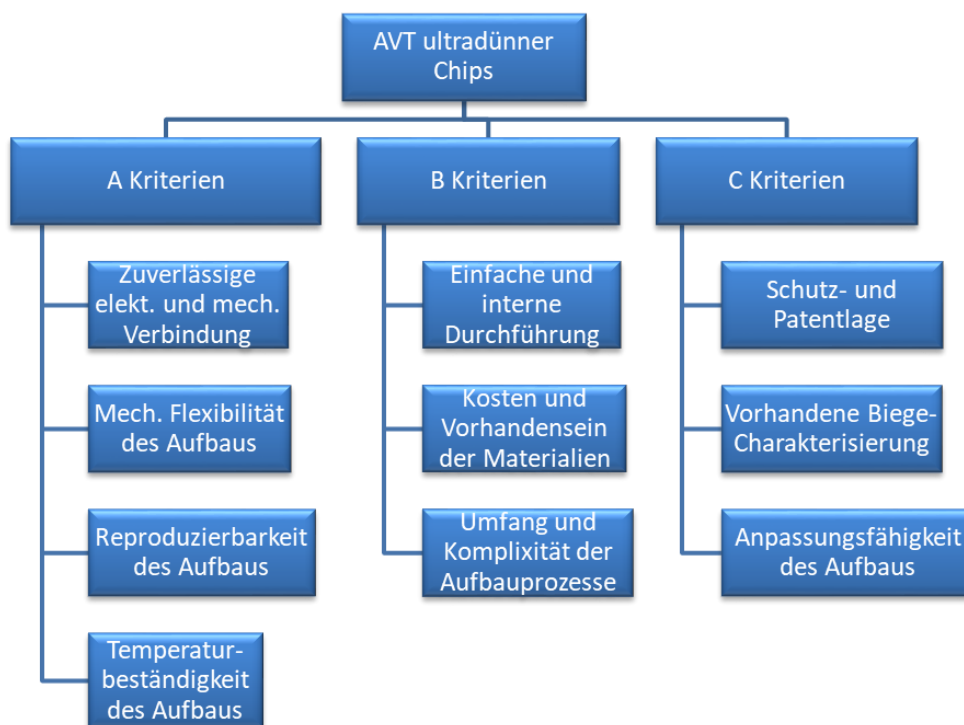


Abbildung 7-1: Unterteilung der Anforderungen zur AVT ultradünner Chips auf Foliensubstraten in Kategorien.

Diese Kriterien werden nun einander gegenübergestellt und paarweise miteinander verglichen. Das Ziel dieser Vergleichsmethode ist die Erstellung eines Rankings für die einzelnen Kriterien (s. Abbildung 7-2).

als wichtiger	Zuverlässige elekt. und mech. Verbindung	Mech. Flexibilität des Aufbaus	Reproduzierbarkeit des Aufbaus	Einfache und interne Durchführung	Kosten und Vorhandensein der Materialien	Umfang und Komplexität der Aufbauprozesse	Schutz- und Patentlage	Vorhandene Biege-Charakterisierung	Anpassungsfähigkeit des Aufbaus	Summe	%
Zuverlässige elekt. und mech. Verbindung	1	1	1	1	1	1	1	1	1	8	21,62%
Mech. Flexibilität des Aufbaus	0	1	1	1	1	1	1	1	1	7	18,92%
Reproduzierbarkeit des Aufbaus	0	0	1	1	1	0	1	1	1	5	13,51%
Einfache und interne Durchführung	0	0	0	1	1	0	0	1	0	2	5,41%
Kosten und Vorhandensein der Materialien	0	0	0	1	1	0	0	0	1	2	5,41%
Umfang und Komplexität der Aufbauprozesse	0	0	0	1	1	1	0	0	1	3	8,11%
Schutz- und Patentlage	0	0	1	1	1	1	1	1	1	6	16,22%
Vorhandene Biege-Charakterisierung	0	0	0	0	1	1	0	1	1	3	8,11%
Anpassungsfähigkeit des Aufbaus	0	0	0	1	0	0	0	0	1	1	2,70%
										<b>Prüfsumme</b>	<b>100,00%</b>

Bewertung 1 bedeutet im Beispiel Kriterium 1 ist wichtiger als Kriterium 2

Abbildung 7-2: Paarweise Vergleichsmethode zur Gewichtung der einzelnen Anforderungen.

## 7.2 Kontaktierungskonzepte ultradünner Chips auf Foliensubstraten

Die gewichteten Faktoren aus der Abbildung 7-2 fließen bei der Auswertung der verschiedenen basierend auf der Literatur in Kapitel 3.4.2 erstellten Konzepte ein. Im nächsten Schritt werden diese Konzepte zur Integration und Kontaktierung ultradünner Chips auf Foliensubstraten vorgestellt und gewichtet.

### 7.2.1 Konzept 1: Grabenfüllung über leitfähige Klebstoffe

Zur Realisierung dieser Prozesskette wird wie folgt vorgegangen (s. Abbildung 7-3):

## ultradünnen Chips auf Foliensubstraten

- Kupferkaschierte Polyimidfolien für die AVT ultradünner Chips werden zunächst strukturiert.
- Ultradünne Chips werden auf die strukturierten PI-Folien geklebt und studgebumppt.
- Der Chipbereich wird mit einem Lack belackt und lithographisch strukturiert, sodass sich Gräben zwischen Chippads und Leiterbahn pads bilden.
- In diesen Gräben werden leitfähige Klebstoffe aufgetragen, um den Chip zu kontaktieren.

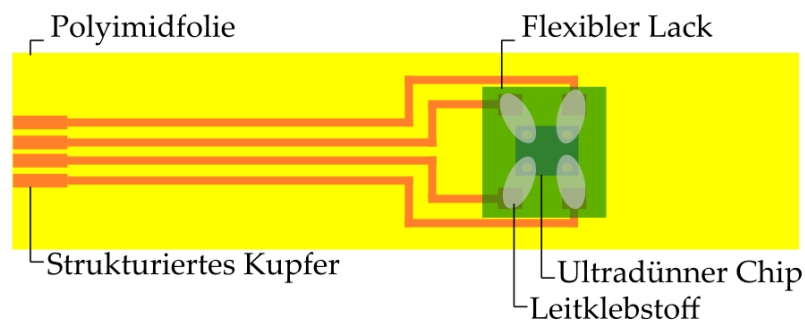


Abbildung 7-3: Integrierter und mithilfe eines Leitklebstoffs kontaktierter Chip auf Foliensubstrat.

### 7.2.2 Konzept 2: Grabenfüllung über Sputterprozess

Zur Realisierung dieser Prozesskette wird wie folgt vorgegangen (s. Abbildung 7-4):

- Kupferkaschierte Polyimidfolien für die AVT ultradünner Chips werden zunächst strukturiert.
- Ultradünne Chips werden auf die strukturierten PI-Folien geklebt und studgebumppt.

- Die Folie samt bestücktem Chip wird mit einem Lack belackt und lithographisch strukturiert, sodass sich Gräben zwischen Chippads und Leiterbahn pads bilden.
- Der belackte Chip wird großflächig besputtert u. ggf. galvanisch nachverstärkt.
- Ein Lift-off-Prozess zur Entfernung des Lacks und der darauf aufgetragenen Sputterschicht wird gefahren. Damit wird der Chip kontaktiert.

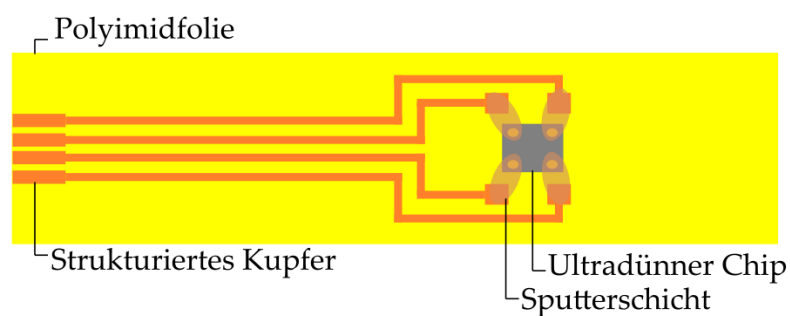


Abbildung 7-4: Integrierter und mithilfe eines Sputterprozesses kontaktierter Chip auf Foliensubstrat.

### 7.2.3 Konzept 3: Flip-Chip-Technik mithilfe von Klebe- und Lötprozess

Zur Realisierung dieser Prozesskette wird wie folgt vorgegangen (s. Abbildung 7-5):

- Kupferkaschierte Polyimidfolien für die AVT ultradünner Chips werden zunächst strukturiert.
- Die PI-Folien werden geflippt und die Leiterbahn pads werden von der Rückseite mit einem Laser freigelegt. Bei der Auswahl einer dickeren PI-Schicht kann der Chip komplett in der Folie versenkt werden.
- Der ultradünne Chip wird studgebumpet.
- Ein Leitklebstoff oder ein Lot wird auf die Leiterbahn pads aufgetragen.



- Der studgebumppte Chip wird Face-Down in die vorher mit dem Laser präparierten Folien versenkt.
- Über Bondplys wird eine zweite PI-Folie auflaminiert. Alternativ kann der Chip mit einem Lack verkapselt werden.

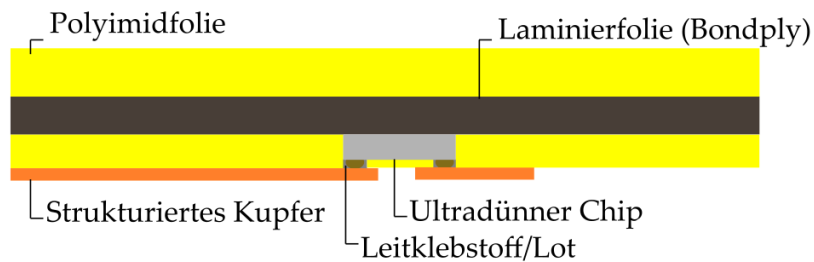


Abbildung 7-5: Integrierter und mithilfe der Flip-Chip-Technik kontaktierter Chip auf Foliensubstrat.

#### 7.2.4 Bewertung der ausgearbeiteten Konzepte

Die erstellten Konzepte wurden nach den erstellten Kriterien in Abbildung 7-2 gewichtet, um eine Prozesskette im Rahmen dieser Arbeit aufzubauen und unter Biegebelastung zu charakterisieren. Abbildung 7-6 zeigt die Bewertung der einzelnen Konzepte. Basierend auf dieser Bewertung fokussiert sich diese Arbeit im Folgenden auf das Konzept 1.

Bewertungskriterien		Konzept 1		Konzept 2		Konzept 3	
Kriterien	Gewichtung	Bewertung	Wert	Bewertung	Wert	Bewertung	Wert
Zuverlässige elekt. und mech. Verbindung	21,6%	8	1,7	7	1,5	8	1,7
Mech. Flexibilität des Aufbaus	18,9%	8	1,5	8	1,5	7	1,3
Reproduzierbarkeit des Aufbaus	13,5%	7	0,9	8	1,1	8	1,1
Einfache und interne Durchführung	5,4%	6	0,3	5	0,3	5	0,3
Kosten und Vorhandensein der Materialien	5,4%	8	0,4	6	0,3	7	0,4
Umfang und Komplexität der Aufbauprozesse	8,1%	6	0,5	6	0,5	7	0,6
Schutz- und Patentlage	16,2%	7	1,1	5	0,8	5	0,8
Vorhandene Biegecharakterisierung	8,1%	7	0,6	6	0,5	6	0,5
Anpassungsfähigkeit des Aufbaus	2,7%	8	0,2	6	0,2	6	0,2
	<b>Summe</b>		<b>7,4</b>		<b>6,6</b>		<b>6,8</b>

Bewertungszahl von 0 - 10

Bewertungszahl 0 entspricht Prozesskette erfüllt das Kriterium nicht

Bewertungszahl 10 entspricht Prozesskette erfüllt das Kriterium vollständig

Schutz- und Patentlage 0 entspricht patentiert und darf nicht so ausgeführt werden

Vorhandene Biegecharakterisierung 0 entspricht voll charakterisiert

Abbildung 7-6: Bewertung der einzelnen Konzepte zur Integration ultradünner Chips auf Foliensubstrat.

Das Ziel dieser wissenschaftlichen Arbeit besteht u. a. darin, eine Prozesskette für die Integration und Kontaktierung von ultradünnen Chips auf flexiblen Substraten unter Verwendung von kommerziell erhältlichen Materialien und vergleichsweise einfachen Prozessen mit nach dem Stand der Technik verfügbaren Anlagen zu entwickeln. Es wird außerdem angestrebt, diese Prozesskette und damit aufgebauten Chips unter dynamischer Biegeprüfung zu charakterisieren.

Bisher werden Chips mit edlen Oberflächen verwendet, jedoch sind diese aufgrund ihrer hohen Kosten für die Industrie schwer zugänglich. Standard-Chips mit AlSiCu-Metallisierung sind zwar preiswerter, aber ihre Kontaktierung über herkömmliche Klebprozesse ist nicht zuverlässig. Um die Standard-Chips für verschiedene Prozessketten funktionalisieren zu können, werden Goldstudbumps eingesetzt, um eine zuverlässige Kontaktierung herstellen zu können. Um diese Prozesskette für individualisierte Anwendungen auch für kleinere Stückzahlen wirtschaftlich zu gestalten, werden einzelne Prozesse eingesetzt, die die Möglichkeit bieten, später automatisiert zu werden.

Es wird ein Kontaktierungsverfahren untersucht, bei dem auf Foliensubstrate geklebte Chips mit einem geeigneten Lack belackt werden. In diesem Lack werden lithographisch abhängig von der Chipbestückung Gräben freigelegt. In den erzeugten Gräben wird ein leitfähiger Klebstoff aufgebracht, um eine elektrische Kontaktierung des Chips zu gewährleisten (s. Abbildung 7-3).

Die Herausforderung besteht darin, diese Gräben präzise zu öffnen, um den Kontakt zwischen Chippads und Leiterbahnen herzustellen. Es gibt zwei Möglichkeiten, dies zu erreichen: entweder werden die Chips mit höchster Genauigkeit bestückt, was zu höheren Investitionskosten an Bestückungsanlagen führt, oder die Gräben werden jedes Mal individuell freigelegt, abhängig vom Ergebnis der Bestückung. Sollten die Chips auf den Foliensubstraten verdreht oder verschoben bestückt worden sein, müssen die Positionen bei der Belichtung der Gräben berücksichtigt und angepasst werden. In dieser Arbeit wird jedoch eine Alternative zur Freilegung von bestückten und belackten Chips untersucht. Diese besteht darin, Chips automatisch zu erkennen und die Belichtung adaptiv anhand von Passermarken auf den Chips und Foliensubstraten durchzuführen. Insgesamt zielt diese Arbeit darauf ab, eine kostengünstige und zuverlässige Methode für den Aufbau und die Kontaktierung ultradünner Chips auf flexiblen Foliensubstraten zu entwickeln, die auch für kleinere Stückzahlen und individualisierte Anwendungen geeignet ist.

Im Gegensatz zur Kontaktierung durch Drucktechniken besteht bei der Verwendung von leitfähigen Klebstoffen oder Loten die Möglichkeit, dickere Bahnen in den Gräben aufzutragen. Dies ermöglicht den Einsatz verschiedener Klebstoffe mit unterschiedlicher Flexibilität für die Kontaktierung. Ein weiterer Vorteil ist, dass keine Rampenbildung an der Chipkante erforderlich ist, da die dickeren Leiterbahnen sich besser an die Chipkante anpassen. Darüber hinaus kann die Prozesszeit reduziert werden, da die Leiterbahnen dicker aufgetragen werden, im Vergleich zum Drucken von mehreren Schichten mithilfe von Drucktechniken wie Ink- oder Aerosol-Jet. Dies führt zu einem schnelleren und effizienteren Prozess.

---

In einem Vorversuch wurde die Durchführbarkeit untersucht, ob die Kontaktierung über die Chipkante mittels des Klebstoffs H20E hergestellt werden kann. Darüber hinaus wurde die Herstellung der Gräben mittels Lithographie untersucht. Zunächst wurden die Gräben lithographisch belichtet, jedoch stellte sich schnell heraus, dass die Chips unterschiedlich auf den Foliensubstraten ausgerichtet waren. Daraufhin wurden die belackten Chips zunächst mit festen Belichtungsdaten freigelegt. Der leitfähige Klebstoff wurde manuell aufgetragen, ohne die Dicke des Klebstoffs zu berücksichtigen. Nachdem der Klebstoff ausgehärtet worden war, wurden die Widerstände mittels eines Spitzenmessplatzes gemessen. Die durchgeführten Vorversuche haben gezeigt, dass mithilfe von leitfähigen Klebstoffen eine gute Kontaktierung zwischen Chips und Leiterbahnen hergestellt werden kann. Die Widerstandswerte waren niedrig und können bei der Biegeprüfung ohne Probleme überwacht werden.

Für die Realisierung der Prozesskette aufbauend auf dem Konzept 1 wird zunächst der Prozessablauf zur AVT und Biegecharakterisierung ultradünner Chips auf Foliensubstraten erarbeitet (s. Abbildung 7-7). Dabei werden vertikal die einzelnen Prozesse von der Folienherstellung über die AVT-Prozesse bis hin zur Biegecharakterisierung vorgestellt, während die einzelnen Teilprozesse in jeder Stufe horizontal beschrieben werden.

## ultradünnen Chips auf Foliensubstraten

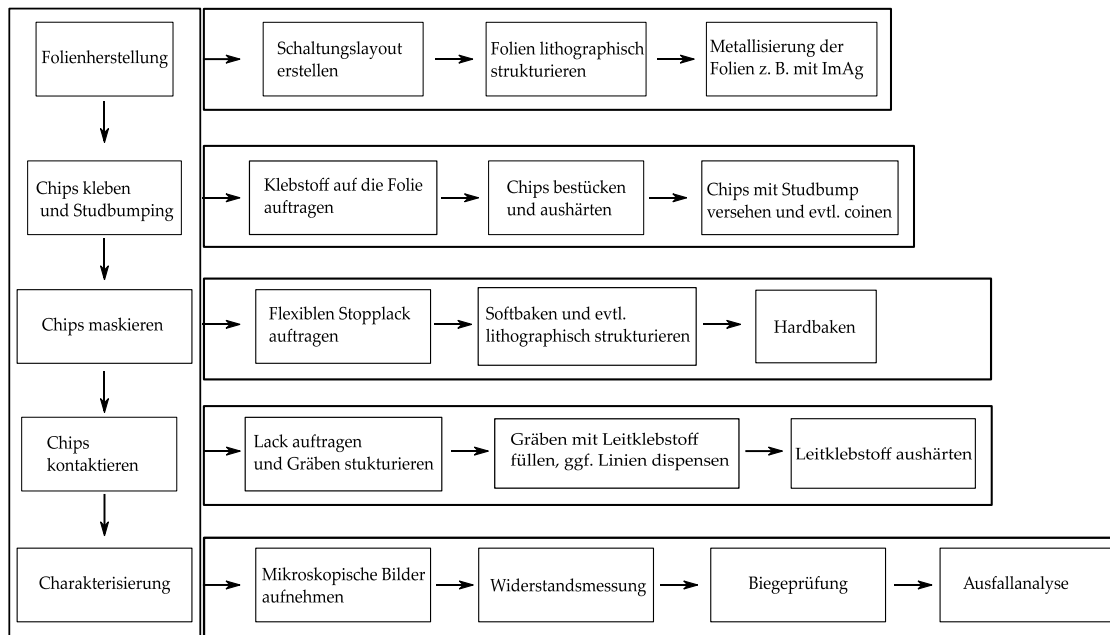


Abbildung 7-7: Prozesskette von der Foliengherstellung bis zur Charakterisierung von kontaktierten Chips auf Foliensubstraten mittels adaptiver Belichtung und Dispenstechniken. Vertikal sind dabei die Prozessketten beschrieben, während horizontal die einzelnen Schritte eines Prozesses dargestellt werden.

Diese Prozesskette wird adaptiv für die Kontaktierung von Chips auf Foliensubstraten angepasst. Somit ermöglicht sie eine gleichzeitige Integration von mehreren Chips auf einem Foliensubstrat. Eine präzise Bestückung des Chips ist nicht zwingend notwendig, da jegliche Chipverdrehung und -verschiebung adaptiv korrigiert wird. Die Rasterauflösung gewählter Prozesskette orientiert sich an den verwendeten Teilprozessen. Die adaptive Belichtung erfolgt in enger Abstimmung mit dem Direktbelichter Hersteller (MIVATec 2020L DI, MIVA Technologies GmbH, Deutschland). Die Durchführung der einzelnen Prozesse und Teilprozesse wird in den folgenden Unterkapiteln beschrieben. Zunächst werden die Schaltungsträger für die AVT von Chips strukturiert und hergestellt.

### 7.3 Design und Strukturierung des Schaltungsträgers

Das Schaltungslayout der Foliensubstrate wurde unter Berücksichtigung mehrerer Faktoren erstellt. Hierzu zählen u. a. die benötigten, an die Biegeradien angepassten

Folienlängen, der eingesetzte Chip sowie das Konzept, welches für die AVT verfolgt wird. In Abbildung 7-8 wird das Schaltungslayout im Eagle Design für die Nutzenherstellung von sechs Aufbauten gezeigt. Die lithographischen Prozesse, welche zur Herstellung der Foliensubstrate verwendet wurden, sind kurz im Unterkapitel 6.1 beschrieben worden. Nach der Lithographie wurden die Foliensubstrate aus dem Nutzen mithilfe von einem UV-Lasers herausgeschnitten. Darüber hinaus sind im Design Bohrungen vorgesehen, welche zur Fixierung der Foliensubstrate während der Biegecharakterisierung verwendet werden können. Nachdem die Foliensubstrate mit dem Laser getrennt worden sind, wurden sie mit einem Silberfinish (ImAg) metallisiert.

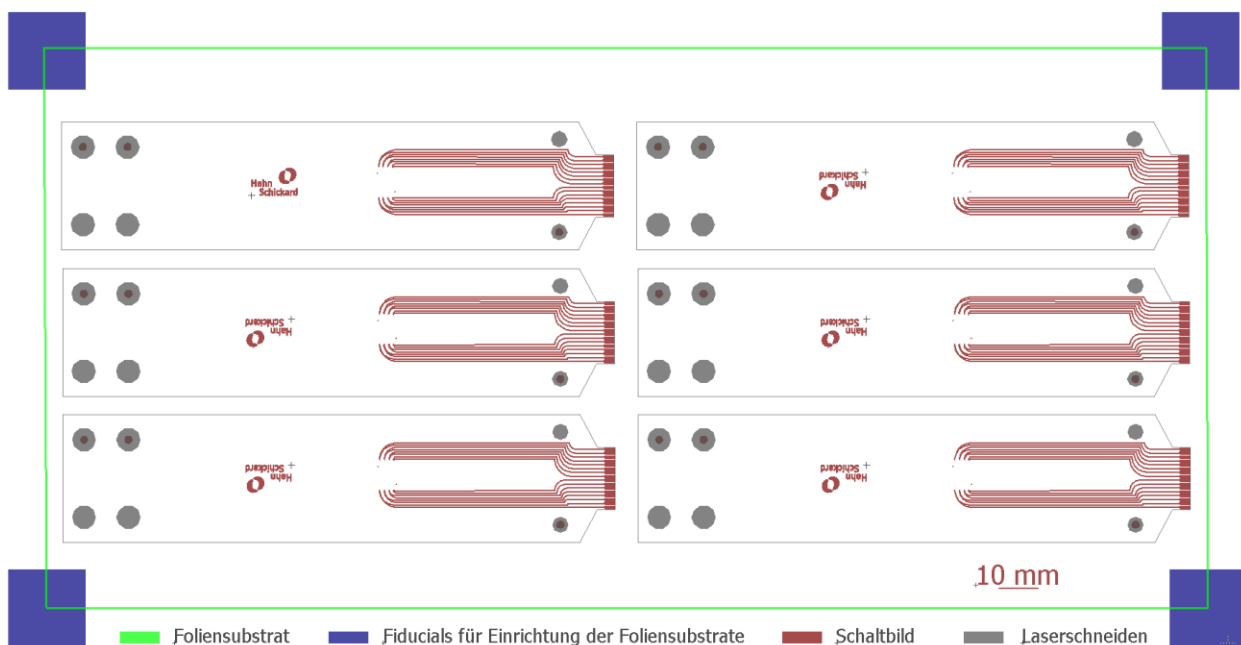


Abbildung 7-8: Eagle Design zur Strukturierung und Herstellung der Foliensubstrate zur Biegecharakterisierung der AVT für ultradünne Chips.

#### 7.4 Auswahl der ultradünnen Chips

Für die Prozessierung und Erarbeitung des AVT-Prozesses wurde ein Dummy-Chip ausgewählt (s. Abbildung 7-9). Der Chip hat die Bemaßung  $4,7 \times 4,7 \times 0,05 \text{ mm}^3$  und eine AlSiCu-Metallisierung. In Abbildung 7-9 sind vier Daisy Chain-Verbindungen mit den Nummer 1-4 eingezeichnet, die vier Leiterbahnen bilden. Diese wurden genutzt, um

## ultradünnen Chips auf Foliensubstraten

vier Kanäle auf jedem Chip zu kontaktieren und ihren Widerstand einzeln während der Biegeprüfung zu überwachen.

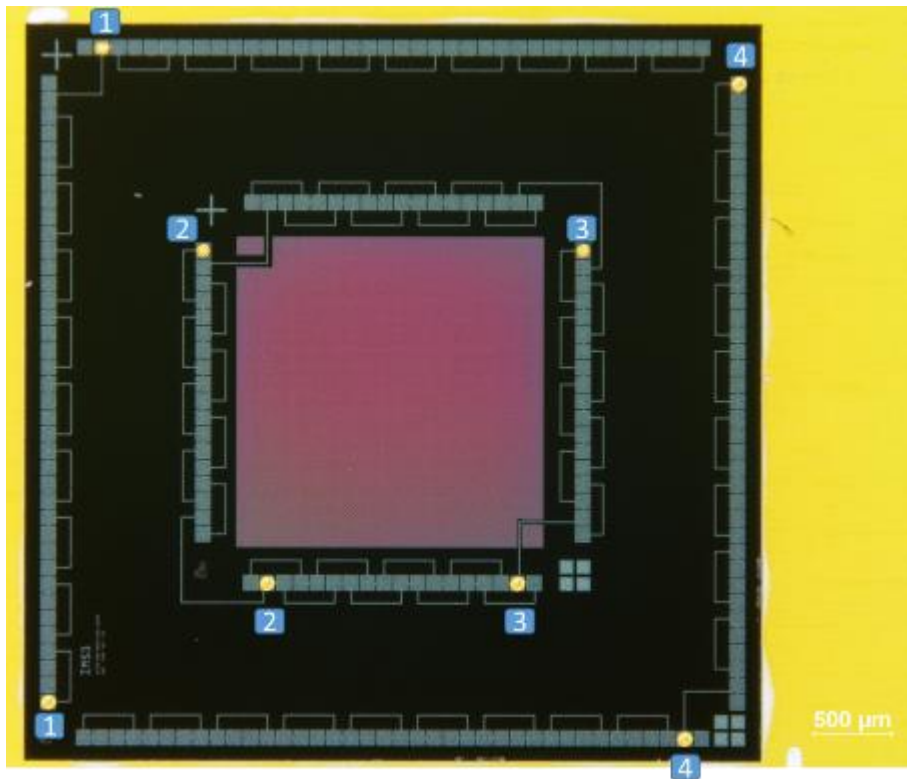


Abbildung 7-9: Eingesetzter Dummy-Chip zur Realisierung der AVT-Prozesskette.

Dabei werden die einzelnen, zu kontaktierenden Kanäle durchnummeriert.

Abbildung 7-10 zeigt den bestückten und kontaktierten Chip auf dem Foliensubstrat im Eagle Design. Um zu vermeiden, dass die Klebstoff-Bahnen einen Kurzschluss verursachen, wird vor der Kontaktierung ein Maskierungsschritt mit einem Lack eingesetzt. Falls jedoch ein Chip mit Pads am Rand verwendet wird, kann dieser Maskierungsschritt vollständig entfallen.

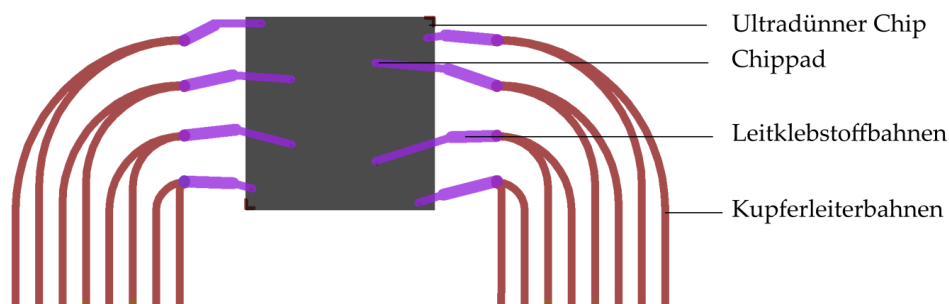


Abbildung 7-10: Kontaktierter Chip im Eagle Design.

Die Metallisierungen auf dem Chip dienen als Leiterbahnen und ihr elektrischer Widerstand wird über eine Vierletermessung zwischen Anfang und Ende der Leiterbahn durchgehend gemessen. Die Aufbauten wurden einzeln prozessiert. Jedoch besteht die Möglichkeit, den ganzen Nutzen zu verarbeiten und bestücken.

## **7.5 Untersuchung der Prozessketten zur AVT ultradünner Chips auf Foliensubstraten**

Ultradünne Chips wurden auf einer Polyimidfolie mittels eines nichtleitfähigen Klebstoffs (DELO® MONOPOX DA587, DELO Industrie Klebstoffe GmbH & Co. KGaA, Deutschland) geklebt. Da die Chips über eine AlSiCu-Metallisierung verfügen, wurden sie mit Goldstudbumps versehen. Anschließend wurde der studgebumpfte Chip mit einem Lack belackt und die Chippads lithographisch freigelegt. Dieser Schritt dient dazu, den kompletten Chip zu maskieren, sodass nur die zu kontaktierenden Chippads freigelegt sind. Über die Maskierungsschicht wurde eine zweite Lackschicht aufgetragen, in der die Gräben freigelegt wurden. Zuletzt wurde für die Kontaktierung des Chips ein leitfähiger Klebstoff in den Gräben aufgetragen. Eine ausführliche Beschreibung der einzelnen Prozessschritte erfolgt in folgenden Unterkapiteln.

### **7.5.1 Chipklebung auf flexiblen Foliensubstraten**

Für das Kleben von ultradünnen Chips auf flexiblen Foliensubstraten sind vergleichbare Anforderungen an den Klebstoff zu stellen wie für leitfähige Klebstoffe, welche in Kapitel 6.2.1 beschrieben sind. Je nach Ausrichtung der Chipkontaktierung gibt es verschiedene Verfahren zum Aufkleben der Chips auf die flexiblen Foliensubstrate. In dieser Arbeit wurde der Chip face-up geklebt und kontaktiert. Der Klebeprozess fand unter dem Fineplacer statt und wurde wie folgt ausgeführt:

- Das strukturierte Foliensubstrat wurde auf die Arbeitsfläche des Fineplacers gelegt und mit Vakuum fixiert.



- Mithilfe eines Stempelprozesses aus einem Stempelkissen mit der Tiefe 150  $\mu\text{m}$  wurde der Klebstoff gestempelt. Dabei ist zu beachten, dass die Stempelfläche kleiner als die Chipfläche dimensioniert wird.
- Die Chips wurden mit dem Fineplacer abgepickt und über die Optik des Fineplacers justiert und bestückt. Bei der Bestückung wurde der Chip auf dem Foliensubstrat langsam angedrückt, um dem Klebstoff genug Zeit zur Benetzung zu geben (s. Abbildung 7-11).



Abbildung 7-11: Auf dem Fineplacer befindet sich ein Foliensubstrat, das durch Vakuum fixiert ist. Auf dem Monitor auf der linken Seite ist ein Chip zu sehen, der auf den zuvor aufgetragenen Klebstoff ausgerichtet ist.

- Die geklebten Aufbauten wurden bei 150  $^{\circ}\text{C}$  für 2 Minuten am Fineplacer ausgehärtet. Danach erfolgte eine Aushärtung bei 150  $^{\circ}\text{C}$  für 10 Minuten in einem Memmert-Ofen.

Nachdem die Chips mit dem NCA-Klebstoff auf dem Foliensubstrat fixiert worden sind, müssen die Chips für die Kontaktierung mittels ICA präpariert werden. Dafür wurden die Chips im Bondprozess studgebumpft. Durch diesen Prozess wurde die

Chipoberfläche veredelt, wodurch sich die Kontaktierung mit dem leitfähigen Klebstoff verbessert.

### 7.5.2 Single-Chip-Bumping und Abflachung der Studbumps

Das Ziel dieses Prozessschritts ist es, die Oberfläche der Chippads zu verbessern, um eine zuverlässige Kontaktierung mit ICAs zu ermöglichen. Die Auswahl der geeigneten Bondparameter zur Erzeugung von Studbumps auf Chips mit AlSiCu-Oberflächenmetallisierung stand dabei im Vordergrund. Um dies zu erreichen, wurde ein Chip mit Standarddicke zunächst auf ein PCB fixiert, bevor verschiedene Bondparameter getestet wurden, um Studbumps zu erzeugen. Aufgrund der Padgröße von  $100 \times 100 \mu\text{m}^2$  wurde darauf geachtet, dass die Studbumps einen Durchmesser von unter  $100 \mu\text{m}$  aufweisen. In diesem Teilprozess wurde eine Optimierung der Bondparameter für AlSiCu-Chips durchgeführt, um einen Balldurchmesser zu erreichen, der viel kleiner ist als der der Chippads. Dabei wurden final folgende Bondparameter für das Studbumping verwendet (s. Tabelle 7-1).

Tabelle 7-1: Finale verwendete Bondparameter zum Studbumping einzelnes Chips.

Bondparameter	Wert
Ultraschallzeit	80
Ultraschalleistung	80
Bondkraft	20
Ballgröße [0,1 ms]	15
Strom bei Ballabflammung [mA]	27
HV Adjust für Ballabflammung [V]	2100

Nach dem Studbumpen wurden die Studbump-Durchmesser anhand von 13 Bumps unter dem Mikroskop gemessen. Anschließend wurden 35 Bumps einem Schertest am Dage-Schertester unterzogen, um die Scherkraft zu bestimmen. Der Balldurchmesser beträgt dabei  $84,03 \mu\text{m}$  ( $\pm 2,55 \mu\text{m}$ ), während die Scherkraft  $350 \text{ mN}$  ( $\pm 60 \text{ mN}$ ) beträgt (s. Abbildung 7-12).

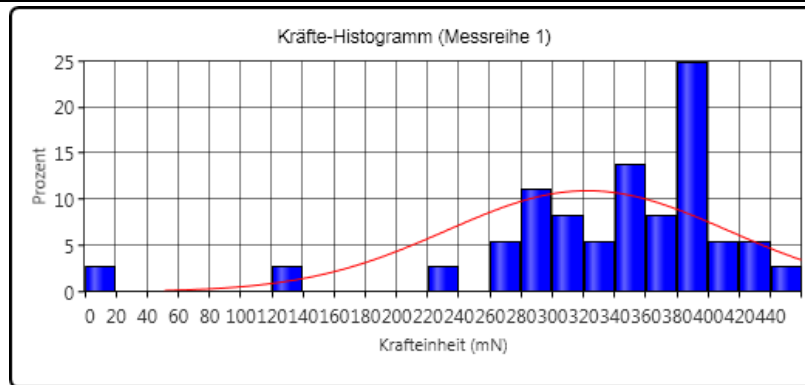


Abbildung 7-12: Verteilung der erreichten Scherkräfte der Studbumps.

Um einzelne Chips auf Foliensubstraten mit den Bondparameter in Tabelle 7-1 erfolgreich zu bonden, wurde eine spezielle Halterung hergestellt, die es ermöglicht, das Foliensubstrat mit dem darauf bestückten Chip während des Bondprozesses zu fixieren. Abbildung 7-13 zeigt den Aufbau während des Studbumping-Prozesses. Hierbei wurde das Foliensubstrat auf der Halterung platziert, welche während des Bondprozesses mithilfe eines Vakuums fixiert wurde, um eine stabile Positionierung zu gewährleisten.

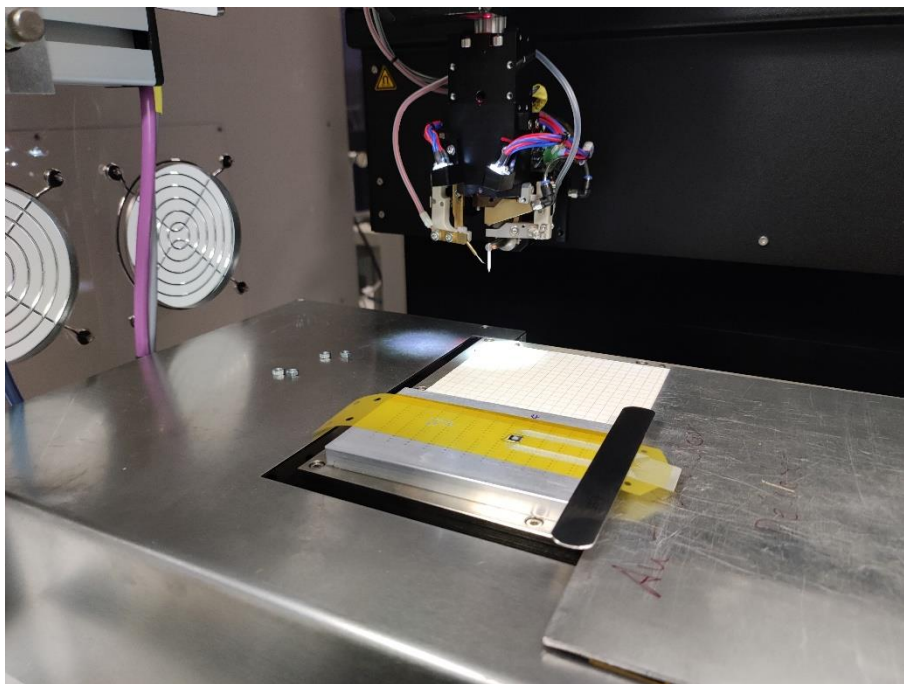
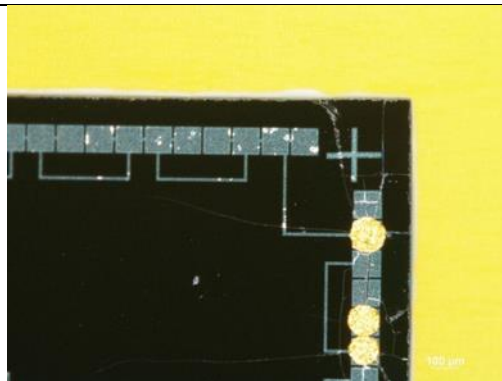


Abbildung 7-13: Ein Foliensubstrat wird mit Vakuum auf der Halterung des Drahtbonders fixiert, um den darauf bestückten Chip zu studbumpen.

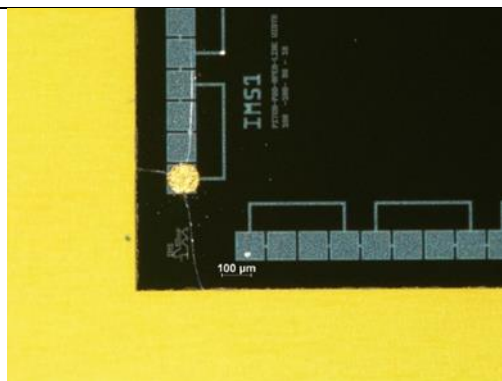
Normalerweise haben Studbumps nach dem Bondprozess unterschiedliche Höhen. Um sicherzustellen, dass sie auf eine gleichmäßige Höhe gebracht werden und somit eine einheitliche Kontaktierung erfolgt, müssen sie abgeflacht werden, sogenanntes Coinen. Hierfür wird eine ebene Fläche mit einer definierten Kraft gleichmäßig und eben auf die Studbumps gedrückt. Wenn die Kraft ungleichmäßig verteilt oder zu hoch dosiert ist, können die Chips beschädigt werden. Im Rahmen dieser Arbeit wurden die Studbumps mit verschiedenen Kräften von 2 N/Bump, 1 N/Bump, 0,8 N/Bump, 0,5 N/Bump abgeflacht. Bei Kräften über 1 N/Bump traten Chipbrüche auf. Die besten Ergebnisse wurden mit einer Kraft von 0,8 N/Bump erzielt. Bei einer Verwendung dieser Anpresskraft kam es sowohl bei 50  $\mu\text{m}$  als auch bei 30  $\mu\text{m}$  Chips nicht zu Chipbrüchen. Tabelle 7-2 zeigt das Ergebnis des Coiningsprozesses in Abhängigkeit von der Anpresskraft.

Tabelle 7-2: Ergebnis des Coiningprozesses für die Studbumps auf den Chips in Abhängigkeit von der Anpresskraft. Die Padgröße beträgt dabei 100 x 100  $\mu\text{m}^2$ .

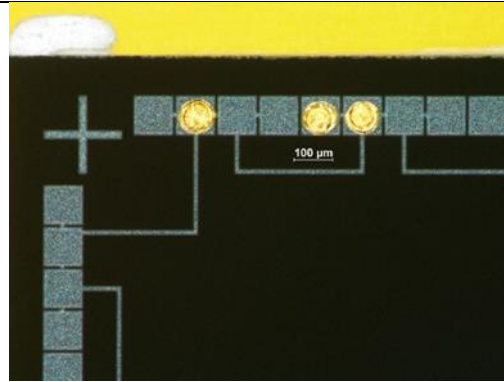
Ergebnis beim Coinen mit 2 N/Bump.



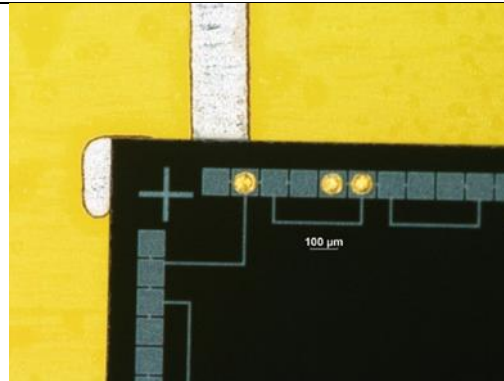
Ergebnis beim Coinen mit 1 N/Bump.



Ergebnis beim Coinen mit 0,8 N/Bump.



Ergebnis beim Coinen mit 0,5 N/Bump.



Nach der Durchführung des Studbumping- und Coiningprozesses wurde der bestückte Chip mit einem Lack (NPR80/ID100, Nippon Polytec Corp., Japan) beschichtet und anschließend lithographisch strukturiert, um gezielt Bereiche des Chips zu maskieren, während die zu kontaktierenden Pads freigelegt wurden. Dieser Schritt ist von entscheidender Bedeutung, um sicherzustellen, dass nur bestimmte Bereiche des Chips während der weiteren Verarbeitung kontaktiert werden.

### 7.5.3 Einbettung der Chips im flexiblen Lack

Wie bereits erwähnt, sollen die bestückten Chips auf Foliensubstraten mit einer Lackbeschichtung versehen werden, um sie teilweise lithographisch zu strukturieren und den Chip zu maskieren. Der Lackauftrag erfolgte mittels eines Sprühventils am Conformal Coater (Elite Coater DR-070, Nordson DIMA BV, Niederlande). Dabei werden Lackdicken von ungefähr 20  $\mu\text{m}$  erreicht, um sicherzustellen, dass die Flexibilität der Aufbauten nicht beeinträchtigt wird. Eine ausführliche Beschreibung der Vorgehensweise zur Realisierung dieser Lackdicke ist im [116] beschrieben. Der Maskierungsprozess wurde folgendermaßen durchgeführt:



- Um eine präzise Belackung und spätere Belichtung von bestückten 50  $\mu\text{m}$  dicken Chips auf Foliensubstraten zu ermöglichen, wurden diese zunächst mit PI-Klebeband auf ein PCB mit einer Dicke von 1 mm fixiert (s. Abbildung 7-14). Dieser Schritt ist wichtig, da er sicherstellt, dass die Foliensubstrate während des Lackauftrags und der Lithographie nicht verrutschen. Durch die Fixierung der Chips wird eine hohe Reproduzierbarkeit gewährleistet, was eine präzise Ausrichtung und Strukturierung der Chips ermöglicht.

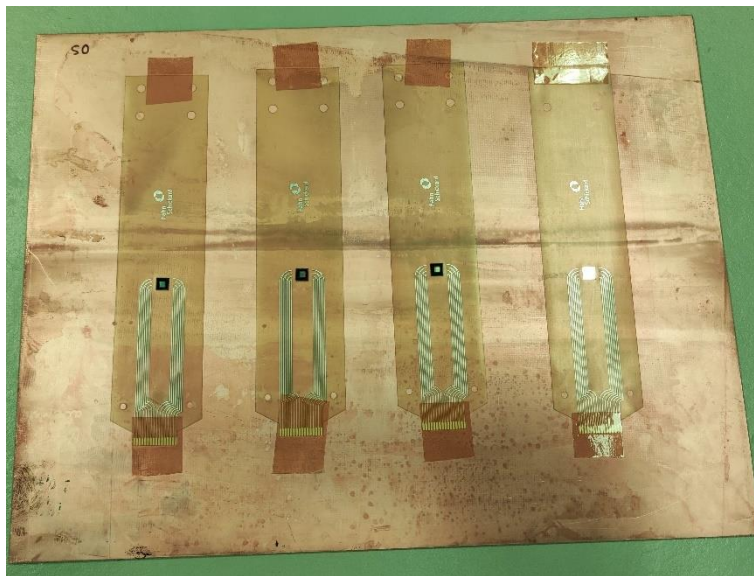


Abbildung 7-14: Fixierte Foliensubstrate mit bestückten Chips auf PCB für den Lackauftrag.

- Für die Belackung von Foliensubstraten im Chipbereich wurde ein Sprühventil am Conformal Coater eingesetzt, welches eine großflächige Verteilung des Lacks ermöglicht. Anschließend verblieben die Foliensubstrate auf der Heizplatte mit einer Temperatur von 60 °C für 10 Minuten am Conformal Coater. Dieser Schritt dient dazu, eine bessere Benetzung des Lacks auf der Oberfläche der Substrate zu erreichen. Danach wurde ein Softbake-Schritt durchgeführt, bei dem die Substrate auf eine Heizplatte mit einer Temperatur von 80 °C für weitere 10 Minuten gelegt wurden. Dieser sogenannte Softbake-Schritt dient der verbesserten Haftung des Lacks auf den Foliensubstraten (s. Abbildung 7-15).

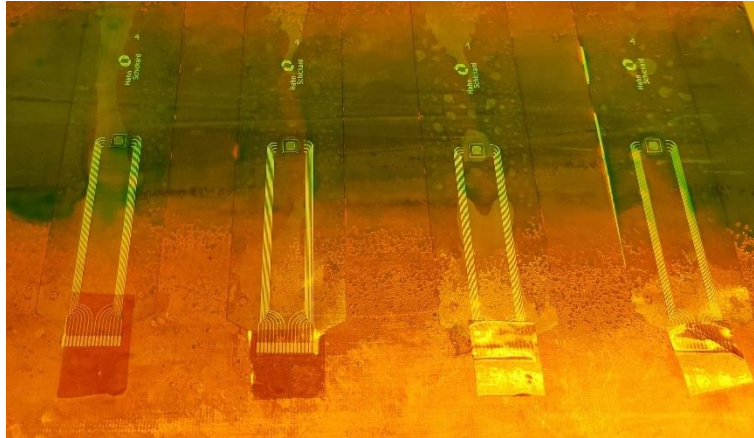


Abbildung 7-15: Belackte Foliensubstrate nach dem Softbake Schritt.

- Im Eagle Design erfolgte die Vorbereitung der Belichtungsdatei und deren Speicherung als Gerberdatei. Die Belichtung der Chipbereiche erfolgte am Direktbelichter (MIVATec 2020L DI, MIVA Technologies GmbH, Deutschland). Die Belichtung wurde ausgeführt, um nur die Chippads freizulegen, während andere Bereiche einschließlich eines Bereichs um den Chip herum belackt bleiben.
- Der belichtete Lack wurde dann im Entwicklerbad aus Kaliumcarbonat bei einer Temperatur von 30°C für eine Minute entwickelt. Während des Entwicklungsprozesses wurde das unbelichtete Lackmaterial selektiv entfernt, um die gewünschte Maskierung zu erzeugen. Dies geschieht, indem das Entwicklerbad das belichtete Lackmaterial löst und somit von der Oberfläche des Foliensubstrats entfernt. Nach dem Entwicklungsprozess durchlief das Foliensubstrat eine gründliche Spülung im Wasserbad, um überschüssige Chemikalien und Lackreste zu entfernen.
- Zum Abschluss dieses Maskierungsprozesses wurden die Foliensubstrate einem Hardbake-Prozess bei einer Temperatur von 150°C für eine Stunde unterzogen. Der Hardbake-Prozess dient dazu, den verbleibenden Lack auf den Foliensubstraten zu verfestigen und Restfeuchte aus den

Foliensubstraten zu entfernen. Abbildung 7-16 zeigt den maskierten Chip und die freigelegten Pads.

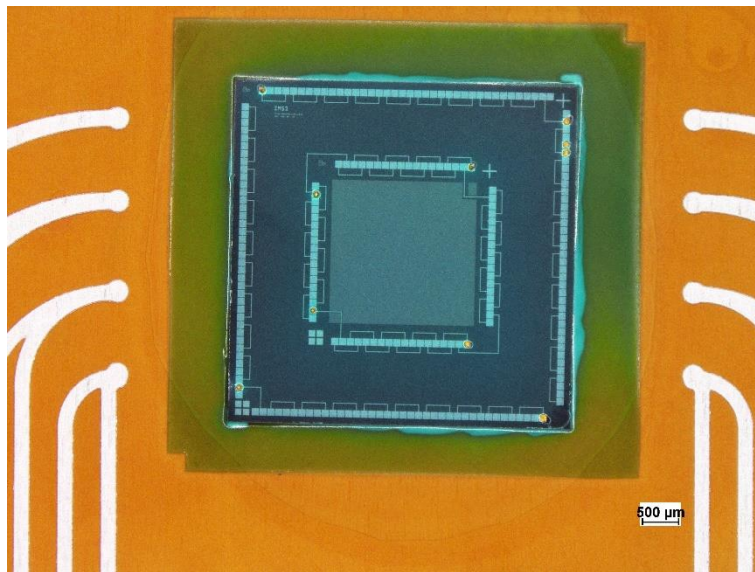


Abbildung 7-16: Maskierter Chipbereich und lithographisch freigelegte Chippads nach dem Hardbake-Prozess des Lacks.

Der nächste Schritt nach der Chipmaskierung besteht darin, die Foliensubstraten mit einer zusätzlichen Lackschicht von 20 µm zu belackern, um darin die gewünschten Gräben für die Kontaktierung zu bilden. Hierfür wurden erneut die Schritte Belackung, Belichtung und Entwicklung durchgeführt. Für die Belichtung wurde lediglich eine Belichtungsdatei verwendet, die eine adaptive Belichtung ermöglicht, welche in Kürze erläutert wird. Sobald die Gräben erfolgreich entwickelt worden sind, wird ein Hardbake-Prozess bei 150°C für eine Stunde durchgeführt, um den Lack auszuhärten.

#### 7.5.4 Adaptive fotolithographische Strukturierung des Lacks

In diesem Schritt erfolgt eine maskenlose Strukturierung der zweiten Lackschicht auf den Foliensubstraten. Das Ziel besteht darin, durch den Einsatz vom Direktbelichter adaptive Gräben im Lack zwischen den Chippads und den Leiterbahnpads herzustellen. Diese Gräben erfüllen die Funktion, die darin aufgetragenen Klebstoffbahnen zu verformen, sodass der Klebstoff bei der Benetzung keinen Kurzschluss mit eng benachbarten Bahnen bildet. Außerdem dienen die Gräben dem manuellen Auftragen



des Leitlebmittoffs zur Kontaktierung der bestückten Chips auf den Foliensubstraten. Hierbei wird das Design über die im Eagle erstellte Belichtungsdatei mittels Lichtprojektion direkt in den Lack übertragen und dadurch können die belichteten Strukturen entwickelt werden. Da die Positionen der Chips auf den Foliensubstraten jedoch je nach Bestückgenauigkeit variieren -verdreht oder verschoben-, wird eine Übertragung der erstellten Belichtungsdaten auf die einzelnen Foliensubstrate nicht ohne weiteres möglich. Um diese Herausforderung zu lösen, wird in dieser wissenschaftlichen Arbeit ein Konzept verfolgt, das darauf abzielt, die Gräben und Verbindungen automatisch während der Direktbelichtung zu erfassen und so zu skalieren, dass die Chippads und Leiterbahnpads trotz Verschiebungen oder Verdrehungen immer miteinander verbunden bleiben. Dies ermöglicht eine effektive Kontaktierung von Chips auf Foliensubstraten.

Die adaptive Belichtungsfunktion „Chip-on-Foil“ am Direktbelichter funktioniert folgendermaßen: Es werden feste Passermarken, auch Fiducials genannt, als Hauptcode 1000 in der Belichtungsdatei (Gerberdatei) für die Erkennung der flexiblen Leiterplatte eingelernt. Dadurch werden die Pads und die Leiterbahnen auf der Leiterplatte fixiert. Zusätzlich werden Hilfspassermarken als Hilfscode 1100 in der Belichtungsdatei für die Erkennung des Chips eingelernt, wobei hier der ganze Chip als Fiducial eingelernt wird. Während der Belichtung ruft das System die festen Fiducials ab und sucht anschließend nach der Hilfsreferenz. Der Chip wird einmalig als Profil eingelernt und der Mittelpunkt des Chips wird festgelegt. Diese Informationen werden als Profil in der Anlage gespeichert und bei jeder Belichtung abgefragt und verglichen. Der Hilfscode in der Belichtungsdatei wird mit dem gespeicherten Profil in der Anlage verknüpft. Bei jeder Belichtung wird der Chip anhand von Kanten und dem Mittelpunkt innerhalb des Grenzbereichs erkannt, selbst wenn der Chip verschoben oder verdreht ist. Der Chip inklusive der Belichtungsbahnen innerhalb des Grenzbereichs wird skaliert und transformiert, während die Positionen der Pads auf der Folie fixiert bleiben. Dadurch werden die Bahnen immer passend zwischen den Chippads und den Leiterplattenpads

geöffnet. Die Funktion der adaptiven Belichtung wird in Abbildung 7-17 dargestellt. Sie ermöglicht eine höhere Präzision bei der Kontaktierung von Chips auf Foliensubstraten.

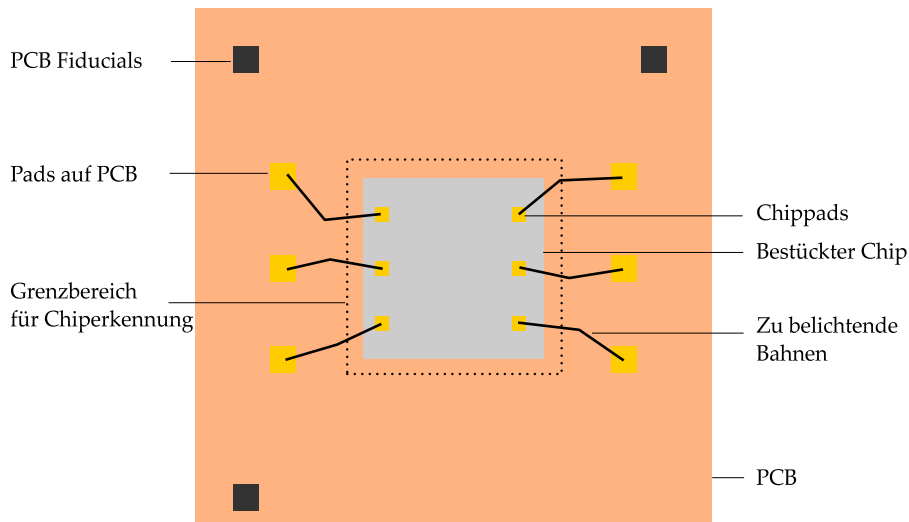


Abbildung 7-17: Prinzipskizze zur Verdeutlichung der adaptiven Belichtung für Chip-on-Foil.

Folgende Design- und Fertigungsregeln müssen jedoch beachtet werden, um eine erfolgreiche Belichtung mittels der Einstellung „Chip-on-Foil“ am Direktbelichter durchzuführen (s. Tabelle 7-3):

Tabelle 7-3: Zu beachtende Fertigungsregeln zur erfolgreichen adaptiven Belichtung.

Leiterplatte (PCB):	3 Fiducials weit auseinander auf der Leiterplatte setzen, um die Position der Leiterplatte bei der Belichtung zu erfassen.
Bestückter Chip:	Der ganze Chip soll als Fiducial in der Gerberdatei eingelernt werden und so viele Strukturen wie möglich bei der Erkennung anzeigen, sodass der Chip komplett als eine Einheit erkannt wird.
Bestückter Chip:	Der Chipmittelpunkt muss eingelernt und im Profil am Direktbelichter abgespeichert werden. So erkennt die Anlage mögliche Verschiebungen.
Bahnen/Gräben:	Jede zu belichtende Struktur/Bahn im Eagle-Design muss mindestens über ein Gelenk verfügen, d. h. die Bahn besteht aus mindestens zwei Segmenten. Damit kann die Anlage die Stauchung und Streckung der Belichtungsbahnen realisieren.

## ultradünnen Chips auf Foliensubstraten

Abbildung 7-18 zeigt zusammenfassend die Prozesskette von der Erstellung der Belichtungsdatei im Eagle Design bis zur Ableitung der Gerberdatei für den Direktbelichter.

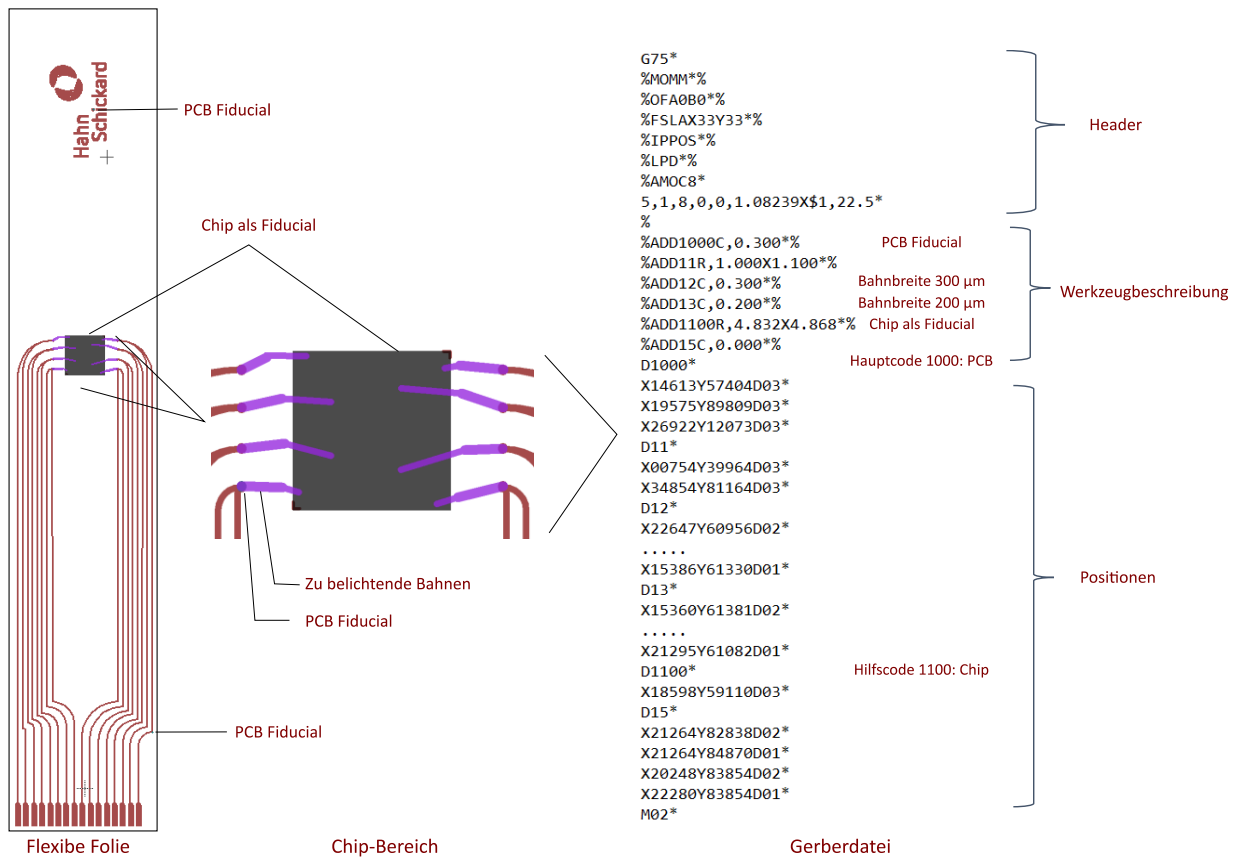


Abbildung 7-18: Vom Eagle Design zur Gerberdatei für die adaptive Belichtung.

Nach der Durchführung der adaptiven Belichtung wurden die Foliensubstrate einem Entwicklungsprozess im Kaliumcarbonatbad unterzogen, um die unbelichteten Bereiche zu entfernen. Eine gründliche Reinigung im Wasserbad entfernt überschüssige Chemikalienreste. Abschließend wurde eine thermische Aushärtung in Form eines Hardbake-Prozesses bei einer Temperatur von 150°C für eine Stunde durchgeführt, um den Lack zu verfestigen. Abbildung 7-19 zeigt das Ergebnis der Kavitätsstrukturierung zwischen Chip und Leiterbahnen.

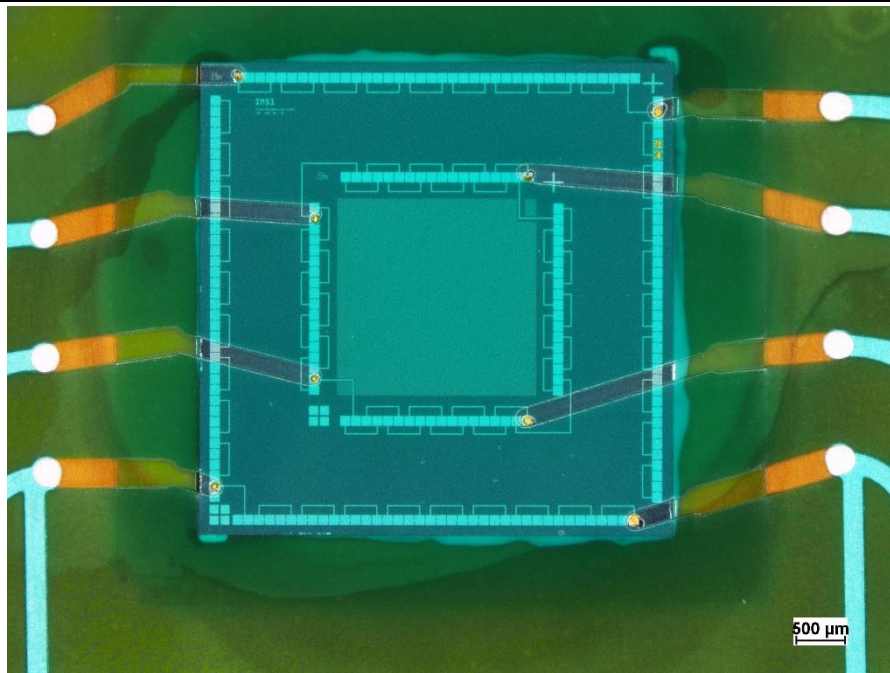


Abbildung 7-19: Adaptiv entwickelte Gräben zwischen Chippads und Leiterbahn pads.

### 7.5.5 Kontaktierung ultradünner Chips mit leitfähigen Klebstoffen

Nachdem der ultradünne Chip mit einer Lackschicht versehen und die Kontaktbereiche mithilfe der Lithographie adaptiv freigelegt worden sind, wurde ein elektrisch leitfähiger Klebstoff (H20E) verwendet, um den Kontakt zwischen dem Chip und den Leiterbahnen herzustellen. Dieser Klebstoff wurde mithilfe eines Smartdispensers (Smart Dispense 06 Set DP 5, MARTIN GmbH, Deutschland) und einer Mikronadel auf die vorbereiteten Kontaktbereiche aufgetragen. Der Klebstoff füllt die Gräben und bildet somit einen elektrischen Kontakt zwischen dem Chip und den Leiterbahnen. Nach dem Auftragen des Klebstoffs wurden die Foliensubstrate in einem Memmert-Ofen bei einer Temperatur von 150 °C für eine Stunde ausgehärtet, um eine dauerhafte und stabile Verbindung zu gewährleisten (s. Abbildung 7-20).

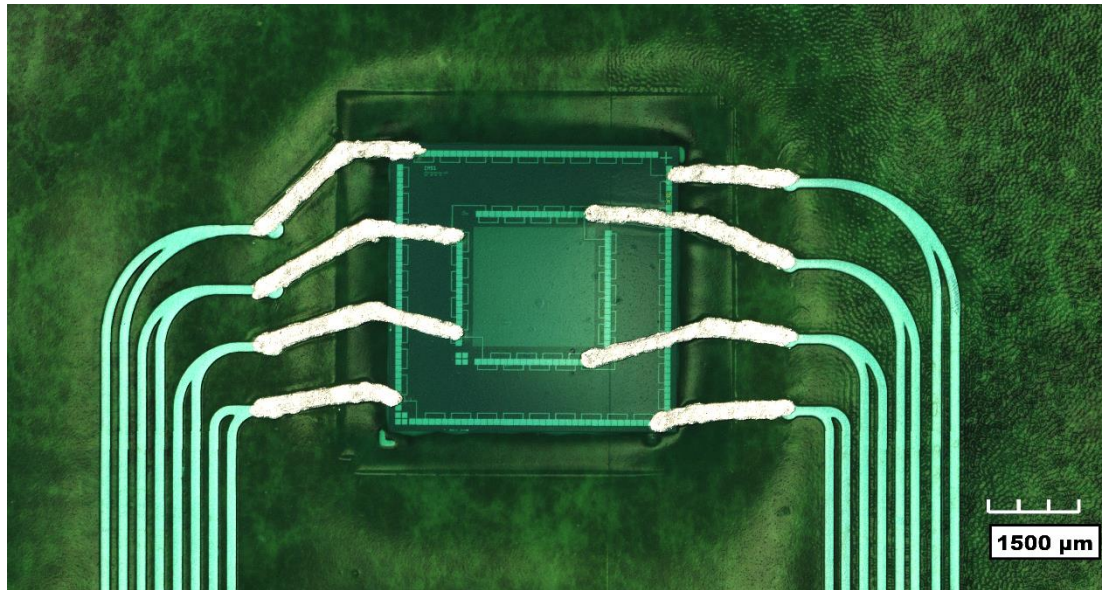


Abbildung 7-20: Grabenfüllung mit leitfähigem Klebstoff H20E zur Kontaktierung ultradünner Chips auf Foliensubstraten.

## 7.6 Evaluierung der Prozesskette

Die einzelnen Prozesse, angefangen bei der Herstellung von Foliensubstraten über die Bestückung und das Studbumping von Chips bis hin zur Belackung und Belichtung der Aufbauten, wurden kontinuierlich unter Verwendung von Auflichtmikroskopen überwacht und bewertet. Nach Durchlaufen der Prozesskette wurden Querschliffe angefertigt, um sowohl die Qualität zu beurteilen als auch die Analyse der gesamten Aufbauten hinsichtlich der erzielten Schichten zu ermöglichen.

## 7.7 Ergebnis und Fazit der Untersuchung

Es war möglich, die ultradünnen Chips auf flexiblen Polyimidfolien mit einer planparallelen Bestückung zu fixieren. Dies wurde mithilfe eines Stempelprozesses erreicht, der es ermöglicht, dass der endgültige Klebespalt weniger als 10  $\mu\text{m}$  dünn aufgetragen ist. Dadurch wurde eine optimale Voraussetzung für den Studbumping-Prozess und die adaptive Belichtung geschaffen, nämlich eine planparallele Oberfläche. Der Aufbau an der Bestückungsposition bleibt aufgrund des geringen Klebespalts dünn, was einen flexiblen Aufbau begünstigt.

---

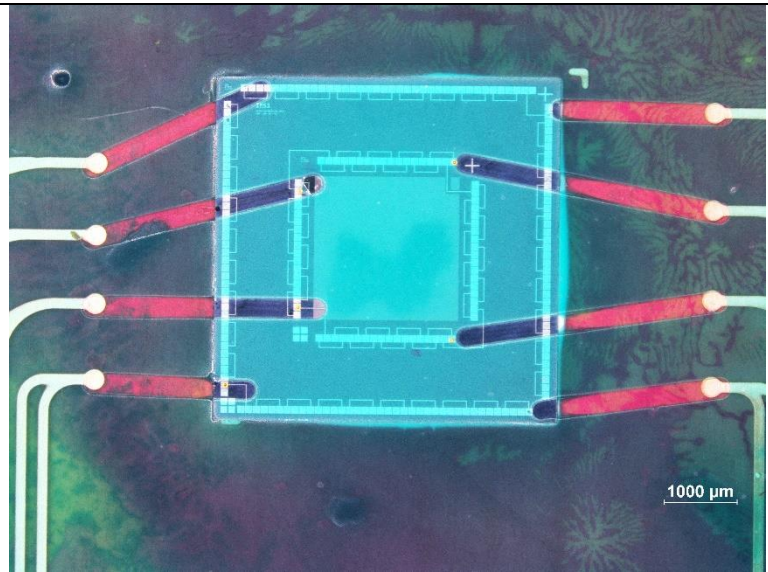
Ein automatisierter Ablauf zum Studbumping eines einzelnen ultradünnen Chips auf Foliensubstraten wurde entwickelt, um das Bruchrisiko der Chips zu minimieren. Der Bondprozess wurde erfolgreich durchgeführt, ohne dass ein einziger Chip dabei gebrochen ist. Der Coining-Prozess wurde anschließend mit verschiedenen Anpresskräften durchgeführt und die besten Ergebnisse wurden bei einer großflächigen Anpresskraft von 0,8 N/Bump am Fineplacer erzielt. Die Anpresskraft von 0,8 N/Bump wurde sowohl bei 50  $\mu\text{m}$  als auch bei 30  $\mu\text{m}$  dünnen Chips getestet und keiner der Chips ist dabei gebrochen. Die Maskierung des gesamten Chips und die Freilegung der einzelnen Pads waren erfolgreich, wobei die Maskierungsschicht weniger als 20  $\mu\text{m}$  dick ist und der gesamte Aufbau flexibel bleibt.

Adaptive Belichtungsverfahren am Direktbelichter und unter Berücksichtigung aller empfohlenen Fertigungsregeln wurden iterativ angewendet, um eine verbesserte Kontaktierung der Pads auf den Chips mit unterschiedlicher Bestückungsgenauigkeit zu erzielen. Dabei wurden Schritte durchgeführt, die eine Maskierung des gesamten Aufbaus sowie eine adaptive Belichtung beinhalten. In der Anfangsphase konnten die Pads auf Chips mit individuell unterschiedlicher Bestückung nicht passend freipräpariert werden, da die Belichtung auf dem Chip fix bleibt und die Gräben neben den Pads liegen. Eine Anpassung des Eagle Designs und der Gerberdatei, von der der Belichter die Koordinaten erhält, führte zwar zu einer besseren Anpassung der Belichtung an die Pads, aber es bestand immer noch der Fehler, dass die Belichtung die Pads verfehlt. Um diese Herausforderung zu lösen, wurden sukzessiv Fertigungsregeln zur adaptiven Belichtung erstellt und das Belichtungsergebnis ausgewertet. Durch Berücksichtigung aller Parameter beim Eagle Design, der Maschineneinstellungen sowie der Lichtintensitäts- und Bildbearbeitungseinstellungen wurde schließlich erreicht, dass die Pads durch die Belichtung immer getroffen werden. Selbst bei einem Wechsel zu einem anderen bestückten Chip mit Versatz werden die Gräben passend geöffnet (s. Tabelle 7-4).

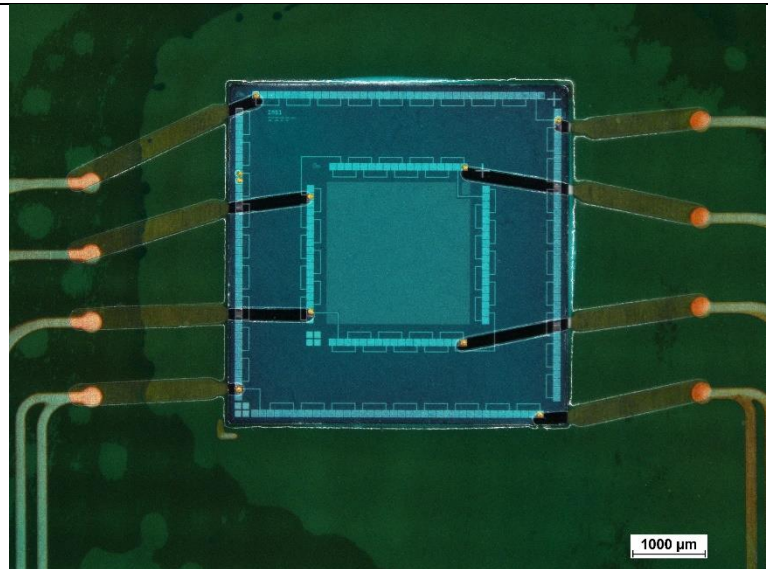


Tabelle 7-4: Ergebnis der adaptiven Belichtung in verschiedenen Stadien der Versuche.

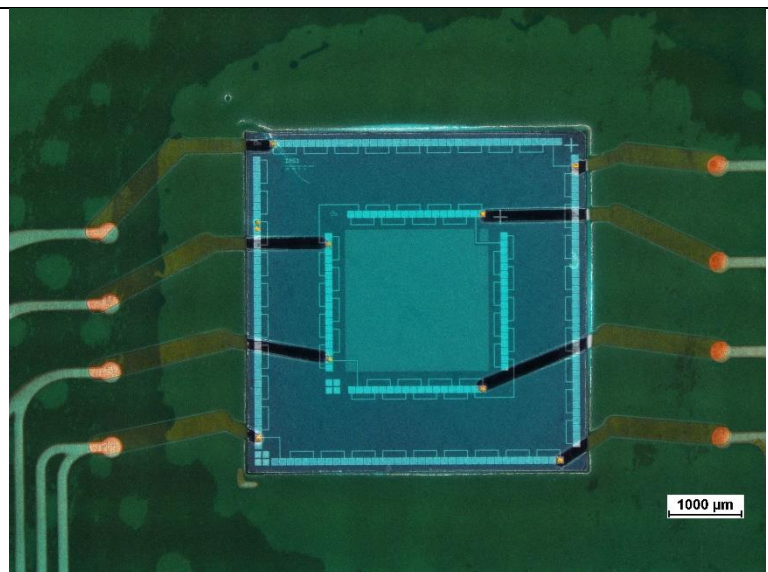
Ergebnisse der Belichtung am Anfang der Optimierung. Anhand von fixen Belichtungsdaten und ohne Knicke in den Gräben wurden die Pads verfehlt.



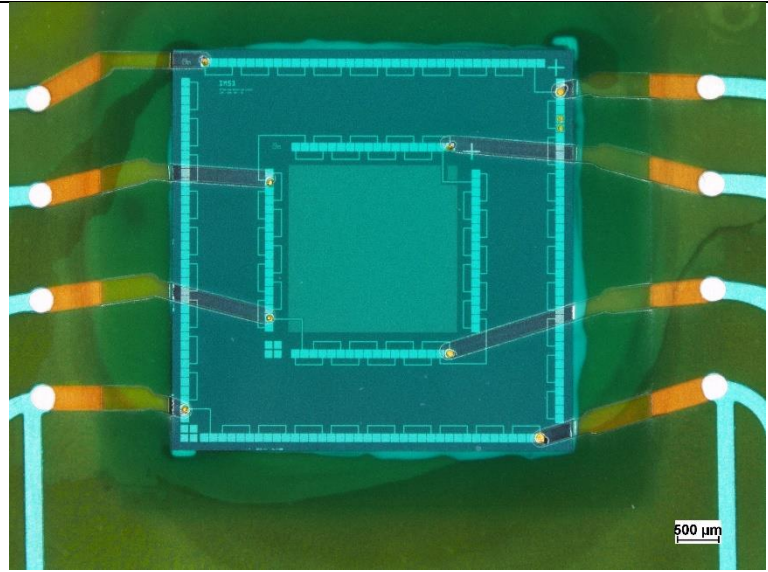
Nach Anpassung des Eagle Designs war zwar eine Verbesserung der Belichtung zu erkennen, aber bei der Belichtung weiterer Chips waren die Ergebnisse unzureichend.



Die Belichtung nach Anpassung des Eagle Designs und der Einstellungen der Bildbearbeitung auf einen unmaskierten Chip führten zu Verbesserung der Belichtung. Jedoch war eine weitere Optimierung nötig.



Finales Ergebnis der adaptiven Belichtung nach Berücksichtigung aller Parameter auf einen maskierten Chip und das neue Foliendesign. Selbst bei anderen Aufbauten mit anderem ausgerichtetem Chip hat die Belichtung die Pads immer ausreichend getroffen und die Verdrehung/Verschiebung abgefangen.



Unter Verwendung des Smartdispensers und durch die Befüllung der Gräben mit einem leitfähigen Klebstoff konnte eine reproduzierbare Kontaktierung des Chips erreicht werden. Durch die Verwendung des Zeit-Druck-gesteuerten Dispensers war es möglich, sehr dünne Leiterbahnen mit einer Dicke unter  $15\ \mu\text{m}$  entlang der Gräben zu realisieren. Abbildung 7-21 zeigt den kontaktierten Chip auf der Ebene des zweiten Kanals im Querschnitt, wobei die Leiterbahnen und der leitfähige Klebstoff mit einer Dicke unter  $15\ \mu\text{m}$  zu sehen sind. Die Maskierungsschicht in der Kavität ist ebenfalls erkennbar. Darüber hinaus sind zwei Belackungsschritte mit einer Gesamtdicke von weniger als  $40\ \mu\text{m}$  zu sehen.

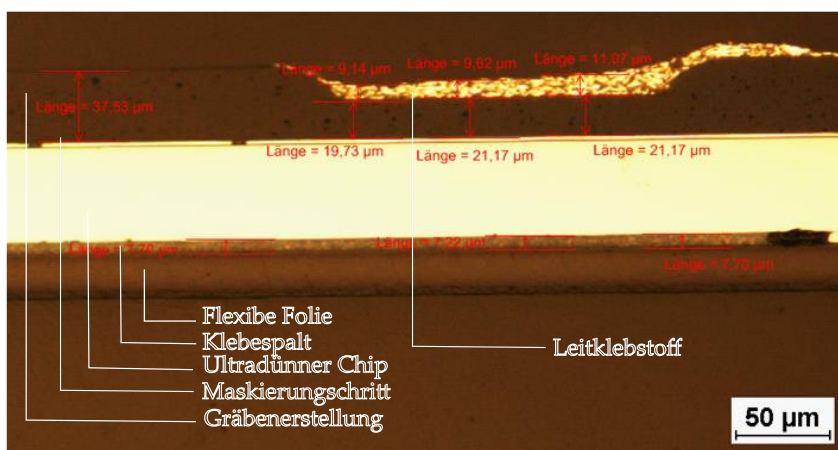


Abbildung 7-21: Der Querschliff zeigt einen Bereich des bestückten und kontaktierten Chips mit dem leitfähigen Klebstoff H20E. Anzumerken sind die geringen erzielten Dicken von unter  $10\ \mu\text{m}$  für den Klebstoff und unter  $20\ \mu\text{m}$  für den Lack.



## **7.8 Hauptversuch zur Biegecharakterisierung ultradünner Chips auf Foliensubstraten**

Die im Zuge der SMD-Montage und Charakterisierung gewonnenen Erkenntnisse sowie Technologieparameter in anderen Vorversuchen und Arbeiten wurden unmittelbar in den Prozess der Integration und Kontaktierung von ultradünnen Chips auf Foliensubstraten eingebracht. Dieser Ansatz ermöglicht eine kontinuierliche Verbesserung der verwendeten Prozesse.

Wie bereits erwähnt beinhaltet jeder Chip vier individuellen Leitungen, die separat kontaktiert werden. Genauso wie die Biegecharakterisierung von SMDs auf Foliensubstraten werden die vier Kanäle jedes Chips als vier Proben gezählt. Sollten jedoch während der Biegecharakterisierung Chipbrüche auftreten, die alle vier Kanäle beschädigen, werden solche Chips bei der Auswertung berücksichtigt. Vor der Biegeprüfung von Chips auf den Foliensubstraten wurden die Widerstände jeder Leitung (Kanal) am Spitzenmessplatz gemessen. Während der Biegeprüfung wurden Widerstandsanstiege von mehr als 20 % als Ausfallkriterium definiert. Die gemessenen Widerstände am Anfang im Spitzenmessplatz sowie die Anzahl der Biegezyklen bis zum Versagen der Chips sind in Tabelle 7-5 aufgeführt. Die Biegeprüfung wurde für 50.000 Biegezyklen durchgeführt. Chips, die bis zum Ende der Biegecharakterisierung intakt blieben, wurden als solche gekennzeichnet. Es wurden insgesamt 4 Chips unter Biegeprüfung bei einem Biegeradius von 10 mm charakterisiert. Bei manchen Proben lag der Anfangswiderstand bei etwa 300  $\Omega$ . Die aktuelle Ausleseinheit kann Widerstandswerte über 300  $\Omega$  nicht auflösen und von daher wurden diese Proben nicht in der Auswertung aufgenommen.

Tabelle 7-5: Anfangswiderstand und Anzahl der erreichten Biegezyklen bei der Biegeprüfung von ultradünnen Chips auf Foliensubstraten. Jede Probe kennzeichnet eine Leitung auf dem Chip.

Probe Nr.	1	2	3	4	5	6	7
Anfangswiderstand [ $\Omega$ ]	23	19	33	64	18	42	68
Ausfallzyklus bei Biege- charakterisierung bis 50k Biegezyklen	Intakt bei 50k	17691	21990	Intakt bei 50k	Intakt bei 50K	Intakt bei 50K	Intakt bei 50K

### 7.8.1 Einfluss der Schaltungsträger

Der Schaltungsträger für die AVT von ultradünnen Chips wurde basierend auf den Ergebnissen der Biegeprüfung von SMDs auf Foliensubstraten ausgewählt. Es wurde festgestellt, dass SMDs, die mit leitfähigem Klebstoff auf Foliensubstraten mit ImAg-Metallisierung geklebt wurden, im Vergleich zu den geklebten SMDs auf Standard-Kupfer Substraten mehr Biegezyklen aushalten, bevor sie brechen. Da auch für die Kontaktierung der ultradünnen Chips leitfähige Klebstoffe verwendet wurden, wurden die gleichen Bedingungen geschaffen wie bei der Kontaktierung der SMDs. Dies trug dazu bei, dass die Kontaktierung der Chips stabil und reproduzierbar blieb, insbesondere, wenn sie dynamisch gebogen wurden.

### 7.8.2 Einfluss von AVT-Technologie und Prozessparametern

Die ultradünnen Chips müssen sorgfältig behandelt werden, um Beschädigungen zu vermeiden. Beim Picken von Chips mit dem Fineplacer ist es wichtig, den Chip planparallel aufzunehmen, um ihn ebenfalls korrekt zu bestücken. Eine ungleichmäßige Kraft oder zu hohe Pickkraft kann den Chip brechen. Es ist daher notwendig, diese Parameter sukzessive zu optimieren, um sicherzustellen, dass alle Chips ohne Brüche bestückt werden. Beim Kleben der Chips auf Foliensubstraten ist es wichtig, den Klebespalt richtig zu dimensionieren. Ein zu steifer Klebstoff oder zu dicker Klebespalt kann dazu führen, dass der gesamte Aufbau zu steif wird und bei der Biegeprüfung

bricht. Außerdem muss der Klebespalt homogen sein, damit der Chip später planparallel zum Bondkopf steht. Falls der Chip verkippt ist, liegt der Bondkopf nicht vollständig auf dem Pad auf und die Bondparameter können nicht richtig eingestellt werden. Das Ergebnis sind schlechte oder gar keine Studbumps.

Die Anpresskraft beim Coining-Prozess ist ebenfalls entscheidend. Eine zu hohe Kraft kann dazu führen, dass der Studbump zu flach wird und Kurzschlüsse mit benachbarten Pads verursacht. Der Chip kann auch entlang der Kante brechen. Bei zu geringer Anpresskraft bleiben die Studbumps zu hoch und die Tails ragen über die Studbumps hinaus. Daher ist es wichtig, die Anpresskraft richtig einzustellen, um optimale Studbumps zu erhalten.

Da die zu kontaktierenden Pads an unterschiedlichen Stellen auf dem Chip zu finden sind, ist es notwendig, den Chip in erster Linie großflächig zu maskieren. Mit dem flüssigen Lack und der Schichtdicke unter 20  $\mu\text{m}$  bleibt der Aufbau soweit flexibel. Der Lack wurde vorgemischt und am Conformal Coater großflächig auf die fixierten Foliensubstrate gesprüht. Die Belichtung erfolgte später am Direktbelichter an fixen vordefinierten Stellen auf dem Chip. Anschließend fand ein Hardbake-Schritt bei 150°C statt. Da die Belackung, Belichtung und Entwicklung standardmäßig erfolgten, wurden hier keine weiteren Anpassungen durchgeführt.

Nun wurden die Foliensubstrate einem weiteren Belackungsschritt unterzogen, in der die Gräben zu bilden sind. Diese Gräben dienen dazu, später die Klebstoffdicke in den Gräben so gering wie möglich zu gestalten. Um die Kontaktierung von unterschiedlich bestückten Chips durchzuführen, ist es wichtig, diese Gräben abhängig von der Bestückungsgenauigkeit adaptiv zu erfassen und passend zu öffnen. In vielen iterativen Schritten und unter Beachtung der Festigungsregeln in Tabelle 7-3 und Maschineneinstellungen als Schleifen wurde jedes Mal an unterschiedlichen bestückten Chips belichtet und kontrolliert, wie adaptiv die Gräben tatsächlich erstellt worden sind. Nach mehreren Schleifen ist es gelungen, trotz verschiedener Chipaufbauten die Gräben mit einer einzigen Gerberdatei passend zu strukturieren, sodass die Pads auf dem Chip

und auf der Folie miteinander verbunden wurden. Dieser Schritt wurde im Anschluss an allen für die Biegecharakterisierung verwendeten Aufbauten durchgeführt, gefolgt von einem Hardbake-Schritt im Ofen. Dieser Schritt bildet die Grundlage für die Applikation von leitfähigem Klebstoff in den Gräben.

Durch die zweistufigen Maskierungen und die Strukturierung vom Lack auf dem Chip ergeben sich verschiedene Stufen für die Applikation des Klebstoffs, nämlich die Applikation des Klebstoffs vom Foliensubstrat auf die erste Maskierung und dann auf dem Chip. Die Applikation des Klebstoffs über diese Rampen ist für mechanische Dispenssysteme schwierig. Mit einem zeitdruckgesteuerten Smartdispenser und Mikronadel ist es gelungen, sehr feine Leiterbahnen unter 300  $\mu\text{m}$  Breite lateral sowie einer Klebstoffdicke von unter 15  $\mu\text{m}$  zu applizieren. Dieser kompakte Aufbau stellt einen Vorteil bei der Biegeprüfung dar und es hat sich gezeigt, dass Leiterbahnen aus Klebstoff während der Biegung nicht brechen. Mit der gesamten Prozesskette beträgt die Dicke der Aufbauten nur ungefähr 120  $\mu\text{m}$  und somit ist der Aufbau sehr flexibel. Damit wird der Aufbau nur minimal im Chipbereich versteift. Ansonsten halten die Aufbauten die Biegeprüfung ohne Chipbrüche oder Klebebahnunterbrechung aus.

### 7.8.3 Analyse der Ausfälle und Fehlermechanismen

Vor der Durchführung der Biegeprüfung wurden am Spitzenmessplatz die Widerstände der einzelnen Messkanäle auf dem Chip gemessen. Dieses Vorgehen dient primär der Validierung der gemessenen Widerstände während der Biegeprüfung. Darüber hinaus können die Widerstandswerte Aufschluss darüber geben, ob eine Verbindung der Aufbauten mit der durchgeführten Prozesskette besteht oder nicht.

Im Rahmen der Biegeprüfung der hergestellten Foliensubstrate mit einem Biegeradius von 10 mm haben alle Aufbauten 15.000 Biegezyklen ohne Ausfall bestanden. Allerdings brachen bei zwei Proben die Verbindungen nach etwa 20.000 Biegezyklen. Während der Biegebelastung der Foliensubstrate zeigt sich ein abrupter Anstieg des Widerstands, welcher sich beim Entlasten der Probe im flachen Zustand wieder normalisiert. Nach Abschluss der Messungen wurden die Aufbauten unter dem

## ultradünnen Chips auf Foliensubstraten

Mikroskop untersucht, jedoch war keine klare Unterbrechung der Leiterbahnen festzustellen (s. Abbildung 7-22).

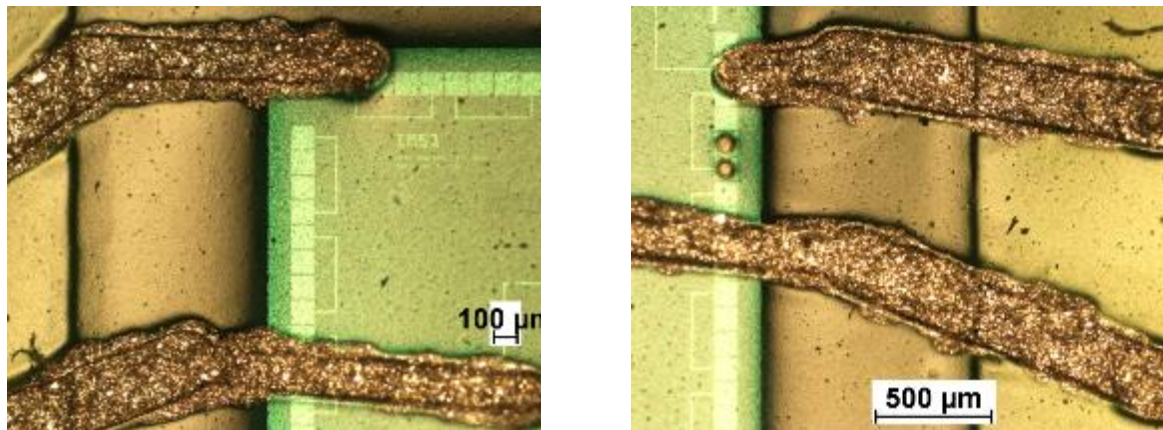


Abbildung 7-22: Mikroskopieaufnahmen des ausgefallenen 3. und 4. Kanals.

Diese Beobachtung wird durch die Eigenschaften des verwendeten Klebstoffs erschwert, welcher aus unterschiedlich hellen und dunklen Strukturen besteht und daher Risse schwer erkennbar macht. Erst während der Biegung werden die Risse deutlich sichtbar, da die Aufbauten gestreckt werden. Unter dem Mikroskop war ersichtlich, dass die Leiterbahn an der Verbindungsstelle zum Studbump gebrochen ist. Anzumerken ist, dass diese Stelle am weitesten von der Foliensubstratebene entfernt ist.

Abbildung 7-23 bis Abbildung 7-26 veranschaulichen die Rissbildung entlang des Studbumps. Diese Rissbildung erfolgt erst durch wiederholte Biegung, was im Laufe der Biegeprüfung zu einem größeren Riss führt, der schließlich zum Bruch führt. Trotz der vorhandenen Schwachstellen entlang der Sägekanten haben die ultradünnen Chips erfolgreich die Biegeprüfung bestanden. Eine mögliche Erklärung dafür liegt in der zweistufigen Maskierung der Chips mit einem flexiblen Lack, der als zusätzlicher mechanischer Schutz dient.

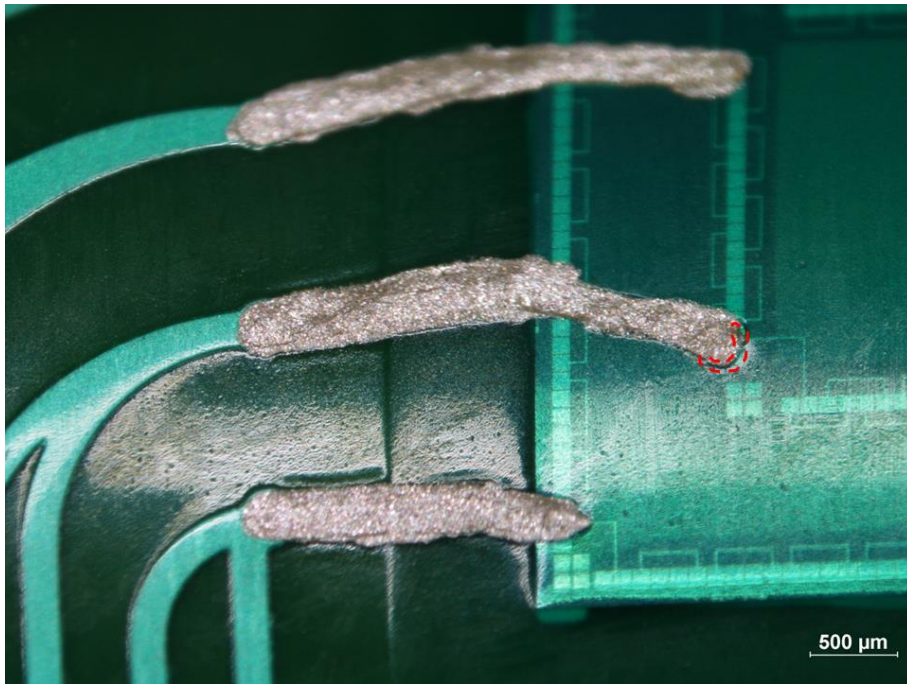


Abbildung 7-23: Delamination der Klebstoffleiterbahn entlang des Studbumps beim Kanal 2.

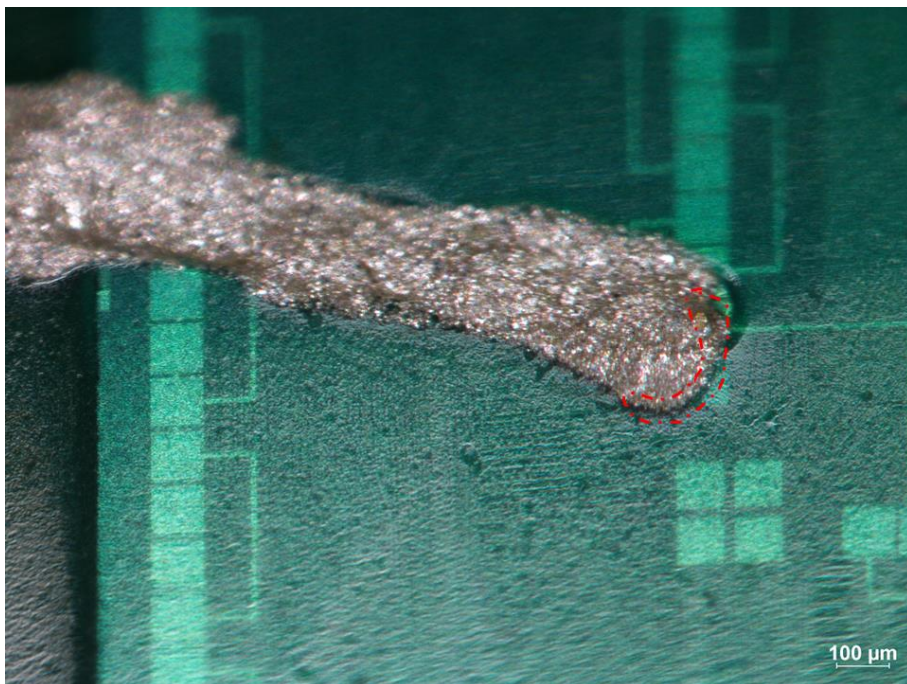


Abbildung 7-24: Delamination der Klebstoffleiterbahn entlang des Studbumps beim Kanal 2 in einer Nahaufnahme.



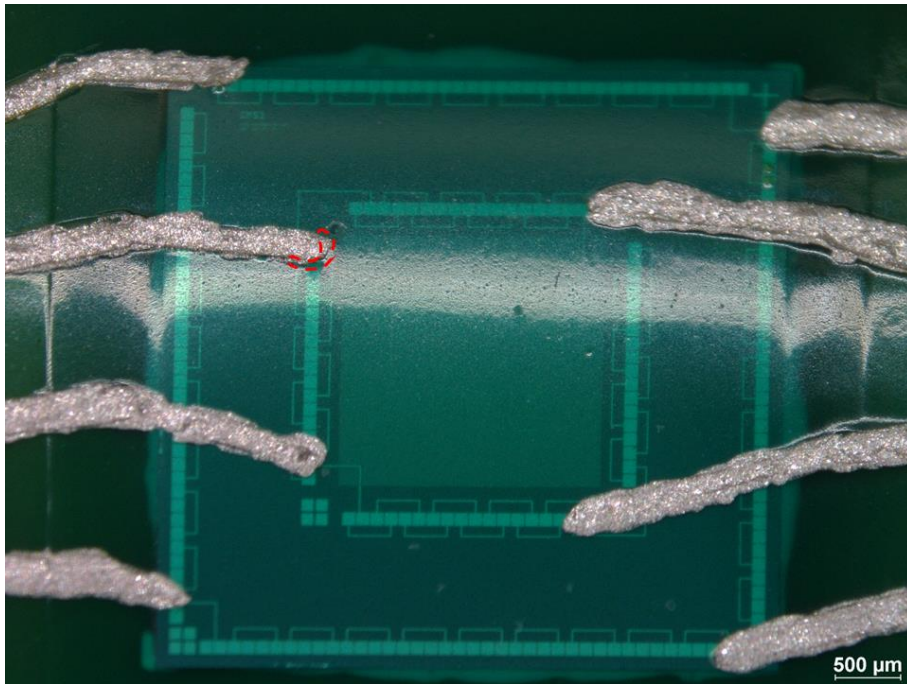


Abbildung 7-25: Delamination der Klebstoffleiterbahn entlang des Studbumps bei Kanal 3 links im gebogenen Zustand auf 10 mm Biegeradius.

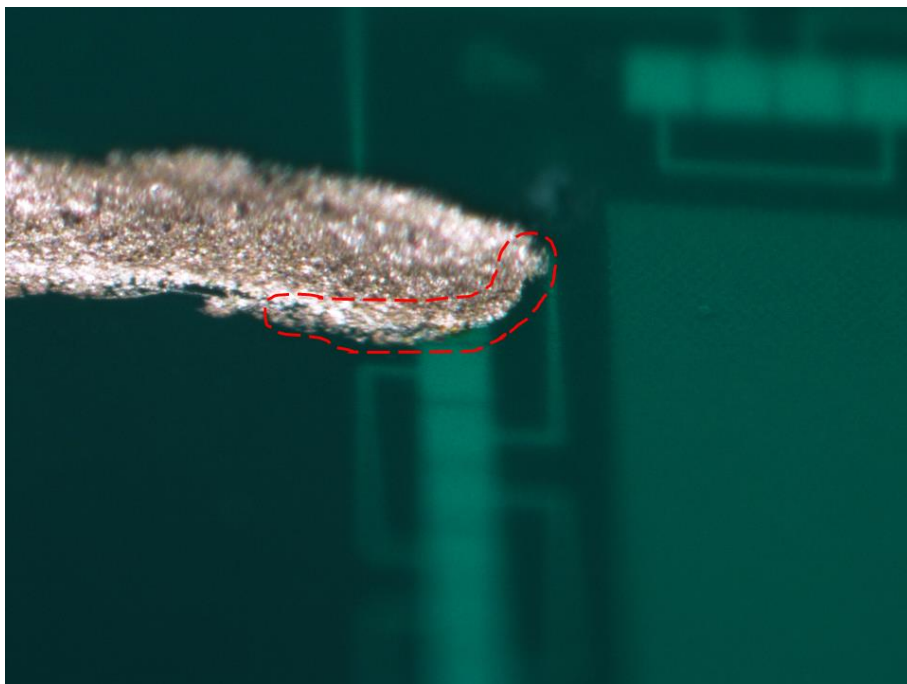


Abbildung 7-26: Delamination der Klebstoffleiterbahn entlang des Studbumps bei Kanal 3 im gebogenen Zustand auf 10 mm Biegeradius in einer Nahaufnahme.





## 8 Diskussion

Dieses Kapitel widmet sich der Diskussion der gewonnenen Erkenntnisse sowohl bei der Montage von SMDs als auch von ultradünnen Chips auf Foliensubstraten. Es wird auch auf die Strukturierung der Foliensubstrate eingegangen. Zusätzlich werden Vergleiche mit der Literatur herangezogen, insbesondere für die dynamische Biegecharakterisierung von Bauelementen auf Foliensubstraten.

### 8.1 Integration von SMDs auf Foliensubstraten

Basierend auf der Literatur wurden in dieser Arbeit die Einflussfaktoren identifiziert, welche den Prozess des leitfähigen Klebens und des Lötens von SMDs auf flexiblen Foliensubstraten beeinflussen. Anschließend wurden diese Faktoren mittels eines DoE in der Praxis untersucht. Das Ziel der Untersuchung war es, zu ermitteln, welche Faktoren und Technologievariationen relevant sind, um höhere Scherkräfte und Biegezyklen bis zum Ausfall zu erreichen.

Im Rahmen der Scherprüfung zeigte der Klebstoff H20E beim Kleben von SMDs auf Foliensubstrate eine höhere Scherfestigkeit für beide SMDs 0603 und 0402 im Vergleich zum Klebstoff Loctite 3880. Generell lässt sich aus den Vorversuchen zur Kontaktierung von SMDs auf flexiblen Foliensubstraten ableiten, dass eine schnellere Aushärtung des Klebstoffs zu einer Erhöhung der Scherfestigkeit führt. Außerdem hat eine Verringerung der Klebstoffmenge beim H20E zu einer Abnahme der Scherfestigkeit geführt. Beim Klebstoff Loctite 3880 hingegen hat eine Erhöhung der Klebstoffmenge nicht zur Erhöhung der Scherfestigkeit beigetragen.

Im Rahmen der Biegeprüfung von bestückten SMDs auf Foliensubstraten ist die Endoberfläche des Substrats ein entscheidender Faktor für die Anzahl der Biegezyklen, die bis zum Versagen erreicht werden können. In dieser Arbeit wurde die Verwendung von chemisch aufgebrachtem Silber (ImAg) als Endoberfläche untersucht. Im Vergleich zu edlen Beschichtungen wie ENIG weist die untersuchte Oberfläche ImAg den Vorteil

niedrigerer Herstellungskosten auf [117], [118]. Weitere Vorteile von ImAg sind die exzellente Lötbarkeit, eine einfache Prozessführung sowie eine sehr glatte Oberfläche [119]. Darüber hinaus können versilberte Oberflächen als Standardoberflächenfinish für viele AVT-Technologien dienen [120]. Die Oberflächenbeschichtung ImAg bietet eine gute Verbindung zu den Silberfüllstoffen im leitfähigen Klebstoff und eignet sich besser für das leitfähige Kleben als die Standard-Kupferoberfläche [118]. Ein Grund dafür ist, dass die Standard-Kupferoberfläche leichter oxidiert, was zu einer Verschlechterung der Klebeverbindung führt.

Beim Reflowlöten von SMDs erreichte das Lot SnBiAg die höchste Scherfestigkeit für beide SMD-Größen im Vergleich zu anderen Loten wie SnBi und SAC. Die Scherfestigkeitswerte des Lots SAC, die durch Dampfphasenlöten erzielt worden sind, waren für SMDs der Größe 0402 höher als die der anderen Lote. Für SMDs der Größe 0603 lagen jedoch die Scherfestigkeitswerte, die durch das Dampfphasen- und Durchlauföfenlöten erreicht wurden, nah beieinander. Außerdem stand die Anlage für das Dampfphasenlöten meist nicht zur Verfügung. Aus diesen Gründen wurde für die Hauptversuche ausschließlich der Durchlauföfen verwendet.

Die Hinzugabe von anderen Metallen wie Bismut (Bi) und Silber (Ag) zum Zinnlot verbessert die Duktilität sowie die Benetzung [85]. Die erreichten Ergebnisse bei der Scherprüfung von SMDs auf Foliensubstraten haben solche Verbesserungen bestätigt.

Standard-Kupferoberflächen auf den Foliensubstraten weisen in der Regel eine sehr gute Lötbarkeit auf, oxidieren jedoch unter Umweltbedingungen schnell, was die Lötbarkeit verringern kann. Obwohl die ImAg-Endoberfläche im Vergleich zur Standardoberfläche bessere Eigenschaften bietet, schmilzt diese Schicht selbst beim Lötprozess nicht, sondern löst sich im Lot auf und verringert die Benetzbarkeit des Lots. Dadurch brechen die gelöteten Verbindungen von SMDs auf der Silberoberfläche schneller als auf der Standard-Kupferoberfläche [121], [122].

Ein weiterer Faktor, der eine wichtige Rolle für die Zuverlässigkeit der gelöteten SMDs auf Foliensubstraten spielt, könnte die Löttemperatur sein. Bei erhöhten

Löttemperaturen sind die Komponenten und Substrate einer erhöhten thermischen Belastung ausgesetzt, wodurch Defekte auftreten können. Generell treten bei hohen Prozesstemperaturen vermehrt Defekte wie Delaminationen auf. Aus diesem Grund können die gelöteten SMDs mit erhöhter Prozesstemperatur früher ausfallen als die gelöteten SMDs mit niedriger Löttemperatur [123]. Das SAC-Lot weist im Vergleich zu anderen Loten schlechtere Benetzungseigenschaften auf und erfordert eine höhere Lottemperatur, was möglicherweise zu einer Beschädigung der Komponenten führen kann. Im Gegensatz dazu hat das SnBiAg-Lot sehr gute Benetzungseigenschaften im Vergleich zu anderen Loten und wird bei einer niedrigeren Temperatur verarbeitet, was sich positiv auf den gesamten Prozess und das Biegeverhalten auswirkt [85].

In dieser Arbeit wurde auch der Einfluss verschiedener Biegeradien auf die Anzahl der Biegezyklen bis zum Versagen untersucht. Es existieren nur wenige Studien in der Literatur über die Biegeprüfung von SMDs auf flexiblen Foliensubstraten. Hirman et al. [92] untersuchten das Biegeverhalten von bestückten Bauelementen, aber diese Studie beinhaltet nur eine statische Biegeprüfung bei einem sehr großen Biegeradius von 40 mm. In einer anderen Studie von Ernst et al. [112] wurde die AVT von SMDs auf flexiblen Foliensubstraten unter dynamischer Biegeprüfung mit Biegeradien von 5 und 15 mm untersucht, wobei in dieser Arbeit Ausfälle beobachtet wurden.

Zu Beginn dieser Arbeit wurden zunächst Biegeradien von 10, 5 und 3 mm verwendet, wobei die meisten Ausfälle bei einem Biegeradius von 5 mm auftraten. Um diese Auswahl zu verifizieren, wurden jeweils vier gelötete SMDs mit dem SnBiAg-Lot auf kupferkaschieren Foliensubstraten unter den drei Biegeradien gebogen und untersucht. Tabelle 8-1 zeigt die erreichten Biegezyklen bis zum Versagen bei den verschiedenen Biegeradien. Infolgedessen und orientiert an der Literatur wurden alle weiteren Biegeuntersuchungen im Rahmen dieser Arbeit mit einem Biegeradius von 5 mm durchgeführt, um die Auswirkungen verschiedener Prozessvariationen auf die AVT von SMDs auf kupferkaschierten Foliensubstraten zu untersuchen.

Tabelle 8-1: Erreichte Biegezyklen bis zum Versagen bei gelöteten 0402 SMDs auf Foliensubstraten unter verschiedenen Biegeradien. Unter dem Biegeradius 10 mm wurden die Proben bis 100.000 Biegezyklen belastet.

Biegeradius [mm]	Probe 1	Probe 2	Probe 3	Probe 4	Mittelwert	Standardabweichung
3	20887	5622	6614	11203	11081	6974
5	31406	48451	27567	29183	34154	9659
10	Intakt bei 100.000 Biegezyklen	Intakt bei 100.000 Biegezyklen	Intakt bei 100.000 Biegezyklen	Intakt bei 100.000 Biegezyklen	-	-

## 8.2 Integration von ultradünnen Chips auf Foliensubstraten

Anhand der Nutzwertanalyse und unter Berücksichtigung des aktuellen Standes der Technik wurde ein Konzept zur Integration von Chips auf Foliensubstraten erarbeitet. Im Rahmen dieser Arbeit wurde dieses Konzept umgesetzt.

Um das Konzept erfolgreich umzusetzen, wurden die einzelnen Prozesse fortlaufend optimiert. Zu Beginn war es so, dass die Schaltungen auf den Foliensubstraten nicht sauber frei entwickelt wurden und das Kupfer nicht komplett geätzt werden konnte. Beim Laminieren des Trockenresists auf den Foliensubstraten mit höherem Laminierdruck und höheren Laminiertemperaturen kann der Trockenresist später nicht mehr sauber belichtet und entwickelt werden. Wenn die Laminierparameter jedoch zu niedrig gewählt werden, löst sich der Trockenresist beim Entwickeln komplett von den Foliensubstraten ab. Auch in den Vorversuchen wurde beobachtet, dass trotz guter Laminierung, Belichtung und Entwicklung keine sauberen Foliensubstrate erzielt wurden. Dies lag daran, dass die Entwicklung des Trockenresists noch nicht ausreichend war. Es blieb ein dünner Resistfilm auf den Substraten übrig, der das Ätzmedium daran hindert, die Kupferfläche anzugreifen.

Beim Ätzprozess ist darauf zu achten, dass dieser nicht auf einmal stattfindet, sondern unterbrochen wird, je eine Minute lang, da das Ätzmedium Sauerstoff benötigt.

Darüber hinaus soll der Durchfluss nicht zu hoch oder zu gering gewählt werden, um optimale Ergebnisse zu erzielen.

Beim Kleben von Chips auf Foliensubstraten soll der Klebstoff nicht zu dick appliziert werden, um den Chip während des Bestückungsprozesses nicht zu verschmutzen oder unnötig zu versteifen. Durch die optimale Prozessführung durch den Stempelprozess konnte ein durchgehender Klebespalt unter  $10\ \mu\text{m}$  erreicht werden, was dazu führt, dass der Chip planparallel bestückt wurde und es zu keiner Versteifung des Aufbaus kam.

Die für die Veredelung der Chipoberfläche gebondeten Studbumps sollen nicht zu stark herausragen. Die Idee dahinter ist, dass selbst nach dem Abflachprozess der Durchmesser des Studs nicht größer als die Padgeometrie wird. Beim Abflachen der Studs ist es wichtig, mit niedrigem Druck zu arbeiten, da die Chips Sollbruchstellen aufweisen und bei punktueller Belastung auf der Studbumpenebene ein Riss entlang der Ecken des Chips entstehen kann.

Wenn Stellen auf dem Chip mit einer leitfähigen Klebstoffbahn kontaktiert werden und ein Kurzschluss zu anderen Leiterbahnen auf dem Chip entsteht, ist ein Maskierungsschritt unbedingt erforderlich. Die Chips wurden durch eine dünne Lackschicht eingekapselt und nur die Pads freigelegt, die später für die Kontaktierung relevant sind. Sobald diese Schritte abgeschlossen waren, wurde der Lack im Ofen in einem Hardbake-Prozess verfestigt. Dieser Schritt ist notwendig, um bestimmte Positionen auf Chips oder Bauelementen partiell zu schützen.

Die Auswahl der richtigen Mischung von Lack und Lösungsmittel ist für die finale Lackschichtdicke von großer Bedeutung. Außerdem spielen die Auftragsparameter eine wichtige Rolle für die endgültige Schichtdicke. Bei einer Schichtdicke unter  $20\ \mu\text{m}$  bleibt der Lack flexibel und kann die darunterliegenden Chips auf Foliensubstraten minimal versteifen. In dieser Arbeit wurde eine Lackdicke von unter  $20\ \mu\text{m}$  realisiert, was dazu führt, dass der Aufbau an der Belackungsstelle nicht unnötig versteift wird.

Da einige Aufbauten mit Chips bestückt waren, die alle in der Bestückposition abweichen, war die Durchführung einer adaptiven Belichtung zur Realisierung von Gräben unbedingt erforderlich. Dabei muss jedoch darauf geachtet werden, dass der Chip im Belichtungsprofil am Direktbelichter sauber eingelernt wird, um Verschiebungen und Verdrehungen zu erkennen. Wenn dies nicht der Fall ist, können die Belichtungsdaten nicht präzise skaliert und gedreht werden, was dazu führen kann, dass falsche Positionen belichtet werden. Beim Einlernen des Chips ist es auch sehr wichtig, die Mitte des Chips einzulernen, um Verschiebungen zu erfassen. Durch diese Kombination kann der Direktbelichter die Belichtungsdaten skalieren, wie es später für die AVT erforderlich ist. Wenn bei der Belichtung jedoch andere markante Kanten erkannt werden, wie z. B. Maskierungskanten, werden die Gräben falsch belichtet. Das Beispiel in der Abbildung 8-1 zeigt, was passiert, wenn der Chip falsch erkannt und die Gräben falsch belichtet werden.

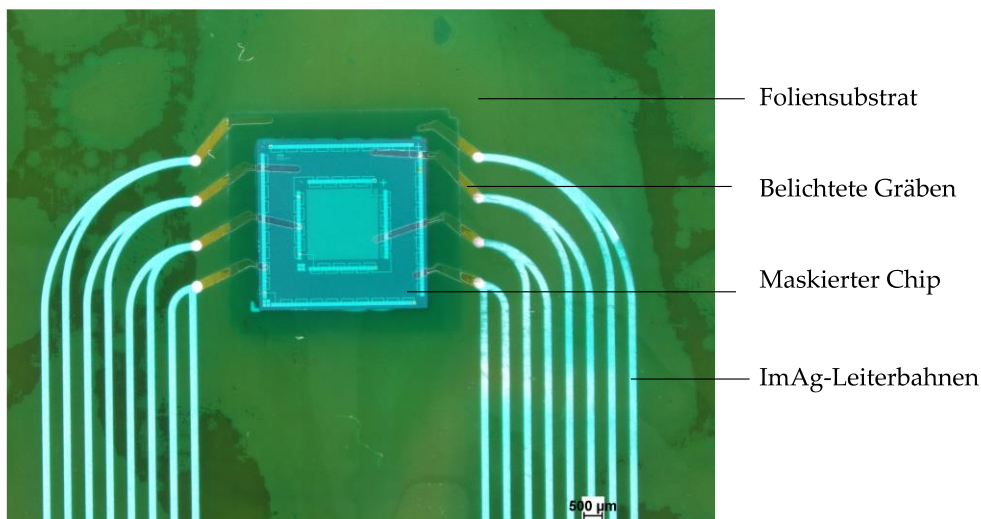


Abbildung 8-1: Mislungene adaptive Belichtung zur Realisierung der Gräben.

Nachdem die Gräben für die Kontaktierung von Chips freigelegt und gleichzeitig die anderen Bereiche des Chips maskiert worden sind, kamen leitfähige Klebstoffe zur Kontaktierung des Chips zum Einsatz. In dieser Arbeit flossen die Ergebnisse aus Kapitel 6.2 in die Optimierung der Prozesskette ein. Dabei wurde die Auswahl des Klebstoffs sowie die Aushärtebedingungen berücksichtigt. Des Weiteren wurde darauf geachtet,

eine passende Kombination von Liniendispensparametern zu finden, die es ermöglichen, gleichmäßige, dünne Linien aufzutragen, ohne Materialanhäufungen und Unterbrechungen in der Klebstofflinie zu erzeugen. Da der Klebstoff im Vergleich zu Drucktechniken dicker aufgetragen wird, entfällt hier die mühselige Rampenbildung, die bei der Kontaktierung über die Chipkante bei Drucktechniken erforderlich ist.

Zunächst wurden Vorversuche zum Liniendispensen auf einer Häcker-Anlage durchgeführt. Dabei wurden mit den kleinsten Nadeln und dem verwendeten Klebstoff Linien mit einer Breite von mehr als 250  $\mu\text{m}$  erzeugt. Leider lieferte das Dispensieren über eine Rampe kein brauchbares Ergebnis, da die Leiterbahn unterbrochen wurde und keine kontinuierliche Verbindung entstand, wenn der Dispenskopf in der Höhe stieg, um eine Kollision mit der Chipkante zu vermeiden und über eine Rampe zu dispensieren. Außerdem funktioniert der verwendete Dispenskopf über ein mechanisches Fördersystem, wodurch die Dispensmenge jedes Mal abweicht. Bei so dünnen Bahnbreiten wird dieser Effekt noch deutlicher. Deshalb wurden die Klebstofflinien in dieser Arbeit mit einem Smartdispenser realisiert. Das Gerät ist zeitdruckgesteuert. Mit diesem Dispenser kann die Dispensmenge sehr präzise eingestellt werden, und es können sogar noch dünnere Nadeln wie Mikronadeln verwendet werden. Damit konnten Klebstofflinien mit einer Breite von unter 300  $\mu\text{m}$  und einer Klebstoffhöhe von unter 15  $\mu\text{m}$  realisiert werden.

Die etablierte Prozesskette, einschließlich aller Teilprozesse und Materialien, liefert Aufbauten mit einer Gesamtdicke von unter 130  $\mu\text{m}$ . Dadurch bleiben die Aufbauten flexibel und werden trotz zweistufiger Belackung nur minimal im Chipbereich versteift. Es war wichtig, die Aufbauten im Rahmen dieser Arbeit unter dynamischer Biegeprüfung zu charakterisieren. Dazu wurden anhand der Literatur sowie der vorherigen Montage von SMDs auf Foliensubstraten passende Biegeradien untersucht. In der Literatur sind zur Charakterisierung von Chips auf Foliensubstraten Biegeradien von 5 oder 10 mm zu finden [124]–[127]. Aus diesem Grund wurden die erstellten Aufbauten unter einem Biegeradius von 10 mm charakterisiert. Ähnlich wie bei der

Charakterisierung von SMDs auf Foliensubstraten wurden auch hier Biegezyklen von 50.000 eingestellt. Das Ziel dieser Untersuchung war, die Aufbauten mit dieser Prozesskette zu untersuchen und zu prüfen, ob die verschiedenen Teilprozesse einen schlechten Einfluss auf das Biegeverhalten der Chips haben.

Durch die Charakterisierung mit dem Biegeprüfstand werden die Schwachstellen der AVT identifiziert. Aufbauend auf den Ergebnissen können Gegenmaßnahmen und Vorschläge zur Behebung abgeleitet werden. Sollten vermehrt Chips brechen, liegt das häufig an den Sollbruchstellen, die durch das Studbumpen und Coinen verstärkt werden. Eine Gegenmaßnahme wäre hierbei die Verwendung von Chips mit edlen Padoberflächen, damit entfällt der Studbumping und Coining-Prozess und die Chips werden geschont. Wenn diese Schritte jedoch notwendig sind, wäre hier die Auswahl von schonenderen Bondparametern und ein anschließender Coining-Prozess mit so wenig Kraft wie möglich empfehlenswert. Wenn die zur Kontaktierung des Chips applizierten Klebstoffbahnen brechen, ist es wichtig, flexiblere Klebstoffe auszuwählen und die Aushärtebedingungen zu optimieren.

Bei der Inspektion der Chipverbindungen, die bei der Biegeprüfung ausgefallen sind, konnte der Ausfallmechanismus identifiziert werden. Ein Riss verlief entlang der Kontaktierung der Klebstoffbahn auf den Studbumps (Delaminationen). Möglicherweise ist dies darauf zurückzuführen, dass dieser Bereich in der AVT durch das Auftragen von dicken Klebstoffbahnen am steifsten ist. Außerdem befindet sich diese Position an der höchsten Stelle, entfernt von der neutralen Ebene, was zu einer größeren Dehnung führt [16].



## 9 Zusammenfassung und Ausblick

Im Rahmen dieser Arbeit wurde eine umfassende Recherche über Biegecharakterisierung und Biegeeinrichtungen von flexiblen Mikrosystemen durchgeführt. Die gewonnenen Erkenntnisse wurden in einem Review-Paper als Grundlage und Basis für die Charakterisierung flexibler Mikrosysteme veröffentlicht.

Basierend auf der Literaturrecherche wurden Standardsubstrate für dynamische Biegeanwendungen identifiziert und beschafft. Daraufhin wurden das Handling und die Strukturierung dieser Substrate kontinuierlich optimiert und als Grundlage für die AVT in dieser Arbeit verwendet.

Orientiert an der Literatur wurden die Prozesse leitfähiges Kleben und Löten zur Integration von SMDs auf Foliensubstraten vergleichend untersucht. Im Rahmen der Biegecharakterisierungen wurden Prozessvariationen und ihr Einfluss auf flexible Mikrosysteme evaluiert.

Ein Konzept zur Integration und Kontaktierung von ultradünnen Chips auf Foliensubstraten wurde mithilfe von Standard-Anlagen aus der Industrie entwickelt und umgesetzt. Dabei wurden Teilprozesse aus früheren Arbeiten übernommen und angepasst. Durch die Umsetzung dieses Konzepts wurde eine Grundlage für den Aufbau komplexer, multichipfähiger Mikrosysteme geschaffen, ohne dass eine genaue Bestückung der Chips oder eine höhere Investition in Masken zur Kontaktierung von multichipfähigen Mikrosystemen erforderlich ist.

In zukünftigen Arbeiten können die gewonnenen Erkenntnisse sowohl bei der Montage von SMDs als auch bei der Montage von ultradünnen Chips auf Foliensubstraten genutzt werden. Nach einer Vorselektion der besten Teilprozesse mittels Design of Experiment können künftig Aufbauten erstellt und charakterisiert werden. Dadurch können Lebensdauermodelle erstellt und Zuverlässigkeitsaspekte weiter optimiert werden.

---

Darüber hinaus kann durch die in dieser Arbeit etablierte adaptive Belichtung und die Verwendung der entwickelten Prozesse die Integration von mehreren Chips in komplexeren Schaltungen im Bereich System-in-Foil in zukünftigen Arbeiten erweitert werden. Solche Systeme auf Foliensubstraten können beispielsweise rückgedünnte Sensorchips und ASICs enthalten, die es ermöglichen, wichtige Parameter für die Automobil- oder Medizintechnik direkt am Ort des Geschehens zu messen.

## 10 Literaturverzeichnis

- [1] S. Logothetidis, *Handbook of Flexible Organic Electronics*. Elsevier, 2015. doi: 10.1016/C2013-0-16442-2.
- [2] S. Gupta, W. T. Navaraj, L. Lorenzelli, and R. Dahiya, "Ultra-thin chips for high-performance flexible electronics," *npj Flex. Electron.*, vol. 2, no. 1, 2018, doi: 10.1038/s41528-018-0021-5.
- [3] M. Bedjaoui, S. Martin, and R. Salot, "Interconnection of Flexible Lithium Thin Film Batteries for Systems-in-Foil," *Proc. - Electron. Components Technol. Conf.*, vol. 2016-Augus, pp. 2082–2088, 2016, doi: 10.1109/ECTC.2016.23.
- [4] M. Koyuncu, E. Lorenz, and A. Zimmermann, "Advanced interconnection technologies for flexible organic electronic systems," in *Handbook of Flexible Organic Electronics*, Elsevier, 2015, pp. 143–169. doi: 10.1016/B978-1-78242-035-4.00006-3.
- [5] R. Saleh, M. Barth, W. Eberhardt, and A. Zimmermann, "Bending Setups for Reliability Investigation of Flexible Electronics," *Micromachines*, vol. 12, no. 1, p. 78, Jan. 2021, doi: 10.3390/mi12010078.
- [6] E. Lorenz, N. Niemann, M. Koyuncu, and K. Bock, "Reliability characterization of blind-hole vias for a System-in-Foil," *Proc. 5th Electron. Syst. Technol. Conf. ESTC 2014*, no. Figure 1, 2014, doi: 10.1109/ESTC.2014.6962764.
- [7] A. Nathan, A. Ahnood, M. T. Cole, S. Lee, Y. Suzuki, P. Hiralal, F. Bonaccorso, T. Hasan, L. Garcia-Gancedo, A. Dyadyusha, S. Haque, P. Andrew, S. Hofmann, J. Moultrie, D. Chu, A. J. Flewitt, A. C. Ferrari, M. J. Kelly, J. Robertson, G. A. J. Amaratunga, and W. I. Milne, "Flexible Electronics: The Next Ubiquitous Platform," *Proc. IEEE*, vol. 100, no. Special Centennial Issue, pp. 1486–1517, May 2012, doi: 10.1109/JPROC.2012.2190168.
- [8] GrandViewResearch, "Flexible Electronics Market By Components (Display, Battery, Sensors, Memory), By Application (Consumer Electronics, Automotive, Healthcare, Industrial) And Segment Forecast To 2024," 2016. <https://www.grandviewresearch.com/industry-analysis/flexible-electronics-market> (accessed Apr. 30, 2020).

- 
- [9] M. Dyson, and K. Ghaffarzadeh, "Flexible Hybrid Electronics 2020-2030: Applications, Challenges, Innovations and Forecasts," 2020. [Online]. Available: <https://www.idtechex.com/en/research-report/flexible-hybrid-electronics-2020-2030-applications-challenges-innovations-and-forecasts/732>
- [10] H. K. Takao Someya, Tsuyoshi Sekitani, Shingo Iba, Yusaku Kato, and Takayasu Sakurai, "A large-area, flexible pressure sensor matrix with organic field-effect transistors for artificial skin applications," vol. 101, no. 27, pp. 9966–9970, 2004, [Online]. Available: [www.pnas.org/doi/10.1073/pnas.0401918101](http://www.pnas.org/doi/10.1073/pnas.0401918101)
- [11] J. H. Kim, T. I. Lee, J. W. Shin, T. S. Kim, and K. W. Paik, "Bending Properties of Anisotropic Conductive Films Assembled Chip-in-Flex Packages for Wearable Electronics Applications," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 6, no. 2, pp. 208–215, 2016, doi: 10.1109/TCPMT.2015.2513062.
- [12] W. Gao, Y. Zhu, Y. Wang, G. Yuan, and J. M. Liu, "A review of flexible perovskite oxide ferroelectric films and their application," *J. Mater.*, vol. 6, no. 1, pp. 1–16, 2020, doi: 10.1016/j.jmat.2019.11.001.
- [13] W. J. Kröniger, and L. Ossowski, "Successful processing of thinned silicon chips thresholds and limits in mechanical properties," in *IEEE International Symposium on Semiconductor Manufacturing Conference, Proceedings*, 2004, pp. 232–236. doi: 10.1109/asmc.2004.1309572.
- [14] D. A. Van Den Ende, H. J. Van De Wiel, R. H. L. Kusters, A. Sridhar, J. F. M. Schram, M. Cauwe, and J. Van Den Brand, "Mechanical and electrical properties of ultra-thin chips and flexible electronics assemblies during bending," *Microelectron. Reliab.*, vol. 54, no. 12, pp. 2860–2870, 2014, doi: 10.1016/j.microrel.2014.07.125.
- [15] C. Harendt, J. Kostelnik, A. Kugler, E. Lorenz, S. Saller, A. Schreivogel, Z. Yu, and J. N. Burghartz, "Hybrid Systems in Foil (HySiF) exploiting ultra-thin flexible chips," *Solid. State. Electron.*, vol. 113, pp. 101–108, 2015, doi: 10.1016/j.sse.2015.05.023.
- [16] J. A. Rogers, T. Someya, and Y. Huang, "Materials and mechanics for stretchable electronics," *Science (80-. )*, vol. 327, no. 5973, pp. 1603–1607, 2010, doi: 10.1126/science.1182383.
- [17] G. Kunkel, T. Debski, H. Burkard, J. Link, A. E. Petersen, W. Christiaens, and J. Vanfleteren,

- “Ultra-flexible and ultra-thin embedded medical devices on large area panels,” *Electron. Syst. Integr. Technol. Conf. ESTC 2010 - Proc.*, pp. 3–5, 2010, doi: 10.1109/ESTC.2010.5642850.
- [18] A. Servati, L. Zou, Z. Jane Wang, F. Ko, and P. Servati, “Novel flexible wearable sensor materials and signal processing for vital sign and human activity monitoring,” *Sensors (Switzerland)*, vol. 17, no. 7, 2017, doi: 10.3390/s17071622.
- [19] T. Loher, M. Seckel, B. Pahl, L. Böttcher, A. Ostmann, and H. Reichl, “Highly integrated flexible electronic circuits and modules,” *2008 3rd Int. Microsystems, Packag. Assem. Circuits Technol. Conf. IMPACT 2008*, pp. 86–89, 2008, doi: 10.1109/IMPACT.2008.4783814.
- [20] K. D. Harris, A. L. Elias, and H. J. Chung, “Flexible electronics under strain: a review of mechanical characterization and durability enhancement strategies,” *J. Mater. Sci.*, vol. 51, no. 6, pp. 2771–2805, 2016, doi: 10.1007/s10853-015-9643-3.
- [21] Y. Su, Z. Liu, S. Kim, J. Wu, Y. Huang, and J. A. Rogers, “Mechanics of stretchable electronics with high fill factors,” *Int. J. Solids Struct.*, vol. 49, no. 23–24, pp. 3416–3421, 2012, doi: 10.1016/j.ijsolstr.2012.07.024.
- [22] M. M. Hamasha, K. Alzoubi, J. C. Switzer, S. Lu, M. D. Poliks, and C. R. Westgate, “Reliability of sputtered aluminum thin film on flexible substrate under high cyclic bending fatigue conditions,” *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 2, no. 12, pp. 2007–2016, 2012, doi: 10.1109/TCPMT.2012.2214034.
- [23] F. Janek, E. Saller, E. Müller, T. Meißner, S. Weser, M. Barth, W. Eberhardt, and A. Zimmermann, “Feasibility study of an automated assembly process for ultrathin chips,” *Micromachines*, vol. 11, no. 7, pp. 1–13, 2020, doi: 10.3390/M111070654.
- [24] R. S. Dahiya and S. Gennaro, “Bendable ultra-thin chips on flexible foils,” *IEEE Sens. J.*, vol. 13, no. 10, pp. 4030–4037, 2013, doi: 10.1109/JSEN.2013.2269028.
- [25] S. Endler, E. a Angelopoulos, C. Harendt, T. Hoang, H. Rempp, and J. N. Burghartz, “Bestimmung der mechanischen Stabilität ultradünner Chips,” *Mikrosystemtechnik Kongress 2011*, no. c, pp. 737–740, 2011.
- [26] N. Palavesam, C. Landesberger, and K. Bock, “Investigations of the fracture strength of thin

- silicon dies embedded in flexible foil substrates," *2014 IEEE 20th Int. Symp. Des. Technol. Electron. Packag. SIITME 2014*, pp. 267–271, 2014, doi: 10.1109/SIITME.2014.6967042.
- [27] S. Endler, T. Hoang, E. A. Angelopoulos, H. Rempp, C. Harendt, and J. N. Burghartz, "Mechanical characterisation of ultra-thin chips," *IEEE - 2011 Semicond. Conf. Dresden Technol. Des. Packag. Simul. Test, SCD 2011 - Int. Conf. Work. Table-Top Exhib.*, pp. 3–6, 2011, doi: 10.1109/SCD.2011.6068727.
- [28] R. S. Dahiya, and S. Gennaro, "Bendable ultra-thin chips on flexible foils," *IEEE Sens. J.*, vol. 13, no. 10, pp. 4030–4037, 2013, doi: 10.1109/JSEN.2013.2269028.
- [29] N. Palavesam, C. Landesberger, C. Kutter, and K. Bock, "Finite element analysis of uniaxial bending of ultra-thin silicon dies embedded in flexible foil substrates," *2015 11th Conf. Ph.D. Res. Microelectron. Electron. PRIME 2015*, pp. 137–140, 2015, doi: 10.1109/PRIME.2015.7251353.
- [30] J. N. Burghartz, *Ultra-thin Chip Technology and Applications*, vol. 53, no. 9. New York, NY: Springer New York, 2011. doi: 10.1007/978-1-4419-7276-7.
- [31] J. Al Ahmar, E. Wiss, and S. Wiese, "Four-point-bending experiments on multilayer ceramic capacitors: Microstructural details on crack initiation and propagation," *2018 19th Int. Conf. Therm. Mech. Multi-Physics Simul. Exp. Microelectron. Microsystems, EuroSimE 2018*, pp. 1–6, 2018, doi: 10.1109/EuroSimE.2018.8369867.
- [32] Y. Li, L. Zheng, and X. Wang, "Flexible and wearable healthcare sensors for visual reality health-monitoring," *Virtual Real. Intell. Hardw.*, vol. 1, no. 4, pp. 411–427, 2019, doi: 10.1016/j.vrih.2019.08.001.
- [33] J. Lin, B. Yan, X. Wu, T. Ren, and L. Liu, "Stretchable interconnections for flexible electronic systems," *Proc. 31st Annu. Int. Conf. IEEE Eng. Med. Biol. Soc. Eng. Futur. Biomed. EMBC 2009*, pp. 4124–4127, 2009, doi: 10.1109/IEMBS.2009.5332697.
- [34] A. Nathan, B. Park, A. Sazonov, S. Tao, I. Chan, P. Servati, K. Karim, T. Charania, D. Striakhilev, Q. Ma, and R. V. R. Murthy, "Amorphous silicon detector and thin film transistor technology for large-area imaging of X-rays," *Microelectronics J.*, vol. 31, no. 11–12, pp. 883–891, 2000, doi: 10.1016/S0026-2692(00)00082-3.
- [35] H.-C. Jin, J. R. Abelson, M. K. Erhardt, and R. G. Nuzzo, "Soft lithographic fabrication of an

- image sensor array on a curved substrate," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 22, no. 5, p. 2548, 2004, doi: 10.1116/1.1795249.
- [36] H. C. Ko, M. P. Stoykovich, J. Song, V. Malyarchuk, W. M. Choi, C. J. Yu, J. B. Geddes, J. Xiao, S. Wang, Y. Huang, and J. A. Rogers, "A hemispherical electronic eye camera based on compressible silicon optoelectronics," *Nature*, vol. 454, no. 7205, pp. 748–753, 2008, doi: 10.1038/nature07113.
- [37] "Abschlussbericht: PRONTO Drusym: Drucktechnik für Sensoren," 2015.
- [38] H. Fallahi, J. Zhang, H.-P. Phan, and N.-T. Nguyen, "Flexible Microfluidics: Fundamentals, Recent Developments, and Applications," *Micromachines*, vol. 10, no. 12, p. 830, Nov. 2019, doi: 10.3390/mi10120830.
- [39] "BMBF Verbundprojekt InnBWImplant: Intelligente Implantate Chip-in-Foil Systeme für die bioelektronische Medizin," 2019.
- [40] J. C. Costa, F. Spina, P. Lugoda, L. Garcia-Garcia, D. Roggen, and N. Münzenrieder, "Flexible Sensors—From Materials to Applications," *Technologies*, vol. 7, no. 2, p. 35, 2019, doi: 10.3390/technologies7020035.
- [41] S. M. Lee, J. H. Kwon, S. Kwon, and K. C. Choi, "A Review of Flexible OLEDs Toward Highly Durable Unusual Displays," *IEEE Trans. Electron Devices*, vol. 64, no. 5, pp. 1922–1931, 2017, doi: 10.1109/TED.2017.2647964.
- [42] S. R. Forrest, "The path to ubiquitous and low-cost organic electronic appliances on plastic," *Nature*, vol. 428, no. 6986, pp. 911–918, Apr. 2004, doi: 10.1038/nature02498.
- [43] G. H. Gelinck, H. E. A. Huitema, E. Van Veenendaal, E. Cantatore, L. Schrijnemakers, J. B. P. H. Van Der Putten, T. C. T. Geuns, M. Beenhakkers, J. B. Giesbers, B. H. Huisman, E. J. Meijer, E. M. Benito, F. J. Touwslager, A. W. Marsman, B. J. E. Van Rens, and D. M. De Leeuw, "Flexible active-matrix displays and shift registers based on solution-processed organic transistors," *Nat. Mater.*, vol. 3, no. 2, pp. 106–110, 2004, doi: 10.1038/nmat1061.
- [44] S. Nagaraju, "Shapers: Capturing free form shapes for bendable device interactions," *Procedia Comput. Sci.*, vol. 39, no. C, pp. 158–161, 2014, doi: 10.1016/j.procs.2014.11.024.
- [45] O. Monereo, S. Claramunt, M. M. de Marigorta, M. Boix, R. Leghrib, J. D. Prades, A. Cornet, P. Merino, C. Merino, and A. Cirera, "Flexible sensor based on carbon nanofibers with

- multifunctional sensing features,” *Talanta*, vol. 107, pp. 239–247, Mar. 2013, doi: 10.1016/j.talanta.2013.01.022.
- [46] “BMBF Verbundprojekt: Komplexe Systeme in Folie (KoSiF).”
- [47] S. Chen, Y. Song, D. Ding, Z. Ling, and F. Xu, “Flexible and Anisotropic Strain Sensor Based on Carbonized Crepe Paper with Aligned Cellulose Fibers,” *Adv. Funct. Mater.*, vol. 28, no. 42, p. 1802547, Oct. 2018, doi: 10.1002/adfm.201802547.
- [48] B. Liang, Z. Lin, W. Chen, Z. He, J. Zhong, H. Zhu, Z. Tang, and X. Gui, “Ultra-stretchable and highly sensitive strain sensor based on gradient structure carbon nanotubes,” *Nanoscale*, vol. 10, no. 28, pp. 13599–13606, 2018, doi: 10.1039/C8NR02528B.
- [49] T. Deuble, “BMBF-Verbundprojekt ParsiFAL4.0: Teilvorhaben HySiF,” 2019.
- [50] M. Cauwe, B. Vandecasteele, J. De Baets, J. van den Brand, R. Kusters, and A. Sridhar, “A chip embedding solution based on low-cost plastic materials as enabling technology for smart labels,” in *2012 4th Electronic System-Integration Technology Conference*, Sep. 2012, pp. 1–6. doi: 10.1109/ESTC.2012.6542155.
- [51] M. Elsobky, G. Alavi, B. Albrecht, T. Deuble, C. Harendt, H. Richter, Z. Yu, and J. N. Burghartz, “Ultra-Thin Sensor Systems Integrating Silicon Chips with On-Foil Passive and Active Components,” *Proceedings*, vol. 2, no. 13, p. 748, 2018, doi: 10.3390/proceedings2130748.
- [52] “BMBF Verbundprojekt ADAMOS: Systemintegrationstechnologien für multifunktionale folienbasierte Elektroniksysteme.” <https://www.elektronikforschung.de/projekte/adamos> (accessed Jul. 27, 2020).
- [53] T. Loss, O. Gerler, and A. Bergmann, “Using MEMS Acceleration Sensors for Monitoring Blade Tip Movement of Wind Turbines,” in *2018 IEEE SENSORS*, Oct. 2018, pp. 1–4. doi: 10.1109/ICSENS.2018.8589944.
- [54] J. Fjelstad, *Flexible Circuit Technology*, 4. Seaside, USA: BR Publishing, Inc., 2011.
- [55] E. Lorenz, “Dissertation: Zuverlässigkeit von Durchkontaktierungen für flexible elektronische Systeme,” 2018.
- [56] S. Khan, L. Lorenzelli, and R. S. Dahiya, “Technologies for printing sensors and electronics over large flexible substrates: A review,” *IEEE Sens. J.*, vol. 15, no. 6, pp. 3164–3185, 2015,



doi: 10.1109/JSEN.2014.2375203.

- [57] T. T. Nge, M. Nogi, and K. Suganuma, "Electrical functionality of inkjet-printed silver nanoparticle conductive tracks on nanostructured paper compared with those on plastic substrates," *J. Mater. Chem. C*, vol. 1, no. 34, pp. 5235–5243, 2013, doi: 10.1039/c3tc31220h.
- [58] "The Difference between ED Copper and RA Copper," 2017. <http://sienta-pcb.com/news/122-en.html> (accessed May 15, 2020).
- [59] A. Reinhardt, "Effiziente Verarbeitung flexibler Schaltungsträger im Rolle-zu-Rolle-Verfahren," 2014.
- [60] H. Ito, K. Hasegawa, T. Matsuki, and S. Kusumoto, "Lift-off photoresists for advanced IC packaging metal patterning," in *16th International Conference on Electronic Packaging Technology, ICEPT 2015*, 2015, pp. 1352–1356. doi: 10.1109/ICEPT.2015.7236829.
- [61] T. Happonen, J. V. Voutilainen, J. Häkkinen, and T. Fabritius, "The Effect of Width and Thickness on Cyclic Bending Reliability of Screen-Printed Silver Traces on a Plastic Substrate," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 6, no. 5, pp. 722–728, 2016, doi: 10.1109/TCPMT.2016.2544441.
- [62] "BMBF-Verbundprojekt Pronto Ultimium: Ultradünne Chips zum Einsatz in  $\mu$ -Systemen," 2015.
- [63] W. Appel, "BMBF-Verbundprojekt 'Neuartige Technologien für Hochvolumenanwendungen von Silizium Mikrosystemen' (PROMIKRON)."
- [64] J. Haberland, B. Pahl, C. Kallmayer, R. Aschenbrenner, and H. Reichl, "Super thin flip chip assemblies on flex substrates - Adhesive bonding and soldering technology - Reliability investigations and applications," *Proc. - 2006 Int. Symp. Microelectron. IMAPS 2006*, no. June 2014, pp. 148–155, 2006.
- [65] M. Juergen Wolf, G. Engelmann, L. Dietrich, and H. Reichl, "Flip chip bumping technology- Status and update," *Nucl. Instruments Methods Phys. Res. Sect. A Accel. Spectrometers, Detect. Assoc. Equip.*, vol. 565, no. 1, pp. 290–295, 2006, doi: 10.1016/j.nima.2006.05.046.
- [66] S. Scherbaum, C. Landesberger, and M. Feil, "Gedünnte IC's für die Chip – in – Polymer - Technologie," pp. 1–11, 2001.

- [67] L. Xie, G. Yang, M. Mäntysalo, L. L. Xu, F. Jonsson, and L. R. Zheng, "Heterogeneous integration of bio-sensing system-on-chip and printed electronics," *IEEE J. Emerg. Sel. Top. Circuits Syst.*, vol. 2, no. 4, pp. 672–682, 2012, doi: 10.1109/JETCAS.2012.2223554.
- [68] L. Xie, *Heterogeneous Integration of Silicon and Printed Electronics for Intelligente Sensing Devices*. 2014. [Online]. Available: <http://diva-portal.org/smash/record.jsf?pid=diva2:705003>
- [69] J. Navratil, J. Reboun, T. Rericha, R. Soukup, M. Hirman, and A. Hamacek, "Nanoparticle based ink printed chip interconnections," *Proc. Int. Spring Semin. Electron. Technol.*, pp. 1–4, 2017, doi: 10.1109/ISSE.2017.8000912.
- [70] H. Kwak, and T. Hubing, "Technical report : CVEL-07-001 an Overview of Advanced Electronic Packaging Technology," 2007.
- [71] R. Schönholz, and C. Mallok, "Lasercavity-Verfahren platziert aktive Bauteile in die Innenlagen der Leiterplatte," 2009. <https://www.elektronikpraxis.vogel.de/lasercavity-verfahren-platziert-aktive-bauteile-in-die-innenlagen-der-leiterplatte-a-185873/> (accessed Mar. 16, 2021).
- [72] C. Harendt, A. Schreivogel, B. Albrecht, T. Deuble, M. Elsobky, S. Ferwana, and J. K. J. Burghartz, "Flexible Foliensysteme für Industrie 4 . 0 Flexible Foil Systems for Industry 4 . 0," pp. 234–237, 2019.
- [73] A. Neumann, "Die hoch-integrierte Leiterplatte mit eingebetteten Chips Ergebnisse aus dem EU-Projekt Hiding Dies," 2006.
- [74] J. N. Burghartz, W. Appel, C. Harendt, H. Rempp, H. Richter, and M. Zimmermann, "Ultra-thin chip technology and applications, a new paradigm in silicon technology," *Solid. State. Electron.*, vol. 54, no. 9, pp. 818–829, 2010, doi: 10.1016/j.sse.2010.04.042.
- [75] J. Govaerts, E. Bosman, W. Christiaens, and J. Vanfleteren, "Fine-pitch capabilities of the flat ultra-thin chip packaging (UTCP) technology," *IEEE Trans. Adv. Packag.*, vol. 33, no. 1, pp. 72–78, 2010, doi: 10.1109/TADVP.2009.2018134.
- [76] W. Christiaens, E. Bosman, and J. Vanfleteren, "UTCP: A novel polyimide-based ultra-thin chip packaging technology," *IEEE Trans. Components Packag. Technol.*, vol. 33, no. 4, pp. 754–760, 2010, doi: 10.1109/TCAPT.2010.2060198.

- [77] W. Christiaens, "Active and Passive Component Integration in Polyimide Interconnection Substrates," 2009.
- [78] G. Alavi, J. N. Burghartz, H. Sailer, B. Albrecht, and C. Harendt, "Optimized adaptive layout technique for hybrid systems in foil," *EMPC 2017 - 21st Eur. Microelectron. Packag. Conf. Exhib.*, vol. 2018-Janua, no. September, pp. 1–5, 2018, doi: 10.23919/EMPC.2017.8346851.
- [79] D. . Whalley, "A simplified reflow soldering process model," *J. Mater. Process. Technol.*, vol. 150, no. 1–2, pp. 134–144, Jul. 2004, doi: 10.1016/j.jmatprotec.2004.01.029.
- [80] B. Illés and A. Géczy, "Investigating the dynamic changes of the vapour concentration in a Vapour Phase Soldering oven by simplified condensation modelling," *Appl. Therm. Eng.*, vol. 59, no. 1–2, pp. 94–100, Sep. 2013, doi: 10.1016/j.applthermaleng.2013.05.008.
- [81] A. Zimmermann, "Vorlesungsunterlagen: Aufbau- und Verbindungstechnik für Mikrosysteme - Technologien. 3. Löten," 2022.
- [82] C. Budelmann, and K. Rinortner, "Löten: Dampfphase oder doch besser Reflow?" <https://www.elektronikpraxis.de/loeten-dampfphase-oder-doch-besser-reflow-a-94d7d7de1142384c44d9af5590cdde1c/>
- [83] U. Koerbitz, "Lötverfahren." [https://www.konstruktionsatlas.de/verbindungstechnik/loeten/loeten\\_technologie.shtml](https://www.konstruktionsatlas.de/verbindungstechnik/loeten/loeten_technologie.shtml)
- [84] M. Hirman, and F. Steiner, "Shear Strength of Conductive Adhesive Joints on Rigid and Flexible Substrates Depending on Adhesive Quantity," *J. Electr. Eng.*, vol. 67, no. 3, pp. 177–184, 2016, doi: 10.1515/jee-2016-0025.
- [85] A. Rahn, *Bleifrei Löten Ein Leitfaden für die Praxis*. Bad Saulgau: Eugen G. Leuze Verlag, 2004.
- [86] K. Sukanuma, "Advances in lead-free electronics soldering," *Curr. Opin. Solid State Mater. Sci.*, vol. 5, no. 1, pp. 55–64, 2001, doi: 10.1016/S1359-0286(00)00036-X.
- [87] D. N. Wright, A. S. B. Vardøy, B. D. Belle, M. M. Visser Taklo, O. Hagel, L. Xie, M. Danestig, and T. Eriksson, "Bending machine for testing reliability of flexible electronics," *2017 IMAPS Nord. Conf. Microelectron. Packag. Nord. 2017*, pp. 47–52, 2017, doi: 10.1109/NORDPAC.2017.7993162.

- [88] X. Li, H. Andersson, J. Sidén, and T. Schön, "Soldering surface mount components on screen-printed Ag patterns on paper and polyimide substrates for hybrid printed electronics," *Flex. Print. Electron.*, vol. 3, no. 1, p. 15003, 2018, doi: 10.1088/2058-8585/aa9dc7.
- [89] A. Géczy, R. Batorfi, G. Széles, Á. Luhály, M. Ruzinkó, and R. Berényi, "Vapour phase soldering on flexible printed circuit boards," *2014 IEEE 20th Int. Symp. Des. Technol. Electron. Packag. SIITME 2014*, pp. 69–74, 2014, doi: 10.1109/SIITME.2014.6966996.
- [90] M. Hirman, and F. Steiner, "A comparison of the shear strength of conductive adhesives and soldering alloys," *Proc. Int. Spring Semin. Electron. Technol.*, vol. 2015-Septe, pp. 167–172, 2015, doi: 10.1109/ISSE.2015.7247983.
- [91] M. Hirman, and F. Steiner, "Influence of electrically conductive adhesive quantity on insulation distance and shear strength of glued joints," *Proc. Int. Spring Semin. Electron. Technol.*, vol. 2016-Septe, pp. 134–139, 2016, doi: 10.1109/ISSE.2016.7563175.
- [92] M. Hirman, T. Neuhofer, and F. Steiner, "Bend Testing of SMD Chip Resistors Glued on Flexible Substrates," in *2019 42nd International Spring Seminar on Electronics Technology (ISSE)*, May 2019, pp. 1–6. doi: 10.1109/ISSE.2019.8810230.
- [93] Y. Li and C. P. Wong, "Recent advances of conductive adhesives as a lead-free alternative in electronic packaging: Materials, processing, reliability and applications," *Mater. Sci. Eng. R Reports*, vol. 51, no. 1–3, pp. 1–35, 2006, doi: 10.1016/j.mser.2006.01.001.
- [94] M. Hirman, J. Navratil, F. Steiner, and A. Hamacek, "Reliability of Glued Joints on Flexible Substrates During Accelerated Current Ageing," *2019 42nd Int. Spring Semin. Electron. Technol.*, pp. 1–7, 2019, doi: 10.1109/isse.2019.8810273.
- [95] Z. Suo, E. Y. Ma, H. Gleskova, and S. Wagner, "Mechanics of rollable and foldable film-on-foil electronics," *Appl. Phys. Lett.*, vol. 74, no. 8, pp. 1177–1179, 1999, doi: 10.1063/1.123478.
- [96] X. Luo, B. Zhang, and G. Zhang, "Fatigue of metals at nanoscale: Metal thin films and conductive interconnects for flexible device application," *Nano Mater. Sci.*, vol. 1, no. 3, pp. 198–207, 2019, doi: 10.1016/j.nanoms.2019.02.003.
- [97] M. Harman, X. Nguyen, E. Sirois, and W. Sun, "Three-point bending device for flexure

- testing of soft tissues,” *Bioeng. Proc. Northeast Conf.*, pp. 1–2, 2009, doi: 10.1109/NEBC.2009.4967817.
- [98] J. Käsewieter, S. Kajari-Schröder, T. Niendorf, and R. Brendel, “Failure stress of epitaxial silicon thin films,” *Energy Procedia*, vol. 38, pp. 926–932, 2013, doi: 10.1016/j.egypro.2013.07.366.
- [99] X. Zhu, X. Li, R. R. Nistala, S. P. Zhao, J. Xie, M. T. Myo, and J. S. Park, “4-point-bending characterization of interfacial adhesion strength of SiN/Cu Film Stack,” *Proc. Int. Symp. Phys. Fail. Anal. Integr. Circuits, IPFA*, vol. 2017-July, no. Hdp Cvd, pp. 1–4, 2017, doi: 10.1109/IPFA.2017.8060190.
- [100] E. Lund, and T. G. Finstad, “Design and construction of a four-point bending based set-up for measurement of piezoresistance in semiconductors,” *Rev. Sci. Instrum.*, vol. 75, no. 11, pp. 4960–4966, 2004, doi: 10.1063/1.1808917.
- [101] M. M. Nath, and G. Gupta, “Characterization of a Flexible Device using a 3-Point Rolling Test,” *2018 Int. Flex. Electron. Technol. Conf. IFETC 2018*, pp. 1–5, 2018, doi: 10.1109/IFETC.2018.8583958.
- [102] H. Lavvafi, J. R. Lewandowski, and J. J. Lewandowski, “Flex bending fatigue testing of wires, foils, and ribbons,” *Mater. Sci. Eng. A*, vol. 601, pp. 123–130, 2014, doi: 10.1016/j.msea.2014.02.015.
- [103] C. H. Hsueh, “Modeling of elastic deformation of multilayers due to residual stresses and external bending,” *J. Appl. Phys.*, vol. 91, no. 12, pp. 9652–9656, 2002, doi: 10.1063/1.1478137.
- [104] B. J. Kim, H. A. S. Shin, S. Y. Jung, Y. Cho, O. Kraft, I. S. Choi, and Y. C. Joo, “Crack nucleation during mechanical fatigue in thin metal films on flexible substrates,” *Acta Mater.*, vol. 61, no. 9, pp. 3473–3481, 2013, doi: 10.1016/j.actamat.2013.02.041.
- [105] A. Vilouras, H. Heidari, S. Gupta, and R. Dahiya, “Modeling of CMOS Devices and Circuits on Flexible Ultrathin Chips,” *IEEE Trans. Electron Devices*, vol. 64, no. 5, pp. 2038–2046, 2017, doi: 10.1109/TED.2017.2668899.
- [106] B. Bensaïd, X. Boddaert, P. Benaben, R. Gwoziecki, and R. Coppard, “Reliability of OTFTs on flexible substrate: Mechanical stress effect,” *EPJ Appl. Phys.*, vol. 55, no. 2, 2011, doi:

10.1051/epjap/2011100426.

- [107] D. Maddipatla, X. Zhang, A. K. Bose, S. Masihi, B. B. Narakathu, B. J. Bazuin, J. D. Williams, M. F. Mitchell, and M. Z. Atashbar, "A Polyimide Based Force Sensor Fabricated Using Additive Screen-Printing Process for Flexible Electronics," *IEEE Access*, vol. 8, pp. 207813–207821, 2020, doi: 10.1109/ACCESS.2020.3037703.
- [108] M. Yang, M.-W. Chon, J.-H. Kim, S.-H. Lee, J. Jo, J. Yeo, S. H. Ko, and S.-H. Choa, "Mechanical and environmental durability of roll-to-roll printed silver nanoparticle film using a rapid laser annealing process for flexible electronics," *Microelectron. Reliab.*, vol. 54, no. 12, pp. 2871–2880, Dec. 2014, doi: 10.1016/j.microrel.2014.07.004.
- [109] T. Happonen, J. V. Voutilainen, and T. Fabritius, "Reliability study on adhesive interconnections in flex-to-flex printed electronics applications under environmental stresses," *IEEE Trans. Device Mater. Reliab.*, vol. 14, no. 4, pp. 1005–1012, 2014, doi: 10.1109/TDMR.2014.2356477.
- [110] J. H. Chow, J. Meth, and S. K. Sitaraman, "Twist testing for flexible electronics," *Proc. - Electron. Components Technol. Conf.*, vol. 2019-May, pp. 785–791, 2019, doi: 10.1109/ECTC.2019.00124.
- [111] R. Mukherjee, A. S. Dahiya, and R. Dahiya, "Torsional and bending endurance analysis of screen-printed interconnects on various flexible substrates," *FLEPS 2022 - IEEE Int. Conf. Flex. Printable Sensors Syst. Proc.*, no. ii, pp. 0–3, 2022, doi: 10.1109/FLEPS53764.2022.9781508.
- [112] D. Ernst, N. Richter, and T. Zerna, "Heterogeneous integration of surface mounted devices for bendable electronics," *2019 22nd Eur. Microelectron. Packag. Conf. Exhib. EMPC 2019*, pp. 1–5, 2019, doi: 10.23919/EMPC44848.2019.8951754.
- [113] J. Pan, B. J. Toleno, T. C. Chou, and W. J. Dee, "The effect of reflow profile on SnPb and SnAgCu solder joint shear strength," *Solder. Surf. Mt. Technol.*, vol. 18, no. 4, pp. 48–56, 2006, doi: 10.1108/09540910610717901.
- [114] J. E. Njoku, "A Study of the Thermomechanical Reliability of Solder Joints in Surface Mount Electronics Technology Jude Ebem Njoku Doctor of Philosophy," 2016.
- [115] R. Saleh, S. Schütt, M. Barth, T. Lang, W. Eberhardt, and A. Zimmermann, "Assembly of

Surface-Mounted Devices on Flexible Substrates by Isotropic Conductive Adhesive and Solder and Lifetime Characterization," *Micromachines*, vol. 13, no. 8, p. 1240, Aug. 2022, doi: 10.3390/mi13081240.

- [116] F. Janek, "Entwicklung einer Prozesskette für den Aufbau individualisierter Foliensysteme," Universität Stuttgart, 2022.
- [117] H.-J. Kim, and K.-W. Paik, "Adhesion and Reliability of Anisotropic Conductive Films (ACFs) Joints on Organic Solderability Preservatives (OSPs) Metal Surface Finish," *J. Electron. Mater.*, vol. 37, no. 7, pp. 1003–1011, Jul. 2008, doi: 10.1007/s11664-008-0397-4.
- [118] J. Lee, C. S. Cho, and J. E. Morris, "Electrical and reliability properties of isotropic conductive adhesives on immersion silver printed-circuit boards," *Microsyst. Technol.*, vol. 15, no. 1 SPEC. ISS., pp. 145–149, 2009, doi: 10.1007/s00542-008-0678-0.
- [119] J. L. Fang, and D. K. Chan, "The advantages of mildly alkaline immersion silver as a final finish for solderability," *Circuit World*, vol. 33, no. 2, pp. 43–51, 2007, doi: 10.1108/03056120710750940.
- [120] "Silber für alles - Löten, Kleben, Stecken, Bonden?" <http://www.icflex.de/artikel01.html> (accessed Jul. 17, 2022).
- [121] M. Arra, D. Shangguan, D. Xie, J. Sundelin, T. Lepistö, and E. Ristolainen, "Study of immersion silver and tin printed-circuit-board surface finishes in lead-free solder applications," *J. Electron. Mater.*, vol. 33, no. 9, pp. 977–990, 2004, doi: 10.1007/s11664-004-0025-x.
- [122] W. Wang, A. Choubey, M. H. Azarian, and M. Pecht, "An assessment of immersion silver surface finish for lead-free electronics," *J. Electron. Mater.*, vol. 38, no. 6, pp. 815–827, 2009, doi: 10.1007/s11664-009-0761-z.
- [123] H. Kang, S. H. Rajendran, and J. P. Jung, "Low Melting Temperature Sn-Bi Solder : Effect of Alloying and," *Metals (Basel)*, vol. 364, no. 11, pp. 1–25, 2021.
- [124] N. Palavesam, W. Hell, A. Drost, C. Landesberger, C. Kutter, and K. Bock, "Influence of flexibility of the interconnects on the dynamic bending reliability of flexible hybrid electronics," *Electron.*, vol. 9, no. 2, 2020, doi: 10.3390/electronics9020238.
- [125] J. H. Kim, T. I. Lee, T. S. Kim, and K. W. Paik, "Effects of ACFs Adhesion on the Bending

---

Reliability of Chip-in-Flex Packages for Wearable Electronics Applications,” *Proc. - Electron. Components Technol. Conf.*, 2016, doi: 10.1109/ECTC.2016.131.

- [126] J. H. Kim, J. H. Kim, and K. W. Paik, “Effects of the types of anisotropic conductive films on the bending reliability of chip-in-plastic packages,” *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 9, no. 3, pp. 405–411, 2019, doi: 10.1109/TCPMT.2019.2893979.
- [127] T. Y. Kuo, Y. C. Shih, Y. C. Lee, H. H. Chang, Z. C. Hsiao, C. W. Chiang, S. M. Li, Y. J. Hwang, C. T. Ko, and Y. H. Chen, “Flexible and ultra-thin embedded chip package,” *Proc. - Electron. Components Technol. Conf.*, vol. 4, no. c, pp. 1749–1753, 2009, doi: 10.1109/ECTC.2009.5074252.



---

## 11 Begleitende studentische Arbeiten

---

Jahr	Autor	Art und Thema der Arbeit
2021	Sophie Schütt	Studienarbeit Aufbau und Charakterisierung oberflächenmontierter Bauelemente auf flexible Schaltungsträger
2020	Ferdinand Mohn	Masterarbeit Aufbringung und Charakterisierung von Funktionsstrukturen zur Messung der Biegung auf flexiblen Schaltungsträgern
2020	Thassilo Lang	Masterarbeit Untersuchungen zum Aufbau und Biegewechselprüfung für Mikrosysteme auf flexiblen Schaltungsträgern
2018	Yueyang Zhong	Studienarbeit Bestimmung von Prozessparametern zur Verarbeitung und Strukturierung eines Trockenresistsystems

---



## 12 Liste der Veröffentlichungen

Hirt, E., Ruzicka, K., Wigger, B., Barth, M., Saleh, R., Janek, F., & Müller, E. (2019, May). 3D-MID evaluation and validation for space applications. In 2019 IEEE 69th Electronic Components and Technology Conference (ECTC) (pp. 868-877). IEEE.

Saleh, R., Barth, M., Eberhardt, W., & Zimmermann, A. (2021). Bending setups for reliability investigation of flexible electronics. *Micromachines*, 12(1), 78.

Saleh, R., Mohn, F., Barth, M., Eberhardt, W., & Zimmermann, A. (2021). Digital Process Chain for Processing of Bend-Sensitive Functional Structures on a Flexible Substrate. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 11(9), 1417-1425.

Saleh, R., Schütt, S., Barth, M., Lang, T., Eberhardt, W., & Zimmermann, A. (2022). Assembly of Surface-Mounted Devices on Flexible Substrates by Isotropic Conductive Adhesive and Solder and Lifetime Characterization. *Micromachines*, 13(8), 1240.