

Monolithisch integrierter 28 GS/s 6 Bit Digital/Analog-Wandler für Echtzeitanwendungen

Von der Fakultät Informatik, Elektrotechnik und Informationstechnik
der Universität Stuttgart zur Erlangung der Würde
eines Doktor-Ingenieurs (Dr.-Ing.) genehmigte Abhandlung

vorgelegt von

Thomas Alpert

aus Tübingen

Hauptberichter: Prof. Dr.-Ing. Manfred Berroth
Mitberichter: Prof. Dr.-Ing. Joachim Burghartz

Tag der mündlichen Prüfung: 9. Juli 2013

Institut für Elektrische und Optische Nachrichtentechnik
der Universität Stuttgart

2013

Meinen Eltern

Inhaltsverzeichnis

Inhaltsverzeichnis	3
Formelzeichen und Abkürzungen	6
Abstract	13
1 Einleitung	17
1.1 Motivation	17
1.1.1 Optische Datenübertragung	17
1.1.2 Drahtlose Ultra-Breitband-Übertragung	19
1.1.3 Arbiträrsignalgenerator	20
1.2 Stand der Technik	21
1.3 Ziele dieser Arbeit	24
1.4 Gliederung dieser Arbeit	25
2 Theoretische Grundlagen.....	28
2.1 Analoge und digitale Signale	28
2.1.1 Der A/D- und D/A-Wandlungsvorgang	28
2.1.2 Abtasten und Rekonstruktion analoger Signale	29
2.1.3 Quantisierung	31
2.2 Der ideale D/A-Wandler	33
2.2.1 Blockdiagramm und ideales Ausgangssignal	33
2.2.2 Treppenförmiges Ausgangssignal und Übertragungsfunktion	36
2.3 Charakterisierung von D/A-Wandlern	37
2.3.1 Statische Eigenschaften	37
2.3.2 Dynamische Eigenschaften	39
2.4 D/A-Wandler Architekturen	44
2.4.1 D/A-Wandlung basierend auf gewichteten Stromquellen	45
2.4.2 Dekoder zur Ansteuerung segmentierter Architekturen	49
2.4.3 Zeitverschachtelung	50
3 Schaltungstechnische Grundlagen	53
3.1 Der N- und P-Kanal Anreicherungs-MOSFET	53
3.1.1 Stromgleichungen und Kennlinien	54
3.1.2 Parasitäre Kapazitäten und Kleinsignalersatzschaltbild	56
3.2 Stromschaltertechnik	59
3.2.1 Prinzip, Eigenschaften und Vergleich mit statischer CMOS-Logik	59
3.2.2 Einstufige Grundzelle	62
3.2.3 Kaskadierung von Grundzellen, Fan-Out Optimierung und Leitungstreiber ..	68
3.2.4 Dimensionierung der einstufigen Grundgatter	71
3.2.5 Erhöhen der Bandbreite einer einstufigen Grundzelle	72
3.3 Stromquellen und Stromspiegel	74
3.3.1 Einfache Stromquelle und Kaskodestromquelle	74
3.3.2 Einfacher Stromspiegel, Kaskodestromspiegel mit/ohne niedriger Einsatzspannung	75

4	Schaltungsentwurf	78
4.1	Gesamtarchitektur	79
4.2	Grundgatter	82
4.2.1	Wahl der Grundelemente	82
4.2.2	Wahl der Stromquelle	83
4.2.3	Simulationsumgebung und Dimensionierung	85
4.2.4	Einfacher Verstärker	87
4.2.5	Pegelschieber	88
4.2.6	Latch und Flip-Flop	89
4.2.7	Exklusiv-ODER- und ODER-Logikgatter	91
4.3	Schaltungskomponenten	92
4.3.1	Eingangssynchronisierung und Pseudo-Dekoder	92
4.3.2	Datentreiber und Pegelschieber	95
4.3.3	Ausgangsstufe	96
4.3.4	Kaskodestromquellen	101
4.3.5	Takttreiber und Zeitverhalten	105
4.3.6	Kontrollregister	110
4.3.7	Auswerteeinheiten	112
4.4	Layout der Gesamtarchitektur	116
4.5	Simulation der Gesamtarchitektur	119
4.6	Zusammenfassung der Simulationsergebnisse	126
5	Aufbau- und Messtechnik	127
5.1	Platinenentwurf und Aufbautechnik	127
5.1.1	Aufbautechnik für Abtastraten bis zu 4 GS/s	127
5.1.2	Aufbautechnik für Abtastraten bis zu 25 GS/s	131
5.2	FPGA-basiertes Messsystem	134
5.2.1	VHDL-Entwurf für die LVDS-Schnittstellen	135
5.2.2	VHDL-Entwurf für die RIO-Schnittstellen	137
6	Messergebnisse	139
6.1	Messungen direkt auf dem Siliziumschaltkreis	139
6.1.1	Messaufbau	140
6.1.2	Statische Eigenschaften	141
6.1.3	Dynamische Eigenschaften	145
6.1.4	Zusammenfassung	150
6.2	FPGA-Messsystem mit LVDS-Schnittstelle	151
6.2.1	Messaufbau	151
6.2.2	Messung des störerfreien Dynamikbereichs	152
6.2.3	Arbiträrsignalerzeugung	155
6.2.4	Testen des Kontrollregisters	156
6.3	FPGA-Messsystem mit RIO-Schnittstelle	157
6.3.1	Messaufbau	157
6.3.2	Testen der Auswerteeinheiten und der automatischen Synchronisierung	158
6.3.3	Messung des störerfreien Dynamikbereichs	160
6.4	Zusammenfassung der Messergebnisse	161
7	Technologieeinfluss und alternative Wandlerarchitekturen	163
7.1	Technologieeinfluss	163

7.2	Nominale Auflösung und Grad der Segmentierung bzw. Zeitverschachtelung	165
7.3	Alternative Architekturen	167
7.4	Architekturvergleich	169
8	Zusammenfassung und Ausblick	171
8.1	Zusammenfassung	171
8.2	Ausblick	173
	Anhang.....	174
A1	Datenblatt 100 GET D/A-Wandler	174
	Literaturverzeichnis	177
	Veröffentlichungsliste.....	186
	Danksagung.....	188
	Lebenslauf	189

Formelzeichen und Abkürzungen

Konstanten

ϵ_0	Dielektrizitätskonstante
q	Elementarladung des Elektrons

Formelzeichen: Lateinische Buchstaben

A	Amplitude
A_p	maximale Aussteuerung der Ausgangsamplitude
$A_{1,10\text{GHz}}$	Amplitude eines gemessenen Vollaussteuerübergangs bei einer Abtastfrequenz von 1 GHz bzw. 10 GHz
B	dezimaler Wert eines binären Vektors \vec{B}
\vec{B}	Vektor einer N Bit breiten digitalen Sequenz
b	Offset der angenäherten Übertragungskennlinie
b_i	Bitposition i
Ca	zusätzlich benötigtes Spaltensignal zur Realisierung zweier Schaltmodi
$C_{\text{UDD/USS}}$	Blockkapazitäten zwischen positiver und negativer Versorgungsspannung
C_{Hub}	Blockkapazität zwischen Versorgungs- und analoger Referenzspannung
C_{CML}	Blockkapazität zwischen Versorgungs- und Referenzspannung der Stromschaltergatter
C_d	Verarmungsschichtkapazität
C_{DB}	Drain-Bulk Kapazität eines MOSFETs (Sperrschichtkapazität)
C_{GB}	Gate-Bulk Kapazität eines MOSFETs
C_{GD}	Gate-Drain Kapazität eines MOSFETs
C_{Gi}	geometrische intrinsische Gateoxidkapazität eines MOSFETs
C_{GS}	Gate-Source Kapazität eines MOSFETs
C_j	Sperrschichtkapazität
C_j	Ausgangssignal der Spalte j eines Spaltendekoders
C_L	Lastkapazität
$C_{L,a}$	externe Lastkapazität am Ausgang U_a eines Stromschaltergatters
C_{LD}	parasitäre Kapazität einer Spule
C_{Ltg}	Leitungskapazität
$C_{L,int}$	interne Lastkapazität
C_{RD}	Kapazität des Lastwiderstandes R_D
C_{SB}	Source-Bulk Kapazität (Sperrschichtkapazität) eines MOSFETs
C_{ox}	Oxidkapazität des Gateanschlusses eines MOSFETs
C'_{ox}	Kapazitätsbelag zwischen Gate und Inversionskanal eines MOSFETs
$C_{\text{Ü}}$	Überlappkapazität zwischen Gate-Anschluss und den Source- bzw. Draingebieten eines MOSFETs
d_{ox}	Dicke des Gateoxids eines MOSFETs
E	Energie
E_{LSB}	Energie eines Quantisierungsintervalls
$e_q(t)$	Quantisierungsfehler
f_A	Abtastfrequenz
f_B	Bandbreite eines Signals
f_{CLK}	Taktfrequenz

f_D	Eingangsdatenrate
f_{Hi}	i-te Harmonische der Grundschiwingung
f_{Max}	maximale Signalfrequenz bzw. Taktfrequenz
f_N	Nyquistfrequenz
$f_{Ni,(Spiegel)}$	i-tes (gespiegeltes) Nyquistbild der Grundschiwingung
f_0	Signalfrequenz einer Sinus- bzw. Grundschiwingung
f_{3dB}	3dB-Grenzfrequenz
$g(t)$	Interpolationsfunktion
$g_{m,(Sat)}$	Steilheit eines MOSFETs (im Sättigungsbetrieb)
g_{mb}	Steilheit der Stromquelle zur Modellierung des Bulkeffekts
h	Dicke des Substrats
$h(t)$	zeitkontinuierliche Impulsantwort eines Systems oder Filters
$H(f),H(p)$	Übertragungsfunktion eines Systems oder Filters
$I_{Dn,p}$	Drainstrom eines N- bzw. P-Kanal MOSFETs
I_0	Stromtreiberfähigkeit eines Stromschaltergatters
$I_{0,k}$	Stromtreiberfähigkeit der Stufe k in einer Stromschaltergatterkaskade
$I_{LSB,2LSB,Unär}$	binär und unär gewichtete Ströme
I_{Ref}	Referenzstrom
$K_{1..4}$	Parameter zur Bestimmung der Verstärkung und des Offsetfehlers basierend auf der Methode der kleinsten Quadrate
$k_{(n,p)}$	Prozessverstärkungsfaktor (eines N- bzw. P-Kanal) MOSFETs
L	gesamte Länge des Gateanschlusses eines MOSFETs
L'	skalierte Gesamtlänge des Gateanschlusses eines MOSFETs
L_D	ideale passive Spule
L_{diff}	differentieller Spulenwert
L_{eff}	effektive Länge des Gateanschlusses eines MOSFETs
L_{min}	minimale Gatelänge eines MOSFETs
M	Skalierungsfaktor
m	Steigung der angenäherten Übertragungskennlinie
N	Anzahl der zu treibenden in Serie/Parallel geschalteter Stromschaltergatter
$N_{(DFT)}$	Anzahl der Abtastpunkte (einer diskreten Fouriertransformation)
N_{opt}	optimale Anzahl von Stromschaltergatter in einer Treiberkette
P	Leistungsverbrauch
$P_{Stör,max}$	Leistung des größten Störers im Ausgangsspektrum
P_{Hi}	Leistung der i-ten Harmonischen
P_{Rausch}	gesamte Rauschleistung im Ausgangsspektrum
$P_{Stör}$	gesamte Störleistung im Ausgangsspektrum
P_q	Leistung des Quantisierungsrauschens
P_{qN}	Leistung des Quantisierungsrauschens innerhalb des Nyquistbandes
P_x	mittlere Signalleistung eines Sinussignals
P_0	Signalleistung
R_A	Ausgangswiderstand
R_a	zusätzlich benötigtes Zeilensignal zur Realisierung zweier Schaltmodi
$R_{PC,D}$	Widerstand zur Pegelschiebung
$R_{D(k)}$	Lastwiderstand am Drainanschluss (des k-ten Stromschaltergatters)
R_{Ein}	Widerstand eines MOSFETs im linearen Bereich
R_i	Ausgangssignal der Zeile i eines Zeilendekoders
R_L	Lastwiderstand
R_{LD}	parasitärer Widerstand einer Spule
$R_{Int,Ext}$	interner bzw. externer Abschlusswiderstand

R_i	Quelleninnenwiderstand
R_S	Serienwiderstand zur Berücksichtigung des Skin-Effekts
r_0	Widerstand zur Modellierung der Kanallängenmodulation eines MOSFETs
S_{11}	Transmission
S_{12}	Reflexion
T	Temperatur
T	Abtastzeitdauer bzw. Periode
T_{Clk}	Taktperiode
T_{ideal}	Taktperiode eines idealen D/A-Wandlers
T_D	Periodendauer der Eingangsdaten
T_{ij}	Ausgangssignal der Zeile i und Spalte j einer Dekodermatrix
T_{Puls}	Pulsdauer in der Auswerteeinheit
t	Dicke der Signalleitung
t_d	Verzögerungszeit
$t_{d,C}$	Verzögerungszeit der C-Treiber im Taktbaum
$t_{d,Sync}$	Verzögerungszeit der Eingangssynchronisierung
$t_{d,D}$	Verzögerungszeit im Datentreiberschaltungsblock
t_{diff}	Zeitdauer eines Über- bzw. Unterschwingers
$t_{dE1,E2}$	Verzögerungszeit im kritischen Pfad des Wandlerentwurfs 1 bzw. 2
t_{Ein}	Einschwingzeit
$t_{HL,LH}$	Anstiegs- bzw. Abfallzeit
t_{Oszi}	Oszillationszeit
t_p	Pulsdauer
t_s	Einrichtezeit eines Flip-Flops
U_a, \bar{U}_a	nicht-invertiertes, invertiertes Ausgangssignal
$U_{a,DC}$	Gleichtaktausgangsspannung
U_{ideal}	analoge Ausgangsspannung eines idealen stufenförmig interpolierenden D/A-Wandlers
$U_{Aus,d}$	differentielle Ausgangsspannung des D/A-Wandlers
U_{ak}	Ausgangsspannung des k -ten Stromschaltergatters
$U_{ad,(LH)}$	(minimale bzw. maximale) differentielle Ausgangsspannung
$U_{aL,H}$	minimale bzw. maximale Ausgangsspannung
$U_{aL(H),max(min)}$	Ausgangsspannungswerte der Übertragungskennlinie einer Stromschaltergrundzelle mit der Steigung -1
U_B	Vorspannung einer einfachen Stromquelle
$U_{BI,II}$	Vorspannungen einer Kaskodestromquelle
U_{BS}	Spannung zwischen Bulk- und Sourceanschluss eines MOSFETs
U_{DC}	Gleichspannung
U_{DD}	positive Versorgungsspannung
U_{DNW}	Vorspannung der tiefen N-Wanne
$U_{DSn,p}$	Drain-Source Spannung eines N- bzw. P-Kanal MOSFETs
U_e, \bar{U}_e	nicht-invertiertes, invertiertes Eingangssignal
$U_{e,DC}$	Gleichtakteingangsspannung
$U_{ed,(max)}$	(maximale) differentielle Eingangsspannung
$U_{ek,(max)}$	(maximale) Eingangsspannung des k -ten Stromschaltergatters
$U_{eL(H),max(min)}$	Eingangsspannungswerte der Übertragungskennlinie einer Stromschaltergrundzelle mit der Steigung -1
U_{FB}	Flachbandspannung
$U_{GS,np}$	Gate-Source Spannung eines N- bzw. P-Kanal MOSFETs
U_{Hub}	Ausgangsspannungshub

$U_{\text{Hub,d}}$	differentieller Ausgangsspannungshub
$ U_k $	Amplitudenbetrag der k-ten Störkomponente im Ausgangsspektrum
$U_{\text{L,H}}$	statischer Low- bzw. High-Spannungswert
U_{L}	Lastspannung
U_{CML}	Referenzspannung der Stromschaltergatter
U_{S}	Spannungsendwert innerhalb eines exponentiellen Einschwingvorgangs
U_{SS}	negative Versorgungsspannung
U_{Th}	Schwellenspannung eines MOSFETs
U_{th0}	Schwellenspannung eines MOSFETs, wenn Bulk und Source auf gleichem Potential liegen
$U_{\text{Tn,p}}$	Schwellenspannung eines N- bzw. P-Kanal MOSFETs
$U_{\text{X,Y(k)}}$	Spannungsabfall über der (k-ten) Stromquelle eines Stromschaltergrundgatters (in einer Kette)
$ U_x $	Amplitudenbetrag der Signalkomponente x im Ausgangsspektrum
u	Stromerhöhungsfaktor bei kaskadierten Stromschaltergattern
V_{U}	nicht-lineare Großsignalspannungsverstärkung
$v_{(\text{U0})}$	(Kleinsignalgleichspannungs)Verstärkung
v_{F}	Verstärkungsfehler eines D/A-Wandlers
v_{Ziel}	Zielvorgabe für die Verstärkung eines D/A-Wandlers
W	Weite eines MOSFETs
w	Weite der Signalleitung
x	Signalindex
$x_{\text{a}}(t)$	zeit- und wertekontinuierliches analoges Signal
$x(n)$	zeitdiskretes und wertekontinuierliches Signal
$\hat{x}_{\text{a}}(t)$	interpoliertes zeitkontinuierliches analoges Signal
$\hat{x}'_{\text{a}}(t)$	tiefpassgefiltertes interpoliertes und zeitkontinuierliches Signal
$x_{\text{q}}(n)$	zeit- und wertediskretes Signal
X	Weitenverhältnis zwischen dem ersten und letzten Treiber in einer Stromschaltergatterkette
$X_{\text{a}}(\Omega)$	zeitkontinuierliche Fouriertransformation
$X(\omega)$	zeitdiskrete Fouriertransformation
Y_{Max}	maximaler Ausgabewert eines idealen D/A-Wandlers
$Y_{\text{nT}}(\text{B})$	Ausgabewert eines idealen D/A-Wandlers zum Zeitpunkt nT
Y_{Ref}	am idealen D/A-Wandler anliegender Referenzwert
$\tilde{Y}_i(\text{B}_i)$	angenäherte Übertragungskennlinie durch i Messpunkte
Z_0	Leitungs-, Wellen- bzw. Abschlusswiderstand

Formelzeichen: Griechische Buchstaben

α	Prozessparameter
$\beta_{\text{n,p}}$	Verstärkungsfaktor eines N- bzw. P-Kanal Transistors
γ	Substratsteuerfaktor
Δ	Quantisierungsintervall
$\Delta I(\text{U})$	Strom(Spannungs)änderung bzw. -differenz
ϵ_{r}	relative Dielektrizitätskonstante
$\epsilon_{\text{Si,SiO}_2}$	relative Dielektrizitätskonstante von Silizium(dioxid)
θ	Phase
λ	Kanallängenmodulation
$\mu_{\text{n,p}}$	Beweglichkeit der Elektronen (n) bzw. Löcher (p)

$\tau, \tilde{\tau}$	Zeitkonstanten
σ	Standardabweichung
ϕ_F	Fermispannung in der MOS-Struktur
ω	Kreisfrequenz
ω_{3dB}	3 dB-Bandbreite
$\Omega_{(B)}$	Frequenz eines analogen (bandbegrenzten) Signals

Abkürzungen und Bezeichnungen

Al	Aluminium
A/D	Analog/Digital
ADS	<i>Advanced Design System</i> , Entwicklungsumgebung für HF-Schaltungen
AWG	<i>Arbitrary Waveform Generator</i> , Arbiträrsignalerzeugung
ASIC	<i>Application Specific Integrated Circuit</i> , anwendungsspezifische Integrierte Schaltung
B	<i>Bulk</i> , Substratanschluss des MOSFETs
BiCMOS	<i>Bipolar Complementary Metal Oxide Semiconductor</i> , Schaltungstechnologie basierend auf Bipolar- und Metall-Oxid-Halbleitertransistoren
BMBF	Bundesministerium für Bildung und Forschung
BSIM3	<i>Berkeley Short-Channel Insulated Gate Fet Model</i> , Simulationsmodell für Kurzkanal-MOSFETs aus Berkeley
BzTD	Binär-zu-Thermometer-Dekoder
C	Kapazität
C-Treiber	<i>Clock</i> -Treiber, Treiber mit Pegelschiebung für das Taktsignal
CML	<i>Current Mode Logic</i> , Stromschalterlogik
CMOS	<i>Complementary Metal Oxide Semiconductor</i> , komplementäre Schaltungstechnologie basierend auf Metall-Oxid-Halbleitertransistoren
CUT	<i>Circuit Under Test</i> , zu untersuchende Schaltung
CWDM	<i>Coarse Wavelength Division Multiplex</i> , Wellenlängenmultiplexverfahren
D	<i>Drain</i> , Ladungsträger-Senke des MOSFETs
D/A	Digital/Analog
DC	<i>Direct Current</i> , Gleichstrom
DFG	Deutsche Forschungsgemeinschaft
DFT	<i>Discrete Fourier Transform</i> , zeitdiskrete Fouriertransformation
DNF	Disjunktive Normalform
DNL	<i>Differential Nonlinearity</i> , differentieller Nichtlinearitätsfehler
DRC	<i>Design Rule Check</i> , Werkzeug zum Überprüfen der Layoutregeln
DSP	<i>Digital Signal Processing</i> , digitaler Signalprozessor
D-Treiber	<i>Data</i> -Treiber, Treiber mit Pegelschiebung für das Datensignal
E/O	Elektrisch/Optisch
ENOB	<i>Effective Number Of Bits</i> , effektive Auflösung
ESB	Ersatzschaltbild
FF	<i>Flip Flop</i> , Speicherzelle
FF	<i>Fast Fast</i> , Transistor mit schneller Schaltgeschwindigkeit
FFT	<i>Fast Fourier Transform</i> , schnelle Fouriertransformation
FO	<i>Fan Out</i> , zu treibende kapazitive und resistive Last am Ausgang eines Gatters
FOH	<i>First Order Hold</i> , Interpolationsverfahren basierend auf einer Geradengleichung

FPGA	<i>Field Programmable Gate Array</i> , im Feld programmierbare Logikgatteranordnung
FR4	aus Epoxidharz und Glasfasergewebe bestehendes Basismaterial für die Leiterplattenherstellung
G	<i>Gate</i> , Steuerelektrode eines MOSFETs
GET	<i>Gigabit Ethernet Transport Technologies</i> , Übertragungstechnik im GBit/s-Bereich
GND	<i>Ground</i> , Masseanschluss (0 V)
GSSG	<i>Ground-Signal-Signal-Ground</i> , Padkonfiguration
GUI	<i>Graphical User Interface</i> , grafische Benutzeroberfläche
H	logischer High-Pegel
HF	Hochfrequenz
IFFT	<i>Inverse Fast Fourier Transform</i> , inverse schnelle Fouriertransformation
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
INL	<i>Integral Nonlinearity</i> , integraler Nichtlinearitätsfehler
INT	Institut für Elektrische und Optische Nachrichtentechnik
InP HBT	<i>Indium Phosphide based Heterojunction Bipolar Transistors</i> , Schaltungstechnologie basierend auf heterogenen Bipolartransistoren in Indium-Phosphid
IR	<i>Impulse Radio</i> , Impulsradio
ISI	<i>Intersymbol Interference</i> , Intersymbolinterferenz
IQ	<i>In-phase and Quadrature component</i> , I und Q Basisbandsignale
KNF	Konjunktive Normalform
L	logischer Low-Pegel
LAN	<i>Local Area Network</i> , lokales Netzwerk
LED	<i>Light Emitting Diode</i> , Leuchtdiode
LSB	<i>Least Significant Bit</i> , Bitposition mit kleinster Wertigkeit
LVDS	<i>Low Voltage Differential Signaling</i> , Schnittstellenstandard für die Datenübertragung
LVS	<i>Layout Versus Schematic</i> , Werkzeug zum Vergleich zwischen Layout und Schaltplan hinsichtlich Verdrahtung und Dimensionierung
MGT	<i>Multi Gigabit Transceiver</i> , Sender und Empfänger im GS/s-Bereich
MIMO	<i>Multiple Input Multiple Output</i> , Übertragungssysteme mit mehreren Eingangs- und Ausgangsgrößen
MISO	<i>Multiple Input Single Output</i> , Übertragungssystem mit mehreren Eingangsgrößen und einer Ausgangsgröße
MMSE	<i>Minimum Mean Squared Error</i> , Optimierungsverfahren basierend auf der Minimierung der Fehlerquadrate
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> , Metall-Oxid-Halbleiter-Feldeffekttransistor
MSB	<i>Most Significant Bit</i> , Bitposition mit höchster Wertigkeit
NF	Niedriger Frequenzbereich
N-Kanal	auf Elektronen basierender leitender Kanal eines MOSFETs
NM	<i>Noise Margin</i> , Störabstand
NRZ	<i>Non Return to Zero</i> , Modus im Zeitverschachtelungsbetrieb
nch_lvt	N-Kanal Transistor mit niedriger Schwellenspannung
nch_25	N-Kanal Transistor für Versorgungsspannungen bis zu 2,5 V
(O-)OFDM	<i>(Optical) Orthogonal Frequency Division Multiplex</i> , (optisches) orthogonales Frequenzmultiplexverfahren
OR	ODER-Logikgatter

OTN	<i>Optical Transport Network</i> , optische Transport-Netzwerke
PC	<i>Personal Computer</i>
PCB	<i>Printed Circuit Board</i> , Leiterplatte
PD	Pseudo-Dekoder
PEX	<i>Parametric Extraction</i> , Werkzeug zur Extraktion der parasitären Elemente aus dem Layout
P-Kanal	auf Löchern basierender leitender Kanal eines MOSFETs
PPG	<i>Pulse Pattern Generator</i> , Signalgenerator zum Erzeugen von Pulsfolgen
PRBS	<i>Pseudo Random Bit Sequence</i> , pseudozufällige Bitfolge
pch_25	P-Kanal Transistor für Versorgungsspannungen bis zu 2,5 V
QFN	<i>Quad Flat No Leads Package</i> , Chipgehäusebauform für integrierte Schaltungen
RAM	<i>Random Access Memory</i> , Speicher mit Direktzugriff
RCc	aus dem Layout extrahierte parasitäre Widerstände (R), Kapazitäten (C) und Koppelkapazitäten (c)
RF60A	HF-Platinenmaterial
RIO	<i>Rocket-IO</i> , Schnittstellen zum Senden und Empfangen von Daten mit Datenraten im Gbit/s-Bereich der Firma Xilinx
RS232	Schnittstelle für die serielle Datenübertragung
rppolywo	Polysiliziumwiderstand
S	<i>Source</i> , Ladungsträgerquelle des MOSFETs
Schematic	Schaltplan
SELU	<i>Synchronization Evaluation Logic Unit</i> , Auswerteeinheit
SS	<i>Slow Slow</i> , Transistor mit langsamer Schaltgeschwindigkeit
SDH	<i>Synchronous Digital Hierarchy</i> , Multiplextechnik in der Telekommunikation
SFDR	<i>Spurious Free Dynamic Range</i> , Dynamikbereich ohne Störer
SMP	<i>Sub Miniature Version P</i> , HF-Stecker Bauform
SNDR	<i>Signal to Noise and Distortion Ratio</i> , Signal-zu-Rausch- und Störverhältnis
SONET	<i>Synchronous Optical Network</i> , Multiplextechnik in der Telekommunikation
SiGe	<i>Silicium Germanium</i> , Silizium-Germanium Verbindungshalbleiter
TFN	<i>Thin Film Network</i> , Dünnschichtnetzwerk
THD	<i>Total Harmonic Distortion</i> , Summe aller harmonischen Störer
TR	<i>Time Reversal</i> , Zeitumkehrprinzip
TT	<i>Typical Typical</i> , Transistor mit typischer Schaltgeschwindigkeit
USB	<i>Universal Serial Bus</i> , universelle serielle Schnittstelle
UWB	<i>Ultra Wideband</i> , ultrabreitbandige Kommunikation
ÜKL	Übertragungskennlinie
VCVS	<i>Voltage Controlled Voltage Source</i> , spannungsgesteuerte Spannungsquelle
VHDL	<i>Very High Speed Integrated Circuit Hardware Description Language</i> , Hardwarebeschreibungssprache
WAN	<i>Wide Area Network</i> , Weitverkehrsnetz
WPAN	<i>Wireless Personal Area Network</i> , privates Drahtlosnetzwerk
XOR	Exklusiv-Oder Logikgatter
ZOH	<i>Zero Order Hold</i> , Interpolationsverfahren basierend auf einer Abtast-Halte-Schaltung

Abstract

High-speed DACs (Digital-to-Analog Converter) in CMOS (Complementary Metal Oxide Semiconductor) technology are very attractive in terms of integration with a DSP (Digital Signal Processing) on a single chip. The overall system integration opens a wide range of applications, e.g. in optical or ultra-wide band communications. The DAC of this work is developed in line with the European 100 GET project for 100 Gbit/s optical communication systems using modern modulation formats like OFDM (Orthogonal Frequency Division Multiplex). An integrated OFDM transmitter requires high-speed DACs as well as a DSP, because an inverse fast Fourier transform is done in the transmit path. Up to four high-speed DACs with 6 bit nominal resolution and a maximum sampling rate of 25 GS/s are required on the transmitter side if polarization multiplexing is applied. The DAC of this work has to fulfil these specifications and must be applicable in real-time experiments and setups. Due to the real-time interface, the DAC can also be used as an AWG (Arbitrary Waveform Generator).

Realizing high-speed DACs in CMOS technology is challenging since the transit frequency and voltage gain of the MOSFETs (Metal Oxide Semiconductor Field Effect Transistor) are limited. Usually DACs with sampling rates in the high GS/s-range are realized in an InP (Indium Phosphide) or BiCMOS (Bipolar Complementary Metal Oxide Semiconductor) technology offering much higher transit frequency and voltage gain. Whereas the latest 28 nm CMOS technology node provides a transit frequency up to 300 GHz, the voltage gain, as an important analog design parameter, lacks behind. The DAC of this work is realized in a 90 nm CMOS technology with much lower transit frequency than the latest CMOS technology nodes. Therefore several techniques have to be used in the DAC circuit design and architecture to fulfil the specifications:

- Use of current mode logic (CML)
- Inductive peaking of the clock path buffers
- Digital-to-analog conversion based on current steering
- Implementation of a twofold time-interleaved DAC architecture
- Implementation of a 4:2 pseudo-segmented DAC architecture
- Implementation of a real-time interface with evaluation logic to check data synchronization

Chapter 2 and 3 of this work start with the theoretical background needed for the DAC circuit design. In chapter 2 some basics about analog and digital signal processing are introduced. An ideal DAC model and a DAC model with a staircase-like output are presented. The models are analyzed in terms of its transfer function in the time and frequency domain. The DAC performance is determined by the static and dynamic properties which are shortly summarized. High-speed DACs are usually based on current-steering since the output can directly drive the load. No output amplifier is needed which limits the sampling rate and output bandwidth of the DAC. There are three different kinds of DAC architectures, namely binary, unary and segmented architectures. The implementation and properties of these architectures are discussed and compared. Furthermore segmented architectures can differ in the control of the current sources. Most commonly a binary-to-thermometer decoder is used. The decoder often limits the sampling rate of the DAC. Therefore another option is the implementation of a simple routing scheme, called pseudo-

decoder, to control the current sources. Further increase of the DAC sampling rate can be achieved with the time-interleaving technique. At least two DAC cores work in parallel. The cores are driven and multiplexed to the output by a multiphase clock signal. While the sampling rate of the analog output is increased the sampling rate requirements of the single cores are relaxed.

Chapter 3 covers the design of CML gates and current sources in CMOS technology. The CML-gates and current sources of this work are all built up of N-channel MOSFETs. Therefore the DC (Direct Current) and AC (Alternating Current) behavior of a simple N-channel MOSFET including the small signal model are summarized first. The analysis starts with a competitive comparison between CML and the well known static CMOS logic. For minimal gate delay and signal integrity CML is the best choice in a 90 nm CMOS technology. Then the basic CML-gate is used to derive its properties, i.e. the DC-behavior, transfer function, voltage gain and noise margin. CML gates are usually cascaded and have to drive different loads. A model is presented to determine the gate delay and the RC load at the output node of the gate. Some rules about dimensioning and the optimal number of gates needed to drive a certain load are developed. The CML gate dimensioning is always a trade-off between the achievable voltage gain and output bandwidth, the so called gain-bandwidth product. The parameters of the CML gate that influence the gain-bandwidth are presented. To achieve a maximum sampling rate of 25 GS/s the output bandwidth of the buffers in the clock path has to be increased. Therefore the inductive peaking technique is presented and used for bandwidth enhancement of the clock buffers. The chapter ends with the design of current sources in CMOS technology since the DAC architecture is based on current steering. There are mainly three different kinds of current sources, i.e. simple, cascode and low-drop cascode current sources. The properties and dimensioning of the current sources are shortly summarized. Current mirrors are used to generate the binary and unary weighted currents from a reference current source.

In Chapter 4 the main part of this work, i.e. the full custom circuit design and layout of the DAC in a 90 nm CMOS technology are presented. Two generations of DAC chips are developed in line with the 100 GET project. Differences between the two designs and improvements are highlighted throughout this chapter. It starts with an introduction of the DAC architecture and its components. The DAC architecture is realized in a twofold time-interleaved and 4:2 segmented manner. A short description of the functionality of each DAC component is given. Then the transistor and resistor elements used in this work are presented. The current sources play a key role in the CML gate and DAC design. Therefore the three different kinds of current sources are analyzed in terms of its transistor elements, AC/DC behavior, output resistance, matching and minimal voltage drop to guarantee saturation of the transistors. The analysis shows that the low drop cascode current source is the best choice for the CML gate and DAC design. The full custom design of the DAC is presented in three steps. First, the circuit design, dimensioning and layout of the basic gates needed for the DAC are introduced. Secondly, the DAC components are built up with the basic gates. In the last step the DAC architecture is realized using the different DAC components. In every step the functionality is proven by simulations. Simulations are done on transistor level including the parasitic resistors and capacitors extracted from the corresponding layout. At the end of the chapter simulation results of the overall DAC architecture covering layout effects are showcased. All simulations are done at a sampling rate of 25 GS/s including SNDR (Signal to Noise and Distortion Ratio), ENOB (Effective Number of Bits), SFDR (Spurious Free Dynamic Range) and output bandwidth results. The results proof the fulfilment of the specifications.

The compliance with the specifications has to be proven by measurements, too. Therefore the DACs must be built up on PCBs (Printed Circuit Board). Chapter 5 covers the DAC assembly including the corresponding measurement systems. The DAC chips are assembled in two different ways. At first the DACs are directly assembled on a PCB enabling measurements with sampling rates up to 4 GS/s. In this setup, the first generation chip is assembled in a QFN80 (Quad Flat No Leads) package on the PCB whereas the second generation chip is directly bonded on the PCB. Secondly, the DAC is assembled with four multiplexer chips on a thin film substrate for future SFDR measurements up to 25 GS/s. The thin film substrate is bonded on a PCB board that is laminated with an aluminium plate. A peltier element is placed below the thin film substrate and on top of the aluminium plate for additional cooling of the DAC and multiplexer chips. For SFDR measurements the DAC must be fed with a digital sine wave. The test data for the digital inputs of the DAC are provided by a Virtex4 FPGA board. The FPGA (Field Programmable Gate Array) board offers the LVDS (Low Voltage Differential Signaling) and RIO (Rocket-IO) interface to send the test data. Whereas the data sent via the LVDS interface is synchronous, the data from the RIO interface must be synchronized. Therefore two different VHDL designs are implemented on the FPGA board. The first design utilizes the synchronous LVDS interface and enables SFDR measurements with a maximum sampling rate of 400 MS/s. The second design is based on the RIO interface. A synchronization evaluation logic unit is implemented on the DAC chip to support FPGA-driven synchronization of the data sent via the RIO interface. The automated synchronization procedure is implemented on the FPGA board. After successful data synchronization, SFDR measurements in the GS/s-range are possible with this FPGA programming.

Chapter 6 presents the different measurement setups and results. Static and dynamic on-wafer measurements of the two DAC generations are done first. The static on-wafer measurements cover the DAC transfer functions, INL (Integral Nonlinearity), DNL (Differential Nonlinearity) and mismatch between the two interleaved channels. Dynamic measurements are performed to determine the maximum sampling rate, bit rate flexible operation, output bandwidth and duty cycle of the DACs. The on-wafer measurements clearly state the improvements in the second generation chip. Especially the static performance is improved and timing problems are removed. Both DAC generations achieve the specified sampling rate of 25 GS/s using a 90 nm CMOS technology. For SFDR measurements and the generation of arbitrary waveforms the assembled DACs have to be used. The first measurement setup consists of the DACs assembled on a PCB and a Virtex4 board using the synchronous FPGA LVDS interface. Using this setup with a second generation DAC chip, a SFDR value larger than 40 dB is measured over the whole Nyquist band at a sampling rate of 400 MS/s. The result matches very well with the simulation and proves the proper function of the DAC when the digital input data is synchronous. This setup is also used to generate arbitrary waveforms and impulses for UWB communication systems up to 1.12 GS/s. Next the setup based on the FPGA RIO interface is utilized to test the automated synchronization process and the synchronization evaluation logic units implemented on the DAC chip. The functionality of the DAC's synchronization evaluation logic unit is proven by measurements at a sampling rate of 2 GS/s. Then the automated synchronization process is investigated. A slow digital sine wave is successfully synchronized at a sampling rate of 2 GS/s. But there are still problems during the synchronization process. Especially synchronizing the two interleaved channels to each other is challenging. The quality of the clock signal generated in the setup has a great influence on the measurements in the GS/s-range, too. That's why the measured SFDR values in the GS/s-range are below the values measured with the setup using the synchronous LVDS interface.

Chapter 7 of this work investigates the suitability of the realized pseudo-segmented DAC architecture for a nominal resolution of 8 bit and a maximum sampling rate of 32 GS/s in a 65 nm CMOS technology. First the influence of the technology change is examined. Next the optimal degree of segmentation must be found before increasing the nominal resolution to 8 bit. Using a 4:4 segmentation, the realized pseudo-segmented architecture is compared to a classical binary-to-thermometer decoded architecture. The influence of a R2R network to weight the binary current sources is investigated, too. Finally this chapter concludes that the pseudo-segmented architecture is an optimal trade-off in terms of maximum sampling rate, effective resolution, power consumption and chip area.

This work shows that high-speed DACs with moderate nominal resolution can be realized in CMOS technology allowing overall system integration with a DSP on a single CMOS chip. There is a wide range of applications for high-speed DACs in CMOS technology, e.g. it can be used in optical transmitters or ultra wideband communication systems. The developed DAC offers a real-time interface and can also be utilized as an AWG. A synchronization evaluation logic unit is implemented on the DAC chip to support FPGA-driven synchronization of the high-speed digital inputs in the GS/s range. Throughout this work a detailed view on the theoretical background, circuit design and layout of a 28 GS/s 6 bit DAC in a 90 nm CMOS technology is given. Two generations of 6 bit DACs are developed in line with the 100 GET project. To achieve the specified sampling rate of 25 GS/s in a 90 nm CMOS technology several techniques, like time-interleaving, pseudo-segmentation and inductive peaking are used and presented. The static and dynamic performance of the DAC is proven by measurements. One part of the measurements is done on-wafer whereas for the SFDR measurements the DACs are assembled on different PCBs. A Virtex4 FPGA is programmed as the data source for SFDR measurements and arbitrary waveform generation. To the best of the author's knowledge this work presents the fastest DAC published so far in a 90 nm CMOS technology with a measured sampling rate of 28 GS/s. The following table summarizes the measured and estimated results of the DACs developed within this work:

	Unit	100 GET Generation 1	100 GET Generation 2	OFDM DAC (concept study)
DAC properties:				
Technology	nm	90	90	65
Nominal resolution	bit	6	6	8
Core / Chip area	mm ²	0,063 / 4	0,055 / 4	0,1118 / -
Measurement results:				Simulation results:
INL / DNL	LSB	0,52 / 1,02	0,18 / 0,25	-
Mismatch	LSB	0,88	0,26	-
Sampling rate	GS/s	0...28	0...25	40
Output voltage swing	mV	±250...±500	±250...±500	±250...±500
Output bandwidth	GHz	≥ 14 (±250 mV)	≥10 (±500 mV)	~14 (±500 mV)
SFDR	dB	>36 (250 MS/s)	>40 (400 MS/s)	-
Power consumption	W	2,3 (2,5 V)	1,8 (2,5 V)	1,1 (2 V)
Estimated results:				
ENOB	bit	>4,6 (25 GS/s)	>4,8 (25 GS/s)	>6 (40 GS/s)
SFDR	dB	>39 (25 GS/s)	>41 (25 GS/s)	-

1 Einleitung

Dieses Kapitel gibt einen Überblick über die aktuellen Anwendungsgebiete und Anforderungen an schnelle Digital/Analog-Wandler (D/A) in CMOS-Technologie (engl. CMOS – Complementary Metal Oxide Semiconductor). Es werden der Stand der Technik und der Einfluss der verwendeten Technologie auf den D/A-Wandlerentwurf diskutiert. Damit verbunden sind ein Vergleich und eine Bewertung der Vor- bzw. Nachteile der unterschiedlichen Technologien. Abschließend werden die Ziele und Gliederung der vorliegenden Arbeit vorgestellt.

1.1 Motivation

Sehr schnelle D/A-Wandler mit Abtastraten im GS/s-Bereich und nominalen Auflösungen von 6 Bit bis 8 Bit werden hauptsächlich in der Telekommunikation eingesetzt. Dabei kann es sich um drahtgebundene, drahtlose oder optische Übertragungssysteme handeln. Nachfolgend werden exemplarisch drei Anwendungen für sehr schnelle D/A-Wandler vorgestellt. Die Zielanwendung des in dieser Arbeit entwickelten D/A-Wandlers liegt in der optischen Datenübertragung mit Datenraten bis zu 100 Gbit/s. Aufgrund der Echtzeitschnittstelle des D/A-Wandlers haben sich weitere Anwendungsgebiete insbesondere in der ultra-breitbandigen Funkkommunikation und in der Arbiträrsignalerzeugung eröffnet.

1.1.1 Optische Datenübertragung

Die starke Nachfrage nach mehr Bandbreite in der optischen Metro- und Weitverkehrsdatenübertragung nimmt unvermindert zu. Multimedia- und Videoanwendungen sowie zukunftsweisende Trends wie „Cloud Computing“ [1] erzeugen immer mehr Datenverkehr in den Netzen. Um die Bandbreiten bereitstellen zu können, werden nicht nur neue und effiziente Modulationsverfahren, sondern auch immer höhere Datenraten erforderlich. Transport Datenraten (SDH/SONET, OTN) wachsen dabei traditionell mit einem Faktor vier und Ethernet-Datenraten mit einem Faktor zehn [2][3].

Bisher dominierte die 40-Gbit/s-Ethernet-Technik die optische Telekommunikation. Der Übergang zur nächsten Generation, der 100-Gbit/s-Ethernet-Technik, ist aber absehbar. Die Festlegung des 100-Gbit/s-Ethernet Standards erfolgte im Juni 2010 (IEEE Std 802.3ba). Tabelle 1.1 [3] fasst die wichtigsten Eigenschaften des 40- und 100-Gbit/s-Ethernet Standards 802.3ba zusammen.

Tabelle 1.1: Eigenschaften des 40- und 100-Gbit/s Ethernet Standards IEEE.802.3ba.

Distanz	Medium	40G-Ethernet	100G-Ethernet	Erklärung
1 m	Backplane	40GBase-KR4		Kupferleiterbahn
10 m	Kupferkabel	40GBase-CR4	100GBase-CR4	4 bzw. 10 Kupferadern
100 m	Mehrmodenfaser	40GBase-SR4	100GBase-SR4	4 bzw. 10 LWL-Fasern mit je 10 Gbit/s
10 km	Einmodenfaser	40GBase-LR4	100GBase-LR4	CWDM, vier Wellenlängen mit je 10 Gbit/s bzw. 25 Gbit/s
40 km	Einmodenfaser		100GBase-ER4	CWDM, vier Wellenlängen mit je 25 Gbit/s

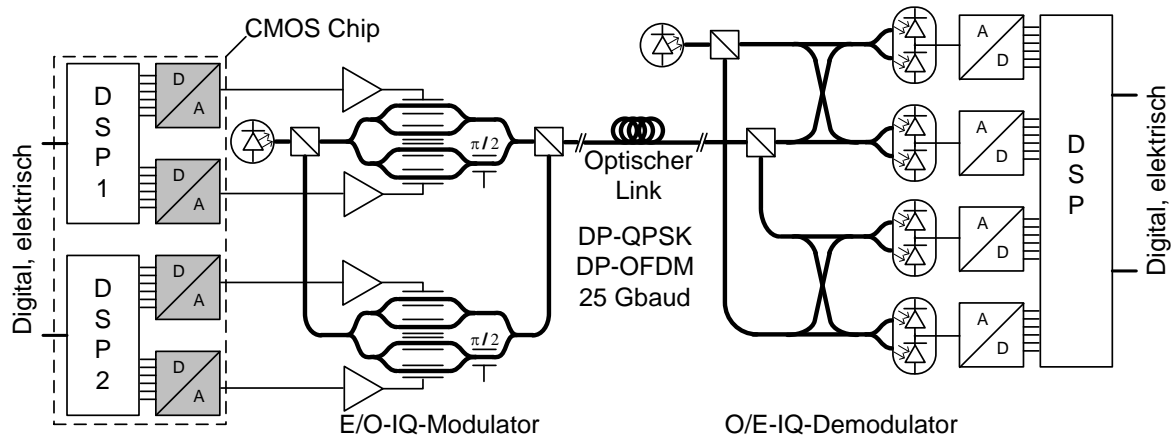


Abbildung 1.1: Kohärentes O-OFDM 100 Gbit/s Übertragungssystem mit Polarisationsmultiplex [7].

Die Daten werden im Metro- und Weitverkehrsbereich vorerst über mehrere optische Kanäle im „Multi-Lane“ Konzept übertragen, d.h. eine parallele Übertragung von jeweils 25 Gbit/s über vier Wellenlängen. Dabei wird bisher das optische „Grobe Wellenlängen-Multiplex-Modulationsverfahren“ (engl. CWDM – coarse wavelength division multiplex) verwendet, bei dem die Daten auf verschiedenen Wellenlängen aufmoduliert und gleichzeitig bzw. unabhängig voneinander übertragen werden. Insbesondere bei der optischen Übertragung sind höherstufige Modulationsverfahren notwendig, welche die spektrale Effizienz des optischen Signals erhöhen.

Aufgrund seines kompakten optischen Spektrums und der Unempfindlichkeit gegenüber Kanalstörungen, verursacht durch chromatische und Polarisationsmodendispersion, bietet sich das O-OFDM- (engl. O-OFDM - optical orthogonal frequency division multiplexing) Modulationsverfahren an. Das OFDM-Modulationsverfahren überführt breitbandige Signale in schmalbandige orthogonale Signale, die über viele Unterträger mit einer geringen Datenrate moduliert werden. Orthogonalität bedeutet in diesem Zusammenhang, dass ein Unterträger im Frequenzbereich sein Maximum erreicht, wenn die benachbarten Träger gerade null sind.

Es gibt zwei Ansätze bei der O-OFDM-Modulation, die sich in der Art der Unterträgererzeugung unterscheiden. Der rein optische Ansatz erzeugt die Unterträger individuell [4]. Beim elektrischen Ansatz [5][6] werden alle modulierten Unterträger mit Hilfe einer schnellen inversen Fouriertransformation (engl. IFFT – inverse fast fourier transform) in der elektrischen Domäne auf der Sendeseite erzeugt bzw. auf der Empfangsseite mit einer FFT (engl. FFT - fast fourier transform) demoduliert. Ein O-OFDM Sender besteht dabei typischerweise aus einem elektrischen Modulator und einem elektro-optischen (E/O) Konverter. Der E/O-Konverter realisiert über Paare von Mach-Zehnder-Modulatoren und 90° Verzögerungsleitungen eine optische IQ-Modulation (engl. IQ – In-phase and Quadrature component). Auf der Empfangsseite wird vor der elektrischen Demodulation zunächst ein opto-elektrischer Konverter bestehend aus 90° Hybriden und differentiellen Photodetektoren benötigt. Aus Kosten- und Komplexitätsgründen ist bei der Unterträgererzeugung der elektrische Ansatz vorzuziehen. In Abbildung 1.1 [7] ist beispielhaft ein kohärentes, d.h. das Signal kann nicht direkt am Empfänger detektiert werden, O-OFDM Übertragungssystem dargestellt. Die kohärente Übertragung wird häufig mit dem Polarisationsmultiplexverfahren kombiniert, wodurch eine Verdopplung der Datenrate [7] möglich ist.

Der Schlüssel zur Realisierung von O-OFDM Systemen, die auf IFFT (Sendeseite) bzw. FFT (Empfangsseite) Signalprozessoren basieren, ist die Erzeugung schneller analoger Signale auf der Sende- und Empfangsseite. Auf der Sendeseite werden dafür schnelle D/A-

Wandler mit Abtastraten von bis zu 25 GS/s benötigt, um durch vierfache Parallelisierung eine Übertragung mit einer Datenrate von 100 Gbit/s zu erzielen [6]. Dabei entstehen zwischen den digitalen Signalprozessoren und den D/A-Wandlern mit beispielsweise 6 Bit Auflösung Datenraten von $4 \cdot 6 \cdot 25 \text{ GS/s} = 600 \text{ Gbit/s}$. Die digitalen Signalprozessoren (engl. DSP – digital signal processor) für die IFFT werden üblicherweise in einer CMOS-Technologie realisiert. Wenn es gelingt, D/A-Wandler mit Abtastraten bis zu 25 GS/s in einer CMOS-Technologie zu entwickeln, ist es möglich, den gesamten elektrischen Modulator bestehend aus DSP und D/A-Wandlern auf einem CMOS-Chip zu integrieren. Eine teure Aufbautechnik für die Verbindung der schnellen Schnittstellen zwischen DSP und D/A-Wandlern ist nicht mehr notwendig.

1.1.2 Drahtlose Ultra-Breitband-Übertragung

Die Ultra-Breitband-Technik (engl. UWB – Ultra Wideband) ist ein extrem breitbandiges drahtloses Übertragungsverfahren im Nahbereich bis zu 20 Metern. Der nutzbare Frequenzbereich von 30 MHz bis 10,6 GHz steht aufgrund der geringen zulässigen spektralen Leistungsdichte von maximal $-41,3 \text{ dBm/MHz}$ lizenzfrei zur Verfügung [8]. Weiterhin muss die Bandbreite des Sendesignals mindestens 500 MHz betragen [8]. Ein UWB-Signal erscheint deshalb für schmalbandige Empfänger herkömmlicher Übertragungstechniken lediglich als Rauschen.

Anwendungen für die Ultrabreitband-Technik ergeben sich beispielsweise bei der drahtlosen Datenübertragung mit geringen Bitraten über Kurzstrecken (engl. WPAN – wireless personal area networks) innerhalb eines Raumes, kleinerer Wohnungen, Büros [9], Fahrzeugen, aber auch Industriehallen [10]. Auch in der Sensorik findet das ultrabreitbandige Übertragungsverfahren Interesse. Das UWB Impuls-Radio (engl. IR – impulse radio) ist eine weitere attraktive Anwendung für die Datenübertragung über kurze Strecken [11]. Das zu übertragende Signal wird auf keinen Träger aufmoduliert, sondern als definierte Folge von kurzen Impulsen direkt gesendet. Die Impulsdauer liegt dabei typischerweise im Bereich einer Nanosekunde, wodurch sich die Sendeleistung auf einen großen Frequenzbereich bis zu einigen Gigahertz verteilt.

Aufgrund der hohen Bandbreiten und geringen Sendeleistungen wächst die Sender- bzw. Empfängerkomplexität für solche drahtlosen Übertragungssysteme. Es werden sehr hohe Abtastraten für die Signalverarbeitung benötigt und hohe Anforderungen an das zeitrichtige Senden bzw. Empfangen der Impulse gestellt. Weitere Probleme ergeben sich bei der drahtlosen Übertragung durch die auftretende Intersymbolinterferenz (engl. ISI – inter symbol interference), Mehrwegeausbreitung und das Kanalnebensprechen. Wünschenswert sind in der UWB-Technik aber kostengünstige Sender und Empfänger [12][13]. Um die Anforderungen zu erfüllen, wird derzeit das Zeitumkehrprinzip (engl. TR – time reversal) in Kombination mit mehreren Sende- und Empfangsantennen (engl. MIMO – multiple input multiple output) bei der drahtlosen ultrabreitbandigen Übertragung erforscht.

Das Zeitumkehrprinzip (TR) besteht aus zwei Schritten [9][14]. Zunächst wird vom vorgesehenen Empfänger aus ein Pilotsignal an die N Sender geschickt, um den Übertragungskanal zu charakterisieren. Basierend auf diesem Pilotsignal schätzt und speichert jeder Sender die Impulsantwort $h_N(t)$ des Kanals. Die Impulsantwort wird anschließend zeitlich umgekehrt, d.h. $h_N(t) = h_N(-t)$, und erneut gesendet. Dadurch wird die Sendeleistung zeitlich und räumlich am vorgesehenen Empfänger gebündelt. In [9] wird ebenfalls experimentell gezeigt, dass durch den Einsatz mehrerer Sendeantennen die räumliche und zeitliche Bündelung der Sendeleistung weiter verbessert werden kann (engl. MISO - multiple input single

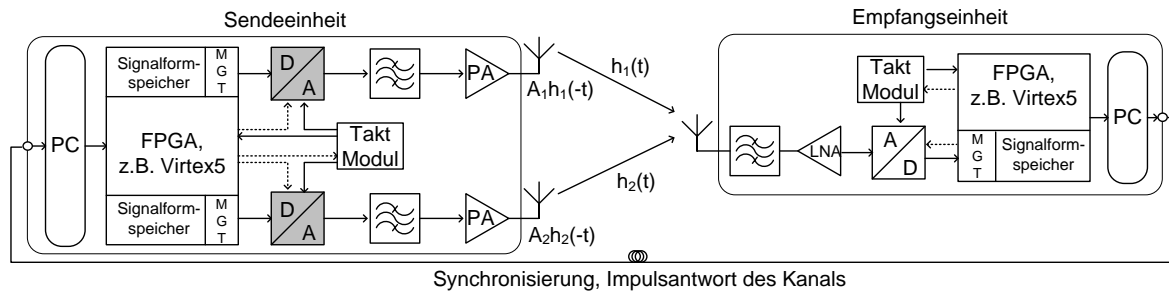


Abbildung 1.2: Drahtloses TR-MISO-UWB-Übertragungssystem für kurze Distanzen.

output). Durch den Einsatz mehrerer Antennen auf der Empfangsseite ist theoretisch auch eine parallele Datenübertragung möglich (MIMO) [12].

Abbildung 1.2 zeigt beispielhaft ein drahtloses nicht kohärentes TR-MISO-UWB-Übertragungssystem für kurze Distanzen [15]-[17]. Der digitale Sender verwendet mindestens zwei D/A-Wandler, um das MISO-Prinzip zu erfüllen. Die D/A-Wandler sind beispielsweise mit einem schnellen Virtex 5 FPGA (engl. FPGA – Field Programmable Gate Array) verbunden. Auf der Sendeseite können über einen PC (engl. PC – Personal Computer) vorberechnete digitale Signalformen in den FPGA eingeschrieben werden, die kontinuierlich an die D/A-Wandler ausgegeben werden. Die Empfangseinheit ermittelt mit Hilfe eines Pilotsignals die Impulsantwort des Kanals und übermittelt diese drahtgebunden an die Sendeeinheit [18]. Daraufhin werden die entsprechenden vorberechneten optimalen Impulsformen in den FPGA eingeschrieben.

Die Herausforderung besteht in der Erzeugung beliebiger UWB-Signalformen, die sich in Echtzeit optimal an den Kanal anpassen. Weiterhin werden Abtastraten im GS/s-Bereich benötigt, um UWB-Signale mit der erforderlichen Mindestbandbreite von 500 MHz zu generieren. Dafür sind D/A-Wandler mit Echtzeitschnittstelle, Abtastraten im hohen GS/s-Bereich und einer Ausgangsbandbreite von bis zu 10,6 GHz notwendig, damit das gesamte UWB-Frequenzband ausgenutzt werden kann.

1.1.3 Arbiträrsignalgenerator

Arbiträrsignalgeneratoren (engl. AWG – Arbitrary Waveform Generator) finden Einsatz in vielen Bereichen, beispielsweise bei der Erzeugung von beliebigen Echtzeit-Testsignalen in der Radar- [19] und Messtechnik. Üblicherweise besteht ein AWG aus einem DSP mit Speicher (engl. RAM – random access memory) und schnellen D/A-Wandlern. Der DSP steuert dabei das Einlesen und die kontinuierliche Ausgabe des digitalen Testsignals. Das digitale Testsignal wird im RAM abgelegt und kontinuierlich an den D/A-Wandler ausgegeben. Das Einlesen des digitalen Testsignals kann beispielsweise durch einen PC über eine serielle RS232- oder USB-Schnittstelle (engl. USB - universal serial bus) erfolgen.

Insbesondere bei der Erzeugung von Radarsignalen oder OFDM-Testsignalen werden hohe Ansprüche an die zu Verfügung stehende Abtastrate, Bandbreite und den Speicher des Arbiträrsignalgenerators gestellt. Die Abtastrate und Bandbreite des AWGs sind dabei häufig durch den verwendeten D/A-Wandler begrenzt. Kommerziell erhältliche Arbiträrsignalgeneratoren erzielen Abtastraten von bis zu 24 GS/s und Bandbreiten bis zu 5,3 GHz [20] und sind beispielsweise in einem SiGe-BiCMOS Prozess [21] realisiert. Benötigt werden daher schnelle D/A-Wandler mit Abtastraten im GS/s-Bereich in CMOS-Technologie, um eine kostengünstige Integration mit dem DSP und Speicher auf einem ASIC (engl. ASIC - application specific integrated circuit) zu ermöglichen.

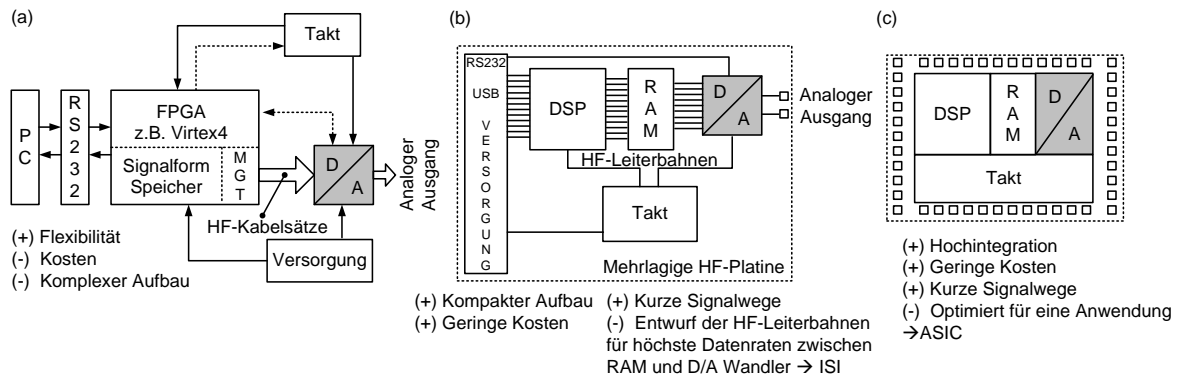


Abbildung 1.3: (a) AWG basierend auf einem FPGA mit aufgebautem D/A-Wandler, (b) D/A-Wandler und DSP auf mehrlagiger Platine, (c) D/A-Wandler und DSP auf einem integrierten CMOS Chip.

Häufig werden FPGAs in Kombination mit D/A-Wandlern zur Erzeugung von Arbiträrsignalen verwendet [22][23][24]. Das FPGA übernimmt dabei die Funktion des DSPs mit Speicher. Der Vorteil eines FPGAs gegenüber einem ASIC liegt in seiner Flexibilität. Ein FPGA kann jederzeit an neue Anwendungen oder Anforderungen des Systems angepasst werden. Der Aufbau des Komplettsystems bestehend aus FPGA, Taktquellen, Kabelsätzen, PC-Benutzeroberfläche (engl. GUI – graphical user interface) und den ebenfalls aufgebauten D/A-Wandlern ist jedoch zeitintensiv und teuer. Denkbar ist auch eine Integration der genannten Komponenten auf einer mehrlagigen Leiterplatte (engl. PCB – printed circuit board) [25] mit PC-Schnittstelle, um einen zeitintensiven Systemaufbau zu vermeiden. Abbildung 1.3(a)-(c) fasst die Möglichkeiten, einen AWG zu realisieren, mit Vor- und Nachteilen zusammen. Eine Schlüsselkomponente bleibt bei allen Varianten der D/A-Wandler.

1.2 Stand der Technik

Abbildung 1.4 (a) gibt einen Überblick über veröffentlichte D/A-Wandler und kommerziell erhältliche Produkte der vergangenen Jahre. Es werden die nominale Auflösung, Abtastrate und Technologie miteinander verglichen.

Die Beispiele in [26]-[33] sind in einer SiGe-BiCMOS-Technologie realisiert und haben nominale Auflösungen zwischen 3 Bit und 8 Bit. Dabei ist [33] mit einer Abtastrate von 50 GS/s und 6 Bit nominale Auflösung der derzeit schnellste Wandler in einer SiGe-BiCMOS-Technologie. [33] ist als verteilter D/A-Wandler realisiert, während [26]-[32] auf einer klassischen binären oder segmentierten Wandlerarchitektur basieren. Die D/A-Wandlung wird durch das Schalten von gewichteten Stromquellen vollzogen. Anwendungsgebiete für Wandler mit moderater Auflösung (4-8 Bit) und Abtastraten größer 20 GS/s sind in der schnellen optischen bzw. drahtlosen Datenübertragung zu finden. Weitere mögliche Anwendungen liegen in der Radar- und UWB-Technik. [26]-[29] verfügen über keine Echtzeitschnittstellen, wohingegen [30]-[33] in Echtzeitanwendungen einsetzbar sind. Die SiGe-BiCMOS-Technologie eignet sich aufgrund der hohen Transitfrequenzen f_t von bis zu 230 GHz [33][34][35] und der großen Steilheiten g_m bzw. Verstärkung v der Transistoren sehr gut für die Realisierung schneller D/A-Wandler. Insbesondere in der Ausgangs- bzw. Treiberstufe des D/A-Wandlers können große Ausgangsbandbreiten bei gleichzeitig hohen Ausgangsspannungshüben erzielt werden [35]. Noch höhere Transitfrequenzen f_t der Transistoren von bis zu 290 GHz [35] sind in der InP HBT-Technologie zu

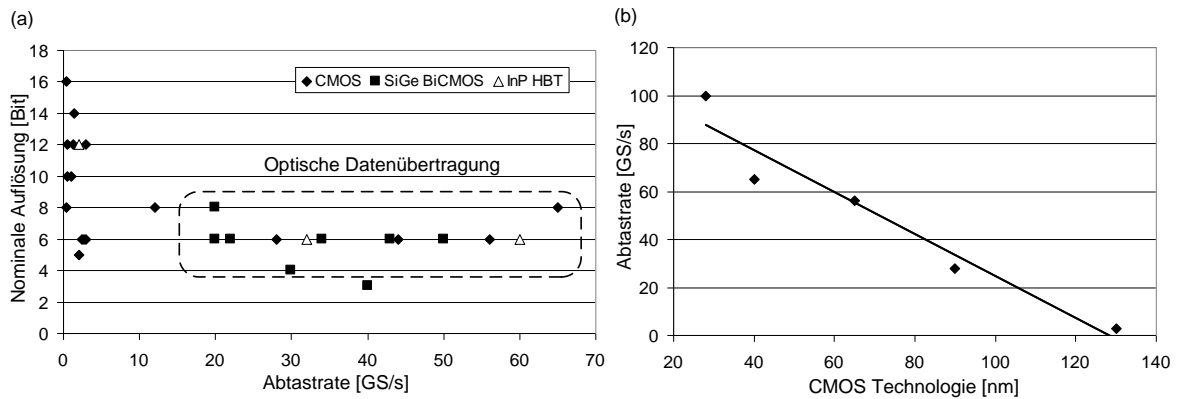


Abbildung 1.4: (a) Stand der Technik D/A-Wandler, (b) Trendlinie CMOS D/A-Wandler.

erreichen [36]-[38]. In [36] werden Abtastraten von 60 GS/s bei einer nominalen Auflösung von 6 Bit nachgewiesen. Nachteilig an der InP HBT- und SiGe-BiCMOS-Technologie ist die fehlende Integrierbarkeit der Wandler mit einem DSP auf einem Chip. Für die meisten Zielanwendungen der sehr schnellen Wandler werden komplexe DSPs in CMOS-Technologie benötigt [39]-[42]. Die Verbindung der Hochgeschwindigkeitsschnittstellen der SiGe-BiCMOS- oder InP HBT-Wandler mit den DSPs ist nur durch eine teure und komplexe Aufbautechnik möglich [42]. Traditionell werden bisher hybride Aufbautechniken wie „Flip-Chip“ oder „chip and wire“ benutzt, um CMOS-DSPs mit integrierten Schaltungen der Gruppe III-IV Materialien zu verbinden. Geht man beispielsweise von einer optischen 100 Gbit/s Übertragung mit vier DACs bzw. ADCs bei einer nominalen Auflösung von 8 Bit und einer Abtastrate von 56 GS/s aus, müssen Datenmengen im Bereich von 1,3-1,8 Tb/s zwischen den Wandlern und DSPs übertragen werden. Damit verbunden ist ein zusätzlicher Leistungsverbrauch im Bereich von 3-4 Watt für die Aufbereitung, d.h. Serialisierung und Deserialisierung der Daten [42]. Es gibt jedoch erste Erfolge bei der Integration von Gruppe III-IV Transistoren mit CMOS Transistoren auf einem gemeinsamen Silizium-Substrat [43]. In Abbildung 1.5 (a)-(c) werden die verschiedenen Möglichkeiten der Aufbautechnik, d.h. der Verbindung von DSP mit D/A-Wandler, dargestellt.

Aufgrund der geringeren Verstärkung und Transitfrequenzen der MOSFETs ist es grundsätzlich schwieriger sehr schnelle D/A-Wandler in CMOS-Technologie zu entwickeln. So können beispielsweise in der 90 nm CMOS-Technologie maximale Transitfrequenzen der MOSFETs von $f_t = 100$ GHz erreicht werden [44]. In [45]-[55] werden hohe nominale Auflösungen von 6 bis 16 Bit erzielt, jedoch sind die Abtastraten bis zu 3 GS/s im Vergleich zu den SiGeBiCMOS- und InP-Wandlern gering. Die in [45]-[56] verwendeten CMOS-Technologien haben minimale Gatelängen L_{Min} zwischen 500 nm und 90 nm. Der bis 2011 schnellste veröffentlichte CMOS D/A-Wandler mit einer Abtastrate von 12 GS/s bei 8 Bit

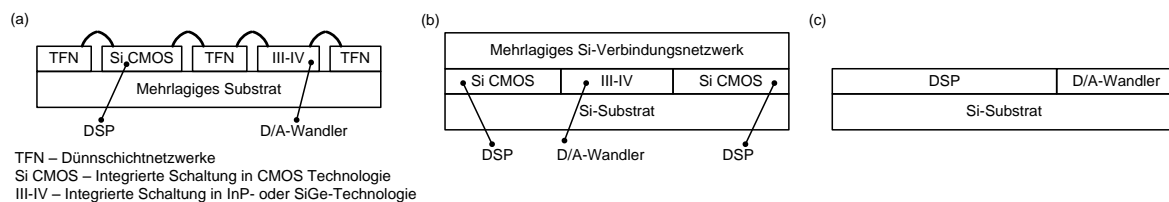


Abbildung 1.5: (a) Traditionelle hybride Aufbautechnik, (b) Integration von III-IV Materialien und Si CMOS auf einem gemeinsamen Si-Substrat, (c) Integration von DSP und D/A-Wandler auf einem CMOS-Chip [44].

nominaler Auflösung ist in einer 90 nm CMOS-Technologie realisiert [56].

Im Jahr 2011 ist die Anzahl der Veröffentlichungen [57]-[62] von sehr schnellen D/A-Wandlern in CMOS-Technologie für die optische Datenübertragung mit Datenraten von 100 Gbit/s stark gestiegen. [57]-[59] und [62] sind in Echtzeitsystemen einsetzbar, wohingegen [61] nur über einen 256·6 Bit großen Speicher für Testzwecke verfügt. [57]-[62] basieren auf dem Schalten von gewichteten Stromquellen und sind als segmentierte Architekturen realisiert. Besonders attraktiv ist die Möglichkeit die D/A-Wandler mit den benötigten komplexen DSPs auf einem CMOS-Chip zu integrieren. Die erzielten Abtastraten sind vergleichbar mit den schnellsten SiGe-BiCMOS- und InP-Wandlern für dieselbe Zielanwendung bei moderater nominaler Auflösung. Ermöglicht werden diese Erfolge durch die Fortschritte in der CMOS-Technologie. So stehen mittlerweile Transistoren mit Transitfrequenzen von $f_t=300$ GHz in der 28 nm CMOS-Technologie zur Verfügung [44]. Ankündigt sind bereits Transitfrequenzen von über 400 GHz in der 20 nm CMOS-Technologie [44]. Die fortgeschrittenen CMOS-Technologien eignen sich hervorragend für die Entwicklung schneller hochintegrierter digitaler Schaltungen bei geringer Spannungsversorgung.

Für die analoge Schaltungsentwicklung ist die Spannungsverstärkung v der Transistoren ein entscheidender Entwurfsparameter. In [44] wird die Spannungsverstärkung eines 28 nm mit einem 100 nm MOSFET verglichen. Bei gleicher Dimensionierung und Beschaltung erzielt ein 28 nm MOSFET eine Spannungsverstärkung von $v=25$, wohingegen ein 130 nm MOSFET eine Spannungsverstärkung von $v=100$ erreicht [44]. In der analogen Schaltungsentwicklung wurde bisher von einer unendlichen Verstärkung in den sogenannten „open-loop“ Systemen ausgegangen. Durch negative Rückkopplung erhält man ein „closed-loop“ System, wodurch die gewünschte Verstärkung eingestellt wird. Diese Annahmen sind in der 28 nm und den zukünftigen Technologien (20 nm, 18 nm, 14 nm) nicht mehr gültig [44]. Ein weiteres Problem bei den neuen Technologien mit Gatelängen kleiner 28 nm stellen die unvermeidlichen Prozessschwankungen dar. Prozessschwankungen sind Ungenauigkeiten in den Herstellungsprozessen, beispielsweise bei der Dotierung und den geometrischen Abmessungen von Transistoren. Die Folgen sind eine schlechte Ausbeute bei der Produktion und nicht kontrollierbare Einflüsse des Prozesses auf die Leistungsmerkmale einer analogen integrierten Schaltung. Typischerweise werden die neuen Technologien zunächst für Digitalschaltungen entwickelt und optimiert, um hohe Schaltfrequenzen bei geringen Leckströmen zu erzielen. Um dennoch die Vorteile der fortgeschrittenen CMOS-Technologien ausnutzen zu können, wird insbesondere bei der A/D-Wandler-Entwicklung massive Parallelisierung von langsamen Wandlerkernen und digitale Kalibration eingesetzt [62]. Bei der D/A-Wandler-Entwicklung ist diese Form der Parallelisierung jedoch nicht beliebig möglich [35].

Durch den Einsatz verschiedener Schaltungstechniken, wie das Zeitverschachtelungsprinzip, die induktive Spannungsüberhöhung und die Verwendung der Stromschalterlogik, können die Nachteile der CMOS-Technologie bei der D/A-Wandler-Entwicklung gegenüber der Gruppe III-IV-Materialien ausgeglichen werden. Das gilt insbesondere für CMOS-Technologien mit Gatelängen größer 90 nm. In der vorliegenden Arbeit [57]-[60] werden dadurch Abtastraten bis zu 28 GS/s erreicht. Das entspricht einer Verdopplung der Abtastrate gegenüber [56]. [57]-[59] ist damit der schnellste D/A-Wandler in einer 90 nm CMOS-Technologie bei moderater Auflösung. Nahezu zeitgleich wird in [61] der schnellste D/A-Wandler mit einer Abtastrate von 56 GS/s in einer 65 nm CMOS-Technologie bei moderater Auflösung veröffentlicht. Der derzeit schnellste D/A-Wandler mit moderater Auflösung ist in einer 44 nm CMOS-Technologie realisiert und bereits als kommerzielles Produkt erhältlich [62]. In Abbildung 1.4(b) ist die Trendlinie in der CMOS-D/A-Wandlerentwicklung dargestellt. Durch Kombination der genannten Schaltungstechniken

mit den Technologiefortschritten kann die Abtastrate pro Technologieknoten stetig erhöht werden. In Planung und Entwicklung sind bereits D/A-Wandler in einer 28 nm CMOS-Technologie mit Abtastraten über 100 GS/s [63]. Die Herausforderung wird dabei in der Kompensation der Prozessschwankungen und der Erhöhung der Produktionsausbeute liegen.

1.3 Ziele dieser Arbeit

In der vorliegenden Arbeit soll im Rahmen des vom BMBF (Bundesministerium für Bildung und Forschung) geförderten Projektes 100GET (GET – engl. Gigabit Ethernet Transport Technologies) untersucht werden, ob es möglich ist, kostengünstige, schnelle und verlustarme D/A-Wandler in einer kommerziellen CMOS-Technologie herzustellen [64]. Die D/A-Wandler sollen zunächst für optische OFDM-Übertragungsverfahren mit Datenraten von 100 Gbit/s auf der Sendeseite eingesetzt und zusammen mit den notwendigen komplexen digitalen Signalprozessoren auf einem CMOS-Chip integriert werden. Weiterhin soll der D/A-Wandler für Echtzeitexperimente einsetzbar sein und muss deshalb mit einer Echtzeitschnittstelle für die digitalen Eingangsdaten ausgestattet werden. Dafür muss auf dem Chip eine Auswerteeinheit vorgesehen werden, um in Echtzeit die Synchronität der digitalen Hochgeschwindigkeits-Eingänge, FPGA-gestützt, überprüfen zu können. In Tabelle 1.2 sind die vorgegebenen Spezifikationen für die Zielanwendung des zu entwickelnden D/A-Wandlers zusammengefasst.

Tabelle 1.2: Spezifikationen des D/A-Wandlers für die Zielanwendung.

Merkmal	Spezifikation
CMOS-Technologie	90 nm
Abtastrate	25 GS/s
Nominale Auflösung	6 Bit
Effektive Auflösung	5 Bit (bei NF)
Analoge Ausgangsbandbreite	12,5 GHz
Differentieller Ausgangsspannungshub	-500 mV ... +500 mV
Digitale Eingänge	12·12,5 Gbit/s
Echtzeitschnittstelle	Ja
Leistungsverbrauch	< 3 W

Innerhalb des BMBF Projektes 100GET sind zwei Schaltungsentwürfe vorgesehen. Der Schaltungsentwurf beinhaltet dabei den Schaltplan und das Layout der Schaltung. In einem ersten Entwurf soll die optimale Schaltungstechnik und D/A-Wandlerarchitektur gefunden werden, um die Vorgaben zu erfüllen. Das Erreichen der Spezifikationen ist durch Messungen nachzuweisen. Die Messungen können teilweise direkt auf dem Siliziumschaltkreis durchgeführt werden. Für eine vollständige Charakterisierung ist ein Aufbau der D/A-Wandler auf Platinen notwendig. Parallel zum Schaltungsentwurf muss daher ein Aufbau- und Messtechnik entwickelt werden, die eine Charakterisierung der D/A-Wandler bei der vollen Daten- und Abtastrate im Echtzeitbetrieb ermöglicht. Die durch die Messungen gewonnenen Erfahrungen und Erkenntnisse sollen in einen zweiten optimierten Entwurf einfließen, der ebenfalls messtechnisch zu verifizieren ist.

In einem Forschungsprojekt, das von der DFG (Deutsche Forschungsgemeinschaft) gefördert wird [65], soll ein D/A-Wandler mit einer 65 nm CMOS-Technologie bei 8 Bit nomi-

nalere Auflösung entwickelt werden. Damit verbunden sind Untersuchungen alternativer Wandlerarchitekturen und des Technologieeinflusses.

1.4 Gliederung dieser Arbeit

In Kapitel 2 wird der D/A-Wandler zunächst systemtheoretisch betrachtet. Anhand eines idealen A/D- und D/A-Wandlungsvorgang werden grundlegende Begriffe der Signalverarbeitung, wie beispielsweise das Abtasten, die Rekonstruktion und die Quantisierung von Signalen, eingeführt. Anschließend wird auf die Form des Ausgangssignals bzw. die Übertragungsfunktion eines idealen und realen D/A-Wandlers eingegangen. Um die Leistungsfähigkeit eines D/A-Wandlers beurteilen zu können, werden seine Eigenschaften definiert. Man unterscheidet dabei zwischen statischen und dynamischen Eigenschaften. Die D/A-Wandlung kann auf dem Schalten von gewichteten Strömen, dem Einstellen von Spannungen oder der Ladungsverteilung basieren. Daher werden anschließend die wichtigsten D/A-Wandlerarchitekturen vorgestellt. D/A-Wandler, die in der Telekommunikation Einsatz finden, realisieren oft das Prinzip der geschalteten Stromquellen. Darauf wird der Schwerpunkt bei den Architekturbetrachtungen gelegt.

Kapitel 3 stellt die Grundlagen der analogen Schaltungstechnik für die D/A-Wandlerentwicklung in CMOS-Technologie vor. Zunächst wird kurz auf die Stromgleichungen, Kennlinien und das Kleinsignalersatzschaltbild eines N-Kanal Anreicherungs-MOSFETs eingegangen. Der Transistor wird dabei als Werkzeug für die analoge Schaltungsentwicklung betrachtet. Die geforderten Abtastraten von 25 GS/s sind in einer 90 nm CMOS-Technologie nur durch den Einsatz der Stromschaltertechnik bzw. -logik zu erreichen. Die Prinzipien und Eigenschaften dieser Schaltungstechnik werden mit der klassischen statischen CMOS-Technik verglichen, um Vor- und Nachteile herauszustellen. Die einstufige Grundzelle der Stromschaltertechnik wird anschließend in Hinblick auf ihr Gleichstrom-, Kleinsignal- und Großsignalverhalten untersucht. Da man beim Schaltungsentwurf häufig vor dem Problem steht, kapazitive Lasten treiben zu müssen, wird die Kaskadierung von Stromschaltergrundzellen analysiert. Es werden Regeln zur Optimierung des „Fan Out“, d.h. der zu treibenden RC-Last, und für den Entwurf von Leitungstreibern aufgestellt. Weiterhin werden Hinweise für die Grundzellendimensionierung gegeben, um einen Kompromiss zwischen hoher Verstärkung und Geschwindigkeit zu finden. Eine weitere Technik zur Erhöhung der Ausgangsbandbreite einer Stromschaltergrundzelle ist die induktive Spannungsüberhöhung durch passive oder aktive Spulen. Da die D/A-Wandlerarchitektur und die Grundzellen auf geschalteten Stromquellen basieren, werden abschließend verschiedene Möglichkeiten zur Realisierung von stabilen Stromquellen mit den jeweiligen Eigenschaften vorgestellt. Die Reproduktion von Referenzströmen erfolgt durch Stromspiegel.

Der Schaltungsentwurf und das Layout des D/A-Wandlers in einer 90 nm CMOS-Technologie sind Inhalt von Kapitel 4. Zunächst werden die Gesamtarchitektur und die Technik der Zeitverschachtelung in Kombination mit dem Prinzip der Pseudo-Segmentierung vorgestellt. Anschließend wird eine Übersicht über die Schaltungskomponenten des D/A-Wandlers und deren Funktionen gegeben. Es folgt der Entwurf der notwendigen Grundgatter mit den verwendeten Dimensionierungsregeln. Die Funktionalität der Grundgatter wird durch Simulationen nachgewiesen. Im nächsten Schritt werden mit Hilfe der Grundgatter die Schaltungskomponenten entworfen. Die Funktionalität ist dabei erneut durch Simulationen nachzuweisen. Danach wird die zweifach zeitverschachtelte Gesamtarchitektur des D/A-Wandlers realisiert. Von besonderer Bedeutung ist dabei die bitratenflexible und zeitrichtige Ansteuerung der Schaltungskomponenten in den zwei zeit-

verschachtelten Wandlerkernen. Diese Forderungen werden durch einen präzise dimensionierten Taktbaum sichergestellt. Die Ausgangsspannungen der Verstärker werden aufgrund der großen zu treibenden Lasten und den geforderten Abtastraten von bis zu 25 GS/s durch Spulen induktiv überhöht. Abschließend wird das Layout der Gesamtarchitektur beschrieben. Besonders hervorzuheben ist dabei die Anordnung und die Realisierung der gewichteten Stromquellen im Layout. Das Stromquellenlayout begrenzt maßgeblich die statischen Eigenschaften des Wandlers. Durch Simulationen der Gesamtarchitektur unter Berücksichtigung der im Layout entstehenden parasitären Kapazitäten und Widerstände wird die Einhaltung der Spezifikationen entsprechend Tabelle 1.2 überprüft.

Das Kapitel 5 beschreibt die notwendige Aufbau- und Messtechnik zur Charakterisierung der Wandler. Es werden zwei verschiedene Wandleraufbauten vorgestellt. Der erste Ansatz ermöglicht die Charakterisierung der Wandler bis zu Abtastraten von 4 GS/s. Die Platinen sind dabei auf einen Aufbau der Wandler im QFN-Gehäuse (engl. QFN – Quad Flat No Leads Package) und durch direktes Chip-Bonden angepasst. Ein zweiter Ansatz soll die Charakterisierung der Wandler bis zur Zielabtastrate von 25 GS/s ermöglichen. Hierfür müssen die Wandler zusammen mit vier Multiplexer-Chips auf einem Dünnschichtsubstrat und einer HF-Trägerplatine aufgebaut werden. Dadurch kann die erforderliche Datenrate von bis zu 12,5 Gbit/s an den zwei zeitverschachtelten D/A-Wandlerkanälen generiert werden. Ein Peltierelement ist ebenfalls in den Aufbau integriert und dient der Kühlung der Chips auf dem Dünnschichtsubstrat. Ein Virtex4 FPGA erzeugt die Testdaten. Die VHDL-Programmierung (engl. VHDL – Very High Speed Integrated Circuit Hardware Description Language) des FPGAs ist dabei auf die langsamen LVDS- (engl. LVDS – Low Voltage Differential Signaling) und die schnellen RIO-Schnittstellen (engl. RIO – Rocket-IO) zum Senden der digitalen Daten angepasst. Die LVDS-Sendedaten sind bereits synchron zueinander, ermöglichen aber nur Bitraten bis zu 200 Mbit/s im realisierten Aufbau. Das Senden der Daten über die RIO-Schnittstellen erfordert zunächst eine Synchronisierung mit Hilfe der Auswerteeinheiten auf dem D/A-Wandler. Diese Schnittstellen ermöglichen jedoch Bitraten von bis zu 6,25 Gbit/s.

Die erzielten Messergebnisse werden in Kapitel 6 vorgestellt. Zunächst erfolgt eine Charakterisierung der gesägten Chips direkt auf dem Siliziumschaltkreis. Die statischen Messungen umfassen dabei die Bestimmung der Übertragungskennlinien der zeitverschachtelten Kanäle beider Wandlerentwürfe. Daraus werden charakteristische Größen wie INL (engl. INL – Integral Nonlinearity), DNL (engl. DNL - Differential Nonlinearity) und die Passung der zeitverschachtelten Kanäle zueinander abgeleitet. Mit Hilfe von dynamischen Messungen können die maximal erzielbare Abtastrate und die Ausgangsbandbreite der Wandler bestimmt werden. Die Messergebnisse der beiden Wandlergenerationen werden miteinander verglichen, um die schaltungstechnischen Verbesserungen des zweiten Wandlerentwurfs nachzuweisen. Die Aufbau- und Messtechnik für Abtastraten bis zu 4 GS/s wird anschließend für SFDR-Messungen (engl. SFDR – Spurious Free Dynamic Range) und das Erzeugen von Arbiträrsignalen genutzt. Zunächst werden die synchronen LVDS-Schnittstellen für SFDR-Messungen am Aufbau eingesetzt. Anschließend ist die Funktionalität der Auswerteeinheiten zu überprüfen, um die VHDL-Programmierung für die RIO-Schnittstellen in Betrieb nehmen zu können. Die Funktion der Synchronisationsroutine wird durch Messungen nachgewiesen. Abschließend erfolgen die SFDR-Messungen am Aufbau mit Abtastraten bis zu 2 GS/s und ein Vergleich der SFDR-Messergebnisse beider Wandlergenerationen.

Die Grenzen der realisierten Wandlerarchitektur und der Technologieeinfluss werden in Kapitel 7 untersucht. Zunächst wird der Einfluss der CMOS-Technologie auf den bisherigen Schaltungsentwurf diskutiert. Es folgen Abschätzungen zur Erhöhung der nominalen

Auflösung und dem Grad der Segmentierung bzw. Zeitverschachtelung. Weiterhin werden alternative Wandlerarchitekturen untersucht und miteinander verglichen. Abschließend fasst Kapitel 8 die vorliegende Arbeit zusammen und gibt einen Ausblick.

2 Theoretische Grundlagen

Kapitel 2 fasst zunächst die grundlegenden Begriffe der digitalen und analogen Signalverarbeitung anhand eines A/D- und D/A-Wandlungsvorgangs zusammen. Weiterhin wird ein idealer und realer D/A-Wandler auf Blockschaltbildebene betrachtet, um die entsprechenden Ausgangssignalformen bzw. Übertragungsfunktionen miteinander zu vergleichen. Die Charakterisierung eines D/A-Wandlers erfolgt über die statischen und dynamischen Eigenschaften. Dabei sind die integrale- bzw. differentielle Nichtlinearität (INL bzw. DNL) und der SFDR-Wert eines D/A-Wandlers hervorzuheben. Eine D/A-Wandlung kann auf Spannungs-, Strom- oder Ladungsgrößen basieren. Die hierfür notwendigen Architekturen werden am Ende des Kapitels vorgestellt. Der Fokus liegt dabei auf den Wandlerarchitekturen, die auf geschalteten Stromquellen basieren. Man unterscheidet dabei zwischen binären, unären und segmentierten Architekturen. Die Stromquellen der unären und segmentierten Architekturen können über Zeilen- bzw. Spaltendekoder oder einfache Verdrahtungsschemen angesteuert werden. Die jeweiligen Vor- und Nachteile werden herausgestellt.

2.1 Analoge und digitale Signale

In diesem Unterkapitel werden grundlegende Begriffe der analogen und digitalen Signalverarbeitung eingeführt.

2.1.1 Der A/D- und D/A-Wandlungsvorgang

In Abbildung 2.1 ist der A/D- und D/A-Wandlungsvorgang auf Blockschaltbildebene dargestellt.

Bevor das analoge, d.h. zeit- und wertekontinuierliche, Eingangssignal von einem A/D-Wandler verarbeitet werden kann, muss es durch ein Filter bandbegrenzt werden. Dadurch wird die erforderliche minimale Abtastrate $f_A=1/T$ des A/D-Wandlers festgelegt, wobei T der Abtastperiodenzeitdauer entspricht. Das analoge Signal kann idealerweise ohne Verzerrungen rekonstruiert werden, wenn die höchste Frequenzkomponente f_{Max} im bandbegrenzten analogen Signal den Wert $f_A/2$ nicht überschreitet.

Der A/D-Wandlungsvorgang besteht aus dem Abtasten des analogen bandbegrenzten Signals, dem Quantisieren der abgetasteten Werte und der anschließenden Kodierung.

Das Abtasten des Signals $x_a(t)$ zu den diskreten Zeitpunkten $t=nT$ entspricht der Wandlung eines zeitkontinuierlichen Signals in ein zeitdiskretes Signal. Das zeitdiskrete Ausgangssignal $x_a(nT)=x(n)$ der Abtastschaltung wird anschließend quantisiert. Der Quantisierer wandelt dabei das zeitdiskrete und wertekontinuierliche Signal $x(n)$ in ein zeitdiskretes und wertediskretes Signal $x_q(n)$. Bei diesem Vorgang wird jeder abgetastete Wert auf eine begrenzte Anzahl von Werten bzw. Quantisierungsstufen abgebildet. Die Anzahl der Quantisierungsstufen hängt von der Auflösung N des A/D-Wandlers ab. Die Differenz zwischen den quantisierten Abtastwerten $x_q(n)$ und den nicht quantisierten Abtastwerten $x(n)$ bezeichnet man als Quantisierungsfehler $e_q(t)$. Abschließend wird der diskrete Wert $x_q(n)$ in eine N Bit breite Sequenz umkodiert. Dieses digitale, d.h. zeit- und wertediskrete Signal kann nun von einem digitalen Signalprozessor (DSP) weiterverarbeitet werden.

In vielen praktischen Anwendungen wird nach der digitalen Signalverarbeitung wieder ein analoges Signal benötigt. Hierfür werden D/A-Wandler eingesetzt. Ein D/A-Wandler inter-

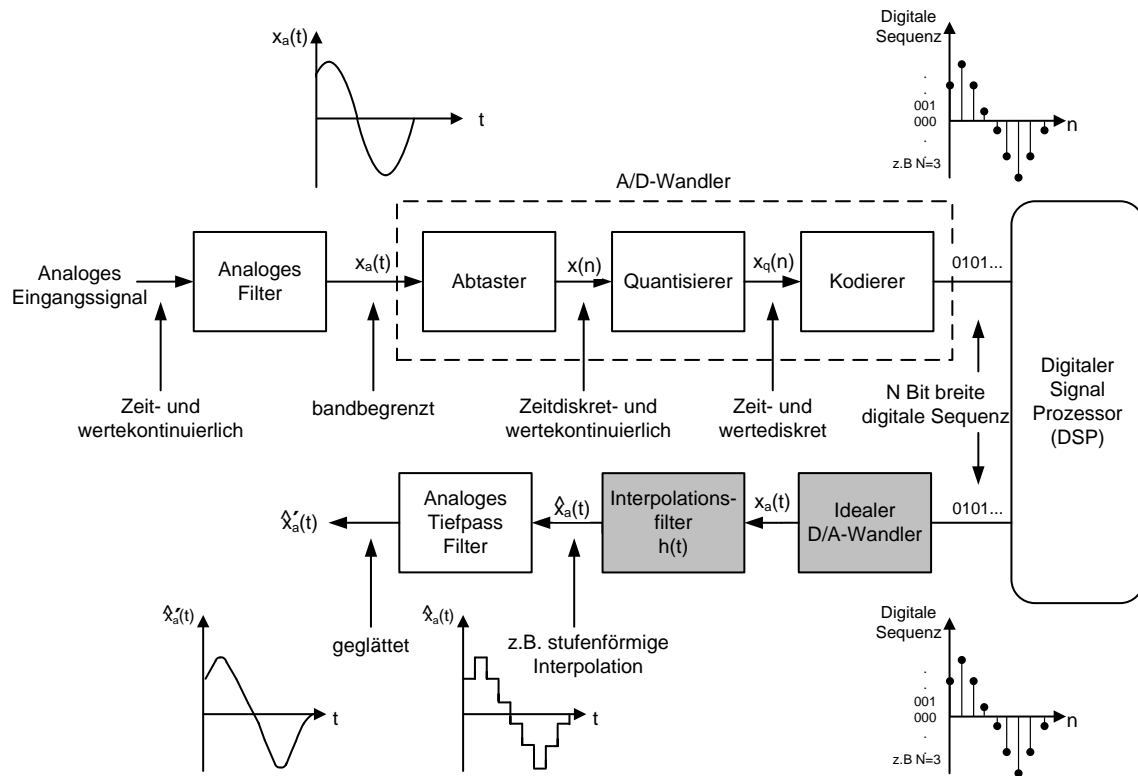


Abbildung 2.1: Der A/D- und D/A-Wandlungsvorgang auf Blockschaltbildebene. Der für diese Arbeit relevante Teil ist dunkel hinterlegt [66].

poliert aus den digitalen Eingangssequenzen ein zeitkontinuierliches Ausgangssignal $\hat{x}_a(t)$. Die Genauigkeit des rekonstruierten Signals hängt dabei vom Interpolationsverfahren, der Auflösung N und der Abtastrate f_A ab. Viele D/A-Wandler interpolieren ein stufenförmiges bzw. treppenförmiges Signal an ihrem Ausgang. In diesem Fall ist das Ausgangssignal wertediskret, da die Stufenanzahl von der Auflösung N abhängt. Durch die nicht-idealen Interpolationsverfahren entstehen im Spektrum des Ausgangssignals Frequenzanteile, die den Wert $f_A/2$ überschreiten. Daher wird das Ausgangssignal des D/A-Wandlers durch einen Tiefpass gefiltert und geglättet. Dadurch entsteht ein rein analoges Signal $\hat{x}'_a(t)$.

2.1.2 Abtasten und Rekonstruktion analoger Signale

Ein analoges Signal $x_a(t)$ muss abgetastet werden, um es in ein zeitdiskretes Signal $x(n)$ zu wandeln. Durch Rekonstruktion kann das zeitdiskrete Signal in ein analoges Signal zurückgeführt werden.

Unter der Annahme, dass $x_a(t)$ ein analoges, absolut integrierbares Signal ist, gilt für die zeitkontinuierliche Fouriertransformation $X_a(j\Omega)$

$$X_a(j\Omega) \triangleq \int_{-\infty}^{\infty} x_a(t) e^{-j\Omega t} dt, \quad (2.1)$$

wobei Ω der Frequenz des analogen Signals entspricht. Die inverse zeitkontinuierliche Fouriertransformation ist gegeben durch

$$x_a(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} X_a(j\Omega) e^{j\Omega t} d\Omega. \quad (2.2)$$

Durch Abtasten des Signals $x_a(t)$ im zeitlichen Abstand T erhält man das zeitdiskrete Signal $x(n)$

$$x(n) \triangleq x_a(nT). \quad (2.3)$$

Die zeitdiskrete Fouriertransformation $X(j\omega)$ des zeitdiskreten Signals $x(n)$ setzt sich zusammen aus einer Summe von unendlich vielen amplituden- und frequenzskalierten Versionen von $X_a(j\Omega)$

$$X(j\omega) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X_a \left[j \left(\frac{\omega}{T} - k \frac{2\pi}{T} \right) \right]. \quad (2.4)$$

Man bezeichnet (2.4) auch als „Anti-Aliasing“ Gleichung (engl. Aliasing – Bandbereichsüberlappung). Die Frequenz des analogen und digitalen Signals ist durch die nachfolgende Gleichung miteinander verbunden

$$\omega = \Omega T. \quad (2.5)$$

Für ein bandbegrenztetes Signal mit der Kreisfrequenz Ω_B und der Bandbreite $f_B = \Omega_B / 2\pi$ muss gelten

$$X_a(j\Omega) = 0 \quad \text{für } |\Omega| > \Omega_B. \quad (2.6)$$

Ein bandbegrenztetes Signal kann aus den Abtastwerten $x(n) = x_a(nT)$ rekonstruiert werden, wenn die Abtastfrequenz $f_A = 1/T$ mindestens doppelt so groß ist wie die Bandbreite f_B des analogen Signals $x_a(t)$

$$f_A > 2f_B. \quad (2.7)$$

Man bezeichnet diese Frequenz auch als Nyquistfrequenz f_N . Wird die Nyquistfrequenz unterschritten, entsteht „Aliasing“, d.h. die Bandbereiche überlappen. Ein mit der Nyquistfrequenz abgetastetes bandbegrenztetes analoges Signal $x_a(t)$ kann aus den Abtastwerten $x(n)$ rekonstruiert werden. Für die ideale Interpolation gilt

$$x_a(t) = \sum_{n=-\infty}^{\infty} x_a(nT) \frac{\sin(\pi/T)(t-nT)}{(\pi/T)(t-nT)} = \sum_{n=-\infty}^{\infty} x_a(nT) g(t-nT) \quad \text{mit} \quad (2.8)$$

$$g(t) = \frac{\sin(\pi/T)t}{(\pi/T)t}.$$

Dabei ist $g(t)$ die ideale Interpolationsfunktion. Aus praktischer Sicht ist diese Art der Rekonstruktion nicht möglich, da es sich um eine nicht kausale Funktion handelt. Für die Rekonstruktion analoger Signale aus digitalen Sequenzen werden daher nicht-ideale Interpolationsverfahren verwendet. Nachfolgend werden drei Verfahren vorgestellt.

Beim „ZOH“ (engl. ZOH – Zero Order Hold) Interpolationsverfahren [66] entsprechend Abbildung 2.2(a) wird ein Abtastwert für die Dauer der Abtastperiode konstant gehalten,

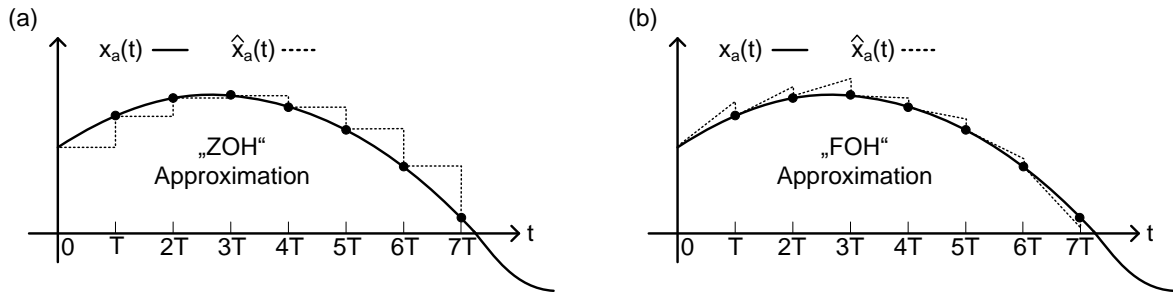


Abbildung 2.2: Schematische Darstellung des (a) "ZOH"- und (b) "FOH"-Interpolationsverfahrens [66].

bis der nächste abgetastete Wert empfangen wird. Für das rekonstruierte Signal $\hat{x}_a(t)$ bzw. die entsprechende Filterfunktion $h(t)$ gilt:

$$\hat{x}_a(t) = x(n) \text{ mit } nT \leq t < (n+1)T \text{ bzw.} \quad (2.9)$$

$$h(t) = \begin{cases} 1, & 0 \leq t \leq T \\ 0, & \text{sonst.} \end{cases}$$

Die interpolierte Signalform ist dabei stückweise konstant (treppenförmig) und wird häufig durch ein nachgeschaltetes analoges Filter geglättet.

Das „FOH“ (engl. FOH – First Order Hold) Interpolationsverfahren [66] entsprechend Abbildung 2.2(b) rekonstruiert aus den Abtastwerten ein analoges Signal, indem zwei benachbarte Abtastwerte über eine Geradengleichung miteinander verbunden werden. Dabei gilt für das rekonstruierte Signal $\hat{x}_a(t)$ bzw. für die entsprechende Filterfunktion $h(t)$

$$\hat{x}_a(t) = x(nT) + \frac{x(nT) - x(nT-T)}{T}(t - nT) \text{ mit } nT \leq t < (n+1)T \text{ bzw.} \quad (2.10)$$

$$h(t) = \begin{cases} 1 + \frac{t}{T}, & 0 \leq t \leq T \\ 1 - \frac{t}{T}, & T \leq t \leq 2T \\ 0, & \text{sonst.} \end{cases}$$

Die Sprünge im interpolierten Signal können vermieden werden, indem man den Rekonstruktionsprozess um eine Abtastperiode verzögert, d.h. $x(nT) = x(nT-T)$ [66]. Das „cubic-spline“ Interpolationsverfahren [66] sorgt für einen noch glatteren Übergang, indem zwei benachbarte Abtastwerte kurvenförmig miteinander verbunden werden. Dadurch wird die Rekonstruktion des analogen Signals nicht genauer, jedoch spart man ein analoges Filter zur Kurvenglättung ein.

2.1.3 Quantisierung

Man bezeichnet den Vorgang, ein abgetastetes, d.h. zeitdiskretes und amplitudenkontinuierliches Signal in ein digitales, d. h. zeit- und amplitudendiskretes Signal zu wandeln als Quantisierung. Jeder Abtastwert wird dabei durch eine begrenzte Anzahl von N Bit dargestellt. Den Fehler, der bei der Darstellung eines wertekontinuierlichen Signals durch eine

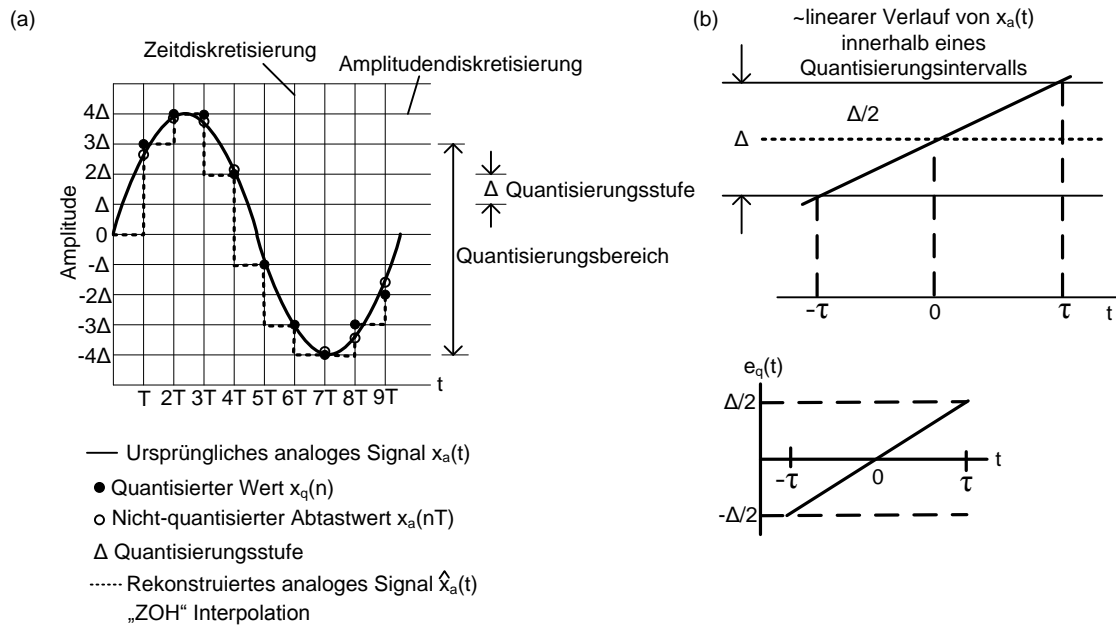


Abbildung 2.3: (a) Abtast- und Quantisierungsvorgang und (b) Quantisierungsfehler [66].

begrenzte Anzahl von Wertestufen (amplitudendiskret) entsteht, bezeichnet man als Quantisierungsfehler oder Quantisierungsrauschen. Abbildung 2.3(a) zeigt den Abtast- und Quantisierungsvorgang eines analogen Sinussignals. Die horizontalen Linien entsprechen dabei den Quantisierungsstufen Δ und die vertikalen Linien den Abtastzeitpunkten nT , wobei $n \in \{Z\}$ ist. Für das analoge, zeit- und wertekontinuierliche Sinussignal $x_a(t)$ mit der Amplitude A , der Frequenz f_0 und der Phase θ gilt

$$x_a(t) = A \cos(2\pi f_0 t + \theta). \quad (2.11)$$

Für das zu den Zeitpunkten $t=nT$ abgetastete zeitdiskrete Signal $x_a(nT)$ gilt unter Einhaltung des Abtasttheorems $T=1/f_A$ nachfolgende Gleichung

$$x(n) = x_a(nT) = A \cos(2\pi f_0 nT + \theta) = A \cos\left(\frac{2\pi n f_0}{f_A} + \theta\right). \quad (2.12)$$

Nach dem Quantisierungsvorgang wird aus dem zeitdiskreten Signal $x(nT)$ ein zeit- und amplitudendiskretes Signal $x_q(nT)$. Um den Quantisierungsfehler zu bestimmen, wird das Signal $x_q(t)$ verwendet, das dem stufenförmigen Ausgangssignal eines D/A-Wandlers („ZOH“) entspricht. Den Verlauf des Quantisierungsfehlers $e_q(t)$ zeigt Abbildung 2.3(b), wobei τ die Zeitdauer angibt, in der $x_a(t)$ innerhalb einer Quantisierungsstufe bleibt. Der Quantisierungsfehler ist im Intervall $[-\Delta/2, +\Delta/2]$ gleich verteilt. Die mittlere Leistung des Quantisierungsfehlers $e_q(t)=x_a(t)-x_q(t)$ bzw. des Quantisierungsrauschens P_q ergibt sich zu

$$P_q = \frac{1}{2\tau} \int_{-\tau}^{\tau} e_q^2(t) dt = \frac{1}{\tau} \int_0^{\tau} e_q^2(t) dt. \quad (2.13)$$

Für den Verlauf des Quantisierungsfehlers $e_q(t)$ gilt im Intervall $-\tau \leq t \leq \tau$

$$e_q(t) = \frac{\Delta}{2\tau} t. \quad (2.14)$$

Daraus folgt für das Quantisierungsrauschen P_q

$$P_q = \frac{1}{\tau} \int_0^\tau \left(\frac{\Delta}{2\tau} t \right)^2 dt = \frac{\Delta^2}{12}. \quad (2.15)$$

Unter der Annahme, dass der Quantisierer eine Genauigkeit von N Bit hat und den gesamten Amplitudenbereich $2A$ abdeckt, gilt für eine Quantisierungsstufe Δ

$$\Delta = \frac{2A}{2^N}. \quad (2.16)$$

Einsetzen in (2.15) liefert für das Quantisierungsrauschen P_q eines sinusförmigen Signals

$$P_q = \frac{A^2/3}{2^{2N}}. \quad (2.17)$$

Die mittlere Signalleistung P_x des sinusförmigen analogen Signals $x_a(t)$ ergibt sich zu

$$P_x = \frac{1}{T_p} \int_0^{T_p} (A \cos \Omega_0 t)^2 dt = \frac{A^2}{2}. \quad (2.18)$$

2.2 Der ideale D/A-Wandler

Nachfolgend wird der D/A-Wandler als „Black-Box“ betrachtet. Es werden die möglichen Eingangs- und Ausgangssignalformen eines idealen und realen D/A-Wandlers analysiert. Daraus lässt sich die jeweilige Übertragungsfunktion ableiten.

2.2.1 Blockdiagramm und ideales Ausgangssignal

In Abbildung 2.4(a) ist das Blockschaltbild eines idealen D/A-Wandlers dargestellt. Ein idealer D/A-Wandler rekonstruiert aus einer Sequenz von N Bit breiten digitalen Wörtern am Eingang ein analoges Ausgangssignal, welches dem ursprünglich abgetasteten analogen Signal $x_a(t)$ entspricht. Es gibt 2^N mögliche Eingangskombinationen. Die Genauigkeit des rekonstruierten analogen Ausgangssignals hängt dabei von der Auflösung N des digitalen Eingangswortes und von der Abtastfrequenz $f_A=1/T$, d.h. der zeitlichen Änderung des digitalen Eingangswortes, ab. Eine ideale Rekonstruktion ist nur möglich, wenn für die größte Frequenzkomponente f_{Max} des digitalen Eingangssignals die Nyquist-Bedingung $f_{\text{Max}} \leq f_N = f_A/2$ erfüllt ist.

Das N Bit breite digitale Eingangswort kann als binärer Vektor \vec{B} wie folgt beschrieben werden

$$\vec{B} = (b_0 b_1 b_2 \dots b_{N-1}) \text{ mit } b_i \in \{0,1\}, \quad (2.19)$$

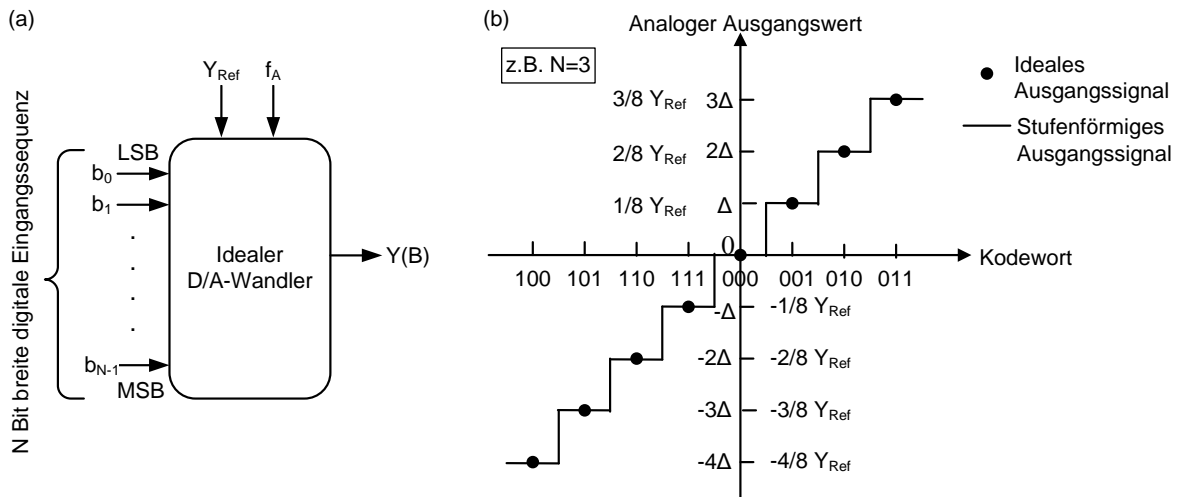


Abbildung 2.4: (a) Blockschaltbild eines D/A-Wandlers, (b) ideales und stufenförmiges Ausgangssignal für eine $N=3$ Bit breite bipolare digitale Eingangssequenz.

dabei ist b_0 das Bit mit der kleinsten Wertigkeit (LSB) und b_{N-1} das Bit mit der höchsten Wertigkeit (MSB). Die entsprechende dezimale Darstellungsform B ergibt sich zu

$$B = \sum_{i=0}^{N-1} 2^i b_i . \quad (2.20)$$

Der Ausgangswert $Y_{nT}(B)$ des D/A-Wandlers zum diskreten Zeitpunkt nT kann ein Ladungswert, ein Spannungswert oder ein Stromwert sein und ist folgendermaßen beschrieben

$$Y_{nT}(B) = \sum_{i=0}^{N-1} 2^i b_i \cdot \Delta = B \cdot \Delta = B \cdot \frac{Y_{Ref}}{2^N} , \quad (2.21)$$

dabei ist Δ der Ladungs-, Spannungs-, bzw. Stromwert eines Quantisierungsintervalls (=LSB), d.h. die kleinste mögliche Werteänderung des Ausgangssignals, und Y_{Ref} der am Wandler anliegende Referenzwert. Der Maximalwert Y_{Max} eines unipolaren Ausgangssignals beträgt

$$Y_{Max} = \frac{2^N - 1}{2^N} \cdot Y_{Ref} . \quad (2.22)$$

Idealerweise gibt ein D/A-Wandler die gewandelten Analogwerte als eine Folge von unendlich kurzen Diracstößen zu den Abtastzeitpunkten aus. Für die Folge gilt

$$\sum_{n=-\infty}^{\infty} Y_{nT}(B) \delta(t - nT) . \quad (2.23)$$

Die Amplituden der Diracstöße entsprechen dabei den gewandelten Werten $Y_{nT}(B)$ zu den diskreten Zeitpunkten nT . Die Punkte in Abbildung 2.4(b) zeigen beispielhaft das ideale Ausgangssignal für ein 3 Bit breites bipolares digitales Eingangswort. Die Ordinatenbeschriftung ist dabei in Abhängigkeit des Quantisierungsintervalls Δ bzw. des angelegten

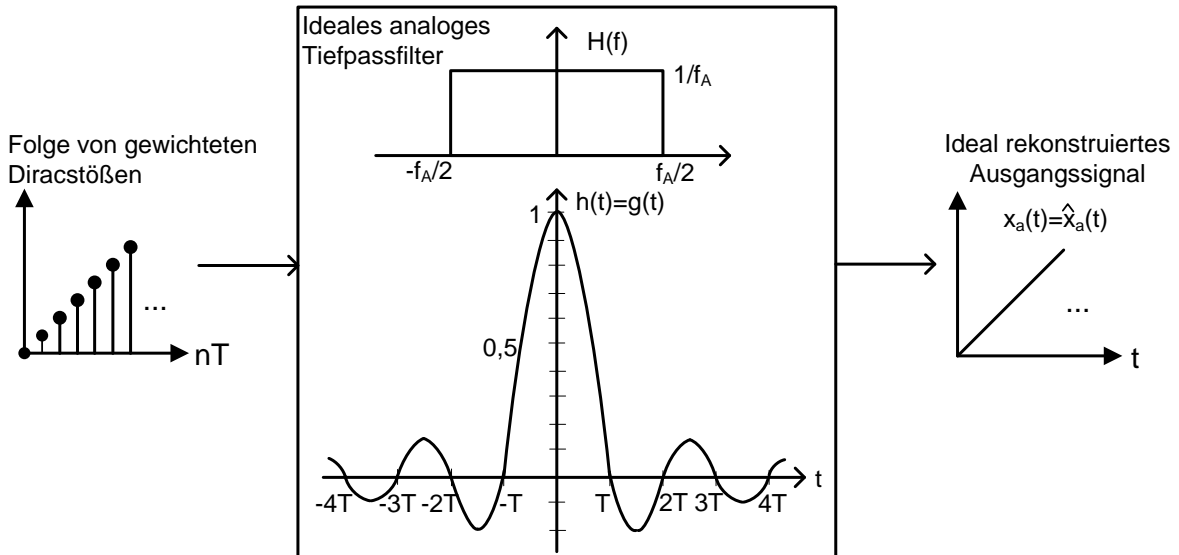


Abbildung 2.5: Ideale Signalrekonstruktion betrachtet als linearer Filtervorgang [66].

Referenzwertes Y_{Ref} angegeben. Die ideale Rekonstruktion ist aus systemtheoretischer Sicht ein linearer Filtervorgang. Dabei werden die Diracstöße entsprechend Abbildung 2.5 durch einen idealen Tiefpass $H(f)$ mit der Grenzfrequenz $f_A/2$ gefiltert:

$$H(f) = \begin{cases} T, & |f| \leq \frac{1}{2T} = \frac{f_A}{2} \\ 0, & |f| > \frac{1}{2T}. \end{cases} \quad (2.24)$$

Dann ist das ideal rekonstruierte Ausgangssignal $x(t)$ des D/A-Wandlers beschrieben durch:

$$x(t) = x_a(t) = \sum_{n=-\infty}^{\infty} Y_{nT}(B) \frac{\sin \frac{\pi}{T}(t - nT)}{\frac{\pi}{T}(t - nT)}. \quad (2.25)$$

Die Fouriertransformierte von $H(f)$ entspricht der idealen Interpolationsfunktion $g(t)$ nach Gleichung (2.8). Das Filter ist nicht-kausal und daher in der Praxis nicht realisierbar. Abbildung 2.5 zeigt ebenfalls die Impulsantwort $h(t)=g(t)$ des idealen Tiefpassfilters.

Unter der Annahme, dass der ideale D/A-Wandler bipolare digitale Eingangssignale im Wertebereich $B \in \{-1 \dots +1\}$ wandeln kann und mit einem digitalen Sinussignal mit der Amplitude $A=1$ angesteuert wird, gilt für das Quantisierungsintervall Δ :

$$\Delta = \frac{2}{2^N} = \frac{1}{2^{N-1}}. \quad (2.26)$$

Das Quantisierungsrauschen P_q ergibt sich dann entsprechend Gleichung (2.15) zu:

$$P_q = \frac{\Delta^2}{12} = \frac{1}{12 \cdot 2^{2N-2}} = \frac{1}{3} \cdot \frac{1}{2^{2N}}. \quad (2.27)$$

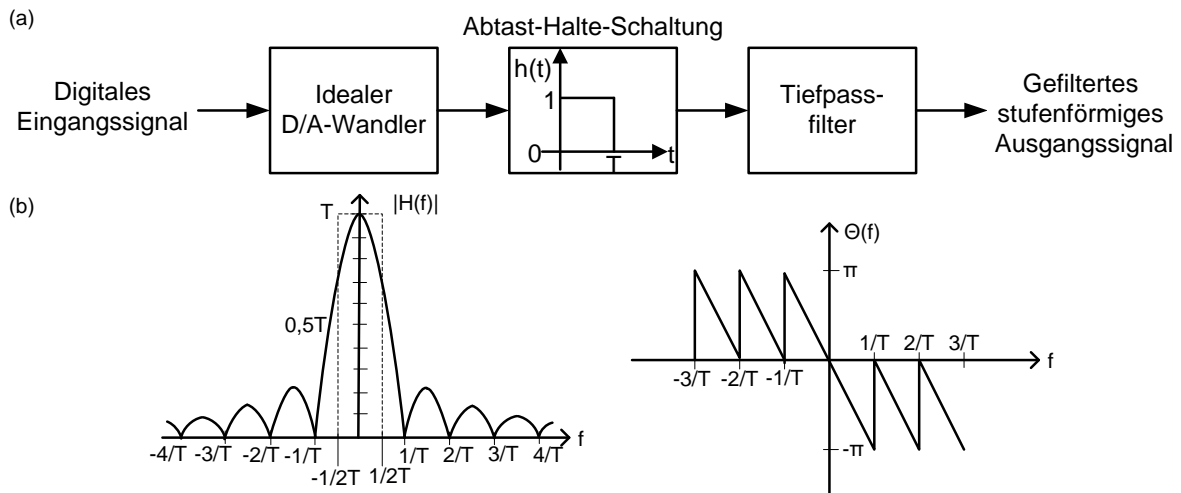


Abbildung 2.6: (a) D/A-Wandlungsvorgang mit stufenförmigen Ausgangssignal auf Blockschaltbildebene, (b) Betrags- und Phasenverlauf der Abtast-Halte-Schaltung.

Das ideale Ausgangssignal ist ebenfalls werte- und zeitdiskret und für die mittlere Signalleistung P_x gilt:

$$P_x = \frac{1}{2}. \quad (2.28)$$

2.2.2 Treppenförmiges Ausgangssignal und Übertragungsfunktion

In der Praxis interpoliert ein D/A-Wandler aus den digitalen Worten am Eingang ein analoges Ausgangssignal. Die einfachste Form der Approximation ist dabei die treppen- bzw. stufenförmige Interpolation entsprechend Gleichung (2.9). Der Wandlungsprozess kann dabei als die Serienschaltung eines idealen D/A-Wandlers mit einem Abtast-Halte-Glied und einem Tiefpassfilter zur Signalglättung beschrieben werden. In Abbildung 2.6(a) sind der Wandlungsvorgang auf Blockschaltbildebene und die Übertragungsfunktion $h(t)$ der Abtast-Halte-Schaltung dargestellt.

Das Ausgangssignal des D/A-Wandlers bleibt während der Dauer einer Abtastperiode T konstant und ändert sich erst wieder zu Beginn der nächsten Abtastperiode. Es ergibt sich ein treppenförmiges Signal am Ausgang. Die Stufenhöhen können dabei unterschiedlich groß sein und entsprechen dem Wert des gewandelten digitalen Eingangswortes. Die Impulsdauer entspricht der Abtastperiodendauer. Im Zeitbereich ergibt sich am Ausgang daher eine Folge von modulierten Rechteckimpulsen. In Abbildung 2.4(b) ist beispielhaft ein stufenförmiges Ausgangssignal dargestellt, welches das ideale ursprüngliche Signal annähert.

Im Folgenden wird der Wandlungsvorgang systemtheoretisch beschrieben. Für die Abtast-Halte-Schaltung gilt für die Impulsantwort $h(t)$ im Zeitbereich

$$h(t) = \begin{cases} 1, & 0 \leq t \leq T \\ 0, & \text{sonst.} \end{cases} \quad (2.29)$$

Die entsprechende Übertragungsfunktion $H(f)$ im Frequenzbereich ergibt sich zu

$$H(f) = \int_{-\infty}^{\infty} h(t) e^{-j2\pi ft} dt = \int_0^T e^{-j2\pi ft} dt = T \left(\frac{\sin(\pi f T)}{\pi f T} \right) e^{-j\pi f T}. \quad (2.30)$$

Der Betragsverlauf $|H(f)|$ und der Phasenverlauf $\theta(f)$ der Übertragungsfunktion $H(f)$ sind ebenfalls in Abbildung 2.6(b) dargestellt.

2.3 Charakterisierung von D/A-Wandlern

Die Leistungsfähigkeit eines D/A-Wandlers wird durch die statischen und dynamischen Eigenschaften festgelegt. Erst seit Februar 2012 [67] gibt es einen einheitlichen IEEE Standard (engl. IEEE – Institute of Electrical and Electronics Engineers) für die D/A-Wandlercharakterisierung [68]. Die nachfolgenden Eigenschaften sind daher nicht nur aus [68], sondern auch der Fachliteratur [69], Veröffentlichungen [48] und dem seit dem Jahr 2000 bestehenden IEEE Std.1241 [70] für die Charakterisierung von A/D-Wandlern entnommen.

2.3.1 Statische Eigenschaften

Verstärkungs- und Verschiebungsfehler

Verstärkungs- und Verschiebungsfehler werden mit Hilfe der gemessenen Übertragungskennlinie eines D/A-Wandlers bestimmt. Dafür müssen an einem N Bit D/A-Wandler die 2^N möglichen Kodeworte B_i angelegt werden. Man erhält dadurch die entsprechenden analogen Ausgangswerte bzw. Messpunkte $Y_i(B_i)$. Die Übertragungskennlinie $\tilde{Y}_i(B_i)$ kann aus diesen Werten beispielsweise mittels der Anfangs- und Endpunkt-Methode oder der kleinsten Quadrate-Methode („Best-Fit“ Ansatz) angenähert werden. In Abbildung 2.7(a) und (b) sind diese zwei Verfahren dargestellt. Allgemein gilt für die angenäherte Übertragungskennlinie $\tilde{Y}_i(B_i)$ durch die Messpunkte

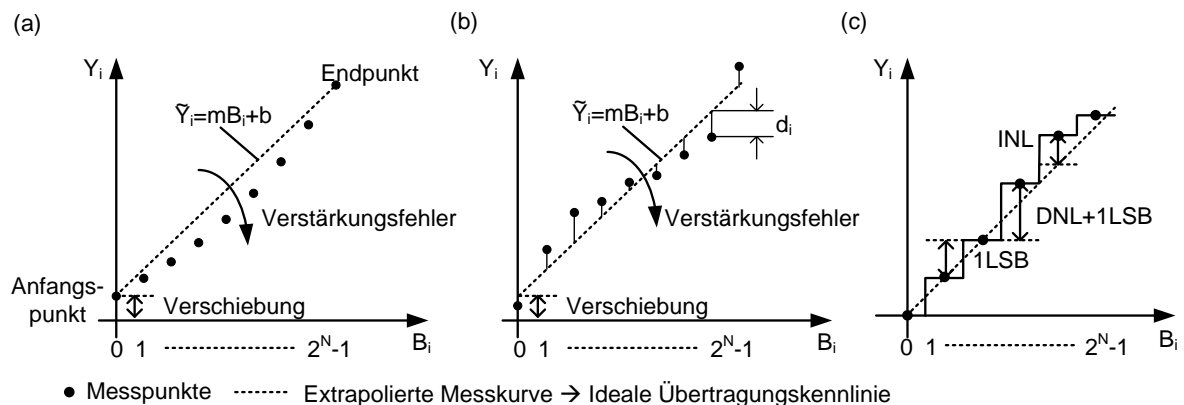


Abbildung 2.7: Festlegen einer Ausgleichsgeraden [71] mit (a) der Anfangs- und Endpunkt Methode und (b) der Methode der kleinsten Quadrate, (c) DNL- und INL-Fehler [69].

$$\tilde{Y}_i(B_i) = mB_i + b \text{ mit } i=0 \dots (2^N - 1). \quad (2.31)$$

Die Verstärkung v eines D/A-Wandlers entspricht dabei der Steigung m der Übertragungskennlinie, während die Konstante b die Verschiebung darstellt. Verwendet man die Anfangs- und Endpunkt-Methode zur Bestimmung der Kennlinie, gilt für die Steigung m und die Konstante b [69][71]

$$\begin{aligned} b &= Y_i(B_{\text{Min}}), \\ m = v &= \frac{Y_i(B_{\text{Max}}) - Y_i(B_{\text{Min}})}{2^N - 1}. \end{aligned} \quad (2.32)$$

Die kleinste Fehler-Quadrate-Methode (engl. MMSE – minimum mean squared error) basiert auf der Minimierung der Summe der quadratischen Abweichungen d_i der Messpunkte Y_i von der idealen Kennlinie \tilde{Y}_i . Für die Verstärkung v und die Verschiebung b gilt unter Verwendung dieses Verfahrens [68][71]

$$\begin{aligned} m = v &= \frac{2^N \cdot K_4 - K_1 K_2}{2^N \cdot K_3 - K_1^2}, \\ b &= \frac{K_2}{2^N} - m \frac{K_2}{2^N}, \end{aligned} \quad (2.33)$$

mit $K_1 = \sum_{i=0}^{2^N-1} i$, $K_2 = \sum_{i=0}^{2^N-1} Y_i$, $K_3 = \sum_{i=0}^{2^N-1} i^2$, $K_4 = \sum_{i=0}^{2^N-1} i Y_i$.

Der Verstärkungsfehler v_F eines D/A-Wandlers ist die Differenz zwischen der Verstärkung v der angenäherten Kennlinie entsprechend Gleichung (2.32) bzw. (2.33) und der Entwurfsvorgabe v_{Ziel}

$$v_F = v - v_{\text{Ziel}}. \quad (2.34)$$

Bei unipolaren Signalen sollte für $B=0$ die analoge Ausgangsspannung des D/A-Wandlers 0 V betragen. Ein Verschiebungsfehler b ist vorhanden, wenn die Ausgangsspannung ungleich 0 V ist. Sichtbar ist dieser Fehler in einer horizontalen Verschiebung der Kennlinie entsprechend der Abbildung 2.7(a) bzw. (b).

Differentieller und integraler Nichtlinearitätsfehler

In Abbildung 2.7(c) sind der differentielle und der integrale Nichtlinearitätsfehler grafisch dargestellt. Die Fehler werden mit Hilfe der Messpunkte und der daraus angenäherten Übertragungskennlinie $\tilde{Y}_i(B_i)$ des D/A-Wandlers bestimmt, indem alle 2^N Bitkombinationen nacheinander an den Eingang angelegt werden.

Der differentielle Nichtlinearitätsfehler DNL bezeichnet die maximale Abweichung zwischen der idealen und der tatsächlichen Schrittweite zweier direkt benachbarter Kodeworte $Y_i(B_i)$ und $Y_{i+1}(B_{i+1})$. Die ideale Schrittweite entspricht einer Quantisierungsstufe Δ bzw. 1 LSB. Es gilt:

$$\text{DNL} = \max(Y_{i+1}(B_{i+1}) - Y_i(B_i) - 1 \text{ LSB}). \quad (2.35)$$

Die DNL-Messung ist unabhängig von Verstärkungsfehlern, wenn die ideale Schrittweite aus der Steigung der „Best-Fit“ Übertragungskennlinie bestimmt wird [68]. Der integrale Nichtlinearitätsfehler INL ist definiert als die maximale Abweichung der Messpunkte von der angenäherten Übertragungskennlinie $\tilde{Y}_i(B_i)$. Die Bestimmung der Ausgleichsgeraden sollte ebenfalls mit der Methode der kleinsten Quadrate durchgeführt werden. Für den integralen Nichtlinearitätsfehler INL gilt dann

$$\text{INL} = \max(Y_i(B_i) - \tilde{Y}_i(B_i)). \quad (2.36)$$

INL- bzw. DNL-Fehler werden in Abhängigkeit eines LSBs angegeben und können positive oder negative Werte annehmen. Der INL-Verlauf kann bereits Hinweise auf das dynamische Verhalten des D/A-Wandlers geben. Beispielsweise weist ein bogenförmiger INL-Verlauf auf eine Störkomponente zweiter Ordnung im Ausgangsspektrum hin [69]. Weiterhin lässt sich die effektive Auflösung eines D/A-Wandlers abschätzen. Üblicherweise hat ein D/A-Wandler einen Auflösungsverlust von einem Bit, wenn die DNL- und INL-Werte größer als ein halbes LSB sind.

Monotonie

D/A-Wandler sind monoton, wenn bei steigenden (fallenden) digitalen Eingangswerten der analoge Ausgangswert niemals abfällt (ansteigt), d.h. $Y_{i+1} \geq Y_i$. Ein binär gewichteter D/A-Wandler ist immer monoton, solange für den integralen Nichtlinearitätsfehler $\text{INL} \leq 0,5 \text{ LSB}$ gilt.

2.3.2 Dynamische Eigenschaften

Abbildung 2.8(a) und (b) veranschaulichen die dynamischen Eigenschaften eines D/A-Wandlers und ihre Auswirkungen im Frequenz- und Zeitbereich. Dabei sind die Einschwing-, die Anstiegs- bzw. Abfallzeit, Überschwinger und der SFDR-Wert eines D/A-Wandlers als die wichtigsten Eigenschaften hervorzuheben.

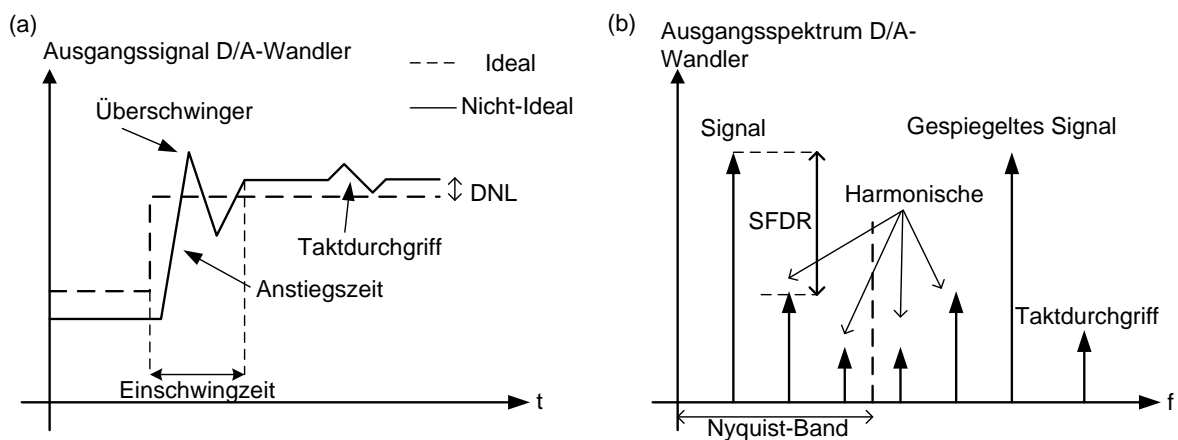


Abbildung 2.8: Veranschaulichung der dynamischen Eigenschaften im (a) Zeit- und (b) Frequenzbereich [69].

Einschwingzeit eines D/A-Wandlers

Die Einschwingzeit t_{Ein} bezeichnet die Zeitdauer, die ein D/A-Wandler benötigt, um nach einem Kodewortwechsel am Eingang einen eingeschwungenen Zustand am Ausgang zu erreichen. Sie setzt sich entsprechend Abbildung 2.9(a) aus drei Komponenten zusammen. Während der Totzeit ändert sich das Ausgangssignal nicht. Danach steigt bzw. fällt das Ausgangssignal bei maximaler Geschwindigkeit auf den entsprechenden Endwert. Dabei können Über- bzw. Unterschwinger entstehen, die innerhalb der Oszillationszeit t_{Osz} abklingen. Die Oszillationszeit besteht aus der Erholungszeit und der linearen Einschwingzeit, d.h. ab diesem Zeitpunkt schwingt der D/A-Wandler exponentiell auf den Endwert ein. Die Einschwingzeit kann bezogen auf die Änderung der Eingangsdaten bzw. des Taktes oder des Ausgangssignals gemessen werden.

Üblicherweise wird entsprechend [68][70] die Einschwingzeit t_{Ein} als Zeitdauer definiert, in der das analoge Ausgangssignal ausgehend vom 50% Wert auf den Maximalwert eingeschwungen ist. Der Maximalwert muss dabei innerhalb eines festgelegten Toleranzbereiches liegen. Bei einem bipolaren Ausgangssignal wird die Einschwingzeit mit Hilfe eines Übergangs vom maximal negativen zum positiven Wert bestimmt (Vollaussteuerübergang). In binären Architekturen ist ebenfalls der Kodewortübergang von „100...“ nach „011...“ zu untersuchen. Der Toleranzbereich wird vor der Messung festgelegt und kann in Prozent oder „LSB“ angegeben werden. Typische Werte für den Toleranzbereich sind $\pm 1/2$ LSB oder ein festgelegter Prozentsatz des maximalen Aussteuerbereichs. Die Abbildung 2.9(b) veranschaulicht den Einfluss des Toleranzbereichs auf die Einschwingzeit t_{Ein} . Die Einschwingzeit kann ebenfalls durch das Anlegen zweier beliebig aufeinanderfolgender Kodeworte bestimmt werden. Wenn die Einschwingzeit vom angelegten Kodewort abhängt, spiegelt sich dieses Verhalten im Frequenzgang des D/A-Wandlers wider.

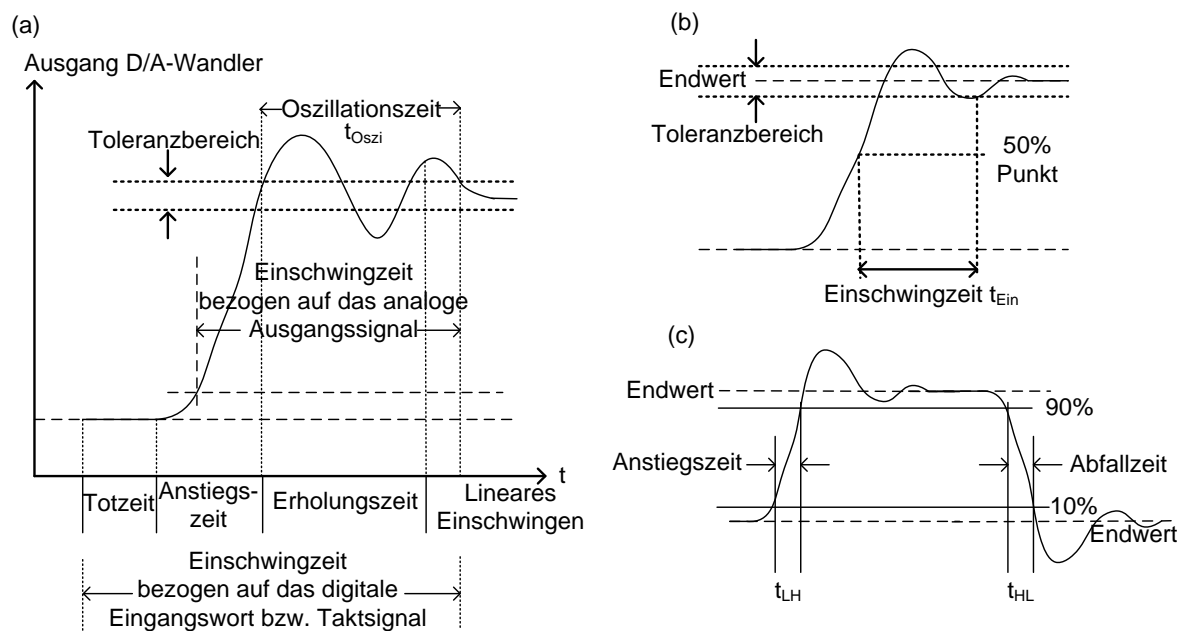


Abbildung 2.9: (a) Definition der Einschwingzeit eines D/A-Wandlers, (b) Einfluss des Toleranzbereichs auf die Einschwingzeit, (c) Definition der Anstiegs- und Abfallzeit eines D/A-Wandlers [67].

Steilheit bzw. Anstiegs- und Abfallzeit

Das Ausgangssignal eines D/A-Wandlers reagiert auf Änderungen des Eingangssignals. Die Steilheit SR (engl. SR – Slew Rate) gibt die schnellstmögliche maximale Änderung der Ausgangsspannung U an, bei der das Ausgangssignal dem sich ändernden Eingangssignal noch folgen kann. Es gilt

$$SR = \frac{dU}{dt} = \frac{dU}{dq} \cdot \frac{dq}{dt} = \frac{I}{C_L} . \quad (2.37)$$

Dabei ist C_L die wirksame Lastkapazität am Ausgang. Abbildung 2.9(c) stellt die Steilheit bzw. Anstiegs- und Abfallzeit beispielhaft dar. Die Anstiegszeit t_{LH} ist als Zeitdauer definiert, die das Signal benötigt um von 10% des Anfangswertes auf 90% des Endwertes anzusteigen. Die Abfallzeit t_{HL} ist dementsprechend als 90%- zu 10%-Übergang definiert. Die Steilheit hängt von der D/A-Wandler-Architektur ab. Das Auf- und Entladen der Ausgangskapazität kann dabei unterschiedlich lange dauern. Wenn die Anstiegs- und Abfallzeiten vom Kodewortübergang abhängig sind, macht sich dieses Verhalten ebenfalls im Ausgangsspektrum des D/A-Wandlers bemerkbar.

Über- bzw. Unterschwinger

Überschwinger treten in binär gewichteten D/A-Wandler-Architekturen auf. Sie entstehen durch asynchrones Durchschalten der einzelnen binär gewichteten Bitpositionen. Dabei kann es sich beispielsweise um binär gewichtete Stromquellen handeln, die in Abhängigkeit des Kodewortes an- oder ausgeschaltet werden. Idealerweise werden alle Bitpositionen entsprechend des Kodewortes zeitgleich an- oder ausgeschaltet. Durch das nicht-ideale Verhalten kommt es kurzfristig, d.h. beim Kodewortübergang, zu falschen Ausgangswerten, die sich als Über- oder Unterschwinger bemerkbar machen. In Abbildung 2.8(a) ist dieses Verhalten beispielhaft dargestellt. Über- bzw. Unterschwinger werden durch ihre Energie E , d.h. der eingeschlossenen Fläche beschrieben. Die Fläche ist durch die Amplitude A und Zeitdauer t_{diff} des Überschwingers festgelegt. Die eingeschlossene Fläche kann dabei unterschiedlich angenähert werden. In Abbildung 2.10(a) ist beispielhaft eine

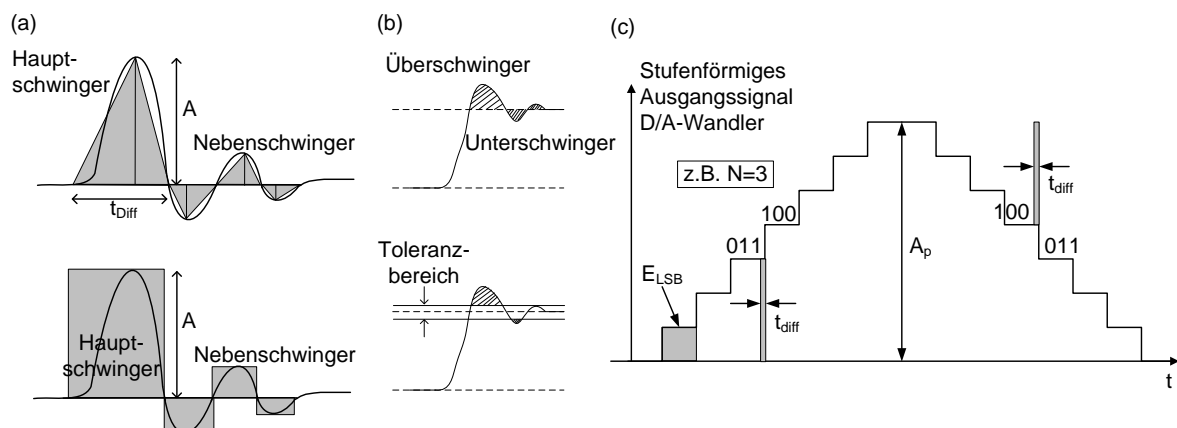


Abbildung 2.10: (a) Dreieck- und rechteckförmige Annäherung zur Berechnung der Schwingerenergie [67], (b) Schwingerenergie in Abhängigkeit verschiedener Toleranzbereiche [67] und (c) Berechnung der Schwingerenergie für ein stufenförmiges Ausgangssignal mit $N=3$ Bit [69].

dreieck- und rechteckförmige Annäherung dargestellt. Berücksichtigt wird häufig nur der Hauptschwinger. Die Nebenschwinger sind Folge des Einschwingvorganges nach dem Kodewortwechsel und eliminieren sich oft gegenseitig. Die gesamte Über- bzw. Unterschwingenergie ist abhängig vom definierten Toleranzbereich. Abbildung 2.10(b) veranschaulicht die Gesamtenergie ohne und mit Berücksichtigung verschiedener Toleranzbereiche. Die Energie muss für den ungünstigsten Schaltvorgang gemessen werden. Eine mathematische Beschreibung ist unter nachfolgenden Annahmen möglich [69]:

- Der größte Überschwinger entsteht beim Umschalten des MSB („1000...“ nach „0111...“).
- Die Fläche des Überschwingers wird durch eine rechteckige Form abgeschätzt.
- Das nicht-ideale Schaltverhalten wird durch t_{diff} beschrieben.
- Die maximale Aussteuerung der Amplitude des Ausgangssignals wird durch A_p beschrieben.

In Abbildung 2.10(c) [69] sind diese Annahmen beispielhaft für einen binären $N=3$ Bit D/A-Wandler dargestellt. Die Über- bzw. Unterschwingenergie E ist beschrieben durch

$$E = t_{\text{diff}} \cdot \frac{A_p}{2}. \quad (2.38)$$

Entsprechend gilt für die Energie E_{LSB} einer LSB-Stufe bzw. eines Quantisierungsintervalls

$$E_{\text{LSB}} = 2^{-N+1} \cdot \frac{1}{f_A} \cdot \frac{A_p}{2}. \quad (2.39)$$

Das Verhältnis E/E_{LSB} muss für gute dynamische Wandlereigenschaften minimal sein. Durch zusätzliche schaltungstechnische Maßnahmen in der Ausgangsstufe eines D/A-Wandlers kann die Über- bzw. Unterschwingenergie reduziert werden [72].

Taktdurchgriff

Aufgrund kapazitiver Kopplungen ist das Umschalten des Taktsignals direkt im analogen Ausgangssignal des D/A-Wandlers sichtbar. Dieser Effekt wird als Taktdurchgriff bezeichnet. In Abbildung 2.8(a) ist der Taktdurchgriff beispielhaft im Zeitbereich dargestellt. Durch den Taktdurchgriff werden kein zusätzliches Rauschen oder keine Störkomponenten im Nyquist-Band des Ausgangsspektrums erzeugt. Das Taktsignal ist kodewortunabhängig und im Frequenzbereich an der Stelle $f_A=2f_N$ sichtbar, wie Abbildung 2.8 zeigt. Diese Störkomponente kann durch ein geeignetes Tiefpassfilter entfernt werden.

Spektralanalyse

An einen D/A-Wandler werden bei einer Spektralanalyse typischerweise digitalisierte Sinussignale für unterschiedliche Signalfrequenzen f_0 und Abtastfrequenzen f_A angelegt (Eintontest). Das entsprechende analoge Ausgangssignal ist mit einem Spektrumanalysator zu untersuchen. Abbildung 2.11 zeigt beispielhaft ein Ausgangsspektrum [73] bei sinusförmiger Ansteuerung des D/A-Wandlers.

Das dargestellte Spektrum enthält die ersten 4 Nyquistzonen. Häufig wird in der Analyse nur die erste Nyquistzone bzw. das Basisband bis zur Nyquistfrequenz $f_N=f_A/2$ ausgewertet.

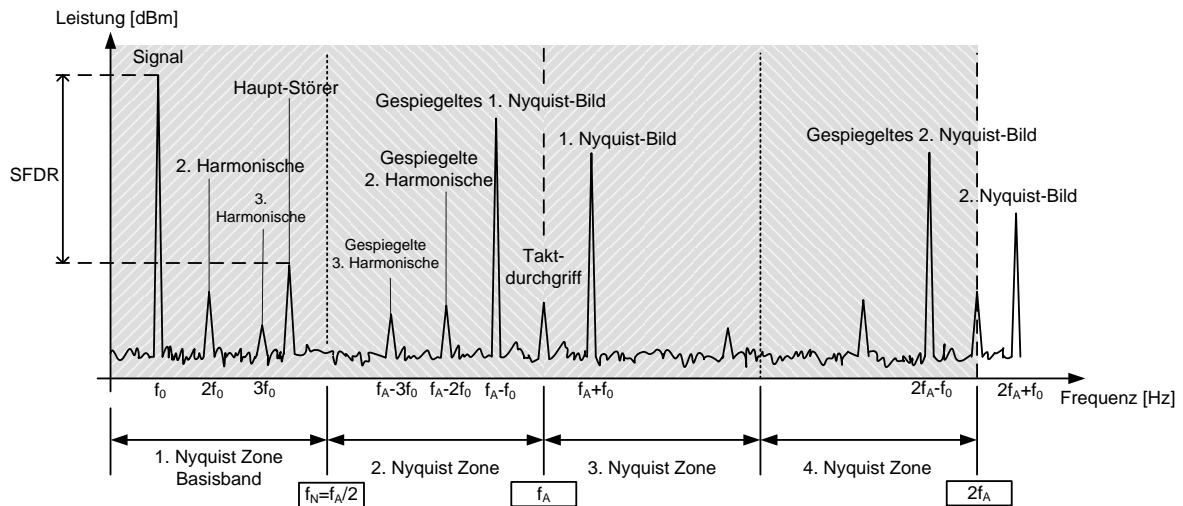


Abbildung 2.11: Ausgangsspektrum eines D/A-Wandlers bei sinusförmiger Anregung.

Die Auswahl des Bandes hängt jedoch von der Anwendung ab. Das Sinussignal mit der Frequenz f_0 wird auch erste Harmonische oder Grundschwingung genannt. Die entsprechenden Nyquist-Bilder f_{Ni} und -Spiegel der Grundschwingung $f_{Ni,S}$ befinden sich an den Stellen

$$\begin{aligned} f_{Ni} &= if_A + f_0, \\ f_{Ni,S} &= if_A - f_0 \text{ mit } i=1,2,3,\dots \end{aligned} \quad (2.40)$$

Ein reines periodisches Sinussignal erscheint im Spektrum als eine einzelne Spitze an der Stelle f_0 . Ist das Sinussignal periodisch gestört, sind zusätzlich zur Hauptspitze an der Stelle f_0 weitere Nebenspitzen zu beobachten. Die Nebenspitzen werden als Harmonische f_{Hi} bezeichnet und sind im Spektrum bei Vielfachen der Signalfrequenz f_0 zu finden

$$f_{Hi} = if_0 \text{ mit } i=2,3,4,\dots \quad (2.41)$$

Ein symmetrisch gestörtes Sinussignal ergibt im Spektrum nur Harmonische mit ungeradem Index i . Bei einer unsymmetrischen Störung sind gerade und ungerade Harmonische zu beobachten. Die Amplituden der Harmonischen können dabei beliebige Werte annehmen, werden jedoch mit steigender Frequenz kleiner. Der Taktdurchgriff ist an der Stelle f_A zu beobachten.

Da in der Praxis D/A-Wandler ein stufenförmig interpoliertes Signal ausgeben, ist die Amplitude mit der $\sin(x)/x$ Funktion entsprechend Gleichung (2.30) geformt. Signale, die nahe der Nyquistfrequenz f_N liegen, werden dadurch in der Amplitude reduziert. Durch ein bandbegrenzendes analoges Filter mit einer $(\sin(x)/x)^{-1}$ -Übertragungsfunktion kann die Signalamplitude in der Nähe der Nyquistfrequenz regeneriert werden (Rekonstruktionsfilter).

Aus dem Ausgangsspektrum lassen sich mehrere Eigenschaften ableiten. In den meisten D/A-Wandler-Veröffentlichungen und Datenblättern wird der SFDR-Wert als typische Größe angegeben. Innerhalb eines festgelegten Frequenzbandes ist die Differenz zwischen der Signalleistung P_0 und der Leistung des größten Störers $P_{\text{Stör,max}}$ als SFDR-Wert definiert. Üblicherweise wird diese Größe in dB angegeben:

$$\text{SFDR}[\text{dB}] = P_0[\text{dBm}] - P_{\text{Stör,max}}[\text{dBm}]. \quad (2.42)$$

Der größte Störer muss dabei nicht zwangsläufig von den Harmonischen verursacht werden. In Abbildung 2.11 ist der SFDR-Wert beispielhaft für das Basisband dargestellt. Insbesondere bei zeitverschachtelten D/A-Wandlern wird der dominante Störer oft durch eine Fehlpassung der einzelnen Wandler zueinander verursacht.

Der Klirrfaktor (engl. THD - Total Harmonic Distortion) eines D/A-Wandlers ist eine umfassendere Größe, da die Leistung aller Harmonischen P_{Hi} auf die Signalleistung P_1 bezogen wird. Definitionsgemäß gilt

$$\text{THD}[\text{dB}] = 10 \log_{10} \frac{\sum P_{Hi}}{P_1} \quad \text{mit } i = 2, 3, \dots \quad (2.43)$$

Während der SFDR- und der THD-Wert die Rauschleistung vernachlässigen, wird bei einer SNDR-Messung (engl. SNDR - Signal-to-Noise and Distortion Ratio) die gesamte Rauschleistung P_{Rausch} und Störleistung $P_{\text{Stör}}$ berücksichtigt:

$$\text{SNDR}[\text{dB}] = 10 \log_{10} \left(\frac{P_1}{P_{\text{Stör}} + P_{\text{Rausch}}} \right). \quad (2.44)$$

SNDR-Messungen sind aufwändiger, da alle Rausch- und Störanteile aufaddiert werden müssen. Mit Hilfe des SNDR-Wertes kann die effektive Auflösung (engl. ENOB - Effective Number of Bits) eines D/A-Wandlers bestimmt werden. Vernachlässigt man den Einfluss der $\sin(x)/x$ Übertragungsfunktion eines D/A-Wandlers mit stufenförmigem Ausgangssignal, so gilt nach [70]

$$\text{ENOB}[\text{Bit}] = \frac{\text{SNDR}[\text{dB}] - 1,76}{6,02}. \quad (2.45)$$

In diesem Fall verhält sich der D/A-Wandler entsprechend Gleichung (2.25) ideal. Wenn man den Einfluss der Amplitudenformung bzw. der Abtast-Halte-Operation eines stufenförmig interpolierenden D/A-Wandlers entsprechend Gleichung (2.30) berücksichtigt, muss ein Korrekturterm eingeführt werden [74]

$$\text{ENOB}[\text{Bit}] = \frac{\text{SNDR}[\text{dB}] - 1,76}{6,02} - 0,1583. \quad (2.46)$$

Durch die Abtast-Halte-Operation wird ein Teil der Leistung des Quantisierungsrauschens P_q aus dem Nyquistband geschoben. Innerhalb des ersten Nyquistbandes verbleibt der Leistungsanteil $P_{qN} = 0,733 \cdot P_q$ [74].

2.4 D/A-Wandler Architekturen

Zunächst werden D/A-Wandler Architekturen vorgestellt, die auf Schalten von binär und unär gewichteten Stromquellen basieren. Das Kapitel wird mit Dekodern für die Ansteuerung von Stromquellenfeldern und dem Prinzip der Zeitverschachtelung abgeschlossen.

2.4.1 D/A-Wandlung basierend auf gewichteten Stromquellen

D/A-Wandler, die mit Abstraten im GS/s-Bereich arbeiten, benötigen einen Ausgang mit ausreichender Stromtreiberfähigkeit für niederohmige externe Lasten. In diesem Bereich werden daher vorzugsweise gewichtete Stromquellen mit hohem Ausgangswiderstand eingesetzt. Die maximale Auflösung N des D/A-Wandlers wird durch die Passung der gewichteten Stromquellen zueinander begrenzt. Man unterscheidet zwischen der binären, unären, segmentierten- und pseudo-segmentierten Architektur.

Binäre Architektur

In Abbildung 2.12(a) ist die binäre Architektur dargestellt. Die N binär gewichteten Stromquellen werden über Umschalter direkt vom digitalen Kodewort b_0 bis b_{N-1} angesteuert. Das Kodewort wird zunächst durch Flip-Flops synchronisiert, bevor es auf die Umschalter gegeben wird. Der Strom fließt in Abhängigkeit des Kodewortes entweder durch den Lastwiderstand R_L oder einen niederohmigen (z.B. 50Ω) Dummy-Widerstand R_{Dum} . Dadurch werden Stromspitzen beim Umschaltvorgang vermieden, und die Stromquellen befinden sich nie im Leerlauf.

Die Vorteile dieser Architektur liegen in der einfachen Implementierung bzw. Erweiterbarkeit und dem geringen Chipflächenbedarf. Der Aufwand wächst linear mit der Auflösung N . Nachteilig hingegen sind der relativ große DNL-Fehler. Ein monotonen Verhalten und die Vermeidung von Über- bzw. Unterschwingern kann nicht gewährleistet werden.

Der maximale INL- und DNL-Fehler wird mit nachfolgenden Annahmen abgeschätzt [75]:

- Die MSB Stromquelle (b_{N-1}) hat die maximale positive Abweichung $+\Delta I_{max}$ von ihrem Idealwert.
- Die restlichen Stromquellen haben zusammen eine maximal negative Abweichung $-\Delta I_{max}$ von den Idealwerten.
- Die Summe der Abweichungen aller Stromquellen ist null.

Fordert man $INL \leq 0,5$ LSB, dann gilt für den maximalen INL-Fehler $|INL|_{max}$ bzw. für die

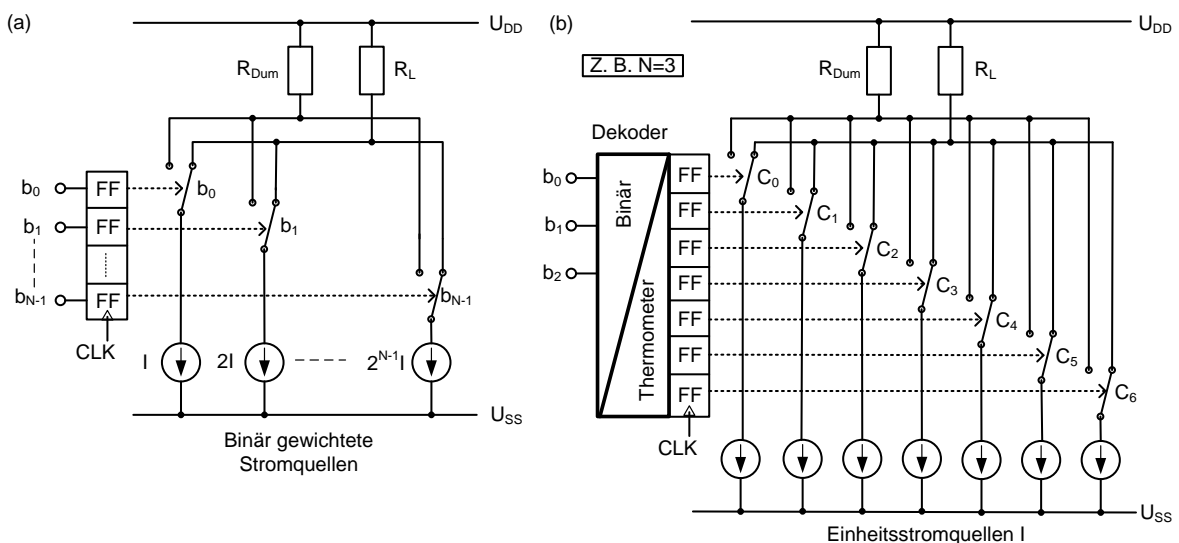


Abbildung 2.12: (a) Binäre und (b) unäre D/A-Wandler Architekturen basierend auf Schalten von Stromquellen.

maximale Abweichung der MSB Stromquelle $|\Delta I|_{\max, \text{INL}}$ [75]

$$\begin{aligned} |\text{INL}|_{\max} &= 2^{N-1} \left(I + |\Delta I|_{\max, \text{INL}} \right) - 2^{N-1} \cdot I = 2^{N-1} \cdot |\Delta I|_{\max, \text{INL}} \leq I/2 \\ &\rightarrow |\Delta I|_{\max, \text{INL}} \leq I/2^N. \end{aligned} \quad (2.47)$$

Der maximale DNL-Fehler einer binären Architektur tritt bei einem Kodewortwechsel von „0111...111“ nach „1000...000“ auf. Nach [75] können der maximale DNL-Fehler DNL_{\max} und die maximale Abweichung der MSB Stromquelle $|\Delta I|_{\max, \text{DNL}}$ mit der Forderung $\text{DNL} \leq 0,5 \text{ LSB}$ zu

$$\begin{aligned} \text{DNL}_{\max} &= (2^N - 1) \cdot |\Delta I|_{\max, \text{DNL}} \leq I/2 \\ &\rightarrow |\Delta I|_{\max, \text{DNL}} \leq \frac{0,5I}{2^N - 1} = \frac{I}{2^{N+1} - 2} \end{aligned} \quad (2.48)$$

abgeschätzt werden. Gleichung (2.48) veranschaulicht die sehr hohe Genauigkeitsanforderung an die MSB-Stromquelle. Die Genauigkeitsanforderungen verringern sich mit abnehmender Wertigkeit der binären Quellen.

Unäre Architektur

Abbildung 2.12(b) zeigt das Prinzipschaltbild einer unären Architektur für eine Auflösung von $N=3$. Eine rein unäre Architektur besteht aus $2^N - 1$ Einheitsstromquellen I . Im Vergleich zur binären Architektur ist eine bessere Passung der Stromquellen zueinander gegeben, da alle Stromquellen gleich groß sind. Die Ansteuerung der Stromquellen bzw. Umschalter erfolgt über einen Binär-zu-Thermometer-Dekoder. Auch hier werden nach der Dekodierung Synchronisierungs-Flip-Flops eingesetzt. Für den Stromfluß I_{RL} durch den Lastwiderstand R_L ergibt sich in Abhängigkeit des Thermometerkodewortes

$$I_{\text{RL}} = I(c_0 + c_1 + \dots + c_{2^N - 2}) = I \sum_{j=0}^{2^N - 2} c_j, \quad (2.49)$$

wobei I dem Stromwert einer unären Einheitsstromquelle entspricht. Tabelle 2.1 veranschaulicht die Funktionsweise eines Binär-zu-Thermometer-Dekoders für ein $N=3$ Bit breites Kodewort am Eingang. Der Dekoder begrenzt die maximale Abtastrate und erhöht den Leistungsverbrauch des D/A-Wandlers.

Der Vorteil dieser Architektur liegt in der garantierten Monotonie und der Vermeidung von Über- bzw. Unterschwingern. Für ein zusätzliches LSB muss nur eine zusätzliche Stromquelle auf den Ausgangsknoten geschaltet werden. Die Anzahl der notwendigen Stromquellen und Schalter bei einer rein unären Implementierung steigt exponentiell mit der Auflösung N . Für hohe Auflösungen ($N > 6$ Bit) steigen damit auch der Chipflächenbedarf und die Komplexität bzw. der Aufwand stark an. Die Anforderungen an die Passung der unären Stromquellen zueinander können entsprechend dem Vorgehen bei einer Widerstandsleiter abgeschätzt werden [75]. Für den maximalen INL-Fehler $|\text{INL}|_{\max}$ gilt dann

$$|\text{INL}|_{\max} = 2^{N-1} \cdot |\Delta I|_{\max, \text{INL}}. \quad (2.50)$$

Dabei beschreibt $|\Delta I|_{\max, \text{INL}}$ die maximale Abweichung der Stromquellen, die einen bestimmten INL Fehler garantiert. Mit der Forderung $\text{INL} \leq 0,5 \text{ LSB}$ ergibt sich diese zu [75]

$$|\Delta I|_{\max, \text{INL}} \leq I/2^N. \quad (2.51)$$

Der maximale DNL-Fehler $|\text{DNL}|_{\max}$ lässt sich unter der Voraussetzung $\text{DNL} \leq 0,5 \text{ LSB}$ mit

$$|\text{DNL}|_{\max} = |\Delta I|_{\max, \text{DNL}} \leq I/2 \quad (2.52)$$

abschätzen, wobei $|\Delta I|_{\max, \text{DNL}}$ die maximale Abweichung von einer idealen unären Quelle I darstellt. Diese Anforderung ist im Vergleich zu Gleichung (2.51) einfacher zu erfüllen.

Tabelle 2.1: 3 Bit Binär-zu-Thermometer-Dekoder.

Dezimal	Kodewort			Thermometerkode						
	b_0	b_1	b_2	C_0	C_1	C_2	C_3	C_4	C_5	C_6
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	1	1
3	0	1	1	0	0	0	0	1	1	1
4	1	0	0	0	0	0	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1

Segmentierte Architektur

Für hochauflösende schnelle Anwendungen, d.h. Abtastraten im GS/s-Bereich und Auflösungen $N > 6$ Bit, werden vorzugsweise segmentierte Architekturen eingesetzt. Segmentierte Architekturen bezeichnet man als hybride Architekturen, da sie eine Kombination aus der

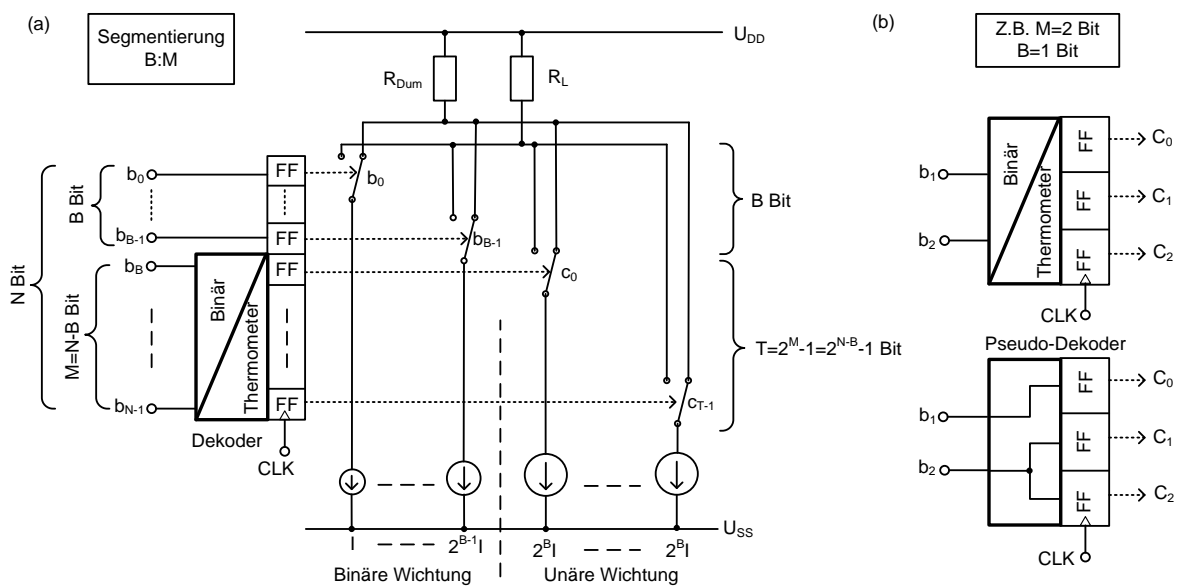


Abbildung 2.13: (a)Prinzipschaltbild einer segmentierten Stromschalterarchitektur, (b) Binär-zu-Thermometer- und Pseudo-Dekoder für $M=2, B=1$.

binären und der unären Architektur sind. Sie stellen einen Kompromiss zwischen guten statischen und dynamischen Eigenschaften bei begrenzter Komplexität, Leistungsaufnahme und Chipfläche dar. In Abbildung 2.13(a) ist das Prinzipschaltbild der segmentierten Architektur dargestellt.

Der D/A-Wandler wird in eine binäre und unäre Architektur aufgeteilt. Die B Bit mit niedriger Wertigkeit steuern die Umschalter der binär gewichteten Stromquellen. Die M Bit mit hoher Wertigkeit werden in einen Thermometerkode, d.h. in 2^M-1 Bit, gewandelt und steuern die Umschalter der unär gewichteten Stromquellen. Um ein gleichzeitiges Durchschalten der Stromquellen zu gewährleisten, werden Flip-Flops zur Synchronisierung eingesetzt. Der Strom wird entweder auf den Ausgangsknoten oder einen Dummy-Ausgang durchgeschaltet. Am Lastwiderstand R_L erfolgt die Strom-zu-Spannung-Wandlung.

Pseudo-segmentierte bzw. Pseudo-unäre Architektur

Eine pseudo-segmentierte [55] bzw. pseudo-unäre Architektur verwendet keinen Binär-zu-Thermometer-Dekoder zur Ansteuerung der unär gewichteten Stromquellen bzw. Umschalter. Es wird ein Pseudo-Dekoder eingesetzt. In Abbildung 2.13(b) sind beispielhaft ($N=3$, $B=1$, $M=2$) ein Binär-zu-Thermometer- und ein Pseudo-Dekoder dargestellt. Der Pseudo-Dekoder basiert auf einem einfachen Verdrahtungsschema, indem die Bitpositionen b_B bis b_{N-1} mit der entsprechenden Anzahl von unären Stromquellen bzw. Umschaltern verbunden werden. Die Anzahl der zu treibenden Flip-Flops verdoppelt sich dabei pro Bitposition ausgehend vom Bit b_B . Der Vorteil liegt in der einfachen Realisierung und Erweiterbarkeit des Dekoders. Insbesondere bei moderaten Auflösungen ($N \leq 8$ Bit) und Abstraten im hohen GS/s-Bereich ist diese Form der Dekodierung einem klassischen Binär-zu-Thermometer-Dekoder vorzuziehen. Je höher die Auflösung N ist, desto größer wird die Last, die insbesondere von der Bitposition mit der Wertigkeit b_{N-1} zu treiben ist. Daher ist für Auflösungen $N > 8$ Bit der Pseudo-Dekoder ungeeignet. Weiterhin können Über- bzw. Unterschwinger nicht eliminiert und Monotonie nicht garantiert werden.

Zusammenfassung und Bewertung

Tabelle 2.2 fasst die Eigenschaften der vorgestellten Architekturen bewertend zusammen [48].

Tabelle 2.2: Eigenschaften und Bewertung der D/A-Wandler Architekturen basierend auf geschalteten Stromquellen.

Architektur	Statisch			Dynamisch	Schaltungstechnik		
	INL	DNL	Monotonie	Schwinger	Komplexität Erweiterbarkeit	Fläche	Leistung
Binär	0	--	--	-	++	++	++
Unär	0	++	++	++	--	--	-
Pseudo-unär	0	+	+	+	-	-	+
Segmentiert	0	+	+	+	+	+	0
Pseudo-segmentiert	0	0	0	0	++	+	+

Die segmentierte Architektur stellt einen Kompromiss zwischen den sehr guten statischen und dynamischen Eigenschaften der unären und dem geringen schaltungstechnischen Aufwand der binären Architektur dar [48]. Der notwendige Binär-zu-Thermometer-Dekoder

kann in einer pseudo-segmentierten Architektur eingespart werden, wodurch sich die Komplexität und der schaltungstechnische Aufwand weiter reduzieren. Diese Architektur ist für die Realisierung von D/A-Wandlern mit moderaten Auflösungen ($N=6$ Bit bis 8 Bit) und Abtastraten im sehr hohen GS/s-Bereich zu empfehlen. Möchte man hochauflösende ($N>8$ Bit) D/A-Wandler entwerfen, ist die segmentierte gegenüber der pseudo-segmentierten Architektur im Vorteil. Die maximale Abtastrate des D/A-Wandlers wird dabei meistens vom Binär-zu-Thermometer-Dekoder begrenzt. Für D/A-Wandler mit sehr geringen Auflösungen ($N\leq 4$ Bit) bietet sich die binäre und unäre Architektur an. Die Geschwindigkeitsanforderungen und der schaltungstechnische Aufwand der unären Architektur können wiederum durch den Einsatz eines Pseudo-Dekoders reduziert werden.

2.4.2 Dekoder zur Ansteuerung segmentierter Architekturen

Die Dekoder zur Ansteuerung der unären Stromquellen können auf unterschiedliche Art realisiert werden. Für einen geringen Grad der Segmentierung ($M\leq 3$) kann beispielsweise direkt die disjunktive oder konjunktive Normalform (DNF, KNF) der Bitpositionen C_0 bis C_{M-1} des Thermometerkodes entsprechend Tabelle 2.1 aufgestellt werden. Soll der Schaltungsaufwand gering gehalten werden, besteht die Möglichkeit, vollständig auf Dekodierlogik zu verzichten und das Verdrahtungsschema (Pseudo-Dekoder) aus Abbildung 2.13(b) einzusetzen. Sind der Grad der Segmentierung und die Anforderungen an die statischen Eigenschaften hoch ($M\geq 4$), werden die unären Stromquellen bzw. Umschalter oft in einer Matrix angeordnet. Die Ansteuerung der Matrix erfolgt über Zeilen- und Spaltendekoder. In [76] wird dieses zweistufige Dekodierverfahren das erste Mal vorgestellt. Abbildung 2.14 zeigt beispielhaft das Dekodierprinzip für $M=6$ und das zu dekodierende Kodewort „011110“.

Im ersten Dekodierschritt werden die M Bit gleichmäßig aufgeteilt, um zwei Zwischenthermometerkodeworte zu generieren. Die höherwertigen Bits (MSBs) erzeugen den ersten Zwischenthermometerkode R_i zur Ansteuerung der Zeilen, und die niederwertigen Bits (LSBs) generieren den zweiten Zwischenthermometerkode C_j für die Spalten. Diese Zwischenthermometerkodes werden im zweiten Schritt auf eine weitere Dekoder-Matrix ge-

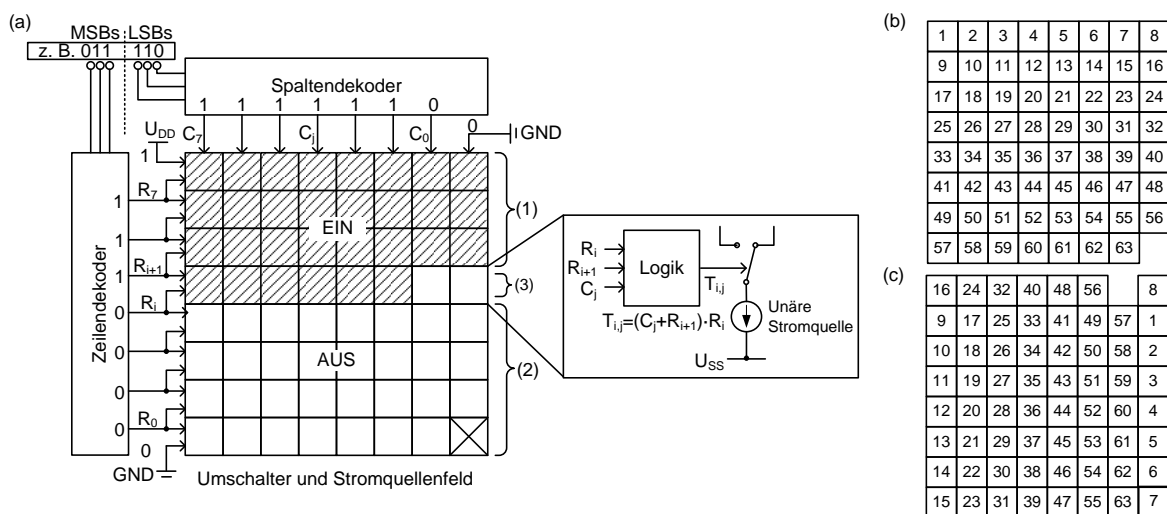


Abbildung 2.14: (a) Zweistufiger Dekoder nach [76] zur Ansteuerung unärer Stromquellenfelder, (b) Schaltschema des Dekoders nach [76], (c) alternatives Schaltschema nach [77].

ben, um den endgültigen Thermometerkode zu erhalten. Die Dekoder-Matrix entspricht dabei der Stromquellen- bzw. Umschalter-Matrix. Die Dekoder für die einzelnen Felder in der Matrix sind identisch aufgebaut. Innerhalb der Matrix gibt es abhängig vom Zeilen-thermometerkodewort drei mögliche Zustände für die Felder:

- Zeilen, in denen alle Stromquellen eingeschaltet sind (1),
- Zeilen, in denen alle Stromquellen ausgeschaltet sind (2),
- Zeilen, in denen ein Teil der Stromquellen in Abhängigkeit des Spalten-thermometerkodes eingeschaltet ist (3).

Für einen Dekoder T_{ij} der Zeile j und Spalte i muss deshalb gelten

$$T_{ij} = (C_j + R_{i+1}) \cdot R_i. \quad (2.53)$$

Es werden immer zwei benachbarte Zeilen R_i und R_{i+1} miteinander verglichen. Bei unterschiedlichen Werten wird der Zustand des Feldes von der Spalte C_j festgelegt. Das feste Schaltschema des Dekoders ist in Abbildung 2.14(b) dargestellt. Ein anderes Schaltschema kann nicht realisiert werden, da die MSBs immer mit den Zeilen und die LSBs mit den Spalten verbunden sind. Weiterhin ist zu beachten, dass die erste und letzte Zeile der Matrix fest verdrahtet auf „0“ bzw. „1“ liegen. Die erste Spalte ist mit „0“ fest verdrahtet.

In [77] wird basierend auf Abbildung 2.14(a) ein Verfahren vorgestellt, das es ermöglicht mit geringem Aufwand ein zusätzliches Schaltschema zu implementieren. Dieses Schaltschema ist in Abbildung 2.14(c) dargestellt. Hierbei wird im ersten Schritt kein Zwischen-thermometerkode erzeugt, sondern die Zeilen- und Spaltendekoder müssen zunächst das vollständige Thermometerwort dekodieren. Zur Auswahl der Schaltmodi müssen zusätzlich noch die Signale R_a und C_a in den Zeilen- und Spaltendekoder implementiert werden. Im zweiten Dekodierschritt gilt jetzt für einen Dekoder der Zeile j und Spalte i in Abhängigkeit der Schaltmodi

$$\begin{aligned} T_{ij} &= (C_j + R_{i+1}) \cdot (C_{j+1} + R_i) \\ \text{Schema1: } R_a = R, \quad C_a = 0 &\rightarrow T_{ij} = (C_j + R_{i+1}) \cdot R_i \\ \text{Schema2: } R_a = 0, \quad C_a = C &\rightarrow T_{ij} = C_j \cdot (C_{j+1} + R_i). \end{aligned} \quad (2.54)$$

Der Schaltmodus 1 entspricht Gleichung (2.53) mit dem Schaltschema aus Abbildung 2.14(b), und Modus 2 realisiert das Schaltschema entsprechend Abbildung 2.14(c). Nach der Chipprozessierung kann durch Messung festgestellt werden, welcher Modus die besseren statischen Eigenschaften (INL) liefert. Dadurch ist es möglich bei begrenztem zusätzlichem Schaltungsaufwand die Ausbeute nach der Chipprozessierung zu erhöhen.

2.4.3 Zeitverschachtelung

Die Geschwindigkeitsanforderungen an einen D/A-Wandler können durch das Prinzip der Zeitverschachtelung reduziert werden. In Abbildung 2.15(a) ist ein D/A-Wandler mit der ZOH Übertragungsfunktion $h(t)$ entsprechend Gleichung (2.29) dargestellt. Das Eingangssignal $U(nT_A)$ wird mit der Frequenz $f_A=1/T_A$ vom D/A-Wandler abgetastet. Im Zeitverschachtelungsbetrieb verarbeiten M D/A-Wandler parallel und zeitlich versetzt zueinander das Eingangssignal $U(nT_A)$. Die Abtastrate der einzelnen D/A-Wandler kann dadurch um

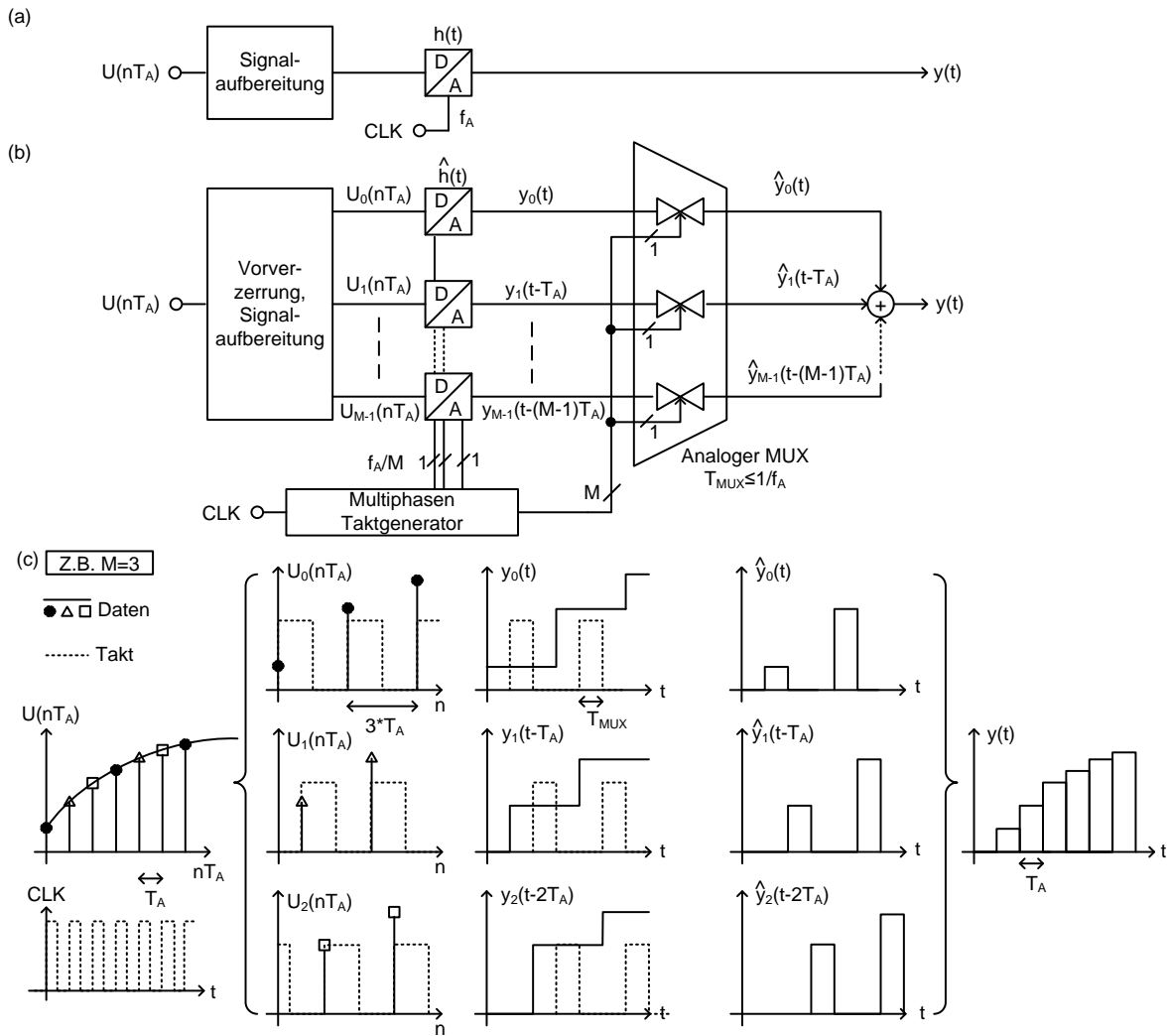


Abbildung 2.15: (a) Einfacher D/A-Wandler mit ZOH Übertragungsfunktion [78], (b) M-fach zeitverschachtelter D/A-Wandler mit Multiphasen Taktgenerator und analogem Ausgangsmultiplexer [78] [79], (c) Verläufe der Takt- und Datensignale für $M=3$ [79].

den Faktor M auf f_A/M verringert werden. Das aus den M Wandlern zusammengesetzte analoge Ausgangssignal ändert sich dabei weiterhin mit der vollen Abtastfrequenz f_A . Dieses Verfahren wird häufig bei D/A-Wandlern mit Abtastfrequenzen im hohen GS/s Bereich eingesetzt. Das Einschwingen der einzelnen Wandler kann damit garantiert werden. Abbildung 2.15(b) zeigt das Prinzip für eine beliebige Anzahl M von zeitverschachtelten D/A-Wandlern. In [78] wird nachgewiesen, dass der einfache D/A-Wandler entsprechend Abbildung 2.15(a) und der M-fach zeitverschachtelte D/A-Wandler in Abbildung 2.15(b) ein identisches Ausgangsspektrum haben.

Die zeitrichtige Verarbeitung des Eingangssignals $U(nT_A)$ durch die M D/A-Wandler wird mit Hilfe eines Multiphasentaktes und einem analogen Ausgangsmultiplexer sichergestellt. Je höher die Anzahl M der parallel arbeitenden D/A-Wandler ist, desto komplexer werden die Multiphasentakterzeugung und die zeitrichtige Ansteuerung der D/A-Wandler bzw. Ausgangsmultiplexer. Daher realisiert man häufig eine zweifach zeitverschachtelte Architektur, da hier ein differentielles Taktsignal für die zeitrichtige Ansteuerung der Wandler ausreicht.

In Abbildung 2.15(c) sind beispielhaft die Signalverläufe der Daten und des Multiphasentaktes eines dreifach zeitverschachtelten ($M=3$) Systems dargestellt [79]. In der Praxis wird

oft $M=2^X$ gewählt, d.h. M ist eine Zweierpotenz. Dadurch kann ein hochsymmetrisches Layout der Wandler erzielt werden. Nachteilig an der Zeitverschachtelung ist ein M -fach höherer Chipflächenbedarf.

3 Schaltungstechnische Grundlagen

Kapitel 3 stellt die schaltungstechnischen Grundlagen für den D/A-Wandler Entwurf vor. Es wird das Gleichstrom- und Wechselstromverhalten eines N-Kanal MOSFETs zusammengefasst. Anschließend wird detailliert die Stromschaltertechnik (engl. CML – Current Mode Logic) vorgestellt und analysiert. Das Kapitel schließt mit Stromquellenuntersuchungen.

3.1 Der N- und P-Kanal Anreicherungs-MOSFET

Nachfolgend werden die wichtigsten Eigenschaften eines N- bzw. P-Kanal MOSFET Anreicherungstransistors zusammengefasst. Der Transistor wird dabei als Werkzeug für den Entwurf analoger CMOS Schaltungen betrachtet.

Abbildung 3.1(a) zeigt das Schaltsymbol eines N- und P-Kanal Anreicherungstransistors jeweils mit Gate- (G), Drain- (D) und Source- (S) Anschluss. Der Stromfluss durch den Transistor ist am Drain-Anschluss durch I_{Dn} bzw. I_{Dp} dargestellt. Der Substratanschluss Bulk (B) ist ebenfalls eingezeichnet und liegt auf Masse (N-Kanal) oder der positiven Versorgungsspannung U_{DD} (P-Kanal).

Den physikalischen Aufbau eines N-Kanal Anreicherungs-MOSFETs zeigt Abbildung 3.1(b). Ein N-Kanal MOSFET besteht aus einem P-Substrat und hochdotierten N-Gebieten, die den Source- und Drain-Anschluss des Transistors bilden. Der Gate-Anschluss besteht aus hochdotiertem Poly-Silizium und einer dünnen Siliziumdioxidschicht der Dicke d_{ox} , die das Gate vom Substrat isoliert. Das aktive Gebiet des Transistors befindet sich unter dem Gate-Anschluss im P-Substrat. Ist die am Gate-Anschluss angelegte Spannung positiv genug, bildet sich ein leitender Kanal aus Elektronen zwischen Source- und Drain-Anschluss unterhalb des Gateoxids. Dabei bezeichnet L die gesamte Länge des Gate-Bereichs und L_{eff} die effektive Länge zwischen Source- und Drain-Anschluss unterhalb des Gate-Bereichs. Die Weite des Transistors wird mit W bezeichnet. Der ohmsche Substratananschluss liegt in einem hochdotierten P-Gebiet.

Ein P-Kanal MOSFET kann durch das Invertieren der Dotierungsgebiete und dem Substrat erzeugt werden. Die Ladungsträger des leitenden Kanals sind Löcher. In komplementären CMOS-Prozessen liegen die P-Kanal Transistoren meist in einer N-Wanne, da nur ein P-Substrat verwendet wird.

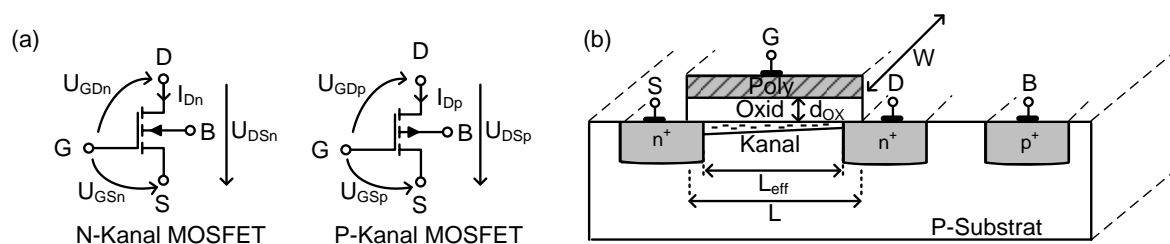


Abbildung 3.1: (a) Schaltsymbol eines N- und P-Kanal Anreicherungstransistors, (b) physikalischer Aufbau eines N-Kanal Anreicherungstransistors.

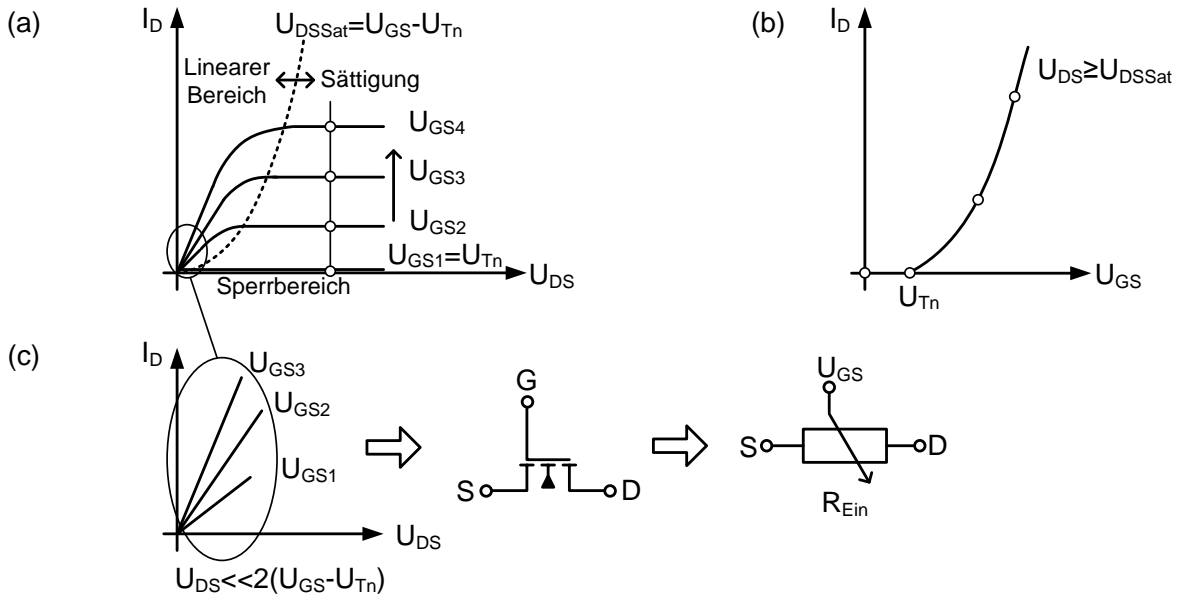


Abbildung 3.2: (a) Ausgangskennlinienfeld eines N-Kanal Anreicherungs-MOSFETs, (b) Übertragungskennlinie eines N-Kanal Anreicherungs-MOSFETs, (c) linearer Bereich und Verhalten des N-Kanal Anreicherungs-MOSFETs als Widerstand [80].

3.1.1 Stromgleichungen und Kennlinien

Ein N- oder P-Kanal Transistor kann sich entsprechend des Ausgangskennlinienfelds $I_D = f(U_{DS})$ in Abbildung 3.2(a) in drei Betriebsbereichen befinden [80]: Sperr-, Widerstands- oder Sättigungsbetrieb. Im Sperrbetrieb fließt kein Strom durch den Transistor, d.h. es ist kein leitender Kanal vorhanden. Der Widerstandsbereich ist dadurch gekennzeichnet, dass sich der Drainstrom I_D näherungsweise linear mit steigender Drain-Source-Spannung U_{DS} ändert. Im Sättigungsbetrieb bleibt der Drainstrom I_D auch bei steigender Drain-Source-Spannung U_{DS} näherungsweise konstant.

Die Übertragungskennlinie $I_D = f(U_{GS})$ eines N-Kanal Anreicherungs-MOSFETs ist in Abbildung 3.2(b) dargestellt. Ein Stromfluss I_D stellt sich ein, wenn die Gate-Source-Spannung U_{GS} der Schwellenspannung U_{Tn} entspricht. Die Schwellenspannung hängt von den Halbleitereigenschaften ab. Sie wird als Spannung definiert, die am Gate-Anschluss für ein abruptes Leiten des Transistors angelegt werden muss [80].

Der entscheidende Parameter beim Entwurf analoger Schaltungen ist der Drainstrom I_D des Transistors und seine Abhängigkeit von folgenden Parametern:

- Die Technologiegrößen, d.h. Beweglichkeit der Elektronen μ_n und der Oxidkapazitätsbelag C'_{ox} des Gate-Anchlusses. Diese Größen sind durch die verwendete CMOS-Technologie vorgegeben und während des Entwurfs nicht mehr beeinflussbar.
- Die Dimensionierung des Transistors, d.h. die Weite W und effektive Länge L_{eff} . Häufig wird die Länge des Transistors auf die Minimallänge L_{Min} der zur Verfügung stehenden Technologie gesetzt.
- Die Gate- und Drain-Spannungswerte U_{GS} bzw. U_{DS} bezüglich des Source-Potentials des Transistors. Die Spannungswerte legen die Betriebsart des Transistors fest.

In Tabelle 3.1 sind die Stromgleichungen I_D für die verschiedenen Betriebsarten eines N-Kanal Anreicherungstransistors unter Vernachlässigung der Effekte zweiter Ordnung zusammengefasst [81]. Dabei bezeichnet $\beta_{n,p}$ den Verstärkungsfaktor des Transistors:

$$\beta_{n,p} = \mu_{n,p} C'_{ox} \frac{W_{n,p}}{L_{eff}} = k_{n,p} \frac{W_{n,p}}{L_{eff}}. \quad (3.1)$$

Der Faktor $k_{n,p}$ beschreibt den Verstärkungsfaktor des Prozesses, der beim Schaltungsentwurf nicht beeinflussbar ist. Die Stromgleichungen des P-Kanal-Anreicherungstransistors können z.B. [81] entnommen werden.

Tabelle 3.1: Stromgleichungen eines N-Kanal Anreicherungs-MOSFETs [81].

Typ	Betriebsart	Voraussetzung	Drainstrom I_{Dn}
N-Kanal	Sperrung	$U_{GSn} - U_{Tn} \leq 0 \text{ V}$	$I_{Dn} = 0 \text{ A}$
N-Kanal	Widerstand	$0 \leq U_{DSn} \leq U_{GSn} - U_{Tn}$	$I_{Dn} = \beta_n \left[(U_{GSn} - U_{Tn}) U_{DSn} - \frac{U_{DSn}^2}{2} \right]$
N-Kanal	Linearer Widerstand	$U_{DSn} \ll 2(U_{GSn} - U_{Tn})$	$I_{Dn} \approx \beta_n (U_{GSn} - U_{Tn}) U_{DSn}$
N-Kanal	Sättigung	$U_{DSn} \geq U_{GSn} - U_{Tn}$	$I_{Dn} = \frac{1}{2} \beta_n (U_{GSn} - U_{Tn})^2$

Unter der Bedingung $U_{DSn} \ll 2(U_{GSn} - U_{Tn})$ verhält sich der N-Kanal Transistor entsprechend Abbildung 3.2(c) wie ein einstellbarer linearer Widerstand R_{Ein} mit dem Widerstandswert [80]

$$R_{Ein} = \frac{1}{\mu_n C'_{ox} \frac{W}{L} (U_{GSn} - U_{Tn})}. \quad (3.2)$$

Ein MOSFET im Sättigungsbetrieb kann als eine Stromquelle zwischen Source- und Drain-Anschluss modelliert werden, die Strom in den Masse-Anschluss speist oder aus der Versorgungsspannung entnimmt. In Abbildung 3.3(a) ist dieses Verhalten für einen N- bzw. P-Kanal MOSFET dargestellt. Ein Maß für die Qualität der Stromquelle ist die Steilheit g_m , welche die Änderung des Drainstromes I_D dividiert durch die Änderung der Gate-Source-Spannung U_{GS} angibt. Für einen N-Kanal MOSFET gilt:

$$g_m = \left. \frac{\partial I_D}{\partial U_{GS}} \right|_{U_{DS}=\text{const}} = \mu_n C'_{ox} \frac{W}{L} (U_{GSn} - U_{Tn}) = \sqrt{2\mu_n C'_{ox} \frac{W}{L} I_{Dn}} = \frac{2I_{Dn}}{U_{GSn} - U_{Tn}}. \quad (3.3)$$

Das Verhalten der Steilheit g_m in Abhängigkeit der in Gleichung (3.3) vorkommenden Größen ist in Abbildung 3.3(b) veranschaulicht [80].

Als Effekte zweiter Ordnung [80][81] werden unter anderem die Kanallängenmodulation und der Bulk-Effekt bezeichnet. In Abbildung 3.2(a) wird angenommen, dass der Drainstrom im Sättigungsbetrieb konstant ist. Tatsächlich wird die effektive Kanallänge L_{eff} mit steigender Drain-Source-Spannung im Sättigungsbetrieb kleiner, wodurch der Drainstrom I_D ansteigt. Die Stromgleichungen im Sättigungsbetrieb müssen durch den Faktor λ korrigiert werden. Der Faktor λ beschreibt dabei die relative Abweichung der Kanallänge L für eine inkrementelle Änderung der Drain-Source-Spannung:

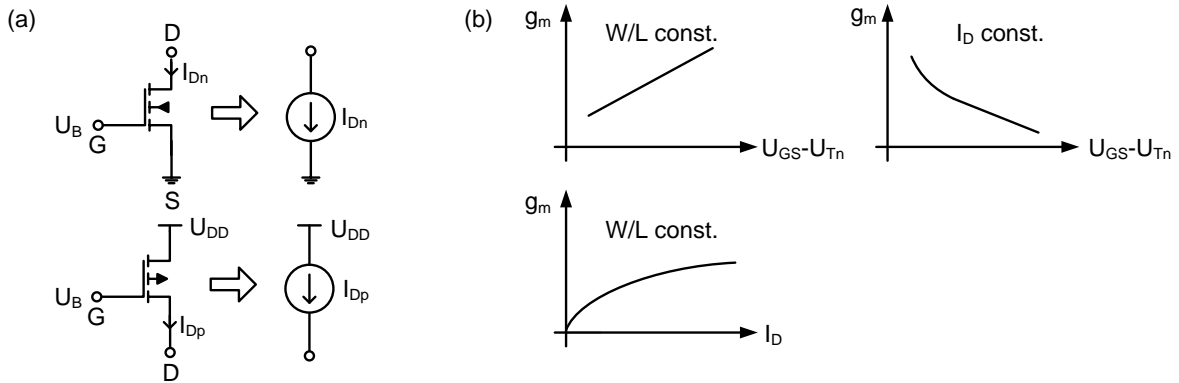


Abbildung 3.3: (a) N- und P-Kanal MOSFET als Stromquelle, (b) Verhalten der Steilheit g_m in Abhängigkeit der Größen aus Gleichung (3.3) [80].

$$I_{Dn} = \frac{1}{2} \beta_n (U_{GSn} - U_{Tn})^2 (1 + \lambda U_{DS}). \quad (3.4)$$

Normalerweise sind Bulk- und Source-Anschluss U_{SB} des Transistors kurzgeschlossen, d.h. sie haben gleiches Potential. Liegt der Bulk-Anschluss jedoch auf einem niedrigeren Potential als der Source-Anschluss, erhöht sich die Schwellenspannung U_{Th} des Transistors:

$$U_{Th} = U_{Th0} + \gamma \left(\sqrt{|2\phi_F + U_{SB}|} - \sqrt{|2\phi_F|} \right). \quad (3.5)$$

Dabei ist U_{Th0} die Schwellenspannung des Transistors, wenn Bulk- und Source-Anschluss auf gleichem Potential liegen. U_{SB} ist der Spannungsabfall zwischen Source- und Bulk-Anschluss. ϕ_F und γ sind physikalische Größen [81]. Man bezeichnet γ als Substratsteuerfaktor und ϕ_F als Fermipotential.

Die Stromgleichungen in Tabelle 3.1 basieren auf einem sehr einfachen Transistormodell und sind für große Kanallängen im μm -Bereich gültig. Für sehr kleine Kanallängen (Kurzkanalmodell) müssen die Stromgleichungen angepasst werden. Aktuelle Schaltungssimulatoren verwenden das sogenannte BSIM3 Modell und müssen ebenfalls an die ständigen Strukturverkleinerungen in der CMOS-Technologie angepasst werden [80]. Für ein grundlegendes Verständnis und zur Analyse analoger CMOS-Schaltungen ist das einfache Transistormodell ausreichend.

3.1.2 Parasitäre Kapazitäten und Kleinsignalersatzschaltbild

Parasitäre Kapazitäten

Die Stromgleichungen beschreiben das Gleichstromverhalten eines MOSFETs. Für eine Großsignal- bzw. Wechselstromanalyse müssen die parasitären Kapazitäten des Transistors berücksichtigt werden. In Abbildung 3.4(a) sind der physikalische Aufbau und in Abbildung 3.4(b) das Ersatzschaltbild eines N-Kanal MOSFETs mit den vorhandenen parasitären Kapazitäten eingezeichnet [80][81]. Folgende Kapazitäten können wirksam werden:

- Die arbeitspunktabhängigen Kapazitäten C_{GS} , C_{GD} und C_{GB} zwischen dem Kanal und Gate-Anschluss bzw. Gate- und Bulk-Anschluss.

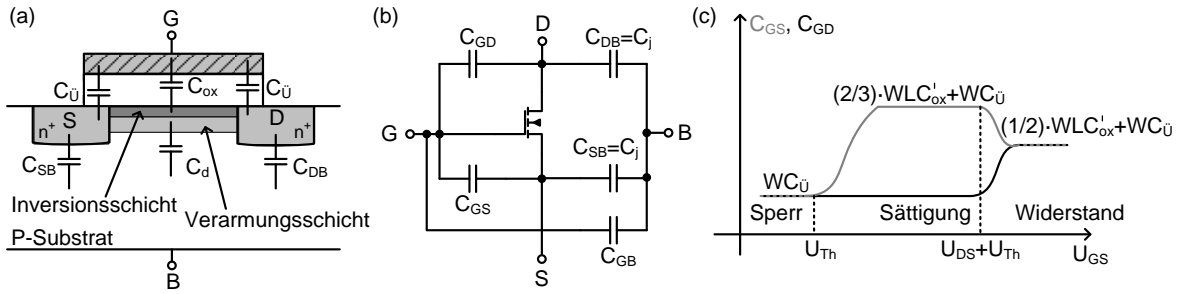


Abbildung 3.4: (a) Physikalischer Aufbau eines N-Kanal MOSFETs mit parasitären Kapazitäten, (b) Kleinsignalersatzschaltbild, (c) arbeitspunktabhängiger Verlauf der parasitären Kapazitäten C_{GS} und C_{GD} [80][81].

- Die Überlappkapazität $C_{\bar{U}}$ zwischen dem Polygate-Anschluss und den hochdotierten Source- und Drain-Gebieten. Sie können als spannungsunabhängige und geometrieabhängige Plattenkondensatoren modelliert werden. Man unterscheidet zwischen flächen- und umfangabhängigen Größen.
- Die Sperrschichtkapazitäten $C_j = C_{SB} = C_{DB}$ zwischen den Drain- und Source-Gebieten und dem Substrat. Sie lassen sich entsprechend einer PN-Diode modellieren. Die Sperrschichtkapazität setzt sich ebenfalls aus flächen- und umfangabhängigen Größen zusammen.

Je nach Arbeitsgebiet des Transistors teilt sich die geometrische intrinsische Gateoxidskapazität C_{Gi} in einen C_{GD} und C_{GS} Anteil auf. Für C_{Gi} gilt

$$C_{Gi} = C'_{ox} WL \text{ mit } C'_{ox} = \frac{\epsilon_0 \epsilon_{SiO_2}}{d_{ox}}. \quad (3.6)$$

Im Sperrbetrieb ist noch kein leitender Kanal vorhanden. Die Kapazitäten C_{GD} und C_{GS} entsprechen der Überlappkapazität $C_{\bar{U}}$. Die Gate-Bulk-Kapazität C_{GB} setzt sich aus einer Serienschaltung der Gateoxidskapazität C_{Gi} mit der Verarmungsschichtkapazität C_d zusammen

$$C_d = WL \sqrt{q \epsilon_{Si} N_{Sub} / (4 \phi_F)} \text{ für } U_{FB} \leq U_{GS} \leq U_{Th} \\ C_d = 0 \text{ für } U_{GS} \leq U_{FB}. \quad (3.7)$$

U_{FB} bezeichnet dabei die Flachbandspannung. Befindet sich der Transistor im linearen Widerstandsbetrieb, liegt am Drain- und Source-Anschluss ungefähr dasselbe Potential an. Eine Änderung der Gate-Spannung führt zu einer gleichen Änderung der Ladungsträger am Source- und Drain-Anschluss. Die Gateoxidskapazität C_{ox} teilt sich deshalb gleichmäßig auf die Kapazitäten C_{GD} und C_{GS} auf. Die Überlappkapazitäten sind zusätzlich zu addieren

$$C_{GS} = C_{GD} = \frac{1}{2} WLC'_{ox} + WC_{\bar{U}}. \quad (3.8)$$

Die Gate-Bulk-Kapazität C_{GB} ist vernachlässigbar.

Im Sättigungsbetrieb kann der Spannungsabfall zwischen Gate-Anschluss und Kanal Werte von U_{GS} am Source-Anschluss bis zu $U_{GS} - U_{Th}$ am Abschnürpunkt annehmen. Die Verteilung des vertikalen elektrischen Feldes im Gateoxid ist daher entlang des Kanals nicht

mehr gleichförmig. Die Gate-Drain-Kapazität C_{GD} entspricht ungefähr der Überlappkapazität $C_{\ddot{U}}$, wohingegen für die Gate-Source-Kapazität C_{GS} gilt

$$C_{GS} = \frac{2}{3} WLC'_{ox} + WC_{\ddot{U}}. \quad (3.9)$$

Die Gate-Bulk-Kapazität C_{GB} ist ebenfalls vernachlässigbar klein.

Abbildung 3.4(c) veranschaulicht die Abhängigkeit der Gate-Source- und Gate-Drain-Kapazitäten C_{GS} bzw. C_{GD} von der Betriebsart des Transistors. Tabelle 3.2 fasst alle wirk-samen Kapazitäten des Transistors in Abhängigkeit von der Betriebsart zusammen.

Tabelle 3.2: Wirksame Kapazitäten eines N-Kanal Anreicherungs-MOSFETs in Abhän-gigkeit von der Betriebsart.

Kapazität	Sperrbetrieb	Sättigungsbetrieb	Widerstandsbetrieb
C_{GS}	$WC_{\ddot{U}}$	$(2/3)WLC'_{ox} + WC_{\ddot{U}}$	$(1/2)WLC'_{ox} + WC_{\ddot{U}}$
C_{GD}	$WC_{\ddot{U}}$	$WC_{\ddot{U}}$	$(1/2)WLC'_{ox} + WC_{\ddot{U}}$
C_{GB}	$\frac{(WLC'_{ox})C_d}{WLC'_{ox} + C_d}$	vernachlässigbar	vernachlässigbar
$C_{DB} = C_{SB}$	C_j	C_j	C_j

Kleinsignalersatzschaltbild

Bei kleinen Änderungen der Eingangsspannung um den gewählten Arbeitspunkt des Tran-sistors kann zur Vereinfachung der Schaltungsanalyse ein linearisiertes Kleinsignalersatz-schaltbild abgeleitet werden. In den meisten analogen CMOS-Schaltungen werden die Transistoren im Sättigungsbereich betrieben. Befinden sich die Transistoren im Wider-standsbereich, ist es ausreichend, den Transistor als linearen Widerstand entsprechend Gleichung (3.2) zusammen mit den entsprechenden parasitären Kapazitäten zu modellie-ren. Das Kleinsignalersatzschaltbild eines idealen MOSFETs kann nach Abbildung 3.5(a) als spannungsgesteuerte Stromquelle mit der Steilheit g_m dargestellt werden. Die Analyse von CMOS-Schaltungen kann ausgehend vom idealen Kleinsignalersatzschaltbild unter Berücksichtigung der Effekte zweiter Ordnung und der parasitären Kapazitäten verfeinert werden. Abbildung 3.5(b) zeigt das vollständige Kleinsignalersatzschaltbild eines N-Kanal MOSFETs. Die Kanallängenmodulation wird durch den Widerstand r_0 und der Bulkeffekt durch die Stromquelle mit der Steilheit g_{mb} modelliert. Weiterhin sind die arbeitspunkt-ab-

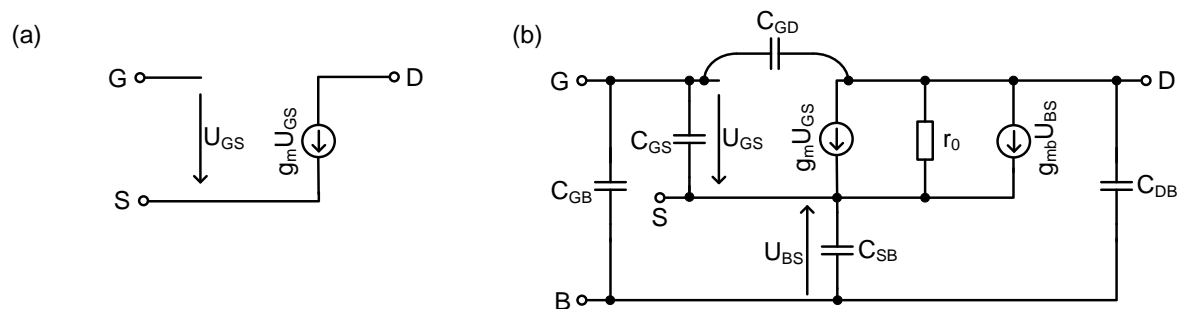


Abbildung 3.5: (a) Ideales Kleinsignalersatzschaltbild, (b) vollständiges Kleinsignalersatzschaltbild [80].

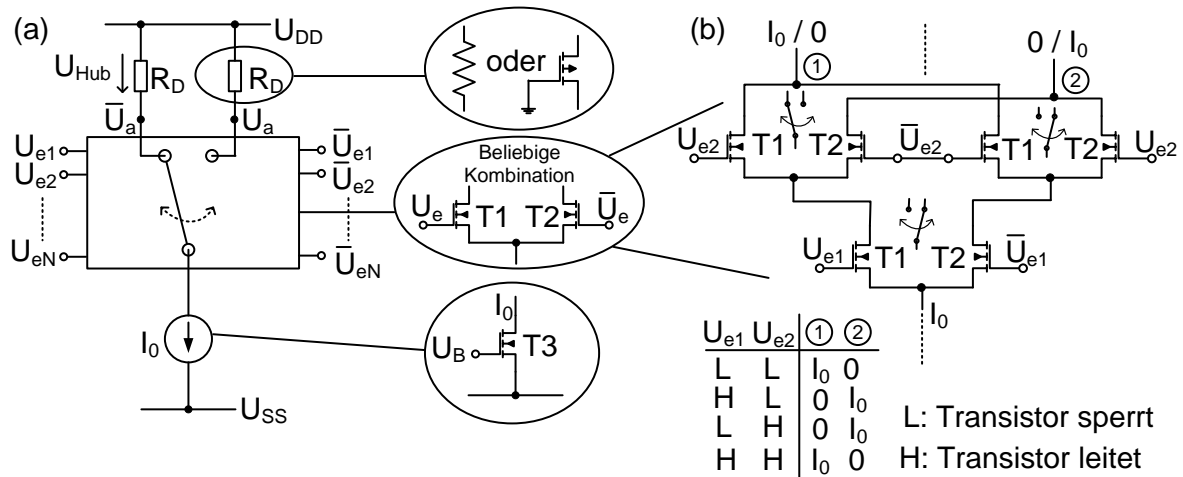


Abbildung 3.6: (a) Grundsätzlicher Aufbau eines Stromschalterlogikgatters [82], (b) Beispiel für eine Logikzelle.

hängigen parasitären Kapazitäten des Transistors eingezeichnet.

In Tabelle 3.3 sind die Parameter des Kleinsignalersatzschaltbildes ohne Kanallängenmodulation, d.h. $\lambda=0$, zusammengefasst [81].

Tabelle 3.3: Parameter des Kleinsignalersatzschaltbildes für $\lambda=0$ [81].

Parameter	Sättigungsbereich	Widerstandsbereich
$g_m = \frac{\partial I_D}{\partial U_{GS}}$	$g_m = \beta(U_{GS} - U_{Th})$	$g_m = \beta U_{DS}$
$g_{mb} = \frac{\partial I_D}{\partial U_{BS}}$	$g_{mb} = \gamma \frac{\beta(U_{GS} - U_{Th})}{2\sqrt{2 \phi_F - U_{BS}}}$	$g_{mb} = \frac{\gamma\beta U_{DS}}{2\sqrt{2 \phi_F - U_{BS}}}$
$g_0 = \frac{1}{r_0} = \frac{\partial I_D}{\partial U_{DS}}$	$g_0 = \lambda I_D = 0$	$g_0 = \beta(U_{GS} - U_{Th} - U_{DS})$

3.2 Stromschaltertechnik

Zunächst werden die Eigenschaften der Stromschaltertechnik und der statischen CMOS-Logik miteinander verglichen. Daraufhin folgt eine detaillierte Analyse der Grundzelle der Stromschaltertechnik. Es werden Hinweise zur Kaskadierung und Dimensionierung von Stromschaltergatter gegeben. Die Ausgangsbandbreite eines Gatters kann durch die Technik der induktiven Spannungsüberhöhung gesteigert werden. Das Kapitel schließt mit der Realisierung und Untersuchung von Stromquellen in CMOS-Technologie.

3.2.1 Prinzip, Eigenschaften und Vergleich mit statischer CMOS-Logik

Prinzip

Ein Stromschalterlogikgatter besteht aus drei Elementen: Lastwiderstände, Umschalter und einer Stromquelle. In Abbildung 3.6(a) ist der grundsätzliche Aufbau dargestellt [82]. Die Widerstände R_D können durch lineare Widerstände oder P-Kanal Transistoren realisiert werden. Der Umschalter in Abbildung 3.6(a) stellt eine beliebige Kombination von diffe-

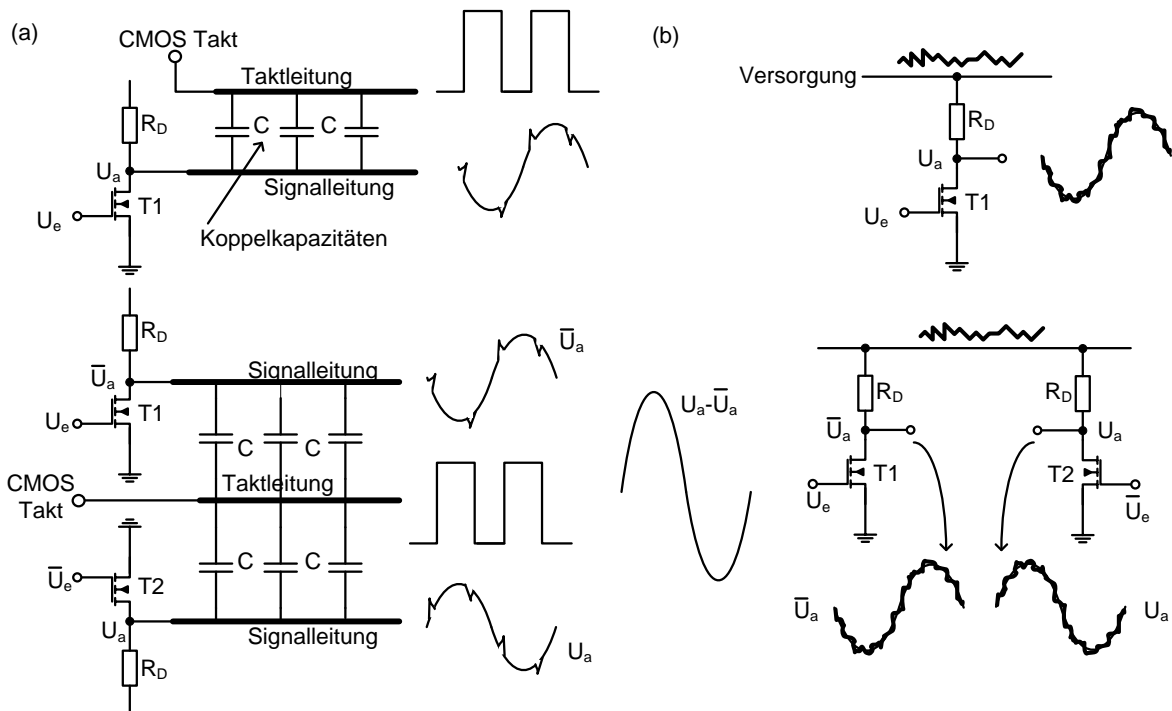


Abbildung 3.7: Auswirkungen von Störern auf die Signalleitungen durch (a) Einkopplungen und (b) Schwankungen der Versorgungsspannung [80].

rentiellen Transistorpaaren dar. Entsprechend der Verdrahtung der Umschalter können Logikfunktion, Speicherzellen, aber auch einfache Verstärker bzw. Inverter aufgebaut werden. Abbildung 3.6(b) zeigt beispielhaft eine Kombination von differentiellen Transistorpaaren für eine XOR-Funktion. In Abhängigkeit der differentiellen Eingangssignale U_e und \bar{U}_e wird ein Großteil des Stroms I_0 durch nur einen Zweig geschaltet. Dadurch entsteht an einem der beiden Lastwiderstände R_D ein Spannungsabfall U_a bzw. \bar{U}_a , wohingegen durch den anderen Zweig kein Strom fließt und damit keine Spannung an R_D abfällt. Der Strom I_0 kann über einfache Stromquellen bzw. Stromspiegel erzeugt werden. Der Ausgangsspannungshub U_{Hub} ist durch die Stromquelle I_0 und den Widerstandswert R_D festgelegt.

Eigenschaften der Stromschaltertechnik und Vergleich mit statischer CMOS-Logik

Stromschaltergatter verbrauchen einen konstanten Strom unabhängig von der Schaltfrequenz des Gatters. Der Strom wird umgeschaltet und nicht ein- bzw. ausgeschaltet, wie es beispielsweise in statischer CMOS-Logik üblich ist. Daher gibt es nur sehr geringe Schwankungen auf den Versorgungsleitungen.

Aufgrund der differentiellen Architektur und Signalführung werden Gleichtaktstörungen im differentiellen Ausgangssignal unterdrückt. Gleichtaktstörungen können im Gleichtaktsignal am Eingang und durch Schwankungen auf der Versorgungsspannung entstehen. Stromschaltergatter sind daher störungsempfindlich und eignen sich sehr gut als analoge Verstärker. In Abbildung 3.7 sind beispielhaft die Auswirkungen von Störern in Form von Schwankungen auf der Versorgungsleitung (b) oder durch unerwünschte Einkopplungen (a) auf die Signalleitungen für ein differentielles und ein nicht-differentielles Signal dargestellt [80].

Weiterhin lässt sich ein nicht-invertierender Treiber bzw. Verstärker aufgrund der differentiellen Signalführung mit nur einem einzigen Gatter und der entsprechenden Verdrahtung

realisieren. In statischer CMOS-Logik sind dafür mindestens zwei Inverter notwendig, wodurch sich die Gesamtverzögerungszeit erhöht. Die Schaltfunktionen eines Stromschaltergatters sind ausschließlich aus N-Kanal Transistoren aufgebaut, wodurch sehr schnelle Schaltungen realisiert werden können.

Nachteilig an der Stromschalterlogik sind der hohe statische Stromverbrauch und der größere Flächenbedarf im Vergleich zur statischen CMOS-Logik.

In Tabelle 3.4 werden charakteristische Leistungsmerkmale der Stromschaltertechnik und der statischen CMOS-Logik miteinander verglichen [83]. Dabei wird von einer Kette bestehend aus N identischen in Serie geschalteten Gattern ausgegangen. Jedes Gatter sieht die gleiche Last C_L . Der Parameter k hängt vom Prozess [84] und der Parameter α von der Transistorweite [84] ab.

Tabelle 3.4: Charakteristische Leistungsmerkmale der Stromschaltertechnik und der statischen CMOS-Logik [83].

Leistungsmerkmal	Stromschaltertechnik	Statische CMOS-Logik
Gesamtverzögerungszeit t_d	$N \cdot R_D \cdot C_L = \frac{N \cdot C_L \cdot U_{Hub}}{I_0}$	$\frac{N \cdot C_L \cdot U_{DD}}{(k/2) \cdot (U_{DD} - U_{Th})^\alpha}$
Gesamtleistung P	$N \cdot I_0 \cdot U_{DD}$	$\frac{N \cdot C_L \cdot U_{DD}^2}{t_d} = \frac{k \cdot (U_{DD} - U_{Th})^\alpha}{2}$
$P \cdot t_d$	$N^2 \cdot C_L \cdot U_{Hub} \cdot U_{DD}$	$N \cdot C_L \cdot U_{DD}^2$
$E \cdot t_d$	$\frac{N^3 \cdot C_L^2 \cdot U_{DD} \cdot U_{Hub}^2}{I_0}$	$N^2 \cdot 2 \cdot \frac{C_L^2}{k} \cdot \frac{U_{DD}^2}{(U_{DD} - U_{Th})^\alpha}$

Das Energie-Verzögerungszeit-Produkt $E \cdot t_d$ der Stromschaltertechnik hat im Vergleich zur statischen CMOS-Logik kein theoretisches Minimum [85]. Geht man von festen Werten für C_L , U_{Hub} und U_{DD} aus, kann das Produkt nur durch Erhöhen des Stromes I_0 minimiert werden, was nicht beliebig möglich ist. Weiterhin ist eine quadratische Abhängigkeit zum Ausgangsspannungshub U_{Hub} vorhanden. Es bietet sich daher an, den Ausgangsspannungshub möglichst gering zu halten. Für eine sichere Funktion der Schaltung kann der Hub nicht beliebig klein gemacht werden.

Bildet man das Verhältnis des Leistungs-Verzögerungszeit-Produktes $P \cdot t_d$ zwischen der Stromschaltertechnik und der statischen CMOS-Logik, gilt bei gleicher Versorgungsspannung U_{DD}

$$\frac{(P \cdot t_d)_{CML}}{(P \cdot t_d)_{CMOS}} = N \cdot \frac{U_{Hub}}{U_{DD}}. \quad (3.10)$$

Das Leistungs-Verzögerungszeit-Produkt der Stromschaltertechnik nimmt dabei aufgrund des statischen Stromverbrauchs linear mit der Anzahl N an identischen Gattern in Serie zu. Es ist daher ratsam, die Anzahl der Gatter in Stromschaltertechnik gering zu halten.

Die Stromschaltertechnik eignet sich folglich ideal für Höchstgeschwindigkeits- und Mischsignalschaltungen. Für Höchstintegration und niedrige Taktraten ist weiterhin die statische CMOS-Logik vorzuziehen.

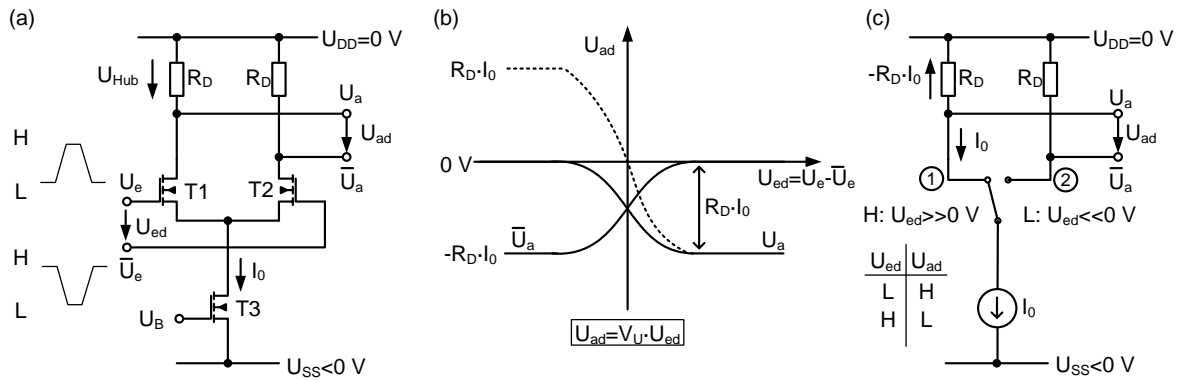


Abbildung 3.8: (a) Einstufige Grundzelle der Stromschaltertechnik, (b) Ausgangsspannungen, (c) Verhalten als Logikgatter [86].

3.2.2 Einstufige Grundzelle

Verhaltensmodell

Abbildung 3.8(a) zeigt die einstufige Grundzelle der Stromschalterlogik. Die Signalführung ist differentiell, d.h. die Eingangs- und Ausgangssignale liegen in negierter und nicht-negierter Form vor. Die Grundzelle besteht aus den Transistoren T1 und T2, die zusammen ein differentielles Paar bzw. einen Umschalter mit den Eingängen U_e und \bar{U}_e bilden. Es wird angenommen, dass die differentielle Eingangsspannung $U_{ed} = U_e - \bar{U}_e$ groß genug ist, um den Strom I_0 des Stromquellentransistors T3 vollständig durch den linken oder rechten Zweig zu schalten. Die Transistoren T1 und T2 müssen sich dazu im Sättigungsbetrieb befinden. Es entstehen die Spannungsabfälle U_a bzw. \bar{U}_a an den Lastwiderständen R_D der Drain-Anschlüsse der Transistoren T1 und T2. Der Ausgangsspannungshub U_{Hub} ist dabei durch den Widerstandswert R_D und die Stromquelle I_0 festgelegt:

$$U_{Hub} = R_D I_0. \quad (3.11)$$

Für den differentiellen Ausgangsspannungshub $U_{Hub,d}$ gilt

$$U_{Hub,d} = 2 \cdot R_D I_0. \quad (3.12)$$

In Abbildung 3.8(b) sind die Ausgangsspannungen U_a , \bar{U}_a und die differentielle Ausgangsspannung $U_{ad} = U_a - \bar{U}_a$ in Abhängigkeit von der differentiellen Eingangsspannung U_{ed} dargestellt. Die minimale (L) und maximale Ausgangsspannung (H) $U_{aL,H}$ an den Drainwiderständen R_D ist gegeben durch

$$U_{aL} = U_{DD} - R_D I_0 = -R_D I_0, \quad U_{aH} = U_{DD} = 0\text{ V}, \quad U_{ad,LH} = \pm R_D I_0. \quad (3.13)$$

Die Stromschaltergrundzelle hat einerseits die Funktion eines analogen Differenzverstärkers entsprechend Abbildung 3.8(b), der die differentielle Eingangsspannung U_{ed} mit dem Faktor V_U verstärkt [86]. Andererseits kann die Grundzelle als Stromschalterinverter und somit als digitale Logikschaltung interpretiert werden. In Abbildung 3.8(c) ist dieses Verhaltensmodell dargestellt. Beträgt die differentielle Eingangsspannung $U_{ed} \gg 0\text{ V}$ (H), befindet sich der Umschalter in Stellung 1. Der gesamte Strom fließt durch den linken Zweig

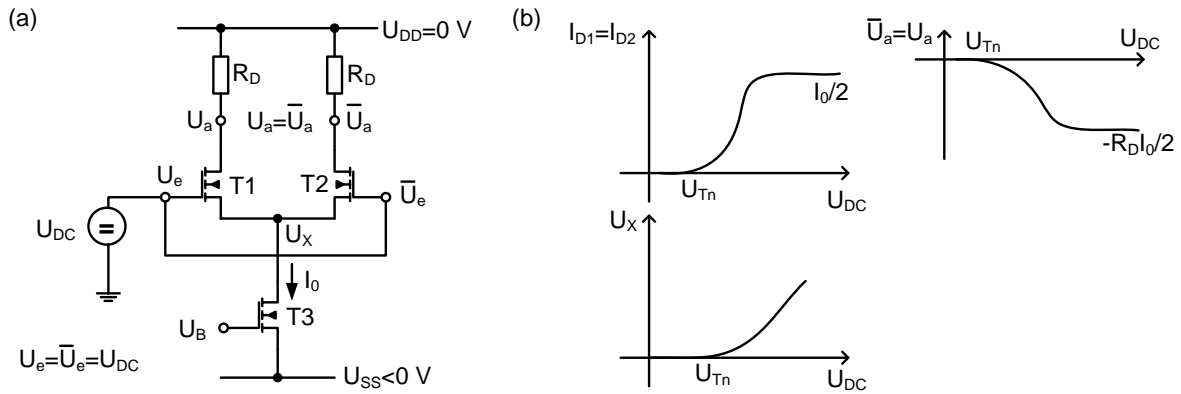


Abbildung 3.9: (a) ESB zur Bestimmung des Gleichtaktausgangsspannungspegels, (b) Strom- und Spannungsverläufe beim Erhöhen der Gleichtakteingangsspannung [80].

und verursacht eine negative differentielle Ausgangsspannung U_{ad} . Umgekehrt ist die differentielle Ausgangsspannung U_{ad} positiv, wenn eine negative differentielle Eingangsspannung $U_{ed} \ll 0V$ (L) anliegt. Der Umschalter befindet sich in Stellung 2. Die Grundzelle verhält sich wie ein Inverter.

Stromschaltergrundzellen haben einen konstanten Leistungsverbrauch P , der durch die verwendete Stromquelle I_0 und die Spannungsversorgung U_{SS} festgelegt ist:

$$P = |U_{SS} I_0|. \quad (3.14)$$

Der dynamische Leistungsverbrauch ist vernachlässigbar klein [87].

Minimaler und maximaler Gleichtakteingangs- und Ausgangsspannungsbereich einer Stromschaltergrundzelle

Zur Bestimmung des minimalen und maximalen Gleichtakteingangsspannungspegels $U_{e,DC}$ werden die differentiellen Eingänge entsprechend Abbildung 3.9(a) kurzgeschlossen, d.h. $U_e = \bar{U}_e = U_{DC}$. Der minimale Gleichtakteingangsspannungspegel ist erreicht, wenn der Stromquellentransistor T3 im Sättigungsbetrieb leitet, d.h. es gilt $U_{DS,T3} = U_{GS,T3} - U_{Tn}$. Der Gesamtstromfluss durch die im Sättigungsbetrieb leitenden Transistoren T1 und T2 ist dann konstant. Sobald sich die Transistoren T1 und T2 im Widerstandsbereich befinden, ist der maximale Gleichtakteingangsspannungspegel erreicht. Für den Gleichtakteingangsspannungsbereich gilt [80]

$$U_{GS1,2} + U_{DS3,sat} + U_{SS} \leq U_{e,DC} \leq -\frac{R_D I_0}{2} + U_{Tn}, \text{ bzw.} \quad (3.15)$$

$$U_{GS1,2} + (U_B - U_{Tn}) \leq U_{e,DC} \leq -\frac{R_D I_0}{2} + U_{Tn}.$$

Der Gleichtaktausgangsspannungspegel $U_a = \bar{U}_a = U_{a,DC}$ kann dementsprechend Werte zwischen

$$-R_D I_0 / 2 \leq U_{a,DC} \leq 0V \quad (3.16)$$

annehmen. Der maximale Gleichtaktausgangsspannungspegel beträgt 0 V, wenn die Transistoren T1 und T2 sperren und der Transistor T3 im Widerstandsbereich ist. Leiten alle Transistoren im Sättigungsbetrieb, stellt sich am Ausgang der Gleichtaktspannungspegel $-R_D I_0/2$ ein. Abbildung 3.9(b) veranschaulicht die Strom- und Spannungsverläufe im Fall einer Erhöhung der Gleichakteingangsspannung.

Großsignalanalyse und Übertragungskennlinie der Stromschaltergrundzelle

Unter der Annahme, dass die Gleichtaktspannungspegel innerhalb der in (3.15) bzw. (3.16) definierten Grenzen liegen, kann eine Großsignalanalyse durchgeführt werden. Dabei wird vorausgesetzt, dass die Transistoren T1 und T2 im Sättigungsbetrieb sind und eine symmetrische Dimensionierung vorliegt ($T1=T2$, $R_{D1}=R_{D2}$). Eine kleine Änderung der Eingangsspannungsdifferenz zwischen U_e und \bar{U}_e um den gewählten Arbeitspunkt führt zu einer entsprechenden Stromdifferenz $\Delta I=I_{D1}-I_{D2}$. Daraus folgt unter Berücksichtigung von Sättigungsbetrieb der MOSFETs für die Übertragungskennlinie $U_{ad}=f(U_{ed})$ [88]

$$U_{ad} = R_D \Delta I_D = -R_D (I_{D1} - I_{D2}) = -\frac{1}{2} \mu_n C'_{ox} \frac{W}{L} R_D U_{ed} \sqrt{\frac{4I_0}{\mu_n C'_{ox} \frac{W}{L}} - U_{ed}^2}. \quad (3.17)$$

Durch Differenzieren von (3.17) erhält man die nicht-lineare Großsignalspannungsverstärkung V_U [88]

$$V_U = \left| \frac{\partial U_{ad}}{\partial U_{ed}} \right| = \frac{1}{2} \mu_n C'_{ox} \frac{W}{L} R_D \frac{2U_{ed,max}^2 - 2U_{ed}^2}{\sqrt{2U_{ed,max}^2 - U_{ed}^2}} \quad (3.18)$$

mit der maximalen differentiellen Eingangsspannung $U_{ed,max}$

$$U_{ed,max} = \sqrt{2I_0 / (\mu_n C'_{ox} (W/L))}. \quad (3.19)$$

Sobald die maximale differentielle Eingangsspannung $U_{ed,max}$ überschritten wird, d.h. $U_{ed} < -U_{ed,max}$ oder $U_{ed} > +U_{ed,max}$, leitet ein Transistor des differentiellen Paares den gesamten Strom I_0 , und der andere Transistor sperrt. Um die Analyse zu vereinfachen, wird zur Linearisierung der Mittelwert aus (3.18) gebildet [88]

$$V_U = \frac{\int_0^{U_{ed,max}} V_U(U_{ed}) d(U_{ed})}{\int_0^{U_{ed,max}} d(U_{ed})} = \sqrt{\frac{1}{2} \mu_n C'_{ox} \frac{W}{L} I_0 R_D} = \frac{g_{I0}}{\sqrt{2}} R_D = \frac{v_{U0}}{\sqrt{2}}, \quad (3.20)$$

$$\text{wobei } v_{U0} = \sqrt{\mu_n C'_{ox} \frac{W}{L} I_0 R_D} = U_{Hub} \sqrt{\mu_n C'_{ox} \frac{W}{L I_0}} = g_{I0} R_D \quad (3.21)$$

die Kleinsignalgleichspannungsverstärkung des differentiellen Paares für $U_{ed}=0$ V ist [87]. Diese Verstärkung ist hinsichtlich der Stabilität und Signalregenerationsfähigkeit ein entscheidender Parameter beim Grundzellenentwurf. Mit Hilfe von (3.19) und (3.21) lässt sich die Übertragungsfunktion entsprechend (3.17) in kompakter Form darstellen

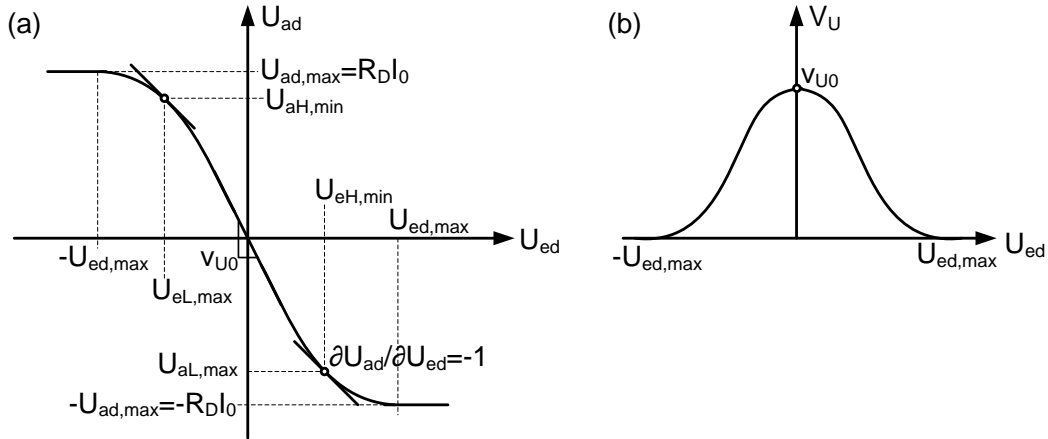


Abbildung 3.10: (a) Übertragungskennlinie und (b) Spannungsverstärkung einer einstufigen Stromschaltergrundzelle.

$$U_{ad} = \begin{cases} R_D I_0 = U_{ed,max} \frac{v_{U0}}{\sqrt{2}} & \text{für } U_{ed} < -U_{ed,max} \\ -v_{U0} U_{ed} \sqrt{1 - \frac{1}{2} \frac{U_{ed}^2}{U_{ed,max}^2}} & \text{für } |U_{ed}| \leq U_{ed,max} \\ -R_D I_0 = -U_{ed,max} \frac{v_{U0}}{\sqrt{2}} & \text{für } U_{ed} > +U_{ed,max} \end{cases} \quad (3.22)$$

In Abbildung 3.10(a) sind die Übertragungskennlinie $U_{ad}=f(U_{ed})$ und in (b) die Spannungsverstärkung V_U einer Stromschaltergrundzelle beispielhaft dargestellt.

Störabstand

Laut Definition gilt für den Störabstand (engl. NM – Noise Margin) eines Logikgatters [89]

$$NM_H = U_{aH,min} - U_{eH,min} \quad \text{bzw.} \quad NM_L = U_{eL,max} - U_{aL,max} \quad (3.23)$$

Die Eingangsspannungen $U_{eL,max}$ und $U_{eH,min}$ sind die Werte auf der Übertragungskennlinie mit der Steigung $\partial U_{ad}/\partial U_{ed}=-1$, und $U_{aL,max}$ bzw. $U_{aH,min}$ sind die entsprechenden Ausgangsspannungswerte.

Stromschaltergatter sind störunempfindlich gegenüber Rauschen und erlauben daher auch kleine Störabstände. Aus praktischer Sicht sind Störabstände, die 40% des Ausgangsspannungshubes U_{Hub} entsprechen, für eine sichere Funktion ausreichend. Für den Störabstand gilt aufgrund der Ursprungssymmetrie von Gleichung (3.22) $NM=NM_L=NM_H$ [90]

$$NM = U_{Hub} \left(\frac{\sqrt{4v_{U0}^2 - 1} - \sqrt{8v_{U0}^2 + 1}}{v_{U0}^2 \sqrt{2}} \right) \cdot \left(\frac{\sqrt{4v_{U0}^2 - 1} + \sqrt{8v_{U0}^2 + 1}}{2\sqrt{2}} \right) \quad (3.24)$$

In Abbildung 3.10(a) sind die relevanten Größen zur Berechnung des Störabstandes eingezeichnet.

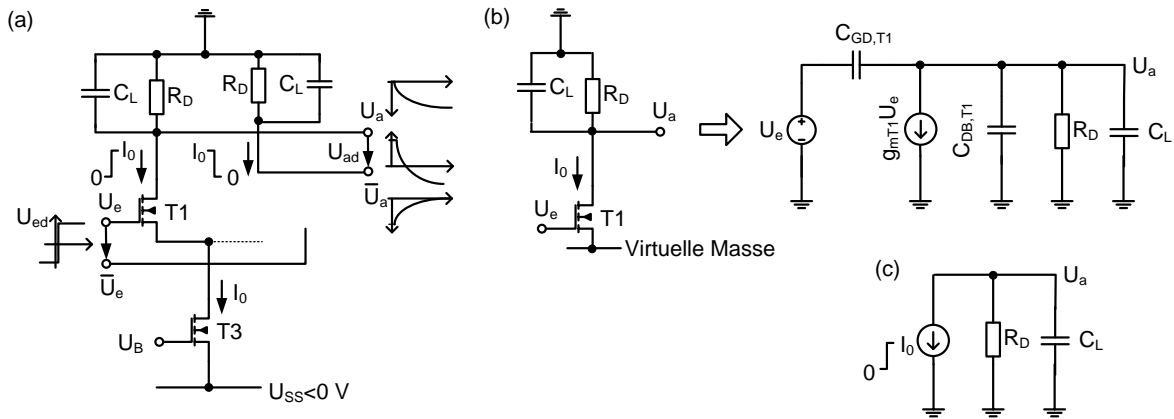


Abbildung 3.11: (a) Stromschaltergrundzelle mit externer Lastkapazität [86], (b) RC-Kleinsignalersatzschaltbild [91], (c) Kleinsignalersatzschaltbild für einen Spannungssprung am Eingang.

Kleinsignalanalyse und dynamisches Verhalten

Das dynamische Verhalten einer Stromschaltergrundzelle lässt sich aufgrund des geringen Signalhubs U_{Hub} durch das linearisierte Kleinsignalersatzschaltbild des Transistors T1 bzw. T2 beschreiben. In Abbildung 3.11(a) sind ein Zweig der Stromschaltergrundzelle mit externer Lastkapazität C_L und in (b) das entsprechende RC-Kleinsignalersatzschaltbild mit den internen Lastkapazitäten $C_{L,int}$ des Transistors T1 am Umladeknoten dargestellt [91]. Für die Analyse ist ein Zweig ausreichend, da die Stromschaltergrundzelle symmetrisch und der Eingang differentiell sind. Die Source-Spannung der Transistoren T1 bzw. T2 ist annähernd konstant und kann als virtuelle Masse betrachtet werden [80][92]. Geht man von idealen Transistoren T1 bzw. T2 (Umschalter) und einem Spannungssprung am Eingang der Grundzelle aus, kann das Kleinsignalersatzschaltbild entsprechend Abbildung 3.11(c) weiter vereinfacht werden. C_L und R_D beschreiben dabei die gesamte kapazitive und resistive Last am Umladeknoten. In Abbildung 3.11(a) sind qualitativ die Ausgangssignale für einen Spannungssprung der differentiellen Eingangsspannung U_{ed} dargestellt [86]. Der Strom I_0 ändert sich dabei ebenfalls sprunghaft, wohingegen die Ausgangssignale exponentiell mit einer Zeitkonstante τ einschwinge. Die Zeitkonstante τ kann mit Hilfe der Übertragungsfunktion des vereinfachten Kleinsignalersatzschaltbildes bestimmt werden zu

$$\tau = R_D C_L. \quad (3.25)$$

Damit lässt sich die 3dB-Grenzfrequenz der Grundzelle angeben

$$f_{3dB} = \frac{1}{2\pi\tau}. \quad (3.26)$$

Für die exponentiellen Einschwingvorgänge am Ausgang gilt unter der Annahme eines Spannungssprungs am Eingang und einer einpoligen Übertragungsfunktion der Grundzelle [82] entsprechend Abbildung 3.11(c)

$$U_{ad}(t) = U_a(t) - \bar{U}_a(t) = (-U_{Hub}(1 - e^{-t/\tau})) - (-U_{Hub}e^{-t/\tau}) = U_{Hub}(-1 + 2e^{-t/\tau}). \quad (3.27)$$

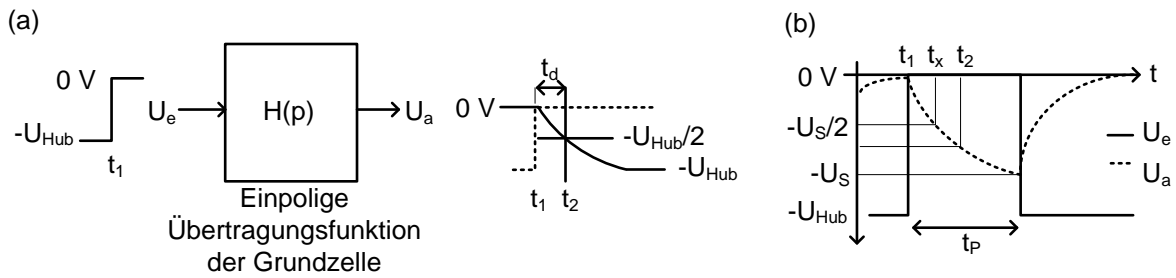


Abbildung 3.12: (a) Exponentieller Einschwingvorgang am Ausgang unter der Annahme eines Spannungssprungs am Eingang, (b) Einschwingverhalten des Ausgangssignals für sehr hohe Datenraten [82].

Die Verzögerungszeit t_d ist bei differentieller Signalführung als die zeitliche Differenz zwischen dem Nulldurchgang des Eingangssignals $U_{ed}(t)$ und des Ausgangssignals $U_{ad}(t)$ der Grundzelle definiert. Für die nachfolgenden Berechnungen wird das Ausgangssignal $U_a(t)$ betrachtet. Die Verzögerungszeit t_d berechnet sich entsprechend Abbildung 3.12(a) als die Zeitdifferenz, bei der das Eingangs- und Ausgangssignal den halben Spannungshub $U_{\text{Hub}}/2$ (50%) entsprechend Gleichung (3.11) erreicht haben:

$$t_d = t_2 - t_1 = \tau \cdot \ln(2) \quad \text{mit} \quad \tau \ll \frac{1}{f_D}. \quad (3.28)$$

Gleichung (3.28) ist für Zeitkonstanten τ gültig, die sehr viel kleiner als die Eingangsdatenrate $T_D=1/f_D$ sind. Bei sehr hohen Eingangsdatenraten kann das Ausgangssignal nicht mehr auf den Spannungsendwert U_{Hub} einschwingen. In Abbildung 3.12(b) ist das Einschwingverhalten des Ausgangssignals U_a für sehr hohe Datenraten dargestellt. Das Ausgangssignal schwingt nur noch auf den Wert $-U_S$ ein. Für die Verzögerungszeit des Grundgatters gilt dementsprechend

$$t_d = t_x - t_1 = \tau \cdot \ln\left(\frac{2}{1 + e^{-t_p/\tau}}\right). \quad (3.29)$$

Die Pulsdauer t_p hängt dabei von der Eingangsdatenrate $T_D=1/f_D$ ab. Weitere Modellverbesserungen zur Berechnung der Verzögerungszeit sind in [82] zu finden.

Die Anstiegszeit ist als die Zeitdauer definiert, die das Ausgangssignal benötigt, um von 10% des Anfangswertes auf 90% des Endwertes anzusteigen. Einsetzen dieser Bedingung in (3.27) liefert

$$t_{\text{HL}} = 2,2\tau. \quad (3.30)$$

Ist die Grundzelle symmetrisch dimensioniert, sind Anstiegs- und Abfallzeiten $t_{\text{HL}}=t_{\text{LH}}$ gleich groß.

Bestimmung der externen Lastkapazität

Zur Bestimmung der externen Lastkapazität C_L werden die Ausgänge des Grundgatters mit den Eingängen eines Folgegatters belastet. In Abbildung 3.13(a) sind zwei identische kaskadierte Grundzellen dargestellt. Der Lastknoten ist hervorgehoben.

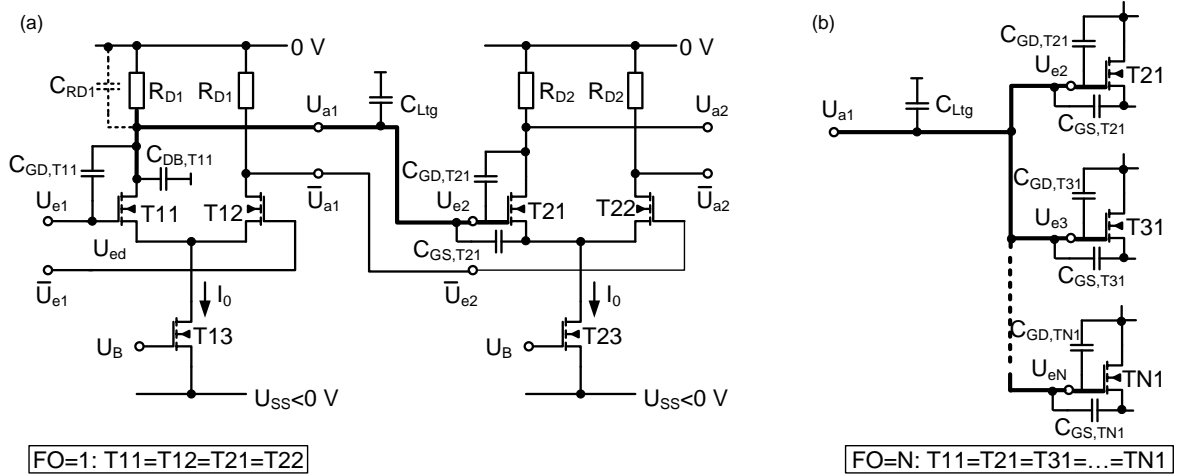


Abbildung 3.13: (a) Zwei identische, kaskadierte einstufige Grundzellen [86], (b) N identische, parallel geschaltete einstufige Grundzellen.

Sind die Transistorweite W und -länge L des differentiellen Paares des Folgegatters gleich dimensioniert wie das treibende Gatter, spricht man vom „Fan Out=1“ (FO=1). Aufgrund des symmetrischen Aufbaus der Grundzelle ist die Last am negierten und nicht-negierten Ausgang U_a bzw. \bar{U}_a gleich groß. Je größer die Transistorweite des zu treibenden Gatters ist oder je mehr Gatter N parallel am Lastknoten angeschlossen sind, desto größer wird der FO. In Abbildung 3.13(b) sind N identisch dimensionierte und parallel geschaltete Gatter zu treiben, d.h. FO=N. Sie können als ein Einzelgatter mit nachfolgender Dimensionierung bzw. Skalierung betrachtet werden [93]:

$$\begin{aligned} W/L &\rightarrow N(W/L) \\ I_0 &\rightarrow NI_0 \\ R_D &\rightarrow R_D / N. \end{aligned} \quad (3.31)$$

Die Lastkapazität am Umladeknoten setzt sich aus der internen Lastkapazität $C_{L,intT1}$ und der zu treibenden externen Lastkapazität $C_{L,aT1}$ am Ausgang U_a zusammen. Für FO=1 gilt:

$$C_L = C_{L,intT1} + C_{L,aT1} \quad \text{mit} \quad (3.32)$$

$$C_{L,aT1} = C_{Ltg} + FO(C_{GS,T11} + C_{GD,T11}) \quad \text{und} \quad (3.33)$$

$$C_{L,intT1} = C_{GD,T11} + C_{DB,T11} + C_{RD1}.$$

Die Kapazitätswerte sind dabei von der Betriebsart der Transistoren entsprechend Tabelle 3.2 abhängig. Sofern keine P- oder N-Kanal Transistoren als Lastwiderstände verwendet werden, kann die Lastwiderstandkapazität C_{RD} meist vernachlässigt werden.

3.2.3 Kaskadierung von Grundzellen, Fan-Out Optimierung und Leitungstreiber

In praktischen Anwendungen sind Stromschalter entsprechend Abbildung 3.13(a) oft kaskadiert, d.h. die Ausgänge des treibenden Gatters sind mit den Eingängen des nachfolgenden Gatters verbunden. Dabei muss sichergestellt sein, dass der Strom auch in der zu treibenden Grundzelle vollständig umgeschaltet wird. Der dafür notwendige Ausgangsspan-

nungshub U_{Hub1} des ersten Gatters muss deshalb mindestens der maximalen differentiellen Eingangsspannung $U_{ed2,max}$ nach Gleichung (3.19) entsprechen [88], d.h. $U_{Hub1} \geq U_{ed2,max}$:

$$R_{D1} I_1 \geq \sqrt{\frac{2I_2}{\left(\mu_n C'_{ox} \left(\frac{W}{L}\right)_2\right)}}. \quad (3.34)$$

Sind die kaskadierten Gatter gleich dimensioniert (FO=1), ergibt sich mit den Gleichungen (3.34) und (3.21) eine untere Grenze für die minimal notwendige Kleinsignalgleichspannungsverstärkung v_{U0}

$$v_{U0} \geq \sqrt{2} \approx 1,4. \quad (3.35)$$

Weiterhin sollten die Lastwiderstände R_{Dk} ($k=1, 2, \dots, N$) nicht zu groß gewählt werden, um die Verzögerungszeit t_d nach (3.28) gering zu halten und die Bandbreite nach (3.26) zu erhöhen.

Für schnelles Schalten müssen die Transistoren in Sättigung sein. Sättigungsbetrieb ist garantiert, wenn der Gleichakteingangsspannungspegel innerhalb der in (3.15) definierten Grenzen liegt. Darüber hinaus muss für die Ausgangsspannungen U_{ak} bzw. für die Eingangsspannungen U_{ek} der Gatter entsprechend Abbildung 3.14 gelten [88]

$$U_{ek,max} - U_{Th} \leq U_{ak} \leq 0V \text{ mit } k=1,2,\dots,N. \quad (3.36)$$

Mit $U_{ek,max}=0V$ folgt für den maximal möglichen Ausgangsspannungshub

$$R_{Dk} I_k \leq U_{Th} \approx 0,6V \dots 0,8V \text{ mit } k=1,2,\dots,N. \quad (3.37)$$

Um große RC-Lasten treiben zu können, z.B. Leitungs- oder 50 Ω -Ausgangstreiber für Messzwecke, wird die Stromtreiberfähigkeit durch kaskadierte Gatter von Stufe zu Stufe erhöht. Die Stromerhöhung erfolgt dabei gleichmäßig mit einem konstanten Faktor u , um die Gesamtverzögerungszeit der Kette gering zu halten [86][88]. In Abbildung 3.14 ist beispielhaft eine Kette der Länge N für einen 50 Ω -Ausgangstreiber dargestellt.

Die Transistorweiten W werden pro Stufe mit dem Faktor u nach oben und die Lastwiderstände mit dem Faktor u nach unten skaliert. Die Skalierung erfolgt häufig mit dem Faktor

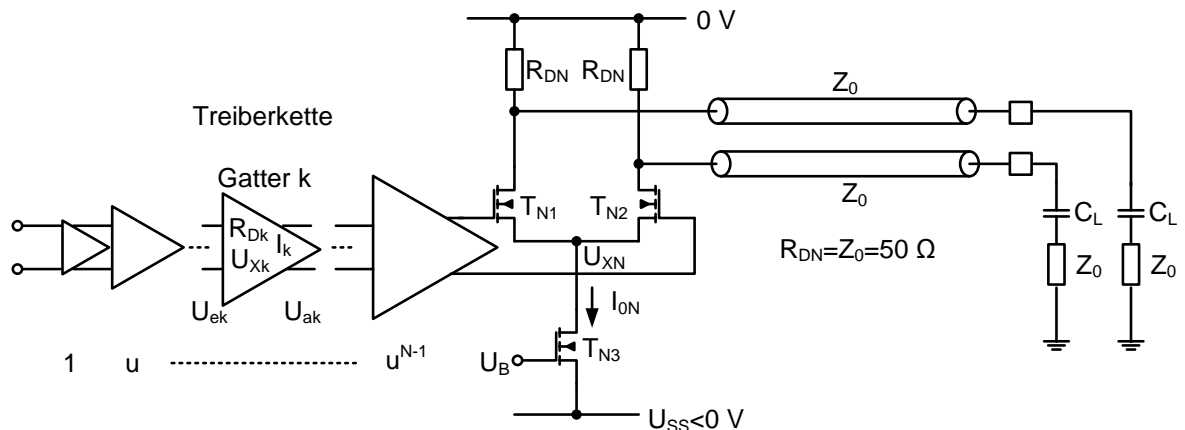


Abbildung 3.14: Treiberkette der Länge N mit Leitungsabschluss Z_0 [88].

$u=2$, d.h. $FO=2$ [86]. Dadurch ergibt sich an den Ausgängen der Treiber ein konstanter Ausgangsspannungshub U_{Hub} und eine konstante Kleinsignalspannungsverstärkung v_{U0} mit

$$v_{U0} = R_{D1} \sqrt{\mu_n C'_{ox} \left(\frac{W}{L}\right)_1 I_{01}} = R_{D2} \sqrt{\mu_n C'_{ox} \left(\frac{W}{L}\right)_2 I_{02}} = \dots = R_D \sqrt{\mu_n C'_{ox} \left(\frac{W}{L}\right) I_0}. \quad (3.38)$$

Für die minimale Kleinsignalgleichspannungsverstärkung v_{U0} der Treiberkette muss entsprechend den Gleichungen (3.34) und (3.36) gelten

$$\left(v_{U0} = R_D \sqrt{\mu_n C'_{ox} \frac{W}{L} I_0} \right) \geq \sqrt{2}. \quad (3.39)$$

Der Wert des Lastwiderstands R_{DN} des letzten Gatters in der Treiberkette ist bei Ausgangstreibern durch den Wert Z_0 , d.h. der externen Leitungsimpedanz, festgelegt. Damit kann ebenfalls der notwendige Strom I_{0N} der letzten Stufe mit Hilfe des Ausgangsspannungshubs U_{Hub} , der innerhalb der Kette konstant bleibt, bestimmt werden. Das maximale Weiten- zu Längenverhältnis W/L eines Treibers in der Kette wird durch eine Gleichtaktspannungsanalyse festgelegt. Unter der Annahme, dass alle Transistoren T1 bis T3 im Sättigungsbetrieb arbeiten und der Gleichtakteingangsspannungspegel im Bereich nach (3.15) liegt, muss gelten [88]

$$\left(U_{ek,DC} - U_{Xk} - U_{Tn} = \sqrt{\frac{I_k}{\mu_n C'_{ox} (W/L)_k}} \right) \leq U_{ek,DC} - U_B \quad \text{mit } k=1,2,\dots,N. \quad (3.40)$$

Der Gleichtakteingangsspannungspegel $U_{ek,DC}$ entspricht dabei dem Gleichtaktausgangsspannungspegel $U_{ak,DC}$ der vorherigen Stufe in der Kette. Entsprechend Gleichung (3.16) gilt bei Sättigungsbetrieb der Transistoren und bei einem konstanten Ausgangsspannungshub U_{Hub} innerhalb der Kette

$$-\frac{U_{Hub}}{2} - U_B \geq \sqrt{\frac{I_k}{\mu_n C'_{ox} (W/L)_k}}. \quad (3.41)$$

Die optimale Anzahl N von Treibern kann durch die Gesamtverzögerungszeit t_d der Kette abgeschätzt werden. Dabei wird ein Weitenverhältnis $W_{TN}/W_{T1}=X$ zwischen dem letzten und ersten Treiber der Kette angenommen

$$t_d = \sum_{k=1}^N t_{d,k} = \ln(2) \cdot NR_{D1} \left(C_{L,intT1} + X^{1/N} C_{L,aT1} \right). \quad (3.42)$$

Das Optimierungsproblem kann entsprechend dem Vorgehen bei einer CMOS-Treiberkette numerisch gelöst werden [88]

$$X^{1/N_{opt}} = \exp \left(1 + \frac{C_{L,intT1}}{X^{1/N_{opt}} C_{L,aT1}} \right). \quad (3.43)$$

Für den Fall $C_{L,intT1} \ll C_{L,aT1}$ vereinfacht sich das Optimierungsproblem zu [88]

$$N_{\text{opt}} = \ln(X) . \quad (3.44)$$

Damit sind ausgehend vom letzten Treiber alle Parameter für die Dimensionierung der Kette bekannt.

3.2.4 Dimensionierung der einstufigen Grundgatter

Die Grundgatterdimensionierung hängt im Wesentlichen von drei Parametern ab [92]:

- Maximal zulässiger Leistungs- bzw. Stromverbrauch I_0 .
- Erforderlicher Ausgangsspannungshub $U_{\text{Hub}}=R_D \cdot I_0$.
- Minimal notwendige Gleichspannungsverstärkung v_{U0} .

Ein weiterer wichtiger Parameter ist die Bandbreite der Grundzelle nach Gleichung (3.26), die von den drei zuvor genannten Parametern und der zu treibenden Last C_L am Umladeknoten abhängt. Um eine möglichst große Bandbreite zu erzielen, sollten die Transistoren des differentiellen Paares auf Minimallänge $L=L_{\text{Min}}$ der zur Verfügung stehenden Technologie gesetzt werden. Die Grundzelle kann für eine hohe Verstärkung v_{U0} oder für eine große Bandbreite ausgelegt werden. Für einen optimalen Entwurf, d.h. eine möglichst hohe Verstärkung bei gleichzeitig großer Bandbreite, wird das Verstärkungs-Bandbreite-Produkt nach Gleichung (3.21) und (3.26) herangezogen

$$v_{U0} \cdot \omega_{3\text{dB}} = U_{\text{Hub}} \sqrt{\mu_n C'_{\text{ox}} \frac{W}{L_{\text{Min}} I_0}} \cdot \frac{1}{R_D C_L} = \sqrt{\mu_n C'_{\text{ox}} \frac{W}{L_{\text{Min}} I_0}} \cdot \frac{1}{C_L} = \frac{g_{m0}}{C_L} \quad (3.45)$$

mit g_m als Steilheit des leitenden Transistors des differentiellen Paares im Sättigungsbetrieb. Die Lastkapazität C_L ist proportional zur Weite W der zu treibenden Lasttransistoren. Für $FO=1$ und unter Vernachlässigung der Verdrahtungskapazität C_{Ltg} gilt [86]

$$C_{GS} \sim W, C_{GD} \sim W, C_{DB} \sim W \rightarrow v_{U0} \cdot \omega_{3\text{dB}} \sim \sqrt{\frac{I_0}{W}} . \quad (3.46)$$

Das Verstärkungs-Bandbreite-Produkt wird demnach maximal, wenn man den Term I_0/W maximiert, d.h. W minimiert oder I_0 maximiert. Die minimale Weite ist bei einer Kaskadierung von Gattern durch die notwendige Kleinsignalgleichspannungsverstärkung v_{U0} entsprechend Gleichung (3.35) festgelegt. Der maximale Strom I_0 ist durch den maximal möglichen Ausgangsspannungshub U_{Hub} entsprechend Gleichung (3.37) begrenzt. In [92] werden numerische Verfahren für die optimale Wahl der Parameter vorgestellt.

Soll die Grundzelle für eine möglichst hohe Gleichspannungsverstärkung v_{U0} ausgelegt werden, gilt entsprechend Gleichung (3.21)

$$v_{U0} = \sqrt{\mu_n C'_{\text{ox}} \frac{W}{L} I_0} \cdot R_D = \sqrt{\frac{\mu_n C'_{\text{ox}}}{I_0} \cdot \frac{W}{L}} \cdot U_{\text{Hub}} \rightarrow v_{U0} \sim \sqrt{\frac{1}{I_0} \cdot \frac{W}{L}} \cdot U_{\text{Hub}} . \quad (3.47)$$

Geht man von einem konstanten Ausgangsspannungshub und Minimallänge $L=L_{\text{min}}$ der Transistoren aus, hängt die Gleichspannungsverstärkung v_{U0} im Wesentlichen von der Dimensionierung der Weite W der Transistoren des differentiellen Paares ab:

$$I_0 \sim \text{konst.}, R_D \sim \text{konst.}, L = L_{\text{Min}}, W \sim M \rightarrow v_{U0} \sim \sqrt{M}. \quad (3.48)$$

M bezeichnet dabei den Skalierungs- bzw. Optimierungsfaktor ($M > 1$) [86]. Für die Verzögerungszeit und 3 dB-Grenzfrequenz der Grundzelle gilt unter diesen Voraussetzungen entsprechend Gleichung (3.25) und (3.26)

$$\tau = R_D C_L, C_{DB} \sim W \sim M \rightarrow f_{3dB} \sim \frac{1}{M}. \quad (3.49)$$

Folglich verlangsamt die Auslegung der Grundzelle für eine hohe Verstärkung den Verstärker.

3.2.5 Erhöhen der Bandbreite einer einstufigen Grundzelle

Eine Möglichkeit die Bandbreite einer Stromschaltergrundzelle zu erhöhen, ist die induktive Spannungsüberhöhung an den Ausgängen durch passive oder aktive Spulen. Die Bandbreite kann dabei theoretisch um bis zu 85% erhöht werden, wenn Überschwinger im Ausgangssignal von 7,5% akzeptabel sind [94][95].

Passive Spulen

Abbildung 3.15(a) bzw. (b) zeigt eine Stromschaltergrundzelle mit idealen passiven Spulen und das entsprechende vereinfachte Kleinsignalersatzschaltbild für einen Spannungssprung am Eingang [96][97].

Vergleicht man das vereinfachte Kleinsignalersatzschaltbild mit Abbildung 3.11(c), bestimmen jetzt die Parameter R_D , C_L und L_D die Bandbreite der Grundzelle. Für die Übertragungsfunktion gilt

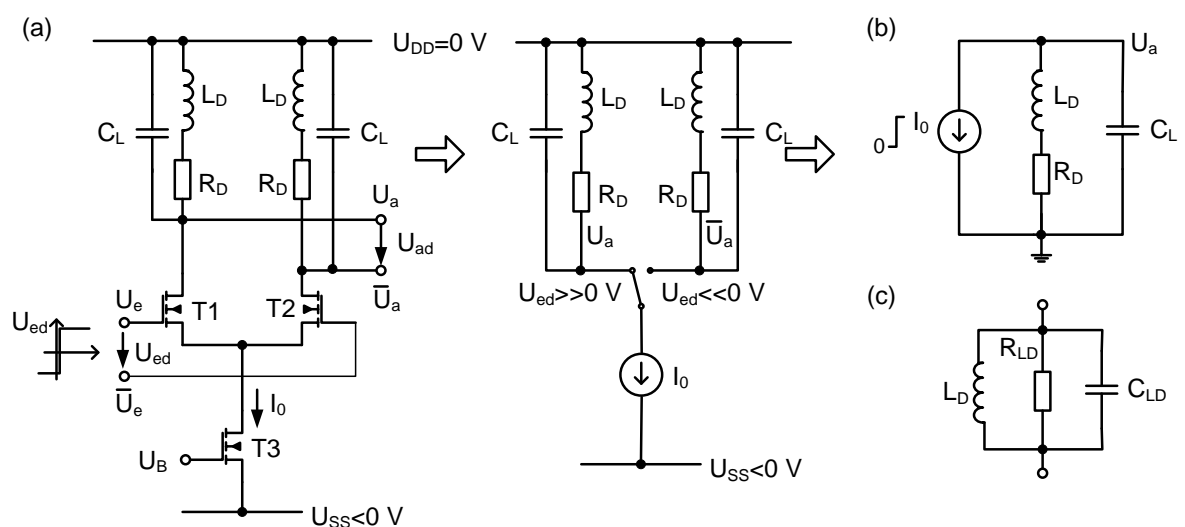


Abbildung 3.15: (a) Einstufige Stromschaltergrundzelle mit idealen passiven Spulen, (b) Verhaltensmodell bei einem Spannungssprung am Eingang der einstufigen Grundzelle mit Kleinsignalersatzschaltbild, (c) einfaches Ersatzschaltbild einer realen Spule.

$$H(p) = \frac{U_a(p)}{I_0(p)} = \underline{Z}(p) = \frac{pL_D + R_D}{1 + pC_L R_D + p^2 L_D C_L} = \frac{R_D(p\tilde{\tau} + 1)}{p^2 \tilde{\tau}^2 m + p\tilde{\tau}m + 1}. \quad (3.50)$$

Dabei ist der Faktor m definiert als das Verhältnis der Zeitkonstanten $\tau = R_D C_L$ und $\tilde{\tau} = L_D / R_D$:

$$m = \frac{R_D C_L}{L_D / R_D} = \frac{\tau}{\tilde{\tau}}. \quad (3.51)$$

Normiert man in Abhängigkeit der Frequenz ω den Betragsverlauf von $Z(p)$ auf den Gleichspannungswert R_D , erhält man

$$\frac{|\underline{Z}(j\omega)|}{R_D} = \sqrt{\frac{(\omega\tilde{\tau})^2 + 1}{(1 - \omega^2 \tilde{\tau}^2 m)^2 + (\omega\tilde{\tau}m)^2}}, \quad (3.52)$$

so dass für die 3 dB-Grenzfrequenz in Abhängigkeit des Faktors m gilt

$$\frac{\omega}{\omega_1} = \sqrt{\left(-\frac{m^2}{2} + m + 1\right) + \sqrt{\left(-\frac{m^2}{2} + m + 1\right)^2 + m^2}}. \quad (3.53)$$

Dabei ist $\omega_1 = 1/R_D C_L$ die 3 dB-Grenzfrequenz der Grundzelle ohne ideale Spulen. In Tabelle 3.5 [95] sind die Randbedingungen, unter denen der Faktor m berechnet wird, angegeben.

Tabelle 3.5: Betragsverlauf einer induktiv überhöhten einstufigen Stromschaltergrundzelle in Abhängigkeit des Faktors m [95].

Bedingung	m	ω/ω_1	$ \underline{Z}(j\omega) /R_D$
Maximale Bandbreite	1.41	1.85	1.19
$ \underline{Z}(j\omega) = R_D$ für $\omega = \omega_1$	2	1.8	1.03
Maximal flacher Frequenzgang	2.41	1.72	1
Optimale Phasen- bzw. Gruppenlaufzeit	3.1	1.6	1
Keine Spulen $L_D = 0$	∞	1	1

Die bisherigen Berechnungen gehen von idealen passiven Spulen aus. In Abbildung 3.15(c) ist ein einfaches Spulenmodell [94] dargestellt, welches zusätzlich die durch das Layout entstehenden parasitären Kapazitäten C_{LD} und Widerstände R_{LD} berücksichtigt. Verbesserte und genauere Spulenmodelle sind in [98][99] zu finden.

Aktive Spulen

Passive Spulen benötigen sehr viel Fläche und können in integrierten Schaltungen nicht beliebig oft eingesetzt werden. Häufig werden daher auch aktive Spulen verwendet [100]. Eine aktive Spule besteht aus einem Transistor und einem Widerstand. Zusammen bilden sie einen 2-Tor Gyrator. Wird ein Tor mit einer Kapazität abgeschlossen, gibt es einen Frequenzbereich, in dem die Eingangsimpedanz am anderen Tor induktiv wirkt.

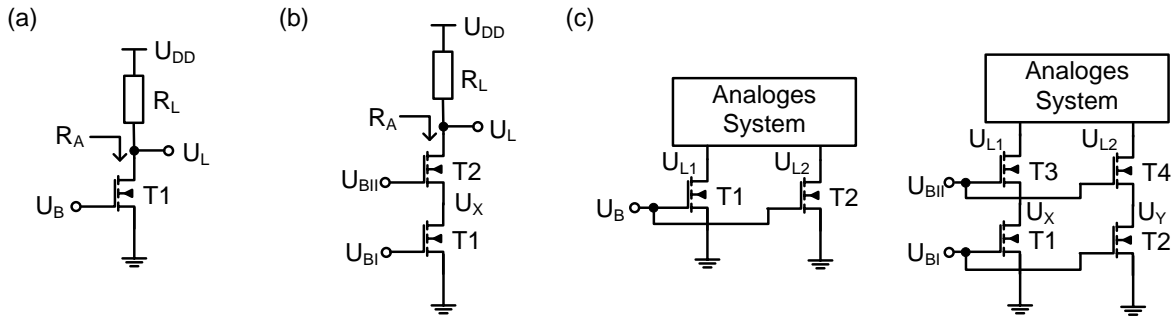


Abbildung 3.16: (a) Einfache Stromquelle und (b) Kaskodestromquelle mit Last R_L , (c) Schirmungseigenschaft einer Kaskodestromquelle [80].

3.3 Stromquellen und Stromspiegel

Nachfolgend werden verschiedene Stromquellenarten bzw. Stromspiegel untersucht und miteinander verglichen. Dabei handelt es sich um die einfache Stromquelle und die Kaskodestromquelle ohne und mit niedriger Einsatzspannung.

3.3.1 Einfache Stromquelle und Kaskodestromquelle

In Abbildung 3.16(a) ist eine einfache Stromquelle mit Last R_L dargestellt. Ein MOSFET arbeitet als Stromquelle, wenn Sättigungsbetrieb vorliegt. Der Ausgangswiderstand R_A einer Stromquelle sollte groß sein, um dem Verhalten einer idealen Stromquelle nahezukommen. In Tabelle 3.6 sind die Bedingung für Sättigungsbetrieb und der Ausgangswiderstand R_A entsprechend der Kleinsignalgrößen einer einfachen Stromquelle angegeben.

Von Nachteil ist der geringe Ausgangswiderstand. Der Ausgangswiderstand kann erhöht werden, indem man bei gleichbleibender Weite W die Transistorlänge L vergrößert. Dadurch erhöht sich nicht nur der Ausgangswiderstand, sondern auch die minimale Spannung für den Sättigungsbetrieb. In Tabelle 3.6 sind die Auswirkungen angegeben, wenn die Länge L um den Faktor M erhöht wird. Weiterhin ist die einfache Stromquelle anfällig gegenüber Spannungsschwankungen der Last U_L , da der Strom I_D direkt von dieser Spannung abhängt ($U_{DS}=U_L$).

Abbildung 3.16(b) zeigt eine Kaskodestromquelle mit Last R_L . Der Source-Anschluss von Transistor T2 wird dabei mit dem Drain-Anschluss von Transistor T1 verbunden. Dadurch wird Transistor T1 gegenüber Spannungsschwankungen der Last U_L abgeschirmt. Ein weiterer Vorteil ist die Erhöhung des Ausgangswiderstandes R_A um den Faktor $r_{02}(g_{m2}+g_{mb2})$ im Vergleich zur einfachen Stromquelle. In Tabelle 3.6 sind der Ausgangswiderstand R_A in Abhängigkeit der Kleinsignalparameter und die Bedingungen für den Sättigungsbetrieb der Transistoren angegeben.

Folglich wird zur Gewährleistung des Sättigungsbetriebes einer Kaskodestromquelle ein Spannungsabfall von mindestens $(U_{GS1}-U_{Th1})+(U_{GS2}-U_{Th2})$ über den Transistoren T1 und T2 benötigt. Das Stapeln von Transistoren zur Erhöhung des Ausgangswiderstandes kann beliebig fortgesetzt werden. Dabei muss beachtet werden, dass sich der notwendige Spannungsabfall pro Transistor T_N mindestens um den Wert $U_{GSN}-U_{ThN}$ erhöht. Dadurch erhöht sich auch die notwendige Spannungsversorgung U_{DD} zur Sicherung des Sättigungsbetriebes der Transistoren.

Tabelle 3.6 : Ausgangswiderstand R_A in Abhängigkeit der Kleinsignalparameter und Bedingungen für den Sättigungsbetrieb [80].

	Ausgangswiderstand R_A	Bedingung für Sättigungsbetrieb
Einfache Stromquelle	r_{01}	$U_{DS1} = U_L \geq U_B - U_{Tn1}$
Einfache Stromquelle $L' = M \cdot L$	$\approx \sqrt{M} \cdot r_{01}$	$U_{DS1} = U_L \geq \sqrt{M}(U_B - U_{Tn1})$
Kaskodestromquelle	$[1 + (g_{m2} + g_{mb2})r_{02}]r_{01} + r_{02}$ $\approx r_{01}r_{02}(g_{m2} + g_{mb2})$ für $g_m r_0 \gg 1$	T1: $U_X \geq U_{BI} - U_{Tn1}$ T2: $U_L - U_X \geq U_{GS2} - U_{Tn2}$ $\rightarrow U_L \geq U_{BII} - U_{Tn2}$ T1&T2: $U_{BII} \geq U_{BI} + U_{GS2} - U_{Tn1}$ $\rightarrow U_L \geq U_{BI} - U_{Tn1} + U_{GS2} - U_{Tn2}$

Die Schirmungseigenschaft von Kaskodestromquellen gegenüber Spannungsschwankungen der Last veranschaulicht Abbildung 3.16(c) [80]. Es wird angenommen, dass alle Transistoren gleich dimensioniert sind und U_{L1} größer als U_{L2} ist, d.h. $U_{L1} - U_{L2} = \Delta U$. Bildet man die Stromdifferenz $\Delta I = I_{D1} - I_{D2}$, gilt für die einfache Stromquelle

$$\Delta I = I_{L1} - I_{L2} = \frac{1}{2} \mu_n C'_{ox} \frac{W}{L} (U_B - U_{Tn})^2 (\lambda \Delta U_L). \quad (3.54)$$

Wohingegen sich bei einer Kaskodestromquelle eine Spannungsänderung ΔU in eine Spannungsänderung $\Delta U_{XY} = U_X - U_Y$ überträgt. Mit

$$\Delta U_{XY} = \Delta U_L \frac{r_{01}}{[1 + (g_{m3} + g_{mb3})r_{03}]r_{01} + r_{03}} \approx \frac{\Delta U_L}{(g_{m3} + g_{mb3})r_{03}} \quad (3.55)$$

folgt

$$\Delta I = I_{L1} - I_{L2} = \frac{1}{2} \mu_n C'_{ox} \frac{W}{L} (U_{BI} - U_{Tn})^2 \frac{\lambda \Delta U_L}{(g_{m3} + g_{mb3})r_{03}}. \quad (3.56)$$

Die Stromschwankung reduziert sich daher im Vergleich zu einer einfachen Stromquelle um den Faktor $(g_{m3} + g_{mb3})r_{03}$.

3.3.2 Einfacher Stromspiegel, Kaskodestromspiegel mit/ohne niedriger Einsatzspannung

Der Entwurf von Stromquellen in analogen Schaltungen basiert auf der Reproduktion von Strömen aus einer Referenzstromquelle. Dabei wird angenommen, dass die Referenzstromquelle einen Referenzstrom liefert, der beispielsweise gegenüber Schwankungen der Versorgungsspannung oder Temperatur stabilisiert ist. Abhängig von der Komplexität und Funktion des analogen Systems können auch mehrere Referenzstromquellen eingesetzt werden. Die Reproduktion des Referenzstromes wird mit Hilfe von Stromspiegeln realisiert. In der folgenden Analyse wird davon ausgegangen, dass ein stabiler Referenzstrom I_{Ref} zur Verfügung steht.

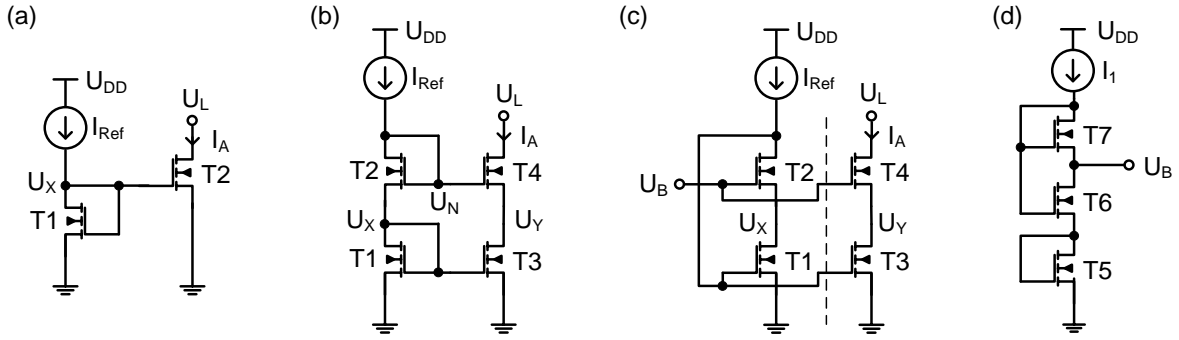


Abbildung 3.17: (a) Einfacher Stromspiegel, (b) Kaskodestromspiegel, (c) Kaskodestromspiegel mit niedriger Einsatzspannung und (d) Schaltung zur Erzeugung der Spannung U_B für einen Kaskodestromspiegel mit niedriger Einsatzspannung [80].

Abbildung 3.17(a) zeigt einen einfachen Stromspiegel, der aus zwei MOSFET-Transistoren T1 bzw. T2 mit der gleichen Gate-Source-Spannung $U_{GS1}=U_{GS2}$ besteht. Unter der Annahme, dass sich die Transistoren im Sättigungsbetrieb befinden und die Kanallängenmodulation vernachlässigt werden kann, gilt [80]

$$\left. \begin{aligned} I_{Ref} &= \frac{1}{2} \mu_n C'_{ox} \left(\frac{W}{L} \right)_1 (U_{GS1} - U_{Th})^2 (1 + \lambda U_{DS1}) \\ I_A &= \frac{1}{2} \mu_n C'_{ox} \left(\frac{W}{L} \right)_2 (U_{GS2} - U_{Th})^2 (1 + \lambda U_{DS2}) \end{aligned} \right\} \frac{I_A}{I_{Ref}} = \frac{(W/L)_2}{(W/L)_1} \Big|_{\lambda=0}. \quad (3.57)$$

Das Stromverhältnis ist über die Transistordimensionen $(W/L)_{1,2}$ eingestellt. Dabei wird üblicherweise die gleiche Transistorlänge $L_1=L_2$ gewählt. Somit ist das Stromverhältnis durch das Weitenverhältnis W_2/W_1 festgelegt.

Ist die Kanallängenmodulation nicht vernachlässigbar, d.h. $\lambda \neq 0$, kommt es zu Ungenauigkeiten bei der Reproduktion des Referenzstromes $I_{Ref}=I_A$. In Gleichung (3.57) gilt $U_{DS1} \neq U_{DS2}$, da der Spannungsabfall $U_{DS2}=U_L$ von der Beschaltung des Stromspiegels abhängt. Durch den Einsatz einer Kaskodestromquelle kann die Auswirkung der Kanallängenmodulation unterdrückt werden, so dass $U_L=U_X$ unabhängig von der Beschaltung gilt.

Abbildung 3.17(b) zeigt den Aufbau eines Kaskodestromspiegels. Durch die Kaskodeanordnung wird der Transistor T3 gegenüber Schwankungen der Beschaltungsspannung U_L abgeschirmt. Die Forderung $U_Y=U_X=U_N-U_{GS4}$ bzw. $U_N=U_X+U_{GS4}$ wird durch den mit T1 in Serie geschalteten Transistor T2 erfüllt, dessen Gate-Drain-Anschluss kurzgeschlossen ist. Wählt man das Dimensionierungsverhältnis der Transistoren T1 bis T4 zu [80]

$$\frac{(W/L)_4}{(W/L)_2} = \frac{(W/L)_3}{(W/L)_1}, \quad (3.58)$$

sind die Bedingungen $U_{GS4}=U_{GS2}$ und $U_X=U_Y$ erfüllt, d.h. es gilt $U_{GS2}+U_X=U_{GS4}+U_Y$. Nachteilig an der Kaskodeanordnung ist der zusätzlich benötigte Spannungsabfall über dem Transistor T4. Weiterhin entsteht ein größerer Spannungsabfall am Drain-Source-Anschluss von Transistor T3 als für den Sättigungsbetrieb ($U_{DS3}=U_{GS3}-U_{Th}$) notwendig ist, da $U_{DS3}=U_{GS3}$ gilt.

Eine Kaskodeschaltung mit niedriger Einsatzspannung entsprechend Abbildung 3.17(c) kann den Spannungsabfall über T3 um eine Schwellenspannung U_{Th} reduzieren. Dabei

wird die gleiche Genauigkeit bei der Reproduktion des Referenzstromes erzielt wie in Abbildung 3.17(b). Die Transistoren T1 und T2 bilden eine Kaskodestromquelle, deren Eingang und Ausgang kurzgeschlossen sind, d.h. $U_{GT1}=U_{DT2}$. Damit die Transistoren T1 und T2 in Sättigung arbeiten, muss für die Vorspannung U_B gelten [80]

$$U_{GS2} + (U_{GS1} - U_{Th1}) \leq U_B \leq U_{GS1} + U_{Th2}. \quad (3.59)$$

Die Ungleichung ist lösbar, wenn der Transistor T2 so dimensioniert wird, dass $U_{GS2}-U_{Th2} \leq U_{Th1}$ gilt. Weiterhin muss durch Dimensionierung der Transistoren sichergestellt sein, dass $U_{GS2}=U_{GS4}$ ist. Durch Wahl der Vorspannung U_B zu [80]

$$U_B = U_{GS2} + (U_{GS1} - U_{Th1}) = U_{GS4} + (U_{GS3} - U_{Th3}) \quad (3.60)$$

fällt über den Transistoren T4 und T3 die minimale Spannung für den Sättigungsbetrieb ab. Weiterhin ist eine genaue Reproduktion des Referenzstromes gegeben, da $U_{DS3}=U_{DS1}$ erfüllt ist. Eine Schaltung zur Erzeugung der Vorspannung U_B entsprechend Gleichung (3.60) ist in Abbildung 3.17(d) dargestellt. Für den Transistor T7 wird ein großes Dimensionsverhältnis (W/L) gewählt, damit $U_{GS7}=U_{Th7}$ gilt und folglich [80]

$$U_B = U_{DS6} + U_{GS5} \approx U_{GS5} + (U_{GS6} - U_{Th7}). \quad (3.61)$$

4 Schaltungsentwurf

Dieses Kapitel beinhaltet den vollständigen Schaltungsentwurf des D/A-Wandlers in einer 90 nm CMOS-Technologie. Der D/A-Wandler wird mit der Entwicklungsumgebung für Integrierte Schaltungen „Cadence“ entworfen. Dabei sind alle Phasen der Schaltungsentwicklung entsprechend Abbildung 4.1 zu durchlaufen. Aufgrund der Spezifikationen aus Tabelle 1.2 handelt es sich um einen „Full-Custom“ Entwurf, d.h. es können keine Standardzellen aus bereits vorhandenen Bauteilbibliotheken verwendet werden. Alle Gatter müssen auf Transistorebene neu entworfen und hinsichtlich der Schaltgeschwindigkeit optimiert werden.

Zunächst werden die Architektur, die eingesetzten Schaltungstechniken und die Funktionen bzw. Abhängigkeiten der Schaltungsblöcke des realisierten D/A-Wandlers vorgestellt. Eine detaillierte Analyse folgt in den jeweiligen Unterkapiteln.

Der Schaltplangentwurf beginnt entsprechend Abbildung 4.1 mit den Grundgattern. Zunächst werden die verwendeten Transistortypen, Widerstände und die Wahl der Stromquelle für den Schaltungsentwurf vorgestellt. Das allgemeine Vorgehen bei der Grundgatterdimensionierung und die daraus resultierenden Vorschriften werden anschließend dargestellt. Unter diesen Voraussetzungen sind alle notwendigen Grundgatter zu entwerfen. Mit Hilfe der optimal dimensionierten Grundgatter werden die Schaltungsblöcke und die Gesamtarchitektur des D/A-Wandlers entwickelt. Durch Simulation der Grundgatter, Schaltungsblöcke und der Gesamtarchitektur wird die Einhaltung der Spezifikationen und die Funktionsweise verifiziert. Insbesondere das zeitrichtige und bitratenflexible Verarbeiten der Daten durch die Schaltungsblöcke ist zu überprüfen. Die Schaltplansimulationen können dabei unter der Annahme von typischen (TT), langsamen (SS) und schnellen (FF) Transistorschaltzeiten durchgeführt werden. Weiterhin ist es möglich, Prozessschwankungen und

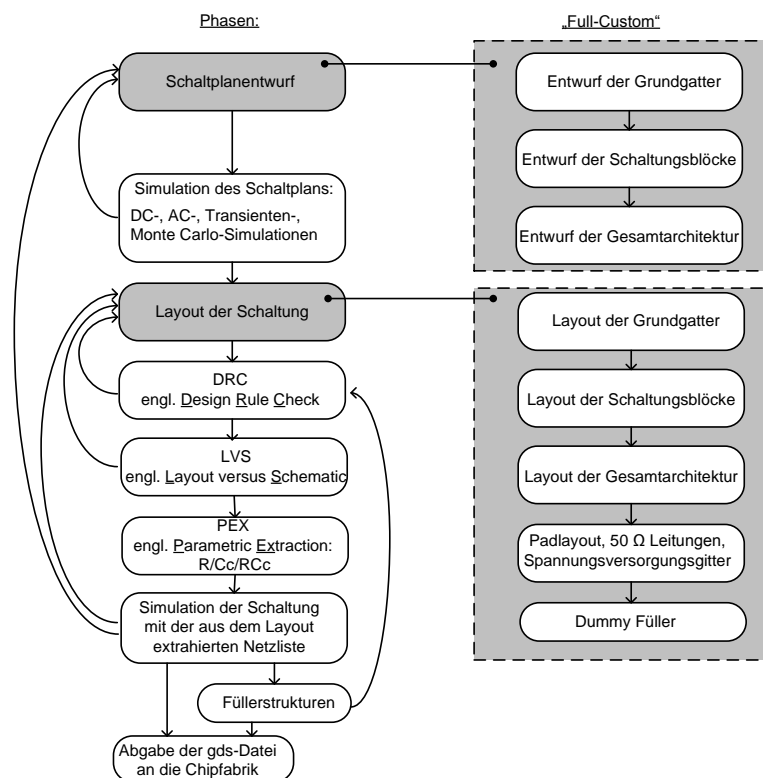


Abbildung 4.1: Phasen der Schaltungsentwicklung mit Vorgehensbeschreibung beim „Full-Custom“ Schaltplan- und Layoutentwurf.

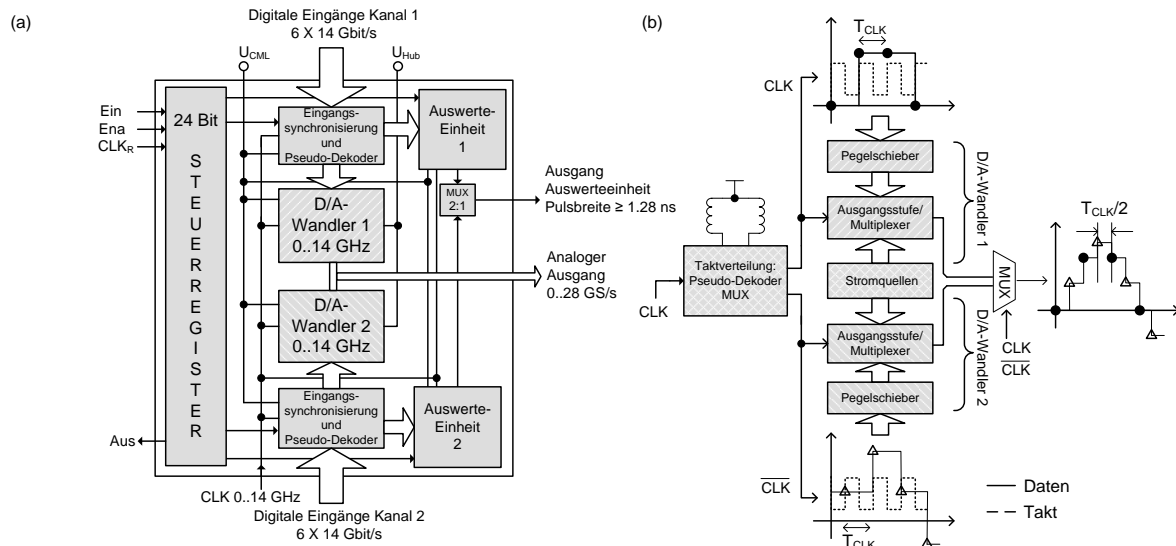


Abbildung 4.2: (a) Gesamtarchitektur des realisierten D/A-Wandlers auf Blockschaltbildebene, (b) Zeitverschachtelte Architektur des D/A-Wandlers 1 und 2.

Fehlpassung der Bauteilwerte durch Monte Carlo Simulationen zu berücksichtigen. Danach erfolgt das Layout des D/A-Wandlers in einer 90 nm CMOS-Technologie. Auch hier werden entsprechend Abbildung 4.1 zunächst die Grundgatter in ein Layout umgesetzt. Darauf aufbauend wird das Layout der Schaltungsblöcke und der Gesamtarchitektur erstellt. Die erstellten Layouts werden zunächst mit einem DRC (engl. DRC - Design Rule Check) auf die Einhaltung der Entwurfsregeln in einer 90 nm CMOS-Technologie überprüft. Anschließend sind Schaltplan- und Layoutnetzliste mit einem LVS (engl. LVS - Layout versus Schematic) hinsichtlich der Verdrahtung und Schaltplandimensionierung zu vergleichen. Die durch das Layout entstehenden parasitären Widerstände (R), Kapazitäten (C) und Koppelkapazitäten (c) können mit PEX (engl. PEX - Parametric Extraction) aus dem Layout extrahiert werden. Man erhält eine Netzliste, welche die parasitären Elemente aus dem Layout berücksichtigt. Mit dieser Netzliste werden erneut alle notwendigen Simulationen durchgeführt, um die Einhaltung der Spezifikationen und zeitrichtigen Datenverarbeitung sicherzustellen. Bei Nichteinhaltung der Spezifikationen müssen Änderungen am Layout oder dem Schaltplan vorgenommen werden.

Das Gesamtlayout ist mit den Pads, dem Padring, den 50 Ω -Leitungen, einem vollständigen Spannungsversorgungsgitter und Blockkapazitäten zu vervollständigen. Es ist möglich, dass die auf dem Chip minimal notwendigen Metalldichten für eine Prozessierung nicht erreicht werden. In diesem Fall müssen Füllerstrukturen in das Layout eingebracht werden. Die Füllerstrukturen können automatisch erzeugt werden. Das Layout mit den Füllerstrukturen muss vor der Abgabe an die Chipfabrik abschließend mit einem DRC überprüft werden.

4.1 Gesamtarchitektur

Überblick

In Abbildung 4.2(a) ist die Gesamtarchitektur des realisierten D/A-Wandlers auf Blockschaltbildebene dargestellt. Der D/A-Wandler Schaltungsentwurf basiert nahezu vollständig auf der Stromschaltertechnik mit differentieller Signalführung. Die Stromschaltertech-

nik ermöglicht schnelle Schaltgeschwindigkeiten bei geringen Signalhuben. Der differentielle Spannungshub U_{Hub} des analogen Ausgangs und der Spannungshub der CML Gatter U_{CML} sind zwischen ± 500 mV bzw. ± 600 mV einstellbar. Der differentielle analoge Ausgang ist auf dem Chip mit 50Ω Widerständen abgeschlossen.

Der D/A-Wandler besteht aus zwei identischen zeitverschachtelten Kernen, die im NRZ (engl. NRZ - non return to zero) Modus arbeiten. Die Wandlerkerne schalten dabei die gewichteten Stromquellen abwechselnd mit der positiven bzw. negativen Taktflanke auf eine gemeinsame Sammelschiene durch. Beide Wandlerkerne können Daten mit einer Abtastrate von bis zu 14 GS/s verarbeiten. Die bitratenflexible und zeitrichtige Arbeitsweise des Wandlers wird durch einen Takttreiber, der für Frequenzen bis zu 14 GHz ausgelegt ist, sichergestellt. Durch das Zeitverschachtelungsprinzip erhält man dadurch ein analoges Ausgangssignal mit einer Abtastrate von bis zu 28 GS/s. Die 6 Bit breiten differentiellen digitalen Eingangsdaten werden in Echtzeit an die zwei Wandlerkerne angelegt. Das entspricht einer Datenrate von bis zu 168 Gbit/s pro Kanal. Die Synchronität der Eingangsdaten wird auf dem Chip durch zwei Auswerteeinheiten und einem 24 Bit Steuerregister mit Dreidraht-Bus sichergestellt. Der Synchronisierungsvorgang und die Auswertung erfolgt extern durch einen FPGA.

Pseudo-Segmentierung, Zeitverschachtelung und induktive Spannungsüberhöhung

Die Einhaltung der Spezifikationen entsprechend Tabelle 1.2 ist in einer 90 nm CMOS-Technologie nur durch die Kombination einer geeigneten D/A-Wandlerarchitektur mit verschiedenen Schaltungstechniken möglich.

Da der D/A-Wandler Abtastraten im hohen GS/s-Bereich erzielen muss und eine moderate physikalische Auflösung von 6 Bit hat, bietet sich die pseudo-segmentierte Architektur an. Diese Architektur zeichnet sich durch eine geringe Komplexität bei gleichzeitig guten dynamischen und statischen Eigenschaften aus. Der Segmentierungsgrad legt dabei gleichzeitig die Last fest, die vom Taktbaum bei Frequenzen im hohen GHz-Bereich getrieben werden muss. Weiterhin ist ein Ausgang notwendig, der direkt 50Ω Abschlusswiderstände treiben kann. Die D/A-Wandlung wird deshalb durch das Schalten von binär und unär gewichteten Stromquellen vollzogen.

Die Geschwindigkeitsanforderungen an den D/A-Wandler bzw. den Takttreiber können durch das Prinzip der Zeitverschachtelung reduziert werden. Durch eine zweifach zeitverschachtelte Architektur kann die spezifizierte maximale Geschwindigkeitsanforderung an den Takttreiber von 25 GHz auf 12,5 GHz halbiert werden. Der Vorteil einer zweifachen Zeitverschachtelung liegt in der einfachen Takterzeugung für eine zeitrichtige Ansteuerung der Wandlerkerne. Es wird lediglich ein differentielles Taktsignal benötigt. Da die Stromschaltertechnik verwendet wird, ist eine differentielle Signalführung bereits vorhanden. In Abbildung 4.2(b) ist das Prinzip dargestellt. Die Eingangsdaten werden vom D/A-Wandler 1 auf die steigende und vom D/A-Wandler 2 auf die fallende Taktflanke verarbeitet. Dementsprechend muss der D/A-Wandler 2 mit dem invertierten Taktsignal angesteuert werden. Ein in der Ausgangsstufe der Wandlerkerne integrierter Multiplexer setzt die Daten anschließend wieder zeitrichtig zusammen. Da der Ausgangsmultiplexer die Daten abwechselnd auf die positive und negative Taktflanke ausgibt, erhält man ein doppelt so schnelles analoges Ausgangssignal.

Das zeitrichtige Übernehmen der Daten von D/A-Wandler 1 bzw. 2 und die zeitrichtige Ansteuerung der Ausgangsstufe mit Multiplexer stellt ein Taktverteilungsnetzwerk entsprechend Abbildung 4.2(b) sicher. Das Taktverteilungsnetzwerk muss sehr große kapazitive und resistive Lasten umladen. Es sind die Flip-Flops der Eingangssynchronisierung bzw. des Pseudo-Dekoders und die Schalter in der Ausgangsstufe durchzuschalten. Um

diese Lasten bei den geforderten Taktfrequenzen von bis zu 12,5 GHz mit ausreichender Flankensteilheit treiben zu können, wird die Bandbreite der Takttreiber durch passive Spulen erhöht.

Durch den Einsatz der Stromschaltertechnik, einer geeigneten D/A-Wandler Architektur und dem Prinzip der Zeitverschachtelung in Kombination mit der induktiven Spannungsüberhöhung sind die vorgegebenen Spezifikationen in einer 90 nm CMOS-Technologie zu erfüllen.

Funktion der Schaltungsblöcke

Eingangssynchronisierung und Pseudo-Dekoder

Die Eingangssynchronisierung ermöglicht das Abtasten bzw. Übernehmen der differentiellen 6 Bit breiten digitalen Eingangsdaten auf zwei unterschiedliche Taktphasen. Mit Hilfe des Steuerregisters kann für jede Bitposition D5-D0 der beiden Kanäle die Abtastphase auf 0° oder 180° gesetzt werden. Dadurch können Laufzeitunterschiede, die beim Senden der digitalen Daten an die D/A-Wandler entstehen (Kabel, Platine, FPGA), ausgeglichen werden. Gleichzeitig wird in diesem Schaltungsblock das Verdrahtungsschema einer 4:2 Pseudo-Segmentierung implementiert. Die dadurch entstehenden unären und binären Datenpfade werden anschließend den Wandlern zur weiteren Signalverarbeitung bzw. -aufbereitung zur Verfügung gestellt.

D/A-Wandler 1 und 2

In Abbildung 4.2(b) sind die Schaltungsblöcke der zwei identischen D/A-Wandler dargestellt. Zunächst werden die Daten am Ausgang des Pseudo-Dekoders durch Datentreiber regeneriert und für die Ausgangsstufe aufbereitet. Die eigentliche D/A-Wandlung findet in der Ausgangsstufe statt. In Abhängigkeit des Takt- und Datensignals werden unär und binär gewichtete Stromquellen auf eine gemeinsame Sammelschiene oder einen Dummy-Ausgang durchgeschaltet. Die zeitrichtige Ansteuerung der Ausgangsstufe mit Multiplexer erfolgt durch das Taktverteilungsnetzwerk mit induktiver Spannungsüberhöhung.

Auswerteeinheit und Steuerregister

Die Auswerteeinheiten (engl. SELU – Synchronization Evaluation Logic Unit) verknüpfen jeweils zwei benachbarte Bitposition durch ein XOR-Gatter beginnend mit $D5 \oplus D4$ des ersten Kanals. Im Synchronisationsmodus wird auf allen Kanälen und Bitpositionen dieselbe Testsequenz gesendet. Durch die XOR-Verknüpfung können Zeitunterschiede zwischen den einzelnen Bitpositionen festgestellt werden. Eine Asynchronität zweier benachbarter Bitpositionen wird durch einen Puls am Ausgang der Auswerteeinheit angezeigt. Durch Ändern der Abtastphase in der Eingangssynchronisation kann der Zeitunterschied ausgeglichen werden. Sind zwei benachbarte Bitpositionen synchron, erscheint kein Puls am Ausgang der Auswerteeinheit. Die Synchronisationsroutine wird extern durch einen FPGA gesteuert, indem mit Hilfe des Steuerregisters nacheinander alle benachbarten Bitpositionen überprüft und die Phasen dementsprechend eingestellt werden.

4.2 Grundgatter

In diesem Unterkapitel wird der Entwurf der Grundgatter vorgestellt. Die Grundgatter sind mit ausgewählten Grundelementen des 90 nm Prozesses und einer Kaskodestromquelle mit niedriger Einsatzspannung realisiert. Durch Simulationen mit und ohne Berücksichtigung von Layouteffekten werden die Grundgatter charakterisiert.

4.2.1 Wahl der Grundelemente

Der verwendete 90 nm CMOS-Prozess stellt mehrere Transistor- und Widerstandsarten bei nominalen Versorgungsspannungen von 1,0 V und 2,5 V zur Verfügung. Die schnellen Stromschaltergatter werden mit N-Kanal Transistoren und Polysiliziumwiderständen realisiert. Die langsameren P-Kanal Transistoren sind nur im Steuerregister eingesetzt. Der realisierte D/A-Wandler verwendet ausschließlich die nachfolgenden Grundelemente.

Der Transistortyp „nch_lvt“ ist ein N-Kanal MOSFET mit niedriger Schwellenspannung U_{Th} für Gatespannungen U_{GS} bis zu 1,25 V. Die minimale Gatelänge beträgt $L_{Min}=0,1 \mu\text{m}$ und die minimale Transistorweite $W_{Min}=0,12 \mu\text{m}$. Der Transistortyp wird im Entwurf als Schalttransistor für die Stromschaltergrundgatter verwendet. In Abbildung 4.3 ist beispielhaft das in der 90 nm Technologie simulierte Ausgangskennlinienfeld eines „nch_lvt“-Transistors mit Minimalabmessungen dargestellt. Bei hohen Versorgungsspannungen zwischen 2 V und 2,5 V müssen die „nch_lvt“-Transistoren in eine tiefe N-Wanne gelegt werden, um eine Zerstörung zu verhindern. Der maximale Spannungsabfall zwischen Gate- und Bulk- bzw. Substratanschluss bleibt dadurch innerhalb des zulässigen Bereichs. Die tiefe N-Wanne wird dabei z.B. mit $U_{DNW}=1 \text{ V}$ vorgespannt. Im Schaltplan muss dementsprechend der Substratanschluss mit dem Potential der tiefen N-Wanne verbunden werden. Der Transistortyp „nch_25“ bzw. „pch_25“ verfügt im Vergleich zum „nch_lvt“-Transistor über ein dickeres Gateoxid und ist für Gatespannungen U_{GS} bis zu 2,75 V einsetzbar. Dadurch wird ein problemloser Betrieb auch bei hohen Versorgungsspannungen von bis zu 2,75 V möglich. Aufgrund der größeren minimalen Kanallänge von $L_{Min}=0,28 \mu\text{m}$ eignet sich dieser Typ nicht als schneller Schalttransistor. Die minimale Transistorweite beträgt $W_{Min}=0,4 \mu\text{m}$. Dadurch wird mehr Fläche beim Layout der Transistoren benötigt. In den Stromschaltergrundgattern wird der „nch_25“-Transistor zur Realisierung der Kasko-

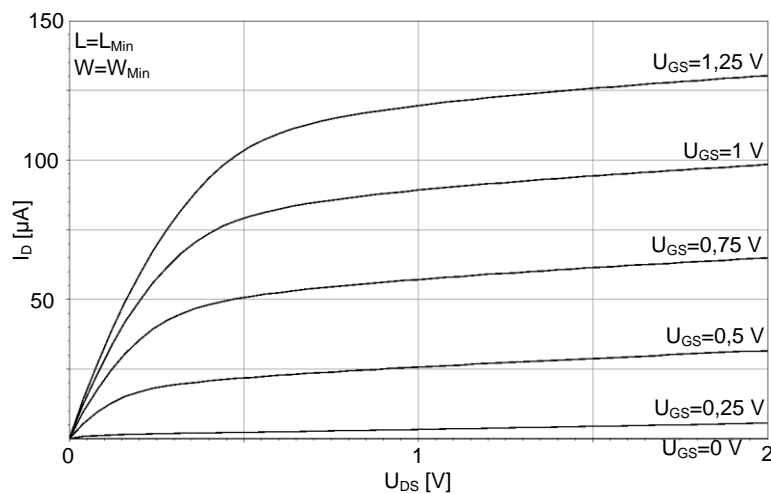


Abbildung 4.3: Ausgangskennlinienfeld eines „nch_lvt“-Transistors bei Minimalabmessungen.

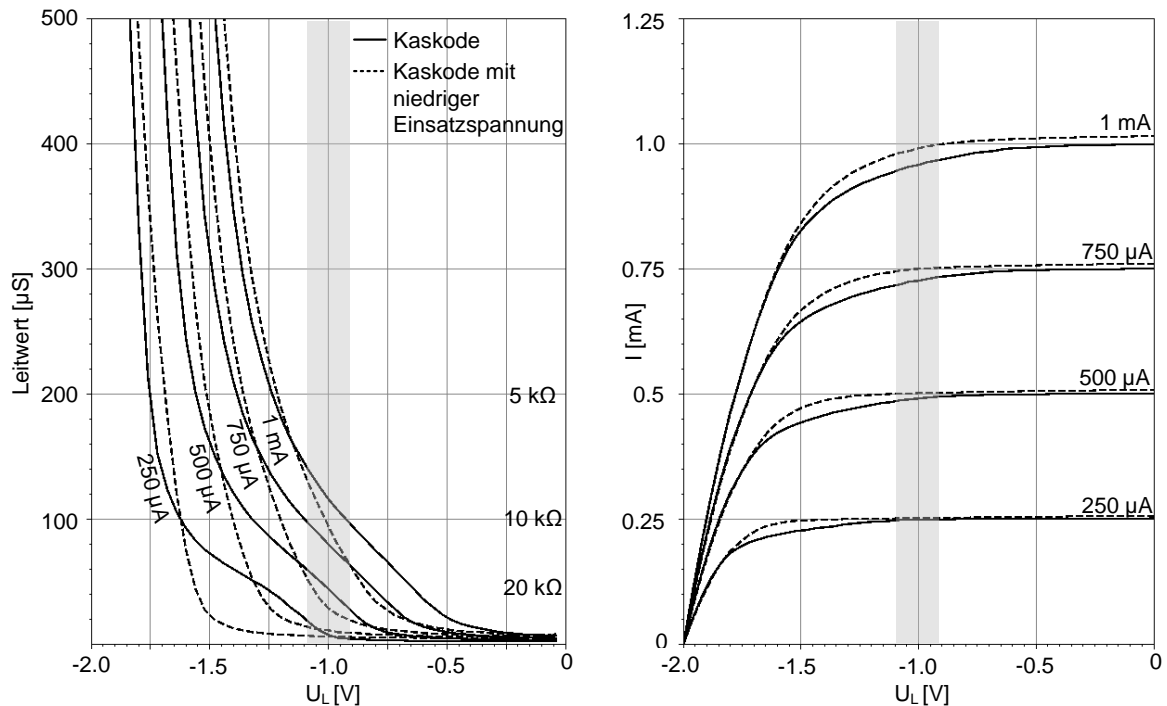


Abbildung 4.4: Kennlinien eines Kaskodestromspiegels mit/ohne niedriger Einsatzspannung für einen „nch_25“-Transistortyp bei minimaler Gatelänge L_{Min} .

destromquellen eingesetzt. Weiteren Einsatz finden die „nch_25“- bzw. „pch_25“-Transistoren im langsamen Steuerregister, das auf statischer CMOS-Logik basiert.

Der „rppolywo“-Widerstand ist ein Polysiliziumwiderstand mit Substratanschluss, der ein günstiges Verhältnis aus Widerstands- und parasitärem Kapazitätswert je Fläche bietet. Eine geringe Fläche ist in Hinblick auf das Layout wünschenswert, um den Chipflächenbedarf und die parasitären Kapazitäten des Widerstandes gering zu halten. Die Weite W wird minimal gewählt und beträgt $W_{\text{Min}}=0,4 \mu\text{m}$. Die Länge L legt den Widerstandswert fest und beträgt mindestens $L_{\text{Min}}=0,8 \mu\text{m}$. Große Widerstandswerte sind daher nur durch große Längen L realisierbar, wodurch sich die parasitäre Kapazität erhöht.

4.2.2 Wahl der Stromquelle

Da der realisierte D/A-Wandler auf der Stromschaltertechnik und dem Schalten von gewichteten Stromquellen basiert, ist die Wahl der Stromquelle von grundlegender Bedeutung.

Damit die Stromquellen als Konstantstromquellen arbeiten, wird über den Transistoren eine minimale Einsatzspannung zur Gewährleistung von Sättigungsbetrieb entsprechend Tabelle 3.6 benötigt. Zusätzliche Spannungsabfälle entstehen über den Lastwiderständen, Pegelschieberwiderständen und Schalttransistoren der Stromschaltergatter. Abhängig von der maximalen Versorgungsspannung U_{DD} ist es daher möglich, dass der Spannungsabfall über der Stromquelle nicht ausreicht, um den Sättigungsbetrieb der Stromquellentransistoren zu gewährleisten. Zusätzliche Spannungsabfälle sind auch in der Ausgangsstufe vorhanden. Die Ausgangsstufe besteht aus mehreren gestapelten Schalttransistoren und den zu treibenden externen bzw. internen Lastwiderständen.

Um einen möglichst geringen Spannungsabfall über der Stromquelle bei Sättigungsbetrieb zu erzielen, wird entsprechend Kapitel 3.3.2 die Topologie einer Kaskodestromquelle mit niedriger Einsatzspannung gewählt. Die Abbildung 4.4 zeigt die simulierten Kennlinien eines Kaskodestromspiegels mit niedriger Einsatzspannung für einen „nch_25“-Transistortyp bei einer Versorgungsspannung von $U_{DD}=2\text{ V}$. Zum Vergleich sind ebenfalls die Kennlinien eines Kaskodestromspiegels ohne niedriger Einsatzspannung bei gleicher Versorgungsspannung dargestellt. Dabei sind die minimalen Einsatzspannungsbereiche, in denen die eingestellten Referenzströme erreicht werden, grau unterlegt. Die Gleichstromsimulationen werden für eine Weite von $W=10\text{ }\mu\text{m}$ bei Minimallänge $L_{\text{Min}}=0,28\text{ }\mu\text{m}$ und Referenzströmen I_{Ref} bis zu 1 mA durchgeführt. Die Lastspannung U_L wird im Bereich von $-U_{DD}$ bis 0 V variiert. Die Abbildung 4.5 stellt den Ausgangswiderstand R_A und die minimal notwendige Einsatzspannung in Abhängigkeit des eingestellten Referenzstromes I_{Ref} und der Transistortypen für die gewählte Topologie dar.

Damit die Spannungsversorgung U_{DD} flexibel zwischen 2 V und $2,5\text{ V}$ einstellbar ist, müssen „nch_25“-Transistoren verwendet werden. Insbesondere die Stromschaltergatter mit Pegelschieberwiderstand und die Ausgangsstufe des D/A-Wandlers erfordern diese hohen Versorgungsspannungswerte. Bei Versorgungsspannungen bis zu $2,5\text{ V}$ müssen die

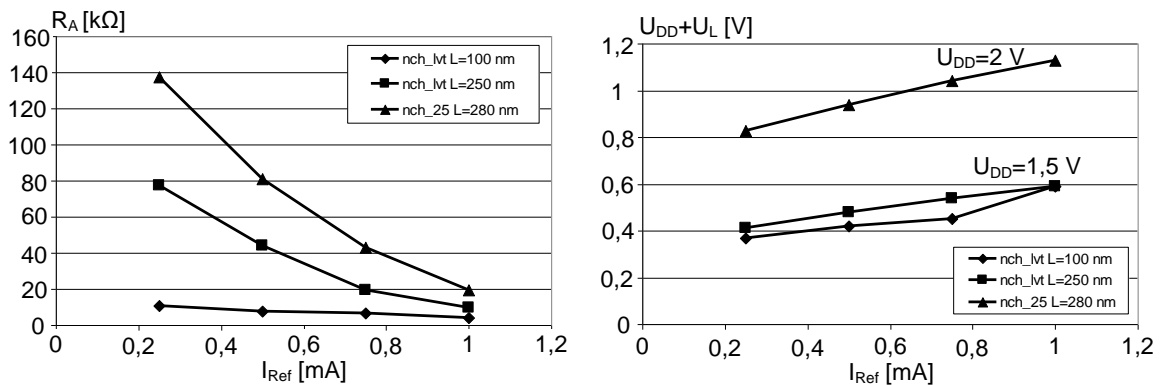


Abbildung 4.5: Ausgangswiderstand R_A und Einsatzspannung für eine Kaskodestromquelle mit niedriger Einsatzspannung in Abhängigkeit des Referenzstromes I_{Ref} und der Transistorarten „nch_lvt“ bzw. „nch_25“.

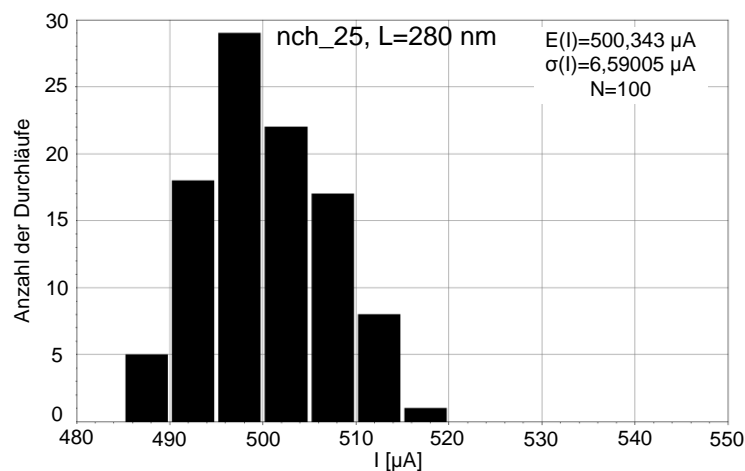


Abbildung 4.6: Monte Carlo Fehlpassung-Simulationen (L,W) des Ausgangsstromes I_A für einen Kaskodestromspiegel mit niedriger Einsatzspannung unter Verwendung des „nch_25“-Transistortyps für $N=100$ Durchläufe.

„nch_lvt“-Schalttransistoren der Stromschaltergatter und der Ausgangsstufe in eine tiefe N-Wanne gelegt werden. Die Stromdichten der gewählten Topologie liegen bei einer Weite der Stromquellentransistoren von $W=10\ \mu\text{m}$ zwischen $0,25\ \text{mA}$ und $1\ \text{mA}$ pro $10\ \mu\text{m}$. Insbesondere die gewichteten Stromquellen des D/A-Wandlers müssen eine sehr gute Passung zueinander haben, d.h. möglichst unempfindlich gegenüber Schwankungen der Bauteilwerte (L, W) und des $90\ \text{nm}$ CMOS-Prozesses sein. Die Anfälligkeit der Kaskodestromquelle mit niedriger Einsatzspannung basierend auf dem „nch_25“-Transistortyp wird durch Monte Carlo Simulationen untersucht. In Abbildung 4.6 sind beispielhaft die Verteilungen des Ausgangsstromes I_A der Topologie unter der Annahme von Bauteilfehlpassung für $N=100$ Durchläufe dargestellt. Für die Simulationen wird die notwendige minimale Einsatzspannung bei einem Referenzstrom von $I_{\text{Ref}}=500\ \mu\text{A}$ entsprechend Abbildung 4.5 an die Stromquelle angelegt. Der Erwartungswert des Ausgangsstromes I_A liegt unter der Annahme von Bauteilfehlpassung bei $E(I_A)=500,343\ \mu\text{A}$ und die Standardabweichung bei $\sigma(I_A)=6,59\ \mu\text{A}$. Berücksichtigt man die Prozessschwankungen beträgt der Erwartungswert $E(I_A)=500,144\ \mu\text{A}$ und die Standardabweichung $\sigma(I_A)=0,36\ \mu\text{A}$. Die Simulationsergebnisse zeigen die Unempfindlichkeit der gewählten Topologie gegenüber Bauteilfehlpassung und Prozessschwankungen.

4.2.3 Simulationsumgebung und Dimensionierung

Der Entwurf und die Charakterisierung der Grundgatter basieren auf einer definierten Simulationsumgebung und auf Dimensionierungsvorschriften, die nachfolgend vorgestellt werden.

Simulationsumgebung

In Abbildung 4.7 ist die Simulationsumgebung der Grundgatter dargestellt. Für eine vollständige Charakterisierung werden DC- und Zeitbereichssimulationen durchgeführt. Die Vorspannungen U_{BI} bzw. U_{BII} der Kaskodestromquellen mit niedriger Einsatzspannung werden von einer Referenzschaltung in Abhängigkeit des eingestellten Spannungshubs

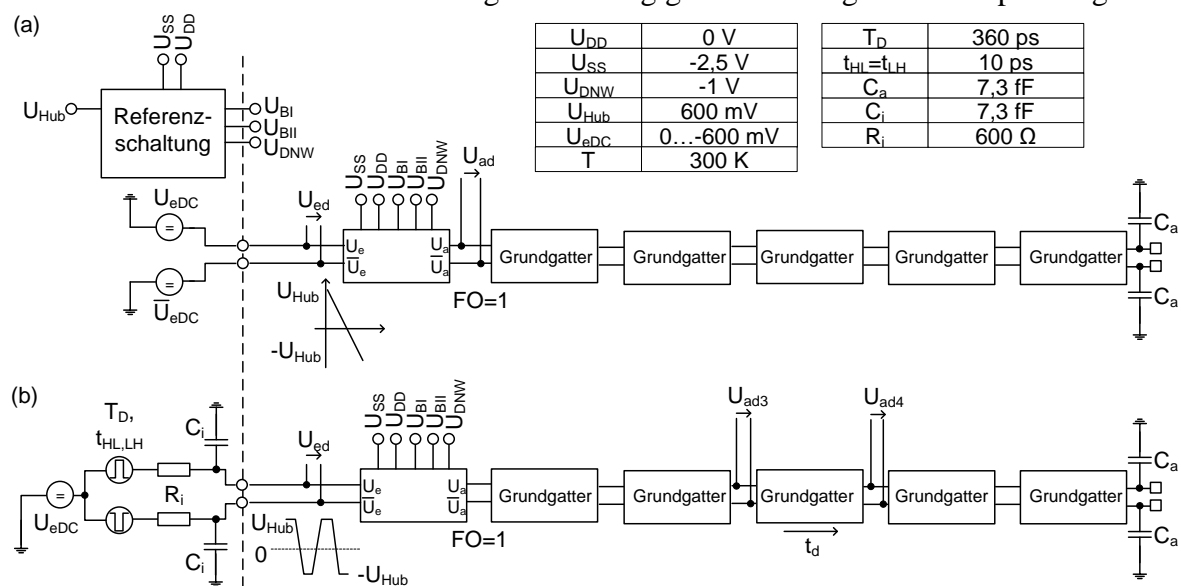


Abbildung 4.7: Simulationsparameter und -umgebung für eine (a) DC- und (b) Zeitbereichscharakterisierung der Grundgatter.

U_{Hub} erzeugt. Die für die Charakterisierung der Grundgatter verwendeten Simulationsparameter können der Abbildung 4.7 entnommen werden.

Die Bestimmung der Übertragungskennlinie $U_{\text{ad}}=f(U_{\text{ed}})$ und der daraus resultierenden Gleichspannungsverstärkung v_{U0} eines Gatters erfolgt durch eine DC-Simulation entsprechend Abbildung 4.7(a). Das Gatter wird am Ausgang mit einem gleich dimensionierten Folgegatter, d.h. $FO=1$, belastet. Die Gleichspannungen am Eingang U_{eDC} und \bar{U}_{eDC} durchlaufen bei der Simulation Spannungswerte von 0 bis -600 mV. Die maximale Gleichspannungsverstärkung v_{U0} erhält man durch Differenzieren der Ausgangskennlinie U_{ad} im optimalen Arbeitspunkt des Gatters.

Das dynamische Verhalten eines Gatters wird mit einer Zeitbereichssimulation entsprechend Abbildung 4.7(b) untersucht. Die Verzögerungszeit t_d und die Anstiegs- bzw. Abfallzeiten, t_{HL} bzw. t_{LH} , werden am vierten Gatter der Kette bei $FO=1$ bestimmt. Damit die Signale auf den vollen Spannungshub einschwingen können, wird am Eingang U_{ed} ein ausreichend langsames rechteckförmiges Testsignal mit einer Periodendauer von $T_D=360$ ps angelegt. Der Arbeitspunkt wird über eine Gleichstromquelle U_{eDC} für das jeweilige Gatter optimal eingestellt.

Dimensionierung

Die symmetrische Dimensionierung der Schalttransistoren und der Lastwiderstände der einstufigen Grundgatter basiert auf den Grundlagen entsprechend Kapitel 3.2.4. Ziel der Dimensionierung ist ein hohes Verstärkungs-Bandbreite-Produkt. Die Werte für den Lastwiderstand R_L und das Verhältnis W/L der Schalttransistoren werden entsprechend dem Vorgehen in [93] für ein Gatter mit der Stromtreiberfähigkeit von $I_0=1$ mA durch Simulation ermittelt und optimiert. Werden andere Stromtreiberfähigkeiten benötigt, können diese durch Skalierung von diesem Gatter abgeleitet werden. In Hinblick auf das Layout der Grundgatter erfolgt die Skalierung binär mit dem Faktor 2 über die Anzahl der Transistorfinger. Die Spannungsversorgungen betragen $U_{\text{DD}}=0$ V, $U_{\text{SS}}=-2,5$ V und $U_{\text{DNW}}=-1$ V.

Die Weite der „nch_lvt“-Schalttransistoren darf nicht zu klein gewählt werden, um den Sättigungsbetrieb der Transistoren zu gewährleisten. Weiterhin muss die Weite groß genug sein, um eine Spannungsverstärkung zwischen $v_{U0}=1,7$ und $v_{U0}=2,0$ zu erreichen. Die optimale Gesamtweite der Schalttransistoren ergibt sich durch Simulation zu $W=6$ μm bei

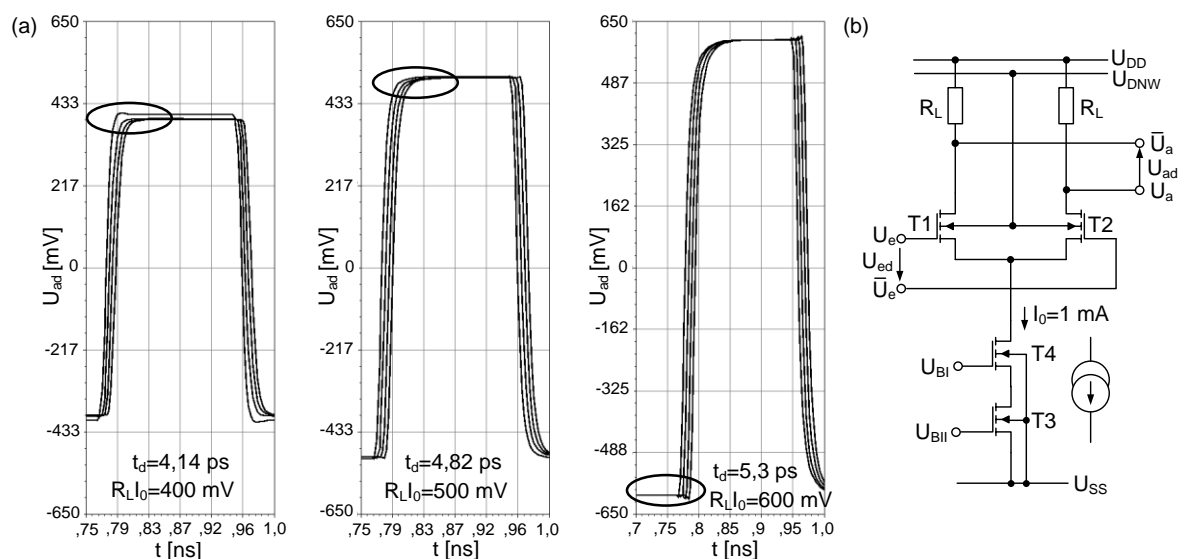


Abbildung 4.8: (a) Bestimmung des optimalen Lastwiderstandes R_L durch parametrische Simulationen und (b) Schaltplan eines einfachen 1 mA Verstärkers.

insgesamt 8 Transistorfinger. Die Gesamtweite der „nch_25“-Kaskodestromquellentransistoren beträgt $W=19,14\ \mu\text{m}$ mit insgesamt 6 Transistorfinger. Die Länge der „nch_25“- und „nch_lvt“-Transistoren wird für schnelles Schalten minimal gewählt. Der optimale Wert des Lastwiderstandes R_L wird durch eine Zeitbereichssimulation mit in Serie geschalteten Grundzellen entsprechend Abbildung 4.7(b) bei $FO=1$ bestimmt. Ist der Widerstandswert R_L zu gering, werden die Signalamplituden von Stufe zu Stufe degeneriert, d.h. das differentielle Paar der Folgestufe schaltet den Strom nicht vollständig durch. Wird R_L jedoch zu groß gewählt, nimmt die Verzögerungszeit t_d der Gatter zu. In Abbildung 4.8(a) ist eine parametrische Simulation für drei Widerstandswerte dargestellt. Ein optimales Schaltverhalten, d.h. ein vollständiges Durchschalten des Stromes I_0 bei minimaler Verzögerungszeit t_d , wird bei einem Widerstandswert von $R_L=600\ \Omega$ erzielt. Für den Ausgangsspannungshub muss daher $U_{\text{Hub}}=R_L \cdot I_0=600\ \text{mV}$ gelten. Der „rppolywo“-Widerstand hat für eine Treiberfähigkeit von $I_0=1\ \text{mA}$ eine Fläche von $W \cdot L=2,37 \cdot 3\ \mu\text{m}^2$. Durch die ermittelten Dimensionierungen der Schalttransistoren und des Lastwiderstandes ergibt sich eine Spannungsverstärkung von $v_{U0}=2$ für die Grundgatter. In Abbildung 4.8(b) ist der Schaltplan der Stromschaltergrundzelle dargestellt.

4.2.4 Einfacher Verstärker

Der einfache Verstärker wird in den Schaltungsblöcken für die Regenerierung der Signalamplituden und zum Treiben von RC-Lasten benötigt. Die RC-Lasten entstehen am Ausgang eines Gatters durch die zu treibenden Leitungen und Folgegatter. Abhängig von der Last am Ausgang werden daher verschiedene Stromtreiberfähigkeiten benötigt. Im realisierten D/A-Wandler sind Stromtreiberfähigkeiten von $0,25\ \text{mA}$ bis $20\ \text{mA}$ im Einsatz. Insbesondere im Taktbaum des D/A-Wandlers werden sehr hohe Treiberfähigkeiten von bis zu $20\ \text{mA}$ benötigt.

In Abbildung 4.9(a) sind die DC-Simulationen und Ausschnitte aus der Zeitbereichssimulation des $1\ \text{mA}$ Treibers zu sehen. Die Anstiegs- bzw. Abfallzeiten $t_{LH,HL}$ und die Verzöge-

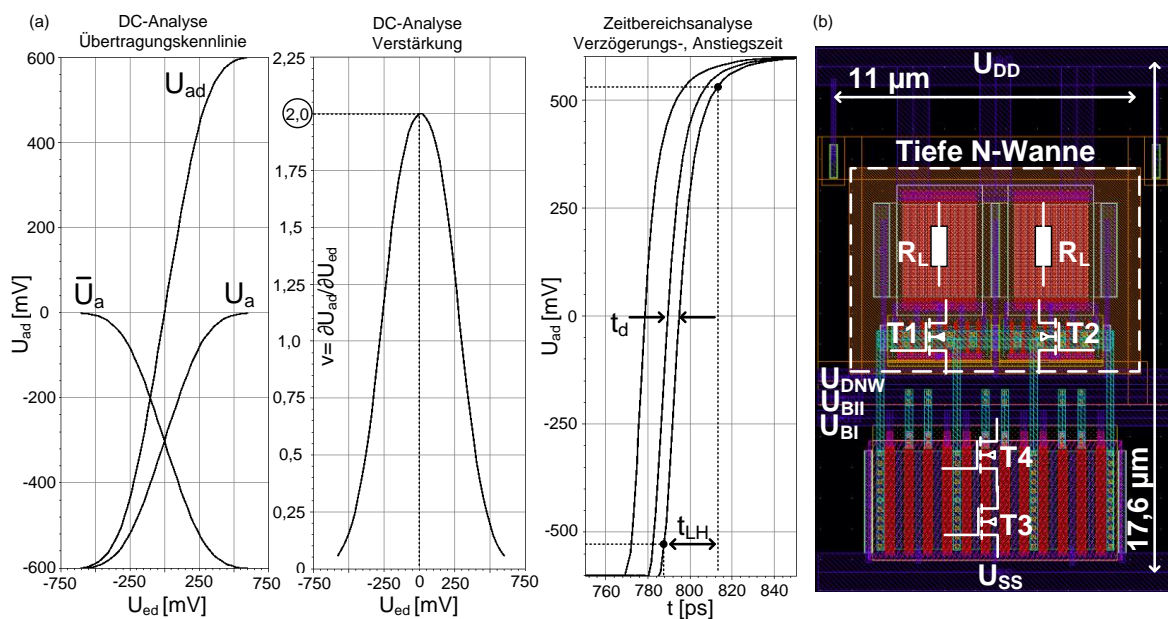


Abbildung 4.9: (a) DC- und Zeitbereichssimulationen und (b) Layout des $1\ \text{mA}$ Verstärkers.

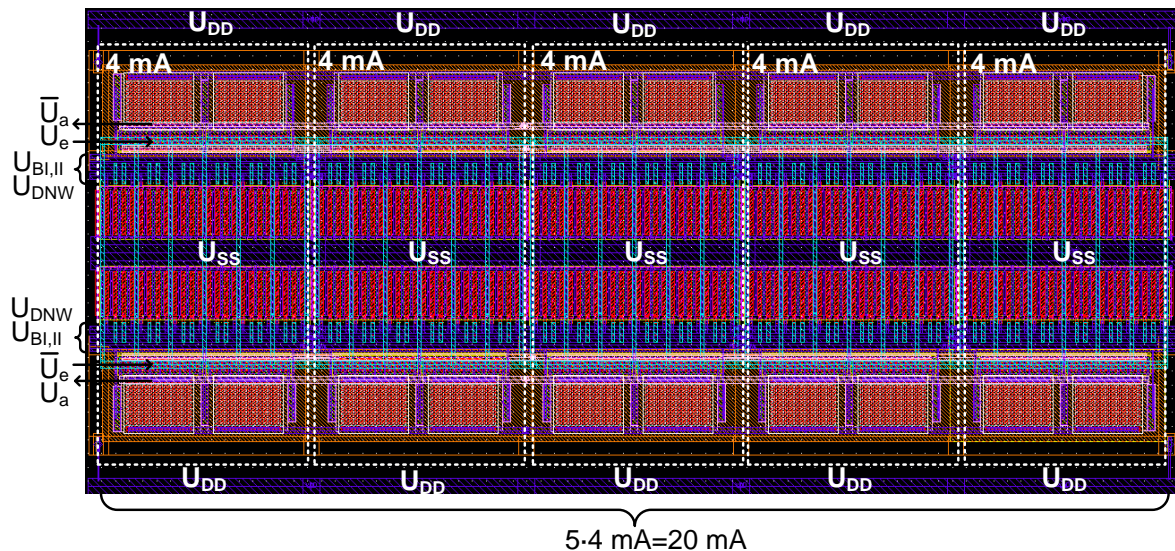


Abbildung 4.10: Layout eines 20 mA Verstärkers basierend auf fünf 4 mA Verstärkern in „Butterfly“-Struktur.

rungszeit t_d ergeben sich aus der Transientensimulation zu $t_{LH}=t_{HL}=21\text{ ps}$ und $t_d=5,51\text{ ps}$. In den Simulationen werden ebenfalls die durch das Layout entstehenden parasitären Kapazitäten (C), Koppelkapazitäten (c) und Widerstände (R) berücksichtigt. Das Layout des 1 mA Verstärkers ist in Abbildung 4.9(b) dargestellt. Durch die parasitären Elemente des Layouts erhöhen sich die Anstiegs-, Abfall- und Verzögerungszeiten der Grundgatter um ca. 17% auf $t_{LH}=t_{HL}=25,62\text{ ps}$ und $t_d=6,73\text{ ps}$.

Die simulierten Verzögerungszeiten ändern sich für die restlichen Treiberfähigkeiten nur geringfügig. Jedoch nehmen die Anstiegs- bzw. Abfallzeiten im Layout ab einer Treiberfähigkeit von 8 mA aufgrund der parasitären Elemente um bis zu 7 ps zu. Damit das Layout der Grundgatter kompakt bleibt, werden ab einer Treiberfähigkeit von 4 mA „Butterfly“-Strukturen (engl. Butterfly – Schmetterling) eingesetzt. Die prinzipielle „Butterfly“-Struktur zeigt Abbildung 4.10 mit gestrichelter Linie. Das Layout der Verstärker mit Treiberfähigkeiten von 8 mA bis 20 mA lässt sich dann durch das parallele Schalten der 4 mA „Butterfly“-Strukturen realisieren. In Abbildung 4.10 ist das Layout eines einfachen Verstärkers für eine Stromtreiberfähigkeit von 20 mA dargestellt. Die Ein- und Ausgänge des Gatters sind über horizontale Metallschienen kontaktiert. Die „Butterfly“-Strukturen werden ausschließlich im Takttreiberschaltungsblock eingesetzt.

4.2.5 Pegelschieber

Die Pegelschieber sind im Datentreiberschaltungsblock und im Taktverteilungsnetzwerk zur Ansteuerung der Ausgangsstufen bzw. Flip-Flops notwendig. Es werden zwei Arten von Pegelschiebern benötigt. Der C- (engl. Clock – Takt) Treiber schiebt den Gleichspannungspegel um 200 mV in Richtung negativer Spannungsversorgung U_{SS} nach unten. Eine weitere Verschiebung des Gleichspannungspegels um insgesamt 400 mV nach unten wird von den D- (engl. Data – Daten) Treibern realisiert. Im D/A-Wandler werden Stromtreiberfähigkeiten der C-Treiber bzw. D-Treiber von 0,25 mA bis 20 mA bzw. 1 mA benötigt. In Abbildung 4.11(a) ist beispielhaft der Schaltplan eines D-Treibers für eine Treiberfähigkeit von $I_0=1\text{ mA}$ dargestellt. Die Pegelschiebung wird durch einen zusätzlichen Serienwiderstand $R_{PC,D}$ erreicht, der in Abhängigkeit der erforderlichen Stromtreiberfähigkeit I_0 nachfolgende Bedingung erfüllen muss:

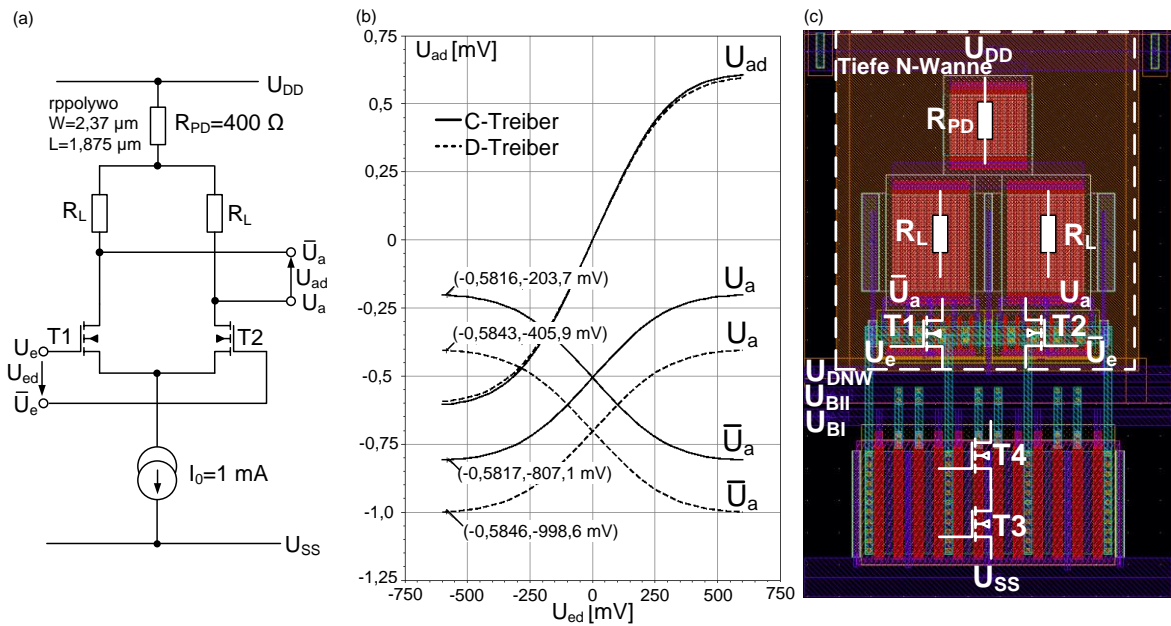


Abbildung 4.11: (a) Schaltplan eines 1 mA D-Pegelschiebers, (b) DC-Simulationen des D-Pegelschiebers bzw. C-Pegelschiebers und (c) Layout eines 1 mA D-Pegelschiebers.

$$R_{PC} = \frac{200 \text{ mV}}{I_0}, R_{PD} = \frac{400 \text{ mV}}{I_0}. \quad (4.1)$$

Die Pegelschiebung ist notwendig, um den Sättigungsbetrieb der Transistoren in der Ausgangsstufe sicherzustellen. Weiterhin wird durch einen C-Treiber vor den Takteingängen der Flip-Flops optimales Schaltverhalten garantiert. In Abbildung 4.11(b) sind die simulierten Gleichstromübertragungskennlinien der differentiellen und nicht-differentiellen Ausgänge eines C- und D-Treibers für eine Stromtreiberfähigkeit von $I_0=1 \text{ mA}$ dargestellt. Die nicht-differentiellen Ausgangsspannungspegel U_a bzw. \bar{U}_a werden durch die Pegelschieberwiderstände um 200 mV bzw. 400 mV nach unten geschoben. Abbildung 4.11(c) zeigt beispielhaft das Layout eines 1 mA D-Treibers. Die simulierten Anstiegs-, Abfall- und Verzögerungszeiten der C- und D-Treiber entsprechen nahezu den Ergebnissen der einfachen Verstärker.

4.2.6 Latch und Flip-Flop

Flip-Flops werden im realisierten D/A-Wandler hauptsächlich zur Synchronisierung der digitalen Eingangsdaten eingesetzt. Weitere Verwendung finden die Flip-Flops im Schaltungsblock der Auswerteeinheit in Form von Takteilern und eines Pulsverlängerers. Es werden Stromtreiberfähigkeiten von 0,25 mA bis 1 mA benötigt. Ein Flip-Flop wird durch das Verschalten zweier Latches realisiert. Abbildung 4.12(a) zeigt den Schaltplan eines Latches auf Transistorebene und das Blockschaltbild eines Flip-Flops. Alle Schalttransistoren T1 bis T8 sind identisch dimensioniert und werden vom einfachen 1 mA Verstärker abgeleitet. Die Dateneingänge des Flip-Flops werden mit D bzw. \bar{D} und die Ausgänge mit Q bzw. \bar{Q} bezeichnet. Die Gesamtverzögerungszeit t_g eines Flip-Flops setzt sich aus der Einrichtezeit t_s und der Verzögerungszeit t_d zusammen

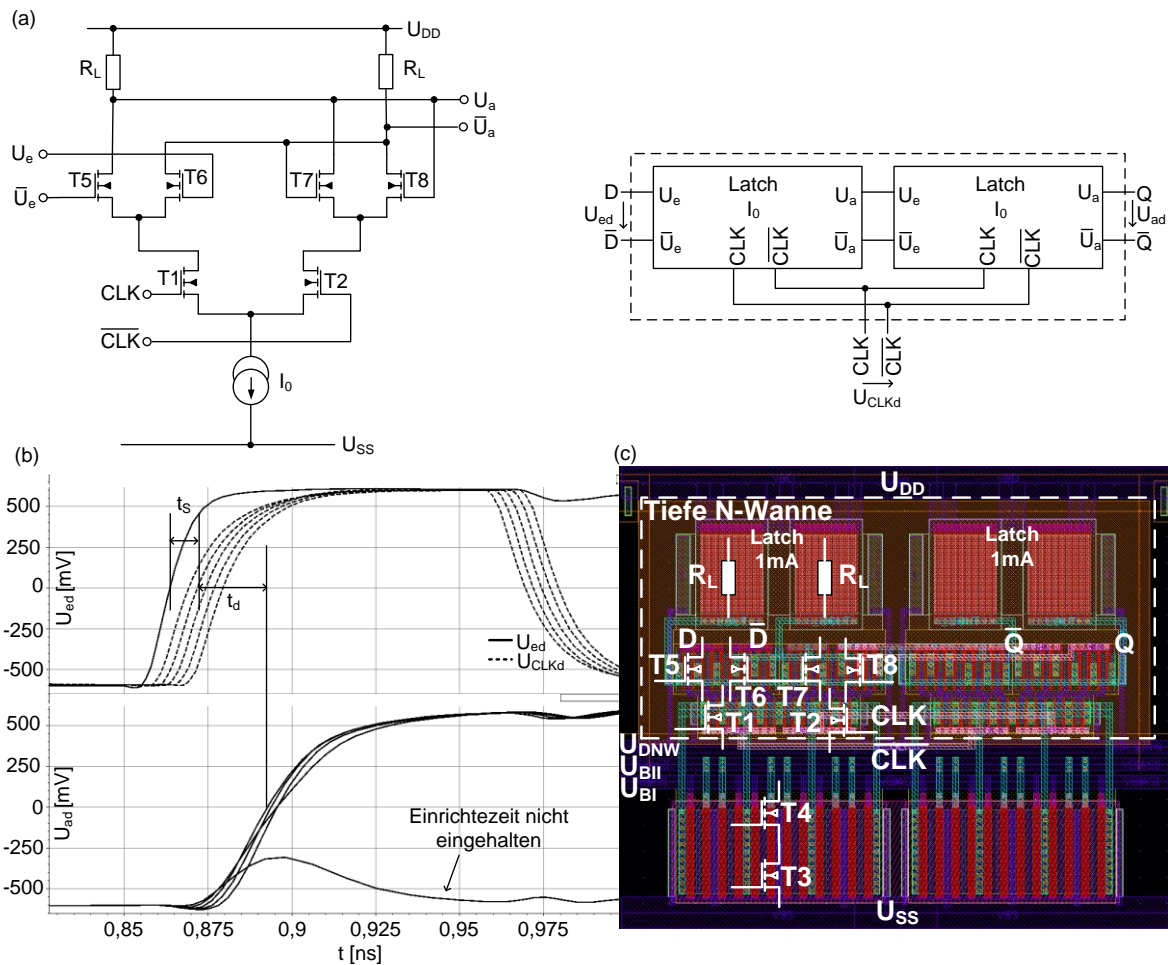


Abbildung 4.12: (a) Schaltplan eines Latches und Blockschaltbild eines Flip-Flops, (b) parametrische Simulationen zur Bestimmung der optimalen Einrichte- und Verzögerungszeit und (c) Layout eines 1 mA Flip-Flops.

$$t_g = t_s + t_d \quad (4.2)$$

Das Datum D bzw. \bar{D} muss bei einem „01“- bzw. „10“-Wechsel möglichst im eingeschwungenen Zustand am Eingang des Flip-Flops anliegen. Die minimal notwendige Zeitdauer, in der das Datum vor der schaltenden Taktflanke CLK anliegen muss, bezeichnet man als Einrichtezeit t_s . Nur wenn die minimal notwendige Einrichtezeit eingehalten wird, kann das korrekte Datum übernommen werden, und es findet ein Datumswechsel am Ausgang statt. Die Zeitdauer zwischen der schaltenden Taktflanke (Trigger) des Flip-Flops und dem Wechsel des Datums am Ausgang bezeichnet man als Verzögerungszeit t_d . Die optimale Einrichte- und Verzögerungszeit wird entsprechend Abbildung 4.12(b) mit einer parametrischen Simulation bestimmt, indem das Takt- und Datensignal am Eingang des Flip-Flops zeitlich zueinander verschoben werden. Die Summe aus Einrichte- und Verzögerungszeit muss bei korrekter Übernahme der Daten am Eingang minimiert werden. Das realisierte Flip-Flop schaltet auf die steigende Taktflanke. Es ist zu erkennen, dass bei Nichteinhaltung der Einrichtezeit kein „10“-Wechsel am Ausgang stattfindet. Die simulierte Gesamtverzögerungszeit beträgt für eine Stromtreiberfähigkeit von $I_0=1$ mA $t_g=t_s+t_d=10,6$ ps+ $18,6$ ps= $29,2$ ps. Die Anstiegs- bzw. Abfallzeit ergibt sich zu $t_{LH}=38,4$ ps und $t_{HL}=26,17$ ps. Abbildung 4.12(c) zeigt beispielhaft das Layout eines Flip-Flops mit

einer Stromtreiberfähigkeit von $I_0=1$ mA. Die Gesamtverzögerungs-, Anstiegs- und Abfallzeiten der Flip-Flops erhöhen sich durch das Layout um ca. 13%.

Vergleicht man die Gesamtverzögerungszeiten der Flip-Flops mit den einfachen Verstärkern bzw. Logikgattern, so wird deutlich, dass die maximale Geschwindigkeit des D/A-Wandlers durch die Schaltgeschwindigkeit der Flip-Flops begrenzt ist.

4.2.7 Exklusiv-ODER- und ODER-Logikgatter

Exklusiv-ODER (XOR)

Das XOR-Logikgatter wird in der Eingangssynchronisierung verwendet, um die Synchronität zweier direkt benachbarter Dateneingänge zu überprüfen. Dafür werden identische Datenfolgen auf die zwei benachbarten Dateneingänge gegeben. Sind die Datenfolgen nicht synchron zueinander, wird das durch die Logikfunktion des XOR-Gatters erkannt. Im realisierten D/A-Wandler werden nur XOR-Gatter mit einer Treiberfähigkeit von $I_0=0,25$ mA benötigt. In Abbildung 4.13(a) ist der Schaltplan des XOR-Logikgatters dargestellt. Die Schalttransistoren T1 bis T8 sind identisch und werden ausgehend vom einfachen 1 mA Verstärker dimensioniert. Die Logikfunktion des XOR-Gatters wird durch eine Transientensimulation entsprechend Abbildung 4.13(b) überprüft. Die Verzögerungszeiten t_d sind abhängig von den Datenübergängen an den Eingängen des XOR-Gatters. Der ungünstigste Schaltvorgang ist ein „10→11“ Wechsel an den Eingängen. Die Schaltungsplanungen ergeben Verzögerungs-, Anstiegs- und Abfallzeiten von $t_d=13,13$ ps und $t_{LH}=22,7$ ps bzw. $t_{HL}=34,85$ ps. Unter Berücksichtigung von Layouteffekten erhöhen sich die charakteristischen Zeiten auf $t_d=13,9$ ps, $t_{LH}=28,7$ ps und $t_{HL}=44,7$ ps.

ODER (OR)

Das ODER-Logikgatter ist Bestandteil des Pulsverlängerers im Schaltungsblock der Auswerteeinheit. Der Schaltplan ist in Abbildung 4.14(a) angegeben. Im realisierten D/A-Wandler wird eine Treiberfähigkeit von $I_0=0,5$ mA benötigt. Die Schalttransistoren T1 bis T7 sind identisch dimensioniert und durch binäre Skalierung vom einfachen 1 mA Verstärker abgeleitet. Die Logikfunktion wird durch eine Transientensimulation entsprechend Abbildung 4.14(b) verifiziert. Für einen „10→11“ Übergang an den Eingängen ergeben sich

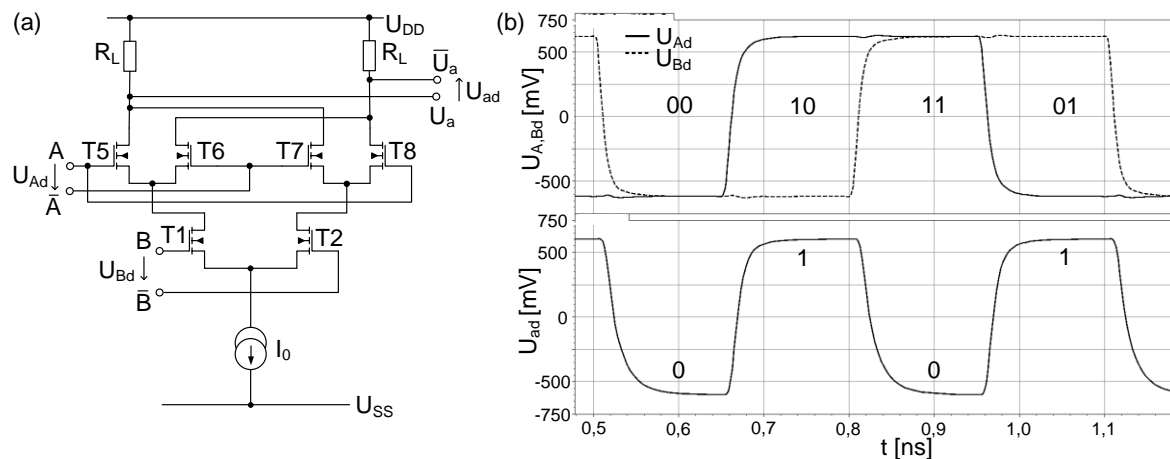


Abbildung 4.13: (a) Schaltplan eines XOR-Logikgatters und (b) Zeitbereichssimulation zur Verifikation der Logikfunktion.

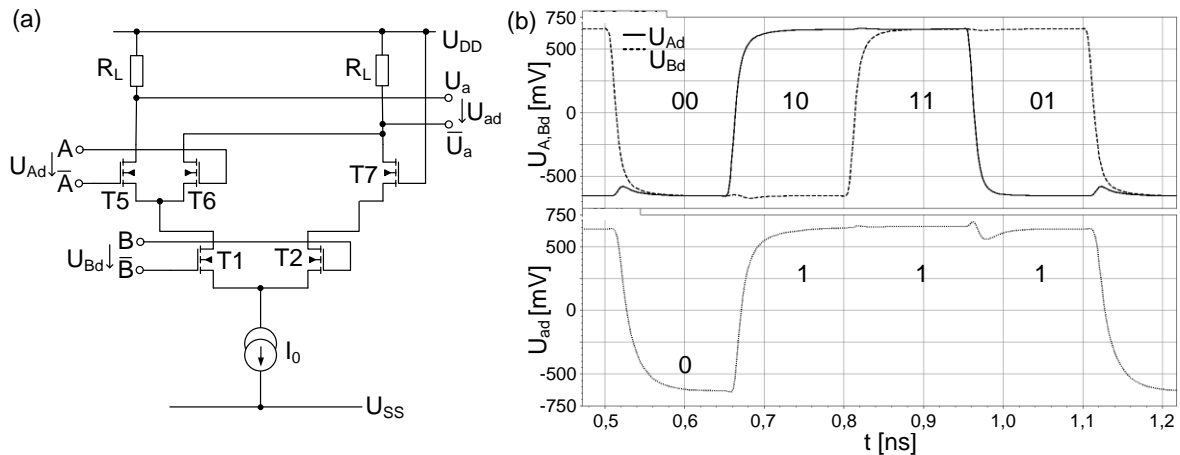


Abbildung 4.14: (a) Schaltplan eines ODER-Logikgatters und (b) Zeitbereichssimulationen zur Verifikation der Logikfunktion des ODER-Logikgatters.

eine Verzögerungszeit von $t_d=12,56$ ps und Anstiegs- bzw. Abfallzeiten von $t_{LH}=22,7$ ps bzw. $t_{HL}=32,78$ ps. Unter Berücksichtigung von Layouteffekten erhöhen sich die charakteristischen Zeiten auf $t_d=13,42$ ps, $t_{LH}=30$ ps und $t_{HL}=37,6$ ps.

4.3 Schaltungskomponenten

Dieses Unterkapitel stellt die Funktionen und den Entwurf der Schaltungsblöcke vor. Die Funktionalität jedes Schaltungsblocks wird durch Simulationen bei der Zielabtastrate von 25 GS/s überprüft. Die Schaltungsblöcke müssen demnach mit einer maximalen Frequenz von $f_{CLK}=12,5$ GHz getaktet werden können. Der Entwurf der Schaltungsblöcke basiert auf den Grundgattern aus Kapitel 4.2.

Unterschiede zwischen den zwei Wandlerentwürfen innerhalb des Projektes 100 GET bestehen in der zeitrichtigen Verarbeitung der Daten an den Ausgangsstufen, im Stromquellenlayout, in der Anordnung der Spulen im Takttreiberschaltungsblock, im Spannungsversorgungsgitter und in den Dimensionierungen der Schaltungsblöcke zur Leistungsreduzierung. Besonders hervorzuheben sind dabei die Verbesserungen im Stromquellenlayout und die Anordnung der Stromquellenfelder entsprechend Kapitel 4.3.4.

4.3.1 Eingangssynchronisierung und Pseudo-Dekoder

Funktion

In Abbildung 4.15 sind das Blockschaltbild und Layout der Eingangssynchronisierung mit Pseudo-Dekoder dargestellt. Um die 6 Bit breiten Eingangsdaten mit einer Zielbitrate von bis zu 12,5 Gbit/s pro Kanal aufeinander zu synchronisieren, können in der ersten FF-Stufe die Daten D0 bis D5 jeweils auf die positive bzw. negative Taktflanke abgetastet werden. Das entspricht einer Phasenauswahl von 0° bzw. 180° an jeder Bitposition. Nachfolgend werden die abgetasteten Daten mit Hilfe einer zweiten FF-Stufe auf den Systemtakt auf-synchronisiert. Die Eingangssynchronisierung des D/A-Wandlers 1 bzw. 2 arbeitet dabei entsprechend Abbildung 4.2 auf die positive bzw. negative Taktflanke des Systemtakts.

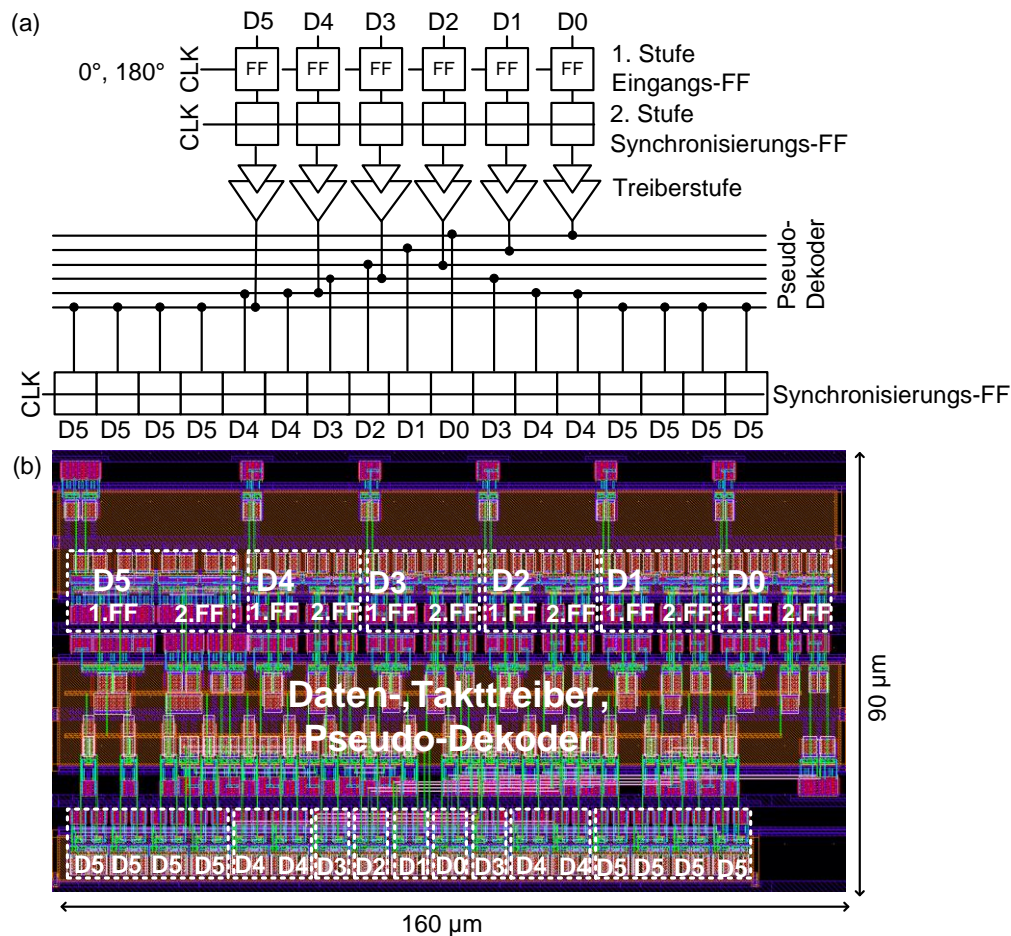


Abbildung 4.15: (a) Blockschaltbild und (b) Layout der Eingangssynchronisierung.

Die Auswahl der Phasen über ein Kontrollregister und der Ablauf der Synchronisierung wird in Kapitel 4.3.7 vorgestellt.

Nach der Synchronisierung wird mit Hilfe eines Verdrahtungsschemas der Pseudo-Dekoder entsprechend Kapitel 2.4.1 realisiert. Es handelt sich um eine 4:2 segmentierte Architektur, d.h. die zwei niederwertigen Bitpositionen sind binär und die vier höherwertigen Bitpositionen unär gewichtet. Insgesamt entstehen dabei 15 unäre und 2 binäre Datenpfade. Aufgrund der unterschiedlichen Anzahl von FFs und Leitungslängen, die getrieben werden müssen, sind nach der zweiten FF-Stufe entsprechende Datentreiber vorgesehen. Die Daten werden nach dem Pseudo-Dekoder erneut mit FFs auf den Systemtakt aufsynchronisiert. Die größte Last entsteht dabei an der Bitposition D5, da insgesamt acht FFs getrieben werden müssen und ein hoher Verdrahtungsaufwand besteht. Die Anordnung der Synchronisierungs-FFs nach dem Verdrahtungsschema aus Abbildung 4.15(a) entspricht dabei vorbereitend dem Stromquellenlayout. Die Daten am Ausgang dieser FFs werden anschließend vom Datentreiber- bzw. Pegelschieber-Schaltungsblock weiterverarbeitet.

In Abbildung 4.16(a) sind die verwendeten Takt- und Datentreiber in der Eingangssynchronisierung dargestellt. Die Treiberfähigkeiten werden im zweiten Entwurf durch FO-Optimierung reduziert, um eine geringere Last am Takttreiberbaum zu erzielen. Damit sind eine Erhöhung der maximalen Schaltgeschwindigkeit und eine Reduzierung der Leistungsaufnahme um 57% möglich. Weiterhin zeigt Abbildung 4.16(b) beispielhaft einen Takttreiber der ersten FF-Stufe mit Phasenauswahl. In Abhängigkeit der Steuersignale S und \bar{S} ist die Phase auf 0° bzw. 180° einstellbar. Die statischen Steuersignale ($H=0\text{ V}$, $L=-2,5\text{ V}$) werden vom Steuerregister geliefert und müssen daher an „nch_25“-Transistoren anliegen.

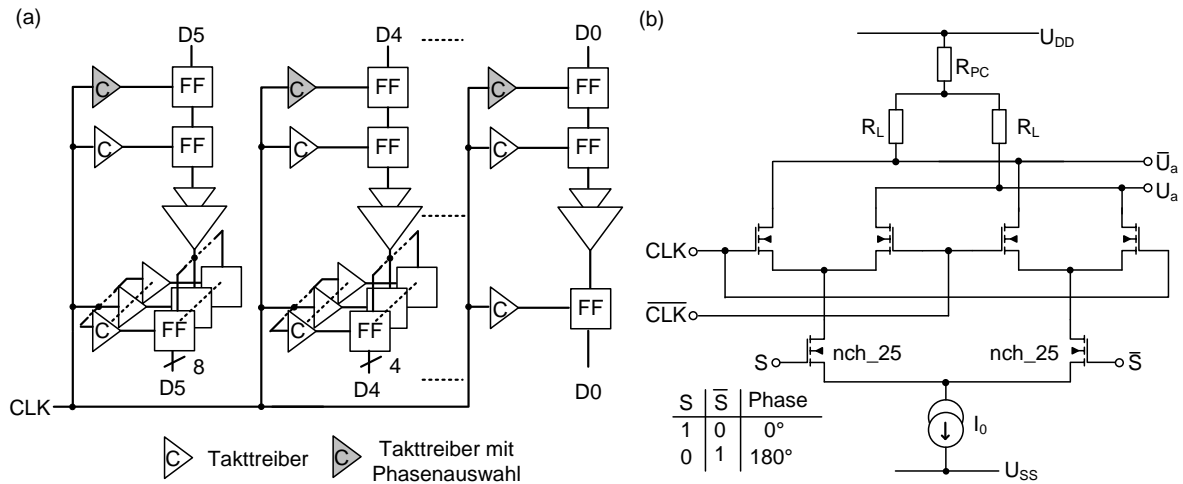


Abbildung 4.16: (a) Verwendete Treiber in der Eingangssynchronisation und (b) Takttreiber der ersten Flip-Flop Stufe zur Phasenauswahl.

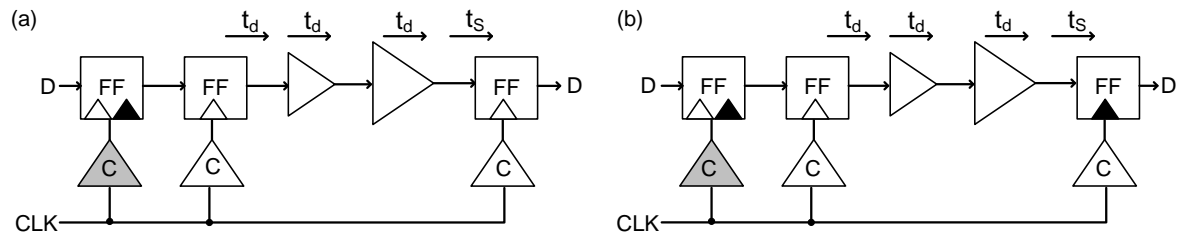


Abbildung 4.17: Zeitkritischer Pfad in der Eingangssynchronisation zur Abschätzung der maximalen Taktfrequenz im (a) Entwurf 1 und (b) Entwurf 2.

Abschätzung der maximalen Taktfrequenz

Die maximale Taktfrequenz des Schaltungsblocks lässt sich entsprechend Abbildung 4.17 abschätzen. Die Taktung der Synchronisierungs-FFs nach dem Verdrahtungsschema unterscheidet sich in den beiden Wandlerentwürfen. Im ersten Wandlerentwurf schalten die Synchronisierungs-FFs vor und nach dem Verdrahtungsschema auf die steigende Taktflanke. Bei dieser Art der Taktung treten Problemen bei der zeitrichtigen Datenverarbeitung an der Ausgangsstufe des D/A-Wandlers auf. Daher werden im zweiten Wandlerentwurf die Synchronisierungs-FFs nach dem Verdrahtungsschema auf die fallende Flanke durchgeschaltet. Dementsprechend ergibt sich für die maximale Taktung $T_{CLK,E1}$ und $T_{CLK,E2}$ der beiden Wandlerentwürfe

$$\begin{aligned} t_{dE1} &= 3 \cdot t_d + t_s \leq T_{CLK,E1} \\ t_{dE2} &= 3 \cdot t_d + t_s \leq T_{CLK,E2} / 2. \end{aligned} \quad (4.3)$$

Setzt man die RC-Simulationsergebnisse der Grundgatter ein, ergibt sich für die maximale Taktfrequenzen $f_{CLK,E1} \approx 18,8$ GHz und $f_{CLK,E2} \approx 10$ GHz. Bei der Abschätzung wird die optimale Einrichtezeit der FFs verwendet. Geht man von der minimalen Einrichtezeit aus, kann auch mit dem zweiten Wandlerentwurf die Spezifikation erfüllt werden. Die Annahme ist zulässig, da die Daten am Ausgang der FFs im nachfolgenden Schaltungsblock regeneriert und zeitrichtig an den Ausgangsstufen verarbeitet werden.

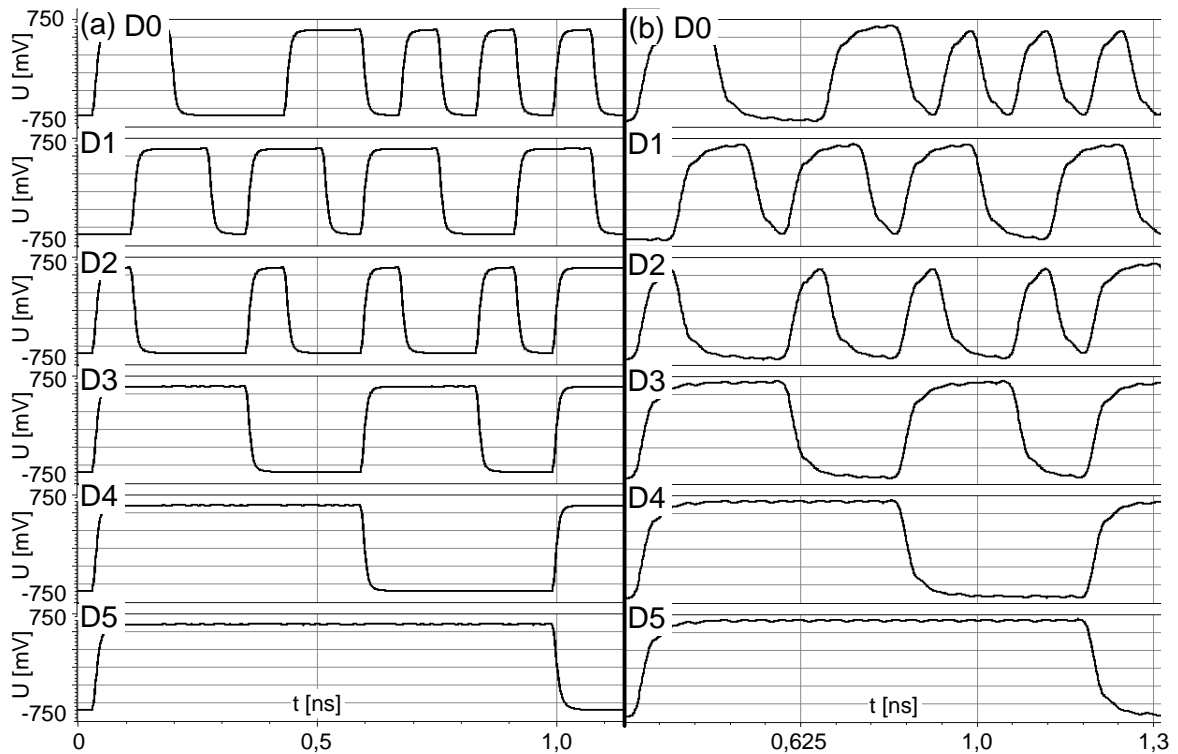


Abbildung 4.18: Simulation der Eingangssynchronisierung unter Berücksichtigung von Layouteffekten (RCc): (a) Bitmuster am Eingang und (b) am Ausgang.

Simulationsergebnisse

Die Funktionalität des Schaltungsblocks wird durch typische RCc-Simulationen bei der Zieltaktfrequenz entsprechend Abbildung 4.18 verifiziert. Dafür wird die Phase aller Bitpositionen auf 0° gesetzt und ein definiertes Bitmuster auf die Dateneingänge gegeben. Abbildung 4.18(a) bzw. (b) zeigt die Eingangs- und korrekte Ausgangsdatenfolge.

4.3.2 Datentreiber und Pegelschieber

Funktion

Die Daten am Ausgang der Eingangssynchronisierung müssen regeneriert und für die Ausgangsstufe des D/A-Wandlers aufbereitet werden. Damit werden der Sättigungsbetrieb der Transistoren und schnelles Schalten in der Ausgangsstufe sichergestellt. In Abbildung 4.19(a) ist der Schaltungsblock dargestellt. Die Gleichtaktpegel der Ausgangssignale der Eingangssynchronisierung werden schrittweise um insgesamt 400 mV nach unten geschoben. Damit die Daten aus der Eingangssynchronisierung zeitgleich an den 17 Ausgangsstufen des D/A-Wandlers anliegen, sind alle Stufen der Datenpfade gleich dimensioniert. Die Gleichtaktpegel werden zunächst durch die C-Treiber um 200 mV und anschließend durch D-Treiber um weitere 200 mV nach unten geschoben. Die Anzahl der verwendeten C- und D-Treiber kann der Abbildung 4.19(a) entnommen werden. Die Stromtreiberfähigkeit ist im zweiten Entwurf insgesamt höher, um ein schnelleres Einschwingen der Daten an den Ausgangsstufen zu erzielen. Abbildung 4.19(b) zeigt die Anordnung der Datenpfade im Layout des Schaltungsblocks. Die Verdrahtung der Datentreiber ist in allen Pfaden identisch, um möglichst gleiche Verzögerungszeiten zu erzielen.

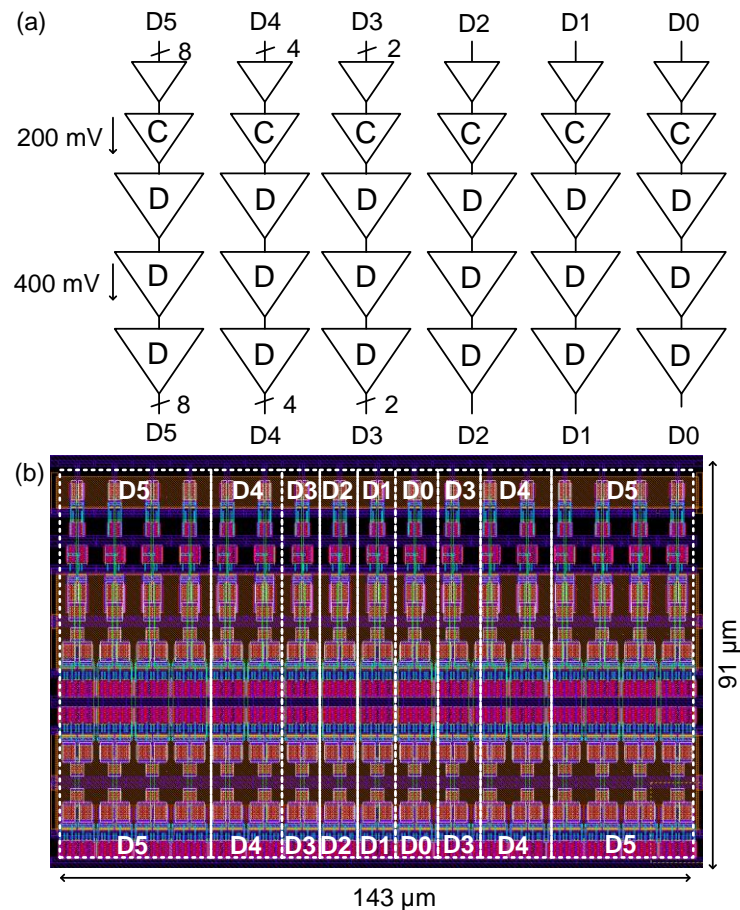


Abbildung 4.19: (a) Datentreiberschaltungsblock und (b) Layout.

Simulationsergebnisse

In Abbildung 4.20 sind beispielhaft der Dateneingang und Ausgang der Bitposition D0 bei einer typischen RCc-Simulation und einer Taktfrequenz von $f_{CLK}=12,5$ GHz bzw. einer Bitrate von 12,5 Gbit/s dargestellt. Die Ausgänge des Datentreiberschaltungsblocks sind in den Simulationen bereits mit der Ausgangsstufe belastet. Das Datenbit D0 erreicht trotz der zusätzlichen parasitären Elemente noch ausreichend geschobene Pegel mit den Spannungswerten von -350 mV und -860 mV am Ausgang des Schaltungsblocks. Die Flankensteilheit beträgt $t_{LH}=t_{HL}=30$ ps. Ein schnelles Einschwingen und Regenerieren der Daten auf die gewünschten Spannungswerte an der Ausgangsstufe ist damit gewährleistet.

4.3.3 Ausgangsstufe

Funktion

An der Ausgangsstufe wird die Digital-zu-Analog Wandlung vollzogen, d.h. die digitalen Daten D bzw. \bar{D} werden in eine analoge Größe, hier einen Strom I bzw. \bar{I} , gewandelt. In Abbildung 4.21(a,b) sind der Schaltplan und das Layout einer Ausgangsstufe des D/A-Wandlers dargestellt. Die Ausgangsstufe besteht aus zwei aufeinander gestapelten Stufen von Schalttransistoren. Die erste Stufe wird mit den Daten D bzw. \bar{D} des Datentreiberschaltungsblocks angesteuert. Das Taktsignal CLK bzw. \overline{CLK} aus dem Taktverteilungsnetzwerk schaltet die zweite Stufe. In Abhängigkeit dieser Signale wird die Kaskodestrom-

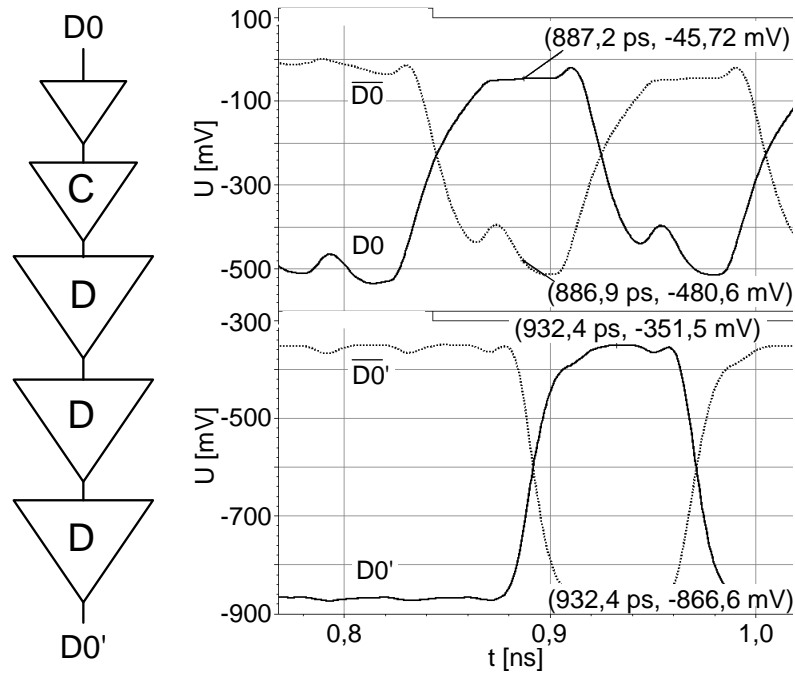


Abbildung 4.20: Schaltplansimulation der schrittweise geschobenen Pegel im Datentreiberschaltungsblock unter Berücksichtigung des Layouts (RCc).

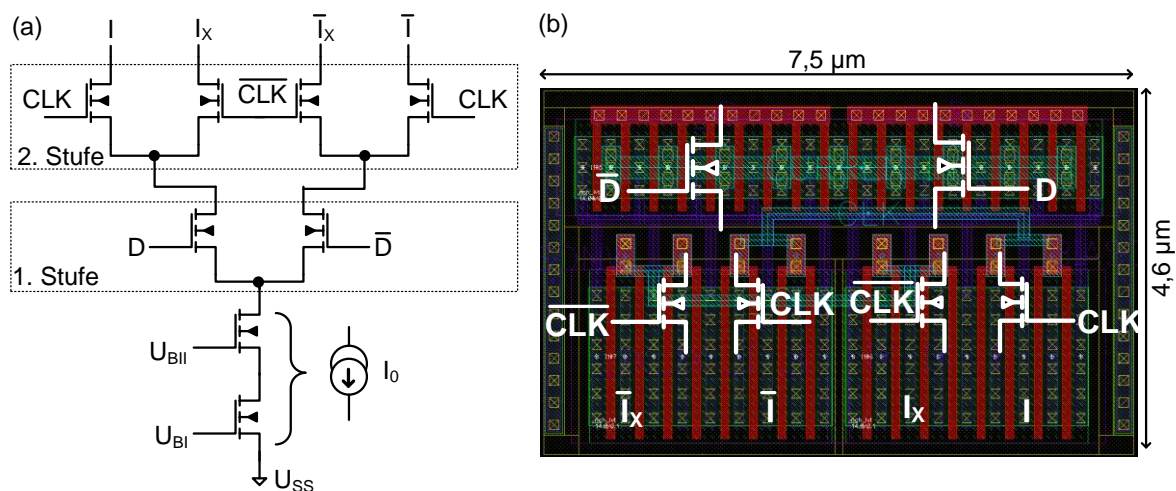


Abbildung 4.21: (a) Schaltplan und (b) Layout einer Ausgangsstufe.

quelle I_0 auf eine Stromsammelschiene I bzw. \bar{I} oder einen Dummy-Ausgang I_x bzw. \bar{I}_x durchgeschaltet.

Die zweite Stufe der Schalttransistoren realisiert dabei einen Multiplexer, der das Zeitverschachtelungsprinzip umsetzt. Ist das Taktsignal CLK=H, wird das anliegende Datum D ausgewertet. Für D=H wird der Strom I_0 der Kaskodestromquelle auf den analogen Ausgang I durchgeschaltet. Ist D=L, fließt der Strom durch den Ausgang \bar{I} . Während einer Low-Phase des Taktsignals fließt der Strom in Abhängigkeit des Datums D über einen der Ausgänge I_x bzw. \bar{I}_x ab. Der Dummy-Ausgang liefert keinen Beitrag zum analogen Ausgangssignal. Entsprechend dem Zeitverschachtelungsprinzip werden abwechselnd gültige Daten bzw. Ströme von den Ausgangsstufen des D/A-Wandlers 1 und 2 in die Stromsammelschienen I bzw. \bar{I} eingespeist.

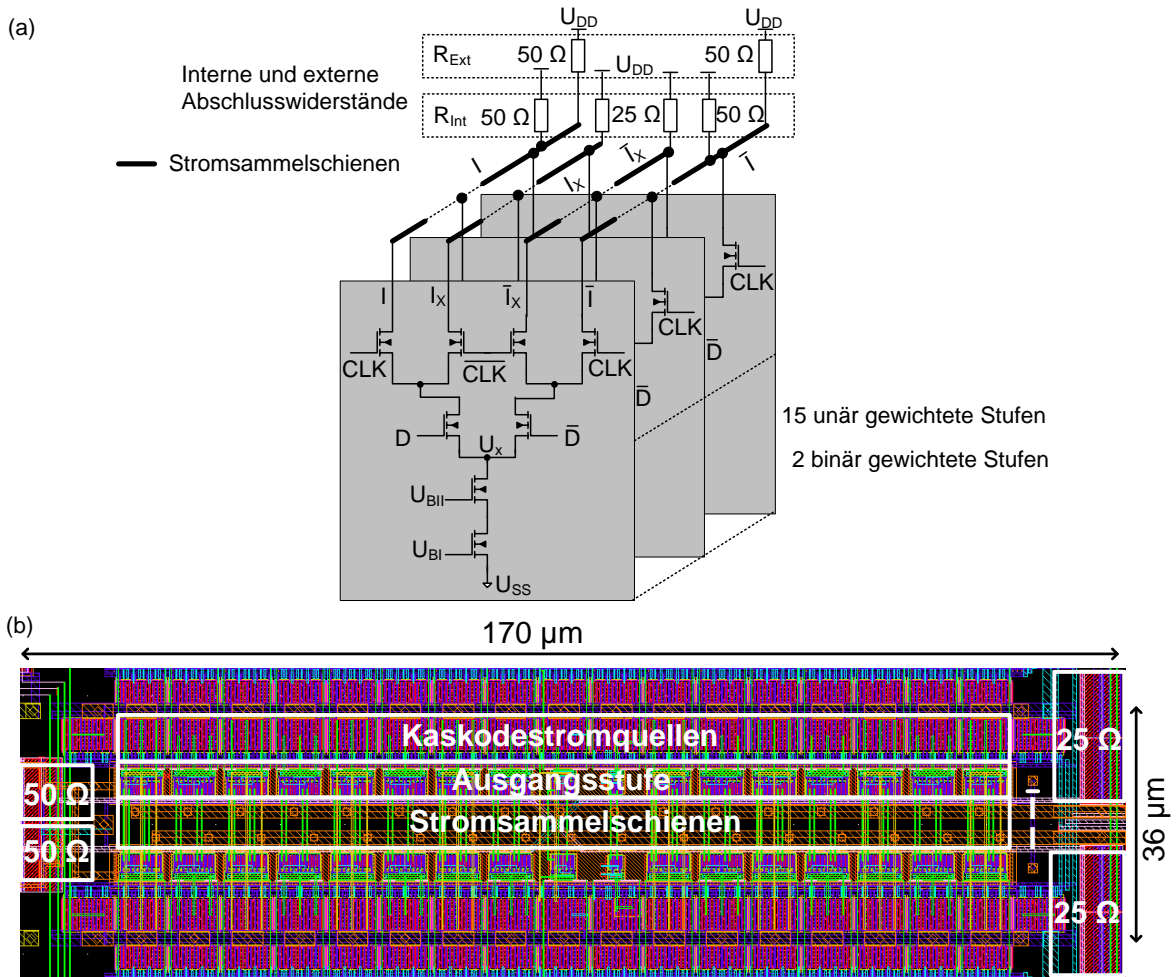


Abbildung 4.22: (a) Stromsammelschienen und Ausgangsstufen eines D/A-Wandlers und (b) Anordnung im Layout.

Aufgrund der 4:2 segmentierten Architektur gibt es pro Wandler 17 Ausgangsstufen, die miteinander über die Stromsammelschienen verbunden sind. Abbildung 4.22(a) zeigt beispielhaft die miteinander verbundenen Ausgangsstufen eines Wandlers. Die Dummy-Stromsammelschienen I_x bzw. \bar{I}_x sind intern auf dem Chip mit $25\ \Omega$ Widerständen R_{Int} abgeschlossen. Das differentielle analoge Ausgangssignal der Stromsammelschienen I bzw. \bar{I} ist intern mit $50\ \Omega$ Widerständen R_{Int} terminiert. Diese Ausgänge werden optimalerweise extern ebenfalls mit $50\ \Omega$ Widerständen R_{Ext} abgeschlossen. Durch die Abschlusswiderstände wird damit eine „Strom-zu-Spannung“-Wandlung vollzogen. Die Abbildung 4.22(b) zeigt die Anordnung der Stromsammelschienen und Ausgangsstufen im Layout.

Die Dimensionierungen der „ n_{ch_lvt} “-Transistoren der ersten und zweiten Schaltstufe sind identisch. Für die LSB-Schaltstufe wird eine Transistorweite von $W=1,75\ \mu\text{m}$ verwendet. Die entsprechenden Dimensionierungen der 2 LSB und unären Schaltstufe erhält man ausgehend von der LSB-Stufe durch binäre Skalierung.

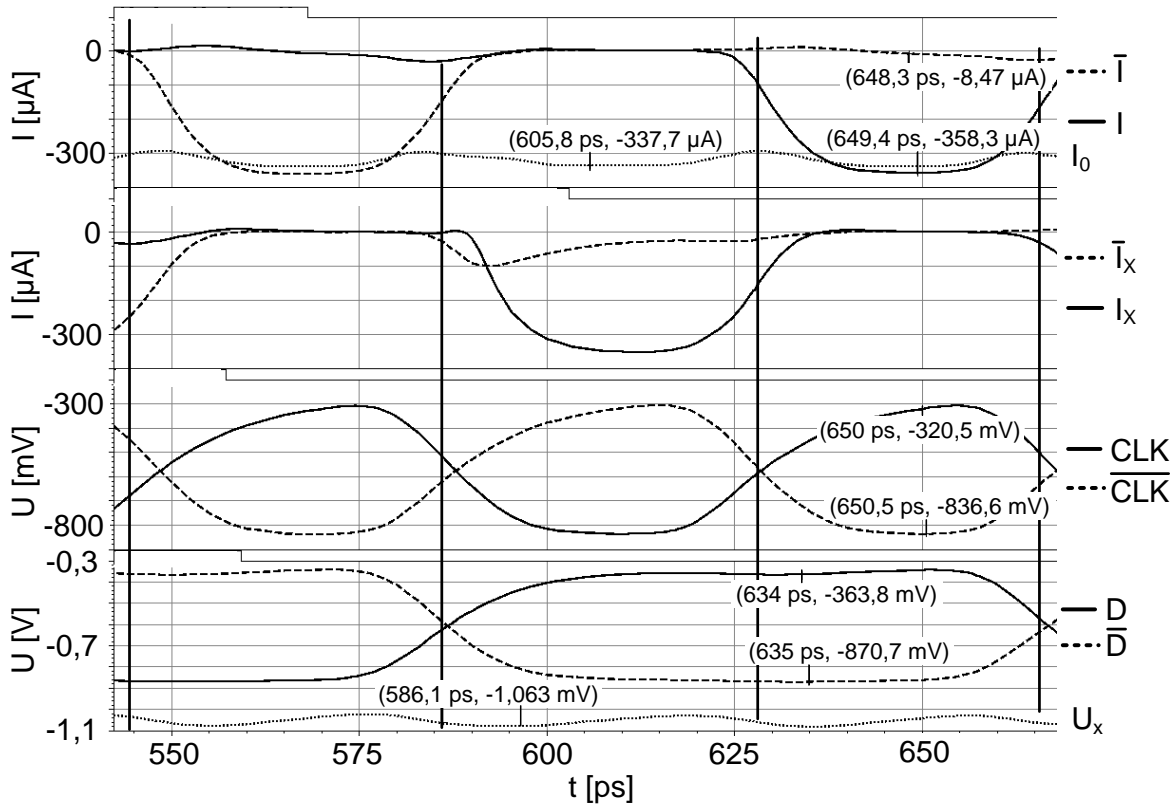


Abbildung 4.23: Simulation aller relevanten Signale einer 1 LSB Ausgangsstufe mit Berücksichtigung des Layouts (RCc).

Simulationsergebnisse

In Abbildung 4.23 sind die RCc-Simulationsergebnisse aller relevanten Signale beispielhaft an einer 1 LSB Ausgangsstufe bei der Zieltaktfrequenz dargestellt. Die Takt- und Datensignale werden vom Takttreiber- und Datentreiberschaltungsblock geliefert, welche ebenfalls mit der aus dem Layout extrahierten Netzliste in die Simulation einbezogen sind. Die differentiellen Takt- und Datensignale erreichen aufgrund der zusätzlichen parasitären Elemente Spannungswerte von $-320/-836$ mV (Takt) bzw. $-363/-870$ mV (Daten) an der Ausgangsstufe. Dennoch arbeiten alle Transistoren in Sättigung und der Strom $I_{0,\text{LSB}} \approx -358 \mu\text{A}$ wird für $\text{CLK}=\text{D}=\text{H}$ vollständig auf die Sammelschienen durchgeschaltet.

Pegelschiebung an den Takt- und Dateneingängen

Die Transistoren der Ausgangsstufen müssen für schnelles Durchschalten der gewichteten Ströme auf die Sammelschienen im Sättigungsbetrieb sein. Nachfolgend wird auf die Notwendigkeit der Gleichtaktpegelschiebung der Takt- und Datensignale an der Ausgangsstufe zur Sicherstellung des Sättigungsbetriebes eingegangen. Es wird angenommen, dass der Ausgangsspannungshub von der Stromquellenreferenzschaltung auf $U_{\text{Hub}} = -500$ mV eingestellt ist. Dementsprechend werden die Vorspannungen der Kaskodestromquellen U_{BI} und U_{BII} durch die Referenzschaltung erzeugt.

In Abbildung 4.24(a) ist das Schaltszenario zur Verdeutlichung der Notwendigkeit der Pegelschiebung dargestellt. Die Takt- und Dateneingänge können zunächst nur Werte zwischen 0 und -600 mV annehmen, d.h. es liegt keine Pegelschiebung vor. Im ungünstigsten Fall fließt der Maximalstrom ($\text{CLK}=\text{D}=\text{H}=0$ V). Alle Ausgangsstufen schalten die Kaskodestromquellen auf die analoge Sammelschiene I durch. Dadurch wird in der Simula-

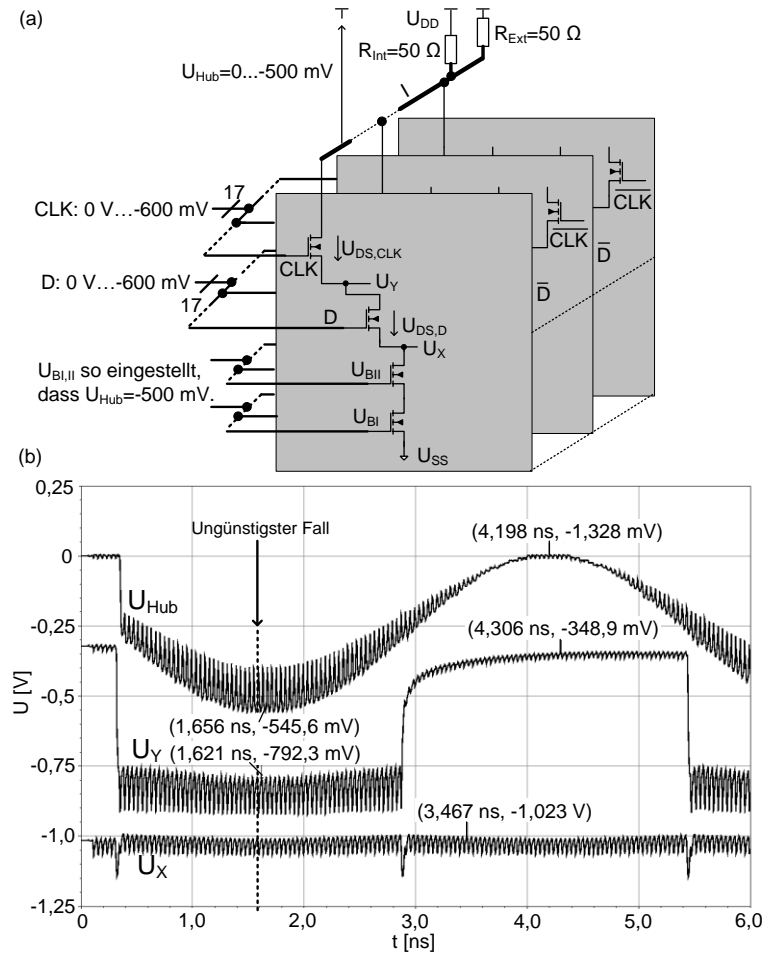


Abbildung 4.24: (a) Schaltszenario zur Verdeutlichung der Notwendigkeit der Pegelschiebung und (b) simulierte Spannungen an der Ausgangsstufe unter diesen Bedingungen.

tion aus Abbildung 4.24(b) ein maximaler Spannungsabfall von $U_{Hub} \approx -545 \text{ mV}$ am Abschlusswiderstand $R_{Ext} || R_{Int} = 25 \Omega$ verursacht. Der minimale Spannungsabfall über den Stromquellen und Schalttransistoren beträgt daher $|U_{SS}| - 0,545 \text{ V} = 1,955 \text{ V}$. Der Spannungsabfall U_X über den Kaskodestromquellen beträgt entsprechend den Schaltplansimulationen aus Abbildung 4.24(b) im ungünstigsten Fall $U_X \approx -1,023 \text{ V}$ bzw. $U_Y \approx -0,792 \text{ V}$. Damit können die Drain-Source-Spannungen der Schalttransistoren zu $U_{DS,CLK} = 0,247 \text{ V}$ und $U_{DS,D} = 0,231 \text{ V}$ bestimmt werden. Um die Transistoren im Sättigungsbetrieb zu betreiben, muss nach Tabelle 3.1 gelten: $U_{GS} - U_{Th} \leq U_{DS}$. Es wird eine Schwellenspannung der Transistoren von $U_{Th} \approx 0,6 \text{ V}$ angenommen. Einsetzen der Spannungswerte in die Bedingung liefert

$$\begin{aligned} U_{DS,CLK} = 0,247 \text{ V} &\geq U_{GS,CLK} - U_{Th} = (0 \text{ V} - (-0,792 \text{ V})) - 0,6 \text{ V} = 0,192 \text{ V} \\ U_{DS,D} = 0,231 \text{ V} &\leq U_{GS,D} - U_{Th} = (0 \text{ V} - (-1,023 \text{ V})) - 0,6 \text{ V} = 0,423 \text{ V}. \end{aligned} \quad (4.4)$$

Der Sättigungsbetrieb aller Schalttransistoren ist damit nicht gewährleistet. Berücksichtigt man die Gleichtaktpegelschiebung der Takt- und Datensignale an der Ausgangsstufe um -200 mV bzw. -400 mV , gilt jetzt im ungünstigsten Fall

$$\begin{aligned} U_{DS,CLK} = 0,247 \text{ V} &\geq U_{GS,CLK} - U_{Th} = (-0,2 \text{ V} - (-0,792 \text{ V})) - 0,6 \text{ V} = -0,008 \text{ V} \\ U_{DS,D} = 0,231 \text{ V} &\geq U_{GS,D} - U_{Th} = (-0,4 \text{ V} - (-1,023 \text{ V})) - 0,6 \text{ V} = 0,023 \text{ V}. \end{aligned} \quad (4.5)$$

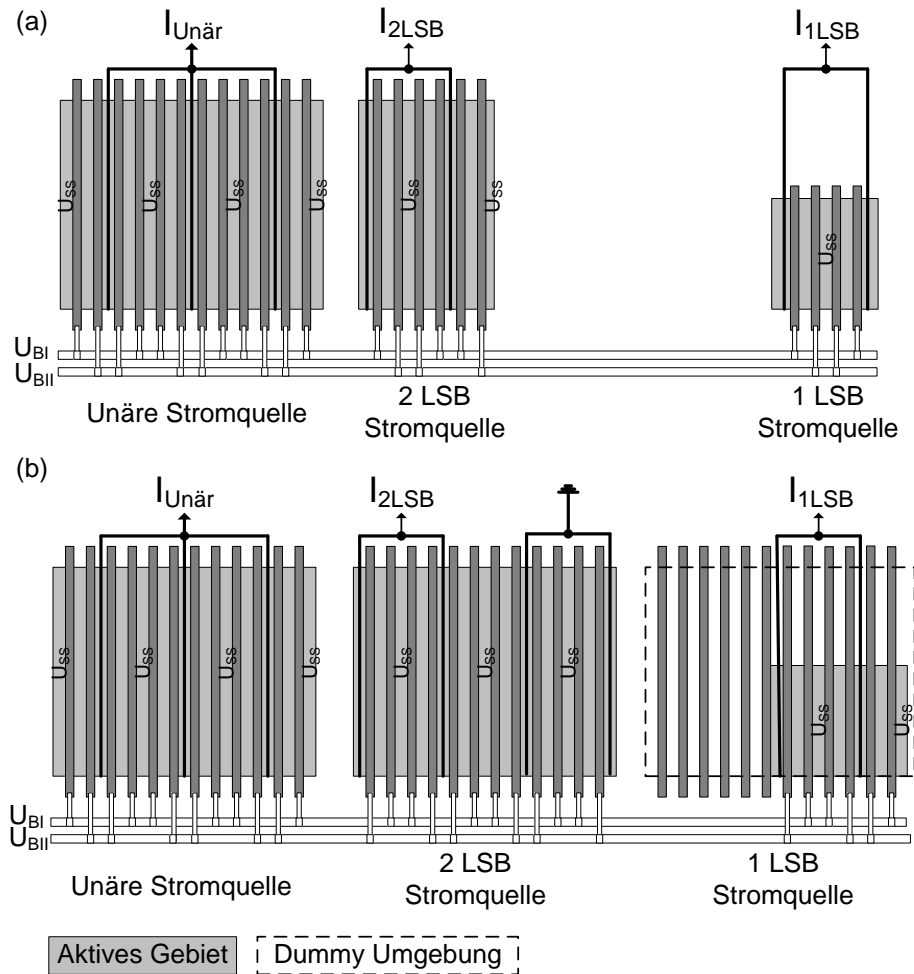


Abbildung 4.25: Layout der binären und unären Stromquellen im (a) ersten und (b) zweiten Wandlerentwurf.

Der Sättigungsbetrieb der Transistoren ist damit sichergestellt. Die Bedingung für Sättigungsbetrieb ist auch noch mit den Spannungspegeln der Takt- und Datensignale entsprechend Abbildung 4.23 unter Berücksichtigung der parasitären Elemente (RCc) erfüllt.

4.3.4 Kaskodestromquellen

Dimensionierung und Layout

Die Dimensionierungen der Kaskodestromquellen sind mit Ausnahme der LSB Stromquelle in beiden Wandlerentwürfen (E1, E2) identisch und können Tabelle 4.1 entnommen werden. Die Abbildung 4.25 zeigt das Layout der unären und binären Kaskodestromquellen beider Wandlerentwürfe. Es wurde darauf geachtet, gemeinsame Drain- und Source-Gebiete der Kaskodetransistoren T1 und T2 zusammenzufassen. Während das Layout der unären Stromquellen in beiden Wandlerentwürfen identisch ist, ergeben sich bei den binären Stromquellen entscheidende Unterschiede zwischen den zwei Wandlerentwürfen.

Tabelle 4.1: Dimensionierungen der Kaskodestromquellen-Transistoren.

Gewichtung	Gesamtweite W [μm]	Weite pro Finger [μm]	# Finger	Länge L [μm]
LSB	7	3,5(E1)/2,335(E2)	2(E1)/3(E2)	0,28
2 LSB	14	4,665	3	0,28
Unär	28	4,665	6	0,28

In Abbildung 4.25(a) ist das Layout der binären Stromquellen aus dem ersten Wandlerentwurf dargestellt. Entsprechend der Dimensionierung aus Tabelle 4.1 wird die 1 LSB Stromquelle mit jeweils 2 Fingern pro Kaskodetransistor umgesetzt. Das Layout der 2 LSB Stromquelle besteht aus 3 Fingern je Kaskodetransistor. Die binäre Skalierung erfolgt daher nicht über die Fingeranzahl, sondern über die Weite W der Transistoren. Eine bessere Passung der Stromquellen zueinander wird jedoch durch eine binäre Skalierung über die Fingeranzahl erreicht. Das Layout der unären Stromquellen wird durch eine Verdopplung der Fingeranzahl der 2 LSB Stromquelle erzielt. Eine gute Passung der 2 LSB und unären Stromquellen zueinander ist daher gegeben.

Ein weiterer Nachteil des realisierten Layouts wird deutlich, wenn die binären und unären Stromquellen im Stromquellenfeld nebeneinander angeordnet werden. Die binären Stromquellen belegen weniger Fläche als die unären Quellen, und somit ist keine identische Poly- und Metallisierungsumgebung für die Stromquellen gewährleistet. Insbesondere die freien Flächen zwischen den unären und binären Quellen werden durch beliebige Dummy-Strukturen gefüllt, um die notwendigen Metaldichten auf dem Chip zu erreichen. Eine gute Passung der Stromquellen zueinander erfordert aber ebenfalls identische Poly- und Metallisierungsumgebungen.

Im zweiten Wandlerentwurf sind daher die binären Quellen entsprechend Abbildung 4.25(b) realisiert. Die 2 LSB Stromquelle wird mit Hilfe des Layouts einer unären Stromquelle umgesetzt. Es werden alle Finger an die Vorspannungen $U_{BI,II}$ angeschlossen, aber nur die Hälfte der Drain-Anschlüsse des Transistors T2 mit der Ausgangsstufe verbunden. Die andere Hälfte der Drain-Anschlüsse ist über den U_{DD} - bzw. Masse-Anschluss abgeführt und trägt nicht zum analogen Ausgangssignal I bei. Damit ergibt sich eine noch bessere Passung zwischen den unären Stromquellen und der 2 LSB Stromquelle. Weiterhin wird von den Stromquellen jetzt die gleiche Fläche im Layout ausgefüllt. Im zweiten Entwurf ist die 1 LSB Stromquelle mit insgesamt drei statt zwei Fingern aufgebaut. Ausgehend vom Layout der 2 LSB Stromquelle kann die 1 LSB Stromquelle deshalb durch erneutes Halbieren der Fingerweite W realisiert werden. Die Poly- und Metallisierungsumgebung wird dabei der unären bzw. 2 LSB Stromquelle nachempfunden. Alle Stromquellen belegen dadurch in der Feldanordnung die gleiche Fläche und haben nahezu identische Poly- und Metallisierungsumgebungen.

Anordnung des Stromquellenfeldes

In Abbildung 4.26(a) ist die Anordnung der unären und binären Stromquellen der zwei zeitverschachtelten D/A-Wandler dargestellt. Die Anordnung der Stromquellen berücksichtigt drei wichtige Aspekte des Layouts der analogen Ausgangsstufe:

- Die Qualität des Taktsignals CLK nimmt im Layout aufgrund der zunehmenden Leitungslänge von links nach rechts ab, d.h die Qualität des Taktsignals direkt am Ausgang des Takttreibers ist besser als an der letzten Ausgangsstufe bzw. Stromquelle.

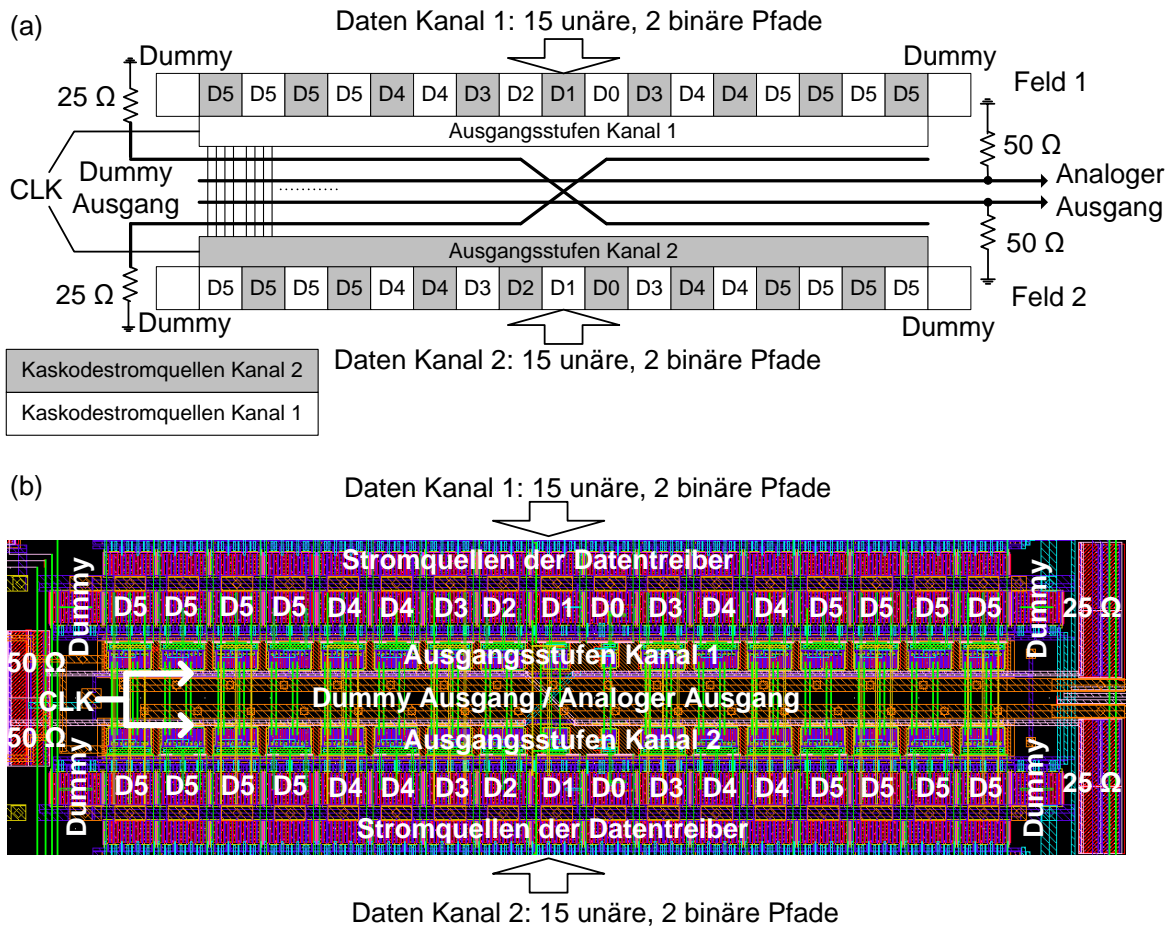


Abbildung 4.26: (a) Anordnung und (b) Layout der Stromquellenfelder der zwei zeitverschachtelten D/A-Wandler.

- Die Stromquellen der beiden zeitverschachtelten Wandler sollten räumlich so nah wie möglich beieinander liegen. Dadurch können die unvermeidbaren Prozessschwankungen, die bei der Chipprozessierung entstehen, an den Stromquellen minimiert werden. Weiterhin wird die Passung der Stromquellen der zeitverschachtelten D/A-Wandler zueinander verbessert.
- Die Poly- und Metallisierungsumgebung der Stromquellen muss für eine gute Passung der Quellen zueinander möglichst gleich sein.

Aufgrund dieser Vorüberlegungen ergibt sich das Layout der Stromquellenfelder der beiden D/A-Wandler entsprechend Abbildung 4.26(b). Um die abnehmende Qualität des Taktsignals CLK an den Ausgangsstufen der Stromquellen zu mitteln bzw. zu kompensieren, werden insbesondere die unären Stromquellen gleichmäßig auf beide Seiten des Stromquellenfeldes verteilt. Beispielsweise werden jeweils vier der acht unären Quellen der Bitposition D5 an den Anfang und an das Ende des Stromquellenfeldes gesetzt. Die restlichen unären Stromquellen der Bitpositionen D4 bis D2 werden dazwischen angeordnet, wobei auch hier ein gleichmäßiges Verteilen auf die linke und rechte Seite des Feldes stattfindet. Die zwei binär gewichteten Quellen befinden sich in der Mitte des Stromquellenfeldes.

Entsprechend Abbildung 4.26(a) sind die zwei Stromquellenfelder der D/A-Wandler durch die Stromsammelschienen räumlich voneinander getrennt. Damit sich die Passung der zwei zeitverschachtelten D/A-Wandler zueinander verbessert, werden an die Ausgangsstufen des

D/A-Wandler 1 bzw. 2 abwechselnd Stromquellen aus dem ersten und zweiten Stromquellenfeld angeschlossen. In Abbildung 4.26(a) sind die zueinander gehörenden Ausgangsstufen und Stromquellen hervorgehoben.

Um möglichst eine identische Poly- und Metallisierungsumgebung in den Stromquellenfeldern zu erreichen, werden an den Anfang und das Ende jedes Feldes entsprechend Abbildung 4.26(a) zusätzliche Dummy-Stromquellen platziert. Weiterhin entsprechen die Stromquellenlayouts der Treiber in der letzten Stufe des Datentreiberschaltungsblocks nahezu den Layouts der unären Stromquellen. Somit trägt der Datentreiberschaltungsblock ebenfalls dazu bei, eine möglichst gleiche Poly- und Metallisierungsumgebung für die Stromquellenfelder zu erzielen.

Die Stromsammelschienen der mit $25\ \Omega$ Widerständen abgeschlossenen Dummy-Ausgänge werden im Layout entsprechend Abbildung 4.26(a) gekreuzt. Damit wird das Einkoppeln des Dummy-Ausgangs I_X auf den analogen Ausgang I kompensiert.

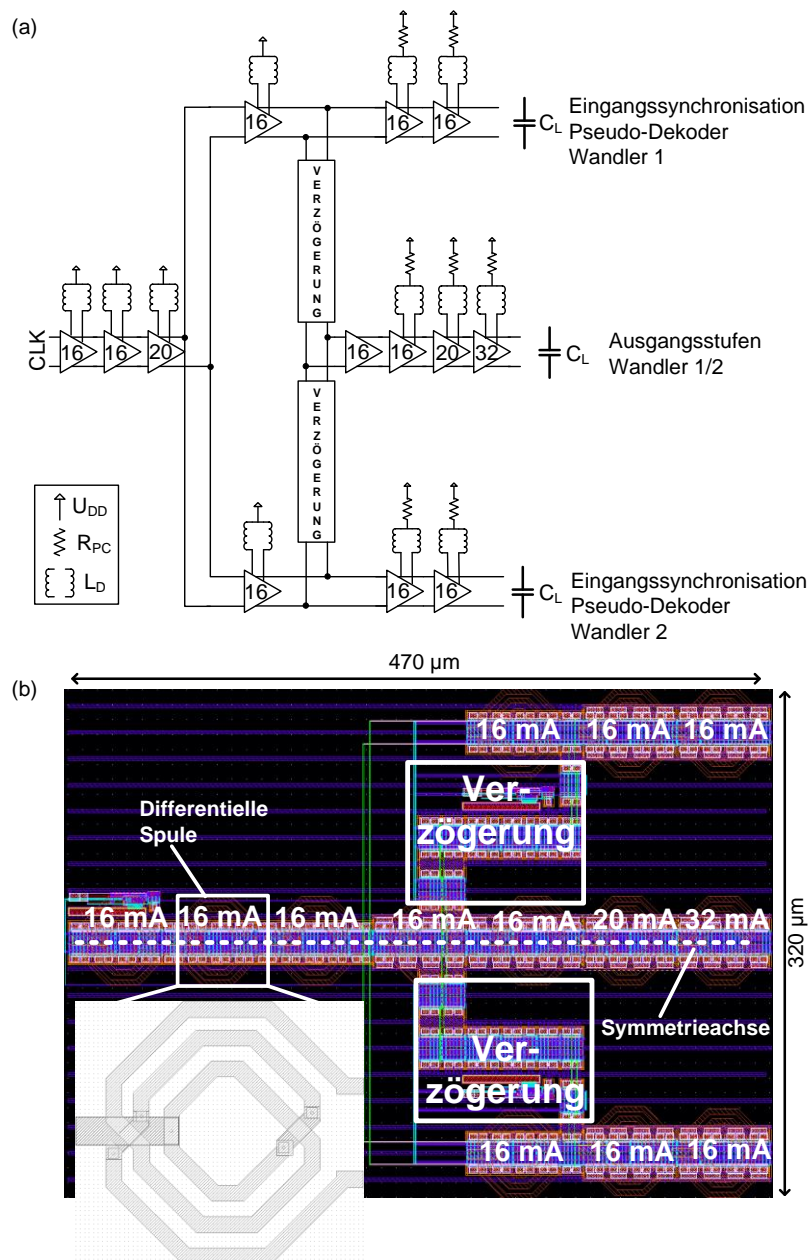


Abbildung 4.27: (a) Blockschaltbild und (b) Layout des Takttreibers mit Dimensionierungen für den Entwurf 2.

4.3.5 Takttreiber und Zeitverhalten

Funktion und Dimensionierung

In Abbildung 4.27(a) ist der Takttreiber des D/A-Wandlers auf Blockschaltbildebene dargestellt. Der Takttreiber muss das Taktsignal CLK an die Schaltungsblöcke der Eingangssynchronisierung und an die Ausgangsstufen des D/A-Wandlers 1 und 2 verteilen. Dabei sind bei Taktfrequenzen bis zu 12,5 GHz sehr große kapazitive Lasten C_L umzuladen. Damit eine ausreichende Flankensteilheit des Taktsignals an den Schaltungsblöcken gewährleistet wird, ist der maximale FO im Takttreiberschaltungsblock auf $FO=1,6$ begrenzt. Weiterhin werden die Ausgänge der Treiber durch passive differentielle Spulen entsprechend Kapitel 3.2.5 induktiv überhöht. Nur mit Hilfe dieser Maßnahmen sind Taktfrequenzen bis zu 12,5 GHz zu erreichen. Die Abbildung 4.27 zeigt weiterhin die ermittelten Dimensionierungen der Takttreiber für den Entwurf 2. Der Leistungsverbrauch ist gegenüber dem Entwurf 1 durch FO-Optimierung und reduzierte Lastkapazitäten C_L in den Schaltungsblöcken um 15% verringert.

Das Prinzip der Zeitverschachtelung wird durch die Taktung der Schaltungsblöcke des D/A-Wandlers 1 bzw. 2 mit dem invertierten und nicht-invertierten Taktsignal CLK umgesetzt. Das Zeitverhalten zwischen Takt- und Datensignalen an den Ausgangsstufen wird ebenfalls im Takttreiberschaltungsblock durch Verzögerungsketten eingestellt.

Die Gleichtaktpegel werden vor den Schaltungsblöcken durch C-Treiber um 200 mV in Richtung negativer Spannungsversorgung U_{SS} nach unten geschoben. Damit wird ein sicheres und schnelles Schalten der Ausgangsstufe und der Flip-Flops in der Eingangssynchronisierung erreicht. Das Layout des Schaltungsblocks ist in Abbildung 4.27(b) dargestellt. Die differentiellen Spulen werden im Layout direkt über die Takttreiber auf die höchste Metalllage gelegt. Das Layout des Schaltungsblocks ist absolut symmetrisch zur horizontalen Achse und auf die Anordnung der Schaltungskomponenten angepasst. Damit wird eine möglichst gleiche Verzögerung des Taktsignals bis zu der Eingangssynchronisierung und den Ausgangsstufen der beiden D/A-Wandler gewährleistet.

Induktive Spannungsüberhöhung

Aufgrund des Pegelschieberwiderstandes R_{PC} werden für die induktive Spannungsüberhöhung der Takttreiberausgänge differentielle Spulen verwendet. Ein detailliertes Spulenmodell ist aus dem Spulenlayout in 90 nm CMOS-Dimensionen entsprechend Abbildung 4.28(a) abgeleitet [101][102]. Die Abbildung 4.28(b) zeigt das zugehörige Spulenlayout. Das verwendete Spulenmodell berücksichtigt dabei die Substratkopplung und die Frequenzabhängigkeit des Serienwiderstandes R_S durch den Skin-Effekt. Die Bauteilwerte des Modells werden mit Hilfe der Software „ADS Momentum“ und den Metallisierungseigenschaften der verwendeten 90 nm CMOS-Technologie aus dem Layout extrahiert. Dabei müssen die verwendeten Schichten, Durchkontaktierungen und Materialeigenschaften der Metalle in die „ADS-Momentum“ Softwareumgebung importiert werden. Der aus dem Layout extrahierte differentielle Spulenwert L_{Diff} bzw. $L_{S0,1}$ beträgt 143,5 pH. Die weiteren ermittelten Bauteilwerte [101][102] können der Abbildung 4.28(a) entnommen werden.

Anordnung der Spulen

Die differentiellen Spulen sind nicht exakt symmetrisch, da eine der Windungen unter der anderen hindurchgeführt werden muss. Man vergleiche hierzu die Abbildung 4.28(b), in welcher der Abgriff A unter dem Abgriff B hindurchgeführt ist. Dadurch ergibt sich eine

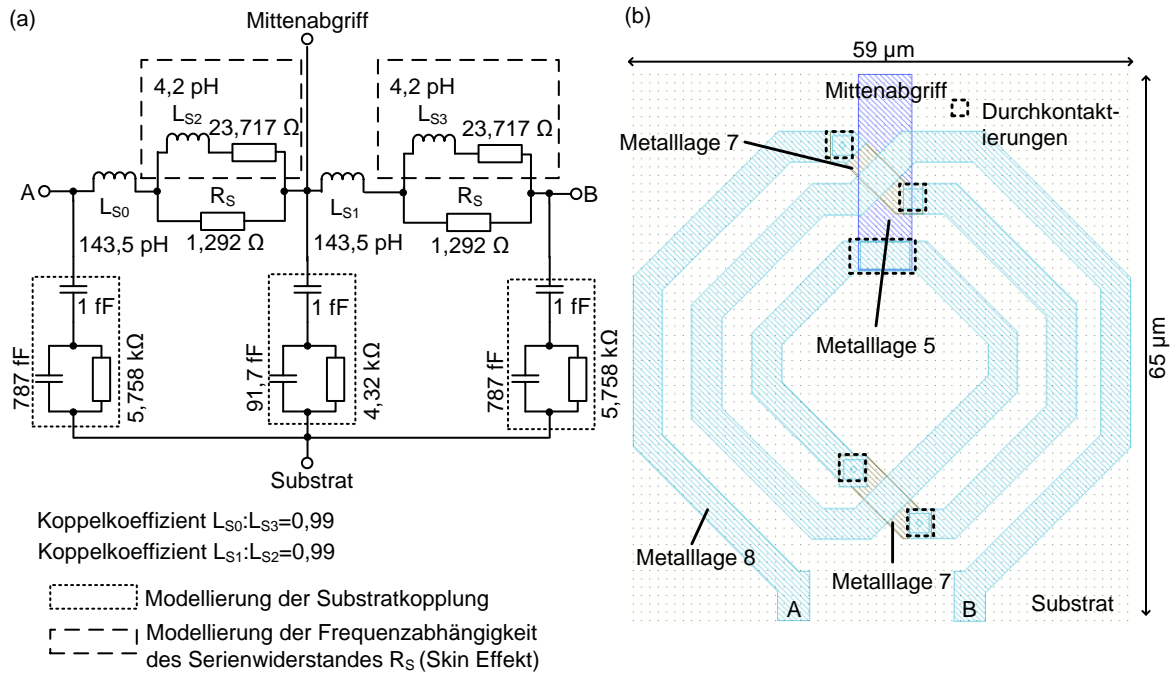


Abbildung 4.28: (a) Verwendetes Spulenmodell und (b) entsprechendes Layout.

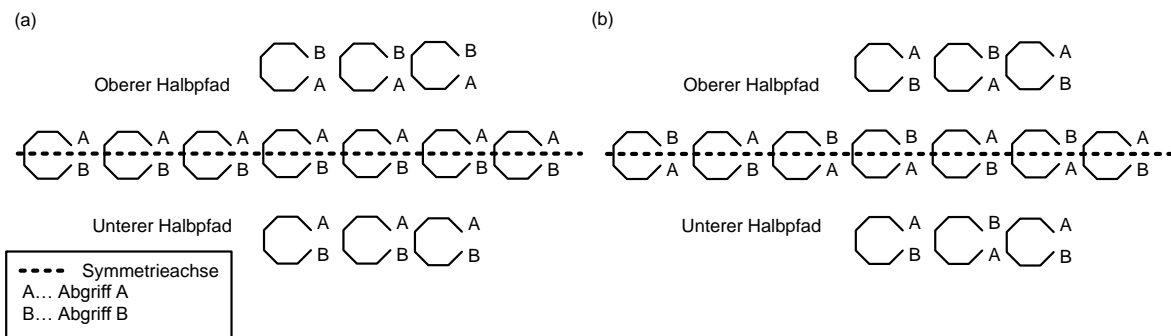


Abbildung 4.29: Anordnung der Spulen im (a) Entwurf 1 und (b) Entwurf 2.

leicht erhöhte parasitäre Kapazität der Windung A. Die Unsymmetrie geht aus den Messungen entsprechend Kapitel 6.1.3 hervor und ist im extrahierten Spulenmodell nicht dargestellt.

Der Taktreiberschaltungsblock kann entlang der Symmetrieachse entsprechend Abbildung 4.27(b) in einen oberen und einen unteren Halbpfad aufgeteilt werden. Im ersten Entwurf sind die Spulen über den differentiellen Verstärkern so angeordnet, dass der Abgriff A, d.h. die längere Windung, immer im gleichen Pfad wirksam wird. Durch die Serienschaltung der Verstärker kann sich diese Unsymmetrie aufaddieren und zu einem unsymmetrischen Tastverhältnis des Taktsignals an den Ausgangsstufen führen. Dadurch erhöht sich die dynamische Fehlpassung. Daher ist im zweiten Entwurf jede zweite Spule der Verstärker an der Symmetrieachse gespiegelt. Abbildung 4.29 zeigt die Anordnung der Spulen über den Differenzverstärkern im (a) ersten und (b) zweiten Entwurf.

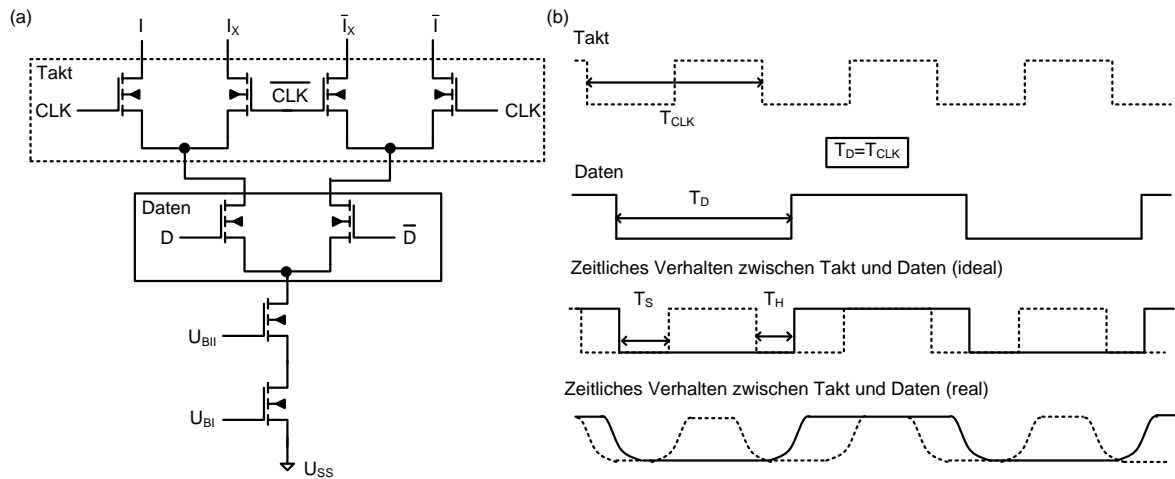


Abbildung 4.30: (a) Ausgangsstufe mit (b) Zeitverhalten zwischen Takt- und Datensignalen an einer Ausgangsstufe.

Zeitrichtiges Verarbeiten von Takt und Daten an der Ausgangsstufe

Das zeitrichtige und bitratenflexible Verarbeiten der Daten D in Abhängigkeit des Taktsignals CLK an den Ausgangsstufen wird im Takttreiberschaltungsblock sichergestellt. Hierfür müssen sehr genaue Verzögerungsketten entworfen werden.

Die Zeitspanne, in der die Daten D vor dem Taktsignal CLK an den Ausgangsstufen anliegen, wird als Einrichtezeit T_S definiert. Diese Zeitspanne sollte groß genug gewählt werden, damit die Daten D eingeschwungen sind, bevor das Taktsignal CLK die Daten D an der Ausgangsstufe durchschaltet ($CLK=H$). Die Zeitdauer, in der die Daten nach Abschalten des Stromschalters ($CLK=L$) noch an diesem anliegen, wird als Haltezeit T_H bezeichnet. Die Haltezeit muss ebenfalls so gewählt werden, dass ein rechtzeitiges Abschalten der Daten D sichergestellt ist. In Abbildung 4.30 sind beispielhaft die Takt- und Datensignale an einer Ausgangsstufe mit den entsprechenden Einrichte- und Haltezeiten dargestellt. Die Verzögerungsketten müssen sicherstellen, dass für jede beliebige Taktfrequenz f_{CLK} bis zu 12,5 GHz diese Zeiten eingehalten werden. Die zeitrichtige Verarbeitung von Takt und Daten ist in den zwei D/A-Wandlerentwürfen unterschiedlich realisiert. Im ersten Entwurf ist das Einhalten der Einrichtezeiten nicht immer sichergestellt. Dieses Problem ist im zweiten Entwurf durch Ändern der Taktung in der Eingangssynchronisation behoben.

Entwurf 1

In Abbildung 4.31 sind die Ausschnitte der Takt- und Datenpfade im D/A-Wandler 1, die für das Zeitverhalten an der Ausgangsstufe entscheidend sind, dargestellt. Im ersten Entwurf schaltet die Eingangssynchronisierung des D/A-Wandlers 1 auf die positive Taktflanke. Die Zeitspanne T_S ist bei dieser Taktung unabhängig von der Taktfrequenz und wird über eine Verzögerungskette im Taktpfad eingestellt. Die zeitliche Verzögerung des Taktsignals $t_{d,CLK}$ muss dabei größer gewählt werden als die zeitliche Gesamtverzögerung der Daten in der Eingangssynchronisierung $t_{d,Sync}$ und dem Datentreiberschaltungsblock $t_{d,D}$:

$$t_{d,CLK} + 4 \cdot t_{d,C} \geq t_{d,D} + t_{d,Sync} + 2 \cdot t_{d,C} = 5 \cdot t_{d,D} + t_{d,FF} + t_{d,C} + 2 \cdot t_{d,C}. \quad (4.6)$$

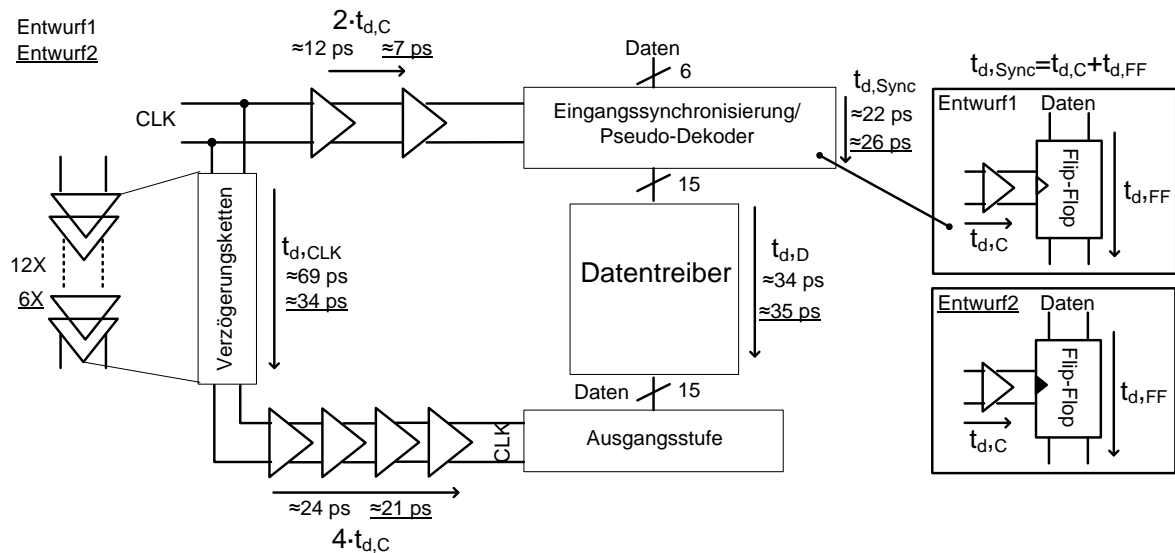


Abbildung 4.31: Ausschnitt aus dem Takt- und Datenpfad eines D/A-Wandlers, der für das Zeitverhalten an der Ausgangsstufe entscheidend ist.

Die Verzögerungskette besteht im ersten Entwurf aus 12 in Serie geschalteten Treibern. Setzt man die aus einer typischen Schaltplansimulation (TT) ermittelten Verzögerungszeiten in die Bedingung ein, erhält man die frequenzunabhängige Einrichtezeit T_S :

$$T_S = (t_{d,CLK} + 4 \cdot t_{d,C}) - (t_{d,D} + t_{d,Sync} + 2 \cdot t_{d,C}) \approx 91 \text{ ps} - 69 \text{ ps} = 22 \text{ ps}. \quad (4.7)$$

Die Haltezeit T_H ist demnach frequenzabhängig und kann bestimmt werden zu

$$T_H = T_D - T_S - (T_{CLK} / 2) = 0,5 \cdot T_{CLK} - T_S. \quad (4.8)$$

Für eine Zieltaktfrequenz von $f_{CLK}=12,5 \text{ GHz}$ und einer Einrichtezeit von $T_S=24 \text{ ps}$ gilt dann für die Haltezeit T_H

$$T_H(12,5 \text{ GHz}) = 0,5 \cdot 80 \text{ ps} - 22 \text{ ps} = 18 \text{ ps}. \quad (4.9)$$

In Abbildung 4.32(a) ist eine typische Schaltplansimulation des Zeitverhaltens zwischen Takt und Daten an der Ausgangsstufe für die Zieltaktfrequenz von $f_{CLK}=12,5 \text{ GHz}$ und für eine Taktfrequenz von $f_{CLK}=6,25 \text{ GHz}$ dargestellt. Die Einrichtezeit T_S bleibt unverändert, wohingegen die Haltezeit T_H abhängig von der angelegten Taktfrequenz linear zunimmt. Die Simulation zeigt, dass T_S nicht optimal gewählt ist. Insbesondere für die Zieltaktfrequenz von $f_{CLK}=12,5 \text{ GHz}$ sollte die Einrichtezeit T_S größer gewählt werden, damit die Daten vor der durchschaltenden Taktflanke bereits vollständig eingeschwungen sind.

Entwurf 2

Im zweiten Entwurf erfolgt das Durchschalten der Daten in der Eingangssynchronisation auf die fallende Taktflanke. Die Änderungen sind in Abbildung 4.31 hervorgehoben. Dimensioniert man die Verzögerungskette so, dass gleiche Verzögerungszeiten in den Takt- und Datenpfaden entstehen, gilt für die Einrichtezeit $T_S=T_{CLK}/2$. Die Daten liegen jetzt schon eine halbe Taktperiode vor der durchschaltenden Taktflanke an. Im Gegensatz zu Entwurf 1 steigt nun die Einrichtezeit linear mit der Taktperiode an. Damit die Daten nicht zu früh abgeschaltet werden, muss die Verzögerung im Datenpfad entsprechend Gleichung

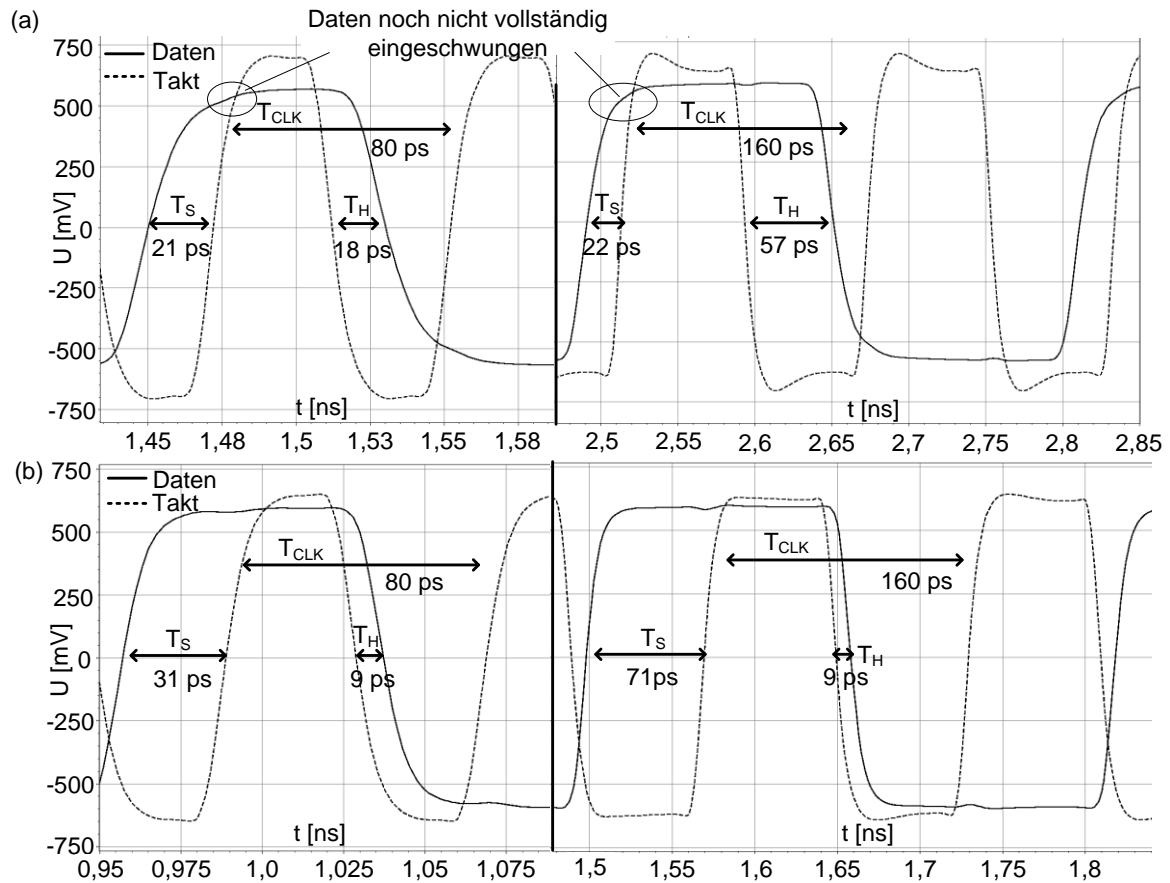


Abbildung 4.32: Schaltplansimulation des Zeitverhaltens zwischen Takt und Daten an der Ausgangsstufe für eine Taktfrequenz von $f_{CLK}=12,5$ GHz bzw. $f_{CLK}=6,25$ GHz für (a) den Entwurf 1 und (b) den Entwurf 2.

(4.6) größer als im Taktpfad sein. Damit ergibt sich eine durch die Verzögerungskette festgelegte Haltezeit T_H . Setzt man die Verzögerungszeiten einer Schaltplansimulation mit typischen Transistorschaltzeiten (TT) in die Bedingung ein, erhält man

$$T_H = (t_{d,D} + t_{d,Sync} + 2 \cdot t_{d,C}) - (t_{d,CLK} + 4 \cdot t_{d,C}) \approx 68 \text{ ps} - 55 \text{ ps} = 13 \text{ ps}. \quad (4.10)$$

Dementsprechend gilt für die frequenzabhängige Einrichtezeit T_S :

$$T_S(12,5 \text{ GHz}) = T_D - T_H - (T_{CLK} / 2) = 0,5 \cdot T_{CLK} - T_H = 0,5 \cdot 80 \text{ ps} - 13 \text{ ps} = 27 \text{ ps}. \quad (4.11)$$

In Abbildung 4.32(b) sind typische (TT) Schaltplansimulationen für die Zieltaktfrequenz von 12,5 GHz und für eine Taktfrequenz von 6,25 GHz dargestellt. Im Vergleich zum ersten Entwurf sind die Daten jetzt auch bei Frequenzen $f_{CLK} < 12,5$ GHz vollständig eingeschwungen. Der Wert der frequenzunabhängigen Haltezeit hängt jedoch ebenfalls von den Parametern des verwendeten 90 nm CMOS-Prozesses ab. Die Simulationen werden deshalb auch unter Einbeziehung des Layouts und von schnellen (FF) bzw. langsamen (SS) Transistorschaltzeiten durchgeführt. Tabelle 4.2 fasst die Ergebnisse für die Zieltaktfrequenz von $f_{CLK}=12,5$ GHz zusammen. Ein vollständiges Einschwingen bzw. rechtzeitiges Abschalten der Daten ist damit bei gleichzeitig bitratenflexibler Arbeitsweise des D/A-Wandlers gewährleistet.

Tabelle 4.2: Zusammenfassung der Einrichte- und Haltezeiten für die Zieltaktfrequenz.

Schaltgeschw.	Schaltplansimulation			Layout (RCc)		
	SS	TT	FF	SS	TT	FF
T_H [ps]	8,8	8,35	7,79	8,11	7	7,9
T_S [ps]	31,22	31,69	32,51	31,79	32	32,25

4.3.6 Kontrollregister

Funktion

Der D/A-Wandler verfügt über ein 24 Bit Kontrollregister, welches in statischer CMOS-Logik realisiert ist. Das Kontrollregister wird für die Ansteuerung der Eingangssynchronisierung und der Auswerteeinheiten der beiden Wandlerkerne benötigt. Mit Hilfe des Kontrollregisters können die Abtastphasen der einzelnen Bitpositionen in der ersten Flip-Flop-Stufe der Eingangssynchronisierung entsprechend Abbildung 4.15(a) eingestellt werden. Weiterhin sind die Auswerteeinheiten der beiden Wandlerkerne über das Kontrollregister ein- und ausschaltbar. Sind die Auswerteeinheiten eingeschaltet, können mit dem Kontrollregister die benachbarten XOR-verknüpften Bitpositionen der Wandlerkanäle entsprechend Abbildung 4.35 ausgewählt werden.

Abbildung 4.33(a) zeigt das Kontrollregister mit Dreidraht-Bus. Es besteht aus einem seriellen 24 Bit Schieberegister, welches die Daten in Abhängigkeit des Taktsignals CLK_R seriell einliest. Der Ausgang des Schieberegisters kann beispielsweise über einen FPGA wieder eingelesen werden, um die Daten auf Richtigkeit zu überprüfen. Nach einer Zeitdauer von 24 Takten wird das „Ena“ Signal auf einen High-Pegel gesetzt. Das „Ena“ Signal schaltet dabei die zweite Flip-Flop-Stufe, d.h. es wird eine Seriell-Parallel-Wandlung der Eingangsdaten vollzogen. Die Ausgänge der Flip-Flops in der zweiten Stufe sind an 2:1 Multiplexer angeschlossen. Die 2:1 Multiplexer schalten entweder die übernommenen Eingangsdaten oder einen fest verdrahteten Standardwert „Initial“ auf die Schaltungsblöcke durch. Die Zuordnung der Bitpositionen b_0 bis b_{23} zu den Schaltungsblöcken kann dem Datenblatt im Anhang A1.1 entnommen werden.

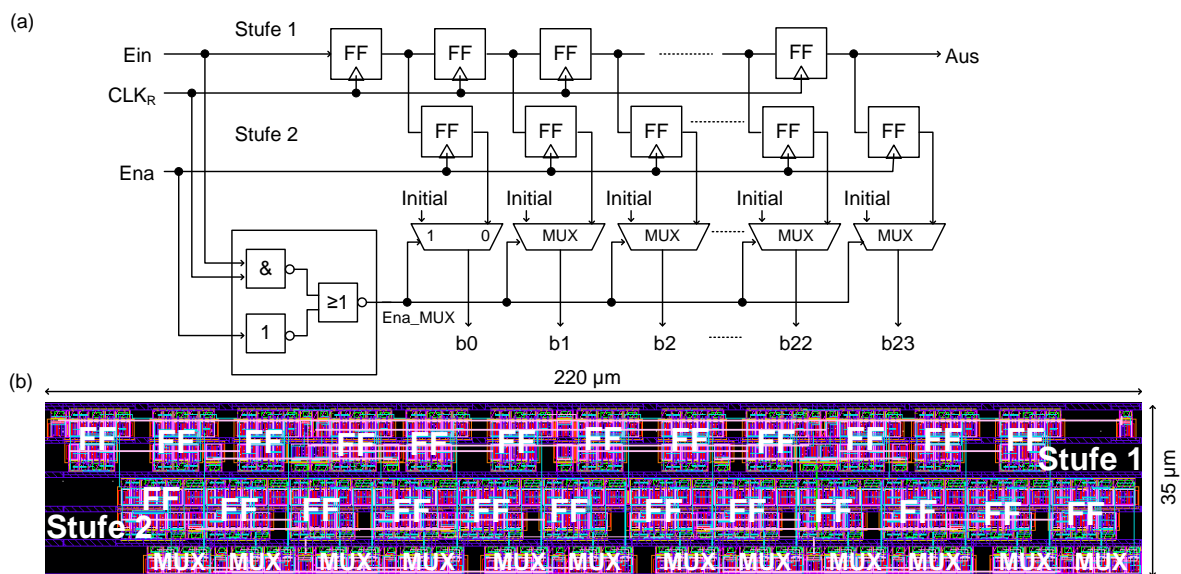


Abbildung 4.33: (a) Schaltplan des 24 Bit Kontrollregisters und (b) Layout eines 12 Bit Registers.

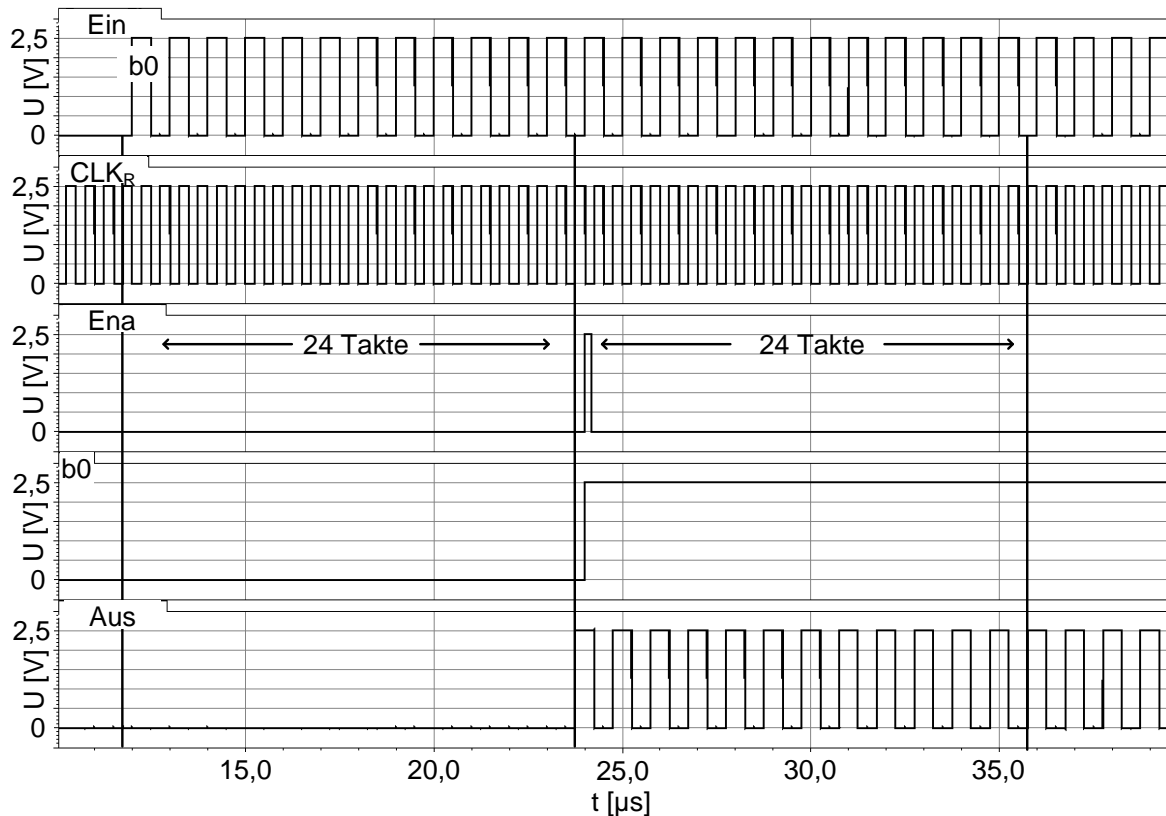


Abbildung 4.34: Serielles Eintakten von „1-0“ Übergängen in das 24 Bit Register bei einer Taktfrequenz von $f_{\text{CLK}}=2$ MHz.

Standardmäßig sind alle Abtastphasen auf 0° gesetzt und die Auswerteeinheiten ausgeschaltet. Dieser Initialisierungszustand wird ausgelöst, wenn die Signale „Ein“, „CLK_R“ und „Ena“ auf einem High-Pegel liegen. Nur dann gilt „Ena_MUX=1“, und die Standardwerte werden über die 2:1 Multiplexer durchgeschaltet. Der Dreidraht-Bus ist auf dem Chip mit Widerständen gegen die positive Versorgungsspannung U_{DD} abgeschlossen. Damit wird der definierte Initialisierungszustand des D/A-Wandlers auch ohne Programmierung des Kontrollregisters sichergestellt.

Die Abbildung 4.33(b) zeigt das Layout eines 12 Bit Registers. Das 24 Bit Register ist aus zwei 12 Bit Registern aufgebaut, die jeweils einem der zeitverschachtelten Wandlerkerne zugeordnet sind.

Simulationsergebnisse

Die Funktionalität des Kontrollregisters wird durch das Eintakten von „1-0“ Übergängen in das serielle Schieberegister überprüft. Um das Kontrollregister zu initialisieren, wird zunächst für 24 Takte eine Nullfolge eingeschrieben. In den nächsten 24 Takten werden die „1-0“ Übergänge eingetaktet. Anschließend wird das Enable-Signal auf logisch High gesetzt, und an den Ausgängen der Multiplexer liegen die gültigen Daten an. Die Abbildung 4.34 zeigt die „Ein“ und „Aus“ Signale sowie das „Ena“ Signal. Die Taktfrequenz des Kontrollregisters beträgt bei dieser Schaltplansimulation $f_{\text{CLK,R}}=2$ MHz. Der Ausgang b0 des Kontrollregisters ist beispielhaft dargestellt. Nachdem das „Ena“ Signal gesetzt ist, wird das gültige und richtige Datum durchgeschaltet.

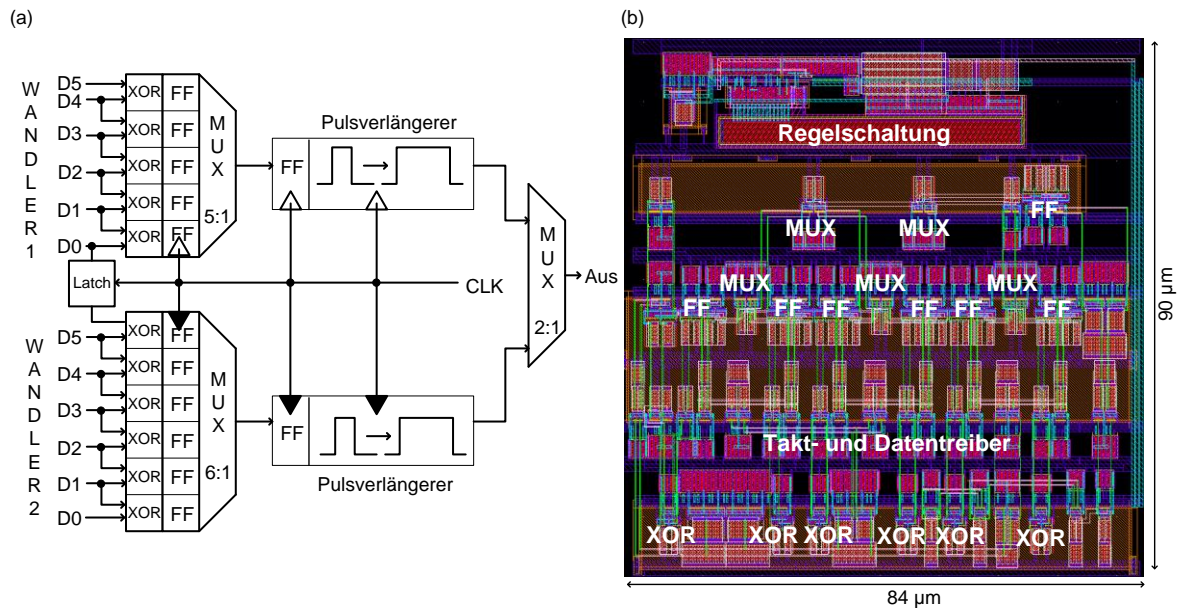


Abbildung 4.35: (a) Blockschaltbild der Auswerteeinheiten und (b) Layout der Auswerteeinheit eines D/A-Wandlers.

4.3.7 Auswerteeinheiten

Funktion

Da der realisierte D/A-Wandler über eine Echtzeitschnittstelle verfügt, muss die Synchronität der digitalen Eingangsdaten sichergestellt werden. Hierfür sind auf dem Chip Auswerteeinheiten für die beiden zeitverschachtelten D/A-Wandlerkanäle vorgesehen. Die Auswerteeinheiten unterstützen eine FPGA-basierte Synchronisierung der Eingangsdaten. Die Abbildung 4.35(a) zeigt das Blockschaltbild der Auswerteeinheiten der beiden Wandlerkerne.

Die XOR-Verknüpfung zweier benachbarten Bitpositionen findet nach der zweiten Flip-Flop Stufe, d.h. nach der Phasenauswahl im Schaltungsblock der Eingangssynchronisierung entsprechend Abbildung 4.15(a) statt. Die zwei Auswerteeinheiten arbeiten ebenfalls zeitverschachtelt und sind dementsprechend auch mit dem Systemtakt CLK getaktet. Um die Synchronität der zeitverschachtelten Kanäle zueinander sicherzustellen, muss deshalb die Phase der Bitposition D0 des D/A-Wandlers 1 durch ein Latch um 180° verschoben werden. Erst dann kann die Bitposition D0 mit der Bitposition D5 des Wandlers 2 XOR-verknüpft werden.

Sind die ausgewählten benachbarten Bitpositionen nicht synchron, entsteht ein Impuls am Ausgang des XOR-Gatters. Bei der Zieltaktfrequenz von $f_{CLK}=12,5$ GHz beträgt die minimale Pulsdauer $T_{Puls}=80$ ps. Das Ergebnis der XOR-Verknüpfung der benachbarten Bitpositionen wird von einem FPGA ausgewertet. Da der verwendete FPGA die minimale Pulsdauer von 80 ps nicht detektieren kann, muss der Puls verlängert werden. Hierfür ist nach der Auswahlstufe des D/A-Wandlers 1 bzw. 2 jeweils ein Pulsverlängerer nachgeschaltet. Der Pulsverlängerer verlängert den Impuls auf das 32-fache, d.h. die minimale Pulsdauer beträgt jetzt $32 \cdot T_{Puls}=32 \cdot 80$ ps=2,56 ns. Wenn der FPGA einen Impuls detektiert, wird im Schaltungsblock der Eingangssynchronisierung die Abtastphase geändert. Der genaue Ablauf der Synchronisierung wird nachfolgend im Unterabschnitt „Synchronisationsroutine“ beschrieben. Das Layout der Auswerteeinheit ist in Abbildung 4.35(b) dargestellt. Die

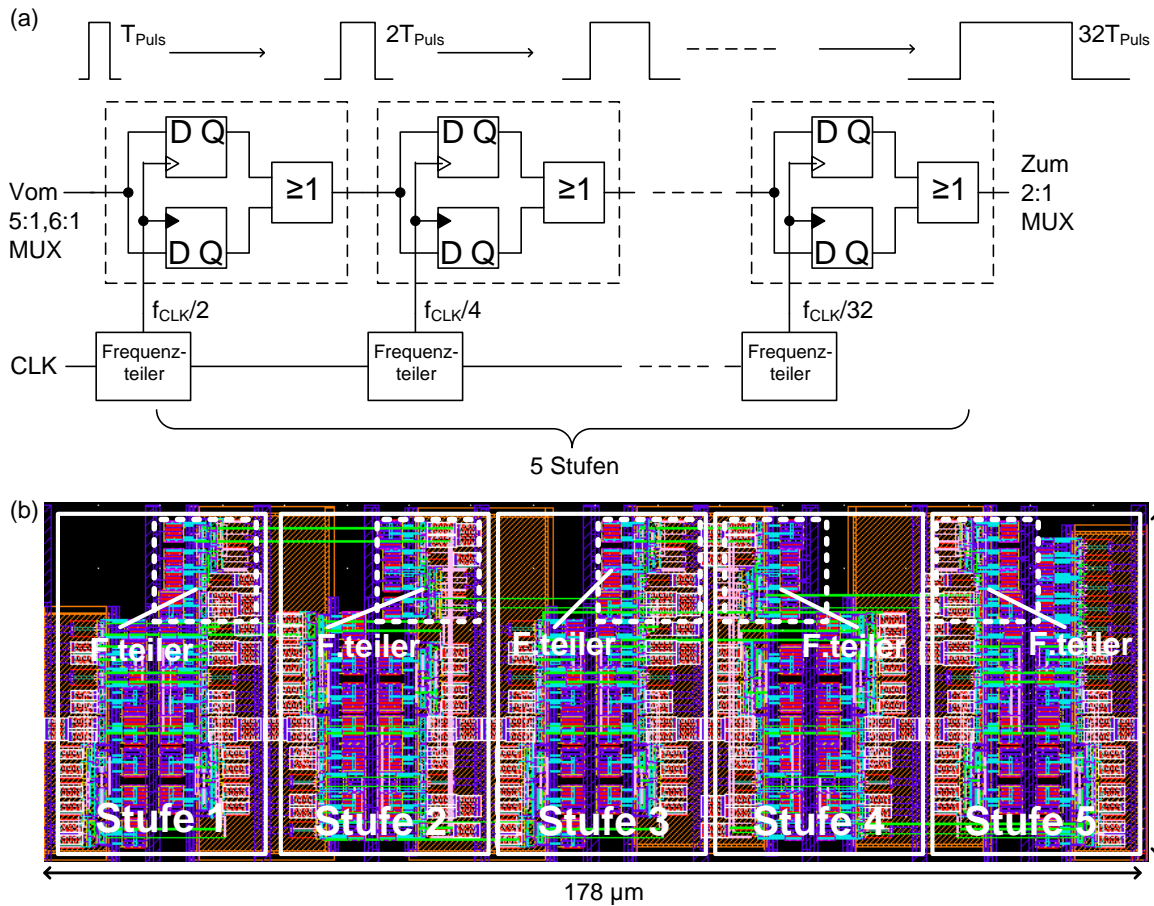


Abbildung 4.36: (a) Detailansicht und (b) Layout des Pulsverlängerers.

Auswerteeinheiten werden mit separaten Referenzschaltungen geregelt und können daher nach dem Synchronisierungsprozess über das Kontrollregister abgeschaltet werden. Die Abbildung 4.36(a) zeigt eine Detailansicht des Pulsverlängerers. Der Pulsverlängerer ist stufenförmig aufgebaut. Jede Stufe verdoppelt dabei die Zeitdauer T_{Puls} des Eingangsimpulses. Eine Stufe besteht aus zwei Flip-Flops, die im Gegentakt betrieben werden. Die Ausgänge der Flip-Flops sind ODER-verknüpft. Durch das Betreiben der Flip-Flops im Gegentakt und die ODER-Verknüpfung der Ausgänge ist sichergestellt, dass ein Impuls am Eingang der Stufe auch detektiert wird. Die Frequenz des Systemtaktes CLK ist an jeder Stufe um den Faktor zwei heruntergeteilt. Dadurch wird die Zeitdauer des Impulses von Stufe zu Stufe verdoppelt.

Simulationsergebnisse

In Abbildung 4.37(a) sind Schaltplansimulationen der Signalverläufe in der Auswerteeinheit dargestellt. In dieser Simulation werden beispielhaft die benachbarten Bitpositionen D5 und D4 des D/A-Wandlers 1 über das Kontrollregister ausgewählt. Auf die Eingänge D5 und D4 des ersten Kanals wird ein „0-1“ Übergang gegeben. Die „0-1“ Übergänge sind dabei zeitlich um 80 ps zueinander verschoben. Das entspricht der minimalen zeitlichen Verzögerung T_{Min} , die bei der Zieltaktfrequenz detektiert werden kann. Aufgrund dieser Verzögerung bzw. Asynchronität entsteht am Ausgang der Auswerteeinheit ein Impuls mit der Pulslänge $32 \cdot T_{\text{Min}} = 32 \cdot 80 \text{ ps} = 2,56 \text{ ns}$. Die Simulationen werden entsprechend Abbildung 4.37(b) auch unter Einbeziehung des Layouts (RCc) durchgeführt. Die Funktionalität

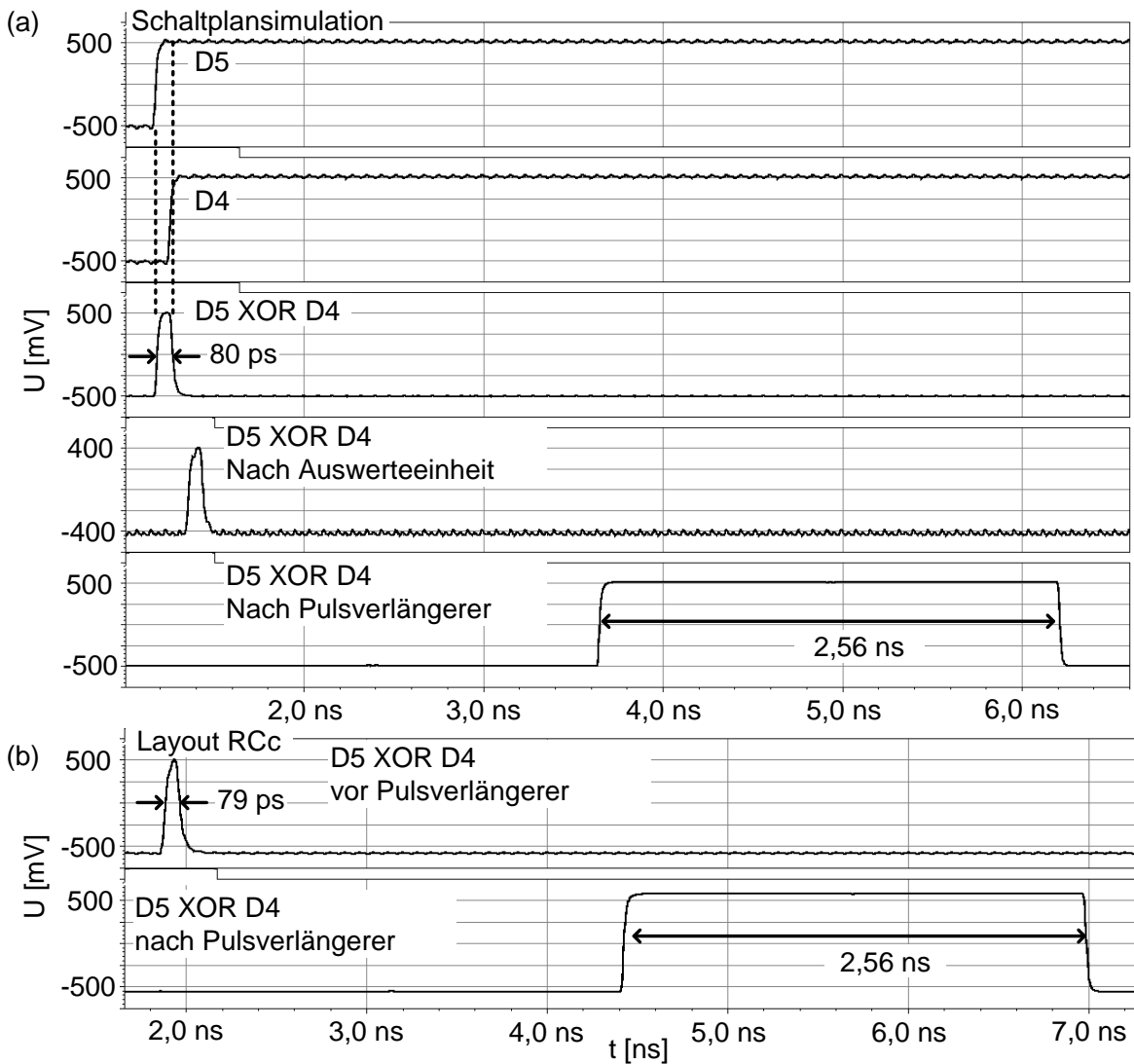


Abbildung 4.37: (a) Signalverläufe in der Auswerteeinheit (a) ohne und (b) mit Berücksichtigung des Layouts.

der Auswerteeinheit und des Pulsverlängerers ist daher bis zur Zieltaktfrequenz von $f_{\text{CLK}}=12,5$ GHz gewährleistet.

Synchronisationsroutine

Die gesamte Synchronisationsroutine wird extern über einen FPGA gesteuert. Die Kommunikation zwischen FPGA und D/A-Wandler erfolgt dabei über das Kontrollregister und den Ausgang der Auswerteeinheit bzw. des Pulsverlängerers.

Im Synchronisationsmodus werden zunächst die zwei Auswerteeinheiten des D/A-Wandlers über das Kontrollregister eingeschaltet. Der FPGA sendet anschließend auf den zwei zeitverschachtelten Wandlerkanälen die gleiche Bitsequenz, beispielsweise eine Zufallszahlenfolge PRBS (engl. Pseudo Random Bit Sequence). Die Bitposition D5 des ersten Kanals ist dabei das Referenzbit für die Datensynchronisierung. Der FPGA wählt nun über das Kontrollregister die benachbarten XOR-verknüpften Bitpositionen „D5 XOR D4“ aus. Sind die gesendeten Bitsequenzen nicht synchron zueinander, entsteht ein 32-fach verlängerter Impuls am Ausgang der Auswerteeinheit. Daraufhin wird die Abtastphase der Bitposition D4 über das Kontrollregister von 0° auf 180° gesetzt. Der Ausgang der Auswerteeinheit wird erneut auf einen Impuls überprüft. Wenn kein Impuls detektierbar ist, können die

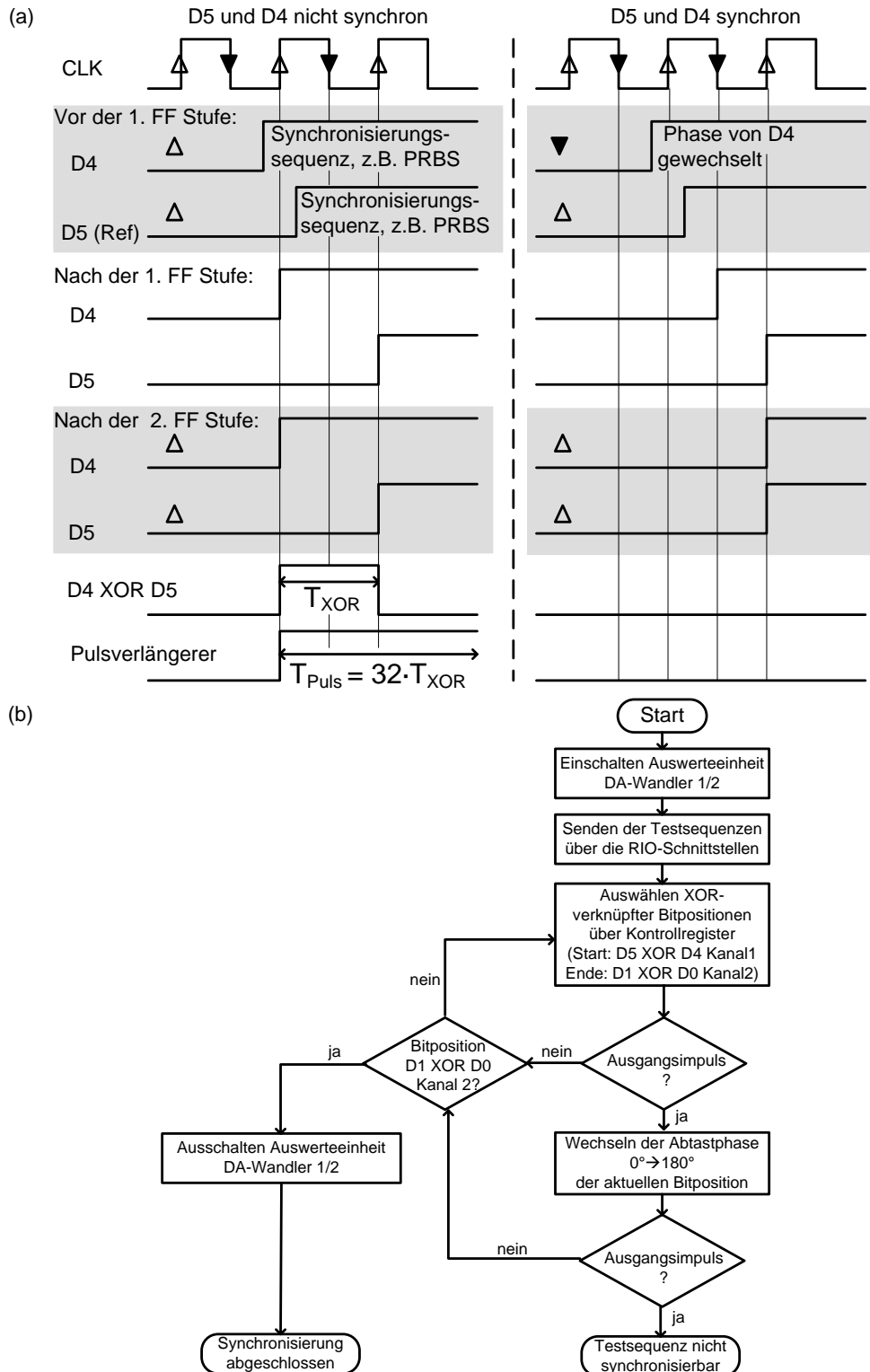


Abbildung 4.38: (a) Pulsdiagramm zur Veranschaulichung des Synchronisierungsvorgangs und (b) Ablaufdiagramm der Datensynchronisierung.

nächsten zwei benachbarten Bitpositionen „D4 XOR D3“ ausgewählt werden. Das Pulsdiagramm in Abbildung 4.38(a) veranschaulicht die Signalverläufe vor und nach dem Wechsel der Abtastphase. Dabei wird angenommen, dass die Daten auf den Bitpositionen D5 und D4 nicht synchron zueinander sind. Das Verfahren endet bei den benachbarten Bitpositionen „D1 XOR D0“ des zweiten Wandlerkanals. Nach der Synchronisierung werden

die Auswerteeinheiten wieder ausgeschaltet. Das Ablaufdiagramm entsprechend Abbildung 4.38(b) fasst den Synchronisierungsvorgang zusammen.

Die maximale zeitliche Verzögerung, die zwischen zwei benachbarten Bitpositionen ausgeglichen werden kann, beträgt $T_{CLK}/2$. Eine Synchronisierung ist nur unter dieser Voraussetzung möglich. In Kapitel 5.2.2 wird der Synchronisierungsprozess mit Hilfe des FPGAs verfeinert, so dass auch Asynchronitäten größer $T_{CLK}/2$ ausgleichbar sind.

4.4 Layout der Gesamtarchitektur

Entsprechend den Unterkapiteln 4.3.1 bis 4.3.7 sind alle notwendigen Schaltungskomponenten in ein Layout umgesetzt. Die Funktionalität der Schaltungskomponenten ist unter Berücksichtigung des Layouts durch Simulationen nachgewiesen. Nachfolgend wird das Layout der Gesamtarchitektur des D/A-Wandlers vorgestellt.

Zeitverschachtelte Wandlerkerne und Spannungsversorgung

In Abbildung 4.39(a) ist das Blockschaltbild der Gesamtarchitektur des D/A-Wandlers dargestellt. Da der D/A-Wandler aus zwei zeitverschachtelt arbeitenden identischen Wandlerkernen besteht, wird zunächst nur der D/A-Wandler 1 in ein Layout umgesetzt. Die Schaltungskomponenten sind im Layout so platziert, dass minimale Verdrahtungswege entstehen. Das Layout der Gesamtarchitektur erhält man anschließend durch Spiegeln des D/A-Wandlers 1 an der horizontalen Symmetrieachse. Dadurch erreicht man ein absolut symmetrisches Layout mit identischen Verdrahtungswegen zwischen den Schaltungskomponenten. Weiterhin entsteht eine sehr gute Passung der beiden Wandlerkerne zueinander. Die Stromsammelschienen, an denen die Ausgangsstufen angeschlossen sind, befinden sich entsprechend Abbildung 4.26 genau zwischen den beiden Wandlerkernen. Das Taktsignal CLK wird in die Mitte des Layouts geführt und dann baumförmig über den Takttreiber an die Schaltungsblöcke (Eingangssynchronisierung, Ausgangsstufen) des D/A-Wandlers 1

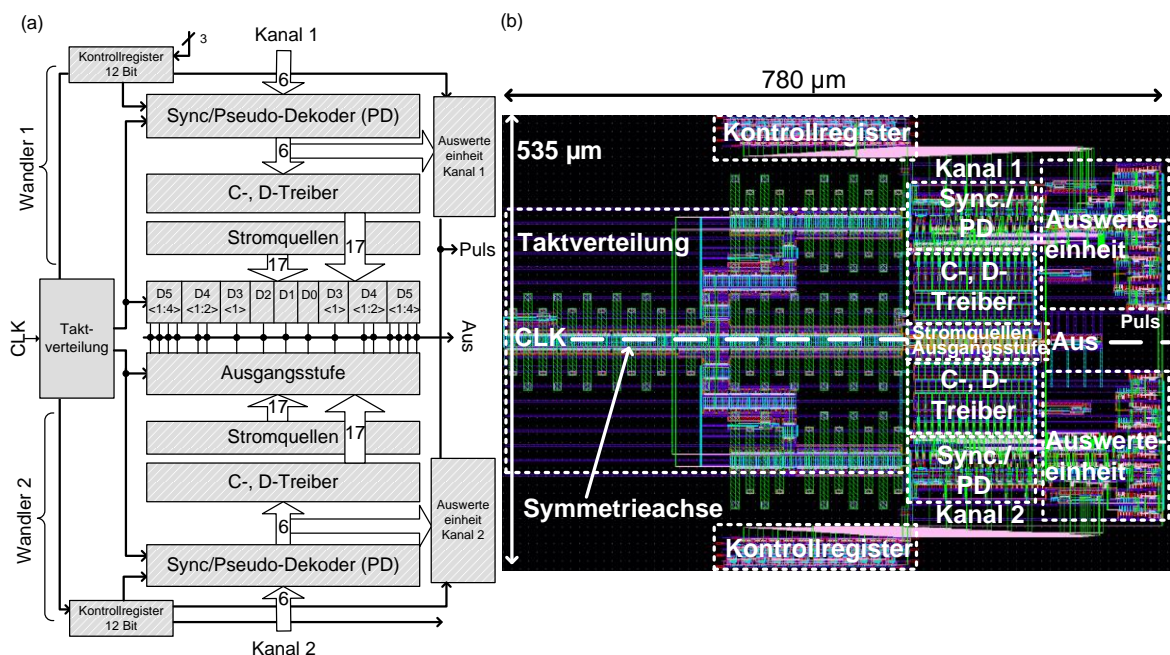


Abbildung 4.39: (a) Blockschaltbild und (b) Layout der Gesamtarchitektur.

bzw. 2 verteilt. Die Abbildung 4.39(b) zeigt das Gesamlayout der zeitverschachtelten Wandlerkerne mit Taktverteilungsnetzwerk. Die Anordnung der Schaltungskomponenten ist in beiden Wandlerentwürfen identisch.

Die Spannungsversorgung der Schaltungskomponenten erfolgt über ein Metallgitter, bestehend aus den zwei höchsten Metalllagen, welches über das Layout der Wandlerkerne gelegt wird. Das Gitter wird anschließend mit den Spannungsversorgungspads verbunden. Im zweiten Wandlerentwurf ist das Layout dieses Metallgitters absolut symmetrisch zur horizontalen Symmetrieachse. Die Passung der beiden Wandlerkanäle zueinander wird dadurch weiter verbessert, da die Spannungsabfälle über den beiden Wandlerkernen bei optimaler Kontaktierung der Pads identisch sind. Weiterhin wird das Spannungsversorgungsgitter des Takttreibers von den Wandlerkernen entkoppelt, um Einbrüche auf den Versorgungsspannungen der Stromquellenfelder zu reduzieren. Im ersten Wandlerentwurf ist eine Unsymmetrie im Metallgitter vorhanden, und die Spannungsversorgung des Takttreibers und der Stromquellenfelder sind nicht entkoppelt. Da die verwendeten differentiellen Spulen ebenfalls auf der höchsten Metallebene liegen, muss das Spannungsversorgungsgitter über dem Taktverteilungsnetzwerk aufgetrennt werden. Die Verbindung des Metallgitters erfolgt an diesen Stellen auf tiefer liegenden Metallebenen. Dadurch wird der Einfluss der Umgebungsmetalle auf die differentiellen Spulen reduziert.

Gesamlayout und Eingangsdatentreiber

Da der realisierte D/A-Wandler über Echtzeitschnittstellen verfügt, müssen alle digitalen Eingänge der zwei zeitverschachtelten Wandler mit Pads verbunden werden. Aufgrund der differentiellen Signalführung werden daher für die digitalen Eingänge 12 Pads benötigt. Weitere Pads sind für den differentiellen Takteingang, den differentiellen analogen Ausgang, die Referenzspannungen, das Kontrollregister und die Spannungsversorgungen notwendig. In der zweiten Reihe sind zusätzliche Spannungsversorgungspads vorgesehen, die bei Bedarf kontaktiert bzw. auf die entsprechenden Pads der ersten Reihe gebondet werden können. Die verwendeten Pads haben eine Größe von $75\ \mu\text{m} \cdot 80\ \mu\text{m}$. Das Padlayout und die Padbelegung des D/A-Wandlers zeigt die Abbildung A.2 im Anhang. Die gesamte Chipfläche mit Pading beträgt $2100\ \mu\text{m} \cdot 1900\ \mu\text{m}$, wohingegen der D/A-Wandler nur eine

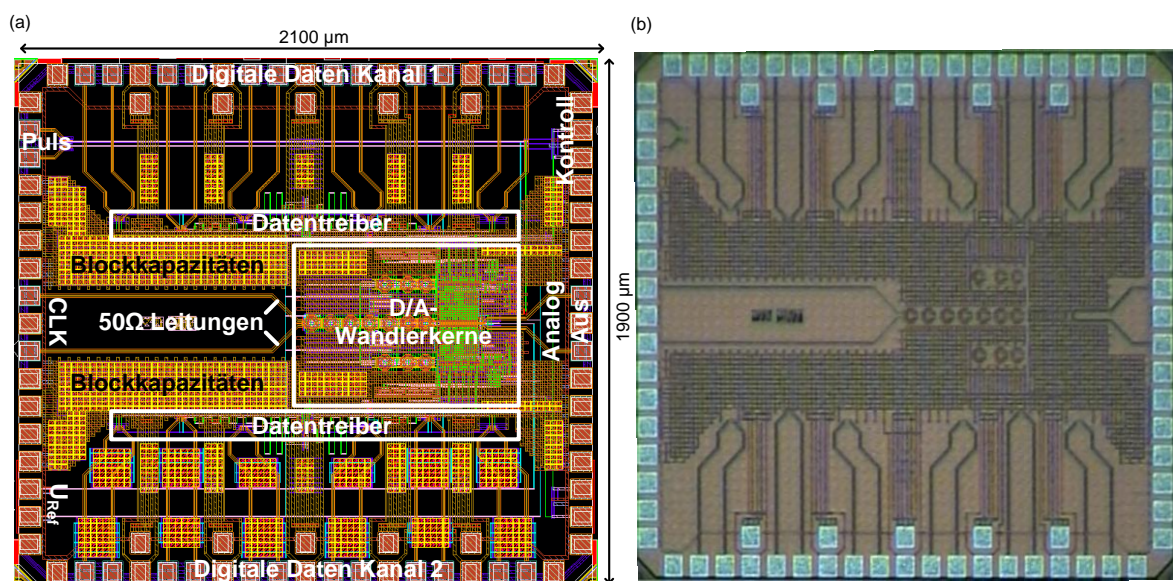


Abbildung 4.40: (a) Realisiertes Gesamlayout des D/A-Wandlers und (b) Chipfoto.

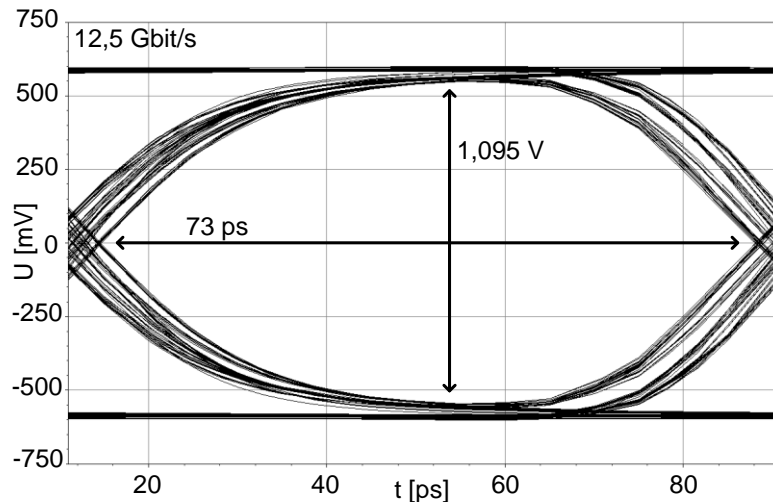


Abbildung 4.41: Augendiagramme der digitalen Eingangsdaten an der Eingangssynchronisierung bei 12,5 Gbit/s Datenrate.

Fläche von $780 \mu\text{m} \cdot 535 \mu\text{m}$ belegt. Der D/A-Wandler wird nicht direkt in der Chipmitte platziert, sondern so nah wie möglich an die Pads der analogen Ausgangsspannung gelegt. Dadurch wird eine Dämpfung des analogen Ausgangssignals durch die parasitären Elemente der Signalleitung minimiert. Die Abbildung 4.40(a) zeigt das gesamte Layout des realisierten D/A-Wandlers.

Die Pads der differentiellen Daten- und Takteingänge und des differentiellen analogen Ausgangs sind durch 50Ω -Leitungen mit dem D/A-Wandler verbunden. Die Leitungen werden auf höchster Metallebene als Mikrostreifenleitungen mit gleicher Länge entworfen, um unterschiedliche Laufzeiten zu vermeiden.

Weiterhin werden nach den 50Ω -Leitungen die digitalen Daten über Treiberstufen regeneriert und zu den Kernen geführt. Dabei werden unterschiedliche Signallaufzeiten durch zusätzliche Verzögerungsleitungen ausgeglichen. Die Abbildung 4.41 zeigt ein Augendiagramm der Eingangsdaten D0 bis D5 vor der Eingangssynchronisierung bei einer Datenrate von 12,5 Gbit/s unter Berücksichtigung von maximalen Layouteffekten (RCcMax).

Um Spitzen bzw. Einbrüche auf den Versorgungs- und Referenzspannungen zu reduzieren, werden Blockkapazitäten in das Metallgitter eingefügt. In Abbildung 4.40(a) sind die Blockkapazitäten unter dem Metallgitter sichtbar. Weiterhin sind sämtliche Referenzspannungen und die Eingänge des Kontrollregisters auf dem Chip mit Spannungsteilern bzw. Widerständen gegen U_{DD} auf Standardwerte voreingestellt. Dadurch vereinfacht sich der spätere Messaufbau, da nur die Takt- und Datenquellen benötigt werden. In Tabelle 4.3 sind die voreingestellten Spannungswerte und die verwendeten Blockkapazitätswerte zusammengefasst.

Tabelle 4.3: Voreingestellte Referenzspannungen und Blockkapazitätswerte.

Parameter	Einstellungen
U_{Hub}	$\pm 500 \text{ mV}$
U_{CML}	$\pm 600 \text{ mV}$
$C_{U_{DD}/U_{SS}}$	$\sim 44 \text{ pF}$
C_{Hub}	$\sim 12 \text{ pF}$
C_{CML}	$\sim 12 \text{ pF}$
Kontrolllogik	Ein=CLK _R =Ena=H

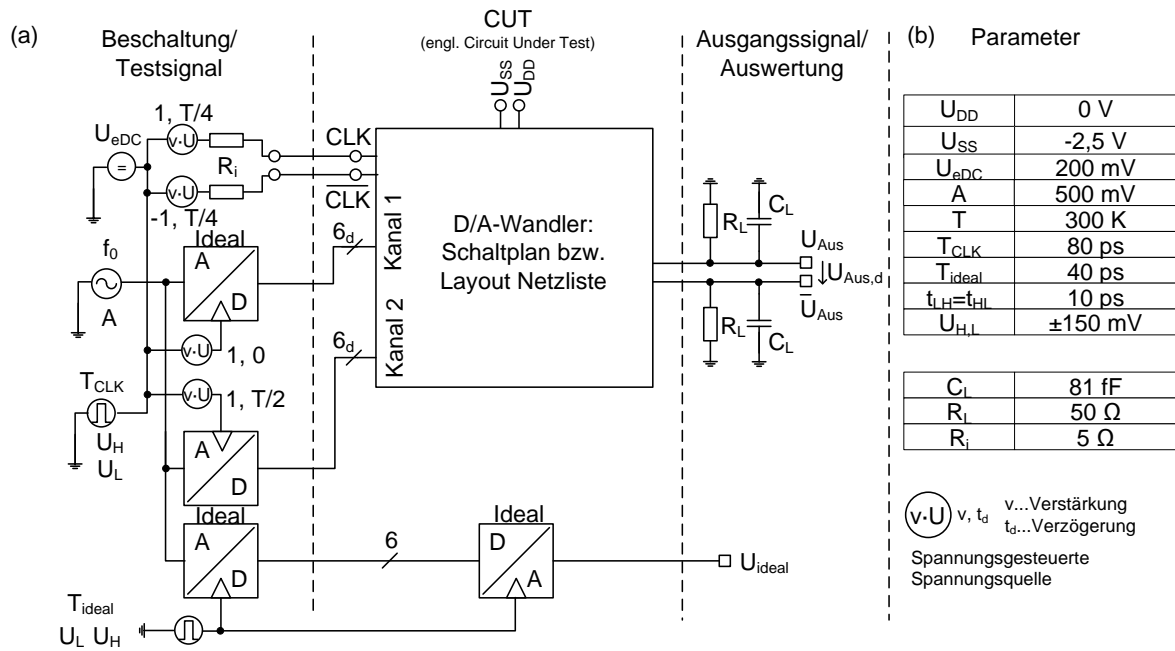


Abbildung 4.42: Simulationsumgebung des D/A-Wandlers mit (a) Testsignalerzeugung und (b) den einstellbaren Parametern.

Für eine erfolgreiche Chipprozessierung müssen auf dem gesamten Chip Mindestmetall-dichten eingehalten werden. Sind diese Mindestdichten nicht vorhanden, werden Füllstruk-turen auf dem Chip platziert. Insbesondere die 50 Ω -Leitungen und die differentiellen Spu-len sollten nicht durch Umgebungsmetalle beeinflusst werden. Daher werden über diese Schaltungsteile Flächen gelegt, die ein Füllen mit weiteren Metallen verhindern. In Abbil-dung 4.40(b) ist das Chipfoto des D/A-Wandlers dargestellt. Die oberen zwei Metalllagen, auf denen das Metallgitter, die differentiellen Spulen und die 50 Ω -Leitungen liegen, sind deutlich zu erkennen.

4.5 Simulation der Gesamtarchitektur

Nachdem die einzelnen Schaltungskomponenten des D/A-Wandlers durch Simulationen auf ihre Funktionalität bei der Zieltaktfrequenz von 12,5 GHz überprüft sind, muss nun die Gesamtarchitektur verifiziert werden. Hierfür werden Schaltplansimulationen der D/A-Wandlerarchitektur aus Abbildung 4.2(a) durchgeführt. Das Gesamlayout des D/A-Wandlers mit Pads, Metallgitter und Blockkapazitäten ist nicht mehr simulierbar. Daher wird für Layout-Simulationen die aus Abbildung 4.39 extrahierte Netzliste mit den typi-schen parasitären Elementen (RCcTyp) verwendet. In Abbildung 4.42 ist die Simulations-umgebung des D/A-Wandlers mit Testsignalerzeugung und den verwendeten Parametern bei der Zieltaktfrequenz dargestellt. In den Simulationen werden die auf dem Chip einge-stellten Referenzspannungen U_{CML} für die CML-Gatter und den analogen Ausgang U_{Hub} verwendet. Die Auswerteeinheiten sind in der Standardeinstellung des D/A-Wandlers ebenfalls ausgeschaltet. Es werden nur die dynamischen Eigenschaften des zweiten Ent-wurfs vorgestellt, da in den Simulationen nur geringfügige Unterschiede zwischen beiden Entwürfen auftreten. Die Verbesserungen in der zeitrichtigen Datenverarbeitung an den Ausgangsstufen und im Stromquellenlayout werden durch die Messungen in Kapitel 6 nachgewiesen.

Sinussignalerzeugung und Auswertung mittels DFT bzw. FFT

Auf die zwei zeitverschachtelten Kanäle des D/A-Wandlers wird ein digitaler Sinus mit variabler Frequenz f_0 gegeben. Aus dem differentiellen analogen Ausgangssignal $U_{\text{Aus,d}}$ ist mittels einer diskreten Fouriertransformation (engl. DFT - Discrete Fourier Transform) anschließend die Signal- und Rauschleistung zu bestimmen [68]. Mit Hilfe dieser Größen kann das SNDR und daraus die effektive Auflösung ENOB nach Gleichung (2.44) bzw. (2.46) berechnet werden. Ein idealer D/A-Wandler mit stufenförmigem Ausgangssignal U_{ideal} dient als Vergleichsgröße. Für die Dauer T des Zeitfensters der DFT (Rechteckfenster) gilt

$$T = T_A \cdot N_{\text{DFT}} \quad (4.12)$$

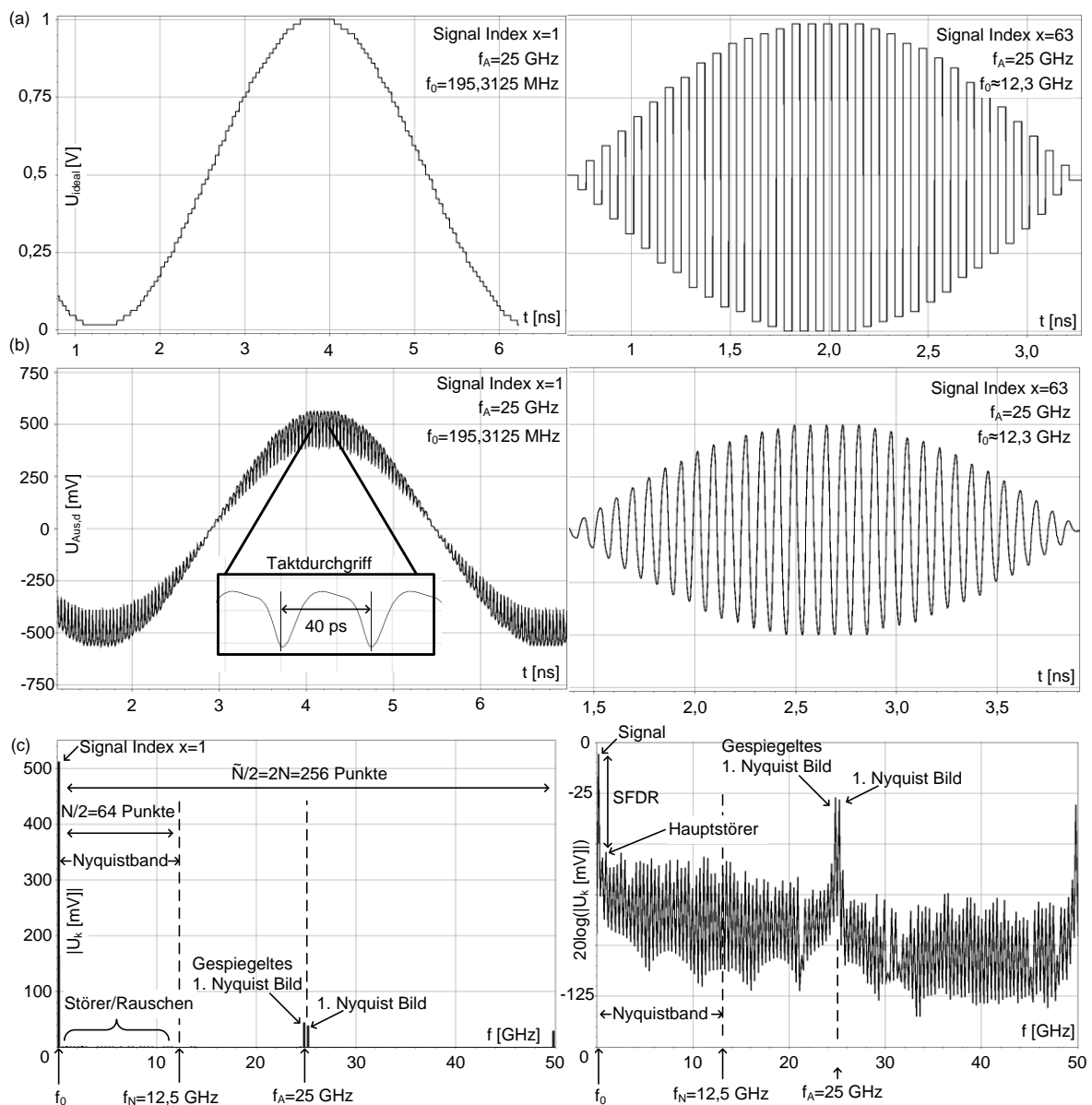


Abbildung 4.43: (a) Analoges differenzielles Ausgangssignal eines idealen treppenförmig interpolierenden D/A-Wandlers für den Signalindex $x=1$ und $x=63$, (b) entsprechendes analoges Ausgangssignal des realisierten D/A-Wandlers und (c) dessen Ausgangsspektrum.

Dabei sind N_{DFT} die Anzahl der Abtastpunkte und T_{A} die Abtastrate für das analoge Ausgangssignal $U_{\text{Aus,d}}$. Da die nominale Auflösung des Wandlers 6 Bit beträgt, muss die Anzahl der Abtastpunkte mindestens $N_{\text{DFT}}=2 \cdot 2^6=2 \cdot 64=128$ betragen, um das Nyquistkriterium zu erfüllen [68]. Aufgrund des Zeitverschachtelungsprinzips ergibt sich die Zielabtastrate zu $T_{\text{A}}=T_{\text{CLK}}/2=40$ ps. Für die einstellbaren Signalfrequenzen des Sinussignals f_0 gilt [68]

$$f_0 = \frac{x}{N_{\text{DFT}}} \cdot f_{\text{A}} = \frac{x}{N_{\text{DFT}}} \cdot \frac{2}{T_{\text{CLK}}} \quad \text{mit } 0 \leq x \leq N_{\text{DFT}} / 2. \quad (4.13)$$

Ist N_{DFT} eine Zweierpotenz, lässt sich die DFT besonders effektiv berechnen. Sie vereinfacht sich zu einer FFT (engl. Fast Fourier Transform) [66]. Der Signalindex x muss dabei ungerade gewählt werden.

Die nachfolgenden Simulationen und Berechnungen werden für die Signalindizes $x=1, 33, 49, 63$ durchgeführt. Da es sich um ein analoges Ausgangssignal handelt, wird das Signal vierfach überabgetastet. Die Anzahl der Abtastpunkte im Zeitintervall T beträgt jetzt $\tilde{N}_{\text{DFT}} = 4 \cdot N_{\text{DFT}} = 512$. Das Ausgangsspektrum wird aber weiterhin bis zur Nyquistfrequenz $f_{\text{N}}=f_{\text{A}}/2$ betrachtet, d.h. es werden weiterhin die ersten $N_{\text{DFT}}/2$ Spektralkomponenten der FFT ausgewertet. Durch die Überabtastung wird ein Teil des Quantisierungsrauschens aus dem Nyquistband geschoben.

In Abbildung 4.43(a) ist beispielhaft das analoge differentielle Ausgangssignal U_{ideal} eines idealen treppenförmig interpolierenden D/A-Wandlers für eine Anregung mit einem langsamen ($x=1$) und schnellen ($x=63$) digitalen Sinus bei der Zielabtastrate von 25 GS/s dargestellt. Die entsprechenden analogen Ausgangssignale $U_{\text{aus,d}}$ des realisierten D/A-Wandlers zeigt die Abbildung 4.43(b). Bei einer Anregung mit einem langsamen digitalen Sinussignal ($x=1$) ist der Taktdurchgriff deutlich im analogen Ausgangssignal zu erkennen. Der Taktdurchgriff liegt im Spektrum außerhalb des ersten Nyquistbandes und beeinflusst die Signalkomponente daher nicht.

Die Abbildung 4.43(c) zeigt die Amplituden $|U_k|$ der Störer und des Signals im Ausgangsspektrum nach einer FFT bei vierfacher Überabtastung für den Signalindex $x=1$. Aufgrund der Überabtastung sind im Ausgangsspektrum nicht nur die Signalkomponente an der Stelle f_0 , sondern auch die Nyquistbilder zu erkennen. Für die SNDR und ENOB Berechnungen werden die Amplitudenquadrate $|U_k|^2$ der Stör- und Rauschkomponenten innerhalb des ersten Nyquistbandes aufaddiert

$$\text{SNDR [dB]} = 10 \log \left(\frac{|U_x|^2}{\sum_{k=1}^{N_{\text{DFT}}/2} |U_k|^2} \right) \quad \text{mit } k \neq x. \quad (4.14)$$

Der ENOB-Wert kann anschließend unter Berücksichtigung der vierfachen Überabtastung entsprechend Gleichung (2.46) berechnet werden.

Die Abbildung 4.43(c) zeigt weiterhin eine logarithmische Darstellung der Signal- und Störkomponenten des Ausgangsspektrums in dB(W). Der SFDR-Wert lässt sich dabei direkt aus der Differenz zwischen der Signalleistung und der Leistung des größten Störers bestimmen.

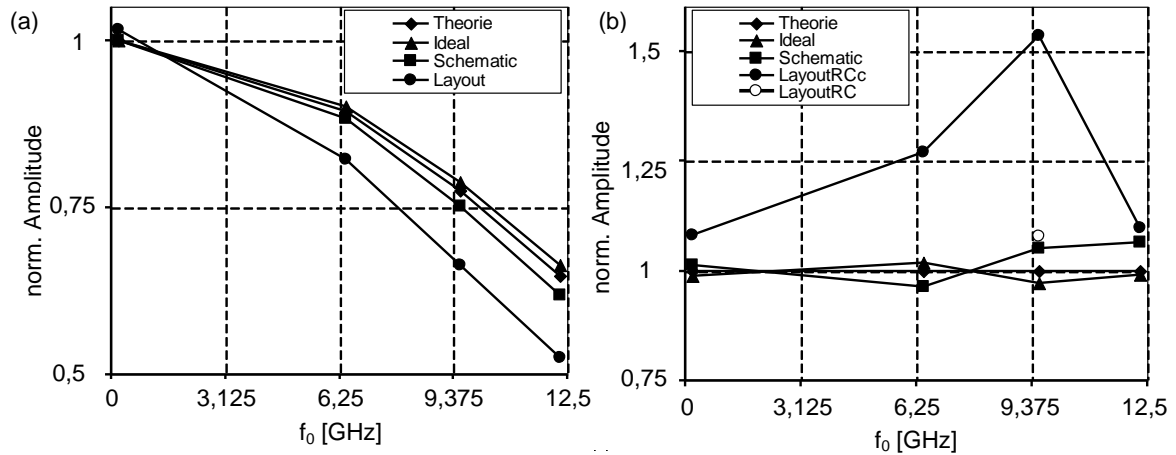


Abbildung 4.44: Normierte (a) Signal- und (b) Rauschamplituden in Abhängigkeit der Signalfrequenz bei der Zielabtastrate.

Signal- und Rauschamplituden

In Abbildung 4.44(a) sind die simulierten normierten Signalamplituden aus den Ausgangsspektren über der Signalfrequenz bei der Zielabtastrate aufgetragen. Als Vergleichswert für die simulierten Werte (Schaltplan, Layout) sind ebenfalls die normierten Signalamplituden eines idealen D/A-Wandlers mit treppenförmigem Ausgangssignal dargestellt. Weiterhin zeigt die Abbildung die theoretischen normierten Signalamplituden entsprechend der Übertragungsfunktion nach Gleichung (2.30). Es ist festzuhalten, dass die simulierten Signalamplituden dem idealen bzw. theoretischen Verlauf eines treppenförmig interpolierenden D/A-Wandlers recht nahe kommen. Die Simulationen des Schaltplans zeigen nur geringfügige Abweichungen vom idealen bzw. theoretischen Verlauf. Erst unter Berücksichtigung der parasitären Elemente des Layouts (RCC) ist eine Abnahme der Signalamplituden insbesondere in der Nähe der Nyquistfrequenz zu beobachten.

Die normierten Gesamtamplituden der Störkomponenten (Rauschen+Verzerrungen) sind ebenfalls in der Abbildung 4.44(b) dargestellt. Die Schaltplansimulationen zeigen nur geringfügige Abweichungen zu den theoretischen und idealen Werten. Ein anderes Verhalten zeigen die Simulationen unter Berücksichtigung der parasitären Elemente des Layouts. Die Gesamtamplitude der Störer nimmt zu den höheren Signalfrequenzen hin leicht zu. Ein Maximum befindet sich bei einer Signalfrequenz von ca. 9,5 GHz, das entspricht dem Signalindex $x=49$ bzw. $\frac{3}{4}$ der Nyquistfrequenz.

Für den Signalindex $x=49$ wird die Simulation des Layouts im zweiten Wandlerentwurf auch ohne Berücksichtigung der Koppelkapazitäten (RC) durchgeführt. Die Rauschamplitude ist unter diesen Simulationsbedingungen stark reduziert. Die Zunahme der Rauschamplitude kann daher durch Koppelkapazitäten verursacht sein. Dabei handelt es sich um Koppelkapazitäten an oder zwischen den Sammelschienen des differentiellen analogen Ausgangs. Weiterhin sind auch Simulatorungenauigkeiten nicht auszuschließen.

Störerfreier Dynamikbereich

Abbildung 4.45 zeigt die SFDR-Simulation bei der Zielabtastrate. Der SFDR-Wert nimmt zu den höheren Signalfrequenzen hin ab und erreicht bei der Nyquistfrequenz ein Minimum. Die Ursache hierfür ist die Formung der Signalkomponente durch die $\sin(x)/x$ Übertragungsfunktion des treppenförmig interpolierenden D/A-Wandlers.

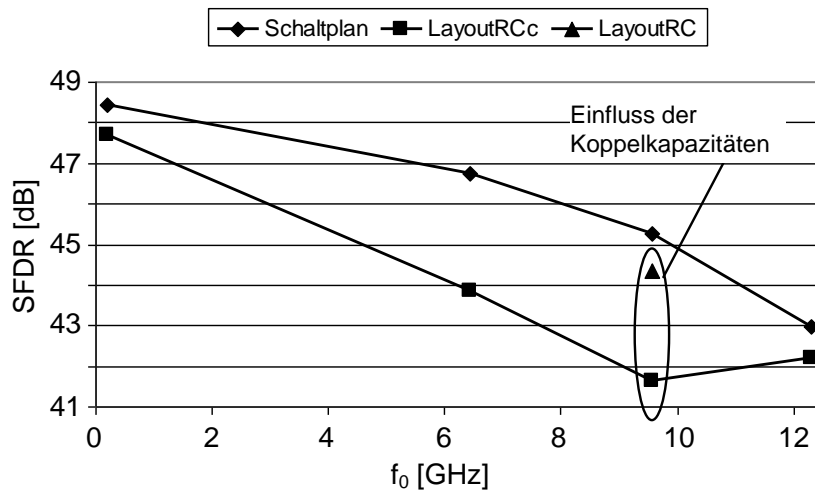


Abbildung 4.45: Simulierte SFDR-Werte mit und ohne Berücksichtigung des Layouts (RCc) bei der Zielabtastrate.

Berücksichtigt man bei den Simulationen die Layoutnetzliste (RCc), nimmt der SFDR-Wert abhängig vom Signalindex um bis zu 5 dB ab. Die erhöhte Gesamtamplitude der Störkomponenten beim Signalindex $x=49$ hat ebenfalls einen Einfluss auf die SFDR-Werte. Das Minimum der SFDR-Werte ist daher im zweiten Wandlerentwurf ebenfalls bei diesem Signalindex zu finden, d.h. bei dieser Signalfrequenz ist der erste Störer am größten.

Signal-zu-Rausch und Störverhältnis und effektive Auflösung

Zur Berechnung des SNDR müssen alle Störkomponenten innerhalb des ersten Nyquistbandes nach Gleichung (4.14) aufaddiert werden. In der Abbildung 4.46(a) und (b) sind die SNDR- und ENOB-Werte mit und ohne Berücksichtigung des Layouts (RCc) dargestellt. Ein idealer treppenförmig interpolierender D/A-Wandler und die theoretischen SNDR-Werte dienen als Vergleichskurven.

Der Schaltplan zeigt erst ab dem Signalindex $x=49$ eine geringfügige Abweichung von 0,7 dB bzw. 1,1 dB zu den theoretischen und idealen Vergleichswerten. Auch bei den mit

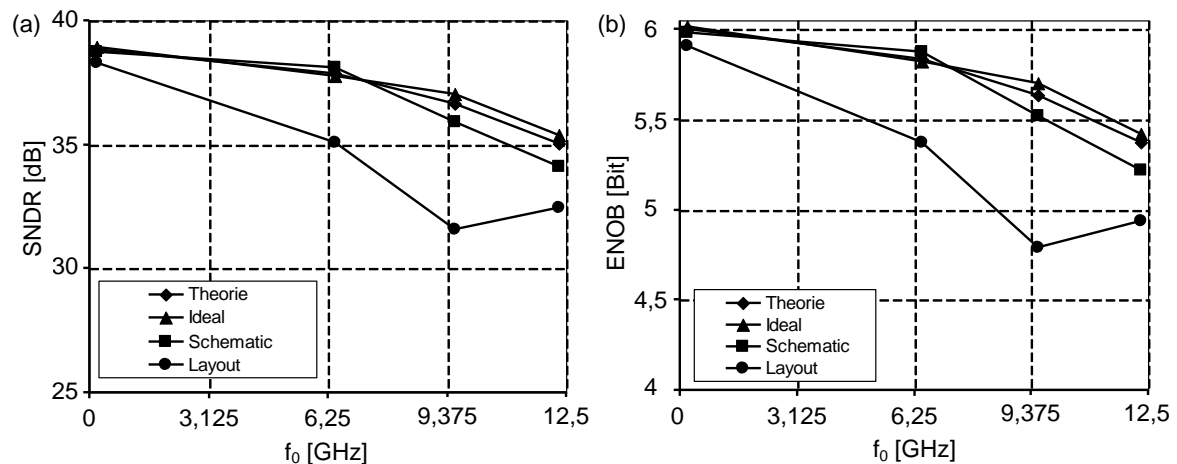


Abbildung 4.46: Simulierte (a) SNDR- und (b) ENOB-Werte mit und ohne Berücksichtigung des Layouts bei der Zielabtastrate.

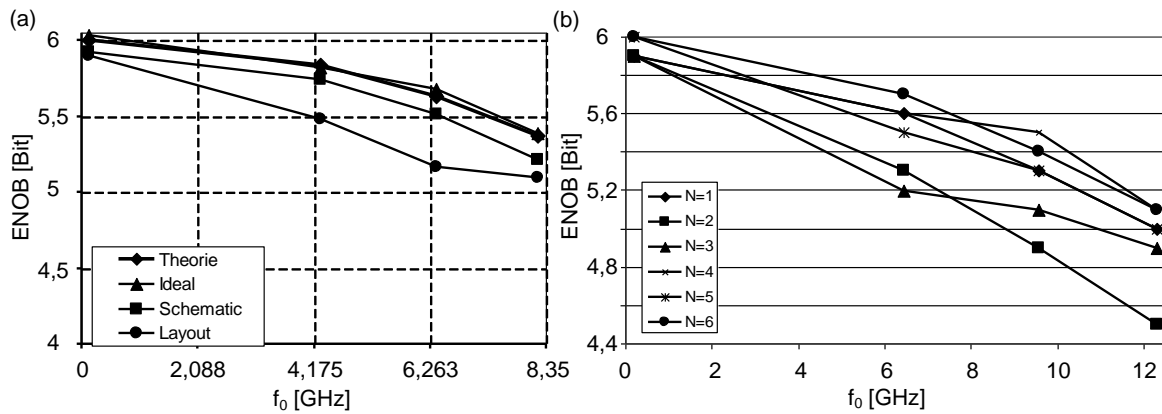


Abbildung 4.47: Simulierte (a) ENOB-Werte mit und ohne Berücksichtigung des Layouts bei einer Abtastrate von 16,7 GS/s und (b) Fehlpassung-Simulationen bei der Zielabtastrate für $N=6$ Durchläufe.

der Layoutnetzliste (RCc) simulierten SNDR-Werten zeigt sich der Einfluss der erhöhten Störampplituden für den Signalindex $x=49$. Der SNDR-Wert nimmt an dieser Stelle um bis zu 5,8 dB zu den Vergleichswerten ab. Die aus dem SNDR resultierenden ENOB-Werte sind in der Abbildung 4.46(b) dargestellt. Es wird eine effektive Auflösung größer 4,8 Bit über dem gesamten Nyquistband bei der Zielabtastrate von 25 GS/s erreicht.

Um die bitratenflexible Arbeitsweise des D/A-Wandlers zu überprüfen, werden die ENOB-Simulationen auch bei einer Abtastrate von 16,7 GS/s durchgeführt. Abbildung 4.47(a) zeigt die Simulationsergebnisse. Die effektive Auflösung ist größer 5,1 Bit innerhalb des gesamten Nyquistbandes. Der Einbruch beim Signalindex $x=49$ fällt bei dieser Abtastrate geringer aus als bei der Zielabtastrate von 25 GS/s. Die geringere effektive Auflösung bei der Zielabtastrate ist durch den dynamischen Mismatch zu erklären: Aufgrund der sehr hohen Takt- und Datenrate von 25 GS/s ist ein vollständiges Einschwingen bei gleichzeitig synchronem Durchschalten der Daten an den Ausgangsstufen nicht mehr gewährleistet.

Einfluss von Bauteilfehlpassung

In Abbildung 4.47(b) sind Monte Carlo Simulationen bei der Zielabtastrate von 25 GS/s dargestellt. Aufgrund der langen Simulationszeitdauer werden insgesamt nur $N=6$ Durchläufe ausgewertet. Die parasitären Kapazitäten des Layouts können ebenfalls nicht berücksichtigt werden. Bei niedriger Signalfrequenz (statisch) verursacht die Fehlpassung von benachbarten Stromquellen zueinander eine Abweichung von ca. 0,2 Bit. Für höhere Signalfrequenzen (dynamisch) steigt der Auflösungsverlust auf bis zu 0,6 Bit an. Ursache hierfür ist die Überlagerung der statischen Fehlpassung mit der dynamischen Fehlpassung der Verzögerungszeiten an den Ausgangsstufen.

Ausgangsbandbreite und Einschwingverhalten

In Abbildung 4.48 sind die Spannungsamplituden bei sinusförmiger Anregung des Wandlers in Abhängigkeit der Signalfrequenz logarithmisch aufgetragen. Auf Schaltungsplanebene wird eine Ausgangsbandbreite bzw. 3 dB-Grenzfrequenz von ca. 10,5 GHz erzielt. Der analoge Ausgangsspannungshub U_{Hub} ist in den Simulationen auf ± 500 mV eingestellt. Weiterhin ist der differentielle analoge Ausgang des D/A-Wandlers mit einer Kapazität von $C_L=80$ pF und einem Widerstand von $R_{\text{Exl}}=50$ Ω abgeschlossen. Berücksichtigt man die

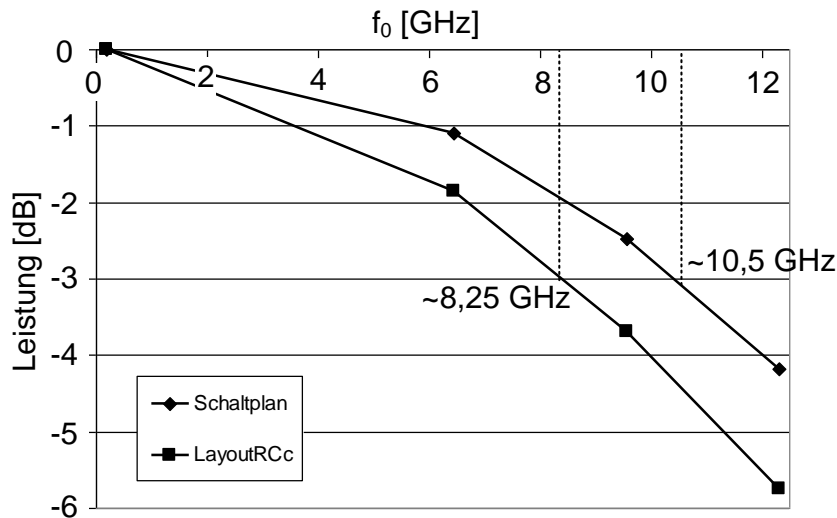


Abbildung 4.48: Ausgangsbandbreite mit und ohne Berücksichtigung des Layouts (RCc).

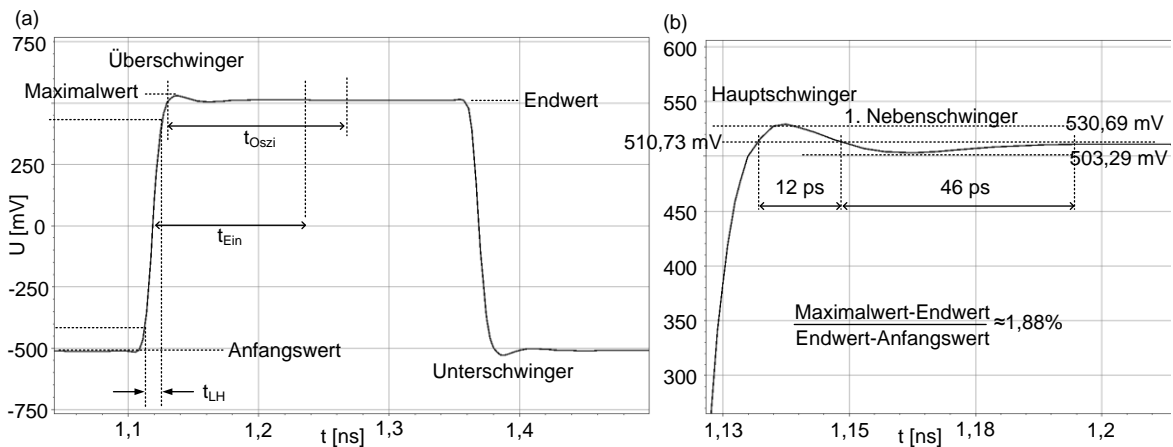


Abbildung 4.49: (a) Einschwingvorgang des differentiellen analogen Ausgangs bei einem Vollaussteuerübergang, (b) Detailansicht eines Über/Unterschwingers.

parasitären Elemente (RCc), sinkt die Ausgangsbandbreite aufgrund der zusätzlichen Kapazitäten und Widerstände ab. Die 3 dB-Grenzfrequenz liegt jetzt bei ca. 8,25 GHz. Die Ausgangsbandbreite kann jedoch durch Verringern des einstellbaren Ausgangsspannungshubs vergrößert werden.

Zur Bestimmung der Über- und Unterschwinger bzw. der Anstiegs- und Einschwingzeiten t_{LH} bzw. t_{Ein} des D/A-Wandlers wird ein Vollaussteuerübergang am analogen differentiellen Ausgang simuliert. In Abbildung 4.49(a) ist der Einschwingvorgang von -500 mV auf +500 mV dargestellt. Die Über- und Unterschwinger sind deutlich zu erkennen. Abbildung 4.49(b) zeigt eine Detailansicht des Haupt- und ersten Nebenschwingers. In Tabelle 4.4 sind die Einschwingzeiten und die Überschwingerfläche $A_{\text{ÜS}}$ (Rechtecknäherung) mit und ohne Berücksichtigung der parasitären Elemente (RCcMax) zusammengefasst. Berücksichtigt man das Layout, fallen die Über- bzw. Unterschwinger wegen der höheren RC-Last sehr gering aus. Dementsprechend verringern sich auch die Einschwing- und Oszillationszeiten. Die Anstiegszeit nimmt jedoch aufgrund der zusätzlichen parasitären Widerstände und Kapazitäten zu.

Tabelle 4.4: Einschwing-, Anstiegs- bzw. Oszillationszeit und Überschwingerfläche.

Parameter	Einheit	Schaltplan	Layout (RCc)
t_{LH}	ps	12,705	20,494
t_{Ein}	ps	112,9	36,65
t_{Oszi}	ps	122,7	40
$A_{ÜS}$	V·ps	0,24	0,06
Überschwinger	%	1,88	0,33

4.6 Zusammenfassung der Simulationsergebnisse

In Tabelle 4.5 sind die wichtigsten geometrischen und elektrischen Eigenschaften zusammengefasst. Dabei ist hervorzuheben, dass der Leistungsverbrauch im zweiten Wandlerentwurf bei gleicher maximaler Wandlerrate entscheidend reduziert werden konnte. Der Leistungsverbrauch sinkt um 22% von 2,3 W auf 1,8 W. Beide Wandler können auch bei einer Versorgungsspannung von -2,0 V betrieben werden, wodurch der Leistungsverbrauch weiter reduziert wird. Die Auswerteeinheiten (SELU) sind nur bei der Datensynchronisierung notwendig und verursachen kurzfristig eine zusätzliche Leistungsaufnahme von ca. 0,4 W. Weiterhin ist die Chipfläche im zweiten Wandlerentwurf um 14% verkleinert.

Tabelle 4.5: Geometrische und elektrische Eigenschaften.

Eigenschaft	Einheit	Wert
Chipfläche	mm ²	4
Fläche des Wandlerkerns	mm ²	0,055
Leistungsaufnahme	W	1,8 / 2,2 (mit SELU)
Versorgungsspannungen	V	U_{DD} : 0, U_{SS} : -2,5 (-2)

Tabelle 4.6 fasst die wichtigsten simulierten dynamischen Eigenschaften mit und ohne Berücksichtigung der parasitären Elemente (RCc) zusammen.

Tabelle 4.6: Simulierte dynamische Eigenschaften.

Dynamische Eigenschaften	Schaltplan	Layout(RCc)
SFDR [dB] bei 25 GS/s	> 43	> 41
ENOB [Bit] bei 25 GS/s:		
195,3 MHz	5,98	5,91
6,7 GHz ($f_N/2$)	5,88	5,37
12,3 GHz (f_N)	5,22	4,79
ENOB [Bit] bei 16,7 GS/s:		
130 MHz	5,97	5,9
4,29 GHz ($f_N/2$)	5,89	5,44
8,203 GHz (f_N)	5,24	4,97
Ausgangsbandbreite [GHz] bei ± 500 mV	~10,5	~8,5

Die Simulationen zeigen, dass die Spezifikationen entsprechend Tabelle 1.2 erfüllt sind. Das bitratenflexible Verarbeiten der Daten bis zu einer Abtastrate von 25 GS/s ist sichergestellt, wobei das Zeitverhalten an der Ausgangsstufe im ersten Entwurf nicht optimal eingestellt ist. Die entwickelten Auswerteeinheiten ermöglichen die Synchronisierung der Eingangsdaten und sind bis zu Abtastraten von 25 GS/s einsetzbar.

5 Aufbau- und Messtechnik

Die Charakterisierung der realisierten D/A-Wandler muss mittels der Echtzeitschnittstellen erfolgen, da keine Datenspeicher auf dem Chip vorhanden sind. Die Echtzeitschnittstellen ermöglichen den Einsatz der Wandler für Echtzeitexperimente (AWG), stellen aber auch eine große Herausforderung dar. Die Testdaten müssen synchron am D/A-Wandler ankommen, da sonst Messungen verfälscht werden. Weiterhin ist ein Aufbau der Wandler auf Platinen erforderlich, der für Abtastraten bis zu 25 GS/s geeignet ist. Eine weitere Schwierigkeit ist das Aufbringen der D/A-Wandler Chips auf den Platinen. Aufgrund der Zeitverschachtelung und der differentiellen Signalführung sind 80 Pads mit den entsprechenden Zuleitungen der Platinen zu verbinden. Besonders kritisch ist dabei die Verbindung der Hochgeschwindigkeits-Signalleitungen (Takt, Daten, analoger Ausgang) zwischen Chip und Platine.

Die D/A-Wandler sind für Datenraten bis zu 12,5 Gbit/s pro Kanal ausgelegt. Da die Datenrate des verwendeten FPGAs auf 6,25 Gbit/s begrenzt ist, müssen die Daten mit Hilfe zusätzlicher Multiplexerchips aufbereitet werden, um die maximal mögliche Datenrate zu generieren. Um die Komplexität des Aufbaus und der Messtechnik zu begrenzen, werden die Wandler zunächst ohne Multiplexerchips auf Platinen aufgebaut. Dieser Aufbau wird im Folgenden als „Aufbautechnik für Abtastraten bis zu 4 GS/s“ bezeichnet. Darüber hinaus ist eine „Aufbautechnik für Abtastraten bis zu 25 GS/s“ entstanden.

Ein Virtex4 FPGA wird für die Erzeugung der Testdaten verwendet. Die Synchronisierung der Daten über die Auswerteeinheiten ist notwendig, wenn die RIO-Schnittstellen des FPGAs benutzt werden. Die RIO-Schnittstellen liefern keine synchronen Ausgangsdaten. Dagegen senden die LVDS-Schnittstellen synchrone Ausgangsdaten. Diese synchronen Schnittstellen sind jedoch nur für die Generierung von Datenraten kleiner 500 Mbit/s geeignet. Daher sind zwei FPGA-basierte Messsysteme für das Senden der Daten über die RIO - bzw. LVDS-Schnittstellen entstanden. Das LVDS-Messsystem [24][103] musste neu entwickelt werden, wohingegen das RIO-Messsystem aus [104][105] auf den realisierten D/A-Wandler angepasst und teilweise erweitert werden musste [103].

5.1 Platinenentwurf und Aufbautechnik

Zunächst wird mit der Entwicklungsumgebung für HF-Schaltungen „ADS Momentum“ ein Platinenlayout erstellt. Die entworfenen HF-Leitungen werden anschließend durch S-Parameter Simulationen hinsichtlich Reflexion S_{11} , Transmission S_{21} und Wellenwiderstand Z_0 überprüft. Das Layout wird daraufhin im GDS-Format (engl. GDS – Graphic Data System) exportiert und zur Fertigung gegeben. Die Platinen der kleinen Aufbautechnik werden am INT gefertigt. Die restlichen Prozessierungsschritte, wie beispielsweise das Chip-Bonden, sind nur durch externe Firmen (RHE bzw. Cicor) zu bewältigen.

5.1.1 Aufbautechnik für Abtastraten bis zu 4 GS/s

Die realisierten D/A-Wandler der ersten und zweiten Generation sind auf unterschiedliche Weise aufgebaut. Die Wandler der ersten Generation sind in ein QFN80-Gehäuse gepackt, wohingegen die Wandler der zweiten Generation nur als gesägte Chips zur Verfügung stehen. Daher müssen die Platinenentwürfe auf diese zwei Varianten angepasst werden.

Platinentwurf

Abbildung 5.1(a) und Abbildung 5.2(a) zeigen das Layout der Platinen für das QFN80-Gehäuse der ersten Wandlergeneration und den zu bondenden Chip der zweiten Generation. In beiden Entwürfen hat die Platine eine Fläche von $13\text{ cm} \cdot 13\text{ cm}$ und ist zweilagig realisiert. Die positive Spannungsversorgung U_{DD} wird auf der Unterseite der Platine zugeführt und ist in den Abbildungen nicht dargestellt. Die Platinenmasse und die Spannungsversorgung U_{DD} sind voneinander getrennt. Dadurch wird ein Betrieb des Wandlers und FPGA-Boards bei unterschiedlicher Versorgungsspannung ermöglicht. Alle restlichen Signale und Spannungen sind auf der Oberseite der Platine geführt.

Das QFN80-Gehäuse bzw. der Chip wird in die Platinenmitte gesetzt. An dieser Stelle ist die Oberfläche der Platine entsprechend der Unterseite des QFN80-Gehäuses strukturiert. Eine Detailansicht dieser Strukturierungen ist in Abbildung 5.1(a) und Abbildung 5.2(a) dargestellt. Für den Aufbau der gesägten Chips reicht eine $0,52\text{ cm}^2$ große Metallfläche

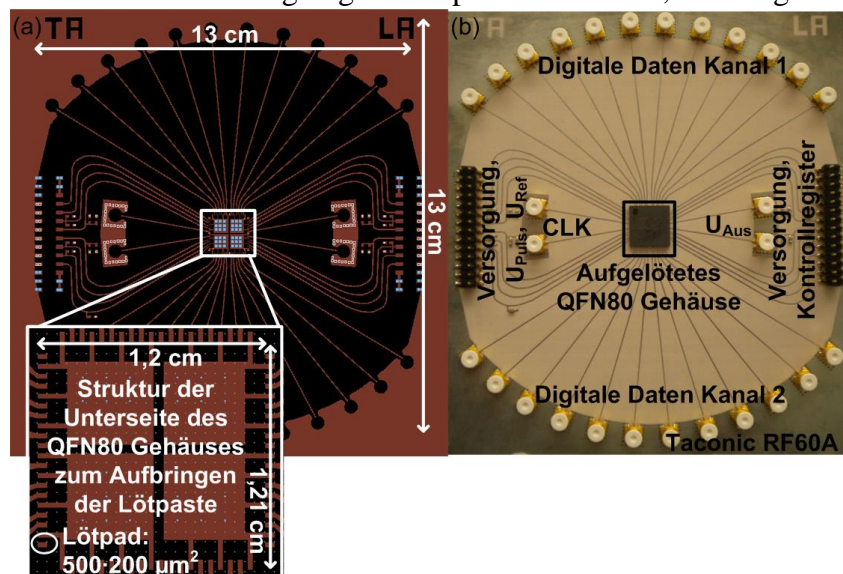


Abbildung 5.1: (a) Layout der Platine für das QFN80-Gehäuse und (b) gefertigte Platine mit aufgelötetem QFN80-Gehäuse.

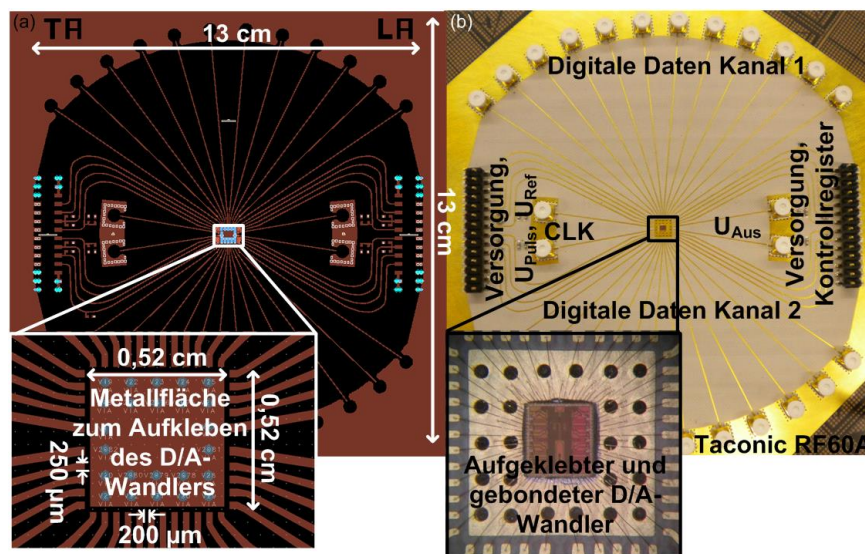


Abbildung 5.2: (a) Layout der Platine für den zu bondenden Chip und (b) gefertigte Platine mit in der Mitte gebondetem Chip.

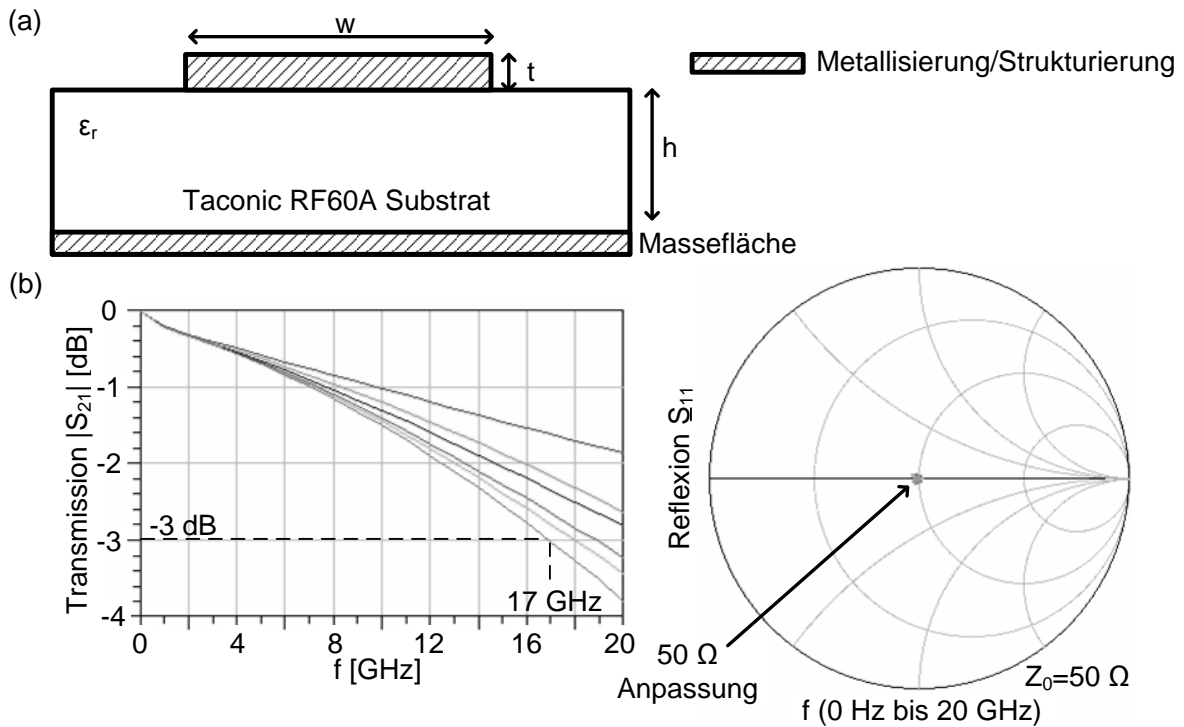


Abbildung 5.3: (a) Querschnitt einer Mikrostreifenleitung mit relevanten Parametern und (b) S-Parameter Mehrtorsimulationen der entworfenen Mikrostreifenleitungen.

aus. Auf diese Metallfläche werden später die gesägten Chips aufgeklebt.

Simulation der HF-Leitungen

Die HF-Leitungen für die digitalen Eingangsdaten, den Takteingang und analogen Ausgang werden als 50Ω -Mikrostreifenleitungen entsprechend Abbildung 5.3(a) entworfen. Als Platinenmaterial bzw. Substrat wird ein Taconic RF60A-Material mit einer relativen Dielektrizitätskonstante von $\epsilon_r=6,15$ und einer von Höhe $h=50 \mu\text{m}$ eingesetzt. Die Mikrostreifenleitungen sind mit einer Weite von $w=351,49 \mu\text{m}$ und einer Dicke von $t=18 \mu\text{m}$ dimensioniert.

In Abbildung 5.3(b) sind die S-Parameter Mehrtorsimulationen von 12 benachbarten Mikrostreifenleitungen dargestellt. In den Simulationen wird die Ausdehnung der Massefläche unter den Signalleitungen als unendlich groß angenommen. Alle Signalleitungen sind auf einen Wellenwiderstand von $Z_0=50 \Omega$ angepasst und haben eine Dämpfung $<3 \text{ dB}$ bis zu einer Signalfrequenz von 17 GHz.

Aufbau der Wandler bzw. Fertigung der Platinen

Die gefertigten Platinen mit den aufgebauten Wandlern zeigen Abbildung 5.1(b) und Abbildung 5.2(b). Aufgrund der geringen Dicke wird das Taconic RF60A-Material mit einer FR4-Trägerplatine verpresst. Probleme treten insbesondere beim Aufbau der ersten Wandlergeneration mit QFN80-Gehäuse auf. Es erweist sich als schwierig, die 80 Löt pads auf der Platine mit den entsprechenden Anschlüssen des QFN80-Gehäuses zu verbinden. Nachdem die Löt paste und das QFN-Gehäuse aufgebracht sind, fängt das Gehäuse beim Erhitzen an zu schwimmen. Eine einwandfreie Kontaktierung ist damit nicht gewährleistet. Die Kontaktierungsprobleme sind beim Aufbau der zweiten Wandlergeneration nicht mehr

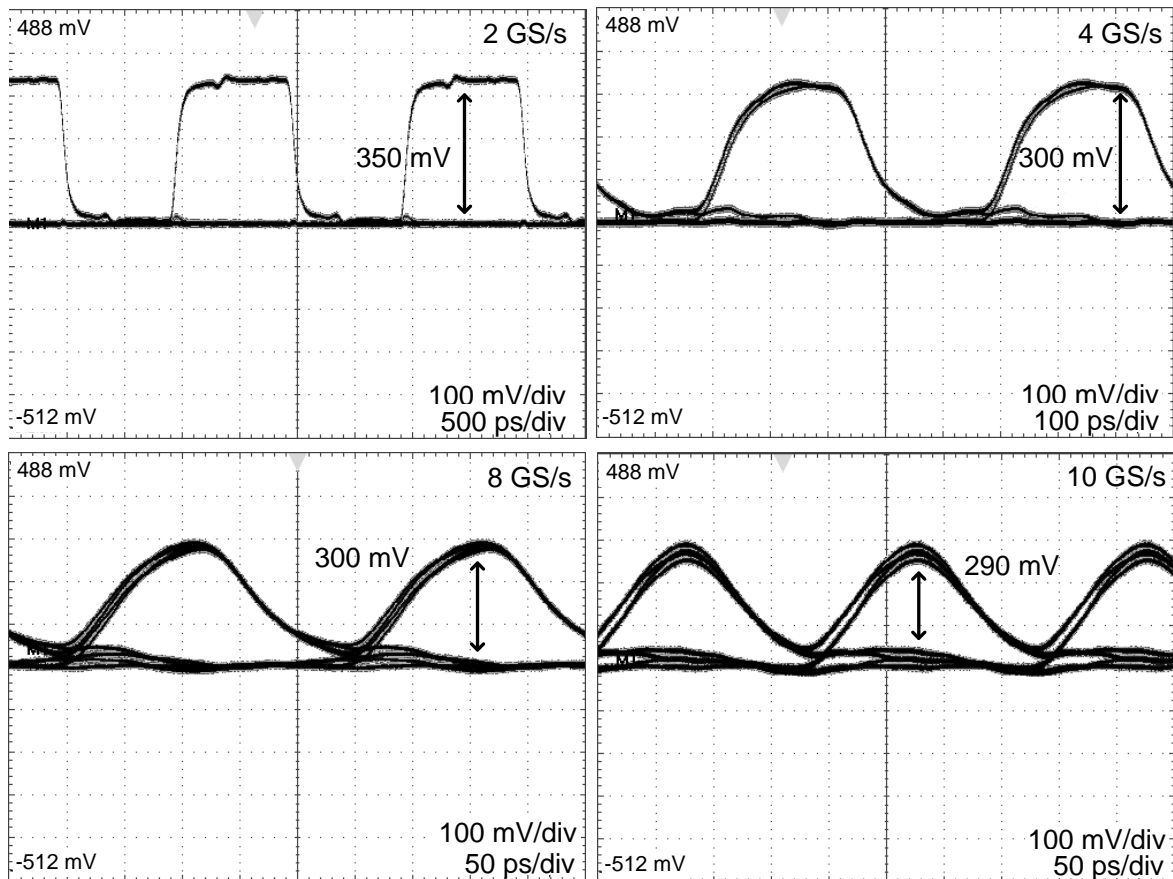


Abbildung 5.4: Gemessenes analoges Ausgangssignal des D/A-Wandlers im QFN80-Gehäuse für Abtastraten von 2, 4, 8 und 10 GS/s.

vorhanden. Der gesägte Chip wird direkt auf die vorgesehene Metallfläche geklebt. Anschließend werden die Pads durch Bonddrähte mit den entsprechenden Leitungen auf der Platine verbunden. Die HF-Leitungen auf der Platine werden über Mini-SMP Stecker (engl. SMP – Sub Miniature version P) angeschlossen. Für die Spannungsversorgung, die Referenzspannungen und die Kontrolllogik sind auf der Platine Pfostenstecker aufgebracht. Das Bonden der Chips wird von der Firma RHE durchgeführt.

Messung der maximal erreichbaren Abtastrate

Um die Leistungsfähigkeit dieser Aufbautechnik beurteilen zu können, zeigt Abbildung 5.4 das gemessene analoge Ausgangssignal der aufgebauten D/A-Wandler (Entwurf 1) bei verschiedenen Abtastraten. Der Ausgangsspannungshub des Wandlers ist auf ± 500 mV eingestellt. Es wird eine PRBS-Folge (engl. PRBS – Pseudo Random Bit Sequence) an einen der MSB-Eingänge des D/A-Wandlers angelegt. Die restlichen Bits liegen auf einem statischen Pegel. Entsprechend Abbildung 5.4 können Abtastraten bis zu 10 GS/s gemessen werden. Jedoch nimmt der unipolare Spannungshub bei 10 GS/s um bis zu 210 mV ab. Die Flankensteilheit ist bei 10 GS/s ebenfalls sehr gering. Für Abtastraten bis 4 GS/s liefert die Platine hinsichtlich der Flankensteilheit und des Spannungshubs ($\sim \pm 300$ mV) gute Ergebnisse. Weitere Verbesserungen hinsichtlich des maximalen Ausgangsspannungshubs und der Flankensteilheit ergeben sich mit dem Aufbau des zweiten Entwurfs.

5.1.2 Aufbautechnik für Abtastraten bis zu 25 GS/s

Diese Aufbautechnik soll den Betrieb der Wandler für Abtastraten bis zu 25 GS/s ermöglichen. Hierfür wird ein D/A-Wandler zusammen mit vier Multiplexer Chips [106] auf einem Dünnschichtsubstrat [107][108] aufgebaut. Das Dünnschichtsubstrat wird anschließend auf eine HF-Trägerplatine geklebt. Die HF-Trägerplatine und das Dünnschichtsubstrat sind durch Bonddrähte miteinander verbunden.

Konzept

Die Abbildung 5.5 zeigt das Konzept [109] für den Betrieb der Wandler mit Abtastraten bis zu 25 GS/s. Als Datenquelle dient ein Virtex4 FPGA Board. Da die maximale Datenrate dieses FPGAs auf 6,25 Gbit/s begrenzt ist, müssen die Daten 2:1 gemultiplext werden. Dadurch kann an den zeitverschachtelten D/A-Wandlerkanälen die erforderliche Bitrate von 12,5 Gbit/s erzeugt werden. Eine zusätzliche Integration der Multiplexer auf den D/A-Wandlerchips würde die Anzahl der Pads und damit die teure Chipfläche erhöhen. Weiterhin ist die Anzahl der RIO-Schnittstellen auf dem FPGA begrenzt. Um die zeitverschachtelten Kanäle des D/A-Wandlers gleichzeitig zu betreiben, müssen zwei FPGA-Boards eingesetzt werden.

Das Problem der Datensynchronisierung wird durch die in Kapitel 4.3.7 vorgestellte Auswertereinheit mittels XOR-Verknüpfung benachbarter Bitpositionen ($d_i \text{ XOR } d_{i+1}$) gelöst.

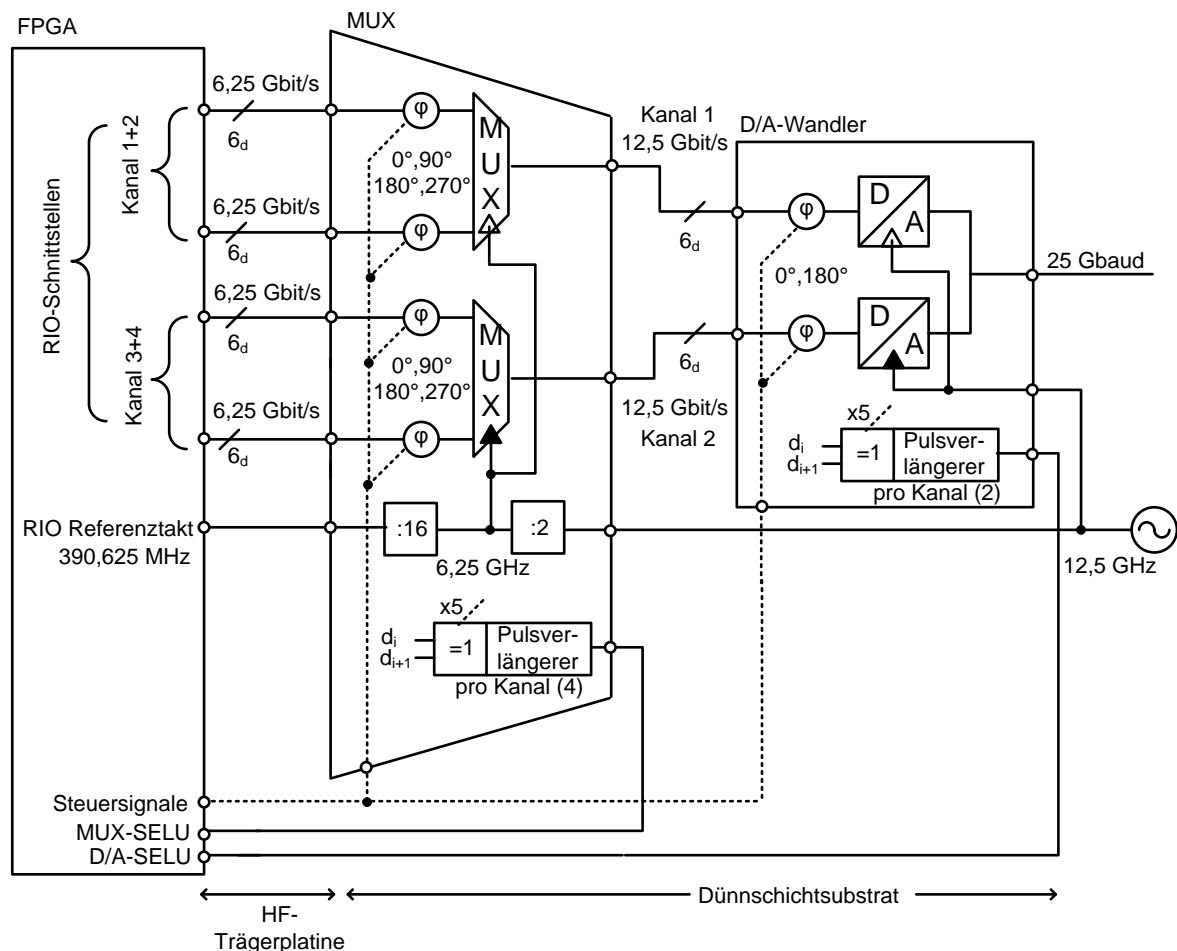


Abbildung 5.5: Konzept für den Betrieb der Wandler für Abtastraten bis zu 25 GS/s [109].

Das gleiche Prinzip der Synchronitätsbestimmung ist auf den Multiplexer-Chips realisiert. An den Eingängen der Multiplexer-Chips können die Daten auf vier unterschiedliche Phasen abgetastet werden. Weiterhin befinden sich zwei Takteiler auf den Multiplexer-Chips. Der 1:2 Takteiler erzeugt das Multiplexertaktsignal, wohingegen der nachfolgende 1:16 Takteiler den Referenztakt für die FPGA RIO-Schnittstellen erzeugt. Sobald ausreichend schnelle FPGA-Boards zur Verfügung stehen, können die Wandler auch ohne die Multiplexer-Chips mit der Aufbautechnik aus Kapitel 5.1.1 bei der vollen Abtastrate betrieben werden.

Entwurf der HF-Trägerplatine

In Abbildung 5.6(a) ist die gefertigte zweilagige HF-Trägerplatine dargestellt. Die HF-Trägerplatine hat die Firma ILFA prozessiert. Das HF-Platinenmaterial ist entsprechend der Aufbautechnik aus Kapitel 5.1.1 mit FR4-Material verstärkt. Aufgrund der Vielzahl von Anschlüssen werden die Hochgeschwindigkeitssignalleitungen strahlenförmig um das Dünnschichtsubstrat angeordnet. Es müssen insgesamt 48 differentielle Signalleitungen zu den Dateneingängen der Multiplexer-Chips geführt werden. Das Layout der Platine ist entsprechend dem Zeitverschachtelungsprinzip der Wandler symmetrisch entworfen. Die Dimensionierungen der Mikrostreifenleitungen entsprechen der Aufbautechnik für Abtaster bis zu 4 GS/s. Die HF-Trägerplatine hat eine Gesamtfläche von 28 cm·26 cm. Die Versorgungsspannungen für die Multiplexer und den D/A-Wandler werden ebenfalls symmetrisch auf der Unterseite der Platine zugeführt. Dabei belegen die Masseflächen unter den Mikrostreifenleitungen den größten Teil der Platinenunterseite.

Besonders kritisch ist das Heranführen der Signal- und Versorgungsleitungen an das Dünnschichtsubstrat. In Abbildung 5.6(a) sind die Schnittstellen zwischen Trägerplatine und Dünnschichtsubstrat hervorgehoben. Die verwendete minimale Strukturbreite auf der Trägerplatine beträgt 351 μm . Die Verbindung zwischen Trägerplatine und Dünnschichtsubstrat wird durch doppeltes Golddraht-Bonden hergestellt.

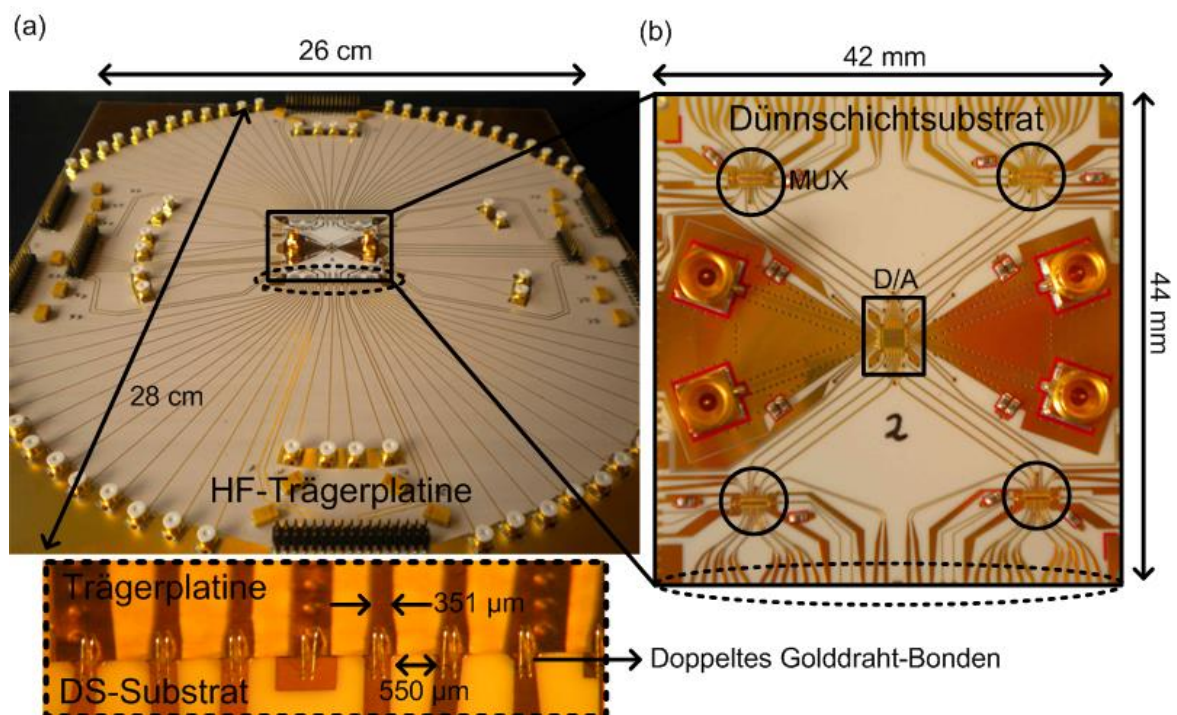


Abbildung 5.6: Gefertigte (a) HF-Trägerplatine mit (b) Dünnschichtsubstrat [107].

Entwurf des Dünnschichtsubstrats

Das gefertigte Dünnschichtsubstrat [107][108] zeigt Abbildung 5.6(b). Dieses Substrat besteht größtenteils aus Aluminiumoxid-Keramik mit einer Dicke von 381 μm . Die relative Dielektrizitätszahl des Materials ist $\epsilon_r=9,9$. Auf diesem Substrat sind der D/A-Wandler und die vier Multiplexerchips in 250 μm tiefen Wannen versenkt. So können die Chips auf einer Ebene mit dem Dünnschichtsubstrat durch Golddraht-Bonden verbunden werden. Die Anschlüsse für das empfindliche Takt- und analoge Ausgangssignal befinden sich direkt auf dem Dünnschichtsubstrat und werden nicht auf die HF-Trägerplatine geführt. Das Dünnschichtsubstrat hat eine Fläche von 42 mm·44 mm und ist von der Firma RHE hergestellt.

Aufbau des Wandlermoduls

Die gefertigten Einzelkomponenten, d.h die mit den Chips bestückten Dünnschichtsubstrate und die HF-Trägerplatine, müssen abschließend miteinander verbunden werden. Da der Gesamtleistungsverbrauch der vier Multiplexer und des D/A-Wandler-Chips bis zu 8,7 Watt (MUX und D/A-Wandler Entwurf 1) beträgt, entsteht auf einer Fläche von 42 mm·44 mm sehr viel Wärme. Für einen optimalen Betrieb der Wandler muss diese Wärme abgeführt werden. Daher ist unter dem Dünnschichtsubstrat ein Peltierelement angebracht.

Das Peltierelement und die HF-Trägerplatine sind auf eine 8 mm hohe Aluminium-Platte geklebt, damit die Wärme möglichst großflächig abgeführt werden kann. Zunächst wird das Peltierelement auf die Aluminium-Grundplatte geklebt. Dafür ist in der Al-Grundplatte eine Aussparung vorgesehen. Der verwendete Kleber ist wärmeleitfähig. Anschließend wird die HF-Trägerplatine auf die Aluminium-Grundplatte geklebt. In der Mitte der HF-Trägerplatine ist ebenfalls eine rechteckige Aussparung zum Einsetzen des Peltierelements vorhanden. Die ausgesparte Fläche ist kleiner als die Dünnschichtsubstratfläche. Dadurch kann im folgenden Schritt das Dünnschichtsubstrat auf das Peltierelement und die HF-Trägerplatine geklebt werden. Dieser Kleber muss wärmeleitfähig und elektrisch nichtleitend sein, da die Unterseite des Dünnschichtsubstrats metallisiert bzw. strukturiert ist.

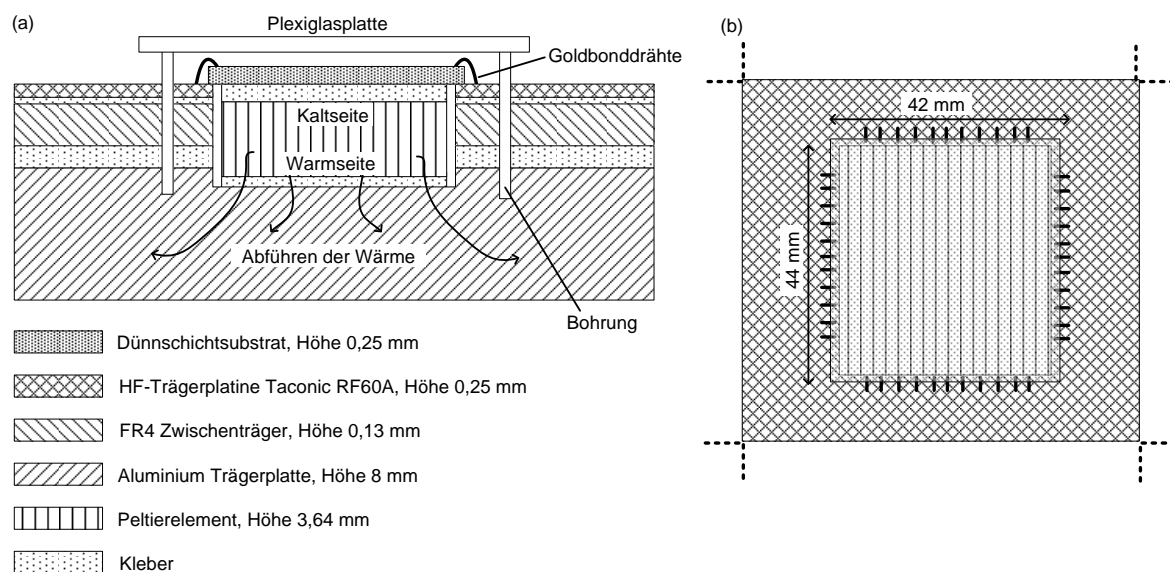


Abbildung 5.7: (a) Querschnitt und (b) Sicht auf die Komplettmontage des Wandlermoduls.

Das Dünnschichtsubstrat ist entsprechend Abbildung 5.6 durch Goldbonddrähte mit der HF-Trägerplatine verbunden. Zum Schutz der Bonddrähte wird über das Dünnschichtsubstrat eine Plexiglasplatte aufgebracht. Die dafür notwendigen Bohrlöcher befinden sich auf der HF-Trägerplatine und der Al-Grundplatte. In Abbildung 5.7(a) ist ein Querschnitt der Komplettmontage und in Abbildung 5.7(b) die Sicht auf das Wandlermodul dargestellt. Das von der Firma RHE gefertigte Wandlermodul zeigt Abbildung 5.6. Die HF-Signale sind über Mini-SMP Stecker angeschlossen. Die Spannungsversorgungen, die Kontrollsignale und die Referenzspannungen werden über Pfostenstecker angeschlossen. Zur Stabilisierung der Versorgungsspannungen sind auf der HF-Trägerplatine Tantal- und Vielschichtkondensatoren aufgebracht.

5.2 FPGA-basiertes Messsystem

Im Folgenden werden zwei VHDL-Entwürfe für die Programmierung des verwendeten Virtex4 FPGAs vorgestellt. In einem ersten Entwurf [24][103] werden die Testdaten über die zueinander synchronen LVDS-Schnittstellen des FPGAs gesendet. Mit diesem Entwurf kann der D/A-Wandler im hohen MS/s-Bereich charakterisiert werden. Die Erzeugung von Arbiträrsignalen ist ebenfalls möglich. Weiterhin wird dieser Entwurf zum Testen des Kontrollregisters und der Auswerteeinheiten mit den Pulsverlängerern verwendet. Die Funktionalität dieser Schaltungskomponenten ist für das Synchronisieren der Testdaten im hohen GS/s-Bereich unverzichtbar.

Der zweite VHDL-Entwurf basiert auf der Arbeit von [104][105] und wird für die Charakterisierung des D/A-Wandlers im GS/s-Bereich verwendet. Dieser Entwurf muss an die Schnittstellen und Synchronisationsroutine des D/A-Wandlers entsprechend Abbildung

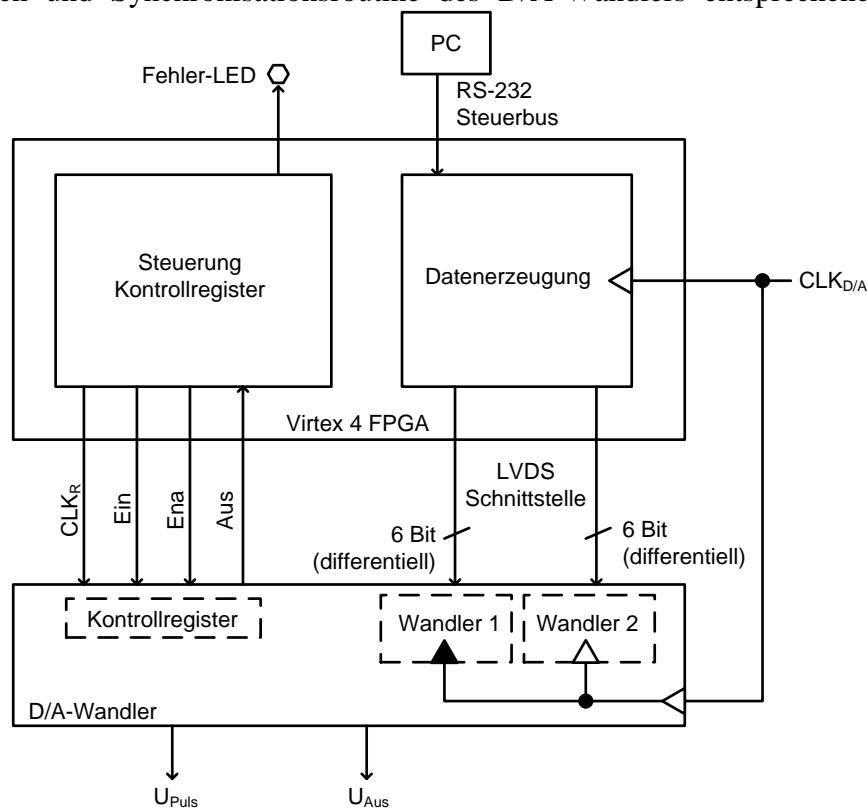


Abbildung 5.8: Stark vereinfachte Architektur des FPGA VHDL-Entwurfs für die LVDS-Schnittstellen.

4.38 angepasst werden. Das Ziel der Weiterentwicklung des Entwurfs aus [104][105] ist eine automatisierte Synchronisierung der Sendedaten mit Hilfe der Auswerteeinheiten auf dem D/A-Wandler.

5.2.1 VHDL-Entwurf für die LVDS-Schnittstellen

Abbildung 5.8 zeigt eine stark vereinfachte Architektur des VHDL-Entwurfs und die relevanten Schnittstellen zwischen Benutzer, FPGA und D/A-Wandler. Der VHDL-Entwurf beinhaltet zwei wesentliche Funktionen. Zunächst können die Testdaten, d.h. digitale Sinussignale mit unterschiedlicher Signalfrequenz, für die D/A-Wandler Charakterisierung erzeugt werden. Weiterhin ist es möglich, arbiträre Signalformen und Testsequenzen für die spätere Datensynchronisierung in den FPGA Speicher zu schreiben. Die Testdaten werden vom Benutzer mittels PC über eine RS-232 Schnittstelle auf das FPGA übertragen. Dafür sind die Speicher- und Hardwareadresse notwendig. Die Testdaten werden dem D/A-Wandler anschließend über die LVDS-Schnittstellen in einer zweifach zeitverschachtelten Weise zur Verfügung gestellt. Die zweite realisierte Funktion des VHDL Entwurfs dient insbesondere dem Test des Kontrollregisters, das zur Ansteuerung der Auswerteeinheiten benötigt wird. Eine FPGA Fehler-LED zeigt an, ob die Steuersignale korrekt in das Kontrollregister eingetaktet sind. FPGA und D/A-Wandler werden mit der gleichen externen Taktquelle versorgt.

In Abbildung 5.9 ist eine Detailansicht der LVDS-Datenerzeugung dargestellt. Es sind zwei Signalquellen für Sinussignale und beliebige Signalformen implementiert. Diese können mit dem Steuersignal Sel_{Mem} über einen Multiplexer ausgewählt werden. Im Sinus-Speicher ist ein mit $N=256$ Werten abgetasteter und 6 Bit quantisierter Sinus abgelegt. Der Signalindex bzw. die Signalfrequenz ist bis zur Nyquistfrequenz $f_N=f_A/2$ über das Signal x einstellbar. Ein Steuerautomat adressiert über die Adresszeiger 1 bzw. 2 in Abhängigkeit der Signale x und $Sel_{D/A}$ den Sinuspeicher. Da der digitale Sinus zeitverschachtelt gesendet wird, sind zwei Adresszeiger für die gleichzeitige Adressierung des Speichers notwendig. Die gleichzeitig adressierten Werte des digitalen Sinus werden anschließend über ein Ausgangsregister, das auf die positive und negative Taktflanke arbeitet, zeitverschachtelt

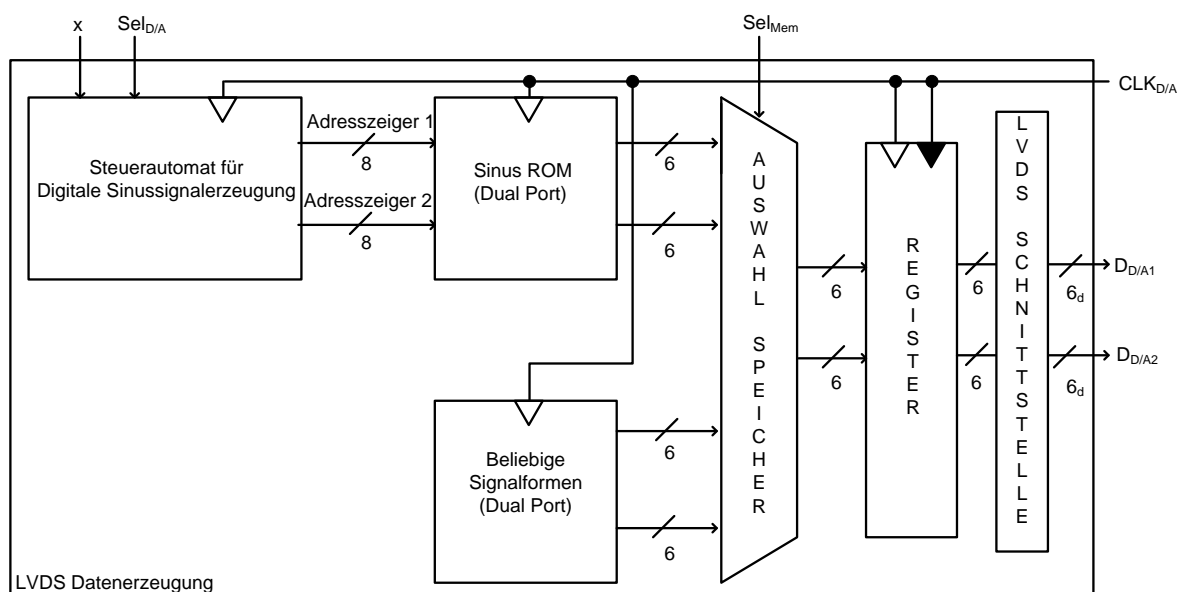


Abbildung 5.9: Detailansicht der Datenerzeugung für die LVDS-Schnittstellen.

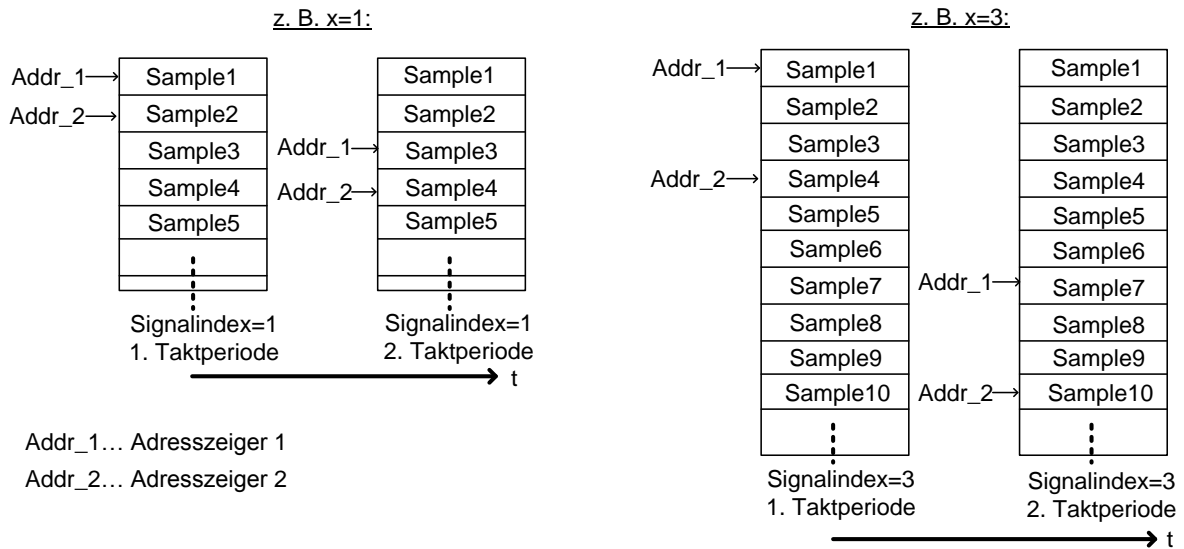


Abbildung 5.10: Adressierungsvorgang der Sinus-Datenspeicher bzw. Einstellen der Sinussignalfrequenz.

zur Verfügung gestellt. In Abbildung 5.10 ist der Adressierungsvorgang bzw. das Einstellen der Signalfrequenz über den Signalindex beispielhaft für $x=1$ und $x=3$ dargestellt. Das Signal $SEL_{D/A}$ ermöglicht dem Benutzer, nur einen der zeitverschalteten D/A-Wandler zu betreiben. Der andere Wandler bzw. Kanal liegt dabei auf einem konstanten Wert („011111“ oder „100000“). Diese Funktion ist implementiert, um die Passung der zeitverschalteten D/A-Wandler 1 bzw. 2 zueinander zu messen.

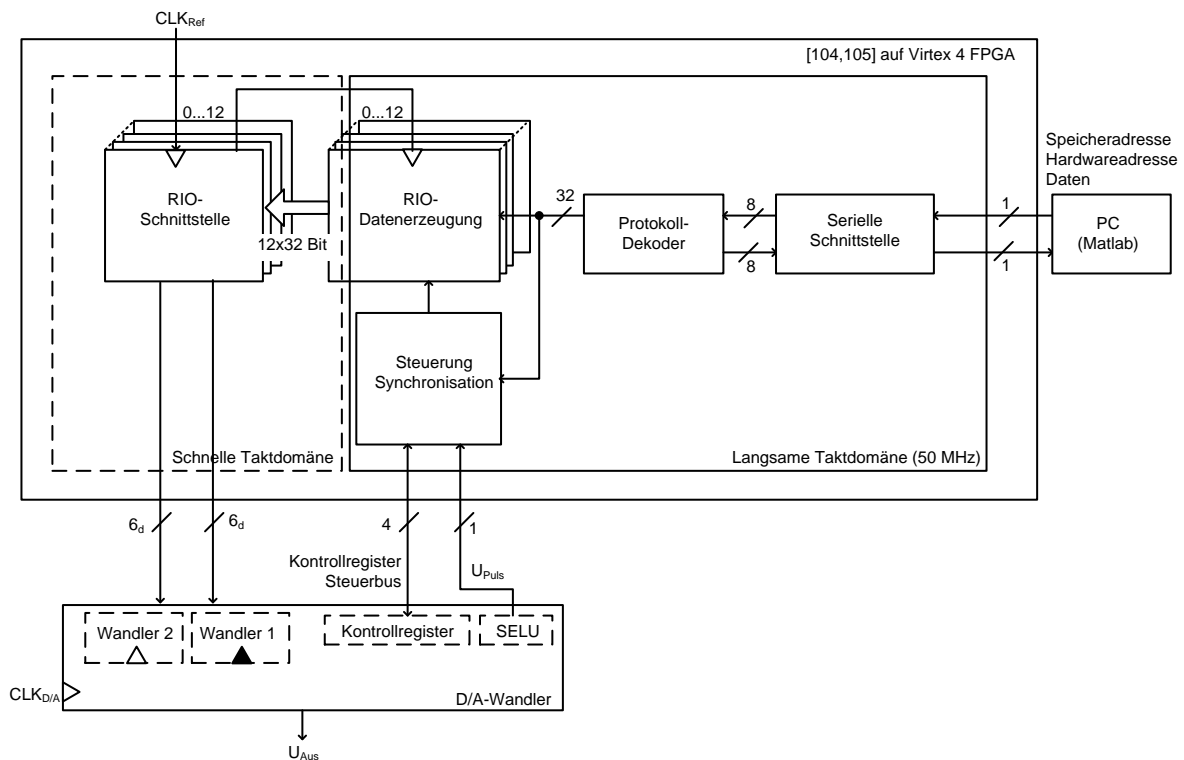


Abbildung 5.11: Stark vereinfachte Gesamtarchitektur des FPGA VHDL-Entwurfs [104][105] für die RIO-Schnittstellen.

5.2.2 VHDL-Entwurf für die RIO-Schnittstellen

In Abbildung 5.11 ist die stark vereinfachte Gesamtarchitektur des VHDL-Entwurfs [104][105] mit den relevanten Schnittstellen zwischen Benutzer, FPGA und D/A-Wandler dargestellt. Die Kommunikation zwischen Benutzer und FPGA erfolgt über eine serielle Schnittstelle. Die seriellen Daten enthalten die notwendigen Informationen, um die RIO-Datenspeicher zu adressieren und zu beschreiben. Jede der 12 RIO-Schnittstellen verfügt dabei über einen eigenen Speicherbereich (Block-RAM). Ein Protokoll-Dekoder interpretiert die vom PC gesendeten seriellen Daten hinsichtlich Nutzdaten, Hardware- und Speicheradresse.

Die Synchronisation der 12 Sendekanäle zueinander wird über einen Automaten gesteuert, der die gespeicherten Sendedaten über die Adresse manipulieren kann. Dafür wertet der Automat zunächst das vom D/A-Wandler kommende Ausgangssignal U_{Puls} der SELU aus. Im Synchronisationsmodus wird auf allen Bitpositionen dieselbe Synchronisationssequenz gesendet. Im realisierten Entwurf entspricht die verwendete Synchronisationssequenz der zufälligen Anordnung der Kodeworte „111111“ und „000000“. Auf Basis der XOR-Verknüpfung kann anschließend das gespeicherte Datum bit- oder wortweise verschoben werden. Weiterhin besteht die Möglichkeit, auf dem D/A-Wandler die Abtastphase ($0^\circ, 180^\circ$) der Eingangsdaten zu ändern. Nur das Ändern der Abtastphase auf dem D/A-Wandler ist für die Datensynchronisierung nicht ausreichend. Die Synchronisationsroutine entsprechend Abbildung 4.38 muss daher um das bit- und wortweise Schieben der gespeicherten Sendedaten erweitert werden. In Abbildung 5.12(a) ist ein vereinfachtes Zustandsdiagramm der Synchronisationssteuerung dargestellt. Weitere Details können [104][105] entnommen werden. Abbildung 5.12(b) zeigt die Verarbeitung des Ausgangssignals der SELU U_{Puls} im Schaltungsblock der Synchronisationssteuerung. Das Ausgangssignal der SELU wird mit 128 Werten durch ein getaktetes Flip-Flop auf dem FPGA überabgetastet. Die Taktfrequenz beträgt $2 \cdot f_{\text{CLK,D/A}}/32$. Der XOR-Status wird auf logisch L gesetzt, wenn alle 128 Bit im Register logisch L sind.

Die bisher beschriebenen Schaltungsblöcke (Ausnahme XOR-Detektion) befinden sich auf einer langsamen 50 MHz Taktomäne. Der Übergang zur schnellen Taktomäne findet an den RIO-Schnittstellen statt. In Abbildung 5.13 ist eine Detailansicht der RIO-Datenerzeugung und der RIO-Schnittstellen dargestellt. Die RIO-Schnittstellen verfügen über Serialisierer, welche den internen 32 Bit breiten Datenstrom in den schnellen seriellen Ausgangsdatenstrom wandeln. Die RIO-Schnittstellen werden mit einem externen Referenztakt CLK_{Ref} betrieben. Die Taktrate muss dabei 1/16 der Sendedatenrate betragen.

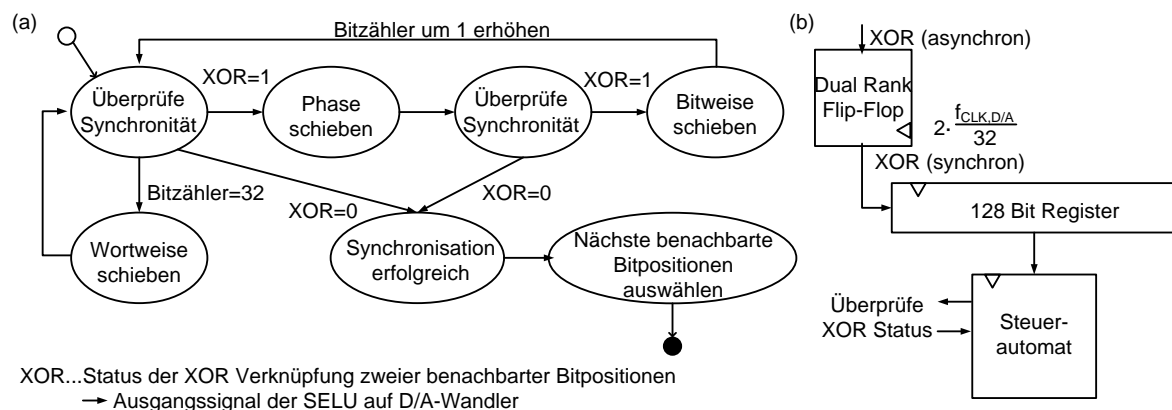


Abbildung 5.12: (a) Vereinfachtes Zustandsdiagramm der Synchronisationssteuerung und (b) Verarbeitung des XOR-Signals auf dem FPGA.

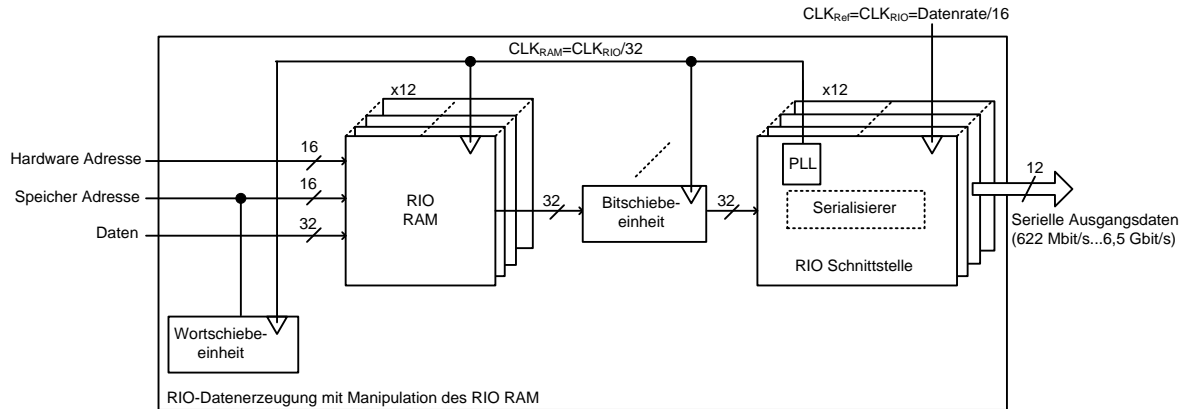


Abbildung 5.13: Detailansicht der Datenerzeugung mit den RIO-Schnittstellen.

Auf dem FPGA Board gibt es mehrere „Bänke“, auf denen die RIO-Schnittstellen verteilt sind. Daher haben die RIO-Schnittstellen unterschiedliche PLLs (engl. PLL – Phase Locked Loop), von denen die internen Taktsignale CLK_{RAM} abgeleitet werden. Aufgrund der unterschiedlichen PLLs ist die zuvor beschriebene Synchronisierung der Sendedaten zueinander erforderlich. Die internen CLK_{RAM} Taktsignale sind zum Auslesen der Sendespeicher notwendig. Der interne Takt CLK_{RAM} beträgt $1/32$ des externen Referenztaktes CLK_{Ref} . Die Wort- und Bitschiebeeinheiten werden ebenfalls mit diesem Signal getaktet.

6 Messergebnisse

In diesem Kapitel werden die Messergebnisse vorgestellt. Der Fokus liegt dabei auf den Messergebnissen des zweiten Wandlerentwurfs, während die Ergebnisse des ersten Wandlerentwurfs die schaltungstechnischen Verbesserungen aus Kapitel 4 nachweisen sollen. Die Messungen sind an einem Messplatz für eine Charakterisierung direkt auf dem Siliziumschaltkreis und mit einem FPGA-basierten System durchgeführt. Das FPGA-Messsystem besteht aus der in Kapitel 5 vorgestellten Aufbautechnik für Abtastraten bis zu 4 GS/s und den VHDL Entwürfen für die LVDS- bzw. RIO-Schnittstellen.

Das prinzipielle Vorgehen bei der D/A-Wandler Charakterisierung fasst Abbildung 6.1 zusammen. Zunächst werden die gesägten Chips direkt charakterisiert. Die Messungen auf dem Siliziumschaltkreis umfassen dabei statische und dynamische Tests der Wandler. Dabei können die statischen Eigenschaften der Wandler mit diesem Messaufbau bereits vollständig bestimmt werden. Die Messungen der dynamischen Eigenschaften beschränken sich auf das Ermitteln der maximalen Abtastrate, der Ausgangsbandbreite und auf Untersuchungen zur bitratenflexiblen Arbeitsweise der Wandler.

Nachdem die Chips auf den Platinen aufgebaut sind, können die FPGA-basierten Messungen durchgeführt werden. Das FPGA-Messsystem wird insbesondere für die dynamischen SFDR-Messungen für Abtastraten im MS/s- bzw. GS/s-Bereich eingesetzt. Für die Messungen mit Abtastraten im GS/s-Bereich ist zuerst die Funktionalität der Auswerteeinheiten und des Kontrollregisters zu überprüfen. Anschließend muss die automatisierte Synchronisierung der Sendedaten mit Hilfe des FPGAs und der auf dem Chip integrierten Auswerteeinheiten in Betrieb genommen werden. Darüber hinaus wird das FPGA-Messsystem zur Erzeugung von arbiträren Signalformen eingesetzt.

6.1 Messungen direkt auf dem Siliziumschaltkreis

Nach einer Kurzbeschreibung des Aufbaus werden die damit gemessenen statischen und dynamischen Eigenschaften der zwei Wandlergenerationen präsentiert und interpretiert.

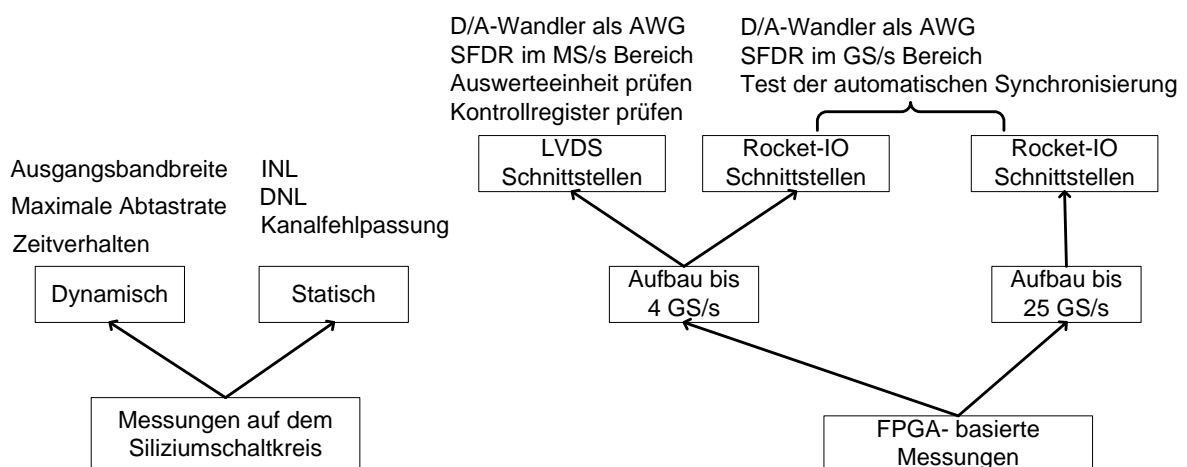


Abbildung 6.1: Prinzipielles Vorgehen bei der D/A-Wandlercharakterisierung.

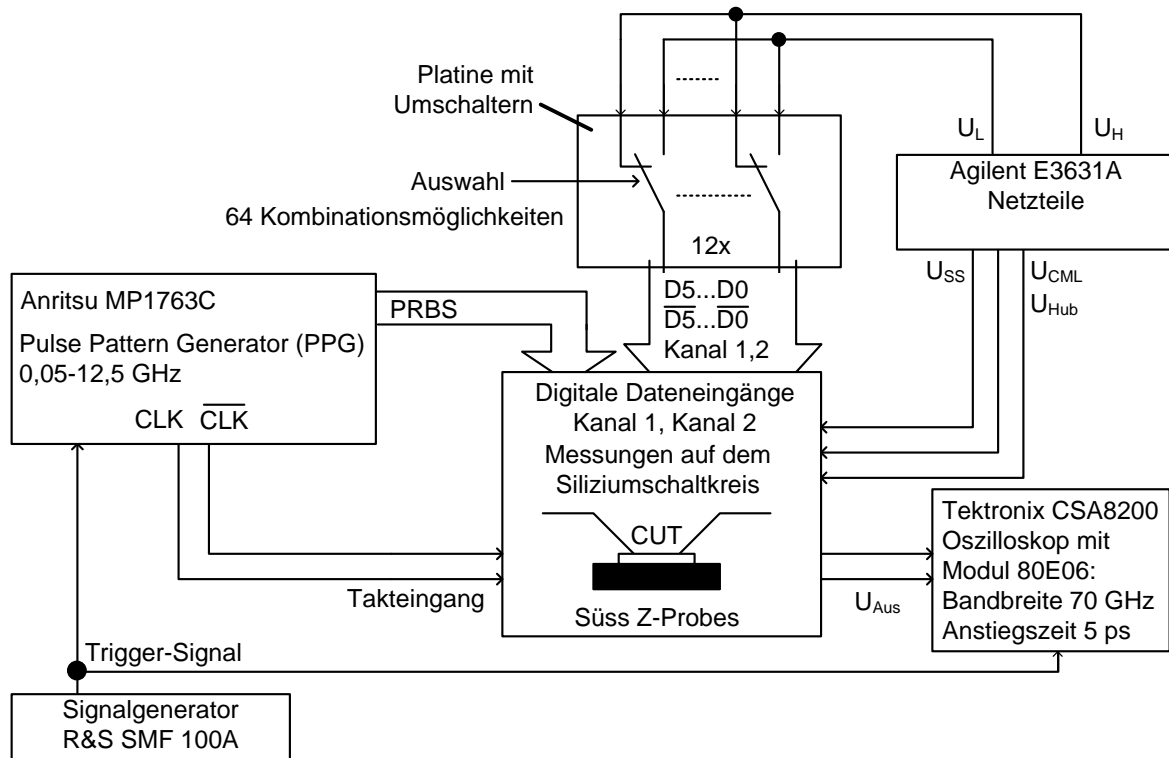


Abbildung 6.2: Messaufbau mit den verwendeten Messgeräten.

6.1.1 Messaufbau

In Abbildung 6.2 ist der Messaufbau mit den verwendeten Messgeräten dargestellt. Die 80 Pads eines gesägten Chips werden am Messplatz mit vier Messköpfen in GSSG (Ground-Signal-Signal-Ground) Konfiguration kontaktiert. Die Messspitzen stellen somit die Verbindung zwischen dem CUT (engl. CUT – Circuit Under Test) und den Messgeräten her. Der Vorteil bei dieser Art der Chip-Kontaktierung liegt in den geringen Signalverzerrungen und -verlusten durch den Messaufbau, da die HF-Kabel sehr nahe an den Messspitzen angeschlossen werden. Dennoch ist es aufgrund der Vielzahl an Pads schwierig, eine gleichmäßig gute und vollständige Kontaktierung mit den Messspitzen zu erreichen. Die Zeitverschachtelung der beiden Wandlerkerne setzt aber eine optimale Kontaktierung des Chips von allen Seiten voraus, da es sonst zu Fehlpassungen zwischen den Wandlerkernen kommen kann. Beispielsweise verschlechtert eine unsymmetrische bzw. ungleichmäßige Spannungsversorgung der Wandlerkerne die Passung der Kanäle zueinander.

Das Takt- und PRBS-Signal wird von einem Pulse-Pattern-Generator (PPG) erzeugt. Die maximale Taktfrequenz beträgt $f_{\text{CLK}}=12,5$ GHz und die maximale Datenrate der PRBS 12,5 Gbit/s. Die PRBS-Folge ist maximal $(2^{31}-1)$ Bit lang. Der analoge Ausgang U_{Aus} des D/A-Wandlers wird mit einem Oszilloskop ausgewertet. Für den PPG und das Oszilloskop wird dasselbe Trigger-Signal verwendet. Es sind mehrere Netzteile zum Einstellen der Spannungsversorgung U_{SS} , der digitalen Logikpegel der Eingangsdaten und der Referenzspannungen U_{Hub} bzw. U_{CML} im Einsatz.

Die digitalen Eingänge der beiden Wandlerkanäle werden mit Hilfe einer Schalterplatine auf statische High-Pegel $U_{\text{H}}=0$ V bzw. Low-Pegel $U_{\text{L}}=-300$ mV gelegt. Jede Bitposition der beiden Wandlerkanäle hat somit einen definierten statischen Spannungswert. Durch Ändern der Schalterstellungen können alle $2^6=64$ möglichen Bitkombinationen an die Eingänge des D/A-Wandlers angelegt werden. Daraus lassen sich die statischen Kenngrößen

des D/A-Wandlers ableiten. Weiterhin sind mit Hilfe des PPGs einfache dynamische Messungen durchführbar. Die Messungen der beiden Wandlerentwürfe finden unter gleichen Bedingungen, d.h. identischer Messaufbau und gleiche Konfiguration der Wandler bei Standardeinstellung, statt. Wenn die Messungen von den Standardwerten abweichen, wird dies im Text hervorgehoben.

6.1.2 Statische Eigenschaften

Die statischen Eigenschaften umfassen die Messung der Übertragungskennlinien (ÜKL), die Passung der Wandlerkerne und der maximale INL- bzw. DNL-Fehler.

Übertragungskennlinien und Passung der Kanäle

Mit Hilfe der Schalterplatine werden die $2^6=64$ möglichen Quantisierungsstufen an die zwei Kanäle eines Wandlers angelegt. Dadurch kann zusätzlich die Passung der beiden Kanäle zueinander gemessen werden. Das Eingangskodewort läuft dabei von „-31,5“ („000000“) bis „+31,5“ („111111“) mit der Schrittweite „1“. In Abbildung 6.3 (a) und (b) sind die entsprechenden gemessenen bipolaren analogen Ausgangsspannungen in Form einer Übertragungskennlinie dargestellt. Der maximal gemessene unipolare Ausgangsspannungshub beträgt 463 mV (erster Entwurf) bzw. 468 mV (zweiter Entwurf). Den statischen analogen Ausgangsspannungswert von 0 V gibt es bei dieser Kodierung und Wandlerarchi-

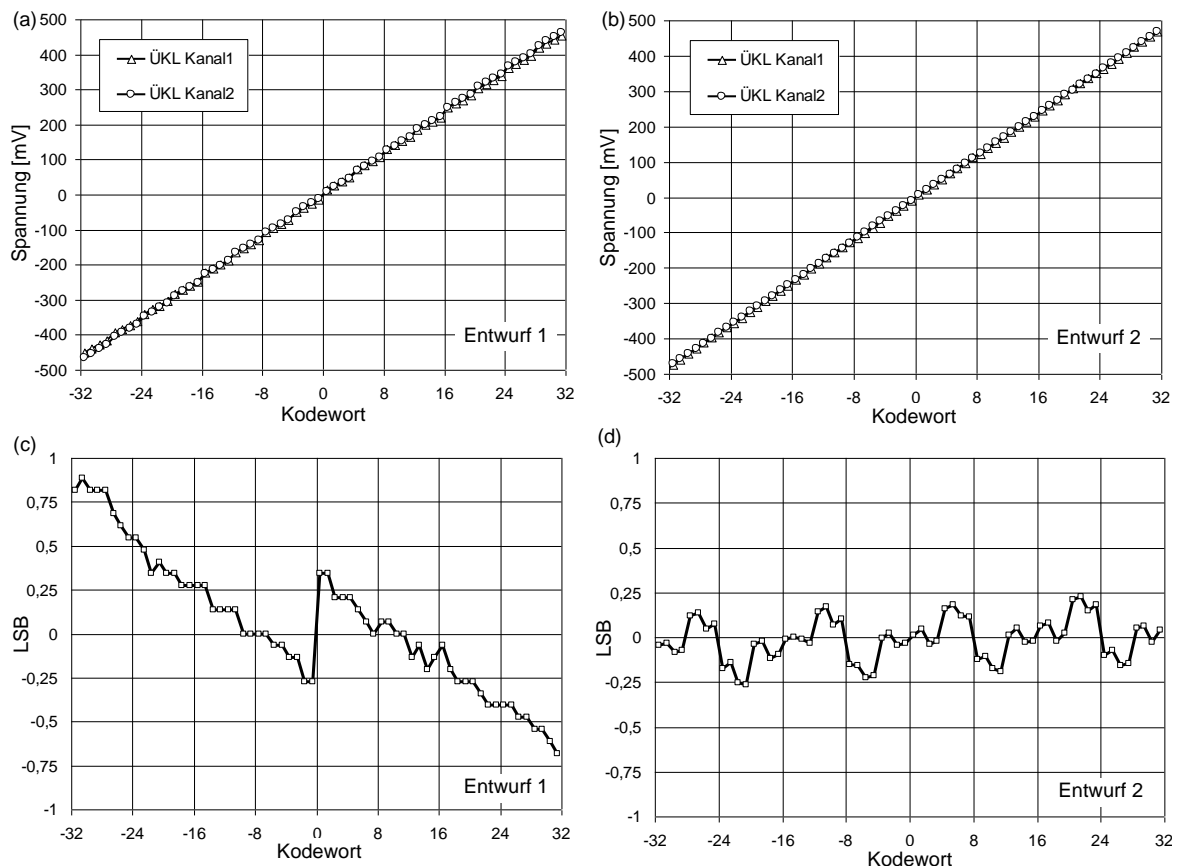


Abbildung 6.3: Gemessene Übertragungskennlinien der zeitverschachtelten Wandlerkerne für (a) Entwurf 1 bzw. (b) Entwurf 2 und daraus abgeleitet die Passung der Wandlerkerne für (c) Entwurf 1 bzw. (d) Entwurf 2.

tektur nicht. Aus den gemessenen Übertragungskennlinien der Wandler können anschließend alle relevanten statischen Eigenschaften (Passung der Kanäle, INL, DNL) abgeleitet werden.

In den Abbildung 6.3(c) und (d) ist die Passung der Wandlerkanäle zueinander dargestellt. Die Passung wird aus der Differenz zwischen den gemessenen Übertragungskennlinien der beiden Kanäle bestimmt. Man normiert anschließend die Spannungsabweichungen auf die minimale Schrittweite bzw. ein Quantisierungsintervall. Die minimale Schrittweite beträgt ca. 15 mV (1 LSB \approx 15 mV) und wird mit Hilfe einer gemeinsamen Ausgleichsgeraden („Best-Fit“) durch die Messpunkte entsprechend Kapitel 2.3.1 bestimmt. Die maximale Fehlpassung der zeitverschachtelten Wandlerkerne beträgt im ersten Entwurf 0,88 LSB und im zweiten Entwurf nur noch 0,26 LSB.

Integrale und differentielle Nichtlinearität

Die integrale und differentielle Nichtlinearität wird entsprechend Kapitel 2.3.1 bestimmt. In Abbildung 6.4(a)-(d) sind die gemessenen INL- und DNL-Werte der beiden Wandlerentwürfe gegenübergestellt. Der maximale INL- und DNL-Fehler beträgt im ersten Entwurf 0,52 LSB bzw. 1,02 LSB. Im zweiten Entwurf ist der maximale INL- und DNL-Fehler auf 0,18 LSB bzw. 0,25 LSB reduziert. In beiden Wandlerentwürfen ist daher ein monotonen Verhalten der Wandler garantiert (INL<1 LSB).

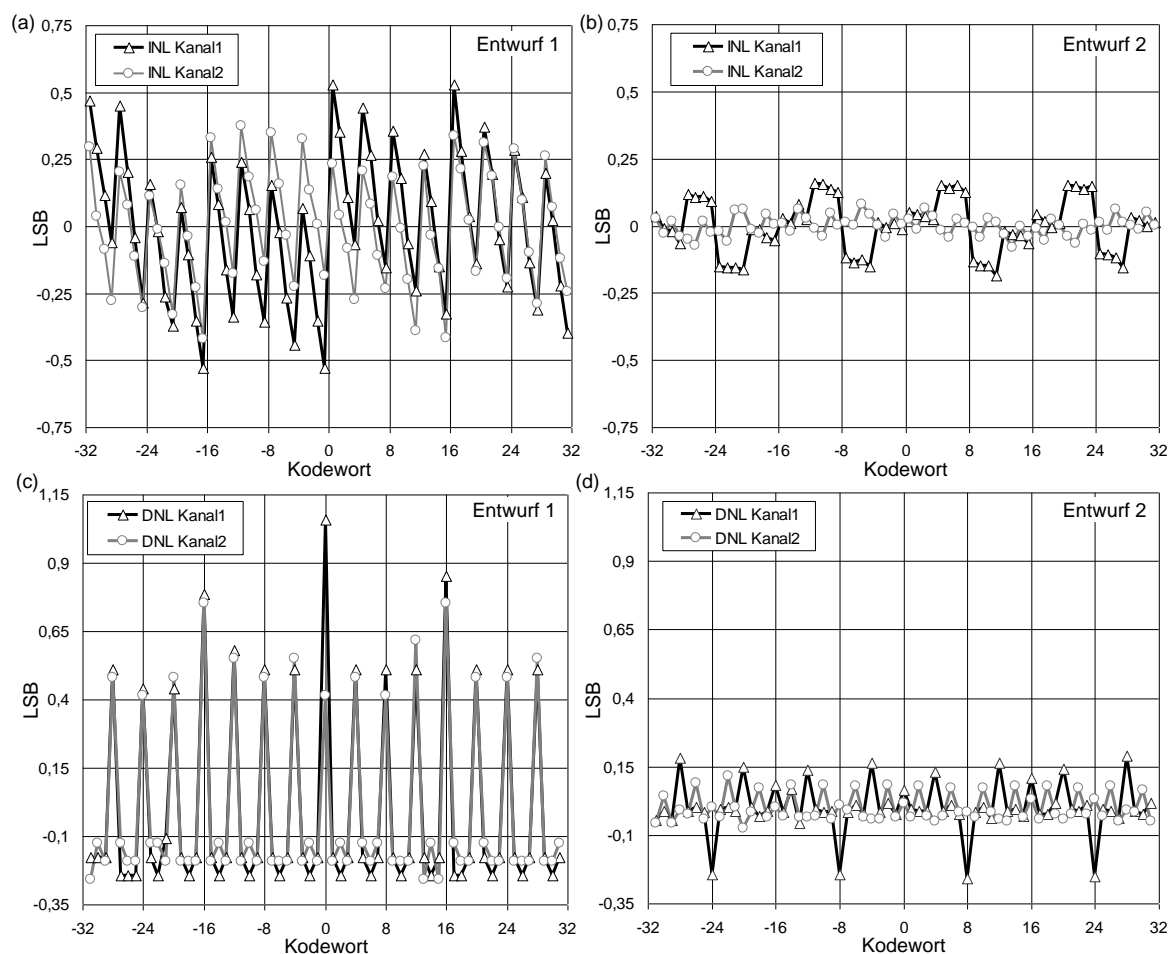


Abbildung 6.4: Aus den Übertragungskennlinien abgeleiteter Verlauf des INL- und DNL-Fehlers für (a,c) Entwurf 1 und (b,d) Entwurf 2.

Interpretation der statischen Messergebnisse [110]

Mit Hilfe der gemessenen DNL-Kurve des ersten Entwurfs entsprechend Abbildung 6.4(c) lassen sich Aussagen über die Passung der binär und unär gewichteten Stromquellen zueinander machen. Es ist festzustellen, dass die Schrittweiten bei den Kodewortübergängen

„XXXX00“ → „XXXX01“, „XXXX01“ → „XXXX10“, „XXXX10“ → „XXXX11“

ca. $\frac{1}{4}$ LSB zu klein sind. Wohingegen die Schrittweiten bei den Kodewortübergängen „XXX011“ → „XXX100“ um ca. $\frac{3}{4}$ LSB zu groß sind. Daraus kann man schließen, dass die binären Stromquellen im Vergleich zu den unären Stromquellen ca. 25 % zu wenig Strom liefern. Die Hauptursache hierfür ist das in Kapitel 4.3.4 beschriebene Layout der binären Stromquellen entsprechend Abbildung 4.25(a). Die binären Stromquellen sind im Vergleich zu den unären Quellen mit einem verkleinerten Transistorlayout erstellt. Weiterhin sind die binären Quellen nicht unmittelbar von weiteren Stromquellen umgeben. Die Passung der binären und unären Stromquellenlayouts hängt bei der Chipprozessierung (Beugungseffekte bei der Belichtung), aber auch von den benachbarten Strukturen ab. Das realisierte Stromquellenlayout des ersten Entwurfs verschlechtert daher nachweislich die Passung der gewichteten Quellen zueinander.

Die MSB und $\frac{1}{2}$ MSB Stromquellen liefern im Vergleich zu den restlichen unären Quellen ($\frac{1}{4}$ und $\frac{1}{8}$ MSB) einen um 1% bis 3% zu großen Stromwert. Die Ursache hierfür kann die Anordnung der unären Quellen im Stromquellenfeld sein. Entsprechend Abbildung 4.26(a) in Kapitel 4.3.4 liegen die MSB und $\frac{1}{2}$ MSB Stromquellen an den zwei äußeren Rändern des Stromquellenfeldes. Es ist möglich, dass aufgrund von unterschiedlichen Spannungsabfällen auf den negativen Versorgungsspannungsleitungen U_{SS} an den äußeren unären Quellen eine höhere Gate-Source-Spannung abfällt als an den weiter innen liegenden unären Quellen.

Entsprechend Abbildung 6.3(c) beträgt die Fehlpassung der zeitverschachtelten Wandlerkerne bis zu 0,88 LSB. Auch dafür kann das Spannungsversorgungsgitter auf dem D/A-Wandlerchip verantwortlich sein, da dieses Gitter im ersten Entwurf nicht absolut symmetrisch ist. Wie bereits in Kapitel 6.1.1 beschrieben, kann aber auch ein ungleichmäßiges Kontaktieren des Chips (verschiedene Kontaktwiderstände) mit den Messköpfen zu einer unsymmetrischen Spannungsversorgung führen.

Die statischen Eigenschaften der zweiten Wandlergeneration können gegenüber dem ersten Entwurf entscheidend verbessert werden. So beträgt die Fehlpassung der Wandlerkerne nur noch 0,26 LSB. Auch die maximalen INL- und DNL-Fehler sind mit 0,18 LSB und 0,25 LSB stark reduziert. Die Verbesserungen sind insbesondere auf das optimierte Stromquellenlayout und Spannungsversorgungsgitter zurückzuführen. Die Passung der binären und unären Stromquellen zueinander kann demnach durch das Layout entsprechend der Abbildung 4.25(b) und Abbildung 4.26(b) eindeutig verbessert werden. Auch das absolut symmetrische Spannungsversorgungsgitter trägt zur Verbesserung der Passung der Wandlerkerne zueinander bei.

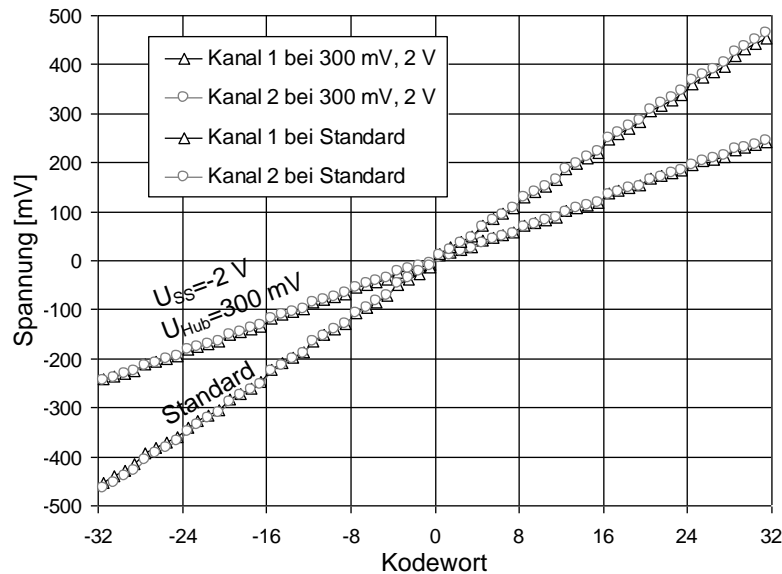


Abbildung 6.5: (a) Gemessene Übertragungskennlinie eines D/A-Wandlers des ersten Entwurfs bei Standardbetrieb und bei reduziertem U_{SS} bzw. U_{Hub} .

Testen des einstellbaren Spannungshubs bei reduzierter Versorgungsspannung

Abbildung 6.5 zeigt die gemessenen Übertragungskennlinien eines D/A-Wandlers des ersten Entwurfs bei reduzierter Spannungsversorgung U_{SS} und reduziertem Spannungshub U_{Hub} des analogen Ausgangs. Die Spannungsversorgung beträgt während der Messung $U_{SS}=2\text{ V}$ und der maximale unipolare Spannungshub ist auf $U_{Hub}=300\text{ mV}$ eingestellt. Die Abbildung 6.5 zeigt zum Vergleich ebenfalls die gemessene Übertragungskennlinie für die Standardeinstellung des D/A-Wandlers. Die Passung der Wandlerkanäle verbessert sich gegenüber der Standardeinstellung auf eine maximale Abweichung von 0,5 LSB. Der maximale INL- und DNL-Fehler verschlechtert sich leicht auf 0,75 LSB bzw. 1,25 LSB. Die Messung zeigt, dass der D/A-Wandler auch bei reduzierter Versorgungsspannung bis zu $U_{SS}=2\text{ V}$ funktionsfähig ist. Dabei liefert der Wandler nur geringfügig höhere INL- und DNL-Fehler als bei Betrieb mit Standardwerten. Der Ausgangsspannungshub lässt sich in einem Bereich zwischen 300 mV und 500 mV regeln.

Einfluss der statischen Eigenschaften auf die resultierende effektive Auflösung

In [110] wird der Einfluss der gemessenen statischen Fehlpassung der Stromquellen auf die effektive Auflösung berechnet. Dabei wird die Fehlpassung als zusätzliches Rauschen modelliert, welches sich zum Quantisierungsrauschen eines idealen D/A-Wandlers aufaddiert. Folgende Annahmen werden bei diesen Berechnungen getroffen:

- Der Verlauf des Fehlpassung-Rauschens ist unabhängig von der Signalfrequenz.
- Das Eingangssignal des D/A-Wandlers ist genügend unregelmäßig.

Dann kann die zusätzliche Rauschleistung als das 12-fache des Mittelwerts des Quadrats der INL berechnet und anschließend auf das Quantisierungsrauschen eines idealen D/A-Wandlers normiert werden [110].

Bei einem eingestellten Ausgangsspannungshub von 500 mV ergibt sich mit dieser Berechnung im ersten Entwurf ein Verlust an effektiver Auflösung von 0,53 Bit, wohingegen der Auflösungsverlust im zweiten Entwurf nur noch 0,05 Bit beträgt. In Abbildung 6.6 ist

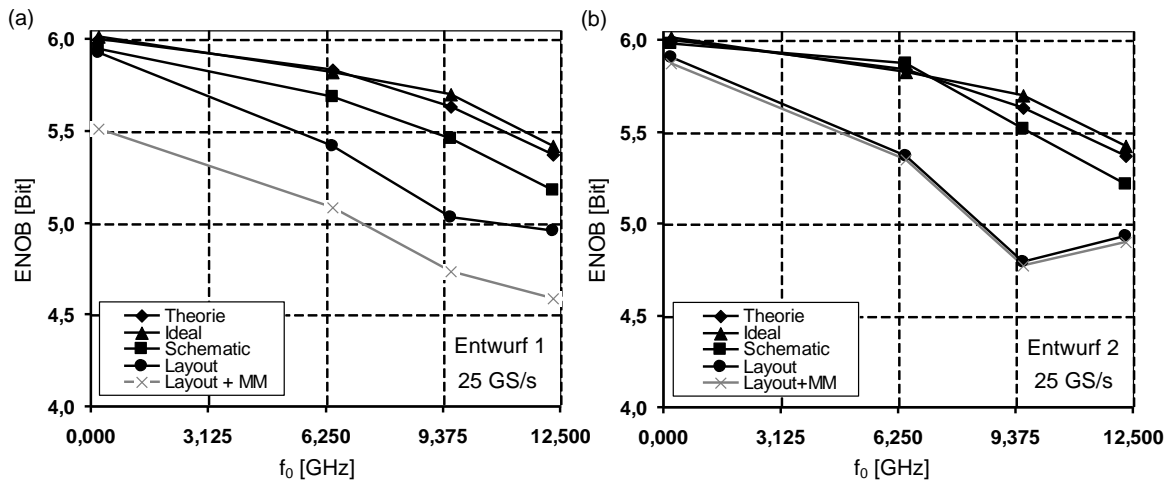


Abbildung 6.6: Geschätzte effektive Auflösung ENOB des (a) Entwurfs 1 und (b) Entwurfs 2 unter Berücksichtigung der gemessenen statischen Eigenschaften.

die zu erwartende effektive Auflösung unter Berücksichtigung der gemessenen statischen Fehlpassung und des Layouts (Layout+MM) bei einer Abtastrate von 25 GS/s für beide Entwürfe dargestellt. Durch die Verbesserung der statischen Eigenschaften in der zweiten Wandlergeneration ist demnach eine effektive Auflösung größer 4,8 Bit über dem gesamten Nyquistband zu erwarten. Im ersten Wandlerentwurf ist eine maximale Auflösung $ENOB > 4,6$ Bit über dem gesamten Nyquistband zu erwarten.

6.1.3 Dynamische Eigenschaften

Die dynamischen Messungen beinhalten den Nachweis der bitratenflexiblen Arbeitsweise der Wandler, die Bestimmung der maximal erreichbaren Abtastraten und die Abschätzung der maximalen Ausgangsbandbreite bei unterschiedlich eingestellten analogen Ausgangsspannungshüben.

Nachweis der bitratenflexiblen Arbeitsweise

Um die bitratenflexible Arbeitsweise der Wandler zu überprüfen, werden auf den MSB-Eingang eines Kanals drei aufeinanderfolgende Impulse (High-Pegel) bei verschiedenen Abtastraten gegeben. Die restlichen Bitpositionen dieses Kanals liegen auf einem statischen High-Pegel. Der zweite der zeitverschachtelten Kanäle wird auf den statisch kleinsten positiven Wert („100000“) eingestellt, d.h. der MSB-Eingang liegt auf einem High-Pegel und alle restlichen Bitpositionen auf einem Low-Pegel. In Abbildung 6.7(a) und (b) sind beispielhaft die daraus resultierenden Zeitbereichsmessungen bei einer Abtastrate von 2 GS/s bzw. 20 GS/s dargestellt. Diese Messungen werden für beide Wandlergenerationen durchgeführt und miteinander verglichen.

Die Messungen des ersten Entwurfs entsprechend Abbildung 6.7(a) zeigen, dass der D/A-Wandler gedächtnisbehaftet ist, d.h. der Vorgängerwert eines Kanals wirkt sich auf den Nachfolgewert aus. Dieses Verhalten ist in der Abbildung 6.7(a) durch Markierungen hervorgehoben.

Bei niedrigen Abtastraten (2 GS/s) wird dadurch das Einschwingverhalten des analogen Ausgabewerts beeinflusst. Man erkennt, dass das Einschwingverhalten des ersten Impulses und der darauffolgenden Impulse unterschiedlich ist. Der Überschwinger des ersten Impul-

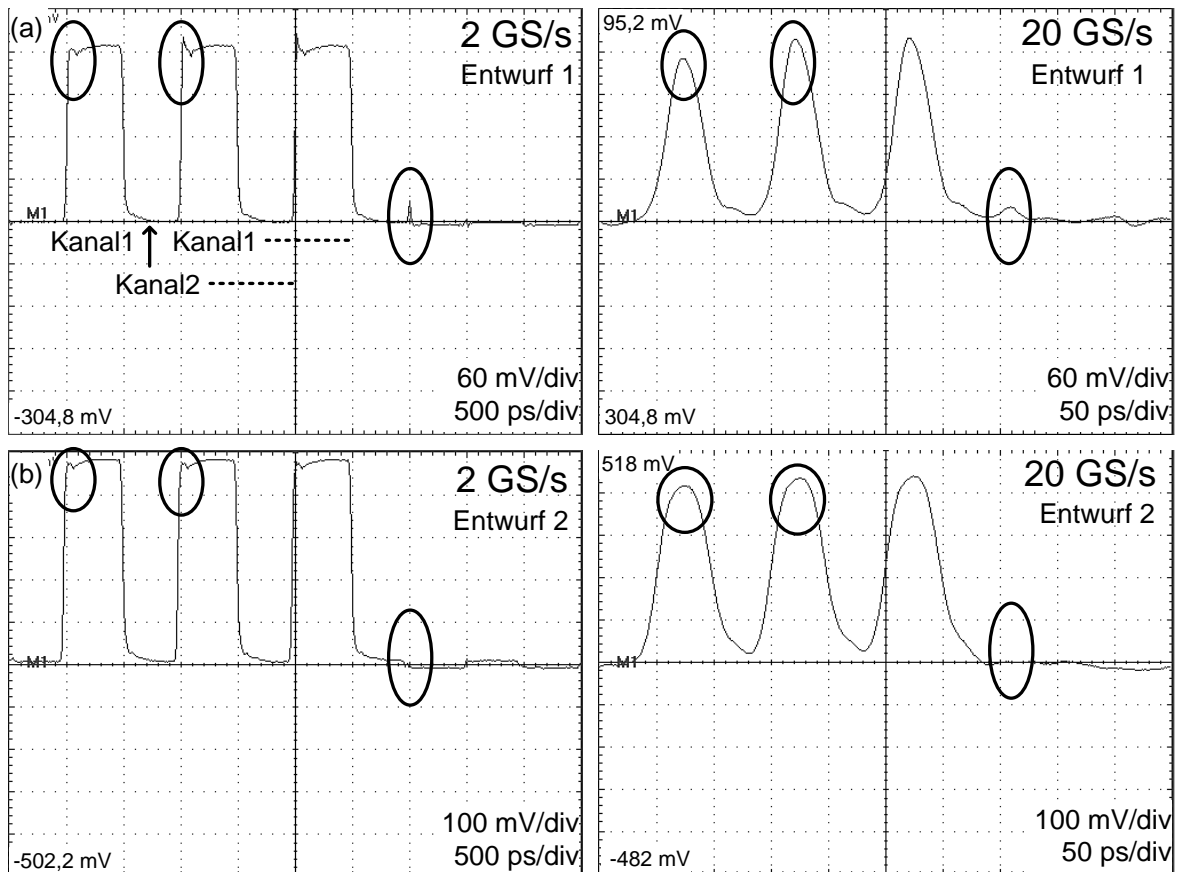


Abbildung 6.7: Gemessenes D/A-Wandlerausgangssignal bei einer Abtastrate von 2 GS/s bzw. 20 GS/s für den (a) Entwurf 1 und (b) Entwurf 2 bei impulsförmiger Anregung am MSB-Eingang eines Kanals.

ses ist nicht so stark ausgeprägt wie bei den nachfolgenden Impulsen. Der Grund hierfür ist der Einfluss des Vorgängerwertes (logisch Low) auf den ersten Impuls bei einem „L→H“ Wechsel am MSB-Eingang. Das gleiche Verhalten kann man bei einem „H→L“ Wechsel am MSB-Eingang beobachten. Der Vorgängerwert (H) beeinflusst den Ausgabewert durch einen kurzzeitigen Überschwinger. Bei hohen Wandlerraten (20 GS/s) wird nicht nur das Einschwingverhalten, sondern auch der Endwert entsprechend der Abbildung 6.7(a) beeinflusst. Es ist zu erwarten, dass dieses dynamische Verhalten die effektive Auflösung insbesondere bei hohen Wandlerraten reduziert. Die Ursache für dieses Verhalten ist die zu gering eingestellte Einrichtezeit T_S entsprechend Gleichung (4.7) bzw. Abbildung 4.31 im Takttreiberschaltungsblock des ersten Entwurfs. Insbesondere Prozessschwankungen können das Zeitverhalten weiter verschlechtert haben.

In Abbildung 6.7(b) sind die entsprechenden Zeitbereichsmessungen des zweiten Entwurfs bei einer Abtastrate von 2 GS/s und 20 GS/s dargestellt. Es ist deutlich zu erkennen, dass die Vorgängerwerte keinen bzw. nur sehr geringen Einfluss auf die nachfolgenden Ausgabewerte des D/A-Wandlers haben. Das Einschwingverhalten ist bei allen drei Impulsen identisch. Auch bei hohen Abtastraten (20 GS/s) schwingen die Ausgänge nahezu vollständig auf den gewünschten Endwert ein. Durch das Ändern der durchschaltenden Flanke in der Eingangssynchronisation entsprechend Abbildung 4.31 sind die Probleme aus dem ersten Entwurf behoben. Die bitratenflexible Arbeitsweise des D/A-Wandlers ist damit bei gleichzeitig optimalem Zeitverhalten an den Ausgangsstufen nachgewiesen.

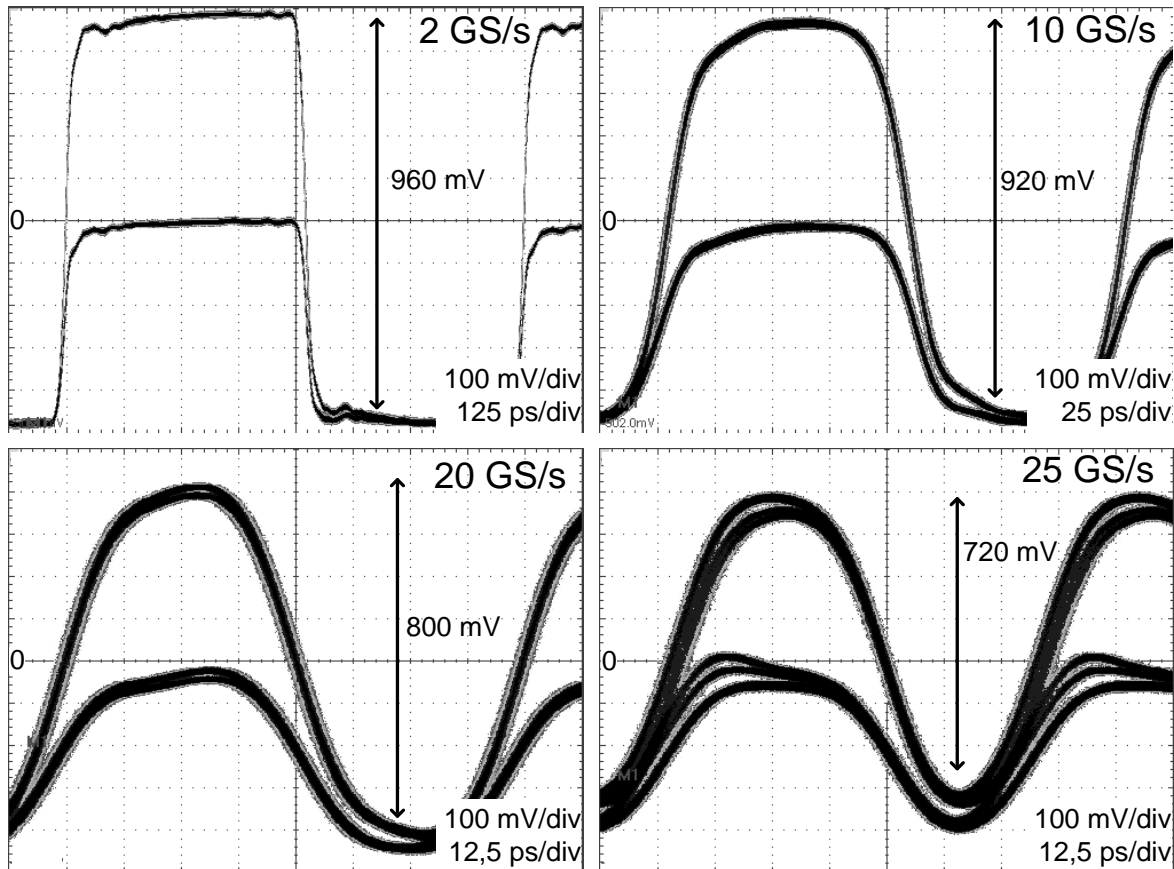


Abbildung 6.8: Gemessene Augendiagramme für Abtastraten von 2 GS/s, 10 GS/s, 20 GS/s und 25 GS/s bei Anlegen einer $(2^{31}-1)$ PRBS an einen der MSB-Eingänge.

Bestimmung der maximalen Abtastrate

Die Messungen der maximal erreichbaren Abtastrate erfolgen mit Hilfe des PPGs. An einem der MSB-Eingänge wird eine $(2^{31}-1)$ lange Pseudozufallsfolge angelegt, während die restlichen Bits dieses Kanals auf einem statischen High-Pegel liegen. Die Bitpositionen des zweiten Kanals liegen auf einem statischen Low-Pegel. Dadurch können am Ausgang des D/A-Wandlers Augendiagramme aufgenommen und hinsichtlich der Augenöffnung beurteilt werden. Die Messungen werden bei verschiedenen Abtastraten durchgeführt, wobei die maximal erzielbare Abtastrate durch den verwendeten PPG auf 28 GS/s begrenzt ist.

Abbildung 6.8 zeigt die aufgenommenen Augendiagramme der zweiten Wandlergeneration für Abtastraten von 2 GS/s bis 25 GS/s. Die Augen sind für alle Abtastraten deutlich geöffnet. Der Ausgangsspannungshub beträgt bei einer Abtastrate von 25 GS/s immer noch 720 mV. Man erkennt aber ebenfalls eine Aufspaltung der steigenden Signalfanke bei dieser Abtastrate. Durch Reduzieren des Ausgangsspannungshubs ist die Aufspaltung vermeidbar. Die Messungen bestätigen somit die simulierten Abtastraten von bis zu 25 GS/s bei bitratenflexibler Arbeitsweise des Wandlers. Durch Verringern des unipolaren Ausgangsspannungshubs auf 250 mV und Kühlen des Chips auf 3°C ist mit dem ersten Wandlerentwurf sogar eine Abtastrate von 28 GS/s messbar.

Abbildung 6.9 zeigt die aufgenommenen Augendiagramme der zwei Wandlergenerationen unter identischen Messbedingungen. Die schaltungstechnischen Verbesserungen im zweiten Wandlerentwurf sind deutlich erkennbar. Während sich die Signalfanken im ersten

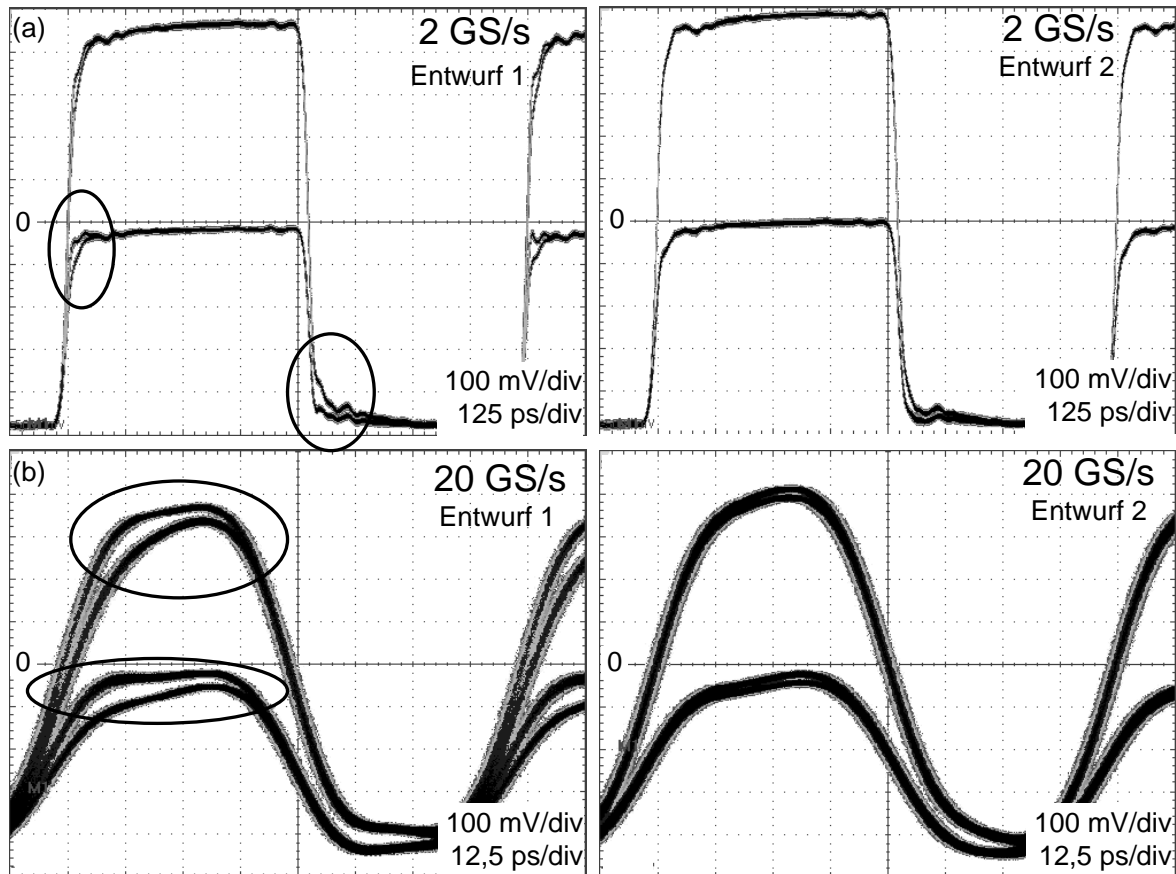


Abbildung 6.9: Direkter Vergleich der gemessenen Augendiagramme der beiden Wandlergenerationen unter gleichen Messbedingungen für eine Abtastrate von (a) 2 GS/s und (b) 20 GS/s.

Entwurf schon bei einer Abtastrate von 2 GS/s aufspalten, sind im zweiten Entwurf auch bei einer Abtastrate von 20 GS/s noch keine Aufspaltungen erkennbar. Somit sind die schaltungstechnischen Maßnahmen zur Verbesserung des Zeitverhaltens entsprechend Kapitel 4.3.5 erfolgreich. Die prinzipielle Funktion beider Wandlerentwürfe ist bei der Zielabtastrate nachgewiesen. Die zu erwartende effektive Auflösung wird im ersten Entwurf wegen der statischen Eigenschaften und der Probleme bei der zeitrichtigen Datenverarbeitung reduziert sein. Aufgrund des verbesserten Zeitverhaltens und der verbesserten statischen Eigenschaften ist im zweiten Entwurf eine deutlich höhere effektive Auflösung zu erwarten.

Abschätzen der Ausgangsbandbreite

Die Ausgangsbandbreite ist abhängig vom eingestellten analogen Ausgangsspannungshub des D/A-Wandlers. Sie wird mit Hilfe eines gemessenen Vollaussteuerübergangs am Ausgang, d.h. einem alternierenden Übergang vom Maximal- zum Minimalwert, abgeschätzt. Dazu werden die Bitpositionen eines Kanals auf Low-Pegel („000000“) und die des anderen Kanals auf High-Pegel („111111“) gelegt. Die Messungen sind für eine langsame (2 GS/s) und eine schnelle (20 GS/s) Abtastrate durchgeführt. Der Signalverlauf des langsamen analogen Ausgangssignals wird rechteckförmig und das schnelle Ausgangssignal sinusförmig angenähert. Die Signalfrequenzen betragen entsprechend dem Abtasttheorem 1 GHz und 10 GHz. Durch Vergleich der Spannungsamplituden der Grundschwingung des

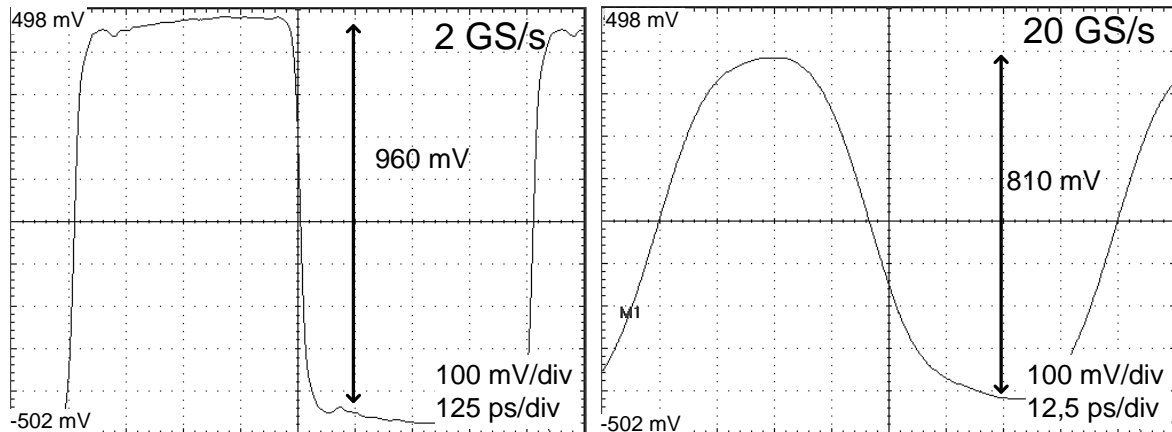


Abbildung 6.10: Gemessener Vollaussteuerübergang des analogen Ausgangs bei einer Abtastrate von 2 GS/s und 20 GS/s.

Rechteck- und Sinussignale kann anschließend die 3 dB-Grenzfrequenz und damit die Ausgangsbandbreite abgeschätzt werden.

Die Abbildung 6.10 zeigt, dass die Annäherung der Signale als Rechteck- und Sinusform bei einer langsamen (2 GS/s) bzw. schnellen Abtastrate (20 GS/s) zulässig ist. Die maximale Auslenkung der Signale beträgt 960 mV bei 2 GS/s und 810 mV bei 20 GS/s.

Die Amplituden der 1 GHz Rechteck-Grundschiwingung und der 10 GHz Sinusschiwingung lassen sich abschätzen zu

$$A_{1\text{GHz}} = \frac{4}{\pi} \cdot \frac{960\text{mV}}{2} = 605\text{mV} \quad (6.1)$$

$$A_{10\text{GHz}} = \frac{810\text{mV}}{2} = 405\text{mV}.$$

Daher beträgt die Dämpfung des Grundschiwingungsanteils bei 10 GHz gegenüber dem niederfrequenten Verhalten (1 GHz) ungefähr

$$20\log(405/605) \approx 3,4\text{ dB}. \quad (6.2)$$

Die Bandbreite des Wandlerausgangs liegt somit bei ca. 10 GHz, da die Verluste im Messaufbau mit in die Abschätzung einfließen. Zusätzliche Verluste entstehen durch die Dämpfung der Messköpfe, der Verbindungskabel und durch den Oszilloskopeingang. Die Messergebnisse liegen im Bereich der simulierten Werte bei Standardeinstellung der Wandler entsprechend Abbildung 4.48. Bei verringertem unipolarem Spannungshub des analogen Ausgangs von 250 mV kann die Ausgangsbandbreite der ersten Wandlergeneration mit mindestens 12,5 GHz abgeschätzt werden. Durch Verringern des Spannungshubs lässt sich demnach die Ausgangsbandbreite weiter erhöhen.

Tastverhältnis des Taktsignals im Takttreiberschaltungsblock

Das Tastverhältnis des Taktsignals bzw. des analogen Ausgangssignals spielt bei einer zweifach zeitverschachtelten Architektur eine wesentliche Rolle. Im Idealfall beträgt das Tastverhältnis $T_1/T_2=0,5$. Sobald das Tastverhältnis des Taktsignals unsymmetrisch ist, d.h. einer der Kanäle zu lang bzw. kurz durchgeschaltet wird, reduziert sich die effektive Auflösung des Wandlers. Das Problem tritt insbesondere bei höchsten Wandlerraten auf.

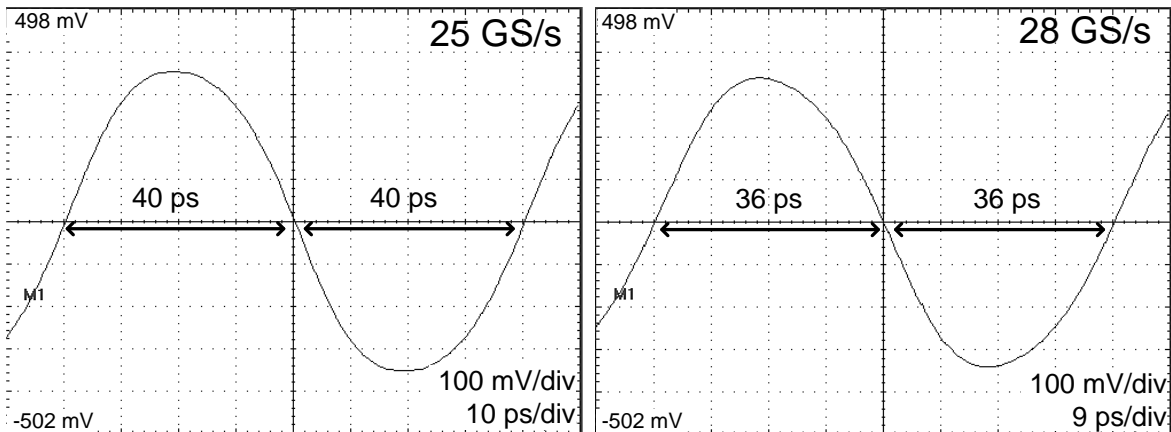


Abbildung 6.11: Gemessenes Tastverhältnis eines alternierenden Ausgangssignals für eine Abtastrate von 25 GS/s und 28 GS/s.

In Abbildung 6.11 sind alternierende Ausgangssignale bei Abtastraten von 25 GS/s und 28 GS/s dargestellt. Die Messungen bestätigen ein symmetrisches Tastverhältnis und die schaltungstechnischen Verbesserungen in der Spulenordnung entsprechend Kapitel 4.3.5. Im ersten Wandlerentwurf kann aufgrund des systematischen Fehlers in der Spulenordnung auch nach Manipulation des Tastverhältnisses am Taktgenerator kein symmetrisches Ausgangssignal erzeugt werden.

6.1.4 Zusammenfassung

Die Tabelle 6.1 fasst die statischen und dynamischen Messergebnisse direkt auf dem Siliziumschaltkreis der beiden Wandlerentwürfe zusammen.

Tabelle 6.1: Zusammenfassung der gemessenen statischen und dynamischen Eigenschaften beider Wandlerentwürfe.

Eigenschaft	Einheit	Entwurf 1	Entwurf 2	Verbesserung
INL	LSB	0,52	0,18	0,34
DNL	LSB	1,02	0,25	0,77
Kanalfehlpassung	LSB	0,88	0,26	0,62
Statischer Auflösungsverlust	Bit	0,52	0,05	0,47
Leistungsverbrauch	W	2,3	1,8	0,5
Abtastrate	GS/s	0...28*	0...25 ⁺	-
Zeitverhalten	-	Gedächtniseffekt	optimal	ja
Tastverhältnis	-	unsymmetrisch	symmetrisch	ja
Ausgangsbandbreite	GHz	≥12,5*	≥10 ⁺	-

* $U_{\text{Hub}}=300 \text{ mV}$, $^+U_{\text{Hub}}=500 \text{ mV}$

Die Messungen zeigen, dass die in Kapitel 4.3 beschriebenen schaltungstechnischen Optimierungsmaßnahmen erfolgreich sind. Insbesondere die statischen Eigenschaften und der Leistungsverbrauch können im zweiten Entwurf verbessert werden. Die dynamischen Messungen direkt auf dem Siliziumschaltkreis bestätigen die grundlegende bitratenflexible Funktion beider Wandlerentwürfe bis zu Abtastraten von 28 GS/s. Die im ersten Entwurf

auftretenden Probleme in der zeitrichtigen Datenverarbeitung sind in der zweiten Wandlergeneration nicht mehr vorhanden. Die vorliegende Arbeit präsentiert damit den derzeit schnellsten D/A-Wandler in einer 90 nm CMOS-Technologie.

6.2 FPGA-Messsystem mit LVDS-Schnittstelle

In diesem Kapitel werden die SFDR-Messungen beider Wandlerentwürfe für Abtastraten bis zu 400 MS/s und die Erzeugung von Arbiträrsignalen für Abtastraten bis zu 1 GS/s vorgestellt. Die Messungen sind mit der Aufbautechnik für Abtastraten bis zu 4 GS/s und dem FPGA Messsystem mit LVDS-Schnittstelle durchgeführt.

6.2.1 Messaufbau

Abbildung 6.12 zeigt den Messaufbau mit den verwendeten Geräten. Das FPGA und der aufgebaute D/A-Wandler werden von einem gemeinsamen Signalgenerator mit maximal $f_{\text{CLK}}=200$ MHz getaktet. Der FPGA-Speicher kann über die serielle RS232-Schnittstelle beschrieben werden. Die synchronen digitalen Daten werden vom FPGA differentiell über die LVDS-Treiber ausgegeben. Die differentiellen Pegel liegen zwischen 2,2 V und 2,5 V [111]. Da der aufgebaute Wandler mit SMP-Steckern bestückt ist, wird zwischen FPGA und D/A-Wandler eine Adapterplatine geschaltet. Der D/A-Wandler wird in diesem Messaufbau bei einer positiven Betriebsspannung von $U_{\text{DD}}=+2,5$ V betrieben und damit an die positive Betriebsspannung der LVDS-Treiber angepasst. Die Platinen- und D/A-Wandlermasse sind verbunden, d.h. $U_{\text{SS}}=\text{GND}=0$ V.

Der analoge Ausgang wird im Zeitbereich mit einem Oszilloskop und im Frequenzbereich mit einem Spektrumanalysator ausgewertet. Zwischen Spektrumanalysator und analogem Ausgang wird ein Hybrid geschaltet, um das differentielle Signal auswerten zu können. Das verwendete Hybrid ist ab einer Signalfrequenz von 2 MHz spezifiziert. Dabei sind im Ausgangsspektrum insbesondere die Leistung der Signalkomponente und des größten Störers zu bestimmen. Aus der Leistungsdifferenz zwischen Signalkomponente und größtem

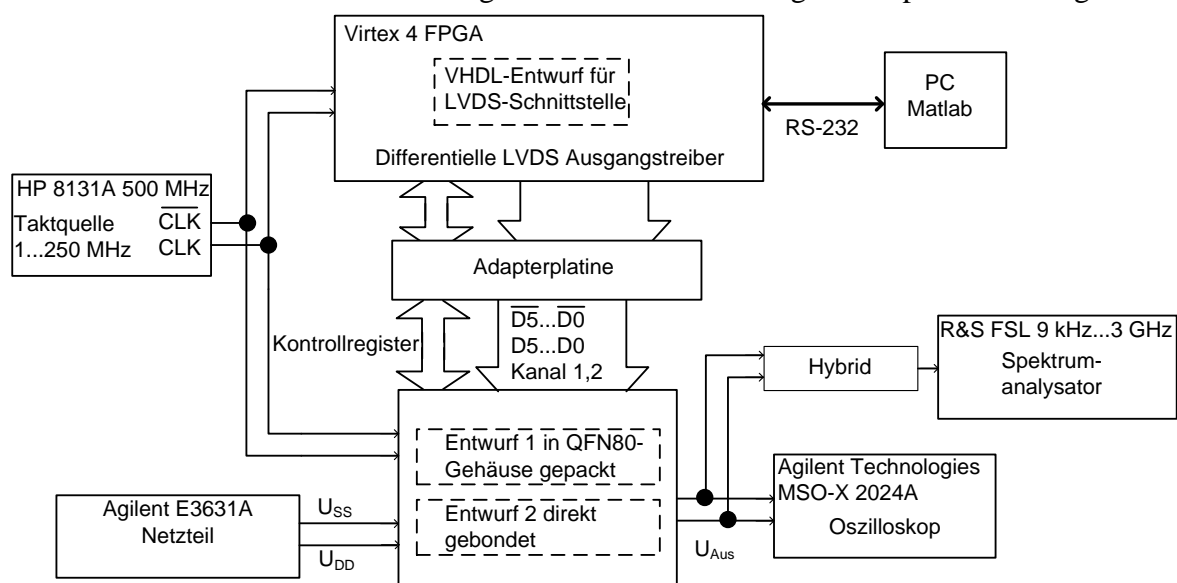


Abbildung 6.12: Messaufbau mit den verwendeten Geräten für das FPGA-Messsystem mit LVDS-Schnittstelle.

Störer wird anschließend der SFDR-Wert berechnet. Die Zeitbereichsmessungen dienen vorwiegend der Sichtprüfung des Signalverlaufs. Beispielsweise kann der simulierte Signalverlauf eines langsamen und schnellen Sinus mit den Zeitbereichsmessungen verglichen werden. Weiterhin werden mit dem Oszilloskop arbiträre Signalformen aufgenommen, die vom FPGA und D/A-Wandler erzeugt werden. Das Messsystem arbeitet dabei als Arbiträr-signalgenerator.

Der 4-Drahtbus des Kontrollregisters kann ebenfalls vom FPGA beschrieben bzw. ausgewertet werden. Damit ist abschließend die Funktionalität des 24 Bit Kontrollregisters zu testen. Die korrekte Funktionsweise des Kontrollregisters ist Voraussetzung für die spätere Datensynchronisierung.

6.2.2 Messung des störfreien Dynamikbereichs

Der D/A-Wandler wird vom FPGA mit digitalen Sinussignalen unterschiedlicher Frequenz gespeist. Das digitale Sinussignal ist im FPGA-Speicher abgelegt und wird in Abhängigkeit vom Signalindex x entsprechend Abbildung 5.9 bzw. Abbildung 5.10 adressiert. Der digitale Sinus ist mit $N=256$ Werten quantisiert. Für die einstellbaren Signalfrequenzen f_0 gilt Gleichung (4.13), dabei sollte x ungerade oder prim gewählt werden [68][112]. Da der D/A-Wandler zeitverschachtelt arbeitet, gilt für die Abtastrate des Wandlers $f_A=2 \cdot f_{CLK}$, wobei f_{CLK} die vom Taktgenerator eingestellte Frequenz ist. In den Messungen durchläuft der Signalindex nacheinander die Werte $x=1, 11, 55, 99, 127$. Damit ist eine Charakterisierung des D/A-Wandlers innerhalb des gesamten ersten Nyquistbandes $f_N \leq f_{CLK}$ möglich.

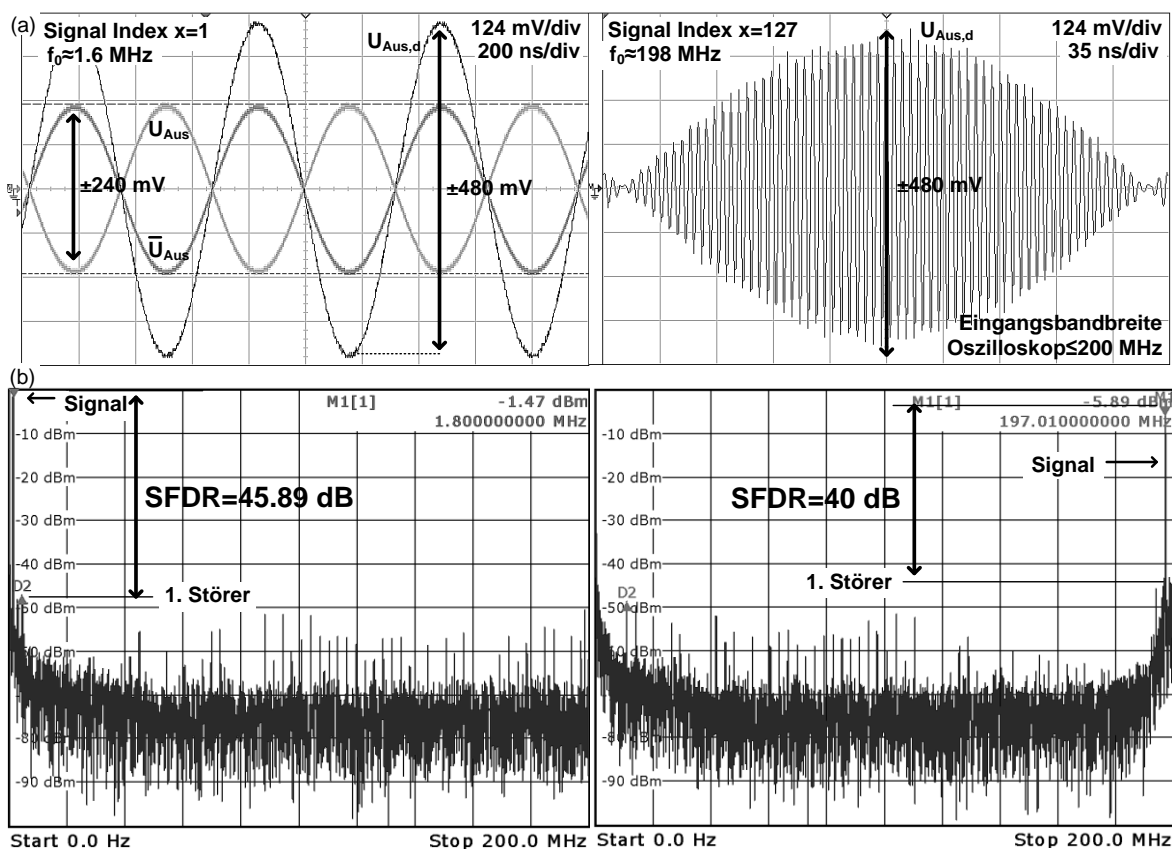


Abbildung 6.13: Zeitbereichsmessungen eines Sinus mit (a) langsamer und schneller Signalfrequenz bei einer Abtastrate von 400 MS/s und (b) die entsprechenden Ausgangsspektren zur SFDR-Bestimmung.

Abbildung 6.13(a) zeigt beispielhaft die Zeitbereichsmessung eines langsamen ($x=1$) und eines schnellen ($x=127$) Sinussignals bei einer Abtastrate von 400 MS/s. Die gemessenen Signalformen entsprechen dabei den simulierten Signalformen aus Abbildung 4.43. Die charakteristische Einhüllende eines Sinussignals, dessen Signalfrequenz nahezu der Nyquistfrequenz entspricht, ist deutlich zu erkennen. Die Messungen sind mit einem aufgebauten D/A-Wandler der zweiten Generation durchgeführt. Weiterhin zeigt die Abbildung 6.13(b) die entsprechenden Ausgangsspektren. Die Signal- und größte Störkomponente sind im Spektrum für die SFDR-Bestimmung hervorgehoben.

In Abbildung 6.14 sind die SFDR-Messungen des zweiten Entwurfs (E2) für die maximal erzielbare Abtastrate von 400 MS/s dargestellt. Noch höhere Abtastraten können mit dem verwendeten LVDS-Messsystem nicht erreicht werden. Das verwendete Hybrid ist erst ab einer Signalfrequenz von 2 MHz spezifiziert und verschlechtert daher im Frequenzbereich $f_0 < 2$ MHz die SFDR-Werte (Signalindex $x=1$). Daher scheint der SFDR-Wert für den Signalindex $x=11$ zunächst leicht anzusteigen. Anschließend nehmen die Werte entsprechend der $\sin(x)/x$ -Formung der Signalamplituden zur Nyquistfrequenz hin ab. Die gemessenen Werte sind vergleichbar mit den simulierten Werten bei der Zielabtastrate entsprechend Abbildung 4.45. Der gemessene SFDR-Wert ist größer 40 dB innerhalb des gesamten ersten Nyquistbandes mit einem Maximalwert von 46,25 dB. Jedoch tritt bei dieser Abtastrate kein Minimum an der Stelle $f_0 = \frac{3}{4} \cdot f_N$ entsprechend der Simulation auf. Die Abbildung 6.14 zeigt weiterhin eine SFDR-Messung für eine Abtastrate von 250 MS/s. Jetzt liegt das Minimum der SFDR-Werte mit 39 dB bei der Signalfrequenz $f_0 = \frac{3}{4} \cdot f_N$. Daraus kann man schließen, dass der Einbruch der SFDR-Werte an der Stelle $f_0 = \frac{3}{4} \cdot f_N$ abtastratenabhängig ist.

In Abbildung 6.14 ist ebenfalls ein direkter Vergleich zwischen den gemessenen SFDR-Werten der beiden Wandlerentwürfe für eine Abtastrate von 250 MS/s dargestellt. Bei niedrigen Signalfrequenzen ($x=11$) beträgt der Unterschied bis zu 8 dB, wohingegen sich die Werte bei hohen Signalfrequenzen auf 2 dB annähern. Die gemessenen SFDR-Werte des ersten Entwurfs (E1) liegen damit deutlich unter den simulierten Werten bei der Zielabtastrate. Die vergleichsweise geringen SFDR-Werte sind durch die Probleme bei der zeitrichtigen Verarbeitung der Daten an den Ausgangsstufen (Gedächtniseffekt) und die Fehlpassung der zeitverschachtelten Wandlerkerne zueinander verursacht. In der Simulation

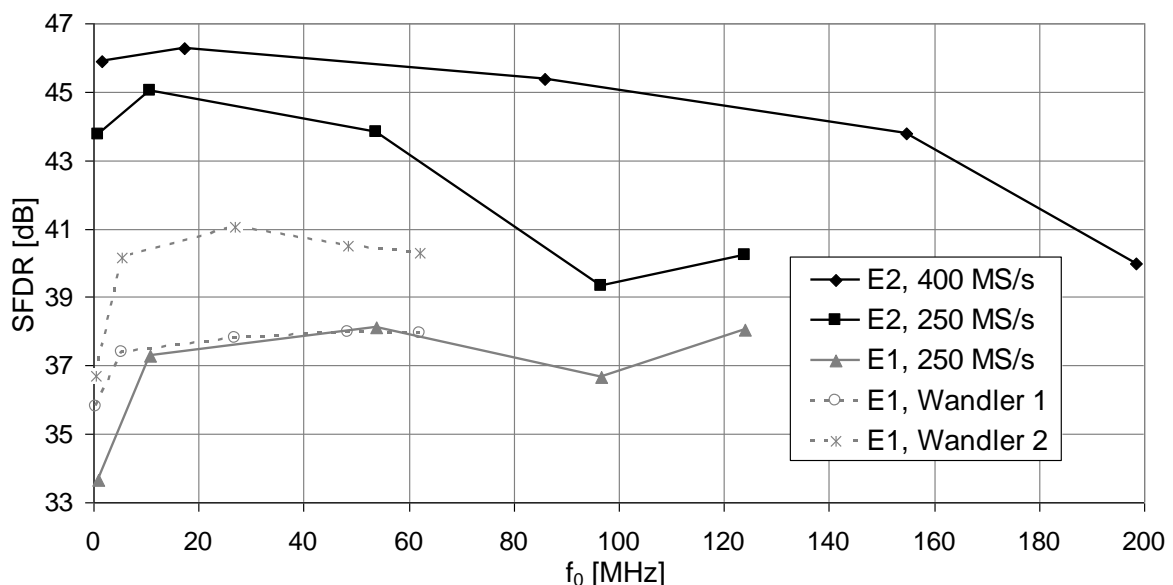


Abbildung 6.14: SFDR-Messungen für Abtastraten von 400 MS/s (E2) und 250 MS/s (E1,E2).

kann man diese Effekte nur ansatzweise erkennen, dementsprechend ist kein negativer Einfluss auf die SFDR-Werte feststellbar. Die Messungen direkt auf dem Siliziumschaltkreis weisen aber bereits auf eine Abnahme der effektiven Auflösung bzw. der SFDR-Werte des ersten Wandlerentwurfs hin. Die Auswertung der Spektren zeigt nun einen konstanten Störer, der die SFDR-Werte begrenzt. Dieser Störer wandert in Abhängigkeit des eingestellten Signalindex durch das gesamte Nyquistband. Dieser größte Störer ist durch die Fehlpassung der Wandlerkerne zueinander verursacht.

Abbildung 6.14 zeigt SFDR-Messungen des ersten Entwurfs für eine Abtastrate von 250 MS/s bei Betrieb eines Wandlerkanals bzw. beider Kanäle. Man erkennt, dass einer der zeitverschachtelten Wandler um bis zu 3,5 dB bessere SFDR-Werte liefert. Vernachlässigt man den Einfluss des Hybrids, liegen die SFDR-Werte des ersten Wandlers bei ca. 38 dB und die des zweiten Wandlers bei ca. 41 dB. Sobald die zwei Wandlerkerne gleichzeitig bzw. zeitverschachtelt betrieben werden, sind nur noch SFDR-Werte zwischen 36 dB und 39 dB messbar. Ursache hierfür ist hauptsächlich die statische Fehlpassung der Kanäle. Die schlechte Kontaktierung des QFN-Gehäuses auf der Platine kann aber auch zu einer unsymmetrischen Spannungsversorgung geführt haben, welche die statische Fehlpassung weiter erhöht. Hinzu kommt, dass der analoge Ausgang des D/A-Wandlers bei diesen Messungen nicht optimal abgeschlossen ist. Die positive Betriebsspannung erfordert ein Abschließen des Ausgangs mit Bias-Ts zur Anpassung des Abschlusswiderstandes.

Das Tastverhältnis des Taktsignals beeinflusst ebenfalls den maximal erzielbaren SFDR-Wert. Die Messungen direkt auf dem Siliziumschaltkreis haben bereits gezeigt, dass der Taktbaum eine systematische Unsymmetrie aufweist. Darüber hinaus kann das extern angelegte Taktsignal bereits ein unsymmetrisches Tastverhältnis haben. Durch Manipulation des Tastverhältnisses am Taktgenerator können einzelne Störer gezielt reduziert und damit die SFDR-Werte verbessert werden. Abbildung 6.15 zeigt ein Ausgangsspektrum bei unterschiedlichen Tastverhältnissen und einer Abtastrate von 250 MS/s. Durch geringfügiges Ändern des Tastverhältnisses am Taktgenerator kann die Leistung des zunächst dominanten Störers von -41,57 dBm auf -66,73 dBm reduziert werden. Die LVDS-Messungen zeigen daher, dass bei zeitverschachtelten Architekturen das Tastverhältnis des Taktsignals die SFDR-Werte begrenzen kann. Das Tastverhältnis ist dabei abhängig von der verwendeten Taktquelle und dem Takttreiberschaltungsblock auf dem Chip.

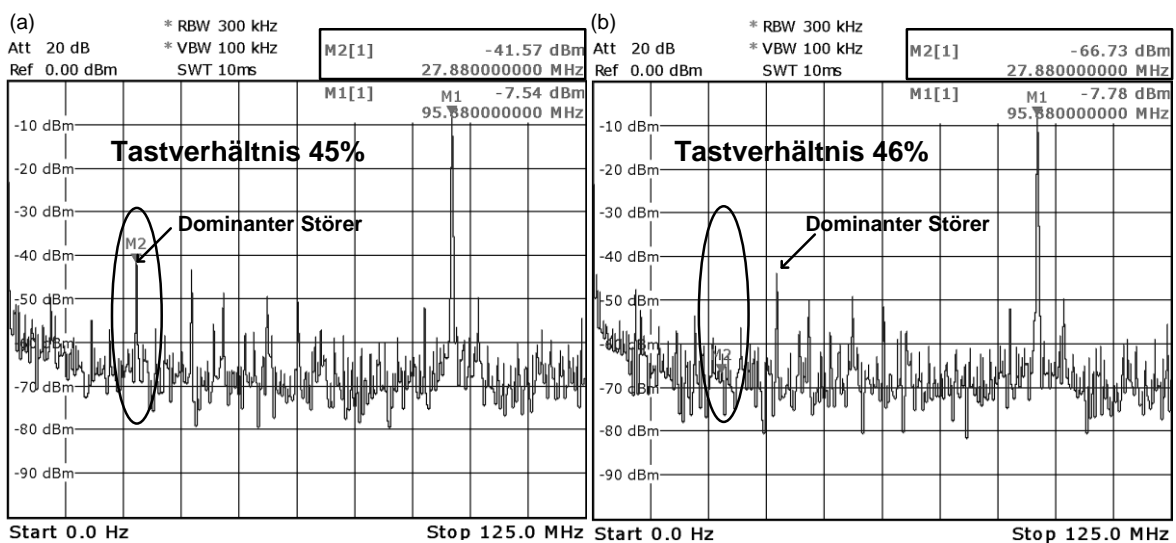


Abbildung 6.15: Ausgangsspektrum des D/A-Wandlers bei einem Tastverhältnis des externen Taktsignals von (a) 45% bzw. (b) 46%. Der zunächst dominante Störer ist markiert.

Der Aufbau des ersten Entwurfs im QFN80-Gehäuse trägt ebenfalls zu den vergleichsweise niedrigen SFDR-Werten bei. Aufgrund der schlechten Kontaktierung zwischen Gehäuse und Platine ist es darüber hinaus schwierig, mit diesem Aufbau stabile und reproduzierbare Messergebnisse zu erzeugen.

6.2.3 Arbiträrsignalerzeugung

Das entwickelte LVDS-Messsystem kann ebenfalls zur Erzeugung von Arbiträrsignalen eingesetzt werden. Der realisierte AWG besteht aus den aufgebauten D/A-Wandlern mit Echtzeitschnittstelle und einem Virtex4 FPGA als Datenquelle. Dieser AWG-Aufbau entspricht der Anordnung aus Abbildung 1.3(a) und kann flexibel an neue Anforderungen angepasst werden.

Für die Arbiträrsignalerzeugung wird der Speicherblock für beliebige Signalformen auf dem FPGA entsprechend Abbildung 5.9 ausgewählt. In diesen Speicher sind digitale Dreieck-, Parabel- und Rampensignale geladen. Die digitalen Daten werden anschließend in Echtzeit vom D/A-Wandler verarbeitet. Abbildung 6.16 zeigt beispielhaft die erzeugten Arbiträrsignale mit einem aufgebauten Wandler der zweiten Generation bei der maximalen Abtastrate des Systems.

Der realisierte AWG kann ebenfalls auf der Sendeseite einer ultrabreitbandigen Übertragungstrecke eingesetzt werden. In Abbildung 6.16(d) ist die Messung eines Sendepulses für die ultrabreitbandige Kommunikation dargestellt. Die Messung ist mit einem aufgebauten D/A-Wandler der ersten Generation bei einer Abtastrate von 1,12 GS/s durchgeführt. Obwohl die synchronen LVDS-Schnittstellen verwendet werden, kann mit einer stark vereinfachten FPGA- bzw. VHDL-Programmierung eine Abtastrate von 1,12 GS/s erzielt

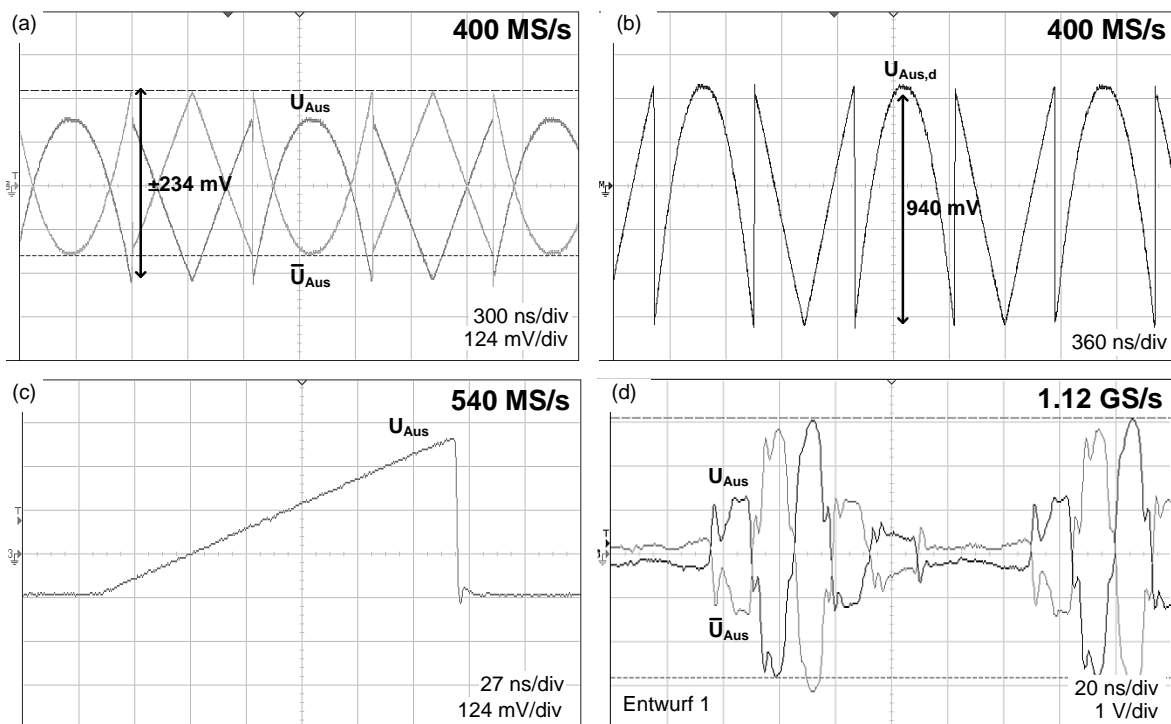


Abbildung 6.16: Gemessene Arbiträrsignale: (a) Nicht-differentielles und (b) differentielles dreieck- und parabelförmiges Signal und (c) nicht-differentielles rampenförmiges Signal, (d) Sendepuls für UWB-Kommunikationssysteme.

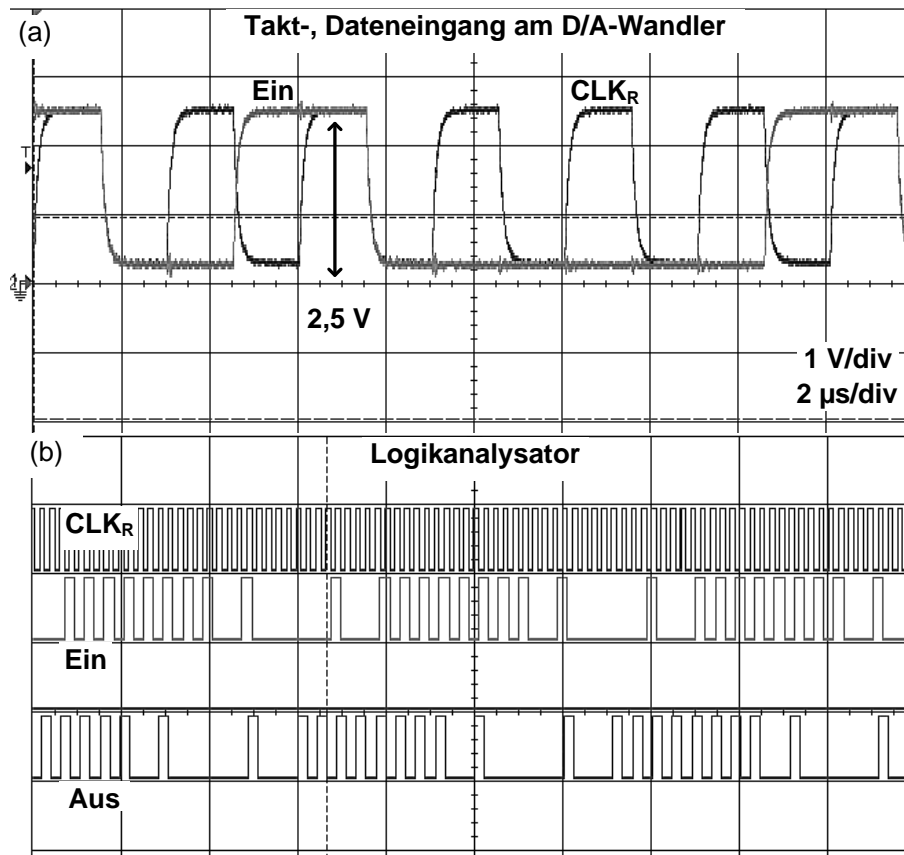


Abbildung 6.17: Test des Kontrollregisters: (a) Takt- und Datensignal am Kontrollregistereingang und (b) Auswerten des Kontrollregisterausgangs mit einem Logikanalysator.

werden.

Die Messungen aus Abbildung 6.16 zeigen die vielseitigen Einsatzmöglichkeiten der realisierten D/A-Wandler in Echtzeitsystemen.

6.2.4 Testen des Kontrollregisters

Abschließend wird mit dem LVDS-Messsystem die Funktionalität des Kontrollregisters überprüft. Ein Test ist notwendig, um das korrekte Eintakten der Daten und die korrekte Ansteuerung der entsprechenden D/A-Wandler Komponenten durch das 24 Bit Kontrollregister sicher zu stellen. Die korrekte Funktion des Kontrollregisters ist Voraussetzung für die Datensynchronisierung im GS/s-Bereich.

Das Eintakten der Daten kann mit Hilfe des Schieberegisterausgangs „Aus“ überprüft werden. In Abbildung 6.17(a) ist das vom FPGA kommende Takt- und Datensignal dargestellt. Es wird eine beliebige Datenfolge in das Schieberegister eingetaktet. Anschließend wird mit einem Logikanalysator der Ausgang des Schieberegisters mit dem eingetakteten Datum verglichen. In Abbildung 6.17(b) ist die korrekte Funktion des Kontrollregisters dargestellt. Das erfolgreiche Eintakten der Daten wird ebenfalls über eine Status-LED auf dem FPGA angezeigt. Anschließend wird die Verdrahtung zwischen Kontrollregister und D/A-Wandler entsprechend dem Datenblatt in Anhang A1 überprüft. Alle Schaltungskomponenten sind ansteuerbar und korrekt mit dem Register verdrahtet.

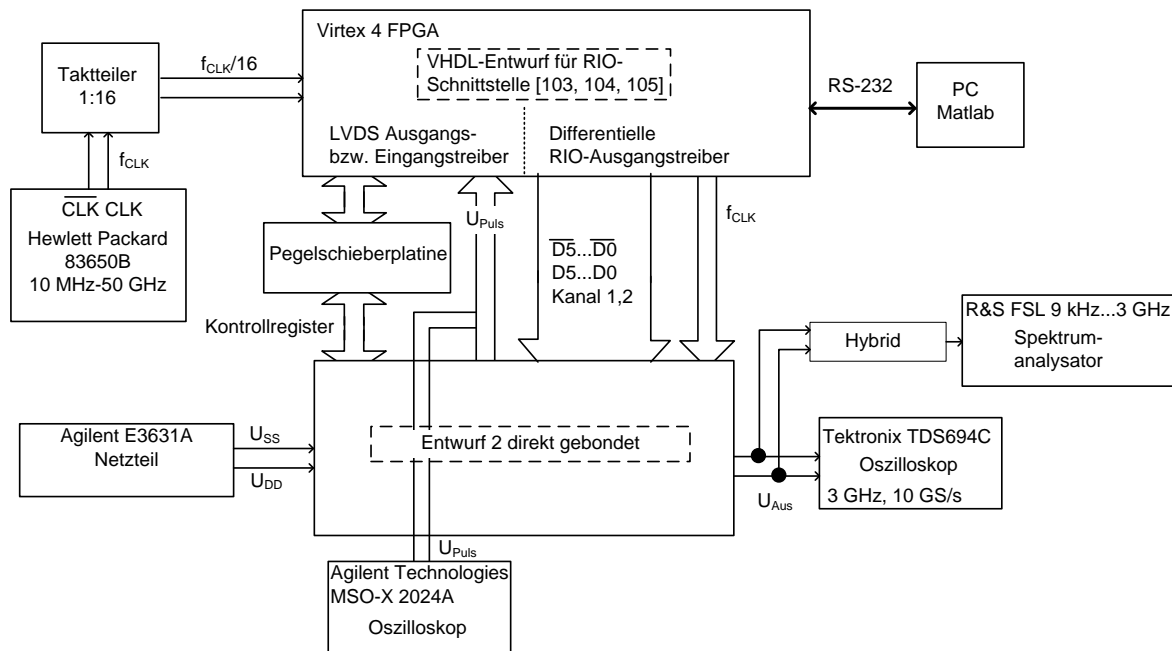


Abbildung 6.18: Messaufbau für das FPGA-Messsystem mit RIO-Schnittstelle.

6.3 FPGA-Messsystem mit RIO-Schnittstelle

Dieses Kapitel stellt die erzielten Messergebnisse mit einem Wandler der zweiten Generation für Abtastraten im GS/s-Bereich vor. Die Messungen sind mit der Aufbautechnik für Abtastraten bis zu 4 GS/s und dem RIO-Messsystem durchgeführt. Zunächst muss die Funktion der Auswerteeinheiten auf dem D/A-Wandler überprüft werden, um anschließend das überarbeitete RIO-Messsystem in Betrieb nehmen zu können. Das Ziel ist eine automatisierte Synchronisierung der RIO-Sendedata mit Hilfe des FPGAs und der Auswerteeinheiten auf dem D/A-Wandler. Abschließend werden die erzielten SFDR-Messungen vorgestellt.

6.3.1 Messaufbau

In Abbildung 6.18 ist der realisierte Messaufbau mit den verwendeten Geräten schematisch dargestellt. Die RIO-Ausgangstreiber arbeiten zwischen einer positiven Betriebsspannung von $U_{DD}=+1,5\text{ V}$ und einer negativen Betriebsspannung von $U_{SS}=-1\text{ V}$ im optimalen Bereich [111]. Die Betriebsspannungen des D/A-Wandlers werden daher auf diesen Spannungsbereich angepasst. Die Steuersignale des Kontrollregisters sind weiterhin mit den LVDS-Treibern auf dem FPGA verbunden. Die High- und Low-Pegel der LVDS-Ausgangs- bzw. Eingangstreiber liegen bei 0 V und $+2,5\text{ V}$. Damit es zu keiner Zerstörung der Eingangs- und Ausgangstreiber des Kontrollregisters kommt, müssen die Pegel mit einer Pegelschieberplatine angepasst werden. Die Platine zur Pegelanpassung schiebt die Eingangssignale für das Kontrollregister von $0\text{ V}/+2,5\text{ V}$ (FPGA, LVDS) nach $+1,5\text{ V}/-1\text{ V}$ (D/A-Wandler) und das Ausgangssignal für den FPGA von $+1,5\text{ V}/-1\text{ V}$ (D/A-Wandler) nach $0\text{ V}/+2,5\text{ V}$ (FPGA, LVDS). Das Ausgangssignal der Auswerteeinheiten auf dem D/A-Wandler wird direkt mit einer differentiellen LVDS-Schnittstelle verbunden. Ein

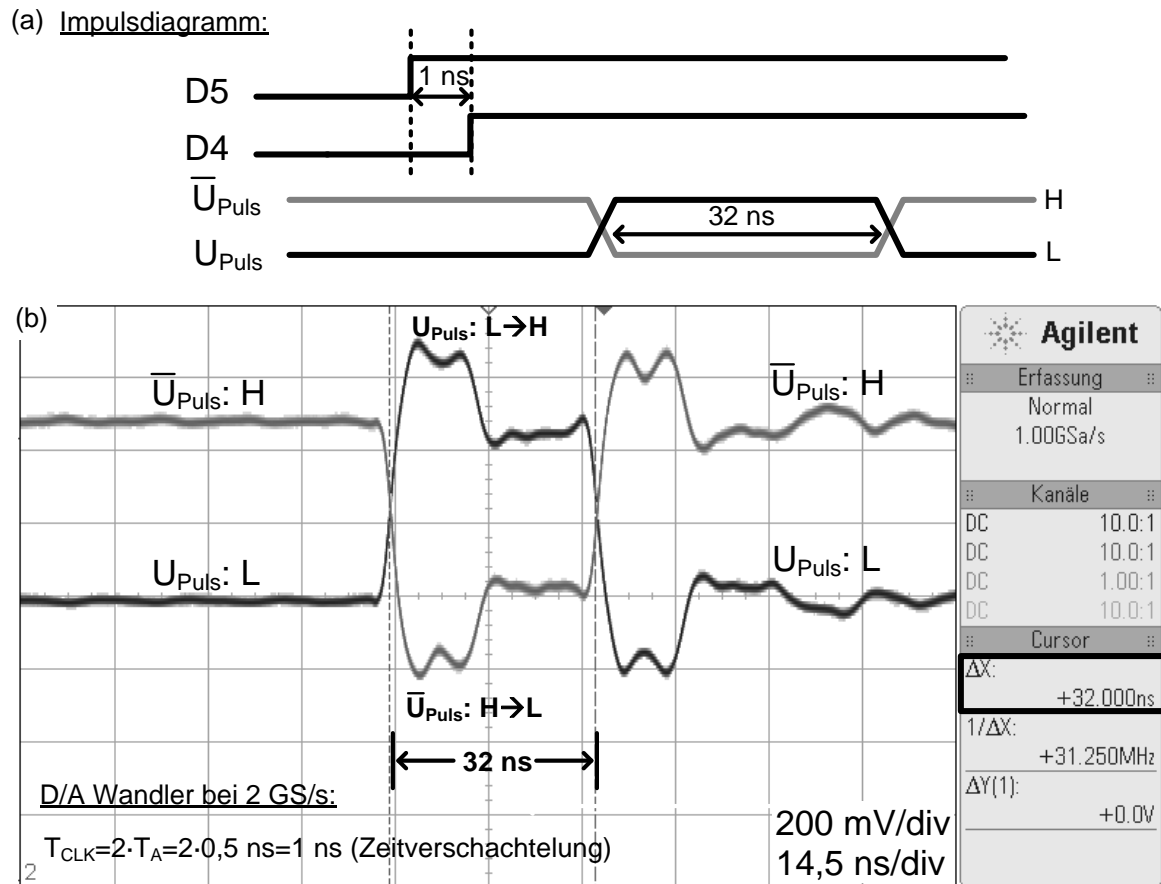


Abbildung 6.19: (a) Impulsdiagramm der gesendeten Testsequenz und das entsprechende Ausgangssignal der Auswerteeinheit, (b) gemessenes nicht-differentielles Ausgangssignal mit einem „L→H“ Übergang.

Signalgenerator mit nachgeschaltetem Takteiler erzeugt den Referenztakt für die RIO-Schnittstelle. Man vergleiche hierzu die Abbildung 5.11 bzw. Abbildung 5.13. Der entsprechende D/A-Wandler Takt wird direkt vom FPGA erzeugt und über eine differentielle RIO-Schnittstelle ausgegeben. Das analoge Ausgangssignal des D/A-Wandlers ist entsprechend dem LVDS-Messsystem mit einem Oszilloskop und Spektrumanalysator auszuwerten. Das Ausgangssignal der Auswerteeinheiten wird für erste Tests zunächst mit einem Oszilloskop überprüft.

6.3.2 Testen der Auswerteeinheiten und der automatischen Synchronisierung

Zunächst sind die korrekte Funktion der Auswerteeinheiten und des Pulsverlängerers zu überprüfen. Dafür wird zwischen zwei benachbarten Bitpositionen für eine Zeitdauer von einer Taktperiode T_{CLK} eine Asynchronität erzeugt. Der verlängerte XOR-verknüpfte Impuls muss dann eine Zeitdauer von $32 \cdot T_{CLK}$ aufweisen. Die Abtastrate beträgt bei dieser Messung 2 GS/s. Aufgrund der Zeitverschachtelung hat die Asynchronität dann eine Zeitdauer von $T_{CLK}=2 \cdot T_A=2 \cdot 0,5 \text{ ns}=1 \text{ ns}$. Am Ausgang der Auswerteeinheit muss daher ein Impuls mit einer Länge von 32 ns messbar sein. In Abbildung 6.19(a) sind das erzeugte Testsignal und der differentielle Ausgang der Auswerteeinheit bei einer Abtastrate von 2 GS/s schematisch dargestellt. Das gemessene differentielle Ausgangssignal bei dieser

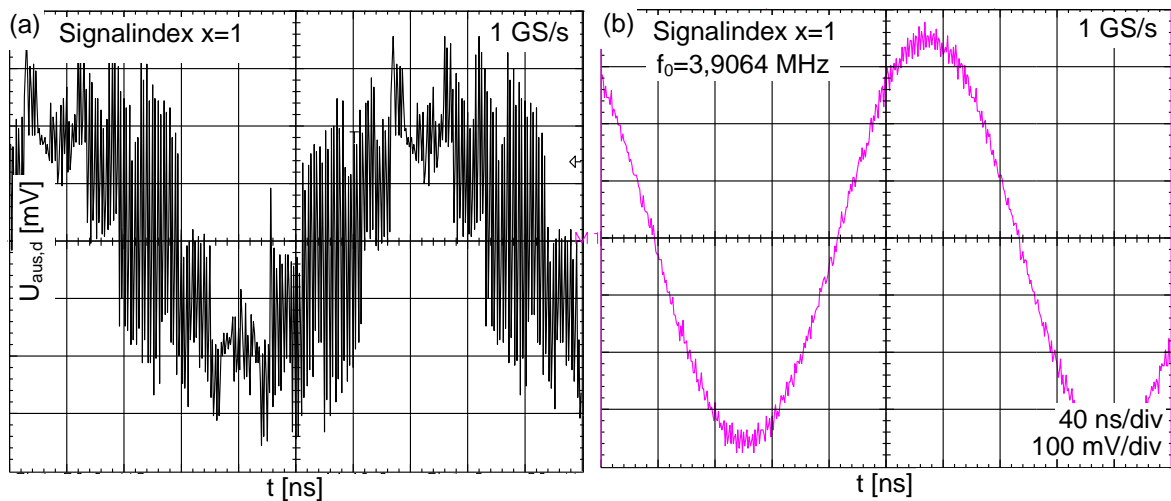


Abbildung 6.20: Gemessenes analoges Ausgangssignal des D/A-Wandlers für eine Abtastrate von 1 GS/s bei sinusförmiger Anregung (a) ohne und (b) mit Synchronisierung der FPGA RIO-Sendedataen.

Abtastrate zeigt Abbildung 6.19(b). Die gemessene Pulsdauer entspricht exakt 32 ns. Die Messung wird für alle benachbarten Bitpositionen erfolgreich wiederholt. Damit sind die prinzipielle Funktion der Auswerteeinheiten und des Pulsverlängerers bei Abtastraten im GS/s-Bereich nachgewiesen.

Anschließend ist der VHDL-Entwurf für die RIO-Schnittstellen [103]-[105] in Betrieb zu nehmen. Dabei muss insbesondere das Zusammenspiel zwischen dem FPGA und den Auswerteeinheiten auf dem D/A-Wandler verbessert und optimiert werden. Insbesondere die Synchronisationsroutine, die Auswertung des SELU Ausgangssignals und die Takterzeugung bzw. -verteilung auf dem FPGA sind in [103] überarbeitet.

Die prinzipielle Funktion der automatisierten Synchronisierung der RIO-Sendedataen veranschaulicht Abbildung 6.20. Es wird ein digitales Sinussignal über die RIO-Schnittstellen an den D/A-Wandler gesendet. Das Sendesignal wird zunächst nicht synchronisiert, d.h. ohne Manipulation des RIO-Speichers bzw. Ändern der Abtastphasen, direkt über die Schnittstellen gesendet. Abbildung 6.20(a) zeigt das entsprechende analoge Ausgangssignal des D/A-Wandlers. Ein sinusförmiger Signalverlauf ist ansatzweise zu erkennen.

Anschließend wird vor dem Senden der Daten die automatisierte Synchronisationsroutine eingesetzt. Zunächst sendet der FPGA auf allen Kanälen die gleiche Testsequenz. Entsprechend dem Status des Ausgangssignals der Auswerteeinheiten werden dann die RIO-Speicher und Abtastphasen geändert. Die erfolgreiche Synchronisierung aller Bitpositionen wird über eine LED auf dem FPGA angezeigt. Erst nach erfolgreicher Synchronisierung wird der digitale Sinus gesendet. Das gemessene analoge Ausgangssignal des D/A-Wandlers nach der Synchronisierung zeigt Abbildung 6.20(b). Ein Sinussignal ist eindeutig erkennbar.

Weiterhin sind im analogen Ausgangssignal nicht nur der Taktdurchgriff, sondern auch Unregelmäßigkeiten bzw. Spitzen bei einigen Kodewortübergängen zu erkennen. Die Unregelmäßigkeiten deuten darauf hin, dass nicht alle Bitpositionen richtig aufeinander synchronisiert sind. Besonders kritisch ist bei der Synchronisierung die XOR-Verknüpfung zwischen der Bitposition D0 des ersten Kanals und der Bitposition D5 des zweiten Kanals.

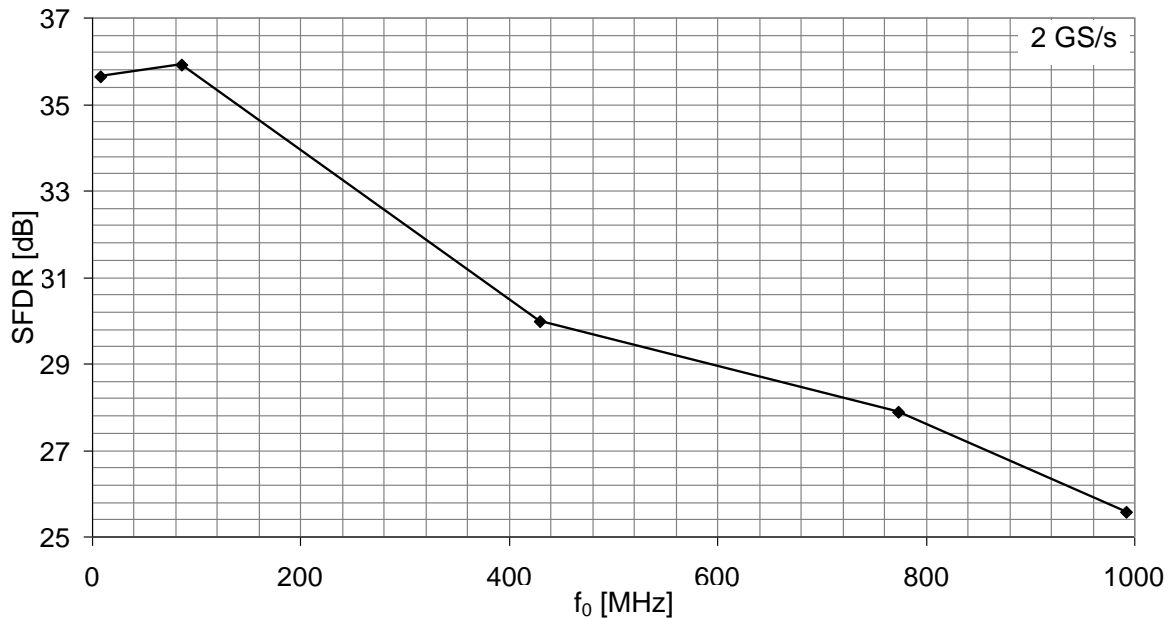


Abbildung 6.21: Gemessener SFDR-Verlauf über das gesamte erste Nyquistband eines aufgebauten DA-Wandlers der zweiten Generation für eine Abtastrate von 2 GS/s.

6.3.3 Messung des störfreien Dynamikbereichs

Abbildung 6.21 stellt die SFDR-Messungen über das gesamte Nyquistband bei einer Abtastrate von 2 GS/s dar. Die Messungen sind mit einem aufgebauten Wandler der zweiten Generation durchgeführt. Es fällt auf, dass im Vergleich zu den Ergebnissen in Abbildung 6.14 deutlich schlechtere SFDR Werte erzielt werden. Die Werte liegen für ein langsames Sinussignal bei ca. 36 dB und nehmen zur Nyquistfrequenz hin bis auf 26 dB ab. Es ist zwar eine Abnahme der SFDR-Werte mit steigender Abtastrate zu erwarten, dennoch nicht in diesem Ausmaß. Man vergleiche hierzu die simulierten Werte aus Abbildung 4.45. Die Ursachen für die vergleichsweise geringen SFDR-Werte liegen in der FPGA Datenquelle und dem im Messaufbau erzeugten Taktsignal. Die Messungen im vorhergehenden Kapitel 6.3.2 bzw. Abbildung 6.20 weisen darauf hin, dass die Sendedaten des FPGAs über die RIO-Schnittstelle nicht vollständig zueinander synchronisierbar sind. Insbesondere die Synchronisierung der zeitverschachtelten Kanäle zueinander ist kritisch und erfordert weitere Untersuchungen. Weiterhin stellt die Erzeugung eines absolut symmetrischen Taktsignals im GHz-Bereich für die zweifach zeitverschachtelte Wandlerarchitektur eine große Herausforderung dar. Die Messungen aus Abbildung 6.15 verdeutlichen den Einfluss eines unsymmetrischen Taktsignals auf das Ausgangsspektrum.

Dennoch können mit dem Messaufbau bei stabiler und erfolgreicher Synchronisierung der Sendedaten auch SFDR-Werte von 41,96 dB für einen langsamen Sinus ($x=1$) gemessen werden. Diese Messung bestätigt die korrekte Funktion des Wandlers und den negativen Einfluss des Messaufbaus. In Abbildung 6.22 sind die Zeitbereichsmessung und das entsprechende Ausgangsspektrum bei einer Abtastrate von 2 GS/s dargestellt.

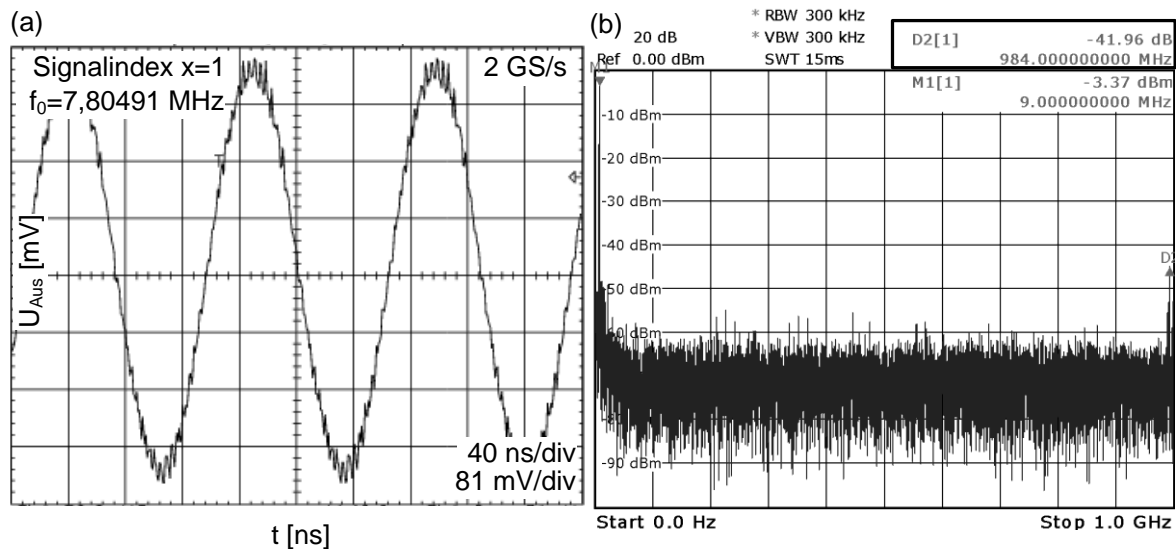


Abbildung 6.22: (a) Zeitbereichsmessung und (b) zugehöriges Ausgangsspektrum eines langsamen Sinus ($x=1$) bei einer Abtastrate von 2 GS/s.

6.4 Zusammenfassung der Messergebnisse

Durch die Messungen direkt auf dem Siliziumschaltkreis der beiden Wandlerentwürfe können Abtastraten bis zu 28 GS/s bei bitratenflexibler Arbeitsweise nachgewiesen werden. Damit sind die Simulationsergebnisse hinsichtlich der maximal erzielbaren Abtastrate bei gleichzeitig bitratenflexibler Arbeitsweise bestätigt. Die im ersten Entwurf auftretenden Probleme in der zeitrichtigen Verarbeitung der Daten an den Ausgangsstufen sind im zweiten Entwurf nicht mehr vorhanden. Die schaltungstechnischen Änderungen im Schaltungsblock der Eingangssynchronisation sind daher erfolgreich gewesen. Der in dieser Arbeit entwickelte D/A-Wandler ist somit der derzeit schnellste D/A-Wandler in einer 90 nm CMOS-Technologie bei bitratenflexibler Arbeitsweise.

Die statischen Messungen der zweiten Wandlergeneration zeigen darüber hinaus sehr gute INL bzw. DNL Werte und eine geringe Fehlpassung. Es werden ein INL- und DNL-Wert von 0,18 LSB bzw. 0,25 LSB mit dem Stromquellenlayout entsprechend Abbildung 4.25 und Abbildung 4.26 erzielt. Weiterhin kann die Kanalfehlpassung von 0,88 LSB auf 0,26 LSB reduziert werden. Damit sind die Verbesserungen im Stromquellenlayout und Spannungsversorgungsgitter des zweiten Entwurfs auch durch die Messungen bestätigt. Gleichzeitig ist der Leistungsverbrauch mit der zweiten Wandlergeneration durch FO-Optimierung von 2,3 W auf 1,8 W reduziert.

Die SFDR-Messungen mit den langsamen synchronen LVDS-Schnittstellen bestätigen ebenfalls die Erkenntnisse aus den Messungen direkt auf dem Siliziumschaltkreis. Mit der ersten Wandlergeneration können bei einer Abtastrate von 250 MS/s SFDR-Werte größer 36 dB über dem gesamten Nyquistband erzielt werden. Dagegen sind mit der zweiten Wandlergeneration SFDR-Werte größer 40 dB über dem gesamten Nyquistband bei einer Abtastrate von 400 MS/s messbar. Die gemessenen SFDR-Werte der zweiten Wandlergeneration stimmen ebenfalls sehr gut mit den Simulationen entsprechend Abbildung 4.45 überein. Aus den SFDR-Messungen lassen sich mehrere Schlussfolgerungen ziehen:

- Die Probleme der zeitrichtigen Datenverarbeitung an den Ausgangsstufen und die Kanalfehlpassung der ersten Wandlergeneration spiegeln sich direkt in den SFDR-

Messungen wider. Eine weitere Abnahme der SFDR-Werte im GS/s Bereich ist aufgrund der Messungen direkt auf dem Siliziumschaltkreis anzunehmen.

- Die SFDR-Messungen der zweiten Wandlergeneration zeigen, dass bei **synchronen digitalen Eingangsdaten** die Simulationsergebnisse bestätigt werden können. Eine weitere Abnahme der SFDR-Werte im GS/s-Bereich ist dennoch anzunehmen (Abbildung 6.22). Aufgrund der Messungen direkt auf dem Siliziumschaltkreis wird die Abnahme jedoch wesentlich geringer ausfallen als in der ersten Wandlergeneration.
- Die Aufbautechnik der zweiten Wandlergeneration, d.h. direktes Bonden der Pads auf die vorgesehenen Platinenanschlüsse, ist einem Aufbau im QFN-Gehäuse vorzuziehen.
- Das Tastverhältnis des Taktsignals muss aufgrund der zweifach zeitverschachtelten Architektur absolut symmetrisch sein. Eine Unsymmetrie führt entsprechend Abbildung 6.15 zu unerwünschten Störern im Ausgangsspektrum. Insbesondere für Messungen im hohen GS/s wird die Qualität des Taktsignals entscheidend sein.

Weiterhin bestätigen die Messungen mit den FPGA LVDS-Schnittstellen die Einsetzbarkeit des D/A-Wandlers in Echtzeitanwendungen. So können mit Hilfe der aufgebauten D/A-Wandler und dem FPGA als Datenquelle arbiträre Signale, z.B. für die ultrabreitbandige Kommunikation, erzeugt werden.

Die Echtzeitschnittstelle des realisierten D/A-Wandlers ermöglicht vielfältige Anwendungen. Dennoch ist die Synchronisierung der zeitverschachtelten Sendedaten zueinander insbesondere im hohen GS/s-Bereich eine große Herausforderung. Für die FPGA-gestützte Datensynchronisierung ist auf dem D/A-Wandler eine Auswerteeinheit implementiert. Mit Hilfe des Messsystems, basierend auf den schnellen RIO-Schnittstellen, ist die Funktionalität der Auswerteeinheit bei Abtastraten im GS/s-Bereich nachgewiesen. Auch die auf dem FPGA implementierte automatisierte Synchronisierungsroutine kann messtechnisch verifiziert werden.

Die Zeitbereichs- und SFDR-Messungen zeigen jedoch, dass die Sendedaten nicht einwandfrei aufeinander synchronisierbar sind. Das Hauptproblem besteht dabei vermutlich in der Synchronisierung der zwei zeitverschachtelten Kanäle zueinander, d.h. die XOR-Verknüpfung der Bitposition D0 des ersten Kanals mit D5 des zweiten Kanals. Eine Ursache hierfür kann das Layout der Auswerteeinheit sein. Es sind sehr lange differentielle Signalleitungen zum Verbinden der zeitverschachtelten Kanäle notwendig. Die Auswertung erfolgt in Echtzeit und bei Datenraten im Gbit/s-Bereich. Probleme im Zeitverhalten sind in den Simulationen nicht ersichtlich, können aber nicht ausgeschlossen werden. Eine weitere Fehlerquelle kann die auf dem FPGA implementierte Synchronisierungsroutine sein. Die Routine muss an dieser Stelle erneut überprüft, auf eine manuelle Synchronisation angepasst und eingestellt werden.

Daher empfiehlt sich für eine schnelle und einfache D/A-Wandlercharakterisierung ein auf dem Chip integrierter Testspeicher [61]. Mit Hilfe eines Testspeichers lassen sich die Daten langsam seriell eintakten und anschließend schnell synchron an den Wandler ausgeben. Die Wandler sind dann aber nicht für Echtzeitexperimente geeignet.

7 Technologieeinfluss und alternative Wandlerarchitekturen

Im Rahmen eines DFG-Projektes [65] soll der in Kapitel 4 realisierte D/A-Wandler für einen integrierten OFDM-Sender in einer 65 nm CMOS-Technologie eingesetzt werden. Die Anforderungen an den D/A-Wandler sind eine effektive Auflösung $ENOB > 6$ Bit bei einer Abtastrate von mindestens 32 GS/s.

Dieses Kapitel untersucht daher zunächst den Einfluss einer 65 nm CMOS-Technologie auf die bisher realisierte Wandlerarchitektur. Die nominale Auflösung des Wandlers aus Kapitel 4 wird anschließend von 6 Bit auf 8 Bit erweitert. Damit verbunden ist eine Untersuchung der optimalen Wandlersegmentierung. Da die effektive Auflösung über dem gesamten Nyquistband größer 6 Bit sein soll, werden abschließend noch weitere geeignete Wandlerarchitekturen für Abtastraten im hohen GS/s-Bereich untersucht. Der Architekturvergleich beinhaltet dabei nicht nur Untersuchungen zur effektiven Auflösung, sondern auch zur Fehlpassung-Anfälligkeit, maximalen Abtastrate, Leistungsverbrauch und dem Chipflächenbedarf.

7.1 Technologieeinfluss

In [60] wird die Wandlerarchitektur aus Kapitel 4 auf eine 65 nm CMOS-Technologie umgesetzt. Zunächst ist der Einfluss des Technologiewechsels auf die Grundgatter zu untersuchen. Stellvertretend wird dabei ein einfacher 1 mA Verstärker betrachtet. Anschließend findet ein Vergleich der Wandlerarchitektur in 90 nm und 65 nm CMOS-Technologie hinsichtlich der effektiven Auflösung und der maximal erreichbaren Abtastrate statt.

Grundgatter

Tabelle 7.1 vergleicht die relevanten Eigenschaften eines einfachen Verstärkers mit einer Treiberfähigkeit von $I_0 = 1$ mA in einer 65 nm CMOS-Technologie mit der bisher verwendeten 90 nm CMOS-Technologie. Für die Dimensionierungen der Grundgatter in einer 65 nm CMOS-Technologie werden die Vorschriften entsprechend Kapitel 4.2.3 verwendet.

Tabelle 7.1: Vergleich der Eigenschaften eines 1 mA Verstärkers in einer 65 nm und 90 nm CMOS-Technologie.

Eigenschaft	Einheit	65 nm	90 nm
Stromtreiberfähigkeit I_0	mA	1	1
Spannungshub U_{Hub}	mV	596	600
Weite W	μm	5,6	6
Verstärkung v_{U0}	-	1,83	2
Verzögerungszeit t_d	ps	4	5,51
Anstiegs-/Abfallzeit $t_{LH,HL}$	ps	15,8	21

Erwartungsgemäß verringert sich die Verzögerungszeit t_d des Verstärkers in der 65 nm CMOS-Technologie um ca. 28%. Auch die Anstiegs- bzw. Abfallzeiten verringern sich um ca. 25%. Das entspricht ungefähr einer linearen Skalierung der Schaltzeiten mit der Struk-

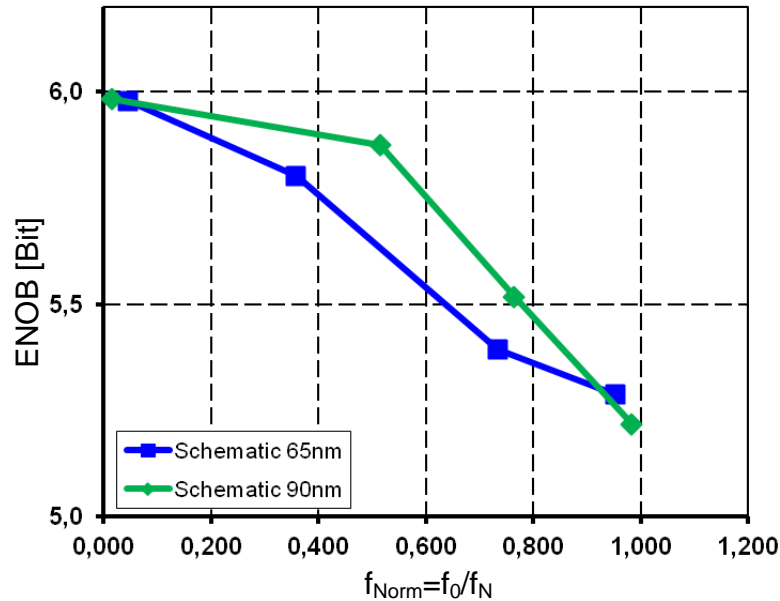


Abbildung 7.1: Simulierter Verlauf der ENOB-Werte in Abhängigkeit der normierten Signalfrequenz für die architekturgleichen Wandler in 65 nm und 90 nm CMOS-Technologie.

turgröße, d.h. $65 \text{ nm}/90 \text{ nm} \approx 0,72$ (28%) [81]. Es fällt jedoch auf, dass bei nahezu identischer Dimensionierung der Schalttransistoren des 65 nm Verstärkers nur noch eine Spannungsverstärkung von $v_{U0}=1,8$ erzielt wird. Dieses Verhalten ist auch bei CMOS-Technologien mit noch geringerer Strukturgröße (45 nm, 28 nm) zu beobachten [44]. Die Stromschaltergatter werden mit geringerer Strukturgröße immer schneller. Gleichzeitig nimmt jedoch die Spannungsverstärkung v_{U0} ab. Folglich sind die CMOS-Technologien mit größerer Strukturbreite besser für den Entwurf analoger Schaltungen geeignet, da insbesondere die Spannungsverstärkung ein wichtiger Parameter beim analogen Schaltungsentwurf ist. Auch die Vorteile der Stromschalterlogik gegenüber der statischen CMOS-Logik werden hinsichtlich der Schaltzeiten mit kleinerer Strukturgröße immer geringer.

Vergleich der Wandlerarchitektur in einer 90 nm und 65 nm CMOS-Technologie

Die Wandlerarchitektur aus Kapitel 4 wird in [60] auf eine 65 nm CMOS-Technologie angepasst. Durch den Technologiewechsel können mit dieser Wandlerarchitektur Abtastraten bis zu 44 GS/s auf Schaltplanebene simuliert werden. Dagegen beträgt die maximal simulierte Abtastrate des 90 nm Entwurfs 28 GS/s. In Abbildung 7.1 ist der simulierte Verlauf der ENOB-Werte in Abhängigkeit der normierten Signalfrequenz $f_{\text{Norm}}=f_0/f_N$ für die Entwürfe mit identischer Architektur in 90 nm und 65 nm CMOS-Technologie dargestellt. Im mittleren Frequenzbereich für $f_{\text{Norm}} \approx 0,5$ liefert der Wandler in einer 90 nm CMOS-Technologie um bis zu 0,21 Bit bessere ENOB-Werte als der architekturgleiche Wandler in einer 65 nm CMOS-Technologie. In der Nähe von DC und der Nyquistfrequenz $f_{\text{Norm}} \approx 1$ gleicht sich der Verlauf der ENOB-Kurven wieder an.

Durch einen Technologiewechsel von 90 nm auf 65 nm CMOS können bei identischer Wandlerarchitektur Abtastraten bis zu 44 GS/s auf Schaltplanebene erreicht werden. Das entspricht einer Geschwindigkeitssteigerung von 57%, die allein durch den vollzogenen Technologiewechsel erzielt wird. Da die Simulationen in der 65 nm CMOS-Technologie mit idealem Taktsignal, d.h. ohne Taktbaum, durchgeführt sind, ist eine Abnahme der maximalen Abtastrate auf ~ 40 GS/s zu erwarten.

Die effektive Auflösung ist dabei im mittleren Frequenzbereich mit 0,21 Bit nur geringfügig schlechter. Die Untersuchungen in [60] bestätigen damit die Eignung der 65 nm CMOS-Technologie für die in Kapitel 4 vorgestellte Wandlerarchitektur. Die Tabelle 7.2 fasst die simulierten Ergebnisse aus [60] vergleichend zusammen.

Tabelle 7.2: Zusammenfassung der Simulationsergebnisse der identischen Wandlerarchitektur in 65 nm und 90 nm CMOS-Technologie.

Eigenschaft	Einheit	[60]	diese Arbeit
Maximale Abtastrate	GS/s	44	28
Nominale Auflösung	Bit	6	6
ENOB bei NF/Nyquist	Bit	5,9/5,29	5,98/5,22
Versorgungsspannung	V	2	2,5
Leistungsverbrauch	W	0,616 *)	1,8

*) der Taktbaum ist nicht berücksichtigt

7.2 Nominale Auflösung und Grad der Segmentierung bzw. Zeitverschachtelung

Dieses Kapitel stellt das Vorgehen bei der Erhöhung der nominalen Auflösung des bisherigen Entwurfs von 6 Bit auf 8 Bit vor. Damit verbunden sind Untersuchungen zum optimalen Grad der Segmentierung und der Zeitverschachtelung.

Nominale Auflösung und Grad der Segmentierung

Untersuchungen in [113] und die statischen Messungen aus Kapitel 6.1.2 haben gezeigt, dass mit dem Stromquellenlayout entsprechend Abbildung 4.26 theoretisch Auflösungen von 8 Bit erzielbar sind. Daher wird im Rahmen des DFG Projektes [65] die nominale Auflösung des D/A-Wandlers von 6 Bit auf 8 Bit erhöht.

Der Grad der Segmentierung, d.h. die Anzahl an binär und unär gewichteten Stromquellen, nimmt dabei auf folgende Parameter Einfluss:

- Statische Eigenschaften [48],
- Dynamische Eigenschaften [48][26],
- Flächenbedarf,
- Leistungsverbrauch,
- Länge des Taktpfades [26].

Je größer die Anzahl an unären Stromquellen ist, desto geringer wird der statische DNL-Fehler [48]. Die nachfolgenden Überlegungen gehen von einer Realisierung des Stromquellenlayouts entsprechend Abbildung 4.26 aus.

Die Länge des Taktpfades zum Ansteuern der Ausgangsstufen hat bei der Festlegung des Segmentierungsgrades einen entscheidenden Einfluss. Die Anzahl der unären Quellen steigt exponentiell [26] mit dem Segmentierungsgrad an und legt somit auch die Länge des Taktpfades zur Ansteuerung der Ausgangsstufen fest. Je länger jedoch der Taktpfad ist, desto anspruchsvoller wird das synchrone Durchschalten der Stromquellen an den Ausgangsstufen bei Abtastaten im sehr hohen GS/s-Bereich. Ein asynchrones Durchschalten der Stromquellen führt zu Über- bzw. Unterschwingern im analogen Ausgangssignal und damit zu einer Abnahme der SFDR-Werte [26]. Weiterhin erhöht die Anzahl der unären

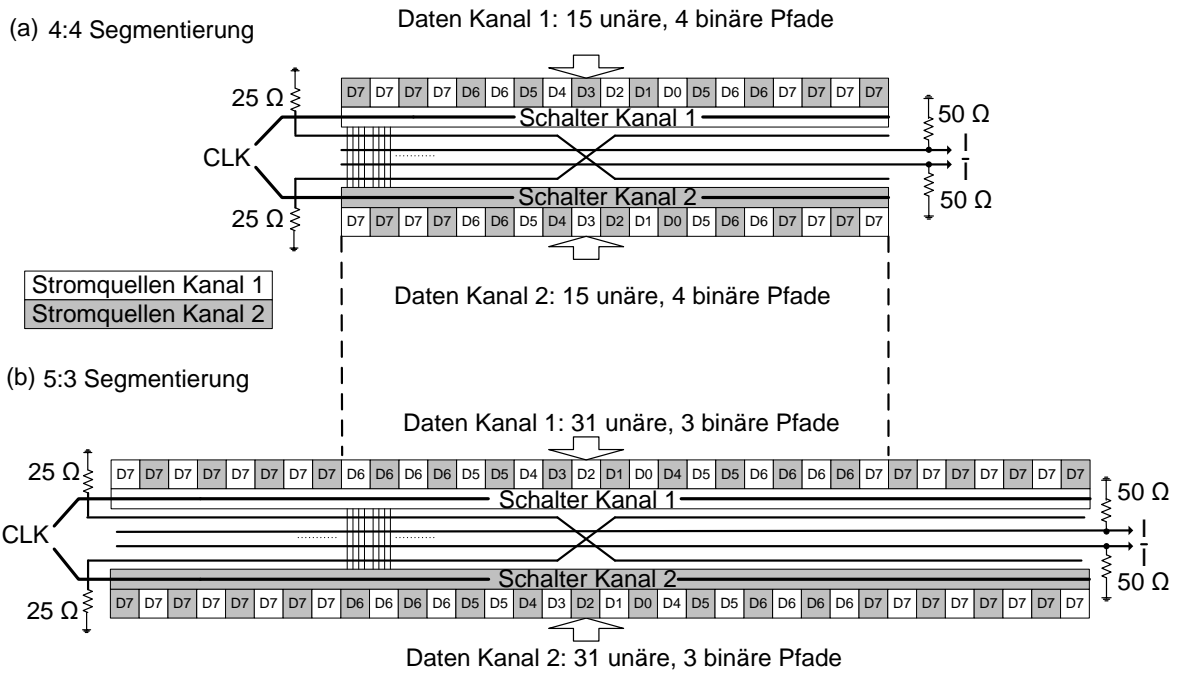


Abbildung 7.2: Stromquellenlayout mit Taktpfad für eine (a) 4:4 und (b) 5:3 segmentierte Architektur.

Stromquellen den Leistungsverbrauch des Wändlers, da die Anzahl der Datenpfade zur Signalaufbereitung und die notwendigen Synchronisierungs-FFs ebenfalls exponentiell zunehmen.

In Abbildung 7.2 ist beispielhaft das Stromquellenlayout mit notwendigem Taktpfad für eine 4:4 und eine 5:3 segmentierte Architektur dargestellt. Es wird deutlich, dass eine 4:4 Segmentierung einen guten Kompromiss aus Flächenbedarf, Taktpfadlänge und Leistungsverbrauch darstellt. Der Taktpfad wird nur unwesentlich länger als im Layout entsprechend Abbildung 4.26, da weiterhin 15 unäre Quellen angesteuert werden müssen. Im Vergleich zum Layout aus Abbildung 4.26 werden nur zwei weitere binäre Quellen benötigt. Daher sind der zusätzliche Flächenbedarf und die Länge des Taktpfades bei einer 4:4 Segmentierung nur sehr gering. Die Ansteuerung der unären Quellen kann weiterhin über einen Pseudo-Dekoder vollzogen werden.

Grad der Zeitverschachtelung

In der D/A-Wandlerentwicklung kann die Anzahl der zeitverschachtelt arbeitenden Kerne nicht beliebig erhöht werden. Die drei nachfolgenden Faktoren begrenzen maßgeblich den Grad der Zeitverschachtelung.

Zunächst müssen die Stromquellen der zeitverschachtelt arbeitenden Kerne alle auf eine gemeinsame Stromsammelschiene geschaltet werden. Dadurch erhöht sich abhängig von der nominalen Auflösung und der Anzahl der Wandlerkerne die kapazitive bzw. resistive Last an der Ausgangssammelschiene. Diese RC-Last begrenzt die Ausgangsbandbreite des Wändlers. In [62] arbeiten 4 Wandlerkerne bei einer Abtastrate von 64 GS/s parallel. Die Ausgangsbandbreite des Wändlers beträgt jedoch nur noch 13 GHz und liegt deutlich unter der Nyquistfrequenz $f_N = f_A/2 = 32$ GHz.

Weiterhin wird entsprechend Kapitel 2.4.3 ein Multiphasentaktsignal zur Ansteuerung der parallel arbeitenden Kerne benötigt. Die Erzeugung solcher Multiphasentakte bei Abtastaten im hohen GS/s-Bereich ist sehr anspruchsvoll. Die Messungen in Kapitel 6.2.2 haben gezeigt, dass bereits bei einer zweifach zeitverschachtelten Architektur die Qualität des

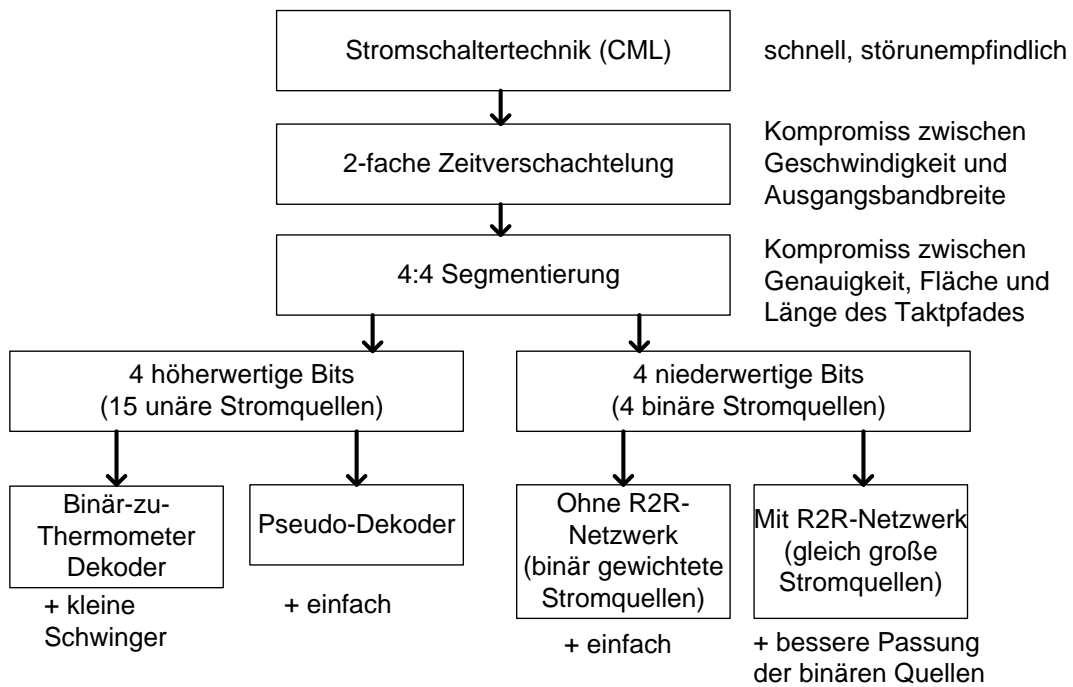


Abbildung 7.3: Übersicht der untersuchten Architekturen bei 8 Bit nominaler Auflösung.

Taktsignals, insbesondere das Tastverhältnis, entscheidend für die Passung der Kanäle zueinander ist.

Außerdem steigt der Leistungsverbrauch linear mit der Anzahl der zeitverschachtelt arbeitenden Wandlerkerne.

Daher stellt die zweifach zeitverschachtelte Architektur einen guten Kompromiss aus maximal erzielbarer Abtastrate, ausreichender Ausgangsbandbreite (abhängig von der Anwendung) und akzeptablem Leistungsverbrauch dar.

7.3 Alternative Architekturen

Um die Spezifikationen ($\text{ENOB} > 6$ Bit, $f_A > 32$ GS/s) zu erfüllen, wird nicht nur die pseudo-dekodierte Architektur entsprechend Kapitel 4, sondern ebenfalls der Einsatz eines Binär-zu-Thermometer-Dekoders und die Verwendung eines R2R-Netzwerkes überprüft.

Überblick

In Abbildung 7.3 sind die in [114] untersuchten Architekturen mit nominalen Auflösungen von 8 Bit dargestellt. Alle Architekturen sind entsprechend den vorhergehenden Überlegungen 4:4 segmentiert und zweifach zeitverschachtelt realisiert. Insgesamt werden vier Architekturen untersucht.

Die Architekturen unterscheiden sich in der Ansteuerung der unär gewichteten Stromquellen. Dafür kann, wie bisher, ein Pseudo-Dekoder (PD) verwendet werden. Eine weitere Möglichkeit ist der Einsatz des Binär-zu-Thermometer-Dekoders (BzTD) aus Kapitel 2.4.2. Ein PD ist einfach zu implementieren und entspricht einem Verdrahtungsschema. Dagegen ist die Dekodierlogik des BzTDs aufwändiger zu realisieren und begrenzt oft die maximale Abtastrate eines D/A-Wandlers bei gleichzeitig höherem Leistungsverbrauch. Dennoch können durch das Schaltschema des BzTDs Über- bzw. Unterschwinger im ana-

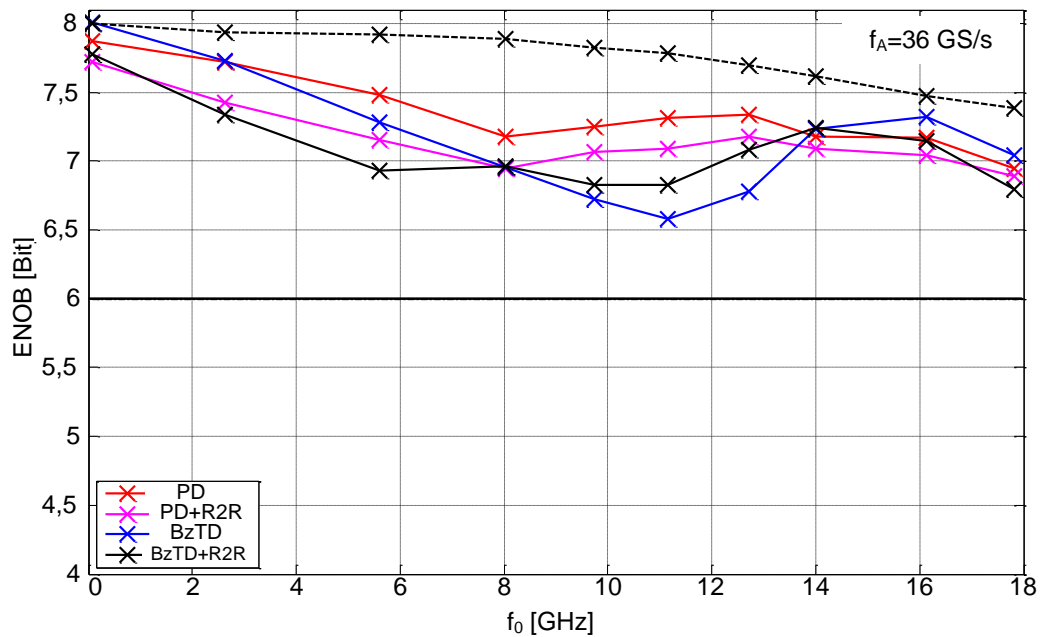


Abbildung 7.4: Simulierte ENOB-Werte der vier Wandlerarchitekturen bei einer Abtastrate von 36 GS/s.

logem Ausgangssignal reduziert und dadurch bessere dynamische Eigenschaften erzielt werden.

Im Vergleich zum D/A-Wandlerentwurf in Kapitel 4 müssen jetzt vier binär gewichtete Stromquellen angesteuert werden. Um eine bessere Passung der binär gewichteten Quellen zu erreichen, kann die Gewichtung auch über ein R2R-Netzwerk vollzogen werden [26][115]. Sämtliche binären Stromquellen sind dann gleich groß, und die Gewichtung der Ströme erfolgt über das R2R-Netzwerk. Da das R2R-Netzwerk aus identischen Widerständen besteht, ist ebenfalls eine gute Passung der Widerstände zueinander gegeben.

Schaltplansimulationen

Alle Architekturen sind in [114] vollständig auf Schaltungsebene realisiert und werden anschließend durch Simulationen miteinander verglichen. Die Abbildung 7.4 zeigt beispielhaft die simulierten ENOB-Werte bis zur Nyquistfrequenz f_N bei einer Abtastrate von $f_A \approx 36$ GS/s und einer Versorgungsspannung von 2,5 V. Die simulierten ENOB-Werte eines idealen D/A-Wandlers sind ebenfalls zu Vergleichszwecken in der Abbildung dargestellt.

Mit allen Architekturen kann auf Schaltungsebene eine effektive Auflösung deutlich über 6 Bit erzielt werden. Für niedrige (< 2 GHz) und hohe Signalfrequenzen (> 16 GHz) erreicht der BzTD um bis zu 0,3 Bit höhere effektive Auflösungen. Im mittleren Frequenzbereich von 2,2 GHz bis 13,7 GHz erzielt der PD teilweise um bis zu 0,7 Bit höhere Auflösungswerte als die restlichen Architekturen. Die Simulationen berücksichtigen bisher keine Fehlpassungseffekte. Daher müssen für aussagekräftigere Ergebnisse Monte Carlo Simulationen unter Berücksichtigung von Bauteilfehlpassung durchgeführt werden. Erst dann kann der Einfluss der R2R-Netzwerke beurteilt werden.

Monte Carlo Simulationen

Die Monte Carlo Simulationen werden unter Annahme von Bauteilfehlpassung bei $N=20$ Durchläufen durchgeführt. Aus den 20 Kurven lässt sich anschließend der Erwartungswert

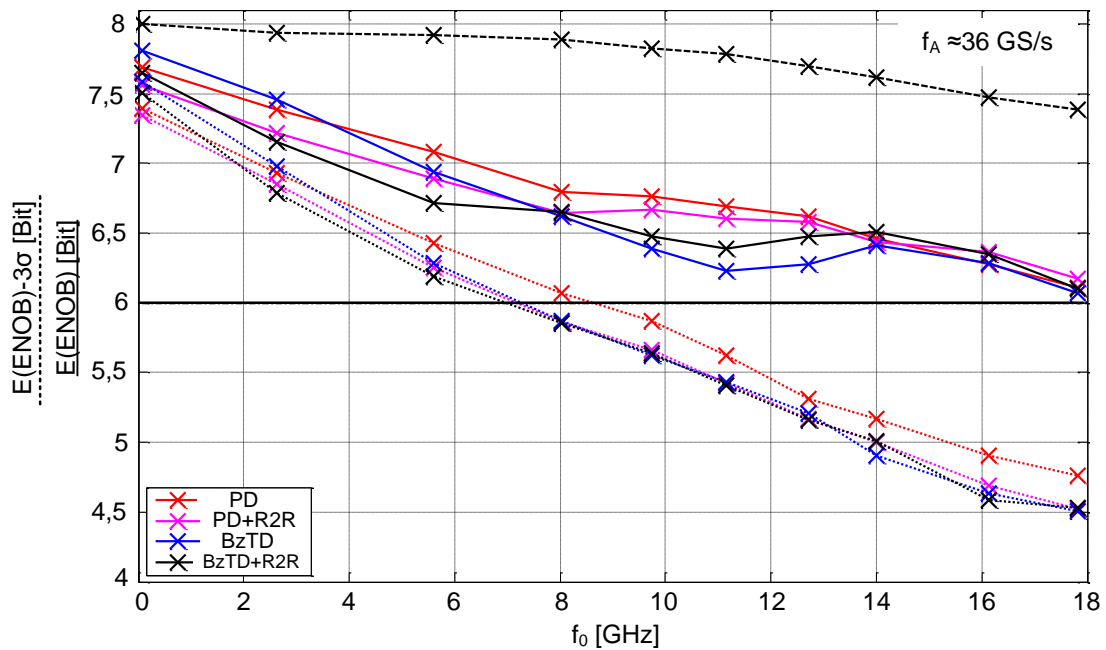


Abbildung 7.5: Erwartungswert der effektiven Auflösung mit und ohne Berücksichtigung einer 3σ -Abweichung basierend auf $N=20$ Fehlpassung-Simulationen.

der effektiven Auflösung für die verschiedenen Signalfrequenzen abschätzen. In Abbildung 7.5 sind mit durchgezogener Linie die geschätzten ENOB-Erwartungswerte für die vier Wandlerarchitekturen dargestellt. Mit allen Architekturen ist weiterhin eine effektive Auflösung ENOB größer 6 Bit zu erwarten. Die besten Ergebnisse im mittleren Frequenzbereich werden erneut mit der PD-Architektur erzielt. Durch das R2R-Netzwerk kann keine Verbesserung erzielt werden. Der BzTD liefert erneut im niedrigen Frequenzbereich die besten Ergebnisse. Der Einsatz eines R2R-Netzwerkes verbessert die effektive Auflösung ab einer Frequenz von 8 GHz geringfügig um 0,2 Bit. Im hohen Frequenzbereich ab 14 GHz besteht nur noch ein sehr geringer Unterschied zwischen den zu erwartenden effektiven Auflösungen der untersuchten Architekturen.

Weiterhin lässt sich aus den Fehlpassung-Simulationen die Standardabweichung $\sigma(\text{ENOB})$ der ENOB-Werte unter Annahme einer Normalverteilung abschätzen. Mit gepunkteter Linie sind in der Abbildung 7.5 ebenfalls die ENOB-Werte unter der Annahme einer 3σ -Abweichung dargestellt. Insbesondere die PD-Architektur liefert bei dieser Abschätzung die besten Werte. Insgesamt ist aber festzustellen, dass unter Berücksichtigung von Bauteil Fehlpassung und einer 3σ -Abweichung eine effektive Auflösung größer 6 Bit nicht mehr für alle $N=20$ Durchläufe gewährleistet ist.

Abbildung 7.6 stellt die Anzahl der Durchläufe N in Abhängigkeit des garantiert erreichbaren ENOB-Wertes dar. Die Grafik veranschaulicht, dass durch den Einsatz eines R2R-Netzwerkes die Ausbeute an Chips mit effektiven Auflösungen größer 6 Bit für beide Architekturen um $N=3$ bzw. $N=2$ erhöht werden kann. Die besten Ergebnisse erzielt dabei die PD-Architektur mit R2R-Netzwerk. Mit dieser Architektur erfüllen 14 der insgesamt 20 Durchläufe die Spezifikation.

7.4 Architekturvergleich

In Tabelle 7.3 werden die Simulationsergebnisse der Untersuchungen [114] hinsichtlich der maximal erzielbaren Abtastrate, dem Leistungsverbrauch und Chipflächenbedarf zusam-

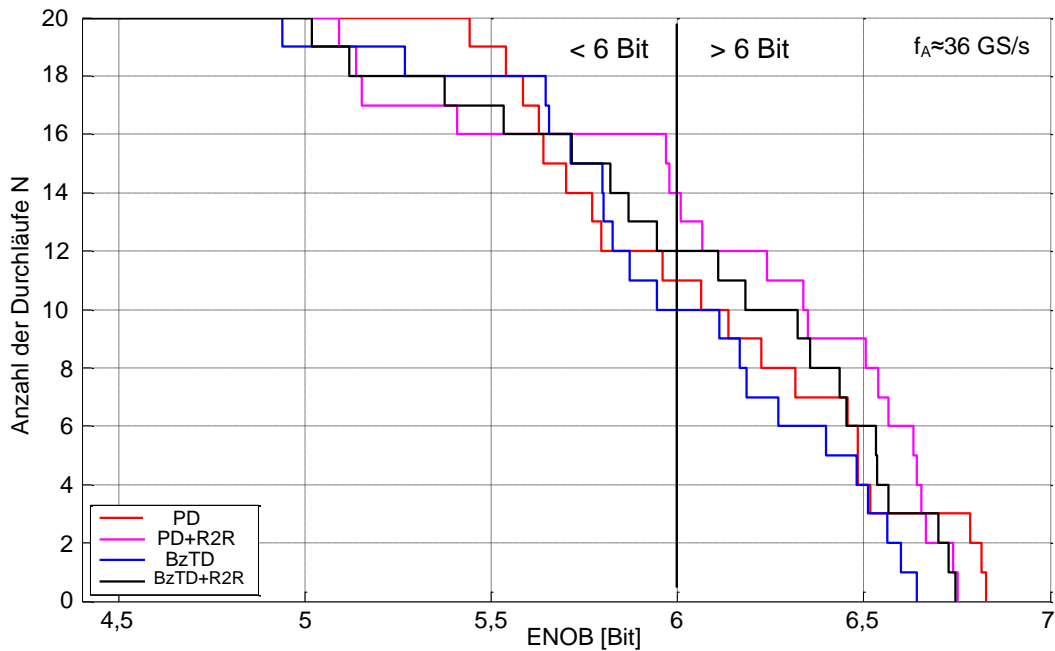


Abbildung 7.6: Anzahl N der Durchläufe in Abhängigkeit des garantierten ENOB-Wertes ($N=20$).

mengefasst. Alle Wandlerarchitekturen sind auch bei einer Verringerung der Versorgungsspannung bis zu 2 V voll funktionsfähig. Hinsichtlich der maximalen Abtastrate, dem Leistungsverbrauch und der notwendigen Chipfläche liefert die PD-Architektur ohne R2R-Netzwerk die besten Ergebnisse. Durch das R2R-Netzwerk wird insbesondere der Leistungsverbrauch erhöht.

Auf Grundlage der Ergebnisse in Tabelle 7.3 und den Fehlpassung-Simulationen ist der PD auch bei nominalen Auflösungen von 8 Bit dem BzTD vorzuziehen. Weiterhin lässt sich der PD einfach realisieren und ermöglicht ein kompaktes Layout. Aufgrund der 4:4 segmentierten Architektur ist die Passung der vier binären Quellen zueinander noch kritischer als im 4:2 segmentierten Entwurf aus Kapitel 4. Der Einsatz eines R2R-Netzwerkes verbessert geringfügig die Passung der binären Stromquellen auf Kosten eines höheren Leistungsverbrauchs und Chipflächenbedarfs. Die PD-Architektur ist daher auch bei nominalen Auflösungen von 8 Bit und dem Einsatz einer 65 nm CMOS-Technologie die optimale Wahl. Mit dieser Architektur sind alle Spezifikationen zu erfüllen.

Tabelle 7.3: Vergleich der maximalen Abtastrate, des Leistungsverbrauchs und der geschätzten Chipfläche der vier Wandlerarchitekturen.

	PD		BzTD	
	R2R nein	R2R ja	R2R nein	R2R ja
Max. Abtastrate [GS/s]	>40	>40	~40	~40
Versorgung [V]	Leistung [W]			
2,5	1,40	1,58	1,61	1,76
2,25	1,25	1,41	1,43	1,57
2	1,1	1,24	1,26	1,38
Geschätzte Fläche [mm ²]	0,11	0,15	0,13	0,15

8 Zusammenfassung und Ausblick

8.1 Zusammenfassung

Die vorliegende Arbeit präsentiert den derzeit schnellsten D/A-Wandler in einer 90 nm CMOS-Technologie mit einer maximal gemessenen Abtastrate von 28 GS/s. Damit wird gezeigt, dass es möglich ist, sehr schnelle D/A-Wandler mit moderaten nominalen Auflösungen in CMOS-Technologien zu realisieren. Es eröffnet sich eine Vielzahl von Anwendungsmöglichkeiten, beispielsweise in der optischen und ultrabreitbandigen Datenübertragung. Besonders attraktiv ist dabei die Möglichkeit der Gesamtintegration von DSPs und D/A-Wandlern auf einem CMOS-Chip. Aufgrund der entwickelten Echtzeitschnittstelle und der Auswerteeinheiten zur Datensynchronisierung kann der Wandler auch als Arbiträr-signalgenerator eingesetzt werden.

Die entwickelte D/A-Wandler Architektur ist 4:2 segmentiert und basiert auf dem Schalten von gewichteten Stromquellen. Um Abtastraten bis zu 25 GS/s in einer 90 nm CMOS-Technologie zu erreichen, werden verschiedenen Schaltungstechniken eingesetzt:

- Einsatz eines Pseudo-Dekoders,
- Induktive Spannungsüberhöhung der Takttreiber,
- Realisierung einer zweifach zeitverschachtelten Architektur,
- Stromschaltertechnik (CML).

Innerhalb des Projektes 100 GET sind zwei Wandlerentwürfe entstanden. Das Layout der Stromquellen und die Anordnung des Stromquellenfeldes sind im zweiten Entwurf optimiert, um die statischen Eigenschaften zu verbessern. Weiterhin gibt es Verbesserungen in der zeitrichtigen Verarbeitung der Daten an den Ausgangsstufen und der Spulenanordnung im Takttreiberschaltungsblock. Das Layout des Spannungsversorgungsgitters ist ebenfalls überarbeitet, um die Fehlpassung der zeitverschachtelten Wandlerkerne zu reduzieren. Die Schaltungsentwürfe sind in [57][58][59] veröffentlicht.

Untersuchungen in [60][114] zeigen, dass die realisierte Architektur auch für nominale Auflösungen von 8 Bit in einer 65 nm CMOS-Technologie geeignet ist. Der Pseudo-Dekoder ist bei Abtastraten im hohen GS/s-Bereich einem klassischen Binär-zu-Thermometer-Dekoder vorzuziehen. Der optimale Segmentierungsgrad beträgt 4:4 und geht von einer Anordnung der Stromquellen entsprechend den 100 GET D/A-Wandlern aus.

Die statischen und dynamischen Eigenschaften sind durch Messungen nachgewiesen. Ein Teil der Messungen wird direkt auf dem Siliziumschaltkreis durchgeführt, wohingegen für die SFDR-Messungen ein FPGA-gestütztes Messsystem verwendet wird. Innerhalb des Projektes sind zwei Aufbautechniken entstanden. In einem ersten Ansatz werden die Wandler direkt auf einer HF-Platine aufgebaut. Die Wandler sind dabei in ein QFN80-Gehäuse gepackt bzw. werden direkt auf die Platine gebondet. Diese Aufbauten ermöglichen Messungen mit Abtastraten von bis zu 4 GS/s. Es hat sich herausgestellt, dass ein direktes Bonden der Wandler auf die Platinen einem Aufbau im QFN80-Gehäuse vorzuziehen ist.

Der zweite Ansatz ermöglicht zukünftige Messungen mit Abtastraten bis zu 25 GS/s. Hierfür werden die D/A-Wandler zusammen mit vier Multiplexer-Chips auf ein Dünnschichtsubstrat gebondet. Dieses Substrat wird wiederum auf eine HF-Platine gebondet, die mit einer Aluminiumplatte verklebt wird. Zwischen Dünnschichtsubstrat und Aluminiumplatte befindet sich ein Peltierelement für die Chipkühlung. Die Aluminiumplatte dient dabei der Wärmeabfuhr.

Für die SFDR-Messungen muss der D/A-Wandler mit einem digitalen Sinussignal gespeist werden. Als Datenquelle dient ein Virtex4-FPGA. Das Senden der Daten erfolgt entweder über die LVDS- oder die RIO-Schnittstelle. Die LVDS-Schnittstelle ermöglicht synchrones Senden der Daten bei Datenraten bis zu 200 Mbit/s. Dagegen müssen die RIO-Sendedataen zunächst synchronisiert werden. Mit diesen FPGA-Schnittstellen sind jedoch Datenraten bis zu 6,25 Gbit/s erzielbar. Daher sind zwei VHDL-Entwürfe für die FPGA-Programmierung entstanden. Der VHDL-Entwurf für die LVDS-Schnittstelle ermöglicht SFDR-Messungen bis zu einer Abtastrate von 400 MS/s. Im zweiten VHDL-Entwurf, der auf [104] basiert, werden die RIO-Schnittstellen verwendet. Auf dem D/A-Wandler ist eine Auswerteeinheit vorgesehen, welche eine FPGA-gestützte und automatisierte Synchronisierung der Sendedaten ermöglicht. Damit sind Messungen mit Abtastraten bis zu 25 GS/s möglich. Die Aufbautechnik für Abtastraten bis zu 4 GS/s bzw. der VHDL-Entwurf für die LVDS-Schnittstelle sind in [24] und die Aufbautechnik für Abtastraten bis zu 25 GS/s sind in [24][59][108] veröffentlicht.

Die Messungen direkt auf dem Siliziumschaltkreis bestätigen die schaltungstechnischen Verbesserungen des zweiten Wandlerentwurfs. So kann der INL/DNL-Fehler von 0,52/1,02 LSB auf 0,18/0,25 LSB reduziert werden. Auch die Kanalfehlpassung wird von 0,88 LSB auf 0,26 LSB verbessert. Probleme in der zeitrichtigen Verarbeitung der Daten an den Ausgangsstufen treten nicht mehr auf. Die dynamischen Messungen zeigen, dass die geforderten Abtastraten von 25 GS/s bei gleichzeitig bitratenflexibler Arbeitsweise erreicht werden. Weiterhin ist durch „Fan-Out“ Optimierung der Leistungsverbrauch von 2,3 W auf 1,8 W reduziert. Die Messergebnisse des ersten Entwurfs sind in [58] und die des zweiten Entwurfs sind in [59] veröffentlicht. Mit Hilfe der aufgebauten Wandler und dem FPGA-Messsystem mit LVDS-Schnittstelle werden die SFDR-Messungen und Arbiträrsignalerzeugung durchgeführt. Es sind SFDR-Werte größer 40 dB über dem gesamten Nyquistband bei einer Abtastrate von 400 MS/s messbar. Das Ergebnis passt sehr gut zu den simulierten Werten und bestätigt die korrekte Funktion des Wandlers, wenn die digitalen Eingangsdaten synchron sind. Weiterhin werden mit diesem Messaufbau arbiträre Signale erzeugt, beispielsweise Sendeimpulse für die ultrabreitbandige Kommunikation bei Abtastraten bis zu 1,12 GS/s. Die SFDR-Messungen der zweiten Wandlergeneration und die Arbiträrsignalerzeugung sind in [24] veröffentlicht. Die Funktionalität der Auswerteeinheiten ist durch Messungen bei einer Abtastrate von 2 GS/s überprüft. Auch der automatisierte Synchronisierungsvorgang kann durch Messungen optimiert und erfolgreich in Betrieb genommen werden. So gelingt es, ein digitales Sinussignal synchron über die RIO-Schnittstellen an den D/A-Wandler bei einer Abtastrate von 2 GS/s zu senden. Die Zeitbereichsmessungen des analogen Sinussignals weisen jedoch darauf hin, dass eine vollständige Synchronisierung aller Sendedaten nicht erreicht ist. Auch die Qualität des generierten Taktsignals, insbesondere das Tastverhältnis, nimmt für Abtastraten im GS/s-Bereich bei einer zeitverschachtelten Architektur großen Einfluss auf die maximal erzielbaren SFDR-Werte. Daher liegen die bisher gemessenen SFDR-Werte unterhalb der Messungen basierend auf der synchronen LVDS-Schnittstelle. So sind mit dem Messsystem basierend auf der RIO-Schnittstelle nur SFDR-Werte von 36 dB für einen niederfrequenten Sinus und

26 dB für einen Sinus in der Nähe der Nyquistfrequenz bei einer Abtastrate von 2 GS/s messbar. Dennoch können bei einzelnen Messungen auch SFDR-Werte von 41,96 dB für einen langsamen Sinus bei gleicher Abtastrate nachgewiesen werden.

Die nachfolgende Tabelle fasst die in dieser Arbeit erzielten Ergebnisse zusammen:

	Einheit	100 GET Projekt Entwurf 1	100 GET Projekt Entwurf 2	OFDM Projekt (Konzeptstudie)
Eigenschaften:				
Technologie	nm	90	90	65
Nominale Auflösung	Bit	6	6	8
Kern- / Chipfläche	mm ²	0,063 / 4	0,055 / 4	0,1118 / -
Messergebnisse:				Simulationsergebnisse:
INL / DNL	LSB	0,52 / 1,02	0,18 / 0,25	-
Kanalfehlpassung	LSB	0,88	0,26	-
Abtastrate	GS/s	0...28*	0...25 ⁺	40
Ausgangsspannungshub	mV	±250...±500	±250...±500	±250...±500
Ausgangsbandbreite	GHz	≥ 14*	≥ 10 ⁺	~14 (±500 mV)
SFDR	dB	>36 (250 MS/s)	>40 (400 MS/s)	-
Leistungsverbrauch	W	2,3 (2,5 V)	1,8 (2,5 V)	1,1 (2 V)
Simulierte Werte:				
ENOB	Bit	>4,6 (25 GS/s)	>4,8 (25 GS/s)	>6 (40 GS/s)
SFDR	dB	>39 (25 GS/s)	>41 (25 GS/s)	-

*U_{Hub}=250 mV, ⁺U_{Hub}=500 mV

8.2 Ausblick

Weiterführen der vorliegenden Arbeit

In Folgearbeiten können insbesondere die Messungen an den 100 GET Wandlern fortgesetzt werden. Dabei sollte zunächst der FPGA-Entwurf für die RIO-Schnittstellen überarbeitet werden. Problematisch ist die Synchronisierung der zeitverschachtelten Kanäle zueinander, d.h die XOR-Verknüpfung zwischen der Bitposition D0 des ersten Kanals und der Bitposition D5 des zweiten Kanals. An dieser Stelle muss der VHDL-Entwurf verfeinert werden. Eine fehlerhafte Funktion der Auswerteeinheiten konnte in den Simulationen nicht festgestellt werden. Weiterhin kann die Aufbautechnik für Abtastraten bis zu 25 GS/s in Betrieb genommen werden. Auch hierfür muss zunächst der VHDL-Entwurf für die RIO-Schnittstelle auf zusätzliche vier Multiplexer-Chips angepasst und überarbeitet werden. Die Aufbautechnik hat sich bereits in [108] für einen A/D-Wandler Chip bewährt und ist funktionsfähig.

Der in Kapitel 7 entworfene 8 Bit D/A-Wandler für Abtastraten bis zu 40 GS/s wird derzeit in ein Layout umgesetzt [114]. Der D/A-Wandler soll Ende 2012 mit einem DSP als voll integrierter OFDM-Sender in einer 65 nm CMOS-Technologie prozessiert werden.

Erhöhen der Abtastrate

Die Grenzen der maximal erzielbaren Wandlerrate in einer 90 nm CMOS-Technologie sind in der vorliegenden Arbeit erreicht. Um noch höhere Abtastraten zu generieren, können die CMOS-Wandler zusammen mit sehr schnellen Multiplexern aufgebaut werden. In [116] werden das Konzept und die Multiplexer-Chips, die in einer InP-Technologie realisiert sind, vorgestellt. Dieser Aufbau kann Abtastraten bis zu 50 GS/s ermöglichen.

Anhang

Im Anhang sind die Belegung der Pads und des 24 Bit Kontrollregisters der in Kapitel 4 entwickelten D/A-Wandler dokumentiert.

A1 Datenblatt 100 GET D/A-Wandler

A1.1 24 Bit Kontrollregister

Mit Hilfe des 24 Bit Kontrollregisters entsprechend Abbildung A.1 kann die Abtastphase jeder Bitposition D_i im Schaltungsblock der Eingangssynchronisierung der zwei zeitverschachtelten Kanäle auf 0° bzw 180° gesetzt werden. Weiterhin ist die SELU durch das Register ein- bzw. auszuschalten und das Ergebnis zweier XOR-verknüpfter Bitpositionen auswählbar. Die nachfolgenden Tabellen geben die dafür notwendigen Steuersignale an. Standardmässig ist der High-Pegel mit 0 V und der Low-Pegel mit -2,5 V festgelegt. Die Pegel hängen jedoch von der gewählten Betriebsspannung U_{SS} bzw. U_{DD} ab.

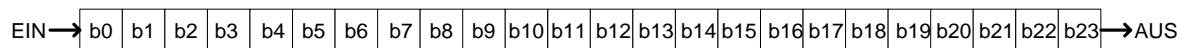


Abbildung A.1: Belegung des 24 Bit Kontrollregisters.

Phasenauswahl in der Eingangssynchronisierung

b0	Phasenauswahl D5 D/A-Wandler 1 (H=0°, L=180°)
b1	Phasenauswahl D4 D/A-Wandler 1
b2	Phasenauswahl D3 D/A-Wandler 1
b3	Phasenauswahl D2 D/A-Wandler 1
b4	Phasenauswahl D1 D/A-Wandler 1
b5	Phasenauswahl D0 D/A-Wandler 1
b12	Phasenauswahl D5 D/A-Wandler 2 (H=0°, L=180°)
b13	Phasenauswahl D4 D/A-Wandler 2
b14	Phasenauswahl D3 D/A-Wandler 2
b15	Phasenauswahl D2 D/A-Wandler 2
b16	Phasenauswahl D1 D/A-Wandler 2
b17	Phasenauswahl D0 D/A-Wandler 2

Auswerteeinheiten D/A-Wandler 1

XOR-Verknüpfung	b6	b7	b8	b23
XOR_Out=D5 ⊕ D4	H	H	H	H
XOR_Out=D4 ⊕ D3	L	H	H	H
XOR_Out=D3 ⊕ D2	H	L	H	H
XOR_Out=D2 ⊕ D1	L	L	H	H
XOR_Out=D1 ⊕ D0	X	X	L	H

Auswerteeinheit 1	b9	b10
EIN	L	L
AUS	H	H
UNGÜLTIG	L	H
UNGÜLTIG	H	L

Auswerteeinheiten D/A-Wandler 2

XOR-Verknüpfung	b18	b19	b20	b23
XOR_Out=D5 ⊕ D0 (D/A 1)	H	H	H	L
XOR_Out=D5 ⊕ D4	L	H	H	L
XOR_Out=D4 ⊕ D3	H	L	H	L
XOR_Out=D3 ⊕ D2	L	L	H	L
XOR_Out=D2 ⊕ D1	H	X	L	L
XOR_Out=D1 ⊕ D0	L	X	L	L

Auswerteeinheit 2	b21	b22
EIN	L	L
AUS	H	H
UNGÜLTIG	L	H
UNGÜLTIG	H	L

A1.2 Padbelegung

In Abbildung A.2 ist das Padlayout des 100 GET D/A-Wandlers dargestellt. Die jeweiligen Funktionen fasst die nachfolgende Tabelle zusammen:

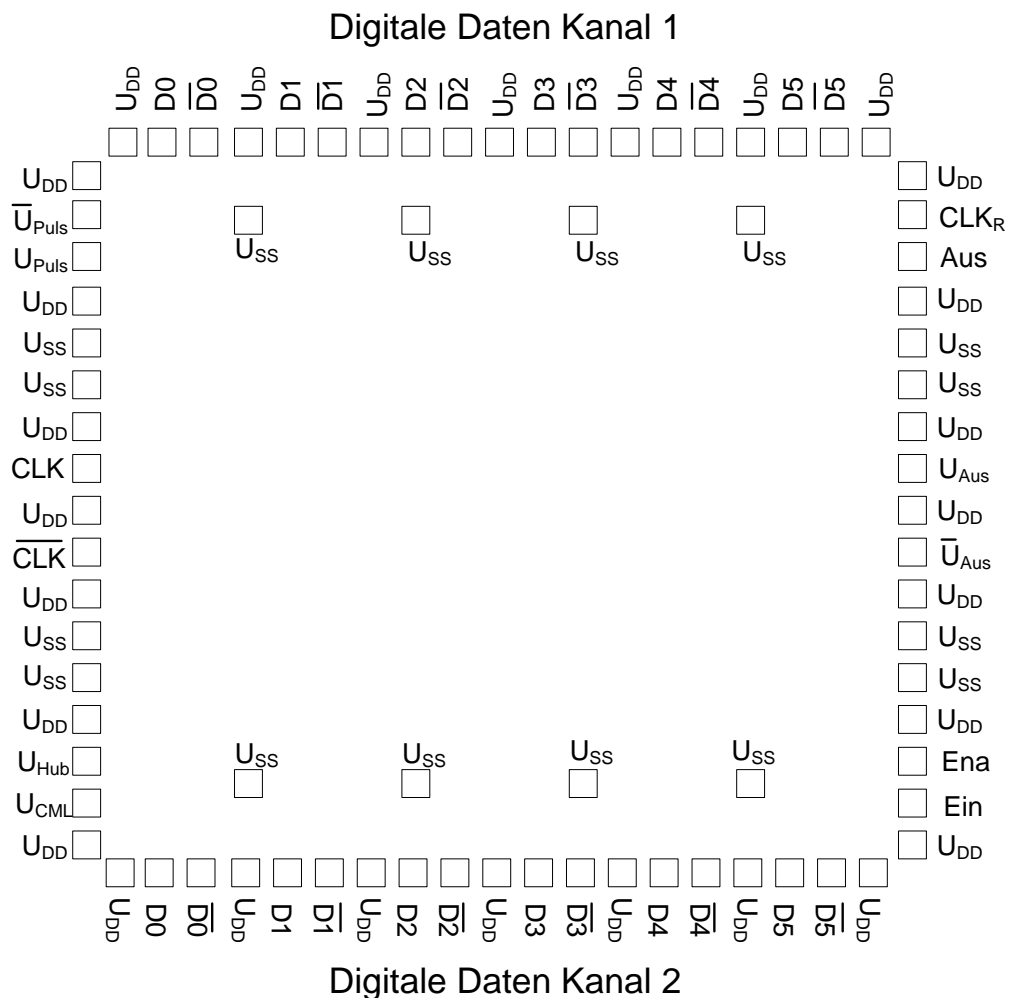


Abbildung A.2: Padlayout des 100 GET D/A-Wandlers.

Bezeichnung	Funktion
U_{SS}	Negative Spannungsversorgung: Standardmäßig $U_{SS}=-2,5$ V. Alle U_{SS} Pads sollten gleichmäßig kontaktiert sein. Die inneren U_{SS} Pads können zusätzlich kontaktiert werden.
U_{DD}	Positive Spannungsversorgung: Standardmäßig 0 V bzw. Masse. Alle U_{DD} Pads sollten gleichmäßig kontaktiert sein.
U_{Hub}	Referenzspannung zum Einstellen des Ausgangsspannungshubes des D/A-Wandlers. U_{Hub} ist zwischen 250...500 mV einstellbar. Ist das Pad nicht kontaktiert, ist U_{Hub} intern auf 500 mV (bei $U_{SS}=-2,5$ V) eingestellt → Standardeinstellung.
U_{CML}	Referenzspannung zum Einstellen des Ausgangsspannungshubes der CML-Gatter auf dem D/A-Wandler. U_{CML} ist zwischen 250...600 mV einstellbar. Ist das Pad nicht kontaktiert, ist U_{CML} intern auf 600 mV (bei $U_{SS}=-2,5$ V) eingestellt → Standardeinstellung.
U_{Aus} \overline{U}_{Aus}	Differentieller analoger Ausgang des D/A-Wandlers. Der Ausgang ist auf einen 50 Ω Abschluss angepasst. Abhängig von U_{Hub} kann der differentielle Ausgangsspannungshub bis zu ± 500 mV betragen. Standardmäßig beträgt der differentielle Ausgangsspannungshub ± 500 mV (bei $U_{SS}=-2,5$ V)
CLK \overline{CLK}	Differentieller Takteingang des D/A-Wandlers. Standardmäßig beträgt der differentielle Spannungshub des Taktsignals ± 300 mV. Kleinere differentielle Spannungshübe bis ± 150 mV sind möglich.
CLK_R	Takteingang des Kontrollregisters. Die maximale Taktfrequenz beträgt 500 MHz. Standardmäßig (bei $U_{SS}=-2,5$ V) beträgt der High-Pegel $H=0$ V und der Low-Pegel $L=-2,5$ V. Das Register übernimmt die Daten auf die positive Taktflanke. Ist das Pad nicht kontaktiert, liegt CLK_{Reg} auf logisch H → Standardeinstellung.
Ein	Dateneingang des Kontrollregisters. Standardmäßig (bei $U_{SS}=-2,5$ V) beträgt der High-Pegel $H=0$ V und der Low-Pegel $L=-2,5$ V. Ist das Pad nicht kontaktiert, liegt Ein auf logisch H → Standardeinstellung.
Ena	Enable-Signal zum Durchschalten der seriell eingetakteten Daten. Die Daten werden auf einen High-Pegel durchgeschaltet. Standardmäßig (bei $U_{SS}=-2,5$ V) beträgt der High-Pegel $H=0$ V und der Low-Pegel $L=-2,5$ V. Ist das Pad nicht kontaktiert, liegt Ena auf logisch H → Standardeinstellung.
Aus	Ausgang des Kontrollregisters zum Überprüfen der eingetakteten Bitfolge. Standardmäßig (bei $U_{SS}=-2,5$ V) beträgt der High-Pegel $H=0$ V und der Low-Pegel $L=-2,5$ V.
$D_0...D_5$ $\overline{D}_0... \overline{D}_5$	Digitale Dateneingänge des D/A-Wandlers. Die digitalen Daten an Kanal 1 und Kanal 2 müssen aufgrund der zweifachen Zeitverschachtelung zueinander um $T/2$ verschoben sein. Standardmäßig beträgt der differentielle Spannungshub ± 300 mV. Kleinere differentielle Spannungshübe bis zu ± 150 mV sind möglich.
U_{Puls} \overline{U}_{Puls}	Differentieller Ausgang der SELU. Der Ausgang ist bei eingeschalteter Auswerteeinheit aktiv (siehe A1.1). Der differentielle Ausgangsspannungshub beträgt standardmäßig ± 600 mV (bei $U_{SS}=-2,5$ V) und ist über U_{CML} einstellbar. Idealerweise wird der Ausgang mit 50 Ω abgeschlossen.

Literaturverzeichnis

- [1] T.J. Lehman, S. Vajpayee,
We've Looked at Clouds from Both Sides Now
Annual SRII Global Conference, San Jose, California, USA, März 2011,
digest (ISBN: 978-0-7695-4371-0), pp. 342-348.
- [2] P. Winterling,
100-Gigabit-Ethernet-Grundlagen, Trends und Messanforderungen
ntz Fachzeitschrift für Informations- und Kommunikationstechnik,
Heft 2/2010, Seiten 18-23 VDE Verlag, Berlin-Offenbach.
- [3] A. Alpert
Layer-1-Testanforderungen für 100-GbE-CFP-Module Teil I
ntz Fachzeitschrift für Informations- und Kommunikationstechnik,
Heft 5/2011, Seiten 30-33, VDE Verlag, Berlin-Offenbach.
- [4] S. Chandrasekhar et al.,
*Transmission of a 1.2-Tb/s 24-Carrier No-Guard-Interval Coherent OFDM
Superchannel over 7200-km of Ultra-Large-area Fiber,*
35th European Conference on Optical Communication ECOC, Vienna, Austria,
September 2009,
paper PD2.6.
- [5] Yan Tang and William Shieh,
Coherent Optical OFDM Transmission Up to 1 Tb/s per Channel
IEEE Journal of Lightwave Technology, August 15, 2009,
vol. 27, no. 16.
- [6] M. Grözing, F. Lang, T. Alpert, H. Huang, D. Ferenci, M. Berroth,
25 GS/s 6 bit CMOS DACs and ADCs for 100 Gbit/s Photonic networks,
12. ITG-Fachtagung Photonische Netze, Leipzig, Mai 2011,
ITG Fachbericht (ISBN 978-3-8007-3346-0), pp. 37-44.
- [7] *Celtic Telecommunication Solutions 100GET-ER Final Report,*
Dezember 2010,
pp. 14-15.
- [8] Bundesnetzagentur – UWB Technik
- [9] C. Zhou, N. Guo, R. C. Qiu,
*Experimental Results on Multiple-Input Single-Output (MISO) Time Reversal for UWB
Systems in an Office Environment,*
IEEE Military Communications Conference, Washington DC, USA Oktober 2006,
digest (ISBN 1-4244-0617-X)
- [10] M. Masini, T. Alpert, F. Lang, M. Grözing, M. Berroth,
*Wireless field bus communication with software defined IR-UWB in a manufacturing
environment,*
IEEE International conference on Ultra Wideband and Ultrashort Impulse signals,
Sevastopol, Ukraine, September 2010,
pp. 168-170
- [11] M. Z. Win, R. A. Scholtz,
Impulse Radio: How It Works,
IEEE Communications Letters, Februar 1998,
vol. 2, no. 2.
- [12] R. C. Qiu,
*A Theory of Time-Reversed Impulse Multiple-Input Multiple-Output (MIMO) for Ultra-
Wideband (UWB) Communications,*
IEEE International Conference on Ultra-Wideband, Boston, MA, USA, September 2006,
invited paper W4B-4 (ISBN 1-4244-0101-1), pp. 587-592.

- [13] C. Chong, F. Watanabe, H. Inamura,
Potential of UWB technology for the Next Generation Wireless Communications,
IEEE 9th International Symposium on Spread Spectrum Techniques and Applications,
Manaus, Amazon, Brazil, August 2006,
invited paper (ISBN 0-7803-9780-0).
- [14] H. T. Nguyen, J. B. Adersen, G. F. Pedersen,
The Potential Use of Time Reversal Techniques in Multiple Element Antenna Systems,
IEEE Communications Letters, Januar 2005,
vol. 9, no. 1, pp. 40-42.
- [15] N. Guo, J. Q. Zhang, P. Zhnag, Z. Hu, Y. Song, R. C. Qiu,
UWB Real-Time Testbed with Waveform-Based Precoding,
IEEE Military Communications Conference, San Diego, USA, November 2008,
digest (ISBN 978-1-4244-2676-8).
- [16] N. Guo, Y. Song, Z. Hu, P. Zhang, J. Q. Zhang, R. C. Qui,
UWB Time Reversal: From Theory to Practice,
IEEE International Conference on Ultra-Wideband, Nanjing, China, September 2010,
digest (ISBN 978-1-4244-5305-4).
- [17] Y. Song, N. Guo, Z. Hu, R. C. Qiu,
FPGA Based UWB MISO Time-Reversal System Design and Implementation,
IEEE International Conference on Ultra-Wideband, Nanjing, China, September 2010,
digest (ISBN 978-1-4244-5305-4).
- [18] M. Berroth, M. Grözing,
DFG Time Reversal Research Unit Proposal: sub-program INT: Digital TR-TX,
Institut für Elektrische und Optische Nachrichtentechnik, März 2011.
- [19] E. Chuang, S. Hensley, K. Wheeler,
A Highly Capable Arbitrary Waveform generator for Next Generation Radar Systems,
IEEE Aerospace Conference, Big Sky, Montana, USA, März 2006,
paper 1617 (ISBN 0-7803-9545-X).
- [20] Datenblatt Tektronix AWG7000 Arbitrary Waveform Generator.
- [21] Datenblatt Agilent M8190 12 GSa/s Arbitrary Waveform Generator.
- [22] D. Qiu, Q. Li, F. Zhou,
Design of Arbitrary Waveform generator Based on SDRAM,
International Conference on Electronic Measurement & Instruments, Beijing, China,
August 2009,
ISBN 978-1-4244-3863-1, pp. 1-461 to 1-464.
- [23] M. Xu, J. Hu, Y. Gao,
FPGA-based Design and Implementation of Arbitrary Waveform Generator,
International Conference on Control Automation and Systems Engineering, Singapore,
Juli 2011,
digest (ISBN 978-1-4577-0859-6).
- [24] Thomas Alpert, Marc Werz, Felix Lang, Damir Ferenci, Michelangelo Masini, Markus
Grözing, Manfred Berroth
*Arbitrary Waveform Generator Based on FPGA and High-Speed DAC with Real-Time
Interface*
8th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), 12.-15.
Juni 2012, Aachen, Germany, pp. 99-102, ISBN: 978-3-8007-3442-9.
- [25] M. B. Yeary, R. J. Fink, D. Beck, D. W. Guidry, M. Burns,
A DSP-Based Mixed-Signal Waveform Generator,
IEEE Transactions on Instrumentation and Measurement, Juni 2004,
vol. 53, no.3, pp. 665-671.

- [26] S. Halder, H. Gustat, C. Scheytt, A. Thiede,
A 20GS/s 8-Bit current Steering DAC in 0.25um SiGe BiCMOS Technology,
3rd European Microwave Integrated Circuits Conference, Amsterdam, The Netherlands,
Oktober 2008,
Proceedings (ISBN 978-2-87487-007-1), pp. 147-150.
- [27] D. Baranauskas, D. Zelenin,
A 0.36W 6b up to 20GS/s DAC for UWB Wave Formation,
IEEE International Solid-State Circuits Conference, San Francisco, USA, Februar 2006,
Digest of Technical Papers (ISBN 1-4244-0079-1), Session 31.8 pp. 580-582.
- [28] P. Schvan, D. Pollex, T. Bellingrath,
A 22GS/s 6b DAC with Integrated Digital Ramp Generator,
IEEE International Solid-State Circuits Conference, San Francisco, USA, Februar 2005,
Digest of Technical Papers (ISBN 0-7803-8904-2), Session 6.7, pp. 122-123.
- [29] S. Halder, H. Gustat,
A 30 GS/s 4-Bit Binary Weighted DAC in SiGe BiCMOS Technology,
IEEE Bipolar/BiCMOS Circuits and Technology Meeting, Boston, USA, September
2007,
digest (ISBN 978-1-4244-1019-4), pp. 46.49.
- [30] W. Cheng, W. Ali, M. Choi, K. Liu, T. Tat, D. Devendorf, L. Linder, R. Stevens,
A 3b 40GS/s ADC-DAC in 0.12um SiGe,
IEEE International Solid-State Circuits Conference, San Francisco, USA, Februar 2004,
Digest of Technical Papers (ISBN 0-7803-8267-6), Session 14.6, pp. 262-264.
- [31] Datenblatt Micram VEGA DAC I & II.
- [32] T. Sugihara et al.,
*43 Gb/s DQPSK Pre-equalization employing 6-bit, 43GS/s DAC Integrated LSI for
Cascaded ROADM Filtering*,
Conference on Optical Fiber Communication, San Diego, California, USA, März 2010,
paper PDPB6 (ISBN 978-1-55752-884-1).
- [33] Andreea Balteanu, Peter Schvan, and Sorin P. Voinigescu,
*A 6-bit Segmented RZ DAC Architecture with up to 50-GHz Sampling Clock and 4 V_{pp}
Differential Swing*
IEEE International Microwave Symposium, Montreal, Canada, Juni 2012,
Digest, ISBN 978-1-4673-1088-8.
- [34] M. Nagatani, H. Nosaka, S. Yamanaka, K. Sano, K. Murata,
*Ultrahigh-Speed Low-Power DACs Using InP HBTs for Beyond-100-Gb/s/ch Optical
Transmission Systems*,
IEEE Journal of Solid-State Circuits, Oktober 2011,
vol. 46, no.10.
- [35] T. Ellermeyer, R. Schmid, A. Bielik, J. Rupeter, M. Möller,
*DA and AD Converters in SiGe Technology: Speed and Resolution for Ultra High Data
Rate Applications*,
European Conference on Optical Communications, Torino, Italy, September 2010,
paper Th.10.A.6 (ISBN 978-1-4244-8535-2).
- [36] M. Nagatani, H. Nosaka, K. Sano, K. Murata, K. Kurishima, M. Ida,
*A 60-GS/s 6-bit DAC in 0.5-um InP HBT Technology for Optical Communications
Systems*,
Compound Semiconductor Integrated Circuit Symposium, Waikoloa Village, Hawaii,
Oktober 2011,
digest (ISBN 978-1-61284-712-2).
- [37] M. Nagatani, H. Nosaka, S. Yamanaka, K. Sano, K. Murata,
A 32-GS/s 6-bit Double-Sampling DAC in InP HBT Technology,
Compound Semiconductor Integrated Circuit Symposium, Greensboro, NC, USA,
Oktober 2009,
digest (ISBN 978-1-4244-5191-3).

- [38] T. A. Schaffer, H. P. Warren, M. J. Bustamante, K. W. Kong,
A 2 GHz 12-bit Digital-to-Analog Converter for Direct Digital Synthesis Applications,
Gallium Arsenide Integrated Circuit Symposium, Orlando, Florida, USA, November
1996,
Technical Digest (ISBN 0-7803-3504-X), pp. 61-64.
- [39] T. Veigel, F. Buchali, A. Bindel, F. Lang, T. Alpert, P. Mata, A. Botey, M. Grözing, S.
Seemann, M. Berroth,
*Entwurf eines elektronischen Entzerrers mit Maximum-Likelihood-Sequence-Estimation
für Kanäle mit 43 Gbit/s serieller Eingangsdatenrate*,
Kleinheubacher Tagung, Miltenberg, Deutschland, September 2007.
- [40] T. Veigel, M. Grözing, M. Berroth,
Design of a Viterbi Equalizer Circuit for Data Rates up to 43 Gb/s,
European Solid-State Circuits Conference, Athen, Greece, September 2009,
Poster Session.
- [41] T. Veigel, T. Hipp, M. Grözing, M. Berroth,
*Schnelle komplexe Multiplizierer zur Umsetzung der schnellen diskreten Fourier-
Transformation für OFDM-Sender mit Datenraten über 100 Gbit/s*,
Kleinhaubacher Tagung, Miltenberg, Deutschland, September 2010.
- [42] I. Dedic,
56Gs/s ADC: Enabling 100GbE,
Conference on Optical Fiber Communication, San Diego, California, USA, März 2010,
paper OThT6 (ISBN 978-1-55752-884-1).
- [43] T. E. Kazior et al.,
*High Performance Mixed Signal Circuits Enabled by the direct Monolithic
Heterogeneous Integration of InP HBT and Si CMOS on a Silicon Substrate*,
Compound Semiconductor Integrated Circuit Symposium, Waikoloa Village, Hawaii,
Oktober 2011,
digest (ISBN 978-1-4244-7438-7).
- [44] P. Dautriche,
Analog Design trends and challenges in 28 and 20nm CMOS technology,
European Solid-State Circuits Conference, Helsinki, Finnland, September 2011,
invited paper (ISBN 978-1-4577-0704-9).
- [45] H. Kohno, Y. Nakamura, A. Kondo, H. Amishiro, T. Miki, K. Okada,
A 350-MS/s 3.3-V 8-bit CMOS D/A Converter Using a Delayed Driving Scheme,
IEEE Custom Integrated Circuits Conference, Santa Clara, California, USA, Mai 1995,
digest (ISBN 0-7803-2584-2).
- [46] W. Schofield, D. Mercer, L. St. Onge,
*A 16b 400MS/s DAC with <-80dBc IMD to 300MHz and <-160dBm/Hz Noise Power
Spectral Density*,
IEEE International Solid-State Circuits Conference, San Francisco, USA, Februar 2003,
Digest of Technical Papers (ISBN 0-7803-7707-9), Session 7.1.
- [47] K. Doris, J. Briaire, D. Leenaerts, M. Vertregt, A. van Roermund,
A 12b 500MS/s DAC with <70dB SFDR up to 120MHz in 0.18um CMOS,
IEEE International Solid-State Circuits Conference, San Francisco, USA, Februar 2005,
Digest of Technical Papers (ISBN 0-7803-8904-2), Session 6.4, pp. 116-117.
- [48] A. van Bosch, M. Borremans, M. Steyaert, W. Sansen,
A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter,
IEEE Journal of Solid-State Circuits, März 2001,
vol. 36, no.3, pp. 315-324.
- [49] W. H. Tseng, C. W. Fan, J. T. Wu,
A 12b 1.25GS/s DAC in 90nm CMOS with >70dB SFDR up to 500MHz,
IEEE International Solid-State Circuits Conference, San Francisco, USA, Februar 2011,
Digest of Technical Papers (ISBN 978-1-61284-302-5), pp. 192-193, Session 10.7.

- [50] B. Schafferer, R. Adams,
A 3V CMOS 400mW 14b 1.4GS/s DAC for Multi-Carrier Applications,
IEEE International Solid-State Circuits Conference, San Francisco, USA, Februar 2004,
Digest of Technical Papers (ISBN 0-7803-8267-6), Session 20.1.
- [51] X. Wu, M. Steyart,
A 90nm CMOS 5-bit 2GS/s DAC for UWB Transceivers,
IEEE International Conference on Ultra-Wideband, Nanjing, China, September 2010,
digest (ISBN 978-1-4244-5306-1).
- [52] B. C. Kim, M. H. Cho, Y. G. Kim, J. K. Kwon,
A 1 V 6-bit 2.4 GS/s Nyquist CMOS DAC for UWB Systems,
IEEE International Microwave Symposium 2010, Anaheim, California, Mai 2010,
digest (ISBN 978-1-4244-7732), pp. 912-915.
- [53] J. J. Jung, B. Park, S. S. Choi, S. I. Lim, S. Kim,
A 6-bit 2.704Gsps DAC for DS-CDMA UWB,
IEEE Asia Pacific Conference on Circuits and Systems, Singapore, Dezember 2006,
digest (ISBN 1-4244-0387-1), pp. 347-350.
- [54] C. H. Lin, F. M. L. van der Goes, J. R. Westra, J. Mulder, Y. Lin, E. Arslan, E. Ayranci,
X. Liu, K. Bult,
A 12 bit 2.9 GS/s DAC With IM3 < -60 dBc Beyond 1 GHz in 65 nm CMOS,
IEEE Journal of Solid-State Circuits, Dezember 2009,
vol. 44, no.12, pp. 3285-3293.
- [55] X. Wu, P. Palmers, M. S. J. Steyaert,
A 130 nm CMOS 6-bit Full Nyquist 3 GS/s DAC,
IEEE Journal of Solid-State Circuits, November 2008,
vol. 43, no.11, pp. 2396-2403.
- [56] J. Savoj, A. Abbasfar, A. Amirkhany, M. Jeeradit, B. W. Garlepp,
A 12-GS/s Phase-Calibrated CMOS Digital-to-Analog Converter for Backplane Communications,
IEEE Journal of Solid-State Circuits, Mai 2008,
vol. 43, no.5, pp. 1207-1216.
- [57] T. Alpert, F. Lang, M. Grözing, M. Berroth,
25 GS/s 6-bit Pseudo Segmented Current Steering DAC in 90 nm CMOS,
European Solid-State Circuits Conference, Athens, Greece, September 2009,
Poster Session, Poster P27.
- [58] T. Alpert, F. Lang, D. Ferenci, M. Grözing, M. Berroth,
A 28GS/s 6b Pseudo Segmented Current Steering DAC in 90nm CMOS,
IEEE International Microwave Symposium, Baltimore, USA, Juni 2011,
digest (ISBN 978-1-61284-756-6), paper TU4G-3.
- [59] T. Alpert, F. Lang, M. Grözing, M. Berroth,
A 28 GS/s 6 bit CMOS DAC with Real-Time Interface,
European Solid-State Circuits Conference, Helsinki, Finnland, September 2011,
Poster Session, Poster P18.
- [60] A. Müller,
*Entwurf eines 44 GS/s 6 Bit DA-Wandlers in einer 65 nm CMOS Technologie und
Technologievergleich mit einem 90 nm DA-Wandler*,
Studienarbeit, Institut für Elektrische und Optische Nachrichtentechnik (INT),
Universität Stuttgart, Oktober 2011.
- [61] Y. M. Greshishchev et al.,
A 56GS/s 6b DAC in 65nm CMOS with 256x6b Memory,
IEEE International Solid-State Circuits Conference, San Francisco, USA, Februar 2011,
Digest of Technical Papers (ISBN 978-1-61284-302-5), pp. 194-195, Session 10.8.
- [62] Fujitsu LEIA-DK / LEIA-DK-SOCKET Factsheet 55-65 GSa/s 8 bit DAC.
- [63] Fujitsu CHAIS ADC/DAC Roadmap.

- [64] M. Grözing, W. Vogel, M. Berroth,
Vorhabensbeschreibung Schnelle A/D- und D/A-Wandler für 100 Gbit/s-Ethernet-Netze,
Institut für Elektrische und Optische Nachrichtentechnik, Juni 2007.
- [65] M. Berroth, J. Speidel
Elektronische Schlüsselbausteine für optische OFDM-Systeme hoher Bitrate
Vorhabensbeschreibung INT, INÜ, Juni 2010.
- [66] John G. Proakis, Dimitris G. Manolakis,
Digital Signal Processing – Principles, Algorithms, and Applications
Prentice-Hall International 1996, Third Edition.
- [67] E. Balestrieri,
DAC Time-Domain Specifications Toward Standardization,
IEEE Transactions on Instrumentation and Measurement, July 2008,
Vol. 57, no.7, pp. 1290-1297.
- [68] *IEEE Standard for Terminology and Test Methods of Digital-to-Analog Converter Devices*
IEEE Std. 1658, 2012.
- [69] Anne Van den Bosch, Michiel Steyaert and Willy Sansen
Static and Dynamic Performance Limitations for High Speed D/A Converters
Kluwer Academic Publishers 2004.
- [70] *IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters*,
IEEE Std. 1241, 2000.
- [71] B. Jasper,
Practical Telecom DAC Testing,
white paper,
www.testedgeinc.com
- [72] J. Pirkkalaniemi, M. Waltari,
Current Mode Deglitcher for Current-steering DACs,
European Solid-State Circuits Conference, 2002
pp. 479-482.
- [73] P. Hendriks,
Specifying Communication DACs,
IEEE Spectrum, The Practical Engineer, Juli 1997,
ISBN 0018-9235/97, pp. 58-69.
- [74] M. Grözing,
DAC Quantization Noise,
Interner Bericht, Institut für Elektrische und Optische Nachrichtentechnik, 2010.
- [75] R. Jacob Baker,
CMOS: Circuit Design, Layout, and Simulation
IEEE Press Series on Microelectronic Systems, Third Edition, Oktober 2010.
- [76] T. Miki, Y. Nakamura, M. Nakaya, S. Asai, Y. Akasaka, Y. Horiba,
An 80-MHz 8-bit CMOS D/A Converter,
IEEE Journal of Solid-State Circuits, Dezember 1986,
vol. 21, no.6, pp. 983-988.
- [77] G.I. Radulov, P.J. Quinn, P.C.W. van Beek, J.A. Hegt, A.H.M. van Roermund,
A Binary-To-Thermometer Decoder with built-in redundancy for improved DAC yield,
ISCAS 2006
Digest (ISBN 0-7803-9390-2), pp. 1414-1417.
- [78] C. Krall, C. Vogel, K. Witrisal,
Time-Interleaved Digital-to-Analog Converters for UWB Signal Generation,
IEEE International Conference on Ultra-Wideband, Singapore, November 2007,
Digest (ISBN 978-1-4244-0521-3), pp. 366-371.
- [79] M. Grözing, D. Ferenci, F. Lang, T. Alpert, J. Digel,
Schnelle A/D- und D/A-Wandler – Schlüsselbausteine für das Datenübertragungsnetz der Zukunft,
Elektrotechnisches Kolloquium, Universität Stuttgart, 26. Mai 2009.

- [80] Behzad Razavi
Design of Analog CMOS Integrated Circuits
McGRAW-HILL International Edition 2001 (ISBN 0-07-118839-8).
- [81] Manfred Berroth
Impuls- und Digitaltechnik I, Skript zur Vorlesung
Institut für Elektrische und Optische Nachrichtentechnik 2009.
- [82] Utku Seckin, Chih-Kong Ken Yang
A Comprehensive Delay Model for CMOS CML Circuits
IEEE Transactions on Circuits and Systems-I, October 2008,
Regular Papers, vol. 55, no.9.
- [83] Jason M. Musicer, Jan Rabaey,
MOS Current Mode Logic for Low Power, Low Noise CORDIC Computation in Mixed-Signal Environments
ISLPED, Rapallo, Italy, 2000.
- [84] Anantha P. Chandrakasan, Robert W. Broderson,
Minimizing Power consumption in Digital CMOS Circuits
Proceedings of the IEEE, April 1995
Vol. 83, no. 4, pp. 498-523.
- [85] Masayuki Mizuno et al.,
A GHz MOS Adaptive Pipeline Technique Using MOS Current-Mode Logic
IEEE Journal of Solid-State Circuits, Juni 1996
vol. 31, no. 6.
- [86] Markus Grözing
CML Schaltungen in CMOS
Seminar IC-Entwurf Nr.1, INT, August 2011.
- [87] Hassan Hassan, Mohab Anis, Mohamed Elmasry
MOS Current Mode Circuits: Analysis, Design, and Variability
IEEE Transactions on Very Large Scale (VLSI) Integration Systems, August 2005
vol.13, no. 8.
- [88] Payam Heydari, Ravindran Mohanavelu
Design of Ultrahigh-Speed Low-Voltage CMOS CML Buffers and Latches
IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Oktober 2004
vol.12, no.10.
- [89] M. Alioto, L. Pancioni, S. Rocchi, V. Vignoli,
Modeling and Evaluation of Positive-Feedback Source-Coupled Logic
IEEE Transactions on Circuits and Systems-I: Regular Papers, Dezember 2004
Vol. 51, no. 12.
- [90] Serban Bruma
Impact of on-chip process variations on MCML performance
IEEE International SOC Conference, Portland OR, September 2003
Digest, pp. 135-140.
- [91] Massimo Alioto and Gaetano Palumbo,
Design Strategies for Source Coupled Logic Gates
IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications,
Mai 2003
Vol. 50, no.5.
- [92] Ethan Crain, Michael Perrott
A Numerical Design Approach for High Speed, Differential, Resistor-Loaded, CMOS Amplifiers
ISCAS 2004.
- [93] Michael M. Green, Ullas Singh
Design of CMOS CML Circuits for High-Speed Broadband Communications
International Symposium on Circuits and Systems, 25.-28. Mai 2003
pp. II-204 – II-207 vol.2.

- [94] Behzad Razavi
Prospects of CMOS Technology for High-Speed Optical Communication Circuits
IEEE Journal of Solid-State Circuits, September 2002
vol. 37, no. 9.
- [95] Thomas H. Lee
The Design of CMOS Radio-Frequency Integrated Circuits
Cambridge University Press, 2nd edition.
- [96] Sunderarajan S. Mohan, Maria del Mar Hershenson, Stephen P. Boyd, Thomas H. Lee,
Bandwidth Extension in CMOS with Optimized On-Chip Inductors
IEEE Journal of Solid-State Circuits, März 2000
vol. 35, no. 3.
- [97] Markus Grözing
Peaking von Breitbandverstärkern mit Spulen und mit aktiven Schaltungen
Seminar IC-Entwurf Nr.3, INT, Oktober 2011.
- [98] C. Patrick Yue, S. Simon Wong,
Physical Modeling of Spiral Inductors on Silicon
IEEE Transactions on Electron Devices, März 2000
vol. 47, no. 3.
- [99] C. Patrick Yue, S. Simon Wong
On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF-ICs
IEEE Journal of Solid-State Circuits, Mai 1998
vol. 33, no. 5.
- [100] Nader Kalantri, Michael M. Green,
All-CMOS High-Speed CML Gates with Active Shunt-Peaking
IEEE International Symposium on Circuits and Systems, New Orleans, 2007
pp. 2554-2557.
- [101] Umut Basaran,
Entwurf von Rauscharmen Verstärkern bei 24 GHz in CMOS-Technologie
Klausurtagung INT, Lauterbad, Februar 2004
Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart.
- [102] Umut Basaran,
Modellierung von MOSFETs zum Entwurf von Rauscharmen Verstärkern
Klausurtagung INT, Löwenstein, Juli 2004
Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart.
- [103] Marc Werz,
Messtechnische Charakterisierung eines D/A-Wandlers mit Echtzeitschnittstelle und Entwurf eines Arbiträrsignalgenerators für Abstraten im GS/s Bereich
Bachelorarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2012.
- [104] Damir Ferenci, Manfred Berroth,
A 100 Gigabit Measurement System with State of the Art FPGA Technology for Characterization of High Speed ADCs and DACs
6th Conference on Ph.D. Research in Microelectronics & Electronics, Berlin, Germany, 18.-21. Juli 2010.
- [105] Sebastian Heinrich,
Redesign eines FPGA-basierten Messsystems für einen 6 Bit 25 GS/s Digital-Analog Wandler
Studienarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2010.
- [106] Hao Huang, Markus Grözing, Thomas Alpert, Manfred Berroth,
12.5 Gbit/s Configurable Threefold 2:1 MUX and 1:2 DEMUX Chips in 130 nm CMOS Technology
European Solid-State Circuits Conference Fringe (ESSCIRC Fringe), Seville, Spain, September 13-17, 2010.

- [107] Felix Lang, Thomas Alpert, Damir Ferenci, Markus Grözing, Manfred Berroth, *A 6 bit 25 GS/s Flash Interpolating ADC in 90 nm CMOS Technology* 7th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), Madonna di Campiglio, Trento, Italy, pp. 117-120.
IEEE Catalog Number: CFP11622-USB, ISBN: 978-1-4244-9136-0
doi: 10.1109/PRIME.2011.5966231.
- [108] Felix Lang, Damir Ferenci, Thomas Alpert, Thomas Kathmann, Alexander Faul, Markus Grözing, Manfred Berroth
A Real-Time Test Environment for High Speed Data Converters
8th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), 12th - 15th June 2012, Aachen, Germany, pp. 99-102, ISBN: 978-3-8007-3442-9.
- [109] Markus Grözing, Felix Lang, Thomas Alpert, Hao Huang, Damir Ferenci, Thomas Veigel, Wolfgang Vogel, Manfred Berroth,
Schnelle A/D- und D/A-Wandler für 100 Gbit/s Ethernet-Systeme
Schlussbericht für das BMBF, 03.02.12
Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart.
- [110] Markus Grözing
Schnelle A/D- und D/A-Wandler für 100 Gbit/s Ethernet-Systeme
6. Zwischenbericht für das BMBF, 01.09.10
Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart.
- [111] *Xilinx Virtex-4 FPGA User Guide*, UG070, v2.5, Juni 2008.
- [112] *IEEE Standard for Digitizing Waveform Recorders, IEEE Std.1057-2007*
IEEE Instrumentation and Measurement Society, New York, 18.April 2008.
- [113] Thomas Alpert,
Pseudo-Segmentierter 6 Bit D/A-Wandler für Abstraten bis zu 25 GS/s in 90 nm CMOS Technologie
Klausurtagung INT, Söllerhaus 29.07.-01.08.2009
Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart.
- [114] Jochen Briem,
Untersuchung von geeigneten D/A-Wandlerarchitekturen für Abstraten im hohen GS/s-Bereich und Entwurf eines 32 GS/s 8 Bit D/A-Wandlers in einer 65 nm CMOS Technologie
Diplomarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2012.
- [115] Manfred Berroth
Impuls- und Digitaltechnik II, Skript zur Vorlesung
Institut für Elektrische und Optische Nachrichtentechnik 2009.
- [116] Damir Ferenci, Markus Grözing, Manfred Berroth,
A 25 GHz Analog Multiplexer for a 50 GS/s D/A-Conversion System in InP DHBT Technology
IEEE Compound Semiconductor IC Symposium, Kona, Hawaii, USA
Technical Digest, paper D2, ISBN 978-1-61284-712-2.

Veröffentlichungsliste

- [L-1] T. Veigel, F. Buchali, A. Bindel, F. Lang, T. Alpert, P. Mata, A. Botey, M. Grözing, S. Seemann, M. Berroth,
Entwurf eines elektronischen Entzerrers mit Maximum-Likelihood-Sequence-Estimation für Kanäle mit 43 Gbit/s serieller Eingangsdatenrate
Kleinheubacher Tagung, Miltenberg, Deutschland, September 2007.
- [L-2] T. Alpert, M. Schmidt, I. Dettmann, T. Veigel, M. Grözing, M. Berroth,
Concept for a 12-bit Digital Bandpass Delta-Sigma Modulator for Power Amplifier Applications
European Solid-State Circuits Conference, Edinburgh, UK, September 2008,
Poster Session, Poster P1.
- [L-3] F. Lang, T. Alpert, D. Ferenci, M. Grözing, M. Berroth,
Design of a 25 GS/s 6-bit Flash-ADC in 90 nm CMOS technology
European Solid-State Circuits Conference, Athens, Greece, September 2009,
Poster Session.
- [L-4] T. Alpert, F. Lang, M. Grözing, M. Berroth,
25 GS/s 6-bit Pseudo Segmented Current Steering DAC in 90 nm CMOS
European Solid-State Circuits Conference, Athens, Greece, September 2009,
Poster Session, Poster P27.
- [L-5] M. Schmidt, D. Ferenci, T. Alpert, M. Grözing, M. Berroth,
Synchronization of Multi-Gigabit Transceivers with an Undersampling Test Register
22. ITG/GMM/GI Workshop "Testmethoden und Zuverlässigkeit von Schaltungen und Systemen", Paderborn, März 2010.
- [L-6] M. Masini, T. Alpert, F. Lang, M. Grözing, M. Berroth,
Wireless field bus communication with software defined IR-UWB in a manufacturing environment
IEEE International conference on Ultra Wideband and Ultrashort Impulse signals,
Sevastopol, Ukraine, September 2010,
pp. 168-170.
- [L-7] Hao Huang, Markus Grözing, Thomas Alpert, Manfred Berroth,
12.5 Gbit/s Configurable Threefold 2:1 MUX and 1:2 DEMUX Chips in 130 nm CMOS Technology
European Solid-State Circuits Conference Fringe (ESSCIRC Fringe), Seville, Spain,
September 13-17, 2010.
- [L-8] M. Grözing, F. Lang, T. Alpert, H. Huang, D. Ferenci, M. Berroth,
Entwurf von 25 GS/s 6bit D/A- und A/D-Wandlern in 90nm CMOS
EEfCOM Workshop, Ulm, Mai 2011,
B2-6.
- [L-9] M. Grözing, F. Lang, T. Alpert, H. Huang, D. Ferenci, M. Masini, M. Berroth
25 GS/s 6 bit DACs and ADCs for 100Gbit/s Photonic networks
1 st Chinese-German Young Scientist Forum on Microelectronics and Microwave Systems, Shanghai, China, September 2011.
- [L-10] M. Grözing, F. Lang, T. Alpert, H. Huang, D. Ferenci, M. Berroth,
25 GS/s 6 bit CMOS DACs and ADCs for 100 Gbit/s Photonic networks
12. ITG-Fachtagung Photonische Netze, Leipzig, Mai 2011,
ITG Fachbericht (ISBN 978-3-8007-3346-0), pp. 37-44.
- [L-11] T. Alpert, F. Lang, D. Ferenci, M. Grözing, M. Berroth,
A 28GS/s 6b Pseudo Segmented Current Steering DAC in 90nm CMOS
IEEE International Microwave Symposium, Baltimore, USA, Juni 2011,
digest (ISBN 978-1-61284-756-6), paper TU4G-3.

- [L-12] Felix Lang, Thomas Alpert, Damir Ferenci, Markus Grözing, Manfred Berroth,
A 6 bit 25 GS/s Flash Interpolating ADC in 90 nm CMOS Technology
7th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME),
Madonna di Campiglio, Trento, Italy, pp. 117-120.
IEEE Catalog Number: CFP11622-USB, ISBN: 978-1-4244-9136-0
doi: 10.1109/PRIME.2011.5966231.
- [L-13] T. Alpert, F. Lang, M. Grözing, M. Berroth,
A 28 GS/s 6 bit CMOS DAC with Real-Time Interface
European Solid-State Circuits Conference, Helsinki, Finland, September 2011,
Poster Session, Poster P18.
- [L-14] Felix Lang, Damir Ferenci, Thomas Alpert, Thomas Kathmann, Alexander Faul,
Markus Grözing, Manfred Berroth,
A Real-Time Test Environment for High Speed Data Converters
8th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME),
12.-15. Juni 2012, Aachen, Germany, pp. 99-102, ISBN: 978-3-8007-3442-9.
- [L-15] Thomas Alpert, Marc Werz, Felix Lang, Damir Ferenci, Michelangelo Masini,
Markus Grözing, Manfred Berroth,
*Arbitrary Waveform Generator Based on FPGA and High-Speed DAC with Real-Time
Interface*
8th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME),
12.-15. Juni 2012, Aachen, Germany, pp. 99-102, ISBN: 978-3-8007-3442-9.
- [L-16] M. Grözing, D. Ferenci, F. Lang, T. Alpert, H. Huang, J. Briem, T. Veigel, M. Berroth,
High-speed CMOS DACs and ADCs for Broadband Communication
IEEE International Microwave Symposium, Seattle, USA, Juni 2013,
paper WE1G-5-0920-0940.
- [L-17] T. Veigel, T. Alpert, F. Lang, M. Grözing, M. Berroth,
A Viterbi Equalizer Chip for 40 Gb/s Optical Communication Links
Proceedings of the 8th European Microwave Integrated Circuits Conference, Nürnberg,
Germany, Oktober 2013,
paper 03-4.

Danksagung

Mein erster Dank gilt Herrn Prof. Dr.-Ing. Manfred Berroth, der mir die Gelegenheit gab, die vorliegende Arbeit anzufertigen. Ihm danke ich sehr für das in mich gesetzte Vertrauen und für die zahlreichen anregenden Diskussionen während meiner Zeit als wissenschaftlicher Mitarbeiter am Institut für Elektrische und Optische Nachrichtentechnik der Universität Stuttgart. Insbesondere die schnelle Korrektur der ersten Version meiner Dissertation hat meinen weiteren beruflichen Werdegang maßgeblich gefördert.

Herrn Prof. Dr.-Ing. Joachim Burghartz danke ich sehr für die Bereitschaft, den Mitbericht übernommen zu haben.

Die Zeit am Institut hat mich nicht nur im wissenschaftlichen Bereich geprägt, sondern ich konnte auch persönlich wertvolle Erfahrungen sammeln, auf die ich in meinem weiteren Leben zurückgreifen kann. Hierfür danke ich neben Herrn Prof. Dr.-Ing. Manfred Berroth meinen ehemaligen Kollegen, die mich in jeder Phase dieser Arbeit mit kompetentem Rat unterstützt haben. Für die angenehme, kollegiale und freundschaftliche Arbeitsatmosphäre am Institut bin ich sehr dankbar.

Mein besonderer Dank gilt dabei meinen ehemaligen Institutskollegen Felix Lang und Markus Grözing für die sehr gute Zusammenarbeit während des gesamten 100 GET Projektes. Diese hervorragende wissenschaftliche Begleitung mit wertvollen Diskussionen in jeder Phase der D/A-Wandlerentwicklung hat sehr zum Gelingen der Arbeit beigetragen.

Ein herzlicher Dank gebührt auch den Studenten Andreas Müller, Marc Werz und Jochen Briem, die mich durch wertvolle Beiträge zu dieser Arbeit entlastet haben.

Meinem Vater und meinem Bruder danke ich sehr für die intensive Durchsicht der Arbeit und für die wertvollen Hinweise.

Ohne meine Eltern wäre diese Arbeit nicht entstanden. Sie unterstützten mich während meiner gesamten Ausbildung in jeder Form und zu jeder Zeit. Sie waren immer für mich da, wenn ich ihre Hilfe brauchte. Ihnen gilt mein größter Dank. Auch bei meiner Freundin Vanessa, meinem Bruder und Kathi möchte ich mich für die sehr große persönliche Unterstützung bedanken.

Reutlingen, im August 2013

Thomas Alpert

Lebenslauf

02. Mai 1981	Geboren in Tübingen
1988-1992	Grundschule, Eningen
1992-2001	Isolde-Kurz-Gymnasium, Reutlingen
Juni 2001	Abitur
2001-2002	Zivildienst, Bad Urach
2002-2004	Grundstudium der Elektrotechnik, Universität Stuttgart
2004-2008	Hauptstudium der Elektrotechnik mit dem Schwerpunkt Kommunikationstechnik und der Vertiefung Signalverarbeitung, Universität Stuttgart
Juli 2008	Abschluss des Studiums als Diplom-Ingenieur
2008-2012	Wissenschaftlicher Mitarbeiter am Institut für Elektrische und Optische Nachrichtentechnik der Universität Stuttgart
seit Dezember 2012	Mitarbeiter der Robert Bosch GmbH, Reutlingen