

Leistungseffiziente Analog-Digital-Umsetzer mit sukzessivem Approximationsregister

Von der Fakultät Informatik, Elektrotechnik und Informationstechnik
der Universität Stuttgart zur Erlangung der Würde eines
Doktor-Ingenieurs (Dr.-Ing.) genehmigte Abhandlung

Vorgelegt von
Johannes Digel
aus Esslingen am Neckar

Hauptberichter: Prof. Dr.-Ing. Manfred Berroth
Mitberichter: Prof. Dr.-Ing. Joachim Speidel

Tag der mündlichen Prüfung: 24. November 2015

Institut für Elektrische und Optische Nachrichtentechnik der Universität Stuttgart

2015

Inhaltsverzeichnis

Abkürzungen	V
Symbolverzeichnis	VIII
Abstract	XIV
1 Einleitung	1
1.1 Stand der Technik	2
1.2 Zielsetzung der Arbeit	4
2 Grundlagen	6
2.1 Analog-Digital-Umsetzung	6
2.2 Charakterisierung des statischen Verhaltens	9
2.3 Charakterisierung des dynamischen Verhaltens	10
2.4 Auswirkung von Rauschen	14
2.5 Besondere Eigenschaften zeitverschachtelter A-D-Umsetzer	15
2.6 Wahrscheinlichkeitsdichtefunktion eines sinusförmigen Signals	16
3 A-D-Umsetzer mit sukzessiver Approximation	17
3.1 Digital-Analog-Umsetzer mit geschalteten Kapazitäten	20
3.1.1 Klassischer Algorithmus	21
3.1.2 Erweiterung des klassischen Algorithmus um ein Bit	24
3.1.3 Direktes Abtasten am Ausgangsknoten des SC D-A-Umsetzers	25
3.1.4 Teilen der Kapazitäten	26
3.1.5 Segmentierung des SC D-A-Umsetzers	27
3.1.6 Energieaufwand für das Umladen der Kondensatoren	29
3.1.7 Auswirkung parasitärer Kapazität auf einen SC D-A-Umsetzer	30
3.1.8 Schaltungstechnische Realisierung des SC D-A-Umsetzers	31
3.1.9 Dimensionierung der Kondensatoren des SC D-A-Umsetzers	35
3.2 Sukzessives Approximationsregister	41
3.2.1 Sukzessives Approximationsregister für den klassischen Algorithmus	41
3.2.2 SAR für einen SC D-A-Umsetzer mit geteilten Kapazitäten	44
3.2.3 Asynchrone Ansteuerung des sukzessiven Approximationsregisters	47
3.3 Komparatoren für SAR A-D-Umsetzer	47
3.3.1 Komparatoren mit statischer Verstärkung	48
3.3.2 Regenerative Komparatoren	49
3.4 Abtasten des analogen Eingangssignals	53
3.4.1 Übertragungskennlinie der Abtastschalter	54

3.5	Bereitstellung von Referenzspannungen	67
3.5.1	Erzeugung der Referenzspannungen innerhalb der Schaltung	69
3.5.2	Auswirkung des Rauschens der Referenzspannungen	70
4	Entwürfe und Messergebnisse von A-D-Umsetzern	72
4.1	Komparatoren für SAR A-D-Umsetzer	72
4.2	A-D-Umsetzer für einen Ultrabreitbandempfänger	76
4.2.1	Entwurf des zeitverschachtelten Integrators	77
4.2.2	Entwurfsdetails des SAR A-D-Umsetzers	78
4.2.3	Messergebnisse des Integrators mit A-D-Umsetzer	79
4.3	9 bit, 34 MS/s SAR A-D-Umsetzer	85
4.3.1	Entwurfsdetails des A-D-Umsetzers	85
4.3.2	Messergebnisse	87
4.4	10 bit, 12,8 MS/s SAR A-D-Umsetzer	90
4.4.1	Entwurfsdetails des A-D-Umsetzers	90
4.4.2	Messergebnisse	91
4.4.3	Zusammenhang von statischem und dynamischem Verhalten	93
4.5	10 bit, 90 MS/s SAR A-D-Umsetzer	96
4.5.1	Entwurfsdetails des A-D-Umsetzers	97
4.5.2	Messergebnisse	100
5	Zusammenfassung	107
A	Berechnung des Energieaufwands zum Umladen des SC D-A-Umsetzers	112
A.1	SC D-A-Umsetzer für den klassischen Algorithmus	112
A.2	SC D-A-Umsetzer mit geteilten Kapazitäten	114
B	Übertragungskennlinie der Abtastschalter	116
B.1	Berechnung der Übertragungskennlinie für ein abschnittsweise konstantes Eingangssignal	116
B.2	Skript zur Berechnung der Übertragungskennlinie	117
C	Literatur	125
D	Eigene Veröffentlichungen	133
	Lebenslauf	135
	Danksagung	136

Abkürzungen

A-D	<i>A</i> nalog- <i>D</i> igital
A-SSCC	Asiatische Konferenz der integrierten Schaltungen (engl. <i>A</i> sian <i>S</i> olid- <i>S</i> tate <i>C</i> ircuits <i>C</i> onference)
A&H	<i>A</i> btast- <i>H</i> alte-Glied
ADU	<i>A</i> nalog- <i>D</i> igital- <i>U</i> msetzer
BER	Bitfehlerrate (engl. <i>B</i> it <i>E</i> rro <i>R</i> <i>R</i> ate)
CICC	Konferenz über speziell angefertigte integrierte Schaltungen (engl. <i>C</i> ustom <i>I</i> ntegrated <i>C</i> ircuits <i>C</i> onference)
CM	Gleichtaktpegel (engl. <i>C</i> ommon <i>M</i> ode voltage)
CMOS	komplementärer Metall-Oxid-Halbleiter (engl. <i>C</i> omplementary <i>M</i> etal- <i>O</i> xide- <i>S</i> emiconductor)
CR	Ladungsumverteilung (engl. <i>C</i> harge <i>R</i> edistribution)
D-A	<i>D</i> igital- <i>A</i> nalog
DAU	<i>D</i> igital- <i>A</i> nalog- <i>U</i> msetzer
DDFF	Verzögerndes Speicherglied mit zwei Verzögerungseingängen (engl. <i>D</i> ouble-input <i>D</i> elay <i>F</i> lip- <i>f</i> lop)
DFF	Verzögerndes Speicherglied (engl. <i>D</i> elay <i>F</i> lip- <i>f</i> lop)
DFT	<i>D</i> iskrete <i>F</i> ourier <i>t</i> ransformation
DGL	<i>D</i> ifferential <i>g</i> leichung
DNL	<i>D</i> ifferentielle <i>N</i> icht <i>l</i> inearität
ENOB	Effektive Auflösung in Bit (engl. <i>E</i> ffective <i>N</i> umber <i>O</i> f <i>B</i> its)
ENOB _{NF}	Effektive Auflösung in Bit für ein niederfrequentes sinusförmiges Eingangssignal
ERBW	Effektive Auflösungsbandbreite (engl. <i>E</i> ffective <i>R</i> esolution <i>B</i> and <i>w</i> idth)
F&H	<i>F</i> olge- <i>H</i> alte-Glied
FET	<i>F</i> eldeffekt <i>T</i> ransistor
FF	Speicherglied (engl. <i>F</i> lip- <i>f</i> lop)
FFT	Schneller Algorithmus für die DFT (engl. <i>F</i> ast <i>F</i> ourier <i>T</i> ransform)
FoM	Kennzahl (engl. <i>F</i> igure <i>o</i> f <i>M</i> erit)
IEEE	Berufsverband von Elektroingenieuren in den Vereinigten Staaten von Amerika (engl. <i>I</i> nstitute of <i>E</i> lectrical and <i>E</i> lectrical <i>E</i> ngineers)
INL	<i>I</i> ntegrale <i>N</i> icht <i>l</i> inearität
INT	<i>I</i> nstitut für Elektrische und Optische <i>N</i> achrichtent <i>e</i> chnik

ISCAS	Internationales Symposium über Schaltungen und Systeme (engl. <i>I</i> nternational <i>S</i> ymposium on <i>C</i> ircuits and <i>S</i> ystems)
ISSCC	Internationale Konferenz der integrierten Schaltungen (engl. <i>I</i> nternational <i>S</i> olid- <i>S</i> tate <i>C</i> ircuits <i>C</i> onference)
JSSC	Zeitschrift über integrierte Schaltungen (engl. <i>J</i> ournal on <i>S</i> olid- <i>S</i> tate <i>C</i> ircuits)
L-DAU	<i>D</i> igital- <i>A</i> nalog- <i>U</i> msetzer des segmentierten Kondensatornetzwerks für niederwertigere Bits
LP	für geringen Leistungsverbrauch optimiert (engl. <i>L</i> ow- <i>P</i> ower)
LSB	Niederwertiges Bit (engl. <i>L</i> east <i>S</i> ignificant <i>B</i> it)
M-DAU	<i>D</i> igital- <i>A</i> nalog- <i>U</i> msetzer des segmentierten Kondensatornetzwerks für höherwertige Bits
MIM	<i>M</i> etall- <i>I</i> solator- <i>M</i> etall
MOM	<i>M</i> etall- <i>O</i> xid- <i>M</i> etall
MOS	<i>M</i> etall- <i>O</i> xid- <i>S</i> ilizium
MOSFET	<i>M</i> etall- <i>O</i> xid- <i>S</i> ilizium <i>F</i> eldeffekt <i>T</i> ransistor
MSB	Höchstwertiges Bit (engl. <i>M</i> ost <i>S</i> ignificant <i>B</i> it)
MUX	<i>M</i> ultiplexer
NPN	Bipolartransistor mit der Schichtfolge <i>N-P-N</i>
NQR	Verhältnis von Rausch- und Quantisierungsrauschleistung (engl. <i>N</i> oise-to- <i>Q</i> uantization noise <i>R</i> atio)
PRBS	Pseudozufällige Bitfolge (engl. <i>P</i> seudo <i>R</i> andom <i>B</i> inary <i>S</i> equence)
RS-Speicherglied	Speicherglied mit <i>R</i> ücksetz- und <i>S</i> etz-Eingang
SAR	<i>S</i> ukzessives <i>A</i> pproximationsregister
SC	Geschalteter Kondensator (engl. <i>S</i> witched <i>C</i> apacitor)
SDR	Signal-zu-Verzerrungs-Verhältnis (engl. <i>S</i> ignal-to- <i>D</i> istortion <i>R</i> atio)
SFDR	Störungsfreier Dynamikbereich (engl. <i>S</i> purious- <i>F</i> ree <i>D</i> ynamic <i>R</i> ange)
SINAD	Signal-zu-Rausch-und-Verzerrungs-Verhältnis (engl. <i>S</i> ignal-to- <i>N</i> oise- <i>a</i> nd- <i>D</i> istortion Ratio)
SNDR	Signal-zu-Rausch-und-Verzerrungs-Verhältnis (engl. <i>S</i> ignal-to- <i>N</i> oise- <i>a</i> nd- <i>D</i> istortion <i>R</i> atio)
SNR	Signal-zu-Rausch-Verhältnis (engl. <i>S</i> ignal-to- <i>N</i> oise <i>R</i> atio)
SOI	Silizium auf Isolator (engl. <i>S</i> ilicon <i>O</i> n <i>I</i> nsulator)
SQR	Verhältnis von Signal- zu Quantisierungsrauschleistung (engl. <i>S</i> ignal-to- <i>Q</i> uantization-noise <i>R</i> atio)
THD	gesamte Störung durch Harmonische (engl. <i>T</i> otal <i>H</i> armonic <i>D</i> istortion)
VLSI	Sehr hochgradige Integration (engl. <i>V</i> ery <i>L</i> arge <i>S</i> cale <i>I</i> ntegration)

VLSI-DAT	Symposium über den Entwurf, die Automatisierung und das Testen von sehr hochgradig integrierten Schaltungen (engl. International Symposium on V ery L arge S cale I ntegration D esign, A utomation and T est)
VLSIC	Symposium der sehr hochgradig integrierten Schaltungen (engl. International Symposium on V ery L arge S cale I ntegrated C ircuits)

Symbolverzeichnis

<i>Variable</i>	<i>Einheit</i>	<i>Beschreibung</i>
ACK	–	Bestätigungssignal
C	–	Zusätzlicher Verzögerungseingang
C	F	Kapazität
C_a	F	Kapazität
C_b	F	Kapazität
C_{bridge}	F	Kapazität des Brückenkondensators
C_i	F	Kapazität mit der Gewichtung 2^i
C_{Int}	F	Kapazität des Integrierers
C_o	F	Kondensator zum Speichern der Offsetspannung
C_P	F	Pufferkondensator
$C_{p,t}$	F	Parasitäre Kapazität am Knoten U_t
C_{ref}	F	Kapazität des Referenzkondensators
$C_{\text{ref,L}}$	F	Kapazität des Referenzkondensators im niederwertigen Teil eines segmentierten Digital-Analog-Umsetzers mit geschalteten Kapazitäten
$C_{t,L}$	F	Gesamtkapazität des niederwertigen Teils eines segmentierten Digital-Analog-Umsetzers mit geschalteten Kapazitäten
C_u	F	Kapazität einer Grundzelle
clk	–	Taktsignal
clk_{\pm}	–	Differentielles Taktsignal
$comp$	–	Ausgangssignal eines Komparators
D	–	Verzögerungseingang
D_i	–	Binärwert mit der Wertigkeit 2^i
d_{X-1}	m	Abstand der Metallisierungsebenen $X - 1$ und X
$E[\cdot]$	–	Erwartungswert einer Zufallsvariablen
e_Q	V	Quantisierungsfehler
E_{sw}	J	Energie, die für die Ladungsumverteilung benötigt wird
ENA	–	Signal zur Aktivierung
EXT	–	Steuersignal
f_e	Hz	Frequenz des Eingangssignals
$f_{e,\text{HF}}$	Hz	Größte Frequenz des Eingangssignals, für die ein Analog-Digital-Umsetzer charakterisiert ist
f_{Ny}	Hz	Nyquistfrequenz

<i>Variable</i>	<i>Einheit</i>	<i>Beschreibung</i>
$f_Q(x)$	–	Wahrscheinlichkeitsdichtefunktion des Quantisierungsfehlers
f_S	S/s	Abtastrate
f_T	Hz	Transitfrequenz
$f_X(x)$	–	Wahrscheinlichkeitsdichtefunktion der Sinusfunktion
g	–	Verstärkung
g_l	–	Verstärkung des l -ten Kanals
g_o	S	Ausgangsleitwert eines Feldeffekttransistors
H	–	Haltesignal
i	–	Wertigkeit eines Binärwerts
i_a	A	Strom am Ausgang
i_C	A	Strom am Kondensator
I_C	A	Kollektorstrom
i_e	A	Strom am Eingang
I_{EF}	A	Strom des Emitterfolgers
i_{Sig}	–	Index eines Signals
i_{SS}	A	Strom
$init$	–	Signal zur Initialisierung
$init_{int}$	–	Internes Signal zur Initialisierung
$Int1/2$	–	Integratoren 1 und 2
j	–	Ordnung einer Harmonischen
k	–	Digitales Codewort
l	–	Nummer eines Pfades in einem zeitverschachtelten Analog-Digital-Umsetzer
ld	–	Logarithmus Dualis
lg	–	Logarithmus zur Basis 10
L_Q	bit	Auflösung des segmentierten Kondensatornetzwerks für die niederwertigen Binärwerte
M_X	–	Metallisierungsebene X
M_{X-1}	–	Metallisierungsebene $X - 1$
$\mathcal{N}[\cdot, \cdot]$	–	Normalverteilung
$N_{1/2}$	–	n-Kanal Feldeffekttransistor
N_{ADU}	–	Anzahl der Analog-Digital-Umsetzer
N_{DFT}	–	Länge der diskreten Fouriertransformation
n_Q	–	Anzahl der Quantisierungsintervalle eines Umsetzers
N_Q	bit	Auflösung eines Umsetzers
n_V	–	Anzahl der Quantisierungsintervalle eines Vergleichers
N_V	bit	Auflösung eines Vergleichers
o	V	Offset
o_l	V	Offset des l -ten Kanals
P	W	Leistungsaufnahme
$P_{1/2}$	–	p-Kanal Feldeffekttransistor
$P_{d,j}$	W	Leistung der j -ten Harmonischen

<i>Variable</i>	<i>Einheit</i>	<i>Beschreibung</i>
P_d	W	Gesamtleistung der Harmonischen
P_n	W	Leistung des Rauschens
P_{sig}	W	Signalleistung
Q	–	Ausgang eines CMOS-Gatters
\overline{Q}	–	Negierter Ausgang eines CMOS-Gatters
$Q_{1/2}$	–	Bipolartransistor
Q_{init}	C	Zur Initialisierung notwendige Ladungsmenge
Q_{LSB}	C	Ladungsmenge, die einem niederwertigen Binärwert entspricht
$Q_{LSB/2}$	C	Die Hälfte der Ladungsmenge, die einem niederwertigen Binärwert entspricht
Q_t	C	Auf der Haltekapazität gespeicherte Ladung
R	–	Rücksetzeingang
R	Ω	Widerstand
$R_{1/2}$	Ω	Widerstände bei der Beschaltung eines Operationsverstärkers
R_b	Ω	Widerstand eines Transferrgatters
R_e	Ω	Eingangswiderstand
R_n	Ω	Widerstand eines Transferrgatters
RST	–	Signal zum Rücksetzen
S	–	Setzeingang
s	–	Index eines Schritts innerhalb eines Zyklus
SaC	–	Bestätigungssignal, dass ein Abtastwert vollständig umgesetzt wurde
SEL	–	Auswahlsignal
$SNDR_{g,o}$	dB	Durch Verstärkungs- und Offsetfehler begrenztes Signal-zu-Rausch-und-Verzerrungs-Verhältnis
SNR_{id}	dB	Signal-zu-Rausch-Verhältnis eines idealen Analog-Digital-Umsetzers
t	s	Variable für Zeit
T	K	Absolute Temperatur
t_0	s	Zeitpunkt
T_F	s	Dauer der Folgephase
t_{HL}	s	Abfallzeit
T_{Int}	s	Dauer eines Integrationszyklus
T_P	s	Periodendauer eines Signals
T_S	s	Dauer der Abtastperiode
$T_{S,Kern}$	s	Dauer der Abtastperiode eines Analog-Digital-Umsetzers in einem Pfad eines zeitverschachtelten Analog-Digital-Umsetzers
t_{tot}	s	Totzeit
U_a	V	Ausgangsspannung
$U_{a,CM}$	V	Gleichtaktpegel der Ausgangsspannung

<i>Variable</i>	<i>Einheit</i>	<i>Beschreibung</i>
$U_{a,d}$	V	Differentielle Ausgangsspannung
$U_{a,ref}$	V	Referenzspannung a
$\hat{U}_{a,d}$	V	Amplitude der differentiellen Ausgangsspannung
U_b	V	Spannung für die kapazitive Spannungsüberhöhung
$U_{b,ref}$	V	Referenzspannung b
U_{BGP}	V	Steuerspannung, die von einer Bandabstandsreferenzschaltung erzeugt werden könnte
U_{Ca}	V	Spannung am Knoten des Kondensators C_a
U_{Cb}	V	Spannung am Knoten des Kondensators C_b
U_{CM}	V	Gleichtaktspannung
u_{DS}	V	Drain-Source-Spannung
U_e	V	Eingangsspannung
\hat{U}_e	V	Amplitude der Eingangsspannung
\hat{U}_{e0}	V	Amplitude der Ursprungspannung an der Eingangsspannungsquelle
$U_{e,CM}$	V	Gleichtaktpegel der Eingangsspannung
$U_{e,d}$	V	Differentielle Eingangsspannung
$\hat{U}_{e,d}$	V	Amplitude der differentiellen Eingangsspannung
$U_{e,h}$	V	Gehaltene Eingangsspannung
$U_{e,max}$	V	Größter erlaubter Wert der Eingangsspannung
$U_{e,min}$	V	Kleinster erlaubter Wert der Eingangsspannung
$U_{e,pp}$	V	Spitze-Spitze-Amplitude der Eingangsspannung
$U_{G,n}$	V	Gatespannung eines n-Kanal Feldeffekttransistors
$U_{G,p}$	V	Gatespannung eines p-Kanal Feldeffekttransistors
$U_{Int1/2}$	V	Ausgangsspannung des Integrators 1 oder 2
U_m	V	Mittelwert des Eingangsspannungsbereichs eines Analog-Digital-Umsetzers
U_{MUX}	V	Ausgangsspannung eines Multiplexers
U_N	V	Rauschspannung
U_Q	V	Größe eines Quantisierungsintervalls
U_r	V	Steuerspannung
U_{pp}	V	Spitze-Spitze-Amplitude
U_r	V	Steuerspannung
$U_{S1/2\pm}$	V	Differentielle Steuerspannung des Schalters $S1$ bzw. $S2$
U_t	V	Ausgangsspannung eines Digital-Analog-Umsetzers
$U_{t,L}$	V	Ausgangsspannung eines Digital-Analog-Umsetzers für niederwertige Binärwerte
U_{tn}	V	Schwellenspannung eines n-Kanal Feldeffekttransistors
$U_{tn,hvt}$	V	Größere Schwellenspannung eines n-Kanal Feldeffekttransistors
U_{tp}	V	Schwellenspannung eines p-Kanal Feldeffekttransistors
x	–	Variable

<i>Variable</i>	<i>Einheit</i>	<i>Beschreibung</i>
$Y(t)$	–	Zeit- und wertekontinuierliches Signal
$y(x)$	–	Funktion
$Y_D(t)$	–	Zeit- und wertediskretes Signal
$Y_S(t)$	–	Zeitdiskretes, wertekontinuierliches Signal

Physikalische Konstanten

$k_B = 1,38066 \cdot 10^{-23} \text{ J/K}$ Boltzmann-Konstante

$\pi = 3,1415\dots$ Kreiszahl

Griechische Buchstaben

Variable	Einheit	Beschreibung
β	A/V ²	Verstärkungsfaktor eines Feldeffekttransistors
β_n	A/V ²	Verstärkungsfaktor eines n-Kanal Feldeffekttransistors
β_p	A/V ²	Verstärkungsfaktor eines p-Kanal Feldeffekttransistors
$\delta(t)$	–	Dirac-Stoß
ΔC_ν	F	Abweichung des Kondensators C_ν
ΔC_{ref}	F	Abweichung des Kondensators C_{ref}
ΔU_ν	V	Abweichung der Spannung U_ν
ΔSDR	dB	Abweichung des Signal-zu-Verzerrungs-Verhältnisses
ΔT	s	Verzögerungszeit
$\Delta t_{0/1}$	s	Verzögerungszeiten
$\phi_{1/2}$	–	Taktsignale
μ_C	F	Erwartungswert der Kapazität
μ_{C_u}	F	Erwartungswert der Kapazität einer Grundzelle
μ_Q	LSB	Erwartungswert des Quantisierungsfehlers
ν	–	Laufvariable
σ_C	F	Standardabweichung der Kapazität
σ_{C_u}	F	Standardabweichung der Kapazität einer Grundzelle
σ_{Cmp}	V	Effektive Rauschspannung am Komparatorausgang
σ_{Code}	LSB	Standardabweichung von digitalen Codewörtern
$\sigma_{\text{DNL},k}$	LSB	Standardabweichung der differentiellen Nichtlinearität für Codewort k
σ_E	–	Effektivwert der gesamten Störung
σ_g	–	Standardabweichung der Verstärkung
σ_{INL}	LSB	Standardabweichung der integralen Nichtlinearität
σ_J	s	Effektivwert des Jitters
$\sigma_{n,C}$	V	Wurzel der mittleren quadratischen Rauschspannung am RC-Glied
σ_N	LSB	Standardabweichung des Rauschens
$\sigma_{N,\text{Ref}}$	V	Standardabweichung des Rauschens der Referenzspannung
σ_o	LSB	Standardabweichung der Offsetspannung
σ_Q	LSB	Standardabweichung des Quantisierungsfehlers
σ_{Ref}	V	Standardabweichung der Referenzspannung
τ	s	Zeitkonstante
τ_{RC}	s	Zeitkonstante eines RC-Glieds
τ_{tg}	s	Zeitkonstante eines Transferrgatters
ω	s ⁻¹	Kreisfrequenz

Abstract

In signal processing and communications, systems tend to operate with more digital and less analog components. Advantages of digital data are that their physical representation is detached from their contents. Standardized components can be applied for their processing and special components can be synthesized from a logical description. Furthermore they can be transmitted and stored without loss of signal quality. For this purpose, analog signals generated by a sensor or received by an antenna must be amplified and converted to the digital domain. Several methods are known for analog-to-digital conversion which may favor certain technologies and which are distinguished by the performance parameters that they can achieve.

One of the methods to convert an analog to a digital signal is successive approximation [1]. This method finds the digital code of an analog input voltage by a stepwise binary search. It basically enables the conversion with intermediate speed due to its successive progress. However, the conversion rate can be increased if several converters operate with time-interleaving. The successive approximation analog-to-digital converter can achieve intermediate resolutions in the range of 10 bit without the need for calibration. Each additional bit adds one step to the approximation process but all components must meet the requirements of noise, linearity and precision for the desired resolution. The successive approximation converter comprises a successive approximation register which is a purely digital component storing the output code and controlling the conversion cycle. Another component is a digital-to-analog converter which is usually realized as a passive circuit with a binary weighted capacitor array. Its only active analog device is a comparator which decides whether a bit is “0” or “1”. Due to the low number of active analog devices modern CMOS technologies are suitable for successive approximation converters and permit low power designs.

Designs of successive approximation analog-to-digital converters with conversion rates in the range from several kilosamples per second up to tens of gigasamples per second show an excellent power efficiency [2]. They are suited for a wide range of applications like biomedical surveillance, sensor systems, on-chip voltage monitoring or wireless and wired communica-

tion. Because of their compatibility with scaled CMOS technologies they can be integrated together with signal processing circuitry onto one die.

This thesis covers the design of successive approximation analog-to-digital converters with conversion rates in the range of megasamples per second. The provided components should enable the design of converters with given requirements in a common technology. It targets a state-of-the-art power efficiency without the need for complex calibration or error compensation neither on- nor off-chip. The presented designs are limited to single-core converters without time-interleaving. The converters use one comparator which generates one binary value for each comparison. Thus they determine one bit per step.

After the introduction of basic properties and parameters related to analog-to-digital converters in Chapter 2, several concepts and algorithms for successive approximation converters are given in Chapter 3. The classical algorithm [1] for the switched capacitor digital-to-analog converter is the originally proposed method for the successive approximation. Several extensions and improvements of this algorithm are provided to reduce the complexity and power consumption. Design limitations due to noise and statistical deviations of the devices used are derived from the desired signal quality of the converter.

A circuit suitable as successive approximation register is given for each switched capacitor digital-to-analog converter. In case of the classical algorithm, a special memory cell is designed enabling the synchronous operation of the switching sequence. All devices are designed with static CMOS logic, pseudo-differential signaling may be used to mitigate the distortion of the supply voltages by switching logic gates. The cycle control may be synchronous with an externally generated clock signal or asynchronous with a control signal generated on-chip.

The comparators in all proposed designs are regenerative bistable memory cells. To improve the sensibility and the isolation, they can be preceded by one or more differential amplifiers. The final comparator improves the delay time compared to the known topology by increasing the gate-source voltages of the input transistors.

The transfer characteristic of a CMOS track-and-hold circuit is investigated in detail. It uses transfer gates which are controlled by clock signals. Its nonlinearity is derived from the transistor parameters for the operation in the linear region. The dimensions of the tracking transistors are optimized for a low distortion without the need for special control circuits like a bootstrap circuit.

Analog-to-digital converters require reference voltages that define their input voltage range. The options to provide them from outside, to generate them with an integrated voltage regulator or to use the supply voltages as reference voltages are investigated and compared.

A lower limit for the size of decoupling capacitors is derived for the reference voltages not to drop by more than a half quantization interval $\frac{1}{2} U_Q$.

Physical designs and corresponding measurements of all proposed comparators and analog-to-digital converters are presented in Chapter 4. The suitability of different comparator topologies in terms of delay time, bit error rate and dead time is compared on the basis of experimental results. Those comparators are used in four of five of the presented analog-to-digital converters.

Successive approximation converter designs with resolutions of 6, 7, 9 and 10 bit and conversion rates from 12 to 90 MS/s are presented and experimentally characterized. Two 6 and 7 bit converters with 64 MS/s in a 250 nm SiGe:C BiCMOS technology are intended for the receiver path of an incoherent ultrawideband transceiver. They are preceded by a time-interleaved integrator that generates the sum of the received impulses within a certain period of time to be digitized.

The 9 and one 10 bit converter in a 130 nm and a 250 nm SiGe:C BiCMOS technology, respectively, have conversion rates of 34 and 12.8 MS/s. They can be used in sensor applications or for low bit rate wireless narrowband communications.

The final successive approximation analog-to-digital converter has a resolution of 10 bit and a conversion rate of 90 MS/s. It is fabricated in a 65 nm CMOS technology. While all previously proposed converters operate with a synchronous cycle control, this converter generates its control signal asynchronously. The power efficiency of 44.7 fJ/conversion step is comparable to other published state-of-the-art analog-to-digital converters without foreground or off-chip calibration and not requiring external reference voltages.

1 Einleitung

In der Signalverarbeitung und Kommunikationstechnik zeichnet sich ein Trend weg vom Analogen hin zum Digitalen ab. Vorteile von digitalen Daten sind, dass ihre physikalische Darstellung losgelöst davon ist, was sie physikalisch repräsentieren, dass zu ihrer Verarbeitung standardisierte Schaltungskomponenten angewendet und spezialisierte Komponenten synthetisiert werden können, sowie dass sie verlustfrei übertragen und gespeichert werden können. Dafür müssen analoge Signale, die beispielsweise von einem Sensor generiert oder von einer Antenne empfangen werden, verstärkt und anschließend in digitale Daten umgesetzt werden. Für die Analog-Digital-Umsetzung sind unterschiedliche Konzepte bekannt.

Hierzu zählt der Parallel-Analog-Digital-Umsetzer (ADU) [3], der seine analoge Eingangsspannung mit allen verfügbaren Schwellenspannungen vergleicht, um zu bestimmen, in welchem Intervall diese liegt. Da die Vergleiche parallel stattfinden, ist dieses Konzept für große Abstraten geeignet. Die Schwierigkeiten liegen in der Bereitstellung von gleichmäßig verteilten Schwellenspannungen, die die Intervalle begrenzen, und in der erforderlichen Genauigkeit der Vergleiche, die sich mit der Anzahl der Intervalle erhöht. Auch die Verteilung des analogen Eingangssignals auf alle Vergleiche stellt eine Herausforderung dar.

Ein Kaskaden-ADU ist mit mehreren Stufen aufgebaut, von denen jede wie ein Parallel-ADU mit geringer Anzahl an Spannungsintervallen – typischerweise zwei bis drei – funktioniert [4]. Eine Stufe bestimmt, in welchem Intervall sich ihre Eingangsspannung befindet und gibt diese Information an die folgende Stufe weiter, welche dieses Intervall feiner unterteilt. Währenddessen bearbeitet die vorhergehende Stufe bereits den nächsten Abtastwert, so dass die Umsetzung wie bei einem Fließband durchgeführt wird. Eine Herausforderung ist die analoge Komponente, die die einzelnen Stufen miteinander verbindet und so präzise sein muss, dass die Intervallgrenzen der aufeinanderfolgenden Stufen aufeinander liegen oder der entstehende Fehler sich korrigieren lässt.

Bei Delta-Sigma-ADU wird der Quantisierungsfehler, der zwangsweise bei der Analog-Digital-Umsetzung entsteht, zurückgekoppelt und bei der Umsetzung des nächsten Abtastwerts berücksichtigt [3]. Durch Überabtastung und Filterung lassen sich so sehr große Signal-zu-Rausch-Verhältnisse erzielen. Zudem ergeben sich durch die Rückkopplung unterschiedliche

Übertragungsfunktionen für das Signal und das Rauschen, so dass das Rauschen im genutzten Frequenzband reduziert und in anderen Frequenzbändern angehoben werden kann. Das Frequenzband mit reduziertem Rauschen ist aber schmal, so dass ein Delta-Sigma-ADU nur für schmalbandige Signale einsetzbar ist.

Ein ADU mit sukzessivem Approximationsregister (SAR) wurde erstmals 1975 vorgestellt [1]. Hier wird die Umsetzung mit einem Wägeverfahren, das einer binären Suche gleicht, sukzessive durchgeführt. Dieses Verfahren lässt sich mit nur einer aktiven analogen Komponente, dem Vergleichler, realisieren. Zur Erzeugung von binär gewichteten Schwellenspannungen für das binäre Wägeverfahren eignet sich ein passiver Digital-Analog-Umsetzer (DAU), der von einem Steuerregister, dem SAR, getrieben wird. Das SAR kann mit digitalen Komponenten, hauptsächlich Speichergliedern, ausgeführt werden. Die sukzessive Umsetzung der Abtastwerte verringert die Abtastrate im Vergleich zu einem Parallel- oder Kaskaden-ADU, es können jedoch ohne Kalibrierung oder digitale Korrektur Auflösungen im Bereich von über zehn Bit erreicht werden. Zudem profitieren die Komponenten des SAR ADU stark von der Skalierung von CMOS-Technologien. Der Vergleichler ist ein nichtlinearer Verstärker, für den sich mit kleinerer Strukturgröße die Bandbreite vergrößern lässt. Der passive DAU stützt sich auf die präzise Fertigung der Strukturen, die sich mit der Skalierung verbessert. Die digitalen Komponenten des SAR profitieren sehr von der Technologieskalierung, da sich ihr Flächenbedarf verringert, so dass Verbindungsleitungen kürzer und parasitäre Kapazitäten kleiner werden. Die maximal erreichbare Schaltgeschwindigkeit digitaler Komponenten vergrößert sich bei kleinerer Strukturgröße ebenfalls.

Von den oben erwähnten Konzepten für ADU sind Abwandlungen bekannt, die für spezielle Anforderungen oder Technologien geeignet sind. Zudem können mit einem oder mehreren der Konzepte hybride Umsetzer entworfen werden, zum Beispiel kann eine Kaskade mit einem Parallel- und einem SAR ADU aufgebaut werden [5]. Es ist möglich, eine größere Abtastrate zu erreichen, indem mehrere Exemplare eines gegebenen A-D-Umsetzers mit Zeitverschachtelung betrieben werden [6]. Bei dieser Anordnung wechseln sich die ADU bei der Analog-Digital-Umsetzung ab, so dass jedem ADU mehr Zeit zur Verfügung steht. Die vorliegende Arbeit konzentriert sich jedoch auf den Entwurf von A-D-Umsetzern mit sukzessiver Approximation ohne Zeitverschachtelung.

1.1 Stand der Technik

Das Anwendungsfeld von SAR ADU hat sich in den vergangenen Jahren stark vergrößert. Sie kommen von Sensorsystemen, die sehr geringe Leistungsaufnahme bei Abtastraten im

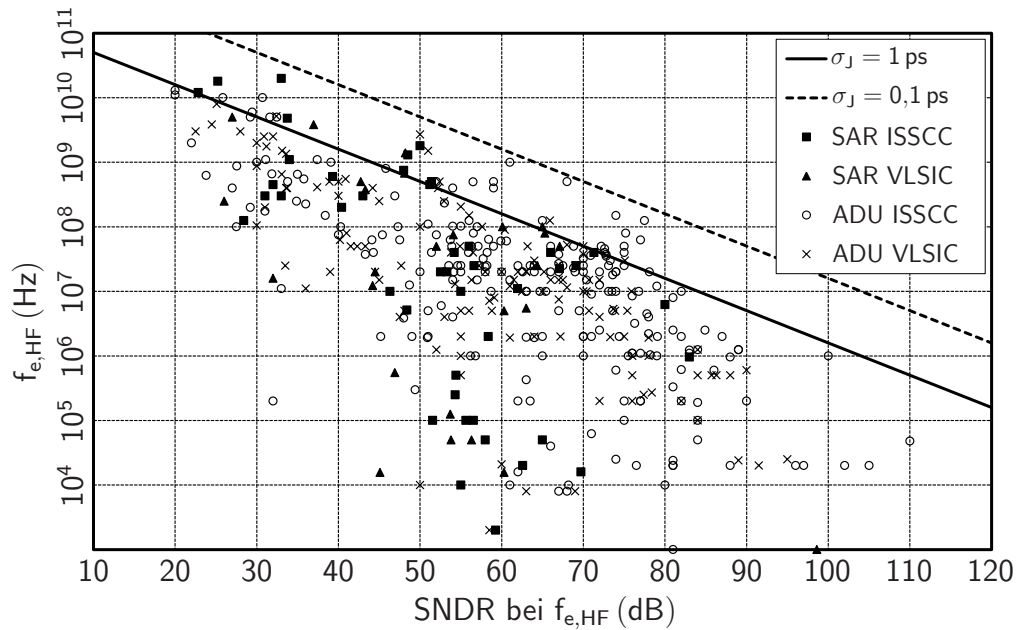


Bild 1.1: Größte Eingangssignalfrequenz über dem SNDR bei dieser Frequenz aller ADU bei der ISSCC und VLSIC zwischen 1997 und 2014 [2]

Bereich von Kilosamples pro Sekunde erfordern [7], bis zu breitbandigen Kommunikationssystemen mit Abtastraten von vielen Gigasamples pro Sekunde, die eine größere Leistungsaufnahme erlauben, zum Einsatz [6].

Diese Tatsache wird durch den Überblick aller zwischen 1997 und 2014 bei der internationalen Konferenz der integrierten Schaltungen (*engl. international solid-state circuits conference, ISSCC*) und beim Symposium der sehr hochgradig integrierten Schaltungen (*engl. Symposium on very-large-scale integrated circuits, Symposium on VLSI circuits*) veröffentlichten A-D-Umsetzer veranschaulicht [2]. Abbildungen 1.1 und 1.2 geben auf der x-Achse das Signal-zu-Rausch-und-Verzerrungs-Verhältnis (*engl. Signal-to-Noise-and-Distortion Ratio, SNDR, auch SINAD*) an. Es wird graphisch zwischen ADU mit und ohne sukzessiver Approximation unterschieden, wobei die ADU mit SAR durch ausgefüllte Quadrate und Dreiecke dargestellt sind. SAR ADU decken den Bereich von 20 bis 100 dB SNDR ab. Abbildung 1.1 zeigt, dass ein Gros der SAR ADU für maximale Signalfrequenzen zwischen 1 MHz und 1 GHz geeignet sind.

Die auf die Abtastrate normierte Leistungsaufnahme, also die benötigte Energie pro Abtastwert, ist in Abbildung 1.2 dargestellt. Es ist deutlich zu erkennen, dass sich die meisten SAR ADU im unteren Bereich zwischen 1 und 100 pJ befinden. Das legt nahe, dass das Prinzip der sukzessiven Approximation für die energieeffiziente Analog-Digital-Umsetzung geeignet ist.

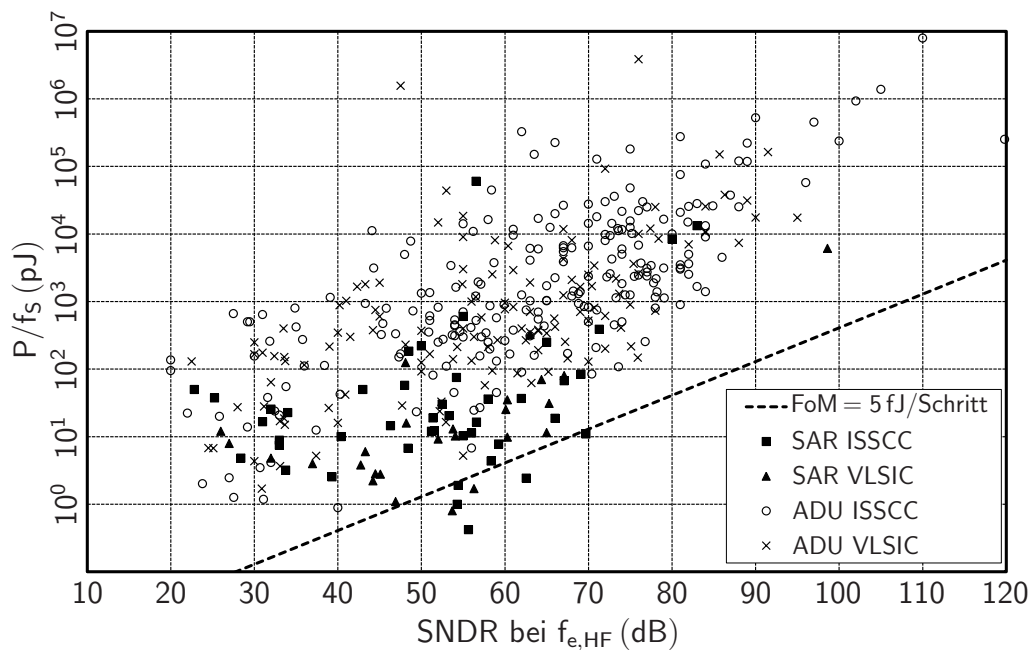


Bild 1.2: Energiebedarf pro Abtastwert über dem SNDR bei der größten Eingangssignalfrequenz aller ADU bei der ISSCC und VLSIC zwischen 1997 und 2014 [2]

1.2 Zielsetzung der Arbeit

Für SAR ADU kommen unterschiedliche Realisierungen infrage. Dies betrifft sowohl den Algorithmus, nach dem eine analoge Spannung in einen Digitalwert umgesetzt wird, als auch die Topologie der Schaltungskomponenten. Die vorliegende Arbeit stellt einige der Realisierungen vor und vergleicht diese. Die vorgestellten ADU unterscheiden sich hauptsächlich in folgenden Eigenschaften:

Algorithmus: Der Algorithmus wird im Wesentlichen vom SAR festgelegt, das die Entscheidungen des Vergleichers speichert und auf geeignete Weise an den passiven D-A-Umsetzer weitergibt.

D-A-Umsetzer: Der passive DAU kann auf unterschiedliche Weise initialisiert werden und seine Topologie muss an den vom SAR realisierten Algorithmus angepasst sein. Es werden nur DAU betrachtet, die rein passiv mit Ladungsumverteilung (*engl. Charge Redistribution, CR*) arbeiten.

Vergleicher: Als Vergleichler kommen ausschließlich regenerative Komparatoren zum Einsatz, da diese in der Regel ein Ausgangssignal mit Betriebsspannungspegeln liefern.

Bei den vorgestellten ADU kommen ausschließlich Algorithmen mit einem binär gewichteten Wägeverfahren zur Anwendung, die Vergleichler mit genau einer Schwelle benötigen. Vergleichler mit mehr als einer Schwelle können pro Schritt mehr als ein Bit bestimmen, womit

bei gegebener Anzahl an Schritten die Auflösung erhöht oder eine Korrektur vorhergehender falscher Entscheidungen durchgeführt werden kann.

SAR ADU haben wegen der sukzessiven Umsetzung der analogen Spannung in einen digitalen Wert im Vergleich zu Parallel- oder Kaskaden-ADU geringere Abtastraten. Um dennoch große Abtastraten zu erreichen, können mehrere ADU zeitverschachtelt betrieben werden. Dabei arbeiten mehrere ADU parallel, starten ihren Zyklus zur Umsetzung aber jeweils zeitversetzt. Werden die Daten an den Ausgängen aller ADU in der richtigen Reihenfolge zusammengesetzt, verhält sich das System wie ein ADU mit größerer Abtastrate. Die größten Herausforderungen liegen dabei in der Verteilung des analogen Eingangssignals und des Takts auf alle parallel betriebenen ADU und in der erforderlichen Ähnlichkeit aller Kanäle untereinander. Die vorliegende Arbeit behandelt einige Eigenschaften der Zeitverschachtelung, konzentriert sich aber auf einzelne SAR ADU und beinhaltet keinen Entwurf eines zeitverschachtelten A-D-Umsetzers.

Ziel dieser Arbeit ist es, die Grundkomponenten von SAR ADU in unterschiedlichen Ausprägungen zu entwerfen und zu vergleichen. Diese Komponenten sollen als Grundlage für zu entwerfende SAR ADU mit gegebenen Anforderungen herangezogen werden können. Der Schwerpunkt liegt auf ADU für Empfangsschaltungen in drahtloser Kommunikation mit geringer Leistungsaufnahme und Abtastraten im Bereich von Megasamples pro Sekunde. Die behandelten Schaltungskonzepte sollen es ermöglichen, einen SAR ADU, der ohne komplexe Kalibrierung auskommt, in einer gebräuchlichen Technologie zu entwerfen, dessen Leistungseffizienz dem aktuellen Stand der Technik entspricht.

Nachdem in Kapitel 2 die grundlegenden Eigenschaften von ADU eingeführt werden, geht Kapitel 3 auf die Funktionsweise von SAR ADU ein. Neben verschiedenen Möglichkeiten, wie die Komponenten aufgebaut werden können, werden auch Vorschriften für die Dimensionierung von Bauelementen hergeleitet. Kapitel 4 stellt die im Rahmen dieser Arbeit entworfenen SAR ADU mit Schaltungs- und Maskenentwurf sowie Messergebnissen vor. Eine Zusammenfassung der Arbeit und eine Einordnung in den Stand der Technik werden in Kapitel 5 gegeben.

2 Grundlagen

Dieses Kapitel führt in die Grundlagen der Analog-Digital-Umsetzung ein. Es stellt systemtheoretische Betrachtungen an, mit denen der Prozess der Umsetzung bewertet werden kann. Mit diesen Informationen führt es die wichtigsten Kenngrößen eines A-D-Umsetzers ein, zeigt deren Definitionen und gibt Möglichkeiten an, sie in Simulationen und Messungen zu bestimmen. Des Weiteren wird erklärt, welche Rauschquellen bei A-D-Umsetzern beachtet werden müssen und wie sich das Rauschen auf die zuvor eingeführten Kennzahlen auswirkt [3].

2.1 Analog-Digital-Umsetzung

Das Ziel der Analog-Digital-Umsetzung besteht darin, eine analoge Eingangsgröße, beispielsweise eine elektrische Spannung, in eine digitale Repräsentation, also eine Folge von Zahlen, umzusetzen. Die analoge Eingangsgröße zeichnet sich dadurch aus, dass sie erstens zeitkontinuierlich ist, also zu jedem beliebigen Zeitpunkt einen Wert besitzt, und dass sie zweitens wertekontinuierlich ist, also dass sie jeden beliebigen Wert annehmen kann. Die digitale Repräsentation wird in der Regel als Folge von Binärzahlen mit einer konstanten Anzahl an Ziffern, der Auflösung, dargestellt, wobei zwischen zwei benachbarten Elementen der Folge eine konstante Zeitdauer, die Abtastperiode, liegt. Zum einen ist diese digitale Repräsentation nicht zeitkontinuierlich, da zwischen zwei Elementen der Folge keine Information über das Signal enthalten ist. Zum anderen steht nur eine endliche Menge an Zahlen zur Verfügung, so dass die digitale Repräsentation nicht wertekontinuierlich ist. Somit handelt es sich bei der digitalen Repräsentation einer analogen Größe um eine zeit- und wertediskrete Darstellung.

Eine Übertragungskennlinie eines idealen A-D-Umsetzers mit der Auflösung 3 bit ist in Abbildung 2.1 dargestellt. Der Eingangsspannungsbereich wird durch zwei Spannungen $U_{e,\max}$ und $U_{e,\min}$ festgelegt. An der Kennlinie kann abgelesen werden, welches Codewort k für welchen Bereich der Eingangsspannung U_e ausgegeben wird. Die Größe eines Spannungsbereichs,

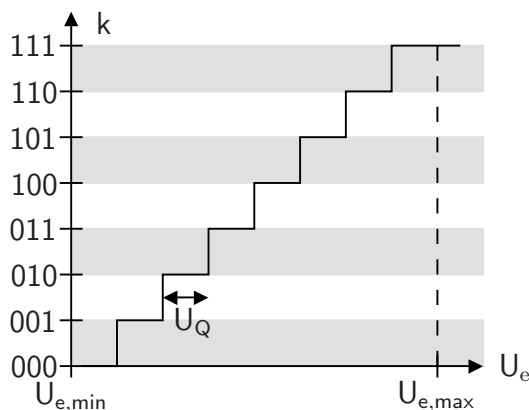


Bild 2.1: Übertragungskennlinie eines idealen Analog-Digital-Umsetzers mit der Auflösung 3 bit

innerhalb dessen das gleiche Codewort ausgegeben wird, heißt Quantisierungsintervall U_Q . Bei der gezeigten Übertragungskennlinie wird jeweils dasjenige Codewort ausgegeben, das die untere Grenze des entsprechenden Quantisierungsintervalls repräsentiert, die Eingangsspannung wird gleichsam abgerundet. A-D-Umsetzer können im Allgemeinen auch derart arbeiten, dass das am nächsten liegende Codewort (mathematisches Runden), oder dass das Codewort, das die obere Grenze des Quantisierungsintervalls repräsentiert, ausgegeben wird. Dem nun folgenden Modell ist ein A-D-Umsetzer mit der Übertragungskennlinie in Abbildung 2.1 zugrunde gelegt, der seine Eingangsspannung abrundet.

Zur Umsetzung eines analogen Signals in seine digitale Darstellung sind eine Abtastung und eine Quantisierung notwendig [4]. Die Reihenfolge dieser beiden Schritte spielt hierbei keine Rolle, im Modell in Abbildung 2.2 wird die Abtastung jedoch vor der Quantisierung durchgeführt. Im ersten Schritt wird das analoge Signal $Y(t)$ zu regelmäßigen Zeitpunkten abgetastet, der momentane Wert des Signals wird also bis zum Ende der Abtastperiode mit der Dauer T_S festgehalten. Nun ist das Signal $Y_S(t)$ zeitdiskret und hat eine treppenförmige Gestalt, wobei die Treppenstufen noch immer jeden beliebigen Wert annehmen können. Der zweite Schritt besteht in der Quantisierung der Treppenstufen. Durch die Wahl der Auflösung und des erlaubten Eingangswertebereichs ist festgelegt, welche analogen Eingangswerte durch die Zahlen der digitalen Folge repräsentiert werden. Die Treppenstufen werden jeweils zum nächstkleineren durch eine der Zahlen repräsentierten Wert abgerundet. Nun wird jeder Treppenstufe die entsprechende Zahl zugeordnet und die Analog-Digital-Umsetzung ist beendet. Das digitale Signal wird mit $Y_D(t)$ bezeichnet.

Sowohl durch das Abtasten als auch durch die Quantisierung kann Information verloren gehen. Das Abtasten eines Signals im Zeitbereich lässt sich systemtheoretisch durch die

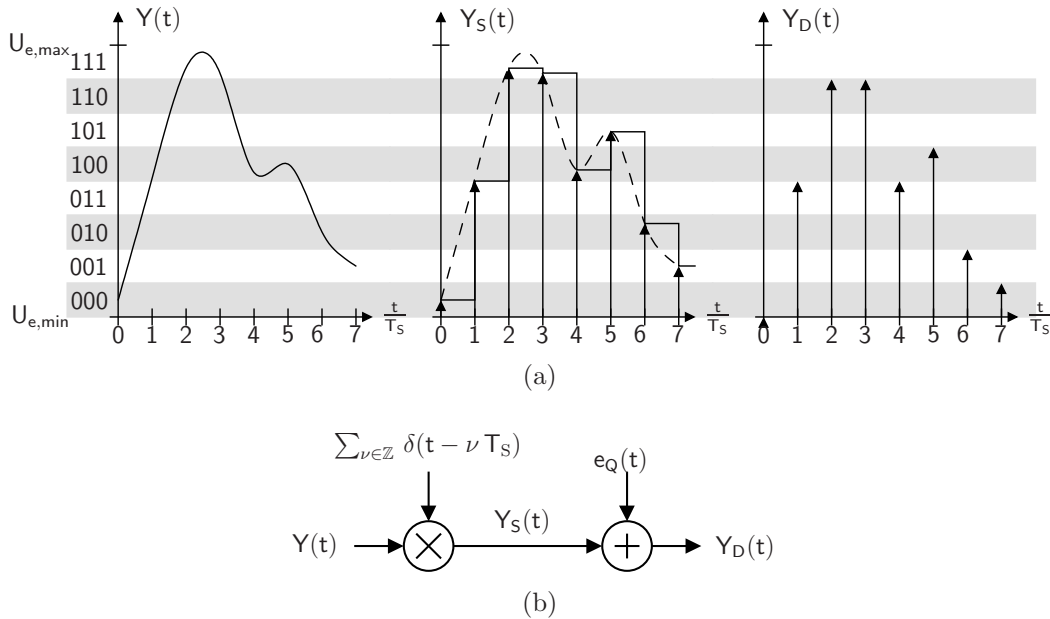


Bild 2.2: (a) Analog-Digital-Umsetzung eines Signals und (b) Modellierung der Analog-Digital-Umsetzung

Multiplikation mit einer unendlichen Folge von Dirac-Stößen $\sum_{\nu \in \mathbb{Z}} \delta(t - \nu T_s)$ beschreiben. Im Frequenzbereich entspricht das einer Faltung mit einer unendlichen Folge von Dirac-Stößen. Haben zwei benachbarte Dirac-Stöße im Zeitbereich den Abstand T_s , so haben sie im Frequenzbereich den Abstand $f_s = T_s^{-1}$. Diese Operation bewirkt eine periodische Wiederholung eines Frequenzbereichs der Breite f_s . Ist das Spektrum des Signals außerhalb des Frequenzbands $[-f_s/2, f_s/2]$ nicht Null, so geht durch das Abtasten Information verloren. Weil das Eingangssignal $Y(t)$ reell ist, ergibt sich innerhalb dieses Bands für das Spektrum des Signals $Y_S(t)$ eine weitere Redundanz, so dass alle Komponenten zwischen $-f_s/2$ und 0 Hz eindeutig durch die Komponenten zwischen 0 Hz und $f_s/2$ bestimmt sind.

Die Quantisierung lässt sich durch ein Fehlersignal $e_Q(t)$, den Quantisierungsfehler, modellieren, das zum abgetasteten Signal $Y_S(t)$ addiert wird. Die Größe dieses Fehlersignals ist durch die Größe des Quantisierungsintervalls U_Q beschränkt und liegt zwischen $-U_Q$ und 0. Die Größe eines Quantisierungsintervalls ist durch den Quotienten der Größe des erlaubten Eingangsspannungsbereichs $U_{e,max} - U_{e,min}$ und der Anzahl an Quantisierungsintervallen 2^{N_Q} gegeben

$$U_Q = \frac{U_{e,max} - U_{e,min}}{2^{N_Q}} \quad (2.1)$$

und entspricht der Wertigkeit eines niederwertigen Binärwerts 1 LSB (*engl. Least Significant Bit*). Für das Eingangssignal treten alle Werte mit gleicher Wahrscheinlichkeit auf, so

dass sich der Quantisierungsfehler als gleichverteilte Zufallsvariable modellieren lässt und die Wahrscheinlichkeitsdichtefunktion $f_Q(x) = \frac{1}{U_Q}$ für $-U_Q < x \leq 0$ und sonst $f_Q(x) = 0$ besitzt. Damit lässt sich der Quantisierungsfehler als Rauschen darstellen. Die Leistung dieses Quantisierungsrauschens ist durch das zweite zentrale Moment, seine Varianz

$$\sigma_Q^2 = \int_{-U_Q}^0 (x - \mu_Q)^2 f_Q(x) dx = \frac{U_Q^2}{12}, \quad (2.2)$$

gegeben, $\mu_Q = -\frac{1}{2}U_Q$ ist der Erwartungswert des Quantisierungsrauschens [3]. Die Varianz begrenzt das maximal erreichbare Signal-zu-Rausch-Verhältnis des digitalen Ausgangssignals $Y_D(t)$ der Analog-Digital-Umsetzung.

Bei realen Schaltungen zur Analog-Digital-Umsetzung treten neben den genannten systemtheoretischen Eigenschaften weitere Effekte auf, die auf das Verhalten nichtidealer Komponenten und auf zusätzliche Störgrößen zurückzuführen sind. Das Verhalten eines A-D-Umsetzers unter dem Einfluss aller Effekte wird durch statische und dynamische Parameter beschrieben, die in den folgenden Abschnitten eingeführt werden.

2.2 Charakterisierung des statischen Verhaltens

Die statische Nichtlinearität eines A-D-Umsetzers wird durch seine integrale Nichtlinearität (INL) und seine differentielle Nichtlinearität (DNL) angegeben [8]. Als INL des Codeworts k wird die Differenz derjenigen Spannung, bei der sich das Codewort von k nach $k+1$ ändert, und der Spannung, wo dieser Übergang idealerweise liegen müsste, bezeichnet. Die DNL des Codeworts k ist durch die Abweichung des Spannungsbereichs, für den Codewort k ausgegeben wird, von der Größe eines Quantisierungsintervalls U_Q gegeben. INL und DNL werden meist in der Einheit LSB angegeben. Zur Bestimmung der INL und DNL dürfen die Größe des Quantisierungsintervalls und die Position des Übergangs von Codewort $0 \dots 00$ zu $0 \dots 01$ so gewählt werden, dass sich die kleinstmöglichen Werte ergeben. In Abbildung 2.3 sind die ideale und eine mögliche reale Übertragungskennlinie eines A-D-Umsetzers zu sehen. Die Werte für INL und DNL sind für einige Codewörter beispielhaft eingetragen. Bei bekannter DNL lässt sich die INL durch das Aufsummieren der DNL-Werte bestimmen:

$$INL_k = \sum_{\nu=1}^k DNL_{\nu} \quad (2.3)$$

Bei der Simulation und Messung von A-D-Umsetzern lässt sich diese Definition oft nicht

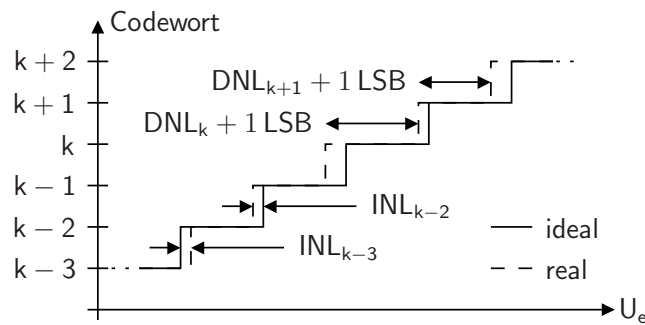


Bild 2.3: Definition von integraler und differentieller Nichtlinearität

anwenden. Die Übergänge zwischen benachbarten Codewörtern sind durch Rauschen und im Fall von zeitverschachtelten Umsetzern durch unterschiedliche Übertragungskennlinien der Kanäle im Allgemeinen nicht eindeutig definiert. Ist die Übertragungskennlinie nicht monoton, sinkt also das Codewort bei vergrößerter Eingangsspannung, ist die oben angegebene Definition überhaupt nicht anwendbar [8]. Daher wird vom Berufsverband von Elektrotechnikern in den vereinigten Staaten von Amerika IEEE (*engl. Institute of Electrical and Electronical Engineers*) eine Methode vorgeschlagen, die für die praktische Messung von INL und DNL besser geeignet ist. Dazu wird zuerst die Übertragungskennlinie des A-D-Umsetzers bestimmt, indem für konstante, gleichmäßig über den Spannungsbereich des A-D-Umsetzers verteilte Eingangsspannungen eine Folge von Codes aufgenommen wird. Von jeder dieser Folgen werden der statistische Erwartungswert und die Standardabweichung geschätzt. Die zu den Eingangsspannungen gehörenden Erwartungswerte stellen die Übertragungskennlinie des A-D-Umsetzers dar, während die Standardabweichungen Auskunft über die im Ausgangssignal vorhandene Rauschleistung geben.

Aus der Übertragungskennlinie kann die INL bestimmt werden, indem eine Regressionsgerade durch die Erwartungswerte gelegt wird, die der Übertragungskennlinie eines idealen A-D-Umsetzers mit unendlich großer Auflösung entspricht. Die Differenz dieser Regressionsgeraden und der Übertragungskennlinie ergibt die INL.

2.3 Charakterisierung des dynamischen Verhaltens

Bei der Analog-Digital-Umsetzung spielt der betrachtete Frequenzbereich eine wichtige Rolle. Um Informationsverlust durch die Abtastung zu vermeiden, erscheinen im Ausgangsspektrum eines A-D-Umsetzers Komponenten innerhalb des Bands von 0 Hz bis zur Hälfte der Abtastrate $\frac{1}{2} f_S$ [4]. Dieses Frequenzband wird auch erstes Nyquistband genannt, seine obere

Grenzfrequenz ist die Nyquistfrequenz $f_{Ny} = \frac{1}{2} f_s$. Das zweite Nyquistband beginnt bei f_{Ny} , das dritte bei $2 f_{Ny}$ und so weiter. Alle Nyquistbänder haben eine Bandbreite von f_{Ny} .

Ist vorher bekannt, in welchem Nyquistband sich das analoge Eingangssignal befindet, kann das Spektrum des digitalen Ausgangssignals eines ADU ins entsprechende Band transferiert werden. Befindet es sich in einem Nyquistband ungerader Ordnung, muss es um ein ganzzahliges Vielfaches von $2 f_{Ny}$ nach oben geschoben werden. Bei einem Nyquistband gerader Ordnung muss das Spektrum an der vertikalen Achse gespiegelt und anschließend um ein ganzzahliges Vielfaches von $2 f_{Ny}$ nach oben geschoben werden.

Neben statischer Nichtlinearität kommt es bei A-D-Umsetzern zu dynamischen Effekten, die die Qualität des Ausgangssignals beeinflussen. Hierzu zählen Zufallsprozesse wie Rauschen, insbesondere Quantisierungsrauschen, und deterministische Störungen wie Verzerrungen. Diese Effekte werden in den Kenngrößen Signal-zu-Rausch-Verhältnis (*engl. Signal-to-Noise Ratio, SNR*), Signal-zu-Verzerrungs-Verhältnis (*engl. Signal-to-Distortion Ratio, SDR*), Signal-zu-Rausch-und-Verzerrungs-Verhältnis (*engl. Signal-to-Noise-and-Distortion Ratio, SNDR, auch SINAD*) effektive Auflösung (*engl. Effective Number Of Bits, ENOB*), störungsfreier Dynamikbereich (*engl. Spurious-Free Dynamic Range, SFDR*) und Gesamtverzerrung durch Harmonische (*engl. Total Harmonic Distortion, THD*) berücksichtigt [3].

Die Parameter SNR, SDR, SNDR, SFDR, THD oder ENOB können in Abhängigkeit von der Frequenz des Eingangssignals bestimmt werden. Dazu muss am Eingang des A-D-Umsetzers eine sinusförmige Spannung der Frequenz f_e angelegt werden, während dieser mit der Abtastrate f_s betrieben wird. Das Spektrum des digitalen Ausgangssignals setzt sich aus unterschiedlichen Komponenten zusammen. Es enthält Leistung P_{sig} bei der Signalfrequenz, die von der Amplitude des digitalen Sinussignals bestimmt wird. Die Verzerrung durch Nichtlinearität führt zur Leistung $P_{d,j}$ bei der j -ten Harmonischen der Signalfrequenz, gegebenenfalls ins erste Nyquistband heruntergefaltet. Die gesamte durch Nichtlinearität verursachte Leistung ist $P_d = \sum_{j>1} P_{d,j}$. Zudem verursacht Rauschen die Leistung P_n , die über das gesamte Frequenzband verteilt ist. Insbesondere das Quantisierungsrauschen wird als weiß angenommen, so dass sich seine Leistung gleichmäßig bis zur Nyquistfrequenz verteilt. Die Leistung bei der Frequenz 0 Hz wird nicht berücksichtigt, weil sie ausschließlich von der Darstellung der Daten abhängt. A-D-Umsetzer werden meist differentiell aufgebaut, so dass sich Störer gerader Ordnung wegheben und keine geraden Harmonischen auftreten.

Das Signal-zu-Rausch-Verhältnis wird meist in Dezibel angegeben und ist durch den Quotienten

$$SNR = 10 \lg \frac{P_{sig}}{P_n} \quad (2.4)$$

von Signalleistung und Rauschleistung definiert. Analog dazu ist das Signal-zu-Verzerrungs-Verhältnis als Verhältnis der Signalleistung zur gesamten Leistung der Harmonischen mit

$$SDR = 10 \lg \frac{P_{\text{sig}}}{P_{\text{d}}} \quad (2.5)$$

definiert. Das Signal-zu-Rausch-und-Verzerrungs-Verhältnis ist durch den Quotienten der Signalleistung und der Summe der von Rauschen und von Harmonischen verursachten Leistung

$$SNDR = 10 \lg \frac{P_{\text{sig}}}{P_{\text{n}} + P_{\text{d}}} \quad (2.6)$$

gegeben. Der störungsfreie Dynamikbereich ist durch die Differenz

$$SFDR = 10 \lg \frac{P_{\text{sig}}}{1 \text{ mW}} - 10 \lg \left\{ \frac{\max_j P_{\text{d},j}}{1 \text{ mW}} \right\} \quad (2.7)$$

der Signalleistung und des größten Störers innerhalb des betrachteten Frequenzbands in Dezibel gegeben. Die von allen Harmonischen verursachte Störung normiert auf die Signalleistung beträgt

$$THD = 10 \lg \frac{P_{\text{d}}}{P_{\text{sig}}}. \quad (2.8)$$

Während große Werte von SFDR und SNDR von Vorteil sind, muss der in der Regel negative Parameter THD möglichst klein sein. Beim Entwurf von A-D-Umsetzern wird großer Wert auf die Linearität gelegt, so dass die Leistung der fünften und aller höheren Harmonischen oft schon unterhalb der mittleren Rauschleistung liegt. Da bei differentiellen Schaltungen keine geraden Harmonischen auftreten, erscheint hier die dritte Harmonische als einziger und größter Störer im Spektrum des Ausgangssignals. Dann gilt $SFDR \approx -THD$. Daher werden bei A-D-Umsetzern meist nur die Parameter SFDR, SNDR und ENOB angegeben.

Um diese Parameter zu bestimmen, wird das digitale Ausgangssignal durch eine diskrete Fouriertransformation (DFT) mit N_{DFT} Punkten in den Frequenzbereich transformiert. Hierbei wird implizit angenommen, dass sich dieser Ausschnitt des Datensignals bis ins Unendliche periodisch wiederholt. Dadurch erhält man das diskrete Spektrum des Ausgangssignals, das Komponenten bei den Frequenzen 0 Hz , $\frac{f_{\text{S}}}{N_{\text{DFT}}}$, $\frac{2f_{\text{S}}}{N_{\text{DFT}}}$, \dots , $\frac{(N_{\text{DFT}}-1)f_{\text{S}}}{N_{\text{DFT}}}$ enthält. Die Beträge dieser komplexwertigen Komponenten sind proportional zur Signalamplitude bei der entsprechenden Frequenz und sind symmetrisch zur Komponente bei $f_{\text{Ny}} = \frac{f_{\text{S}}}{2}$. Daher genügt es, den Frequenzbereich von $\frac{f_{\text{S}}}{N_{\text{DFT}}}$ bis f_{Ny} zu betrachten und die Komponenten unterhalb f_{Ny} mit Zwei zu multiplizieren.

Bei der Wahl der Frequenz f_e des Eingangssignals bei gegebener Abtastrate f_S muss darauf geachtet werden, dass die Dauer $\frac{N_{\text{DFT}}}{f_S}$ der ausgewerteten Daten unter Vernachlässigung von Rauschen die kleinste Periode der Datenfolge ist. Sind die Daten nicht mit dieser Dauer periodisch, ist f_e nicht im transformierten Spektrum enthalten und die Signalenergie „verschmiert“ über mehrere Komponenten, der Leck-Effekt tritt auf. Gibt es eine kleinere Periode im Datensignal, entspricht die Transformation einer DFT mit kleinerer Länge und bestimmte Spektralanteile sind exakt Null. Diese Anforderungen führen zur Bedingung

$$f_e = \frac{i_{\text{sig}}}{N_{\text{DFT}}} f_S, \quad (2.9)$$

wobei der Signalindex i_{sig} mit der Länge der DFT N_{DFT} teilerfremd sein muss. In der Praxis wird die DFT meist durch den schnellen Algorithmus FFT (*engl. Fast Fourier Transform*) durchgeführt, der für N_{DFT} nur Zweierpotenzen zulässt. Dann muss i_{sig} ungerade sein.

Das SNR eines idealen A-D-Umsetzers mit sinusförmigem Eingangssignal kann durch den Quotienten von maximal verfügbarer Signalleistung $\frac{\hat{U}_{e0}^2}{8}$ und Quantisierungsrauschleistung $\sigma_Q^2 = \frac{U_Q^2}{12}$

$$SNR_{\text{id}} = 10 \lg \left\{ \frac{\frac{\hat{U}_{e0}^2}{8}}{\frac{U_Q^2}{12}} \right\} = 10 \lg \left\{ \frac{3 \hat{U}_{e0}^2}{2 U_Q^2} \right\} \quad (2.10)$$

angegeben werden. Die zur Bestimmung von σ_Q^2 vorausgesetzte Gleichverteilung des Quantisierungsfehlers trifft für ein sinusförmiges Eingangssignal zwar nicht zu, für die in dieser Arbeit betrachteten Auflösungen von $N_Q \geq 6$ bit hat dieses Modell aber eine hinreichende Genauigkeit. Die Amplitude der Urspannung $\hat{U}_{e0} = 2^{N_Q} U_Q$ im Modell einer Spannungsquelle mit Innenwiderstand ist so gewählt, dass die Klemmenspannung $\hat{U}_e \sin(\omega t)$ bei Leistungsanpassung alle Quantisierungsintervalle überstreicht. Damit ergibt sich das SNR des idealen A-D-Umsetzers mit sinusförmiger Anregung zu [3]

$$SNR_{\text{id}} = (6,02 N_Q + 1,76) \text{ dB}. \quad (2.11)$$

Bei einem realen A-D-Umsetzer tritt durch Rauschen und Verzerrungen zusätzliche Leistung abseits der Signalfrequenz auf. Wurde das SNDR bestimmt, kann seine effektive Auflösung

$$ENOB = \frac{SNDR - 1,76 \text{ dB}}{6,02 \text{ dB}} \quad (2.12)$$

durch das Umstellen der Gleichung (2.11) nach der Auflösung angegeben werden.

Die Simulation und Messung von A-D-Umsetzern ist auch mit Eingangssignalen möglich, die oberhalb des ersten Nyquistbands liegen. Mit steigender Frequenz nimmt die Störleistung im digitalen Ausgangssignal im Allgemeinen zu, dadurch nimmt die effektive Auflösung ab. Diejenige Frequenz des Eingangssignals, bei der die effektive Auflösung im Vergleich zu sehr niederfrequenten Eingangssignalen um $\frac{1}{2}$ bit oder das SNDR um 3 dB abgenommen hat, wird als effektive Auflösungsbandbreite (*engl. effective resolution bandwidth, ERBW*) bezeichnet [3].

Zum Vergleich von A-D-Umsetzern wird oft eine Kennzahl (*engl. Figure of Merit, FoM*) herangezogen [9]. Diese Kennzahl berechnet sich zu

$$FoM = \frac{P}{2^{\text{ENOB}_{\text{NF}}} f_S} \quad (2.13)$$

aus der Leistungsaufnahme P des A-D-Umsetzers, aus dessen effektiver Auflösung ENOB_{NF} für niederfrequente Eingangssignale und aus der Abtastrate f_S . Die Kennzahl basiert auf der Annahme, dass sich zur Erhöhung der effektiven Auflösung um 1 bit oder zur Erhöhung der Abtastrate um den Faktor 2 die Leistungsaufnahme verdoppelt. Je kleiner die Kennzahl für einen A-D-Umsetzer, desto besser ist seine Leistungseffizienz zu bewerten.

2.4 Auswirkung von Rauschen

Im digitalen Ausgangssignal eines Analog-Digital-Umsetzers ist neben der Leistung des Signals auch Rauschleistung vorhanden. Beim idealen ADU wird das Rauschen ausschließlich durch die Quantisierung verursacht, deren Rauschleistung in Gleichung (2.2) gegeben ist [3].

Das Signal-zu-Rausch-Verhältnis eines idealen A-D-Umsetzers ist in Gleichung (2.11) gegeben. Sind bei einem ADU weitere Rauschquellen vorhanden, die im Ausgangssignal eine Rauschleistung von σ_N^2 verursachen, verringern sich dadurch sein SNR und seine effektive Auflösung ENOB. Sind diese Rauschquellen nicht mit dem Quantisierungsrauschen korreliert, ist das Verhältnis von Signal- zu Rauschleistung durch

$$SNR = 10 \lg \frac{\frac{\hat{U}_{e0}^2}{8}}{\sigma_Q^2 + \sigma_N^2} = 10 \lg \left(\frac{\frac{\hat{U}_{e0}^2}{8}}{\sigma_Q^2} \frac{\sigma_Q^2}{\sigma_Q^2 + \sigma_N^2} \right) = SNR_{\text{id}} - 10 \lg \frac{\sigma_Q^2 + \sigma_N^2}{\sigma_Q^2} \quad (2.14)$$

gegeben. Das Verhältnis von Signal- zu Quantisierungsrauschleistung wird also durch das Verhältnis von gesamter Rauschleistung und Quantisierungsrauschleistung NQR (*engl. Noise-*

to-Quantization-noise Ratio)

$$NQR = 10 \lg \frac{\sigma_Q^2 + \sigma_N^2}{\sigma_Q^2} \quad (2.15)$$

verringert. Nach Gleichung (2.12) ist die effektive Auflösung nun

$$ENOB = \frac{SNR_{id} - NQR - 1,76 \text{ dB}}{6,02 \text{ dB}} = N_Q - \frac{NQR}{6,02 \text{ dB}} \quad (2.16)$$

Hiermit lässt sich angeben, um wieviel die effektive Auflösung eines A-D-Umsetzers durch zusätzliche Rauschleistung in dessen Ausgangssignal abnimmt.

2.5 Besondere Eigenschaften zeitverschachtelter A-D-Umsetzer

Zur Steigerung der Abtastrate von A-D-Umsetzern kann Zeitverschachtelung angewendet werden. Hier werden mindestens zwei identische A-D-Umsetzerkerne in der Weise parallel betrieben, dass sie die Analogspannung der Reihe nach in zeitlich konstanten Abständen T_S abtasten und in Digitalwerte umsetzen. Bei der Verwendung von N_{ADU} parallelen Kernen mit der Abtastrate $T_{S, \text{Kern}}^{-1}$ kann die Abtastrate des zeitverschachtelten A-D-Umsetzers bis zu $T_S^{-1} = N_{ADU} T_{S, \text{Kern}}^{-1}$ betragen. Insbesondere bei SAR A-D-Umsetzern ist die Zeitverschachtelung interessant, weil diese durch ihre serielle Arbeitsweise im Vergleich zur in der verwendeten Technologie maximal möglichen Taktrate nur eine geringe Abtastrate ermöglichen. Zudem ist die Folgephase, während der die Eingangskapazität des SAR ADU am Eingang wirksam ist, relativ kurz. Überschneiden sich die Folgephasen aller zeitverschachtelten SAR ADU nicht, verringert sich auch die Bandbreite des Eingangskreises nicht wesentlich im Vergleich zum einzelnen SAR ADU [4].

Individuelle Schwankungen der Parameter jedes Kerns der einzelnen Umsetzer wirken sich auf die statischen und dynamischen Eigenschaften des zeitverschachtelten A-D-Umsetzers aus [10]. In der Literatur sind Formeln dafür angegeben, welche Störleistung sich durch Offset- und Verstärkungsfehler sowie die Abweichung von Abtastzeitpunkten im Spektrum des Ausgangssignals ergeben. Aus der Berechnung des SNDR in Abhängigkeit von Parametern, die aus dem Spektrum eines zeitverschachtelten A-D-Umsetzers mit Offset- und Verstärkungsfehlern bestimmt werden [10], lässt sich der Zusammenhang der Standardabweichungen von Offsetspannung und Verstärkungsfehler mit dem maximal erreichbaren Signal-zu-Rausch- und-Verzerrungs-Verhältnis ableiten. Unter den Annahmen, dass die Signalamplitude der

sinusförmigen Eingangsspannung $\hat{U}_e = 2^{N_Q-1} U_Q$ so gewählt ist, dass sie alle Quantisierungsintervalle überstreicht, und dass die Verstärkung $g_l \sim \mathcal{N}(g, \sigma_g^2)$ sowie die Offsetspannung $o_l \sim \mathcal{N}(0, \sigma_o^2)$ des l -ten Umsetzers normalverteilt sind, gilt für das nur von Offset- und Verstärkungsfehlern beeinflusste $\text{SNDR}_{g,o}$

$$\text{SNDR}_{g,o} = -10 \lg \left(\frac{\sigma_g^2}{g^2} + \frac{\sigma_o^2}{0,5 \hat{U}_e^2 g^2} \right) = -10 \lg \left(\frac{\sigma_g^2}{g^2} + 2^{3-2N_Q} \frac{\sigma_o^2}{U_Q^2 g^2} \right). \quad (2.17)$$

2.6 Wahrscheinlichkeitsdichtefunktion eines sinusförmigen Signals

Zur Charakterisierung der Eigenschaften von A-D-Umsetzern wird oftmals ein sinusförmiges Signal an deren Eingang gelegt. Dadurch ergibt sich für jedes Codewort eine gewisse Auftretswahrscheinlichkeit, die von der statistischen Verteilung des Eingangssignals abhängig ist. Die Wahrscheinlichkeitsdichtefunktion (*engl. probability density function, pdf*) von $x(t) = \sin(t)$ ist für $x \in (-1, 1)$ durch

$$f_X(x) = \frac{1}{\pi \sqrt{1-x^2}} \quad (2.18)$$

gegeben, andernfalls ist $f_X(x) = 0$. Dieser Zusammenhang kann aus der pdf der Arkussinus-Verteilung [11] abgeleitet werden, die um $\frac{1}{2}$ nach links verschoben, in horizontaler Richtung um 2 gestreckt und in vertikaler Richtung um 2 gestaucht wird. Soll bei einer Messung mit sinusförmigem Eingangssignal der Einfluss einer Störung, deren Leistung vom Codewort des A-D-Umsetzers abhängt, auf das Ausgangssignal abgeschätzt werden, kann die Störung mit der Wahrscheinlichkeitsdichtefunktion in Gleichung (2.18) gewichtet werden. Die Integration der gewichteten Störung über den Wertebereich des A-D-Umsetzers ergibt die gesamte im Ausgangssignal zu erwartende Störleistung.

3 A-D-Umsetzer mit sukzessiver Approximation

Der Analog-Digital-Umsetzer mit sukzessiver Approximation hat seinen Namen von der Methode, die er zur Analog-Digital-Umsetzung anwendet. Diese gleicht einem Wägeverfahren und findet sukzessive, also Schritt für Schritt, statt. Innerhalb jedes Schritts wird der analoge Eingangsspannungsbereich in eine obere und eine untere Hälfte geteilt. Dann wird entschieden, in welcher der Hälften sich die aktuelle Eingangsspannung befindet. Schließlich wird diese Hälfte als neuer analoger Eingangsspannungsbereich für den darauffolgenden Schritt definiert.

Der zeitliche Ablauf des Wägeverfahrens eines A-D-Umsetzers mit sukzessivem Approximationsregister (SAR ADU) mit der Auflösung 3 bit ist in Abbildung 3.1 dargestellt. Der Eingangsspannungsbereich wird durch $U_{a,ref}$ und $U_{b,ref}$ festgelegt. Zu Beginn ist bereits ein Abtastwert der Eingangsspannung U_e gespeichert, die Schwelle U_{th} liegt bei U_m in der Mitte des Eingangsspannungsbereichs und teilt diesen in zwei gleiche Hälften. Im ersten Schritt wird festgestellt, dass die Eingangsspannung in der oberen Hälfte liegt, worauf die Schwellenspannung bei $t = 0,25 T_S$ so nach oben verschoben wird, dass sie die obere Hälfte des Eingangsspannungsbereichs teilt. Nun liegt die Eingangsspannung unterhalb der Schwellenspannung, so dass diese verkleinert wird. Im dritten Schritt ist die Eingangsspannung größer als die Schwellenspannung und es ergibt sich das Ausgangscodewort „101“. Bevor der nächste Zyklus starten kann, wird ein neuer Abtastwert gespeichert.

Bei diesem Verfahren wird im ersten Schritt das höchstwertige Bit (*engl. Most Significant Bit, MSB*), in jedem folgenden Schritt ein weiteres Bit nächstkleinerer Wertigkeit bestimmt. Im Allgemeinen kann der analoge Eingangsspannungsbereich während eines Schritts in mehr als zwei Bereiche aufgeteilt werden. Dies hängt von der Auflösung des Quantisierers ab.

Der schaltungstechnische Aufbau eines SAR ADU ist in Abbildung 3.2 dargestellt. Er besteht aus einem Abtast-Halte- (A&H) oder Folge-Halte-Glied (F&H), einem Subtrahierer, einem Vergleicher oder Quantisierer, einem Digital-Analog-Umsetzer (DAU) und dem sukzessiven

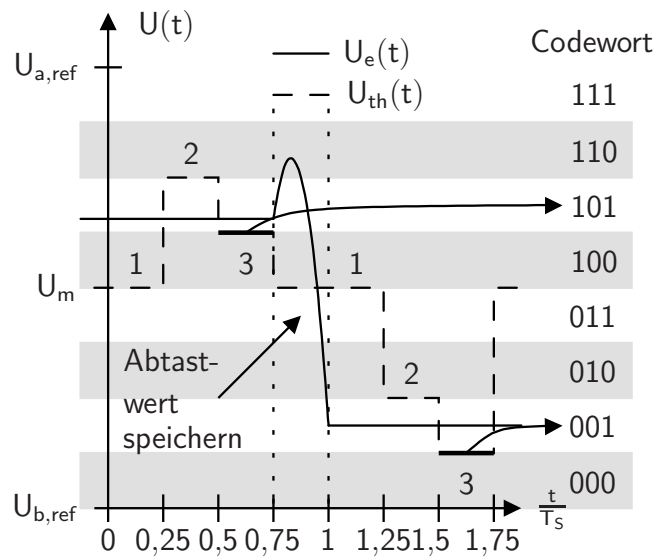


Bild 3.1: Beispielhafter Verlauf der Entscheidungsschwelle U_{th} abhängig von der Eingangsspannung U_e bei der sukzessiven Approximation

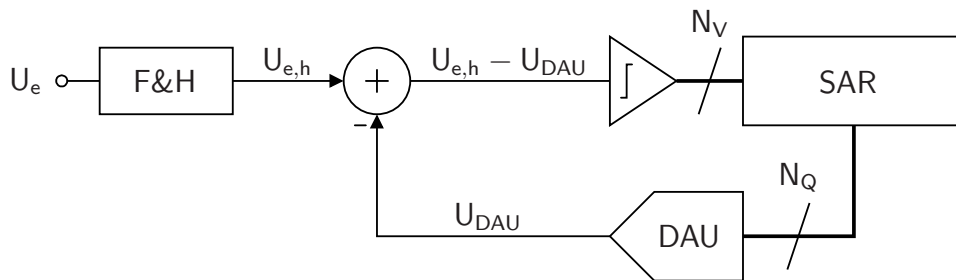


Bild 3.2: Blockschaltbild eines SAR A-D-Umsetzers

Approximationsregister (SAR), das die Ausgangssignale des Quantisierers speichert und den DAU ansteuert.

Die analoge Eingangsspannung U_e wird vom Folge-Halte-Glied abgetastet und als $U_{e,h}$ so lange am Eingang des Subtrahierers gehalten, bis das digitale Ausgangscodewort vollständig bestimmt wurde. Der Vergleicherteil teilt seinen analogen Eingangsspannungsbereich in n_V Intervalle, er hat also eine Auflösung von $N_V = \text{ld}(n_V)$ bit. Der digitale Ausgang des Vergleicherteils wird seiner Wertigkeit entsprechend im sukzessiven Approximationsregister gespeichert. In jedem Schritt wird der bisher gespeicherte Wert vom DAU in eine analoge Spannung U_{DAU} umgesetzt, die von der gehaltenen Eingangsspannung abgezogen wird, so dass $U_{e,h} - U_{DAU}$ am Eingang des Vergleicherteils liegt. Dabei ist darauf zu achten, dass die Lage der Entscheidungsschwellen des Vergleicherteils angepasst wird. Die Schwellen müssen von Schritt zu Schritt um den Faktor $2^{N_V} = n_V$ näher zusammenrücken. Das kann dadurch realisiert werden, dass die Differenzspannung vor der Quantisierung mit dem Faktor $2^{N_V} = n_V$ mul-

tipliziert wird. Im Falle einer Quantisierung mit 1 bit kann auf diese Anpassung verzichtet werden, weil es nur eine Entscheiderschwelle gibt.

Der Vorgang, während dessen die Umsetzung einer Analogspannung in einen Digitalwert stattfindet, benötigt also mehrere zeitlich aufeinander folgende *Schritte*. Die Schaltvorgänge während eines Schritts hängen im Allgemeinen vom Ergebnis des vorhergehenden Schritts ab. Die Auflösung des ADU und der implementierte Algorithmus bestimmen die Anzahl der benötigten Schritte. Die Abfolge aller Schritte, die zur Erzeugung eines Digitalwerts nötig sind, wird (*Umsetzungs-*)*Zyklus* genannt.

Diese Arbeit betrachtet SAR A-D-Umsetzer, die einen Quantisierer mit der Auflösung 1 bit haben. Diese Art von SAR ADU verwendet ein Wägeverfahren mit binär abgestufter Gewichtung, um die digitale Repräsentation einer analogen Eingangsspannung zu bestimmen. In jedem Schritt wird ein Bit des digitalen Ausgangsworts eines Abtastwerts bestimmt, beginnend mit dem höchstwertigen Bit MSB. Diese Architektur bietet den Vorteil, dass die Lage der Entscheiderschwelle des Quantisierers nicht angepasst werden muss, weil nur eine Schwelle existiert. Als Quantisierer mit einer Schwelle kommt ein Komparator zum Einsatz.

Für den SAR ADU wird ein Digital-Analog-Umsetzer benötigt, der nach der Bestimmung eines Bits den im SAR gespeicherten Digitalwert in eine analoge Spannung umsetzt, um sie von der gehaltenen Eingangsspannung abzuziehen. Dieser DAU wird durch ein passives Netzwerk aus binär gewichteten Kapazitäten realisiert. Diese Anordnung ermöglicht das Abtasten und Halten der Eingangsspannung, die Umsetzung des bekannten Digitalwerts in eine Analogspannung und die Subtraktion beider Spannungen. Dazu wird während der Abtastperiode eine zur Eingangsspannung proportionale Ladung auf den Kapazitäten gespeichert. Während des Umsetzungsvorgangs des ADU werden die Kondensatoren in Abhängigkeit vom im SAR gespeicherten Digitalwert umgeschaltet, so dass sich die Ladung umverteilt. Diese Art des Umsetzers wird Digital-Analog-Umsetzer mit geschalteten Kondensatoren (*engl. Switched Capacitor, SC*) genannt.

Dieses Kapitel beschreibt den Aufbau der Kernkomponenten des SAR A-D-Umsetzers, nämlich SC DAU, SAR und Komparator. Außerdem werden Möglichkeiten zum Abtasten des analogen Signals und Details zu den Anforderungen der Referenzspannungen beleuchtet. Abschnitt 3.1 erläutert verschiedene Varianten des SC DAU und geht auf die Dimensionierung der Bauelemente ein. Der SC DAU wird durch das SAR gesteuert, das in Abschnitt 3.2 erklärt wird. Verschiedene Komparatorkonzepte werden in Abschnitt 3.3 vorgestellt. Abschnitt 3.4 behandelt die Nichtlinearität bei der Verwendung von Transfergattern als Abtastschalter und leitet Regeln zur Dimensionierung her. Möglichkeiten zur Bereitstellung von Referenzspannungen werden in Abschnitt 3.5 gegeben.

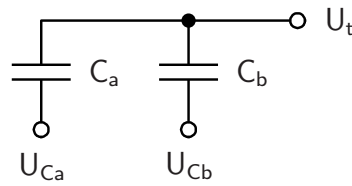


Bild 3.3: Kapazitiver Spannungsteiler mit zwei Kapazitäten C_a und C_b

3.1 Digital-Analog-Umsetzer mit geschalteten Kapazitäten

Der Analogteil eines SAR ADU muss in der Lage sein, die analoge Eingangsspannung zu speichern, die dem im SAR gespeicherten Digitalwert proportionale Analogspannung zu erzeugen und diese Spannungen voneinander zu subtrahieren. Diese Funktionalität vereint der Digital-Analog-Umsetzer mit geschalteten Kapazitäten (SC DAU). Er ist aus einem Netzwerk von Kapazitäten aufgebaut, deren Anschlüsse auf verschiedene Potentiale gelegt werden können.

Die Funktionsweise des DAU beruht darauf, dass das Kapazitätsnetzwerk als kapazitiver Spannungsteiler betrieben wird. Dazu wird eine bestimmte Menge Ladung auf parallel geschaltete Kondensatoren mit der Gesamtkapazität $C_h = C_a + C_b$, wie sie in Abbildung 3.3 zu sehen sind, aufgebracht. Im Betrieb als A-D-Umsetzer geschieht dies in der Abtastphase. Im Folgenden werden die Spannungen mit einer Zahl indiziert, die angibt, in welchem Zustand sich das Kondensatornetzwerk befindet. „0“ steht für die Abtastphase, eine größere Zahl für den entsprechenden Schritt der Ladungsumverteilungsphase.

Das Abtasten geschieht durch Anlegen der Spannungen $U_{a,0}$, $U_{b,0}$ und $U_{t,0}$ an die Knoten U_{Ca} , U_{Cb} und U_t . Dadurch wird die Gesamtladung

$$Q_t = C_a (U_{t,0} - U_{a,0}) + C_b (U_{t,0} - U_{b,0}) \quad (3.1)$$

auf die oberen Platten der Kondensatoren gebracht. Nachdem der Ladevorgang abgeschlossen ist, wird die Spannungsquelle $U_{t,0}$ abgetrennt, sodass der gemeinsame Knoten U_t isoliert ist. Dadurch bleibt die Ladung Q_t auf dem Kondensatornetzwerk gespeichert. Werden nun die Spannungen an den unteren Kondensatorknoten zu $U_{a,1}$ und $U_{b,1}$ verändert, stellt sich am gemeinsamen Knoten die Spannung $U_{t,1}$ ein. Diese Spannung berechnet sich zu

$$U_{t,1} = U_{t,0} + \frac{C_a (U_{a,1} - U_{a,0}) + C_b (U_{b,1} - U_{b,0})}{C_h}. \quad (3.2)$$

Beim sogenannten klassischen Algorithmus [1] wird während der Abtastphase die analoge

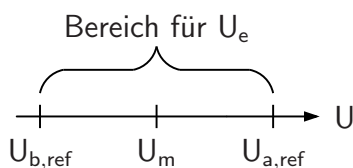


Bild 3.4: Durch die Referenzspannungen festgelegter Eingangsspannungsbereich

Eingangsspannung U_e des A-D-Umsetzers mit den unteren Anschlüssen aller Kondensatoren verbunden, $U_{a,0} = U_{b,0} = U_e$, während diese Knoten nach dem Umschalten auf Referenzspannungen gelegt werden, $U_{a,1} = U_{a,ref}$, $U_{b,1} = U_{b,ref}$. Gilt außerdem $C_a = C_b$, so vereinfacht sich Gleichung (3.2) zu

$$U_{t,1} = U_{t,0} - U_e + \frac{1}{2}(U_{a,ref} + U_{b,ref}). \quad (3.3)$$

Legt man fest, dass die Eingangsspannung U_e zwischen den Referenzspannungen $U_{a,ref}$ und $U_{b,ref}$ liegen muss, ergibt sich die Situation in Abbildung 3.4. Der markierte Bereich, innerhalb dessen U_e liegen muss, ist der Eingangsspannungsbereich des A-D-Umsetzers. Hier wurde die Spannung $U_m = \frac{1}{2}(U_{a,ref} + U_{b,ref})$ eingeführt, die das arithmetische Mittel der Referenzspannungen darstellt. Liegt U_e unterhalb U_m , ergibt sich nach Gleichung (3.3) $U_{t,1} > U_{t,0}$, für $U_e > U_m$ gilt $U_{t,1} < U_{t,0}$. Durch einen Vergleich von $U_{t,1}$ mit $U_{t,0}$ lässt sich also feststellen, ob die Eingangsspannung U_e ober- oder unterhalb der Schwelle U_m liegt. Daher eignet sich diese Schaltung als SC DAU für einen SAR A-D-Umsetzer mit der Auflösung 1 bit. Außerdem ist sie in der Lage, die Eingangsspannung zu speichern und deren Differenz zu einer Entschwellerschwelle zu erzeugen. Damit vereinigt sie die Funktion des Folge-Halte-Glieds, des D-A-Umsetzers und des Subtrahierers. Die Spannung $U_{t,0}$ kann frei und für die Schaltungskomponenten geeignet gewählt werden.

3.1.1 Klassischer Algorithmus

Die Grundzüge des klassischen Algorithmus [1] wurden für eine Auflösung von 1 bit bereits im vorhergehenden Kapitel eingeführt. Für größere Auflösungen wird wie vorher während der Abtastphase die Eingangsspannung U_e mit den unteren Anschlüssen der Kondensatoren verbunden, danach werden diese Knoten an Referenzspannungen angeschlossen. Die Bedingung $C_a = C_b$ gilt nicht, stattdessen teilt sich die Gesamtkapazität $C_h = C_a + C_b$ auf die

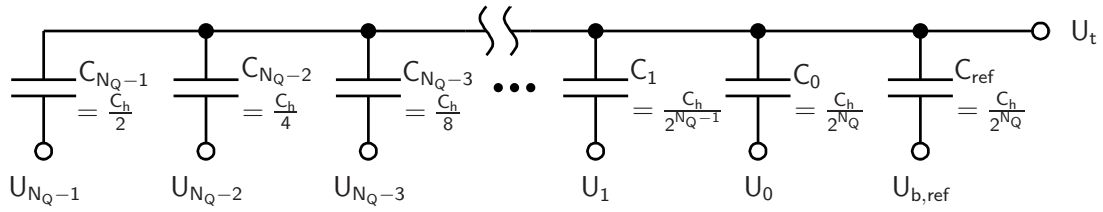


Bild 3.5: Binär gewichtetes Kondensatornetzwerk

Einzelkapazitäten auf:

$$C_a = x C_h, \text{ mit } x \in (0, 1) \quad (3.4)$$

$$C_b = (1 - x) C_h \quad (3.5)$$

Dabei bestimmt die Variable x die normierte Entscheidungsschwelle. Für $x = \frac{1}{2}$ beispielsweise liegt die Schwelle, wie bereits vorgestellt, in der Mitte des von den Referenzspannungen festgelegten Eingangsspannungsbereichs. Mit Gleichung (3.2) gilt für den vorliegenden Fall

$$U_{t,1} = U_{t,0} - U_e + x U_{a,\text{ref}} + (1 - x) U_{b,\text{ref}}. \quad (3.6)$$

Durch den Vergleich von $U_{t,1}$ mit $U_{t,0}$ kann nun bestimmt werden, ob U_e ober- oder unterhalb der durch x festgelegten Schwelle liegt. Dabei bleibt der Knoten $U_{t,1}$ isoliert, so dass die auf dem Kondensatornetzwerk gespeicherte Ladung Q_t erhalten bleibt. Dadurch kann nach einem Vergleich von $U_{t,1}$ mit $U_{t,0}$ der Wert von x geändert werden. In einem zweiten Schritt wird durch einen weiteren Vergleich die Größe von U_e bezüglich einer anderen Schwelle bestimmt. Während $U_{t,1}$ die Spannung bezeichnet, die sich im ersten Schritt einstellt, wird die Spannung im zweiten Schritt mit $U_{t,2}$, im dritten mit $U_{t,3}$ bezeichnet, und so weiter.

Ein A-D-Umsetzer mit binärem Ausgangscode und der Auflösung N_Q bit besitzt $n_Q - 1 = 2^{N_Q} - 1$ äquidistante Entscheidungsschwellen. Für x müssen daher ganzzahlige Vielfache von 2^{-N_Q} gewählt werden:

$$x = k 2^{-N_Q}, \quad k = 1, 2, 3, \dots, n_Q - 1 \quad (3.7)$$

Schaltungstechnisch kann das durch ein binär gewichtetes Kondensatornetzwerk wie in Abbildung 3.5 realisiert werden. Sind die unteren Anschlüsse aller Kondensatoren kurzgeschlossen, beträgt die Gesamtkapazität C_h . Die Knoten U_{N_Q-1} bis U_0 können jedoch auf die Spannungen U_e , $U_{a,\text{ref}}$ oder $U_{b,\text{ref}}$ gelegt werden. Stellt man die Zahl k aus Gleichung (3.7) in binärer Schreibweise mit N_Q bit dar, so lässt sich jedem Knoten U_{N_Q-1} bis U_0 ein Bit von k , ange-

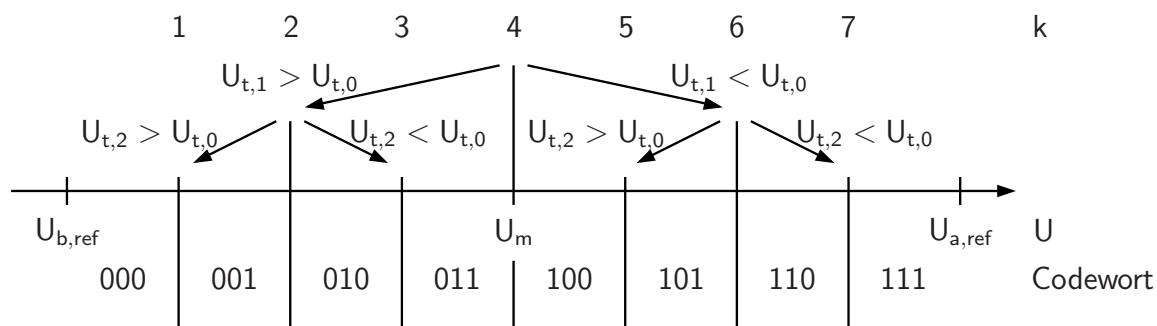


Bild 3.6: Entscheidungsschwellen für die Auflösung 3 bit mit binärem Entscheidungsbaum

fangen beim höchstwertigen, zuordnen. Werden alle Knoten, denen „0“ zugeordnet wurde, mit $U_{b,ref}$ und alle, denen „1“ zugeordnet wurde, mit $U_{a,ref}$ verbunden, liegt die von x festgelegte Schwelle an der gewünschten Stelle. Abbildung 3.6 zeigt dies beispielhaft für $N_Q = 3$. Angegeben sind der Spannungsbereich des Umsetzers, alle möglichen Entscheidungsschwellen mit dem zugehörigen Dezimalwert von k und die binären Codewörter, die den von den Entscheidungsschwellen begrenzten Quantisierungsintervallen zugeordnet sind.

Zur Bestimmung des Codeworts, das zu einer analogen Eingangsspannung gehört, müssen mehrere Vergleiche durchgeführt werden. Wie Abbildung 3.6 zeigt, gleicht beim SAR A-D-Umsetzer die Folge an Vergleichen einer binären Suche, die in aufeinanderfolgenden Schritten stattfindet. Bei dieser Suche wird das Codewort Bit für Bit, angefangen beim höchstwertigen, bestimmt. Im ersten Schritt wird also die Schwelle bei U_m ausgewertet und festgestellt, ob sich die Eingangsspannung in der oberen ($U_{t,1} < U_{t,0}$) oder unteren ($U_{t,1} > U_{t,0}$) Hälfte des Spannungsbereichs befindet. Abhängig davon wird im zweiten Schritt die Schwelle in der Mitte der entsprechenden Hälfte gewählt und das Bit zweithöchster Wertigkeit bestimmt. Auf diese Art wird weiter verfahren, bis alle Bits des Codeworts bestimmt sind.

Im Beispiel eines SC DAU mit der Auflösung 3 bit in Abbildung 3.6 wird im ersten Schritt die Schwelle für $k = 4$ ausgewertet, abhängig davon gilt im zweiten Schritt $k \in \{2, 6\}$ und im dritten $k \in \{1, 3, 5, 7\}$. Für die Auflösung N_Q bit gilt für den ersten Schritt $k = 2^{N_Q-1}$, für den zweiten Schritt $k \in \{2^{N_Q-2}, 3 \cdot 2^{N_Q-2}\}$ und für den s -ten Schritt

$$k \in \{2^{N_Q-s}, 3 \cdot 2^{N_Q-s}, 5 \cdot 2^{N_Q-s}, \dots, (2^s - 1) \cdot 2^{N_Q-s}\}, 1 < s < N_Q. \quad (3.8)$$

Betrachtet man k in binärer Schreibweise, dann ist im ersten Schritt das höchstwertige Bit gleich „1“ während alle anderen „0“ sind. Im s -ten Schritt ist das Bit der Wertigkeit 2^{N_Q-s} gleich „1“, alle niederwertigen sind „0“. Die Werte der höherwertigen Bits hängen von den bisherigen Entscheidungen ab.

Nach vollendetem Aufladen der Kapazitäten, Isolieren des Knotens U_t und Verbinden aller Knoten U_{N_Q-1} bis U_0 mit der Spannung $U_{b,ref}$ beginnt die schrittweise Bestimmung des digitalen Codeworts nach folgendem Algorithmus: im s -ten Schritt wird der Knoten U_{N_Q-s} mit $U_{a,ref}$ verbunden. Ist die dadurch verursachte Umverteilung der Ladung abgeschlossen, entscheidet das Vorzeichen der Spannungsdifferenz $U_{t,s} - U_{t,0}$ darüber, ob U_{N_Q-s} auf diesem Potential bleibt oder nicht. Bei negativem Vorzeichen ist dies der Fall, andernfalls wird U_{N_Q-s} wieder auf $U_{b,ref}$ gelegt. Dieses Vorgehen wird für alle Schritte $s = 1$ bis N_Q sukzessive wiederholt.

Da es sich bei diesem Prinzip um statische Ladungsumverteilung handelt, können das Umschalten von U_{N_Q-s} auf $U_{a,ref}$ und das bedingte Umschalten von $U_{N_Q-(s-1)}$ auf $U_{b,ref}$ nacheinander oder gleichzeitig stattfinden. Die sich einstellenden Spannungspegel ändern sich nicht, der Energieaufwand ist jedoch unterschiedlich. Auch das Verbinden aller Spannungen U_{N_Q-1} bis U_0 mit $U_{b,ref}$ nach der Abtastphase kann gleichzeitig mit dem Umschalten von U_{N_Q-1} auf $U_{a,ref}$ stattfinden, so dass zu diesem Zeitpunkt nur die Knoten U_{N_Q-2} bis U_0 mit $U_{b,ref}$ verbunden werden [12].

3.1.2 Erweiterung des klassischen Algorithmus um ein Bit

Bisher wurde beschrieben, wie das binär gewichtete Kapazitätsnetzwerk in Abbildung 3.5 als D-A-Umsetzer der Auflösung N_Q bit arbeitet. Die Erhöhung der analogen Ausgangsspannung U_t um ein Quantisierungsintervall U_Q beruht beispielsweise darauf, dass durch eine Spannungsänderung am Knoten U_0 eine gewisse Menge Ladung auf dem kapazitiven Spannungsteiler umverteilt wird. Diese Ladung entspricht

$$Q_{LSB} = \frac{C_h}{2^{N_Q}} (U_{a,ref} - U_{b,ref}) \frac{2^{N_Q} - 1}{2^{N_Q}} \quad (3.9)$$

und hängt von der Gesamtkapazität C_h , der Auflösung N_Q und der Größe der Spannungsänderung $U_{a,ref} - U_{b,ref}$ am Knoten U_0 ab (siehe Gleichung (A.2) in Anhang A für $s = N_Q$). Diese Umverteilung führt wegen der Ladungserhaltung am Knoten U_t zu einer Spannungsänderung um

$$U_Q = \frac{Q_{LSB}}{C_h} \frac{2^{N_Q}}{2^{N_Q} - 1} = \frac{U_{a,ref} - U_{b,ref}}{2^{N_Q}}. \quad (3.10)$$

Mit der selben Schaltungstopologie lässt sich auch ein DAU mit der Auflösung $(N_Q + 1)$ bit realisieren [13]. Hierzu muss der untere Anschluss des rechten Kondensators in Abbildung 3.5 nach der Abtastphase auf U_m anstatt $U_{b,ref}$ gelegt werden. Die Umsetzung läuft zunächst wie

in Abschnitt 3.1.1 ab, nach der Bestimmung des N_Q -ten Bits wird jedoch der untere Anschluss des rechten Kondensators mit $U_{a,\text{ref}}$ oder $U_{b,\text{ref}}$ verbunden, abhängig vom vorhergegangenen Vergleich von U_{t,N_Q} und $U_{t,0}$. Dadurch ändert sich die Spannung an diesem Knoten um $\pm\frac{1}{2}(U_{a,\text{ref}} - U_{b,\text{ref}})$ und die Ladung

$$Q_{\text{LSB}/2} = \pm\frac{1}{2}Q_{\text{LSB}} \quad (3.11)$$

wird umverteilt. Diese Ladung verursacht am Knoten U_t eine Änderung des Potentials um $\frac{1}{2}U_Q$. Die Auflösung des DAU ist also um 1 bit erhöht worden.

Vorteile dieser Erweiterung des klassischen Algorithmus sind, dass die Auflösung des DAU, nicht aber dessen Eingangskapazität erhöht wird, und dass sie lediglich eine kleine Änderung der Schaltung erfordert, nämlich das Hinzufügen des weiteren Umschalters für den unteren Anschluss des rechten Kondensators. Für die Erweiterung muss jedoch eine zusätzliche Spannung zur Verfügung gestellt werden, nämlich U_m . Außerdem muss sichergestellt werden, dass alle Schaltungskomponenten präzise und rauscharm genug sind, um ein weiteres Bit auflösen zu können. Beim SC DAU spielen hier insbesondere Toleranzen bei der Fertigung der Kapazitäten eine Rolle, deren erlaubter Maximalwert mit der Auflösung des DAU zusammenhängt. Abschnitt 3.1.9 untersucht diesen Zusammenhang genauer.

3.1.3 Direktes Abtasten am Ausgangsknoten des SC D-A-Umsetzers

Beim klassischen Algorithmus muss bereits zur Bestimmung des MSB ein Umladevorgang stattfinden. Dieser Vorgang muss durch Schaltsignale ausgelöst werden und benötigt Zeit. Es ist möglich, ihn zu umgehen, ohne den SC D-A-Umsetzer in Abbildung 3.5 zu ändern, indem während der Abtastphase die Eingangsspannung U_e direkt am Ausgangsknoten des SC DAU, also auf dem Knoten U_t , gespeichert wird. Alle Anschlüsse U_{N_Q-2} bis U_0 werden während des Abtastens auf $U_{b,\text{ref}}$ gelegt, U_{N_Q-1} auf $U_{a,\text{ref}}$. Zur Bestimmung des MSB muss im ersten Schritt die Spannungsdifferenz zwischen $U_{t,1} = U_e$ und U_m , dem arithmetischen Mittel des Eingangsspannungsbereichs, ausgewertet werden, ohne dass ein Umschaltvorgang nötig ist. Ab nun wird nach dem in Abschnitt 3.1.1 beschriebenen Algorithmus verfahren.

Der Vorteil des direkten Abtastens liegt darin, dass vor der Bestimmung des MSB keine Ladungsumverteilung stattfindet. Dadurch können die notwendige Energie und Dauer des Umsetzungszyklus reduziert werden. Außerdem muss die Eingangsspannung nur noch mit einem Knoten, nämlich U_t , schaltbar verbunden werden, und nicht mit N_Q Knoten U_{N_Q-1} bis U_0 . Dies lässt sich mit einem lokalen Abtastschalter realisieren, dessen Steuersignale lokal

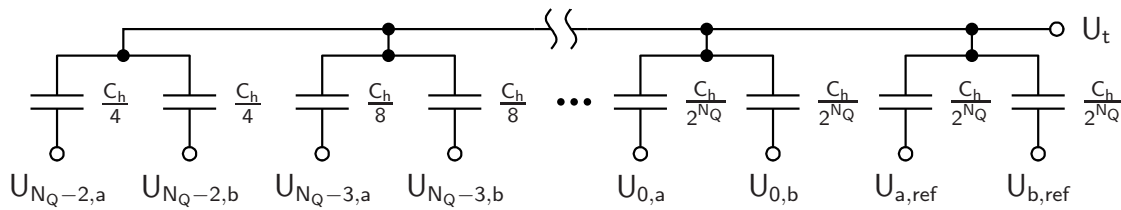


Bild 3.7: Binär gewichtetes Kondensatornetzwerk mit geteilten Kapazitäten [12]

erzeugt werden, wodurch der Verdrahtungsaufwand reduziert wird. Die in Abschnitt 3.1.2 vorgestellte Erweiterung um ein Bit ist auch hier möglich.

3.1.4 Teilen der Kapazitäten

Bei den bisher vorgestellten Algorithmen müssen zwischen zwei aufeinanderfolgenden Schritten s und $s + 1$ abhängig von der Spannungsdifferenz $U_{t,s} - U_{t,0}$ ein oder zwei Knoten auf andere Potentiale gelegt werden, um die nächste benötigte Schwelle einzustellen. Sollen die beiden Umschaltvorgänge synchron ablaufen, erfordert das eine große zeitliche Genauigkeit. Laufen sie aber nacheinander oder sich überschneidend ab, so dauert es länger, bis die Ladungsumverteilung abgeschlossen ist und die maximal mögliche Abtastrate wird verringert.

Die Anzahl der benötigten Umschaltvorgänge pro Schritt kann ähnlich dem Algorithmus von Abschnitt 3.1.3 auf genau Eins reduziert werden, indem alle Knoten U_{N_Q-1} bis U_0 in Abbildung 3.5 mit U_m anstatt $U_{a,ref}$ oder $U_{b,ref}$ initialisiert werden [14]. Nach der Bestimmung des Bits D_i der Wertigkeit 2^i wird der Anschluss U_i der entsprechenden Kapazität für $D_i = „1“$ auf $U_{b,ref}$ gelegt, andernfalls auf $U_{a,ref}$. Für die Initialisierung muss allerdings die Spannung U_m zusätzlich bereitgestellt werden.

Durch eine Änderung des SC DAU kann die Anzahl der benötigten Umschaltvorgänge pro Schritt auch ohne Bereitstellung von U_m realisiert werden. Teilt man die zu jedem Bit gehörige Kapazität in zwei gleiche Teile, lässt sich der Algorithmus mit einem Umschaltvorgang pro Schritt durchführen [12].

Das zugehörige Kondensatornetzwerk ist in Abbildung 3.7 dargestellt. Jeweils zwei gleich große Kondensatoren sind graphisch als Parallelschaltung zusammengefasst. Wurden in Abbildung 3.5 $N_Q + 1$ Kondensatoren für eine Auflösung von N_Q bit benötigt, sind in diesem SC DAU N_Q Paare gleich großer Kondensatoren enthalten. Schließt man jeweils die unteren Knoten aller Paare bis auf die des rechten kurz, ergibt sich die Schaltung aus Abbildung 3.5 mit dem Unterschied, dass beide Kondensatoren $\frac{C_h}{2^{N_Q}}$ ständig mit einer der Referenzspannungen

$U_{a,\text{ref}}$ und $U_{b,\text{ref}}$ verbunden sind. Die Knoten $U_{N_Q-2,a}$, $U_{N_Q-2,b}$ bis $U_{0,a}$, $U_{0,b}$ sind stets mit einer der Referenzspannungen verbunden, die Zuordnung ändert sich während der sukzessiven Approximation entsprechend dem digitalen Codewort. Im Unterschied zu Abbildung 3.5, wo es N_Q umschaltbare Spannungsknoten gibt, enthält die Schaltung in Abbildung 3.7 $N_Q - 1$ umschaltbare Spannungsknotenpaare. Die Reduktion von N_Q auf $N_Q - 1$ folgt daraus, dass die analoge Eingangsspannung direkt auf dem Knoten U_t gespeichert wird. Somit kann das höchstwertige Bit direkt durch den Vergleich der gespeicherten Spannung mit der Schwellenspannung U_m für $k = 2^{N_Q-1}$ verglichen werden, ohne dass vorher ein Umschaltvorgang stattfinden muss. Vor der Bestimmung jedes weiteren Bits muss genau ein Spannungsknoten umgeschaltet werden.

Während der Abtastphase ist die analoge Eingangsspannung U_e mit U_t verbunden, alle Knoten, deren Index ein a beziehungsweise b enthält, mit $U_{a,\text{ref}}$ beziehungsweise $U_{b,\text{ref}}$. Nach abgeschlossenem Ladevorgang kann im ersten Schritt das höchstwertige Bit durch einen Vergleich von $U_{t,1} = U_e$ mit U_m bestimmt werden. Anstatt die Schwelle des Komparators anschließend um $\frac{1}{4}(U_{a,\text{ref}} - U_{b,\text{ref}})$ zu verschieben, wird das Potential von U_t um diesen Betrag in entgegengesetzter Richtung geändert. Ist das höchstwertige Bit „1“, gilt also $U_e > U_m$, so wird der Knoten $U_{N_Q-2,a}$ von $U_{a,\text{ref}}$ auf $U_{b,\text{ref}}$ umgeschaltet; andernfalls wird $U_{N_Q-2,b}$ von $U_{b,\text{ref}}$ auf $U_{a,\text{ref}}$ umgeschaltet. Der jeweils andere Knoten des Kondensatorpaars bleibt unverändert. Somit kann durch einen weiteren Vergleich des Potentials an U_t mit U_m das Bit nächstgeringerer Wertigkeit bestimmt werden. Durch wiederholte Anwendung dieser Vorschrift lässt sich Schritt für Schritt das Codewort am digitalen Ausgang finden.

3.1.5 Segmentierung des SC D-A-Umsetzers

Mit jedem Bit mehr Auflösung verdoppelt sich die Eingangskapazität des SC DAU, falls sich die Größe des kleinsten Kondensators nicht ändert. Dadurch verringert sich die analoge Bandbreite am Eingang. Dem kann durch eine geänderte Topologie des SC DAU entgegengewirkt werden. Dazu wird der SC DAU in Abbildung 3.5 erweitert, indem der Referenzkondensator C_{ref} durch einen weiteren SC DAU wie in Abbildung 3.8 ersetzt wird, dessen Ersatzkapazität C_{ref} ist [15, 16].

Der zuvor verwendete DAU ist den N_Q höherwertigen Bits zugeordnet (M-DAU), der neu hinzugefügte DAU den niederwertigen L_Q Bits (L-DAU). Beide DAU sind gleich aufgebaut und durch den seriellen Kondensator C_{bridge} verbunden. Die Gesamtkapazität des L-DAU

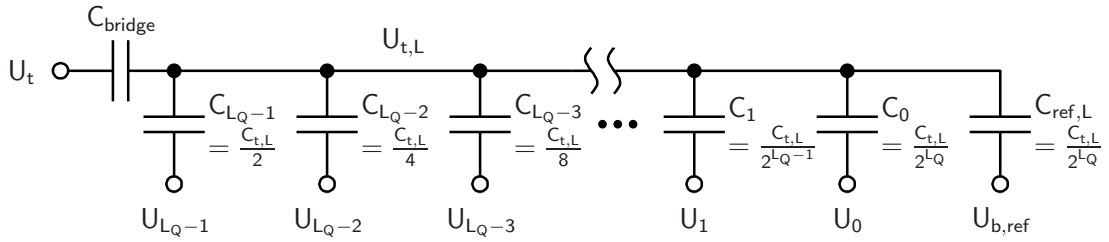


Bild 3.8: Teilschaltung eines segmentierten, binär gewichteten Kondensatornetzwerks, die die Gewichte der niederwertigen Bits repräsentiert (L-DAU) [15]

ohne seriellen Kondensator beträgt

$$\sum_{\nu=0}^{L_Q-1} C_{\nu} + C_{\text{ref,L}} = C_{\text{t,L}} \quad (3.12)$$

und muss zusammen mit dem seriellen Brückenkondensator der Referenzkapazität C_{ref} des M-DAU entsprechen:

$$\frac{C_{\text{bridge}} C_{\text{t,L}}}{C_{\text{bridge}} + C_{\text{t,L}}} = \frac{C_{\text{h}}}{2^{N_Q}} = C_{\text{ref}} \quad (3.13)$$

Damit ergibt sich für den Brückenkondensator die Größe

$$C_{\text{bridge}} = \frac{C_{\text{ref}}}{1 - \frac{C_{\text{ref}}}{C_{\text{t,L}}}} \quad (3.14)$$

Die segmentierte Schaltung mit je einem SC D-A-Umsetzer für die höherwertigen und einem für die niederwertigen Bits verhält sich wie ein binär gewichteter SC DAU mit der Auflösung $(N_Q + L_Q)$ bit, weist jedoch nur die Eingangskapazität eines binär gewichteten SC DAU mit N_Q bit Auflösung auf. Außerdem unterscheidet er sich in seinen Anforderungen an die Fertigungstoleranz der Kondensatoren. Die statistischen Abweichungen der Kondensatoren des M-DAU müssen den Anforderungen für die Auflösung $(N_Q + L_Q)$ bit genügen.

Der Brückenkondensator dämpft die Ausgangsspannung $U_{\text{t,L}}$ des L-DAU und legt die Spannungsänderung fest, die durch die Änderung des Steuercodeworts am L-DAU um 1 MSB am Knoten U_{t} hervorgerufen wird. Diese Spannungsänderung muss halb so groß sein wie die, die durch eine Änderung des Steuercodeworts am M-DAU um 1 LSB verursacht wird, damit der verfügbare Eingangsspannungsbereich gleichmäßig in Quantisierungsintervalle eingeteilt wird. Weicht der Brückenkondensator von seinem idealen Wert ab, so weicht die Größe der dem L-DAU zugeordneten Quantisierungsintervalle ebenfalls von ihrem Idealwert ab. Zudem ist die Kapazität des Brückenkondensators kein ganzzahliges Vielfaches der Referenzkapazi-

tät C_{ref} , so dass er nicht durch die Parallelschaltung identischer Referenzkapazitäten realisiert werden kann. Deshalb ist beim Entwurf des Layouts dieses Kondensators besondere Sorgfalt notwendig und es muss gegebenenfalls eine Möglichkeit zum nachträglichen Abgleich dieses Kondensators vorgesehen werden.

3.1.6 Energieaufwand für das Umladen der Kondensatoren

Beim SC D-A-Umsetzer wird eine analoge Spannung dadurch erzeugt, dass eine konstante Ladungsmenge auf Kondensatoren umverteilt wird. Die Umverteilung wird durch Spannungspegel angeregt, die von außen an die Kondensatoren gelegt werden. Dabei fließt unter Energieaufwand Ladung auf die oder von den Kondensatoren. Da die Abfolge der Umladevorgänge von den Entscheidungen des Komparators festgelegt wird, hängt die aufzuwendende Energiemenge vom Codewort des A-D-Umsetzers ab.

Beim SC DAU für den klassischen Algorithmus in Abbildung 3.5 ist die Ladung auf dem Knoten U_t konstant, während sich dessen Potential in jedem Schritt ändert. Soll das Potential beispielsweise um $\frac{1}{4}(U_{\text{a,ref}} - U_{\text{b,ref}})$ vergrößert werden, wird der Knoten U_{N_Q-2} von der Spannungsquelle $U_{\text{b,ref}}$ getrennt und mit $U_{\text{a,ref}}$ verbunden, während alle anderen Anschlüsse unverändert bleiben. Dadurch ändert sich das Kapazitätsverhältnis des kapazitiven Spannungsteilers und damit das Potential U_t . Die Spannungen, die über jeden einzelnen Kondensator abfallen, verändern sich dabei, so dass Ladung auf- oder abfließen muss. Diese Ladung muss von den Spannungsquellen $U_{\text{a,ref}}$ und $U_{\text{b,ref}}$ bereitgestellt oder aufgenommen werden.

Soll das Potential aber um $\frac{1}{4}(U_{\text{a,ref}} - U_{\text{b,ref}})$ verringert werden, muss zusätzlich der Knoten U_{N_Q-1} von $U_{\text{a,ref}}$ getrennt und mit $U_{\text{b,ref}}$ verbunden werden. Ein Teil der Ladung, die zuvor auf den Knoten U_{N_Q-1} gebracht worden war, wird jetzt entfernt und trägt zu einem größeren Energieaufwand bei. Der gesamte Energieaufwand hängt davon ab, ob beide Knoten gleichzeitig umgeschaltet werden, ob zuerst der Knoten U_{N_Q-2} und danach U_{N_Q-1} umgeschaltet wird, oder ob beide Knoten zuerst isoliert verbunden werden, um sie danach mit den erforderlichen Pegeln $U_{\text{a,ref}}$ beziehungsweise $U_{\text{b,ref}}$ zu verbinden [12].

Der Algorithmus für den SC DAU mit geteilten Kapazitäten in Abbildung 3.7 erfordert in jedem Schritt das Umschalten genau eines Anschlusses, so dass weniger Energie umgesetzt wird [12]. Der Energieaufwand für das Umladen der Kapazitäten in Abhängigkeit vom Ausgangscodewort eines A-D-Umsetzers mit 10 bit Auflösung ist für beide Algorithmen in Abbildung 3.9 dargestellt. Beim klassischen Algorithmus wird gleichzeitiges Umschalten

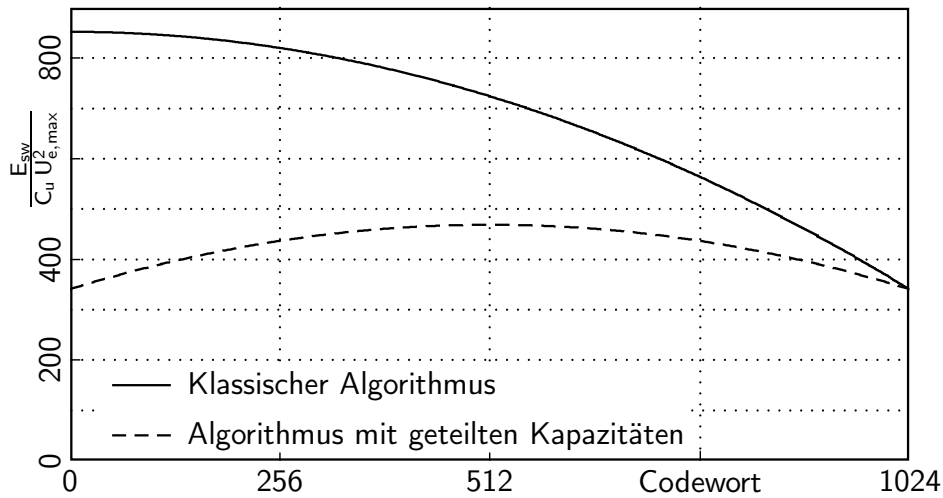


Bild 3.9: Energieaufwand für das Umladen der Kondensatoren eines SC DAU mit 10 bit Auflösung in Abhängigkeit des Ausgangscodeworts [12]

beider Anschlüsse vorausgesetzt. Die aufzuwendende Energie E_{sw} ist auf die Größe des kleinsten vorkommenden Kondensators $C_u = 2^{-N_Q} C_h$ und die Differenz der Referenzspannungen $U_{e,max} = U_{a,ref} - U_{b,ref}$ normiert. Es ist auch die Energie berücksichtigt, die aufgewendet werden muss, um den Initialzustand des SC DAU zu erreichen. Zur Berechnung der Ladungsmenge siehe Anhang A.

3.1.7 Auswirkung parasitärer Kapazität auf einen SC D-A-Umsetzer

Jeder Knoten des SC D-A-Umsetzers ist durch parasitäre Kapazitäten mit anderen Knoten der Schaltung gekoppelt. Es ist zu unterscheiden, ob das Potential des jeweils anderen Knotens konstant oder zeitlich veränderlich ist. Besonders stark wird der Knoten U_t von kapazitiver Kopplung beeinflusst, weil sein Potential während der sukzessiven Umsetzung kapazitiv erzeugt wird und keine galvanische Verbindung zu einer Spannungsquelle besteht.

Eine parasitäre Kapazität $C_{p,t}$ zwischen dem Knoten U_t und einer konstanten Spannung verändert den analogen Spannungsbereich des SC DAU. Legt man Abbildung 3.3 zugrunde, wirkt sie sich dadurch aus, dass sie in Gleichung (3.2) als Summand im Nenner hinzugefügt werden muss:

$$U_{t,1} = U_{t,0} + \frac{C_a (U_{a,1} - U_{a,0}) + C_b (U_{b,1} - U_{b,0})}{C_h + C_{p,t}} \quad (3.15)$$

Dadurch wird der Spannungsbereich des SC DAU linear gestaucht, so dass seine Grenzen dichter an U_m liegen als die Referenzspannungen. Die Quantisierungsstufen sind gleichmäßig

über den kleineren Spannungsbereich verteilt, so dass sich der Eingangsspannungsbereich des A-D-Umsetzers verkleinert.

Existiert eine kapazitive Kopplung des Knotens U_t zu einer zeitlich veränderlichen Spannung wie zu einem Takt- oder Steuersignal oder zur Eingangsspannung, entsteht eine zeitlich veränderliche Störung. Diese Störung verändert die Quantisierungsstufen des A-D-Umsetzers mit zeitlicher Abhängigkeit und vermindert den Abstand der Signal- zur Störleistung. Solche parasitäre Kapazitäten müssen während des Entwurfsprozesses minimiert werden, zum Beispiel durch Abschirmen der entsprechenden Knoten mit einer Metallfläche, die auf einem konstanten Potential liegt.

Parasitäre Kapazitäten an den Knoten, die während des Zyklus mit unterschiedlichen Referenzspannungen verbunden werden, wirken sich nicht direkt auf die Funktionalität des SC DAU aus. Sie belasten die Referenzspannung zusätzlich und erhöhen den Energieaufwand zum Umladen des SC DAU. Dies setzt voraus, dass die Referenzspannung stabil ist, so dass sie durch die größere kapazitive Belastung nicht gestört wird, und dass sie niederohmig mit dem SC DAU verbunden ist.

3.1.8 Schaltungstechnische Realisierung des SC D-A-Umsetzers

Die vorgestellten Varianten des SC DAU benötigen Kondensatoren unterschiedlicher Größe und Umschalter, um Kondensatoranschlüsse mit verschiedenen Spannungen zu verbinden. Die Größe der Kondensatoren ist binär gewichtet, so dass sich der nächstgrößere jeweils durch Verdopplung des kleineren Kondensators realisieren lässt. Damit kann der SC DAU durch mehrfaches Verschalten einer Grundzelle aufgebaut werden, die einen Kondensator der kleinsten erforderlichen Kapazität $C_u = \frac{C_1}{2^{N_Q}}$ und Schalter enthält. Als Schalter eignen sich mit der Schichtfolge Metall-Oxid-Silizium (MOS) aufgebaute Feldeffekttransistoren (FET), abgekürzt MOSFETs, die entweder als Transfertransistoren oder -gatter verwendet werden können.

Die mögliche Realisierung einer solchen Grundzelle, wie sie für den klassischen SC DAU in Abbildung 3.5 verwendet werden kann, ist in Abbildung 3.10 dargestellt. Als dreifach-Umschalter werden Transfergatter mit den Steuerspannungen $U_{S1,2\pm}$ verwendet. Die Anschlüsse U_t sind kurzgeschlossen und stellen den Ausgangsknoten des SC DAU dar, der mit dem Komparator verbunden ist. Die Steuerspannungen werden vom sukzessiven Approximationsregister bereitgestellt.

Wird die Eingangsspannung, wie in Abschnitt 3.1.3, während der Folgephase direkt mit dem Knoten U_t verbunden, genügt eine Grundzelle mit zweifachem Umschalter. Dann sind die

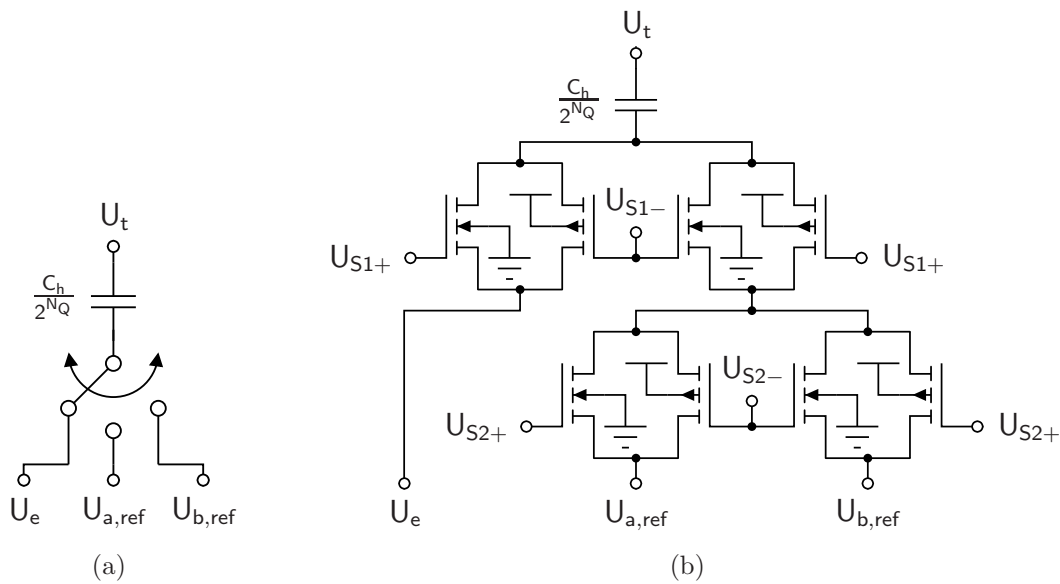


Bild 3.10: Grundzelle zum Aufbau eines SC D-A-Umsetzers mit Kondensator und (a) idealem Dreifach-Umschalter oder (b) Transferrgattern als Schalter

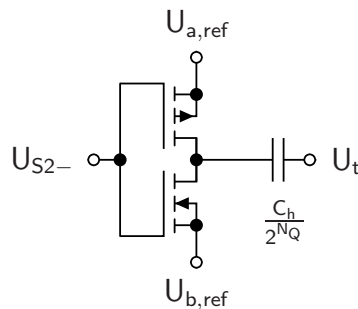


Bild 3.11: CMOS-Inverter als zweifacher Umschalter zwischen Referenzspannungen

Transferrgatter in Abbildung 3.10(b), die mit der Steuerspannung $U_{S1\pm}$ verbunden sind, nicht notwendig. Ein weiterer Vorteil dieser Methode ist, dass sie nur einen Schalter zwischen U_e und U_t benötigt und U_e nicht zu jeder Grundzelle geführt werden muss. Somit lassen sich die Knoten U_e und U_t räumlich trennen, wodurch ihre kapazitive Kopplung minimiert wird. Diese wirkt sich direkt auf den Quantisierer aus und verursacht eine Verzerrung des digitalen Ausgangssignals.

Anstatt der Transferrgatter können auch n- oder p-Kanal Transfertransistoren eingesetzt werden, wodurch die kapazitive Last der Steuerspannungen sinkt. Die geeignete Topologie hängt vom erlaubten Spannungsbereich der Eingangsspannung U_e und der Größe der Referenzspannungen $U_{a,ref}$ und $U_{b,ref}$ ab. Hierzu muss die Degradation der Spannungspegel durch Transfertransistoren berücksichtigt werden [17]. Als Spezialfall kann ein zweifacher Umschalter wie in Abbildung 3.11 durch einen Inverter realisiert werden, dessen MOSFETs als Transferrgat-

ter zu einer größeren und einer kleineren Referenzspannung betrachtet werden. Dann bietet es sich an, das Steuersignal des SC DAU direkt mit den entsprechenden Kondensatoren zu verbinden, ohne Schalter in die Grundzellen einzufügen. Somit verbindet der letzte Inverter jedes Steuerausgangs des sukzessiven Approximationsregisters die Kondensatoren mit einer der beiden Referenzspannungen.

Zur Realisierung des Kondensators bieten sich mehrere Möglichkeiten, wobei unterschiedliche Kriterien zu berücksichtigen sind. Die Kapazität muss für alle Spannungen, die auftreten können, konstant sein, damit sich das Spannungsverhältnis des kapazitiven Spannungsteilers nicht ändert. Dadurch würden sich die Grenzen der Quantisierungsintervalle verschieben und der A-D-Umsetzer würde an Linearität verlieren. Insbesondere für eine Auflösung größer 8 bit spielt der Flächenbedarf des Kondensators eine wesentliche Rolle. Mit jeder Erhöhung der Auflösung um 1 bit erhöht sich die Anzahl benötigter Grundzellen und damit die Chipfläche um den Faktor Zwei. Eine große räumliche Ausdehnung verursacht eine große parasitäre Kapazität, größere Induktivitäten und Widerstände langer Leitungen und macht die Schaltung anfälliger für räumliche Gradienten der Prozessparameter. Die kleinstmögliche Kapazität ist wichtig, weil durch die Kapazität der Grundzelle die Eingangskapazität des SC DAU festgelegt wird. Dabei muss auf die statistischen Eigenschaften des Kondensators geachtet werden, da Abweichungen der Kapazitätsgrößen die Schwellen des Umsetzers verschieben. Zuletzt muss ein Kondensator ausgewählt werden, der in der gegebenen Technologie verfügbar ist.

MOM-Kondensator

Eine Möglichkeit ist es, die parasitäre Kapazität von Metalleitungen als Metall-Oxid-Metall-Kondensator (MOM-Kondensator) zu verwenden. Vorteile der MOM-Kapazität sind, dass sie in jeder Technologie verfügbar ist, dass sie unabhängig von der Spannung ist und dass sich die Struktur im Rahmen der Entwurfsregeln frei wählen lässt. So kann sie sehr klein dimensioniert werden und es besteht die Möglichkeit, einen der Anschlüsse von anderen Leitungen gut abzuschirmen. Nachteilig ist der große Flächenbedarf wegen des kleinen Kapazitätsbelags und die in der Regel fehlende statistische Charakterisierung der parasitären Kapazität. So lassen sich die erwarteten Schwankungen der Kapazität durch Fertigungstoleranzen nur abschätzen. Die Kapazität kann beispielsweise wie in Abbildung 3.12 aufgebaut werden, wo nur eine Metallisierungsebene verwendet wird.

MIM-Kondensator

Viele Technologien bieten die Möglichkeit, Kapazitäten mit der Struktur Metall-Isolator-Metall (MIM) zu verwenden. Diese sind, wie in Abbildung 3.13 gezeigt, in der Regel wie Plattenkondensatoren aufgebaut, wobei die untere Platte aus einem Rechteck in einer Metallisierungsebene M_{X-1} besteht. Auf diesem Metall wird eine sehr dünne Isolatorschicht,

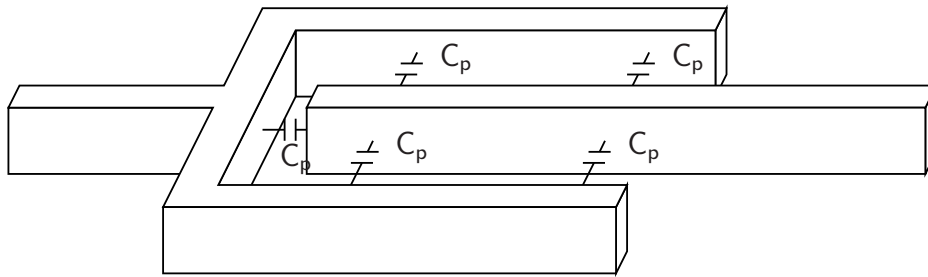


Bild 3.12: Entwurf eines Kondensators, der die parasitäre Kapazität ausnutzt

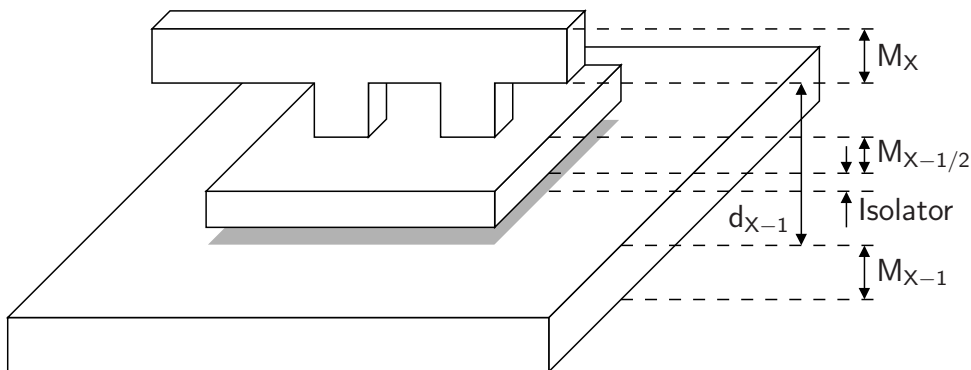


Bild 3.13: Struktur einer MIM-Kapazität

in der Regel SiO_2 , aufgebracht. Oberhalb des Isolators bildet eine rechteckige Metallfläche die obere Kondensatorplatte, die über vertikale Durchkontaktierungen mit der nächsthöheren Metallisierungsebene M_X verbunden ist. Aufgrund des dünnen Isolators ist der Kapazitätsbelag deutlich größer als bei parasitären Kapazitäten, wodurch der Flächenbedarf gesenkt wird. Des Weiteren sind die Modelle dieser Kondensatoren gut charakterisiert, so dass die Streuung ihrer Kapazität nachgelesen und simuliert werden kann. Nachteilig ist, dass zur Herstellung der dünnen Isolatorschicht und der oberen Kondensatorplatte der MIM-Kondensatoren zusätzliche Prozessschritte notwendig sind, so dass die Herstellung aufwendiger und teurer ist.

MOS-Kondensator

In jeder Technologie mit MOSFETs sind MOS-Kapazitäten verfügbar. Diese sind mit einer Gateelektrode aufgebaut, die durch das Gatedielektrikum getrennt über dem dotierten Substrat liegt. Das Substrat kann entweder p- oder n-dotiert sein und ist über einen Kontakt mit der untersten Metallisierungslage verbunden. Die Kapazität bildet sich zwischen der Gateelektrode und dem dotierten Substrat. Abhängig von den Spannungspegeln kann sich unterhalb des Dielektrikums eine Akkumulationsschicht, eine Verarmungszone oder eine Inversionsschicht bilden. Deshalb ist die Kapazität im Allgemeinen spannungsabhängig und nur in bestimmten Spannungsbereichen konstant [18]. Da sich die Kapazität im Substrat

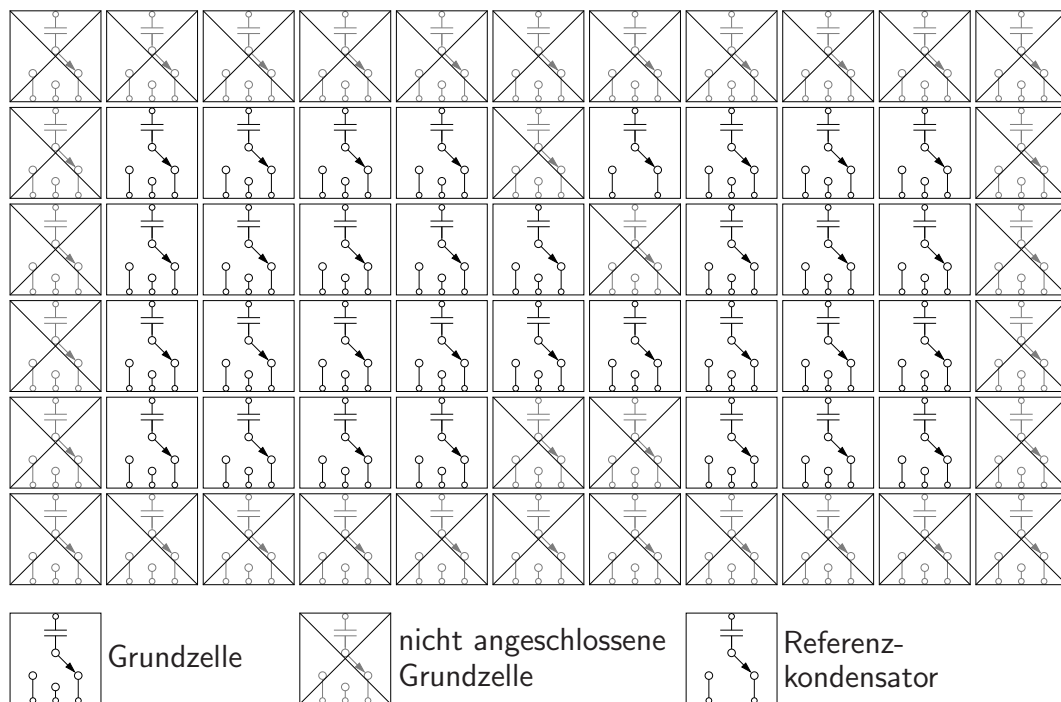


Bild 3.14: Physikalische Anordnung der Grundzellen für einen SC DAU mit 5-bit Auflösung

bildet, verbraucht sie sehr wenig Metallfläche. Durch das dünne Dielektrikum ist der Kapazitätsbelag groß und der Flächenbedarf klein. Die Kapazitäten sind in jeder Technologie mit MOSFETs verfügbar und in der Regel gut charakterisiert. Wegen ihres Aufbaus unterliegen sie aber einer großen Substratkopplung. Trotzdem ist es möglich, diese Kapazitäten für SC DAU zu verwenden [19, 20].

Aus den Grundzellen wird der SC D-A-Umsetzer möglichst regelmäßig aufgebaut. Hierzu werden sie in zwei Dimensionen periodisch angeordnet und geeignet verbunden. Eine regelmäßige Anordnung ist in Bezug auf Fertigungstoleranzen von Vorteil, weil die tatsächliche Struktur eines Elements, zum Beispiel einer Leiterbahn, von dessen Umgebung beeinflusst wird. Fügt man wie in Abbildung 3.14 an allen Rändern des SC DAU weitere, nicht angeschlossene Grundzellen an, hat jede verwendete Grundzelle die gleiche Umgebung, so dass die Strukturierung aller Grundzellen auf gleiche Weise beeinflusst wird und den durch Fertigungstoleranzen verursachten Fehler minimiert.

3.1.9 Dimensionierung der Kondensatoren des SC D-A-Umsetzers

Die Dimensionierung der Komponenten des SC D-A-Umsetzers beeinflusst die erzielbare Bandbreite, Geschwindigkeit und effektive Auflösung des A-D-Umsetzers. Insbesondere die

Größe der in der Grundzelle verwendeten Kapazität muss deshalb sorgfältig gewählt werden.

Die Gesamtkapazität C_h des SC DAU stellt die Eingangskapazität des SAR A-D-Umsetzers dar, wenn nicht ein zusätzlicher Verstärker vorgeschaltet wird. Diese begrenzt gemeinsam mit der Quellenimpedanz und dem Widerstand des Pfads vom Eingang des A-D-Umsetzers zum Knoten U_t des SC DAU die Bandbreite des ADU. Zur Maximierung der Bandbreite muss die Eingangskapazität so klein wie möglich gewählt werden, diese wird aber durch unterschiedliche Effekte nach unten begrenzt.

Rauschen

Eine untere Grenze der Eingangskapazität ist durch Rauschen gegeben. Der analoge Eingangskreis des A-D-Umsetzers kann als Serienschaltung eines Ohm'schen Widerstands und eines idealen Schalters, an deren Ausgang die Eingangskapazität C_h des A-D-Umsetzers gegen Masse geschaltet ist, modelliert werden. Der Ohm'sche Widerstand repräsentiert die Summe der Widerstände der Leitungen und des Abtast Schalters. In einem solchen System wird bei geschlossenem Schalter das thermische Rauschen vom Tiefpassverhalten des RC-Glieds bandbegrenzt und hat eine Leistung von $\sigma_{n,C}^2 = \frac{k_B T}{C_h}$ mit der Boltzmann-Konstante k_B und der absoluten Temperatur T des Widerstands [21]. Wird der Schalter geöffnet, speichert die Kapazität die momentane Rauschspannung. Soll diese Rauschleistung kleiner als die Leistung des Quantisierungsrauschens in Gleichung (2.2) sein, muss die Ungleichung

$$\frac{k_B T}{C_h} < \frac{U_{e,pp}^2}{12 \cdot 2^{2N_Q}} \quad (3.16)$$

erfüllt sein. Damit ergibt sich für die rauschbegrenzte Dimensionierung der Kapazität die Vorschrift

$$C_h > \frac{12 \cdot 2^{2N_Q} k_B T}{U_{e,pp}^2} \quad (3.17)$$

Fertigungstoleranz

Des Weiteren begrenzen zufällige Schwankungen von Parametern, die von Fertigungstoleranzen verursacht werden, die minimale Größe der Gesamtkapazität. Nach der Fertigung eines integrierten SC DAU folgen die Kapazitäten der Grundzelle einer statistischen Verteilung. Für jeden Kondensator C_u wird eine Normalverteilung angenommen, deren Mittelwert μ_{C_u} und Standardabweichung σ_{C_u} von der Art und Größe der Kondensatoren abhängen und vom Hersteller gegeben sind, so dass sie während des Entwurfs berücksichtigt werden können. Die Abweichung der Kapazitäten verursacht eine nichtlineare statische Übertragungskennlinie

des SC DAU und begrenzt so die maximal mögliche Qualität des digitalen Ausgangssignals des A-D-Umsetzers.

Beim klassischen Algorithmus ist die Ausgangsspannung $U_{t,k}$ des SC DAU beim Steuercode-
wort k durch den Quotienten der Kapazitäten, die mit der Referenzspannung $U_{a,\text{ref}}$ verbunden
sind, und der Gesamtkapazität C_h definiert. Sie hängt außerdem von der Spannung $U_{t,0}$, mit
der der SC DAU initialisiert wird, der Eingangsspannung U_e und den Referenzspannungen
 $U_{a,\text{ref}}$ und $U_{b,\text{ref}}$ ab:

$$U_{t,k} = U_{t,0} - U_e + \frac{\sum_{\nu=0}^{N_Q-1} D_{k,\nu} C_\nu}{C_h} (U_{a,\text{ref}} - U_{b,\text{ref}}) \quad (3.18)$$

Dabei gibt $D_{k,\nu}$ den Wert des Bits mit der Wertigkeit 2^ν im binären Steuercode-
wort k des DAU an, die Bezeichnungen C_ν der Kapazitäten beziehen sich auf Abbildung 3.5. Nun wird
jeder Kondensator als normalverteilte Zufallsvariable modelliert. Geht man davon aus, dass
alle benötigten Kapazitäten durch mehrfache Parallelschaltung von Grundzellen realisiert
werden, können deren statistische Eigenschaften in Abhängigkeit von denen der Grundzelle
angegeben werden. Die Kondensatoren aller Grundzellen werden als statistisch voneinander
unabhängige Zufallsvariablen modelliert, so dass die Kapazität der Größe C_ν aus 2^ν parallel
geschalteten Grundzellen eine Standardabweichung von $\sqrt{2^\nu} \sigma_{C_u}$ besitzt, wobei ihr Erwar-
tungswert $2^\nu \mu_{C_u}$ ist [22]. Die Zufallsvariablen C_ν sind wiederum statistisch unabhängig.

Die Realisierungen der Zufallsvariablen werden mit

$$C_\nu = 2^\nu \mu_{C_u} + \Delta C_\nu = \frac{C_h}{2^{N_Q-\nu}} + \Delta C_\nu \quad (3.19)$$

angegeben, ν zeigt die Wertigkeit des zugehörigen Bits an. Die Realisierung des Referenz-
kondensators C_{ref} , der während des Umsetzungszyklus stets mit $U_{b,\text{ref}}$ verbunden ist, sei
 $\mu_{C_u} + \Delta C_{\text{ref}}$, wobei ΔC_{ref} die Standardabweichung σ_{C_u} und den Erwartungswert 0 besitzt.
Die Abweichungen ΔC_ν wirken sich laut Gleichung (3.18) direkt auf die Umschaltsschwellen
des A-D-Umsetzers aus und führen zu Nichtlinearität. Nimmt man an, dass die Summe aller
Abweichungen $\Delta C_{\text{ref}} + \sum_{\nu=0}^{N_Q-1} \Delta C_\nu$ verschwindet, so wirkt sich die Abweichung des Konden-
sators C_ν nur auf diejenigen Schaltschwellen aus, bei denen der Wert des Bits D_ν Eins ist.
Diese Annahme entspricht einer Normierung der Übertragungskennlinie. Die Abweichung
der zum höchstwertigen Bit gehörenden Kapazität ΔC_{N_Q-1} bewirkt also eine Verschiebung
der mittleren und aller darüber liegenden Schwellen um

$$\Delta U_{N_Q-1} = \frac{\Delta C_{N_Q-1}}{C_h} (U_{a,\text{ref}} - U_{b,\text{ref}}). \quad (3.20)$$

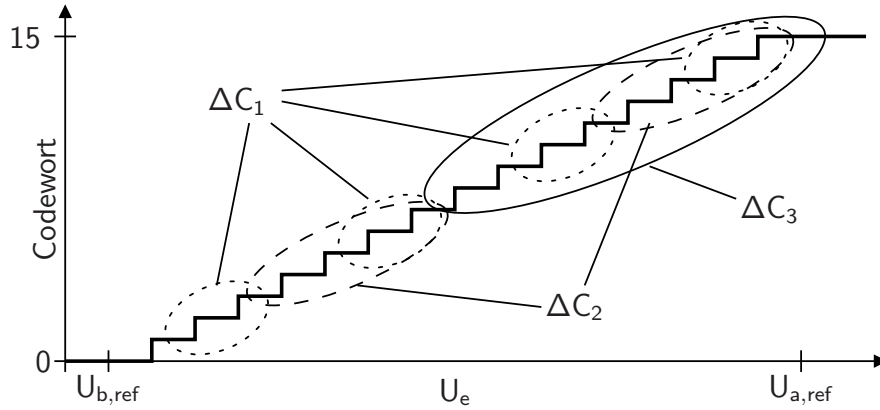


Bild 3.15: Auswirkung der Abweichung der binär gewichteten Kapazitäten von ihrem Idealwert auf die Position der Schwellen am Beispiel der Übertragungskennlinie eines A-D-Umsetzers mit 4 bit Auflösung

Die Auswirkung der Abweichung der binär gewichteten Kapazitäten von ihrem Idealwert auf die Umschaltsschwellen wird in Abbildung 3.15 verdeutlicht. Es ist beispielhaft die ideale Übertragungskennlinie eines A-D-Umsetzers mit 4 bit Auflösung dargestellt. Alle Schaltschwellen innerhalb der durchgezogenen Ellipse werden von der Abweichung der zum MSB gehörenden Kapazität um den in Gleichung (3.20) angegebenen Wert verschoben. Alle Schwellen innerhalb der gestrichelten Ellipsen werden analog dazu proportional zur Abweichung ΔC_2 verschoben, die innerhalb der gepunkteten Ellipsen proportional zu ΔC_1 . Alle Schwellen zwischen einem ungeraden und dem nächsthöheren geraden Codewort werden proportional zur Kapazitätsabweichung ΔC_0 verschoben, das ist in Abbildung 3.15 jedoch nicht eingezeichnet. Bei Schwellen, die von der Abweichung mehrerer Kapazitäten betroffen sind, berechnet sich die Verschiebung durch die Summe aller einzelnen Verschiebungen. Die Positionen der Schwellen beeinflussen direkt die INL des A-D-Umsetzers, die durch die Abweichung der tatsächlichen von den idealen Schwellenpositionen gegeben ist. Auch die DNL, die Abweichung des Abstands zweier Schwellen von U_Q , wird hierdurch bestimmt.

Die sich ergebende DNL lässt sich direkt aus der Position der Schaltschwellen in Gleichung (3.18) berechnen [23]. Sie ist durch die Differenz des Abstands zweier benachbarter Schaltschwellen und deren idealen Abstands gegeben, $0 \leq k \leq 2^{N_Q} - 2$:

$$\begin{aligned}
 DNL_k &= 2^{N_Q} \frac{U_{DAU,k+1} - U_{DAU,k}}{U_{a,ref} - U_{b,ref}} - 1 \\
 &= 2^{N_Q} \left(\frac{\sum_{\nu=0}^{N_Q-1} D_{k+1,\nu} C_\nu}{C_h} - \frac{\sum_{\nu=0}^{N_Q-1} D_{k,\nu} C_\nu}{C_h} \right) - 1
 \end{aligned} \tag{3.21}$$

Die angegebene DNL ist auf den Spannungsbereich $U_{a,ref} - U_{b,ref}$ normiert und mit der Anzahl

der Quantisierungsintervalle 2^{N_Q} multipliziert, sodass die Einheit LSB gilt. Die Zähler beider Brüche beinhalten Zufallsvariablen C_ν , mit deren Hilfe die statistischen Eigenschaften der DNL bestimmt werden können. Der Erwartungswert der DNL

$$E[DNL_k] = \left(\frac{\sum_{\nu=0}^{N_Q-1} D_{k+1,\nu} 2^\nu \mu_{C_u}}{2^{N_Q} \mu_{C_u}} - \frac{\sum_{\nu=0}^{N_Q-1} D_{k,\nu} 2^\nu \mu_{C_u}}{2^{N_Q} \mu_{C_u}} - 2^{-N_Q} \right) = 0 \quad (3.22)$$

verschwindet, weil die Erwartungswerte aller Kapazitäten C_ν dem Idealwert entsprechen.

Für alle Bits, die in den Steuercodewörtern $k+1$ und k identisch sind, heben sich die Abweichungen der Kapazitäten weg. Bei allen Bits, die in beiden Steuercodewörtern unterschiedliche Werte aufweisen, taucht die zugehörige Kapazität nur in einem der Summanden auf. Werden statistisch unabhängige, normalverteilte Zufallsvariablen addiert, so addieren sich ihre Varianzen [22]. Daher lässt sich die Varianz der DNL eines bestimmten Steuercodeworts durch die Summe der Varianzen aller Kapazitäten angeben, deren Bits zwischen diesem und dem darauffolgenden Codewort ihren Zustand ändern. Die größte Varianz ergibt sich demnach für das mittlere Steuercodewort $01 \cdots 1$, dessen oberer Nachbar $10 \cdots 0$ ist. Die Standardabweichung der DNL ist hier

$$\sigma_{DNL, 2^{N_Q-1}} = \sqrt{\sum_{\nu=0}^{N_Q-1} 2^\nu \sigma_{C_u}^2} \frac{1}{\mu_{C_u}} = \sqrt{2^{N_Q} - 1} \frac{\sigma_{C_u}}{\mu_{C_u}}. \quad (3.23)$$

Damit kann das Kriterium angesetzt werden, dass die DNL an dieser Stelle mit großer Wahrscheinlichkeit kleiner als 1 LSB sein soll. Eine gängige Vorgehensweise ist, die maximal erlaubte Standardabweichung auf ein Drittel des maximal erlaubten Werts zu beschränken:

$$\sqrt{2^{N_Q} - 1} \frac{\sigma_{C_u}}{\mu_{C_u}} \leq \frac{1}{3} \quad (3.24)$$

Dadurch liegt die Realisierung der Zufallsvariablen, in diesem Falle der Wert der DNL des mittleren Steuercodeworts, zu 99,73 % innerhalb des Intervalls von ± 1 LSB [22]. Für die normierte Standardabweichung der Grundzelle ergibt sich

$$\frac{\sigma_{C_u}}{\mu_{C_u}} \leq \frac{1}{3 \sqrt{2^{N_Q} - 1}}. \quad (3.25)$$

Es ist auch möglich, die Standardabweichungen der DNL-Werte zu allen Schwellen rekursiv anzugeben, ähnlich wie die tatsächlichen DNL-Werte rekursiv angegeben werden können [24]. Bei allen Schwellen, wo das Steuercodewort von einem geraden zu einem ungeraden Wert wechselt, ändert lediglich das LSB seinen Wert von „0“ auf „1“. Hier spielt daher nur eine Ab-

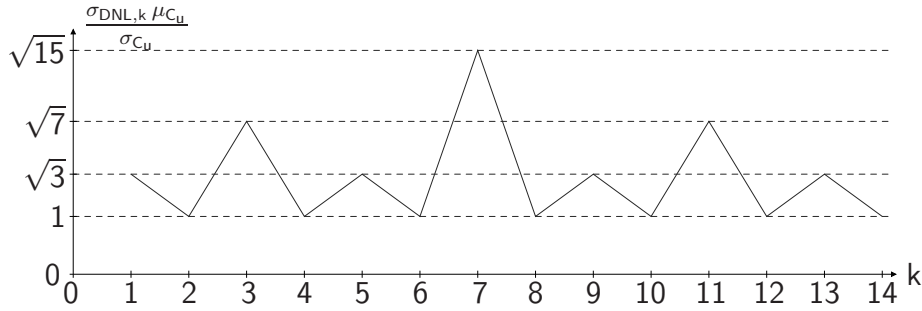


Bild 3.16: Graphische Darstellung der Standardabweichungen der DNL-Werte für einen SC DAU mit 4 bit Auflösung in Abhängigkeit vom Steuercodewort k

weichung des zum LSB gehörenden Kondensators von seiner idealen Kapazität eine Rolle und die Standardabweichung der DNL beträgt $\sigma_{DNL,1} = \frac{\sigma_{C_u}}{\mu_{C_u}}$. Ähnliche Regelmäßigkeiten lassen sich für jeden vierten Wert, jeden achten Wert und jeden 2^{N_Q} -ten Wert der Standardabweichung feststellen. So kann der Vektor der Standardabweichungen von DNL-Werten eines SC DAU mit der Auflösung N_Q mit

$$\sigma_{DNL,N_Q} = \left\{ \sigma_{DNL,N_Q-1} \quad \sqrt{2^{N_Q-1}} \frac{\sigma_{C_u}}{\mu_{C_u}} \quad \sigma_{DNL,N_Q-1} \right\} \quad (3.26)$$

rekursiv, angefangen bei $\sigma_{DNL,1}$, bestimmt werden. Das erste Element des Vektors muss jedoch verworfen werden, weil an der unteren Grenze des zum Codeworts „0...00“ gehörenden Quantisierungsintervalls keine Schwelle existiert und die Angabe der DNL somit unmöglich ist. Die Standardabweichungen der DNL-Werte für einen SC DAU mit der Auflösung 4 bit, normiert auf die relative Standardabweichung der Grundzelle, sind in Tabelle 3.1 angegeben und in Abbildung 3.16 graphisch dargestellt.

Tabelle 3.1: Standardabweichungen der DNL-Werte für einen SC DAU mit 4 bit Auflösung in Abhängigkeit vom Steuercodewort k

k	1	2	3	4	5	6	7	8	9	10	11	12	13	14
$\frac{\sigma_{DNL,k} \mu_{C_u}}{\sigma_{C_u}}$	$\sqrt{3}$	1	$\sqrt{7}$	1	$\sqrt{3}$	1	$\sqrt{15}$	1	$\sqrt{3}$	1	$\sqrt{7}$	1	$\sqrt{3}$	1

Eine analytische Untersuchung zum Einfluss der Fertigungstoleranzen von Kapazitäten des SC DAU schließt von der statistischen Abweichung der Kapazitäten auf die zusätzliche statische Störung [24]. Es zeigt sich, dass diese mithilfe des quadratischen Mittels der DNL-Werte aller Codewörter angegeben werden kann. Mit dieser Betrachtung ist es möglich, von der Größe der Fertigungstoleranz der Kapazitäten darauf zu schließen, wie sehr das SDR dadurch degradiert wird. Allerdings ist es wegen der Komplexität der Berechnung schwierig, eine direkte Vorschrift zur Dimensionierung der Grundzelle abzuleiten.

3.2 Sukzessives Approximationsregister

Das sukzessive Approximationsregister (SAR) steuert den zeitlichen Ablauf während des Umsetzungszyklus und speichert den digitalen Ausgangswert des ADU. An seinem Eingang liegt ein Taktsignal, mit dem das SAR von einem Schritt zum nächsten wechselt. Mit seinen digitalen Ausgangssignalen steuert das SAR alle Transfertransistoren und -gatter, die für das Schalten der Kapazitäten und das Abtasten notwendig sind. Außerdem stellt es die bestimmten Bitwerte mit einem zugehörigen Taktsignal zur Synchronisation am Datenausgang bereit.

In der Regel ist diese digitale Schaltung mit einer Logikfamilie aufgebaut, die Schaltungskomponenten mit statischen Zuständen in komplementärer Metall-Oxid-Halbleiter (*engl. Complementary Metal Oxide Semiconductor, CMOS*) Technologie verwendet, kurz statische CMOS-Logik. Diese Logikfamilie zeichnet sich durch geringe Leistungsaufnahme aus, da sie ohne statischen Stromfluss auskommt. Nachteilig sind die Störungen auf der Betriebsspannung, die bei der CMOS-Logikfamilie bei den Umschaltvorgängen entstehen und insbesondere die analogen Schaltungsteile beeinträchtigen können. Dieses Problem kann durch die pseudodifferentielle Ausführung des SAR abgemildert werden. Hierbei wird zusätzlich zu jedem generierten Logiksignal auch das inverse Signal erzeugt.

Im ersten Schritt des Wandlungszyklus muss die Eingangsspannung abgetastet und das SAR auf seinen Initialzustand zurückgesetzt werden. Anschließend sind die Steuersignale für den SC DAU entsprechend dem angewandten Algorithmus zu erzeugen. Im Folgenden werden Schaltungsvarianten vorgestellt, die verschiedene Algorithmen realisieren.

3.2.1 Sukzessives Approximationsregister für den klassischen Algorithmus

Abbildung 3.17 zeigt eine mögliche Schaltung zur Realisierung des klassischen Algorithmus [25]. Das gezeigte SAR ist mit verzögernden Speichergliedern (*engl. delay flip-flop, DFF*) aufgebaut. Diese übernehmen und speichern zu jeder steigenden Taktflanke den am Verzögerungseingang D anliegenden Logikpegel und geben ihn an ihrem Ausgang Q aus, am negierten Ausgang \overline{Q} liegt zu jedem Zeitpunkt das inverse Signal an. Die DFFs besitzen jeweils einen asynchronen Eingang zum Setzen (S) und Löschen (R) des Speichers. Die obere Reihe DFFs ist als Schieberegister verschaltet, die untere Reihe als Datenregister. Das Schieberegister steuert die zeitliche Abfolge während das Datenregister den SC DAU ansteuert und das digitale Ausgangscodewort vom MSB D_{N_Q-1} bis zum LSB D_0 speichert.

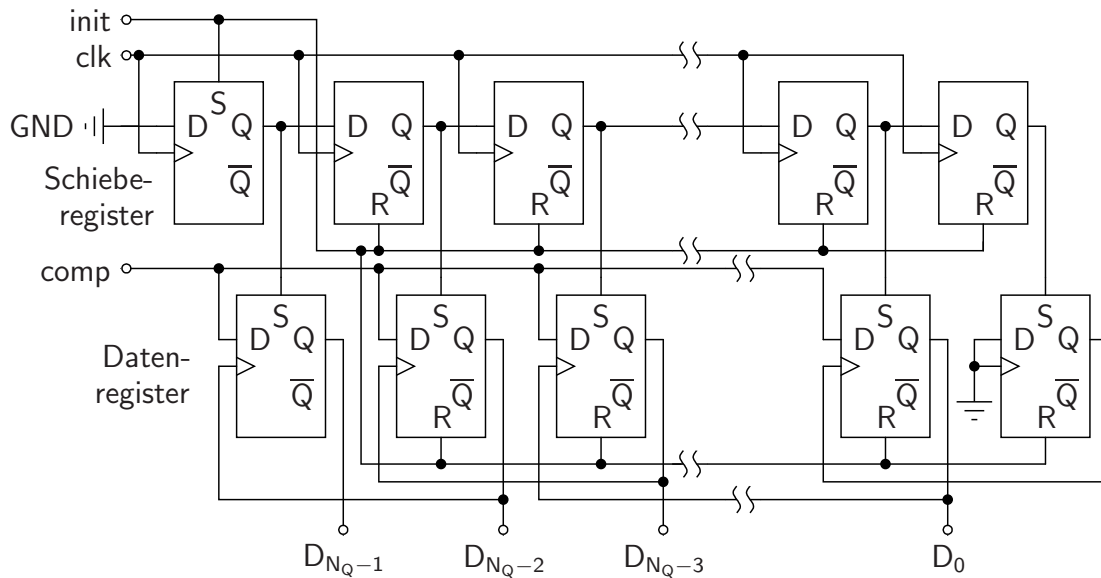


Bild 3.17: Sukzessives Approximationsregister mit Schiebe- und Datenregister für den klassischen Algorithmus

Das Signal *init* initialisiert Schiebe- und Datenregister, außerdem kann es zum Auslösen der Folgephase des Folge-Halte-Glieds verwendet werden. Die Initialisierung speichert eine logische „1“ im linken DFF des Schieberegisters, wodurch das Setzen des linken DFFs des Datenregisters verursacht wird. Alle übrigen DFFs werden zu „0“ zurückgesetzt.

Tritt beim Taktsignal *clk* eine steigende Flanke auf, wird die im linken DFF gespeicherte „1“ zum nachfolgenden DFF weitergereicht. Dadurch wird im Datenregister das DFF, das D_{N_q-2} speichert, gesetzt. Der Ausgang dieses DFFs ist mit dem Takteingang des vorhergehenden DFFs verbunden. Somit speichert das vorhergehende DFF zu diesem Zeitpunkt das vom Komparator kommende Signal *comp*. Das vom Schieberegister verursachte Setzen eines DFFs entspricht dem in Abschnitt 3.1.1 beschriebenen Verbinden des zugehörigen Kondensators mit der Referenzspannung $U_{a,ref}$. Die Rückkopplung dieses Signals auf den Takteingang des vorhergehenden DFFs realisiert das bedingte Zurückschalten des zum höherwertigen Bit gehörenden Kondensators auf $U_{b,ref}$.

Für den Fall, dass das vorhergehende DFF zurückgesetzt werden muss, ändern zwei DFFs ihre gespeicherten Werte. Weil das bedingte Rücksetzen durch eine Rückkopplung verursacht wird, findet es später statt als das Setzen. Die Ausgangsspannung des SC D-A-Umsetzers weist dann einen Störimpuls kurzer Dauer auf. Um die Zeitverzögerung zu vermeiden kann die Rückkopplung durch eine Verbindung des Takteingangs mit dem invertierten Setzen-Signal ersetzt werden [20]. Dann wird das Setzen der DFFs nach wie vor durch das Fortschreiten der „1“ im Schieberegister ausgelöst, das Rücksetzen jedoch vom Verlassen der „1“ eines DFFs im

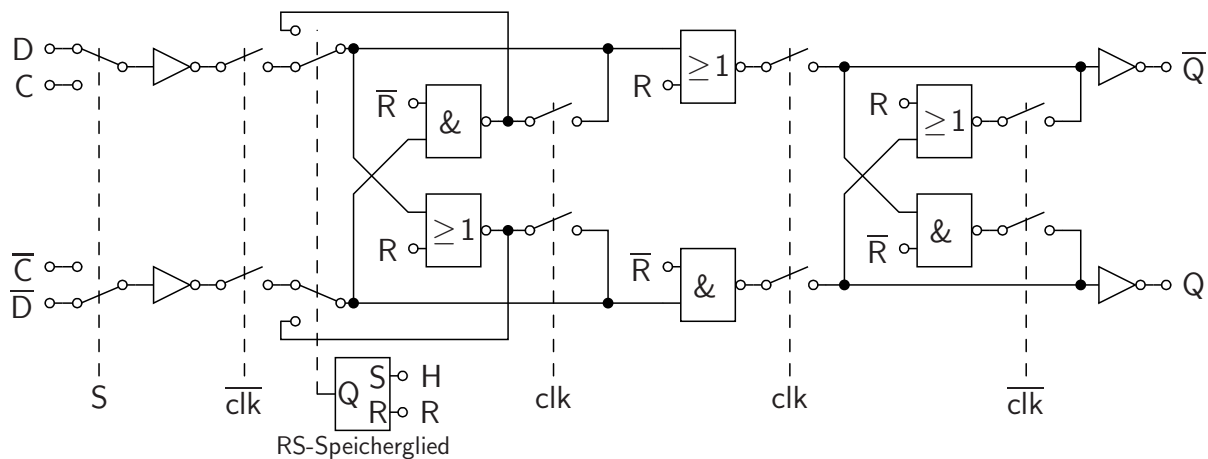


Bild 3.18: DFF mit zwei Verzögerungseingängen

Schieberegister. Wählt man zum Invertieren des Signals eine geeignete Anzahl von passend dimensionierten CMOS-Invertern, lassen sich beide Vorgänge synchronisieren.

DFF mit zwei synchronen Verzögerungseingängen

Zur weiteren Verbesserung des zeitlichen Verhaltens wird im Folgenden das spezielle DFF in Abbildung 3.18 vorgestellt [13]. Dieses ist pseudodifferentiell aufgebaut und besitzt zwei synchrone Verzögerungseingänge D und C, zwischen denen umgeschaltet werden kann. Daher wird es von nun an mit DDFF (*engl. double-input delay flip-flop*) abgekürzt. Das Auswahlsignal S aktiviert einen der Verzögerungseingänge, während das Haltesignal H beide deaktiviert, so dass das DDFF seinen gespeicherten Wert unabhängig vom Takt und von den Eingangssignalen behält. Durch einen Impuls am Rücksetzeingang R verlässt das DDFF den Haltemodus und sein Speicher wird gelöscht. Nach der Initialisierung gibt der Ausgang Q des DDFFs „0“ aus, der Verzögerungseingang D ist aktiviert.

Durch eine Serienschaltung von DDFFs lässt sich ein SAR aufbauen, das einen SC DAU mit dem klassischen Algorithmus ansteuert. Dadurch wird die zeitliche Steuerung des Schieberegisters mit der Speicherung des Ausgangscodeworts im Datenregister vereint. Die nicht-differentielle Verschaltung der DDFFs eines Ausschnitts des SAR ist in Abbildung 3.19 zu sehen. Nach der Initialisierung sind die Ausgänge Q der vorhergehenden mit den aktiven Eingängen D der nachfolgenden DDFFs verbunden und die Kette arbeitet als Schieberegister. Der Eingang D des linken DDFFs ist mit einer logischen „1“ verbunden, die mit jeder steigenden Taktflanke *clk* in einem weiteren DDFF der Kette gespeichert wird. Gelangt diese „1“ an einem DDFF an, wird durch die Rückkopplung von Q nach S dessen Verzögerungseingang C aktiviert, der mit dem Ausgangssignal des Komparators *comp* verbunden ist. Bei der darauf folgenden steigenden Taktflanke von *clk* speichert das DDFF das vom Komparator kommende Signal und geht in den Haltemodus über. Die zuvor gespeicherte „1“ rückt

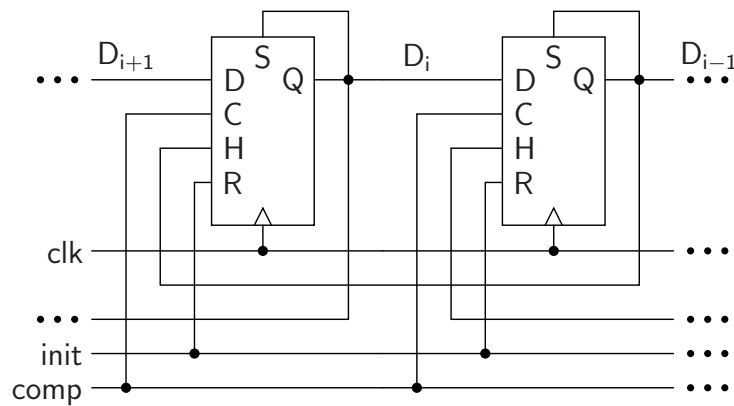


Bild 3.19: Teil eines mit DDFFs aufgebauten SARs

ins nachfolgende DDFF vor und bereitet das Speichern des vom Komparator kommenden Signals vor.

Die Rückkopplung von Q nach S verursacht in diesem Fall keine asynchronen Schaltvorgänge, weil das DDFF Logikpegel nur synchron speichert. Für das Umstellen der Verzögerungseingänge steht daher die Zeit bis zur nächsten steigenden Taktflanke zur Verfügung. Müssen während eines Schritts des Zyklus die Anschlüsse zweier Kondensatoren umgeschaltet werden, geschieht das zeitgleich, da die Signalpfade beider Verzögerungseingänge symmetrisch aufgebaut sind und somit die gleiche Verzögerungszeit haben. Auch die in Abschnitt 3.1.2 beschriebene Erweiterung des klassischen Algorithmus um ein Bit lässt sich mit diesem SAR realisieren, indem die Kette um eine Stufe erweitert wird. Ein weiterer Vorteil der pseudo-differentiellen DDFFs ist ihr geometrisch symmetrischer Aufbau. Das Schaltungslayout eines SARs mit dieser Komponente lässt sich symmetrischer gestalten als ein SAR mit dedizierten Schiebe- und Datenregistern.

3.2.2 SAR für einen SC D-A-Umsetzer mit geteilten Kapazitäten

In Abschnitt 3.1.4 wird ein modifizierter Algorithmus beschrieben, bei dem zwischen zwei Schritten immer genau ein Knoten umgeschaltet werden muss. Hierfür muss das SAR angepasst werden. Die in Abschnitt 3.1.4 zuerst genannte Variante des Algorithmus verwendet den SC DAU aus Abbildung 3.5 und lädt alle Kondensatorknoten auf die Gleichtaktspannung U_m . Dann schaltet er sie Schritt für Schritt auf eine der Referenzspannungen um. Dieses Vorgehen realisiert das SAR in Abbildung 3.20.

Das SAR in Abbildung 3.20 ist mit einem Schiebe- und einem Datenregister aufgebaut. Am Eingang des Schieberegisters liegt eine „1“, die mit jeder steigenden Taktflanke an ein weiteres DFF gereicht wird. Erreicht die „1“ das Latch am Ende des Schieberegisters, wird ein internes

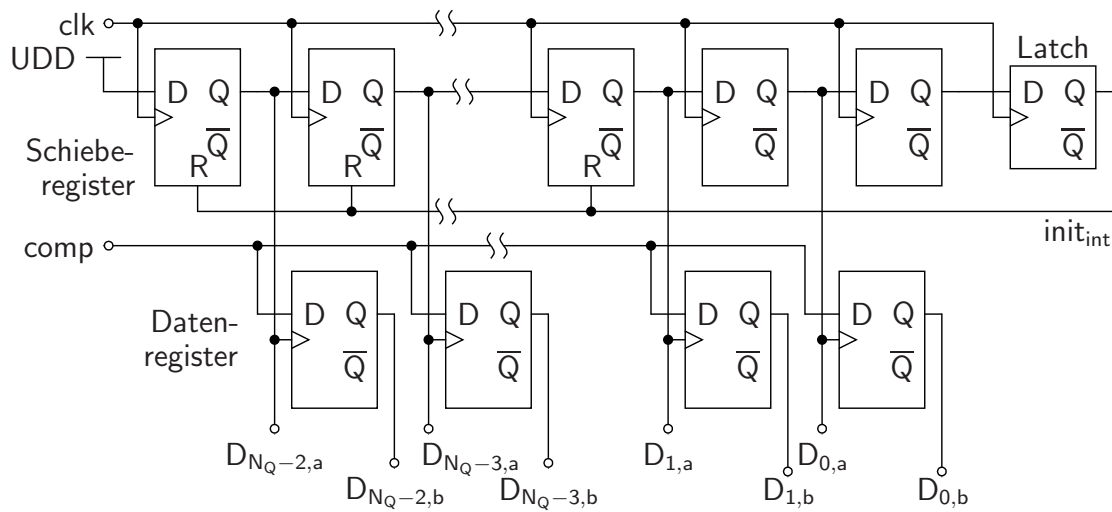


Bild 3.20: Sukzessives Approximationsregister für den DAU aus Abbildung 3.5

Signal $init_{int}$ gesetzt, das das SAR initialisiert, indem es die DFFs zurücksetzt. Zwei DFFs am Ende des Schieberegisters besitzen keinen Rücksetzeingang. Die Anzahl dieser DFFs legt die Länge des Rücksetzimpulses fest, welche außerdem die Folgephase des Folge-Halte-Glieds bestimmt.

Das Datenregister besteht aus DFFs, die das vom Komparator kommende Signal speichern. Die Ausgangssignale $D_{i,a}$ und $D_{i,b}$ ($i = 0, \dots, N_Q - 2$) steuern analoge Multiplexer, die entweder die Gleichtaktspannung U_m oder eine der Referenzspannungen $U_{a,ref}$ oder $U_{b,ref}$ an die in Abbildung 3.5 gezeigten Kondensator-knoten weiterleiten. Die Zuordnung der Spannungen ist in Tabelle 3.2 angegeben.

Tabelle 3.2: Zuordnung der Gleichtakt- und Referenzspannungen für das SAR in Abbildung 3.20

$D_{i,a}$	$D_{i,b}$	U_i
„0“	„X“	U_m
„1“	„0“	$U_{a,ref}$
„1“	„1“	$U_{b,ref}$

Nach der Initialisierung liegen alle Kondensatoranschlüsse auf dem Gleichtaktpegel U_m . Bei einer steigenden Taktflanke reicht das Schieberegister die „1“ ans nächste DFF weiter, das entsprechende DFF des Datenregisters speichert das vom Komparator kommende Signal $comp$ und der zugehörige Kondensatoranschluss wird in Abhängigkeit davon auf $U_{a,ref}$ oder $U_{b,ref}$ umgeschaltet.

Teilt man die Kondensatoren des SC DAU wie in Abbildung 3.7 auf, kann ein ähnlicher

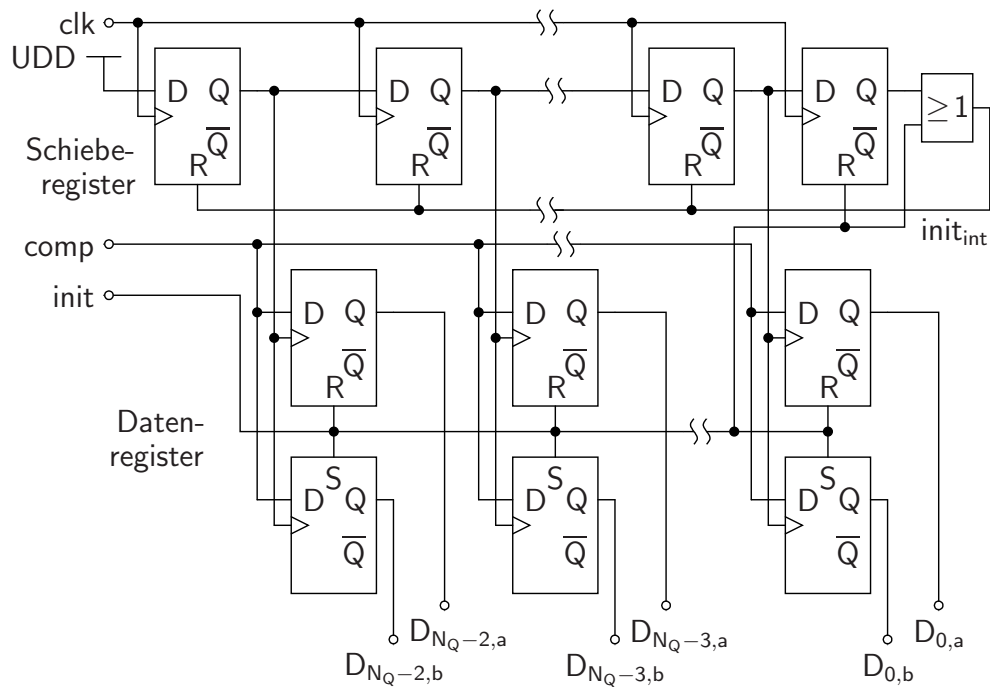


Bild 3.21: Sukzessives Approximationsregister für den SC DAU aus Abbildung 3.7

Algorithmus angewandt werden, ohne dass die Gleichtaktspannung bereitgestellt werden muss. Ein geeignetes SAR hierzu zeigt Abbildung 3.21.

Auch hier übernimmt ein Schieberegister die zeitliche Steuerung und erzeugt ein internes Signal zur Initialisierung $init_{int}$. Dieses Signal ist durch die ODER-Verknüpfung des Ausgangs vom Schieberegister mit einem externen Signal $init$ gegeben. Das Datenregister besitzt je zwei DFFs für jedes Bit, die jeweils eine Hälfte der geteilten Kapazitäten ansteuern. Die Ausgänge $D_{i,a}$ und $D_{i,b}$ steuern analoge Multiplexer, die eine der Referenzspannungen auf die Knoten $U_{i,a}$ bzw. $U_{i,b}$ in Abbildung 3.7 legen. Bei der Initialisierung wird jeweils ein DFF gesetzt, das andere gelöscht, so dass jeweils eine Hälfte jeder Kapazität mit der größeren, die andere Hälfte mit der kleineren Referenzspannung verbunden ist. Mit dem Fortschreiten der „1“ im Schieberegister wird das Ausgangssignal des Komparators an der entsprechenden Stelle im Datenregister gespeichert. Hierbei ändert sich für jedes Bit der gespeicherte Wert eines der beiden DFFs, so dass danach beide Hälften der geteilten Kapazität mit der selben Referenzspannung verbunden sind.

3.2.3 Asynchrone Ansteuerung des sukzessiven Approximationsregisters

Alle angesprochenen Varianten des sukzessiven Approximationsregisters wechseln mit einer steigenden Flanke an ihrem Takteingang von einem zum nächsten Schritt. Der Takteingang kann synchron oder asynchron angesteuert werden. Bei einer synchronen Ansteuerung wird ein extern bereitgestelltes Taktsignal verwendet, die Schritte werden synchron zu diesem Signal ausgeführt. Dadurch ist die Dauer jedes Schritts innerhalb des Umsetzungszyklus gleich und es wird sichergestellt, dass stets alle Schritte durchlaufen werden. Die Verzögerungszeit des Komparators hängt aber von dessen Eingangsspannungsdifferenz ab, so dass die Dauer der Schritte für die größtmögliche Verzögerungszeit dimensioniert werden muss. Bei einer Steigerung der Taktfrequenz steigt die Abtastrate des A-D-Umsetzers proportional dazu. Das SAR arbeitet jedoch bei zu großer Taktfrequenz nicht mehr fehlerfrei, weil dann die Speicherglieder falsche Daten übernehmen. In diesem Fall begrenzt das synchrone SAR die Abtastrate.

Alternativ kann das SAR mit einem Taktsignal betrieben werden, das innerhalb des A-D-Umsetzers erzeugt wird. Dieses Signal erkennt, wann die Entscheidung des Komparators zu Ende ist, und zeigt das durch eine steigende Flanke an. Dadurch geht das SAR zum nächsten Schritt über und setzt das Signal zurück. Diese Variante wird als asynchrone Steuerung bezeichnet, weil die Dauer der Schritte von der Verzögerungszeit des Komparators abhängt. Vorteile sind, dass ein extern bereitgestellter Takt mit der Frequenz der Abtastrate genügt, und dass ein Schritt innerhalb des Umsetzungszyklus erst beendet wird, wenn sich der Komparator vollständig entschieden hat. Wird der ADU bei einer größeren Abtastrate als vorgesehen betrieben, bestimmt er so viele Binärwerte des Ausgangscodeworts wie möglich, angefangen beim MSB, bis der nächste Wert abgetastet wird. Werden alle nicht bestimmten Binärwerte zu Null gesetzt, funktioniert die Analog-Digital-Umsetzung weiterhin korrekt, aber die Auflösung nimmt ab. Ein Nachteil ist, dass die Dauer der Folgephase des A-D-Umsetzers innerhalb der Schaltung erzeugt werden muss. Die Schaltung hierzu verbraucht zusätzliche Leistung und muss Anforderungen an den Jitter des entsprechenden Signals erfüllen, um ein ausreichendes SNR zu gewährleisten.

3.3 Komparatoren für SAR A-D-Umsetzer

Der Komparator ist der Quantisierer des SAR A-D-Umsetzers. Alle in dieser Arbeit vorgestellten Umsetzer haben genau einen Komparator und sind damit in der Lage, ein Bit pro

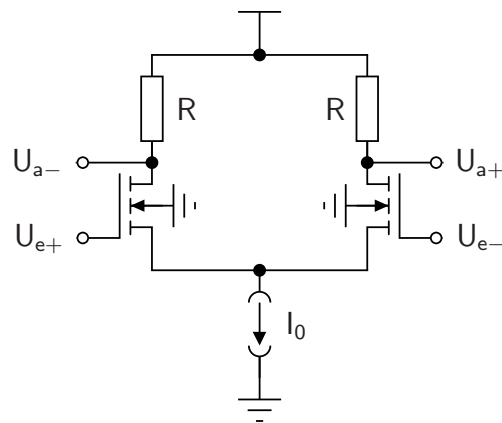


Bild 3.22: Differentieller Verstärker mit resistiver Last

Schritt zu bestimmen. Seine Aufgabe ist zu entscheiden, ob seine analoge Eingangsspannung größer als eine konstante Schwelle ist, oder nicht. In dieser Arbeit sind alle SAR ADU differentiell aufgebaut, so dass der Komparator zwei Eingangsknoten hat. Seine Schwelle beträgt Null, so dass das Vorzeichen der Differenz der Spannungen an den Eingangsknoten das gewünschte Ausgangssignal bestimmt. Der Eingang des Komparators ist mit dem SC DAU verbunden und darf die dort gespeicherte Ladungsmenge nicht verändern. Deshalb werden MOSFETs als Eingangstransistoren verwendet, die abgesehen vom Leckstrom keinen statischen Stromfluss an ihrer Steuerelektrode zulassen.

Es ist zwischen Komparatoren mit statischer und regenerativer Verstärkung zu unterscheiden. Ein Komparator mit statischer Verstärkung ist ein einzelner oder eine Kaskade von Verstärkern, die Eingangsspannung wird somit um einen statischen Wert verstärkt. Regenerative Komparatoren sind bistabile Kippschaltungen, die zyklisch in ihren metastabilen Zustand zurückgesetzt werden und dann in einen ihrer stabilen Zustände kippen.

3.3.1 Komparatoren mit statischer Verstärkung

Die statische Verstärkung von Komparatoren ist im Allgemeinen vom Betrag der Eingangsspannung abhängig. Sie muss genügend groß sein, um die kleinstmögliche Eingangsspannung auf die am Ausgang benötigten Logikpegel zu verstärken. Ein einfaches Schaltungsbeispiel für einen differentiellen Verstärker zeigt Abbildung 3.22.

Die Verstärker können mit (*engl. closed loop*) oder ohne (*engl. open loop*) Rückkopplung verschaltet sein. Während sich durch eine Rückkopplung die Verstärkung genauer einstellen lässt, ist bei nicht rückgekoppelten Verstärkern die Bandbreite deutlich größer. Durch Rückkopplung kann außerdem das Offset des Verstärkers kompensiert werden, wozu er kurzzeitig

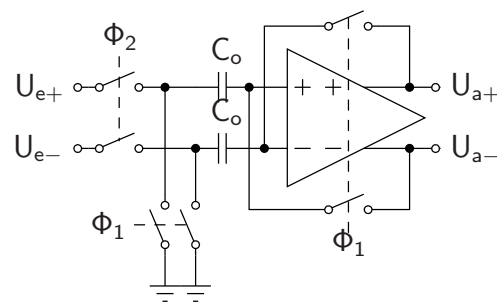


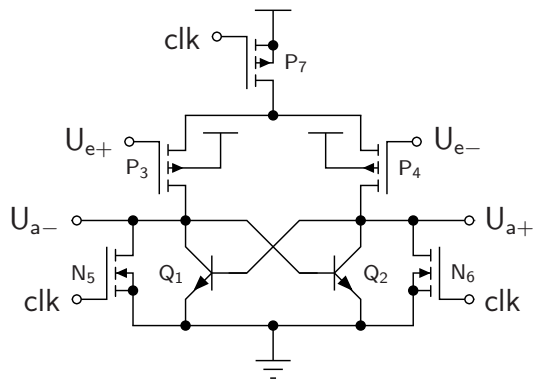
Bild 3.23: Kompensation des Offsets differentieller Verstärker

außer Betrieb genommen werden muss. Eine Schaltung hierzu [20, 26] besitzt eine Phase Φ_1 , während derer das Offset zurückgekoppelt und auf Kondensatoren C_o gespeichert wird, siehe Abbildung 3.23. Während der Phase Φ_2 verstärkt die Schaltung ihr Eingangssignal nahezu ohne Offsetfehler.

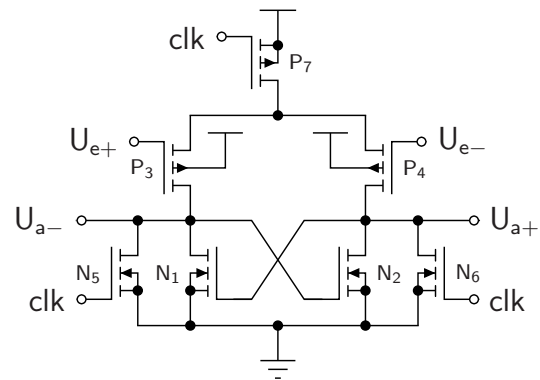
3.3.2 Regenerative Komparatoren

Regenerative Komparatoren sind mit einer bistabilen Kippschaltung aufgebaut. Eine solche Schaltung besitzt zwei stabile Zustände, die durch eine „0“ oder eine „1“ am Ausgangsknoten gekennzeichnet sind. Bevor der regenerative Komparator die Quantisierung eines Bits beginnt, muss er zurückgesetzt werden. Dazu wird er abgeschaltet und in einen metastabilen Zustand gebracht. Sobald er eingeschaltet wird, strebt er einem stabilen Zustand zu. Welcher der beiden stabilen Zustände das ist, wird von der analogen Eingangsspannung beeinflusst. Das Ausgangssignal des regenerativen Komparators ist ungültig, wenn er abgeschaltet ist. Auch nach dem Anschalten ist das Ausgangssignal erst gültig, wenn die Schaltung ihren stabilen Zustand erreicht hat.

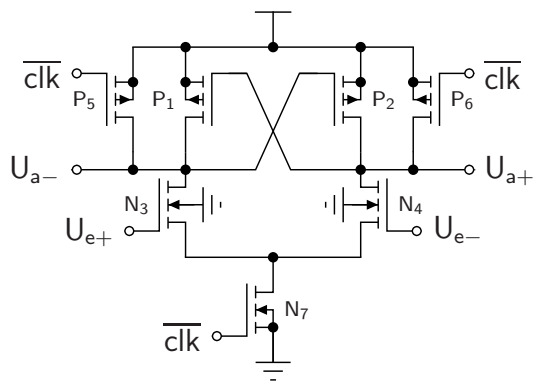
Die regenerativen Komparatoren in Abbildung 3.24(a)–(c) wurden speziell für die Anwendung in SAR ADU entworfen [27]. Sie besitzen jeweils ein kreuzgekoppeltes Transistorpaar $Q_{1,2}$ (NPN-Bipolartransistoren), $N_{1,2}$ (n-Kanal MOSFETs) oder $P_{1,2}$ (p-Kanal MOSFETs), das sich in einem stabilen Zustand befindet, wenn eine der Steuerelektroden auf dem niedrigen, die andere auf dem hohen Logikpegel liegt. Durch die Transistoren $N_{5,6}$ beziehungsweise $P_{5,6}$ kann die Schaltung in ihren metastabilen Zustand gebracht werden, in welchem keiner der kreuzgekoppelten Transistoren Strom leitet. Durch den Transfertransistor P_7 und das Eingangstransistorpaar $P_{3,4}$ fließt Ladung auf die Ausgangsknoten $U_{a\pm}$, durch N_7 und $N_{3,4}$ von den Ausgangsknoten $U_{a\pm}$, so dass das kreuzgekoppelte Transistorpaar in den leitenden Zustand kommt. In Abhängigkeit von den Eingangsspannungen $U_{e\pm}$ leitet einer der Eingangstransistoren einen größeren Strom und ruft eine größere Spannungsänderung an



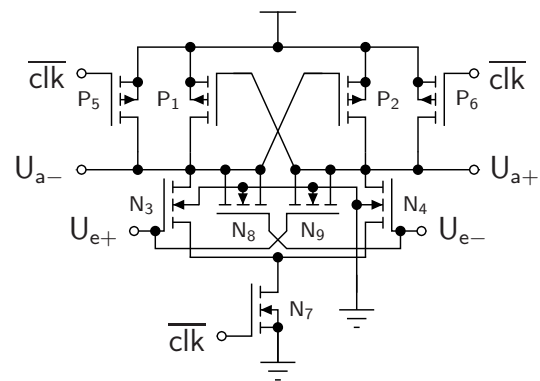
(a) Komparator mit kreuzgekoppelten NPN-Transistoren



(b) Komparator mit kreuzgekoppelten n-Kanal MOSFETs



(c) Komparator mit kreuzgekoppelten p-Kanal MOSFETs



(d) Komparator mit kreuzgekoppelten p-Kanal MOSFETs und Kompensation der Rückkopplung

Bild 3.24: Komparatoren für SAR A-D-Umsetzer

seinem Drainanschluss hervor als der andere. Die entstehende Spannungsdifferenz verstärkt sich regenerativ und treibt den Komparator in den entsprechenden stabilen Zustand.

Bei den Komparatoren in Abbildung 3.24(a)–(c) koppelt eine differentielle Störspannung von den Ausgangsknoten $U_{a\pm}$ auf die Eingangsknoten $U_{e\pm}$ zurück, weil sich die Ausgangsspannungen asymmetrisch ändern. Die Ursache hierfür wird beispielhaft am Komparator in Abbildung 3.24(c) erklärt, wo die Ausgangsknoten mit der positiven Betriebsspannung initialisiert werden. Nachdem der Komparator seinen stabilen Zustand erreicht hat, hat einer der Ausgangsknoten wieder das Potential der positiven Betriebsspannung, während der andere Massepotential hat. Der Drainanschluss eines Eingangstransistors ist jeweils mit dem komplementären Ausgangsknoten verbunden, so dass die Gate-Drain-Kapazitäten der Eingangstransistoren die Eingangsknoten kapazitiv mit den komplementären Ausgangsknoten koppeln. Die Spannungsdifferenz eines Ausgangsknotens, zum Beispiel U_{a+} , vor und nach der Entscheidung beträgt Null, die des anderen, in diesem Fall U_{a-} , hat die Größe der Betriebsspannung. Dann koppelt das Abfallen des Potentials von U_{a-} auf die ihm komplementäre

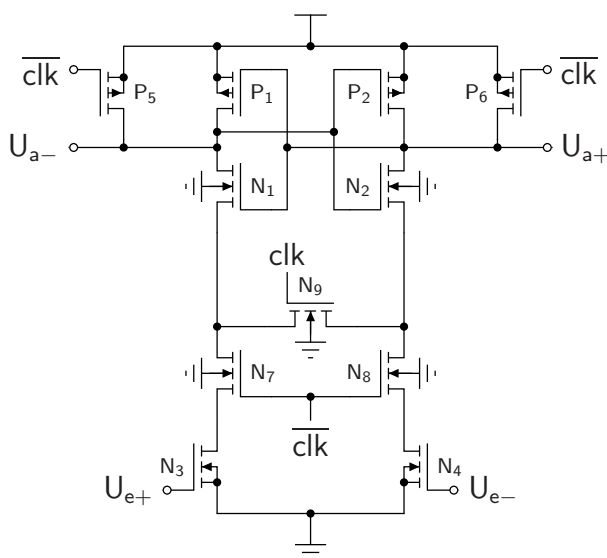


Bild 3.25: Komparator mit reduzierter differentieller Rückkopplung des Ausgangs auf den Eingang

Eingangsspannung U_{e+} und lässt diese ebenfalls abfallen. Bei U_{e+} handelt es sich in dem Fall um diejenige Eingangsspannung, die vor der Entscheidung größer war. Die andere Eingangsspannung, U_{e-} , bleibt unbeeinflusst, so dass sich die Differenz der Eingangsspannungen beim Entscheidungsvorgang ändert und dadurch der Analogteil des Umsetzers gestört wird.

Eine Möglichkeit zur Kompensation dieser Rückkopplung zeigt Abbildung 3.24(d). Hier sind zwei Transistoren $N_{8,9}$ eingefügt, deren Drain- und Sourceanschlüsse mit einem Ausgangsknoten und deren Gateanschlüsse über Kreuz mit den Eingangsknoten verbunden sind. Diese Transistoren haben dieselbe Kanallänge wie die Eingangstransistoren, jedoch nur deren halbe Weite. Die Summe ihrer Gate-Drain- und Gate-Source-Kapazitäten entspricht somit etwa der Gate-Drain-Kapazität der Eingangstransistoren, so dass beide Ausgangsknoten gleichmäßig auf beide Eingangsknoten koppeln und die Störung kompensieren.

Die differentielle Rückkopplung der Ausgangs- auf die Eingangsknoten kann auch mit dem Komparator in Abbildung 3.25 vermindert werden. Im Vergleich zu Abbildung 3.24(c) ist ein kreuzgekoppeltes Paar n-Kanal MOSFETs $N_{1,2}$ seriell zum vorhandenen Paar $P_{1,2}$ geschaltet, so dass sich kreuzgekoppelte CMOS-Inverter ergeben. Die MOSFETs $N_{7,8}$ ersetzen den mit Masse verbundenen Transistor N_7 in Abbildung 3.24(c) und isolieren während der Rücksetzphase die Eingangstransistoren $N_{3,4}$ von den kreuzgekoppelten Invertern. Der nicht zwingend notwendige Transistor N_9 verbindet den linken und rechten Zweig während der Rücksetzphase und unterstützt das Angleichen der Potentiale an beiden Zweigen. Dadurch wird verhindert, dass Ladung, die von der vorhergehenden Entscheidung stammt, auf diesen Knoten verbleibt und die neue Entscheidung beeinflusst.

Auch bei diesem Komparator bestimmt die Differenz der Ströme, die die Eingangstransistoren $N_{3,4}$ führen, welchen stabilen Zustand er annimmt. Es kann jedoch die Ladung von beiden Drainknoten der Eingangstransistoren abfließen, so dass die Drainpotentiale von $N_{3,4}$ vor und nach der Entscheidung nahe dem Massepotential sind und keine differentielle Störspannung zurückkoppelt. Die MOSFETs $N_{1,2}$ verhindern außerdem den statischen Stromfluss nach dem Erreichen des stabilen Zustands, der in Abbildung 3.24(c) durch den leitenden Transistor des kreuzgekoppelten Paares $P_{1,2}$, einen der Eingangstransistoren $N_{3,4}$ und den Transfertransistor N_7 möglich ist. Dadurch wird die mittlere Leistungsaufnahme verringert.

Im Gegensatz zu aus der Literatur bekannten, ähnlich aufgebauten Komparatoren [28] ersetzen die Transistoren $N_{7,8}$ einen Transistor zwischen den Sourceanschlüssen von $N_{3,4}$ und Masse. Dadurch sind die Gate-Source-Spannungen der Eingangstransistoren größer, wodurch eine schnellere Entscheidung ermöglicht wird.

Regenerative Komparatoren erreichen in jedem Fall einen stabilen Zustand, geben also Logikpegel am Ausgang aus. Die Verzögerungszeit, bis der stabile Zustand erreicht ist, hängt allerdings von der Differenz von Eingangsspannung und Schwellenspannung ab. Ist diese sehr klein, kann der Komparator in einen metastabilen Zustand übergehen, den er möglicherweise erst nach langer Zeit durch den Einfluss von thermischem Rauschen oder anderen Störgrößen verlässt.

Bei regenerativen Komparatoren ist es nicht möglich, am Ausgang die Offsetspannung zu erzeugen, indem eine Eingangsspannungsdifferenz von 0 V angelegt wird. Jede Ausgangsspannungsdifferenz wird bei aktiviertem Komparator regenerativ auf die maximalen Pegel verstärkt. Daher muss, falls die Kalibrierung des Offsets notwendig ist, eine andere Methode mit dedizierten Kalibrierungszyklen angewandt werden. Eine Möglichkeit hierzu ist es, während der Folgephase des A-D-Umsetzers, wenn der Komparator nicht gebraucht wird, eine Eingangsspannungsdifferenz von 0 V anzulegen und dann eine Entscheidung herbeizuführen. Dadurch zeigt sich die Polarität des Offsets, nicht aber sein Betrag. Bevor der nächste Kalibrierungsschritt durchgeführt wird, wird das Offset so verändert, dass sich sein Betrag verringert. Fällt bei einem Kalibrierungsschritt die Entscheidung anders aus als beim letzten, hat das Offset sein Vorzeichen gewechselt und ist so klein, wie es die Kalibrierung zulässt [29].

Zum Verändern des Offsets kommen unterschiedliche Schaltungskonzepte infrage. Mit einem digitalen Steuersignal können binär gewichtete Kondensatoren zu dem Ausgangsknoten geschaltet werden, dessen Potential sich in der Entscheidungsphase schneller ändert. Auf diese Weise kann die Bandbreite dieses Knotens schrittweise reduziert und an die des komplementären Knotens angepasst werden. Eine weitere Möglichkeit besteht darin, mit Ladungspumpen

und Kondensatoren Analogspannungen zu erzeugen, die das Offset beeinflussen. Diese können beispielsweise mit den Substratanschlüssen der Eingangstransistoren verbunden werden, so dass sich deren Schwellenspannungen ändern. Andererseits können sie mit den Gateanschlüssen von MOSFETs verbunden werden, die den Eingangstransistoren parallel geschaltet sind, um die von abweichenden Transistorparametern verursachte Stromdifferenz auszugleichen [29, 30].

Es ist möglich, verstärkende und regenerative Komparatoren zu kombinieren [13]. Ein zweistufiger Komparator, der aus einer verstärkenden Vorstufe und einem regenerativen Komparator aufgebaut ist, bringt mehrere Vorteile. Durch die statische Verstärkung der Vorstufe genügt eine geringere Sensitivität des regenerativen Komparators für eine gegebene Auflösung. Außerdem vergrößert der Verstärker die Isolation des Komparatorausgangs von dessen Eingang und vermindert dadurch störende Rückkopplungen vom Aus- zum Eingang. Zudem kann der Offsetfehler der statischen Vorstufe auf Kondensatoren gespeichert und kompensiert werden. Dann wirkt sich nur noch die Offsetspannung des regenerativen Verstärkers auf die Übertragungsfunktion des A-D-Umsetzers aus, sie erscheint jedoch um die Verstärkung der statischen Vorstufe verkleinert. Nachteilig ist die statische Leistungsaufnahme, die für den Vorverstärker erforderlich ist.

3.4 Abtasten des analogen Eingangssignals

Zu Beginn der Umsetzung einer analogen Spannung in einen Digitalwert muss diese analoge Spannung gespeichert werden. Dazu wird der Eingangsknoten über einen seriellen Schalter mit einem Kondensator gegen Masse verbunden. Dieses sogenannte Folge-Halte-Glied befindet sich in der Folgephase, solange der Schalter geschlossen ist und sich eine zur momentanen Eingangsspannung proportionale Ladungsmenge auf dem Kondensator befindet. Öffnet sich der Schalter, beginnt die Haltephase und die Ladung ist auf dem Kondensator isoliert, so dass dieser die Eingangsspannung speichert.

Während der Folgephase muss die analoge Eingangsspannung des A-D-Umsetzers mit der Haltekapazität verbunden werden. Im Falle der hier behandelten ADU stellt der SC D-A-Umsetzer die Haltekapazität dar. Außerdem arbeiten alle in dieser Arbeit vorgestellten ADU differentiell, so dass zwei symmetrische Abtastschalter benötigt werden. Als Schalter werden MOSFETs verwendet, durch deren nichtlineare Eigenschaften das analoge Eingangssignal verzerrt wird. Diese Verzerrungen werden durch statische Effekte wie die Übertragungskennlinie der Abtastschalter und dynamische Effekte wie kapazitives Überkoppeln verursacht.

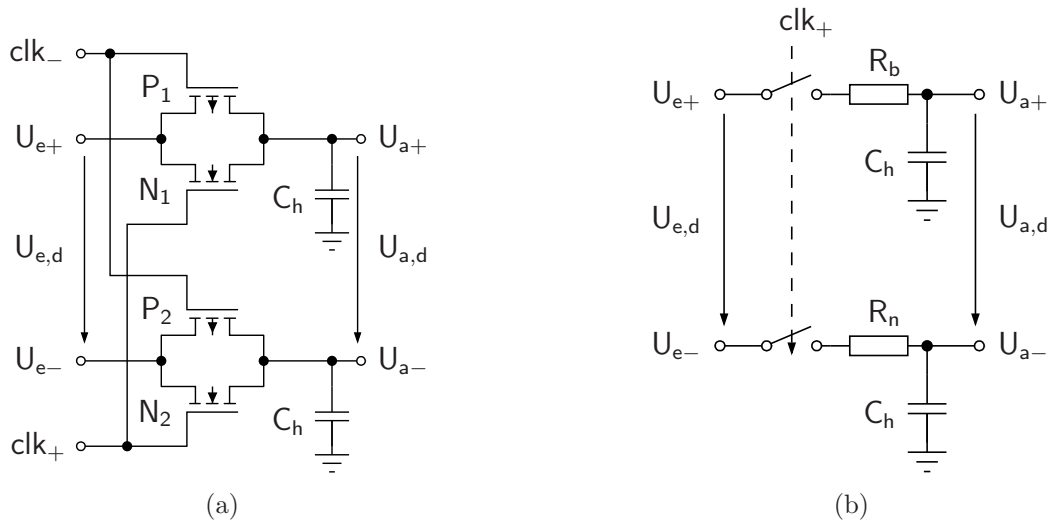


Bild 3.26: Differenzielles Folge-Halte-Glied mit Haltekapazität C_h und (a) Transferrgattern als Abtastschalter und (b) Modell der Transferrgatter mit idealen Schaltern und Ohm'schen Widerständen

3.4.1 Übertragungskennlinie der Abtastschalter

In CMOS-Technologien werden häufig Transfertransistoren oder Transferrgatter mit MOSFETs als Schalter verwendet. Die Nichtlinearität eines Folge-Halte-Glieds mit einem seriellen Transfertransistor und einer Haltekapazität gegen Masse wurde von Yu untersucht [31]. Er zielt auf die Anwendung des Folge-Halte-Glieds als Mischer ab und trifft die Annahme, dass die Zeitkonstante, die durch den Leitwert des Transfertransistors und die Haltekapazität definiert ist, sehr klein gegenüber der Dauer der Folgephase ist. Diese Annahme gilt bei den in dieser Arbeit vorgestellten A-D-Umsetzern nicht.

Abbildung 3.26(a) zeigt den Schaltplan eines differentiellen Abtastschalters mit der Haltekapazität C_h , welche als Modell der Eingangskapazität des SC DAU dient. Die Schalter werden durch den differentiellen Abtasttakt clk_+ und clk_- gesteuert. U_{e+} und U_{e-} sind die Eingangsspannungen, $U_{e,d} = U_{e+} - U_{e-}$ ist die differentielle Eingangsspannung und $U_{e,CM} = \frac{1}{2}(U_{e+} + U_{e-})$ der Gleichtaktpegel am Eingang. Entsprechend sind mit $U_{a,d} = U_{a+} - U_{a-}$ und $U_{a,CM} = \frac{1}{2}(U_{a+} + U_{a-})$ die Spannungen am Ausgang definiert. Die Gleichtaktpegel an Ein- und Ausgang seien bei dieser Betrachtung gleich, $U_{CM} = U_{e,CM} = U_{a,CM}$. Die MOSFETs N_1 und P_1 bilden das Transferrgatter zwischen U_{e+} und U_{a+} , N_2 und P_2 das zwischen U_{e-} und U_{a-} .

Abbildung 3.26(b) zeigt ein Ersatzschaltbild der Abtastschalter, in dem die Transferrgatter als Serienschaltung von idealen Schaltern und Ohm'schen Widerständen R_b und R_n modelliert

sind. R_b und R_n sind im Allgemeinen unterschiedlich und von den Spannungspegeln am Transfergatter abhängig.

Das Signal clk_+ wechselt zum Zeitpunkt t_0 von „0“ nach „1“ und schließt die Abtastschalter. Vor dem Schließen der Schalter zum Zeitpunkt t_0 gilt bei allen in dieser Arbeit betrachteten SAR A-D-Umsetzern

$$U_{a+}(t_0) \approx U_{a-}(t_0) \approx U_{CM}. \quad (3.27)$$

3.4.1.1 Abtasten mit konstantem Eingangssignal

Für den vereinfachten Fall, dass die Eingangsspannungen U_{e+} und U_{e-} während der Folgephase konstant sind, lässt sich die Übertragungskennlinie der Abtastschalter analytisch bestimmen. Für den zeitlichen Verlauf der Ausgangsspannungen ergibt sich

$$U_{a+}(t) = U_{e+} + (U_{a+}(t_0) - U_{e+}) e^{-\frac{t-t_0}{R_b C_h}} \quad \text{und} \quad (3.28)$$

$$U_{a-}(t) = U_{e-} + (U_{a-}(t_0) - U_{e-}) e^{-\frac{t-t_0}{R_n C_h}} \quad \text{für } t \geq t_0. \quad (3.29)$$

Die differentielle Ausgangsspannung am Ende der Folgephase der Länge T_f bestimmt sich dann zu

$$U_{a,d}(t_0 + T_f) = U_{e,d} \left(1 - \frac{e^{-T_f/R_b C_h} + e^{-T_f/R_n C_h}}{2} \right). \quad (3.30)$$

Der Ohm'sche Widerstand eines Transfertransistors ist durch den Kehrwert seines Ausgangsleitwerts $g_o = \frac{\partial i_{DS}}{\partial u_{DS}}$ gegeben [32]. Nun wird angenommen, dass sich die Ausgangsspannungen U_{a+} und U_{a-} sehr schnell den Eingangsspannungen annähern ($U_{DS} \approx 0$) und dass die konstanten Logikpegel „0“ und „1“ des Takts so gewählt sind, dass alle Transistoren während der Folgephase leiten. Somit befinden sich alle Transistoren, nachdem sie für kurze Zeit im Sättigungsbereich waren, hauptsächlich im linearen Arbeitsbereich und ihre Drain-Source-Spannungen sind sehr klein, so dass sie vernachlässigt werden können. Die Ausgangsleitwerte sind dann durch [32]

$$g_{o,N1} = \beta_n(U_{G,n} - U_{tn} - U_{e+}) \quad \text{für } N_1, \quad (3.31)$$

$$g_{o,P1} = -\beta_p(U_{G,p} - U_{tp} - U_{e+}) \quad \text{für } P_1, \quad (3.32)$$

$$g_{o,N2} = \beta_n(U_{G,n} - U_{tn} - U_{e-}) \quad \text{für } N_2 \quad \text{und} \quad (3.33)$$

$$g_{o,P2} = -\beta_p(U_{G,p} - U_{tp} - U_{e-}) \quad \text{für } P_2 \quad (3.34)$$

gegeben. Dabei entsprechen die Potentiale an den Steuerelektroden der n-Kanal MOSFETs $U_{G,n}$ dem Logikpegel „1“ des Taktsignals, die der p-Kanal MOSFETs $U_{G,p}$ dem Logikpegel „0“. U_{tn} und U_{tp} sind die Schwellenspannungen der n- und p-Kanal MOSFETs. Damit lassen sich die Ohm'schen Widerstände der Transferrgatter ableiten:

$$R_b = (g_{o,N1} + g_{o,P1})^{-1} = (\beta_n(U_{G,n} - U_{tn} - U_{e+}) - \beta_p(U_{G,p} - U_{tp} - U_{e+}))^{-1} \quad (3.35)$$

$$R_n = (g_{o,N2} + g_{o,P2})^{-1} = (\beta_n(U_{G,n} - U_{tn} - U_{e-}) - \beta_p(U_{G,p} - U_{tp} - U_{e-}))^{-1} \quad (3.36)$$

Eingesetzt in Gleichung (3.30) ergibt sich für die differentielle Ausgangsspannung am Ende der Folgephase (siehe hierzu Anhang B)

$$U_{a,d}(t_0 + T_f) = U_{e,d} \left[1 - \overbrace{e^{-\frac{T_f}{\tau_{tg}}}}^{= \text{const.}} \cosh \frac{T_f(\beta_n - \beta_p)U_{e,d}}{2C_h} \right] \text{ mit} \quad (3.37)$$

$$\tau_{tg} = \frac{C_h}{\beta_n \underbrace{(U_{G,n} - U_{tn} - U_{CM})}_{>0} - \beta_p \underbrace{(U_{G,p} - U_{tp} - U_{CM})}_{<0}}. \quad (3.38)$$

Die hierin enthaltene Exponentialfunktion ist ein konstanter Faktor, der von Technologieeigenschaften und der Dimensionierung der Bauelemente abhängt. Die Schwellenspannungen U_{tn} und U_{tp} sowie die Verstärkungsfaktoren β_n und β_p werden von den verwendeten Transistoren und deren Dimensionierung, also Kanallänge und -weite, bestimmt. Die Gatepotentiale der n- und p-Kanal Transistoren $U_{G,n}$ und $U_{G,p}$, die Gleichtaktspannung U_{CM} und die Größe der Haltekapazität C_h müssen geeignet gewählt werden, sind jedoch konstant. Die Zeitkonstante τ_{tg} fasst diese Parameter zusammen.

Der konstante Faktor $e^{-\frac{T_f}{\tau_{tg}}}$ fügt der Übertragungskennlinie keine Nichtlinearität zu, ändert aber die Signalamplitude. Er kann Werte im Bereich $(0, 1)$ annehmen, verringert also die Amplitude des Ausgangssignals $U_{a,d}$ im Vergleich zu $U_{e,d}$. Insbesondere für eine sehr kurze Folgephase, also für kleines T_f , nähert er sich 1 an, so dass die Signalamplitude gegen 0 V geht.

Abbildung 3.27 veranschaulicht die in Gleichung (3.38) vorkommenden Spannungen. Für eine symmetrische Beschaltung der Transferrgatter sind die Spannungen, mit denen die Verstärkungsfaktoren in Gleichung (3.38) multipliziert werden, betragsmäßig gleich.

Der Kosinus Hyperbolicus, dessen Verlauf in Abbildung 3.28 dargestellt ist, ist eine gerade Funktion und führt zu einer nichtlinearen Übertragungskennlinie des Abtastschalters. Je

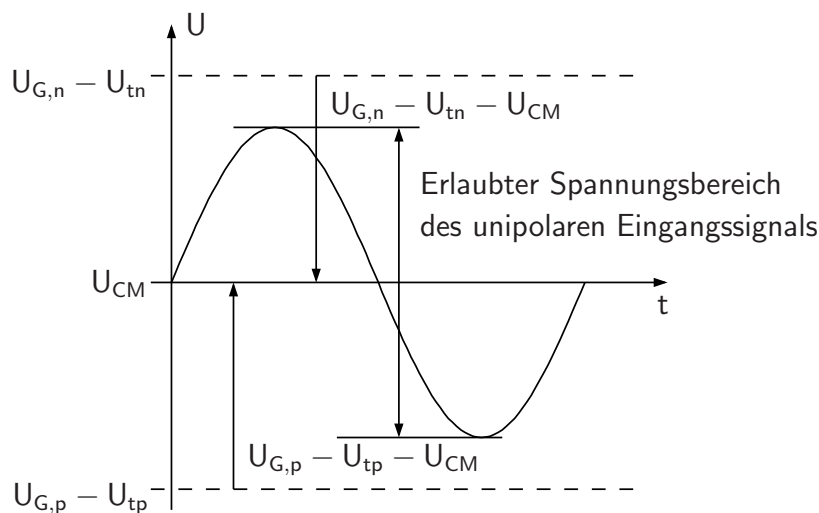


Bild 3.27: Darstellung der in Gleichung (3.38) vorkommenden Spannungen

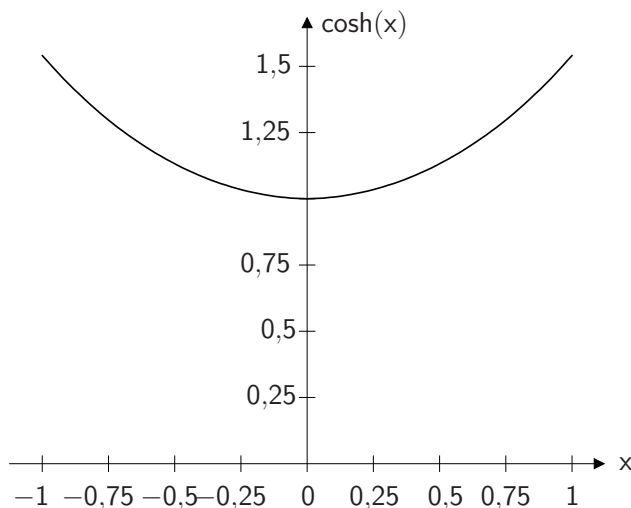


Bild 3.28: Schaubild des Verlaufs des Kosinus Hyperbolicus

kleiner sein Argument, desto geringer ist die von ihm verursachte Verzerrung. Das Argument hängt wie die Exponentialfunktion von der Dauer der Folgephase T_f , den Verstärkungsfaktoren β_n und β_p und der Haltekapazität C_h ab, allerdings ist auch der Wert der Eingangsspannung $U_{e,d}$ enthalten. Sie wurde in dieser Betrachtung innerhalb einer Folgephase zwar als konstant angenommen, ist für jeden Abtastwert jedoch innerhalb des erlaubten Bereichs frei wählbar. Damit ist der Wert des Kosinus Hyperbolicus im Allgemeinen für jeden Abtastwert unterschiedlich.

Für kleine Argumente ist der Kosinus Hyperbolicus nahe Eins. Er steigt aber zunehmend, wenn das Argument betragsmäßig wächst, und steigert dadurch die Nichtlinearität der Übertragungskennlinie. Das Argument kann einerseits durch eine Verkürzung der Folgephase T_f

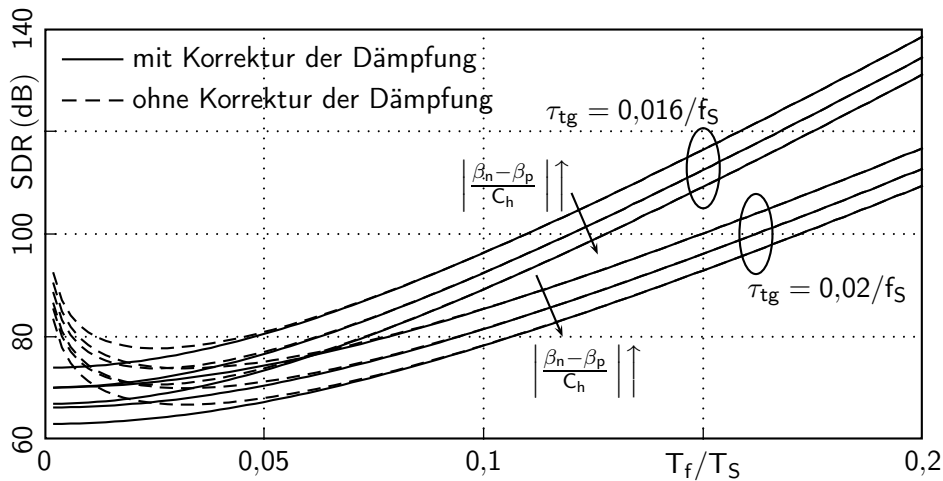


Bild 3.29: Mit Gleichung (3.37) berechnetes SDR am Ausgang des Folge-Halte-Glieds

oder durch eine Vergrößerung der Haltekapazität C_h reduziert werden. Dadurch verringert sich aber auch der Exponent des vorhergehenden Faktors und die Amplitude des Ausgangssignals $U_{a,d}$ sinkt. Dies erschwert die nachfolgende Quantisierung und wird daher nicht angewandt. Andererseits können die Transistoren so dimensioniert werden, dass die Verstärkungsfaktoren β_n und β_p möglichst gleich sind. Dadurch wird das Argument des Kosinus Hyperbolicus minimiert, während die Exponentialfunktion weitgehend unverändert bleibt.

Zur Veranschaulichung von Gleichung (3.37) wird in Abbildung 3.29 für das Folge-Halte-Glied ein sinusförmiges Eingangssignal $U_{e,d}(t) = \hat{U}_{e,d} \sin(2\pi f_e t)$ der Frequenz $f_e = \frac{63}{128} f_S$ angenommen, wobei $f_S = \frac{1}{T_S}$ die Abtastrate ist. Da die analytische Lösung in Gleichung (3.37) nur für während der Folgephase konstante Eingangsspannungen gilt, wird diese an 128 Stellen von $U_{e,d}(t)$ bestimmt. Die Gleichung wird jeweils für 100 Werte von T_f gelöst, so dass die Abhängigkeit des Ausgangssignals von der Folgedauer sichtbar ist. Für jeden Wert von T_f erhält man somit 128 Werte der Ausgangsspannung $U_{a,d}$ des Folge-Halte-Glieds für eine während der Folgephase konstante, sinusförmige Eingangsspannung. Diese lassen sich durch eine diskrete Fouriertransformation (DFT) mit 128 Punkten in den Frequenzbereich transformieren, wo die Signalleistungen der Grundwelle und der harmonischen Verzerrungen sichtbar sind. Nun kann das Signal-zu-Verzerrungs-Verhältnis in Abhängigkeit der Dauer der Folgephase T_f bestimmt werden, wie es in Abbildung 3.29 aufgetragen ist.

Wie oben beschrieben ist die durch den cosh-Term in Gleichung (3.37) verursachte Nichtlinearität für eine kurze Folgephase geringer, jedoch nimmt dann die Dämpfung des Folge-Halte-Glieds zu. Um dies zu berücksichtigen wurde die Dämpfung in einem Korrektursummanden berücksichtigt. Als Maß für die Dämpfung wird der Quotient aus Aus- und Eingangsamplitude $\frac{\hat{U}_{a,d}}{\hat{U}_{e,d}}$ berechnet und als Abschwächung der Signalleistung interpretiert. Hierdurch wird

das SDR um

$$\Delta \text{SDR} = -20 \lg \frac{\hat{U}_{a,d}}{\hat{U}_{e,d}} \quad (3.39)$$

vermindert. Das wird in Abbildung 3.29 bei den durchgezogenen Linien berücksichtigt. Auf der x-Achse des Diagramms ist die Länge der Folgephase normiert auf den zeitlichen Abstand T_S zweier aufeinanderfolgender Abtastwerte angegeben. Es sind Kurvenscharen für Parameter τ_{tg} und $\left| \frac{\beta_n - \beta_p}{C_h} \right|$ gezeigt, die typisch für eine 65 nm CMOS-Technologie sind. Die verwendeten Werte dieser Parameter sind in Tabelle 3.3 zusammengefasst.

Tabelle 3.3: Parameter τ_{tg} und $\left| \frac{\beta_n - \beta_p}{C_h} \right|$ zur Bestimmung des SDRs des Folge-Halte-Glieds

τ_{tg}	$0,016/f_S$	$0,016/f_S$	$0,016/f_S$	$0,020/f_S$	$0,020/f_S$	$0,020/f_S$
$\left \frac{\beta_n - \beta_p}{C_h} \right $	$10,0 \frac{f_S}{V}$	$12,5 \frac{f_S}{V}$	$15,0 \frac{f_S}{V}$	$10,0 \frac{f_S}{V}$	$12,5 \frac{f_S}{V}$	$15,0 \frac{f_S}{V}$

Es ist zu erkennen, dass sich durch die Verringerung von τ_{tg} das Einschwingen beschleunigt und ein größeres SDR erzielt werden kann. Das kann durch die Vergrößerung von β_n und β_p , also größere Transistorweiten, erreicht werden. Ein größeres $\left| \frac{\beta_n - \beta_p}{C_h} \right|$ wirkt sich durch eine Verringerung des SDR aus, die weitgehend unabhängig von der Dauer der Haltephase ist. Nach dieser Betrachtung steigt das SDR mit der Dauer der Folgephase T_f , weil das Folge-Halte-Glied dann mehr Zeit hat einzuschwingen.

Diese Betrachtung gibt Hinweise zur Dimensionierung der Abtastschalter und zur Festlegung von Spannungspegeln und Zeitdauern. Im Allgemeinen ist die Eingangsspannung aber zeitlich veränderlich. Das fällt insbesondere für größere Signalfrequenzen ins Gewicht. Hierauf wird im folgenden Abschnitt eingegangen.

3.4.1.2 Abtasten mit zeitlich veränderlichem Eingangssignal

Im Allgemeinen ändert sich der Wert des Eingangssignals während der Folgephase der Abtastschalter. Daher gilt die in den Gleichungen (3.28) und (3.29) getroffene Annahme nicht, dass die Ausgangsspannung exponentiell einschwingt. Im Folgenden wird eine Differentialgleichung (DGL) eines Abtastschalters hergeleitet, der das in Abbildung 3.30 gezeigte Modell zugrunde liegt. Wie im vorigen Abschnitt modelliert $R(U_e, U_a)$ den spannungsabhängigen Widerstand des Transfertatters und C_h die Haltekapazität, also die Eingangskapazität des SC D-A-Umsetzers. Im Gegensatz dazu wird vorerst aber ein unipolares Folge-Halte-Glied

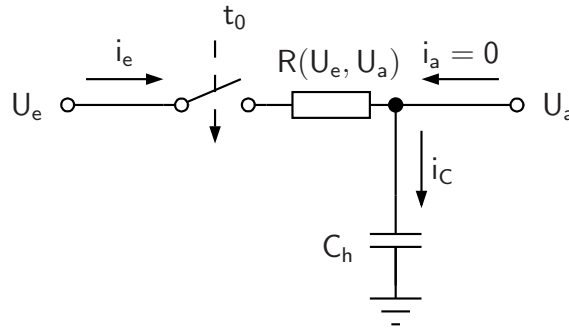


Bild 3.30: Modell eines Transfergatters als Abtastschalter mit Ohm'schem Widerstand und Haltekapazität

betrachtet, dessen Ein- und Ausgangsspannungen U_e beziehungsweise U_a sind. i_e und i_a sind die Ein- und Ausgangsströme in angegebener Richtung, i_C ist der Strom durch die Kapazität. Der Ausgangsknoten des Folge-Halte-Glieds ist ausschließlich mit der Kapazität C_h verbunden, so dass $i_a = 0$ gilt.

Zum Zeitpunkt t_0 beginnt die Folgephase und es gilt

$$i_C(t) = i_e(t) + i_a(t) = i_e(t) = C_h \frac{dU_a(t)}{dt}. \quad (3.40)$$

Über den Widerstand $R(U_e, U_a)$ fällt die Spannung $U_e - U_a$ ab, damit gilt

$$i_e(t) = \frac{U_e(t) - U_a(t)}{R(U_e, U_a)}. \quad (3.41)$$

Mit diesen Beziehungen lässt sich die DGL

$$\frac{U_e(t) - U_a(t)}{R(U_e, U_a)} = C_h \frac{dU_a(t)}{dt} \quad (3.42)$$

aufstellen. Unter der Annahme, dass sich die Transistoren des Transfergatters im linearen Arbeitsbereich befinden, kann der Widerstand $R(U_e, U_a)$ durch deren Ausgangleitwerte ausgedrückt werden. Auch hier gilt die Annahme, dass die Spannung über die Transfergatter sehr klein ist, $U_{DS} \approx 0^1$. Es ergibt sich die DGL

$$\frac{dU_a(t)}{dt} = (U_e(t) - U_a(t)) \left[\tau^{-1} - \frac{\beta_n - \beta_p}{C_h} U_e(t) \right] \quad \text{mit} \quad (3.43)$$

$$\tau = \frac{C_h}{\beta_n(U_{G,n} - U_{tn}) - \beta_p(U_{G,p} - U_{tp})}. \quad (3.44)$$

¹Diese Vereinfachung wird hauptsächlich wegen der Konsistenz zum vorhergehenden Abschnitt getroffen. Die numerische Lösung der DGL ändert sich durch diese Vereinfachung kaum.

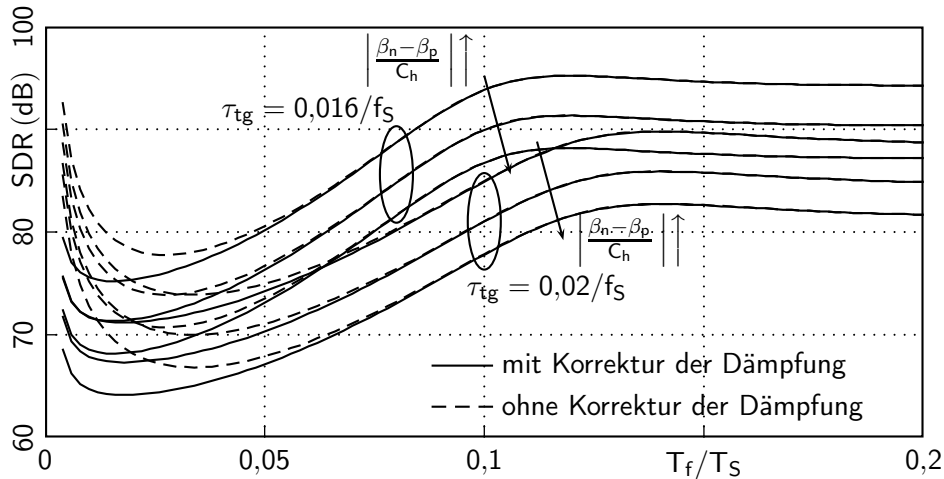


Bild 3.31: Mit Gleichungen (3.45) und (3.46) numerisch bestimmtes SDR am Ausgang des Folge-Halte-Glieds für $f_e = \frac{63}{128} f_S$

Um das Verhalten des differentiellen Folge-Halte-Glieds zu untersuchen kann die DGL für beide Zweige gelöst werden. Beim nichtinvertierten Zweig muss $U_a(t)$ durch $U_{a+}(t)$ und $U_e(t)$ durch $U_{e+}(t) = U_{CM} + \frac{1}{2} U_{e,d}(t)$ ersetzt werden, beim invertierten entsprechend $U_a(t)$ durch $U_{a-}(t)$ und $U_e(t)$ durch $U_{e-}(t) = U_{CM} - \frac{1}{2} U_{e,d}(t)$. Das führt zu den DGLen

$$\frac{dU_{a+}(t)}{dt} = \left(U_{CM} + \frac{1}{2} U_{e,d}(t) - U_{a+}(t) \right) \left[\tau_{tg}^{-1} - \frac{\beta_n - \beta_p}{2 C_h} U_{e,d}(t) \right] \quad (3.45)$$

$$\frac{dU_{a-}(t)}{dt} = \left(U_{CM} - \frac{1}{2} U_{e,d}(t) - U_{a-}(t) \right) \left[\tau_{tg}^{-1} + \frac{\beta_n - \beta_p}{2 C_h} U_{e,d}(t) \right], \quad (3.46)$$

deren Lösungen voneinander subtrahiert werden müssen, um das Ausgangssignal $U_{a,d}(t) = U_{a+}(t) - U_{a-}(t)$ zu erhalten. Die Zeitkonstante τ_{tg} ist in Gleichung (3.38) definiert. Wie auch im vorhergehenden Abschnitt gilt die Anfangsbedingung $U_{a+}(t_0) = U_{a-}(t_0) = U_{CM}$.

Abbildung 3.31 zeigt das SDR am Ausgang des Folge-Halte-Glieds, das sich durch die numerische Lösung der Gleichungen (3.45) und (3.46) ergibt. Es wird eine sinusförmige Eingangsspannung $U_{e,d} = \hat{U}_{e,d} \sin(2\pi f_e t)$ mit $f_e = \frac{63}{128} f_S$ angenommen, die nicht abschnittsweise konstant ist. Es werden die gleichen Parameter und die gleiche Darstellungsweise wie bei der Lösung von Gleichung (3.37) verwendet. Auch hier zeigt sich ein schnelleres Einschwingen für ein kleineres τ_{tg} , das SDR sättigt jedoch bei einer bestimmten Dauer der Folgephase T_f ab. Der Anstieg des SDR für sehr kleine $\frac{T_f}{T_S}$ liegt in der Annahme begründet, die MOSFETs befänden sich hauptsächlich im linearen Arbeitsbereich. Zu Beginn der Folgephase sind die MOSFETs im Sättigungsbereich, so dass das Modell hier keine realistische Aussage trifft.

In Abbildung 3.32 wird die Abhängigkeit des SDR von der Frequenz des Eingangssignals

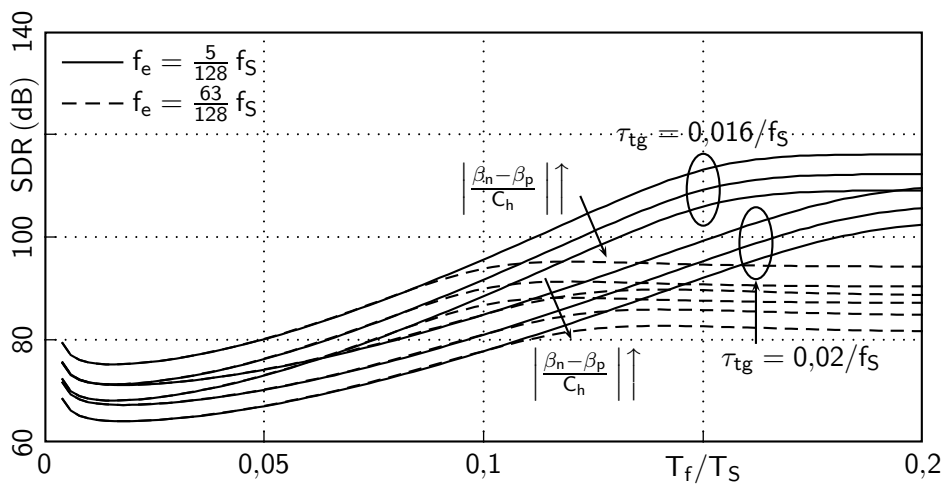


Bild 3.32: Mit Gleichungen (3.45) und (3.46) numerisch bestimmtes SDR am Ausgang des Folge-Halte-Glieds für $f_e = \frac{5}{128} f_S$ und $f_e = \frac{63}{128} f_S$

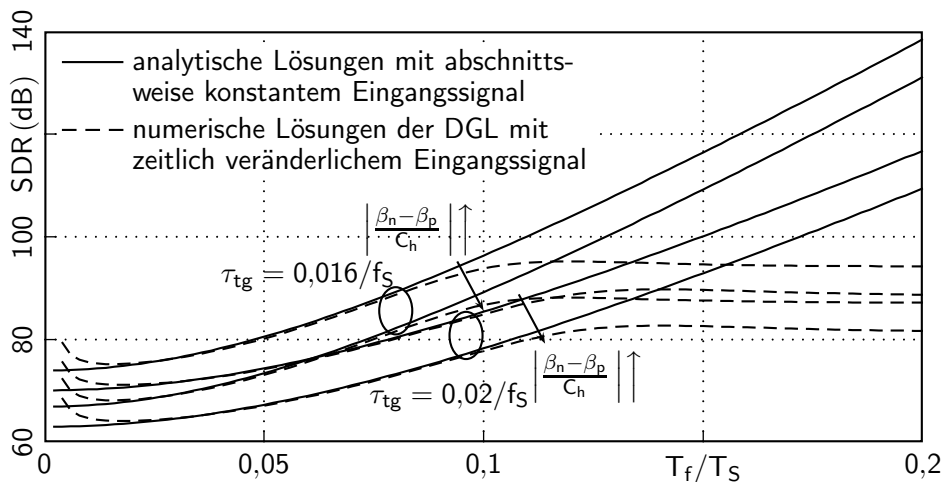


Bild 3.33: Vergleich der Lösung von Gleichung (3.37) mit abschnittsweise konstantem Eingangssignal und denen von Gleichungen (3.45) und (3.46) mit zeitlich veränderlichem Eingangssignal

f_e dargestellt. Die Kurven wurden jeweils um den Wert ΔSDR in Gleichung (3.39) korrigiert. Je kleiner f_e ist, desto später tritt der Sättigungseffekt ein. Der Grund hierfür ist die kleinere Änderungsrate der Eingangsspannung, die das Einschwingen der Ausgangsspannung begünstigt. Für große f_e kann die Linearität des Folge-Halte-Glieds nicht mehr durch eine Verlängerung der Folgephase verbessert werden, weil sich das Ausgangssignal dem Eingangssignal aufgrund dessen Änderung nicht mehr besser annähert.

Ein Vergleich des in Gleichung (3.37) beschriebenen Verhaltens mit dem nach den Gleichungen (3.45) und (3.46) ist in Abbildung 3.33 zu sehen. Es sind die gleichen Kurven wie in den Abbildungen 3.29 und 3.31, jeweils um den Wert ΔSDR in Gleichung (3.39) korrigiert, für

$\left| \frac{\beta_n - \beta_p}{C_h} \right| = 10 \frac{f_s}{V}$ und $15 \frac{f_s}{V}$ eingezeichnet. Bis zur Sättigung der Kurven, die sich durch die numerische Lösung der DGLen ergeben, sagen beide Modelle das gleiche Verhalten voraus.

Zur Dimensionierung der MOSFETs und der Haltekapazität eines Abtast-Halte-Glieds muss die höchste verwendete Signalfrequenz betrachtet werden, da für sie das geringste SDR zu erwarten ist. Die Parameter β_n und β_p können wegen der Fertigungstoleranzen nicht beliebig genau eingestellt werden. Die Größe der Haltekapazität C_h ist durch den Faktor $e^{-\frac{T_f}{\tau_{tg}}}$, also die Dauer der Folgephase in Zusammenhang mit dem Leitwert der Transferraster, beschränkt. Mit diesen Randbedingungen kann die zu erwartende Nichtlinearität unter Berücksichtigung der Fertigungstoleranzen simuliert und optimiert werden.

3.4.1.3 Verminderung der Arbeitspunktabhängigkeit durch kapazitive Spannungsüberhöhung

Die oben beschriebene Nichtlinearität des Folge-Halte-Glieds wird vom arbeitspunktabhängigen Leitwert der MOSFETs verursacht. Diese Abhängigkeit lässt sich vermindern, indem für die Erzeugung der Gatespannungen aller Transistoren Schaltungen mit kapazitiver Spannungsüberhöhung verwendet werden. Diese sorgen dafür, dass die Gate-Source-Spannungen aller leitenden n- und p-Kanal Transistoren des Folge-Halte-Glieds jeweils gleich und konstant sind. Unter der Annahme, dass die Drain-Source-Spannung klein ist, befinden sich alle n-Kanal und p-Kanal Transistoren jeweils fast am gleichen Arbeitspunkt, sodass ihre Leitwerte fast konstant und identisch sind. Die Arbeitspunkte der Transistoren unterscheiden sich in dieser Topologie nur durch ihre Source-Bulk-Spannungen.

Eine Möglichkeit zur Realisierung einer Schaltung zur kapazitiven Spannungsüberhöhung für einen n-Kanal MOSFET ist in Abbildung 3.34 dargestellt [33]. In der Haltephase wird ein Kondensator C_b auf die gewünschte Gate-Source-Spannung U_b geladen, während der Gateanschluss des MOSFETs auf Masse liegt. In der anschließenden Folgephase wird der Kondensator zwischen den Gate- und Sourceanschluss des MOSFETs geschaltet, so dass er die Gate-Source-Spannung in erster Näherung auf U_b festlegt. Die Ladung auf C_b fließt teilweise auf die parasitären Kapazitäten des MOSFETs, wodurch die Gate-Source-Spannung verringert wird.

Die Spannung U_b muss größer als die Schwellenspannung des MOSFETs sein, damit dieser leitet. An der Steuerelektrode ist der maximal mögliche Spannungspegel dann durch die Summe der größtmöglichen Eingangsspannung und U_b gegeben. Es ist darauf zu achten, dass bei keinem der Bauelemente der maximal erlaubte Spannungsabfall überschritten wird.

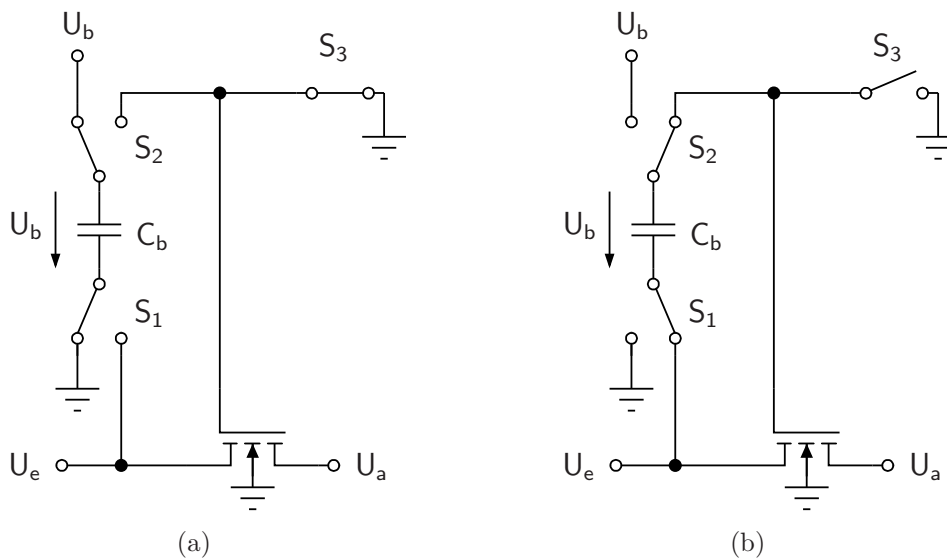


Bild 3.34: Schaltung zur Ansteuerung einer Steuerelektrode mit kapazitiver Spannungsüberhöhung (a) während der Haltephase und (b) während der Folgephase des Folge-Halte-Glieds [33]

Ein Nachteil der Schaltung zur kapazitiven Spannungsüberhöhung ist, dass die zusätzliche Spannung U_b benötigt wird. Sie kann entweder durch eine Schaltung erzeugt oder von außen angelegt werden. Des Weiteren besteht die Möglichkeit, die Betriebsspannung für U_b zu verwenden, die normalerweise deutlich größer als die Schwellenspannung der Transistoren ist. In diesem Fall können zwischen der Steuerelektrode des Transistors und dem Substrat Spannungsabfälle entstehen, die der doppelten Betriebsspannung entsprechen. Dadurch ist es besonders schwierig zu gewährleisten, dass sich die Spannungen zwischen Steuerelektrode und Kanal sowie zwischen Kanal und Substrat im erlaubten Bereich befinden. Ein weiterer Nachteil ist die Notwendigkeit, für die Ansteuerung jedes Schalttransistors eine eigene Schaltung zur kapazitiven Spannungsüberhöhung vorzusehen.

Im Folgenden wird eine weitere Möglichkeit vorgestellt, konstante Gate-Source Spannungen am Transfertransistor ohne Kondensatoren zu erzeugen. Zu diesem Zweck werden die Steuerspannungen mit Pegelschiebern generiert, die die Eingangsspannungen um einen konstanten Wert verschieben [34]. Als Pegelschieber werden dort Sourcefolger mit p-Kanal MOSFETs und Serienwiderständen vorgeschlagen, die nur während der Folgephase aktiv sind. Die Sourcefolger schieben ihre Eingangsspannungen um die Schwellenspannung der verwendeten MOSFETs nach oben, während die Widerstände einen zusätzlichen Spannungsabfall verursachen.

Eine alternative und erweiterte Anordnung ist in Abbildung 3.35 dargestellt, wo die Pegelschieber ebenfalls durch Sourcefolger P_3 und P_4 realisiert sind. Während für die Transfertran-

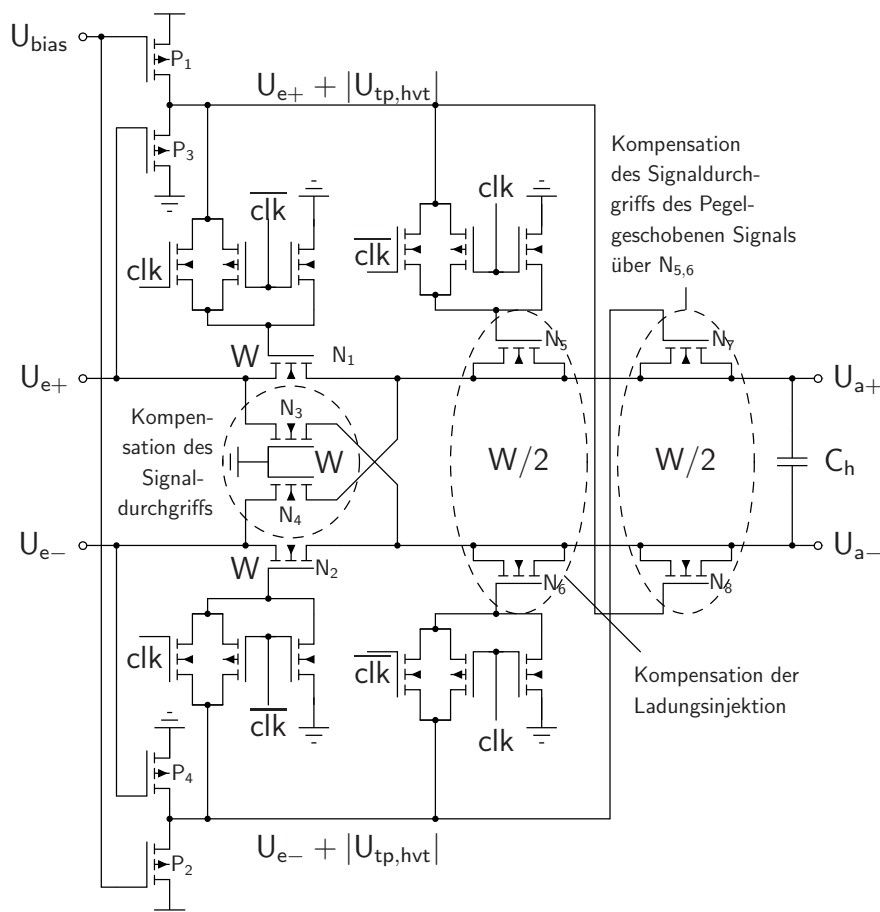


Bild 3.35: Transfertransistoren, deren Gattenspannungen mit Sourcefolgern erzeugt werden, mit Kompensationsschaltungen

sistoren N_1 und N_2 n-Kanal MOSFETs mit niedriger Schwellenspannung verwendet werden, weisen P_3 und P_4 eine größere Schwellenspannung auf (*engl. high threshold voltage, hvt*). Dadurch wird gewährleistet, dass auch ohne Serienwiderstände die Gate-Source-Spannungen der leitenden Transfertransistoren N_1 und N_2 größer als deren Schwellenspannungen sind. Außerdem werden die Pegelschieber in der vorgeschlagenen Schaltung nicht an- und ausgeschaltet, um zwischen dem Folge- und Haltemodus zu unterscheiden, sondern Transfergatter und Transfertransistoren verbinden entweder die nach oben geschobene Eingangsspannung oder Masse mit den entsprechenden Steuerelektroden. Im Haltemodus kompensieren die Transistoren N_3 und N_4 die Kopplung des Eingangssignals über die Source-Bulk- und die Bulk-Drain-Kapazitäten der Transfertransistoren N_1 und N_2 [35].

Die dauerhaft aktiven Pegelschieber ermöglichen die in Abbildung 3.35 gezeigten Kompensationsschaltungen für Ladungsinjektion und Signaldurchgriff. Werden die als Schalter arbeitenden MOSFETs N_1 und N_2 in den sperrenden Zustand versetzt, indem ihre Gateanschlüsse von $U_{e\pm} + |U_{tp,hvt}|$ auf Masse fallen, wird die Ladung aus dem zuvor leitenden Kanal entfernt.

Ein Teil dieser Ladung wird in die Ausgangsknoten U_{a+} und U_{a-} injiziert und verändert die Spannungspegel dort. Die Transistoren N_5 und N_6 dienen zur Kompensation dieser Störung und sollen die injizierte Ladung aufnehmen. Dazu werden ihre Gateanschlüsse zur gleichen Zeit von Masse auf $U_{e\pm} + |U_{tp,hvt}|$ geschaltet. Ihre Kanalweite ist halb so groß wie die der Schalttransistoren, damit die Summe ihrer Gate-Source- und Gate-Drain-Kapazitäten annähernd der Gate-Drain-Kapazität der Schalttransistoren entspricht. Im Haltemodus kommt es über die Kompensationstransistoren N_5 und N_6 zu einem Signaldurchgriff der geschobenen Eingangsspannungen auf die Ausgangsspannungen. Dieser Signaldurchgriff kann durch die Transistoren N_7 und N_8 kompensiert werden, deren Gateanschlüsse jeweils mit dem komplementären geschobenen Eingangssignal verbunden sind.

Die in dieser Arbeit vorgestellten SAR A-D-Umsetzer verzichten aus zwei Gründen auf kapazitive Spannungsüberhöhung zur Ansteuerung von Folge-Halte-Gliedern. Erstens wird für die Erzeugung der überhöhten Spannungen mehr Leistung benötigt als bei der Verwendung eines Abtasttakts mit den Pegeln der Betriebsspannungen. Zweitens setzt der Entwurf einer geeigneten Schaltung voraus, dass parasitäre Kapazitäten genau extrahiert werden können. Diese verringern die Spannungsüberhöhung und stellen ein Risiko für die Funktionalität der Schaltung dar. Außerdem besteht die Gefahr, dass zwischenzeitlich größere Spannungsabfälle als zulässig entstehen.

3.4.1.4 Verschiebung des Abtastzeitpunkts durch endlich steile Taktflanken

Sowohl mit als auch ohne kapazitive Spannungsüberhöhung haben die Taktsignale an den Steuerelektroden der Transfergatter endlich steile Flanken. Der n-Kanal Transfertransistor befindet sich im Sperrbereich, wenn seine Gatespannung $U_{G,n}$ die Sourcespannung um weniger als die Schwellenspannung U_{tn} überschreitet. Da die Eingangsspannung U_e am Sourceanschluss liegt, gilt für den Sperrbereich die Bedingung $U_{G,n} < U_e + U_{tn}$. Dieser Zusammenhang ist in Abbildung 3.36 dargestellt.

In Abbildung 3.36 ist beispielhaft ein um die Schwellenspannung U_{tn} nach oben geschobenes sinusförmiges Eingangssignal U_e eines n-Kanal Transfertransistors zu sehen. Außerdem ist die Gatespannung $U_{G,n}$ abgebildet. Ist diese kleiner als die Summe von Eingangsspannung und Schwellenspannung, sperrt der Transfertransistor, das Folge-Halte-Glied geht also von der Folge- in die Haltephase über. Zusätzlich sind die idealen Abtastzeitpunkte 0 , T_S und $2T_S$ eingezeichnet. Die realen Abtastzeitpunkte Δt_0 , $T_S + \Delta t_1$ und $2T_S + \Delta t_2$ sind unterschiedlich verzögert. Die Größe der Verzögerung hängt von der Signalamplitude am Eingang und von der Abfallzeit der Taktflanken ab.

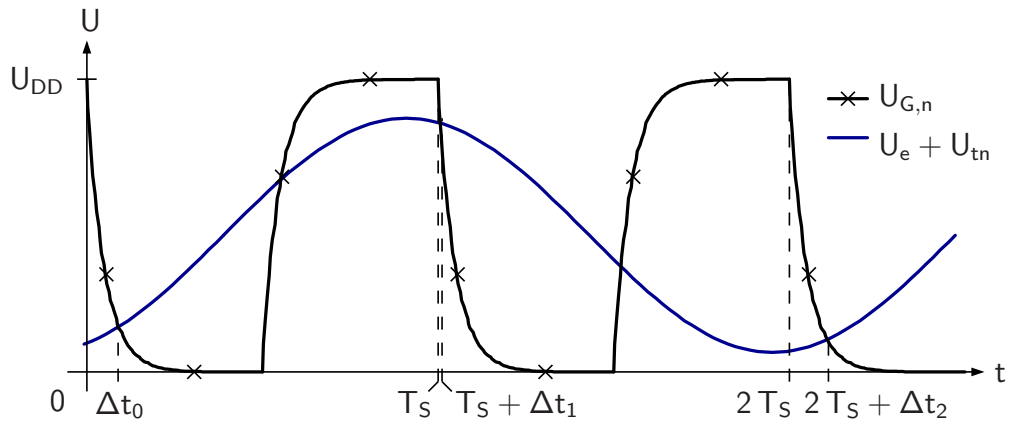


Bild 3.36: Verschiebung des Abtastzeitpunkts durch endlich steile Taktflanken

Die durch die amplitudenabhängige Verzögerung des Abtastzeitpunkts verursachte Verzerrung kommt in die Größenordnung derjenigen, die den arbeitspunktabhängigen Leitwerten des Abtastschalters geschuldet ist, wenn die Abfallzeit t_{HL} des Taktsignals im Bereich von $\sqrt{\tau_{RC} T_p}$ ist [31]. Dabei ist τ_{RC} die vom Widerstand des Abtastschalters und von der Haltekapazität definierte Zeitkonstante, T_p ist die Periodendauer des Eingangssignals. Am oberen Ende des ersten Nyquistbereichs gilt $T_p = 2 T_S$. Eine gute Abschätzung für τ_{RC} ist die Zeitkonstante τ_{tg} aus Gleichung (3.38), die bei der Dimensionierung in Abschnitt 3.4.1 im Bereich von $0,02 T_S$ liegt. Damit ergibt sich

$$\sqrt{\tau_{RC} T_p} \approx \sqrt{0,02 T_S \cdot 2 T_S} = 0,2 T_S, \quad (3.47)$$

also ein Fünftel des Kehrwerts der Abtastrate. Insbesondere beim SAR A-D-Umsetzer befindet sich das Folge-Halte-Glied nur sehr kurz in der Folgephase, bei den oben gezeigten Schaubildern gilt $\frac{T_i}{T_S} < 0,2$. Die Anstiegs- und Abfallzeiten des Taktsignals müssen deutlich kleiner sein als die Dauer der Folgephase, damit das Eingangssignal genügend Zeit zum Einschwingen hat. Daher ist die Verzerrung, die durch das signalabhängige Verschieben der Abtastzeitpunkte verursacht wird, im Vergleich zu anderen Quellen von Verzerrungen sehr klein und kann bei steilen Taktflanken vernachlässigt werden.

3.5 Bereitstellung von Referenzspannungen

Für A-D-Umsetzer muss in der Regel mindestens eine Referenzspannung bereitgestellt werden, die den Eingangsspannungsbereich festlegt. Für SAR ADU werden mindestens zwei Referenzspannungen benötigt, in Abschnitt 3.1 sind das $U_{a,ref}$ und $U_{b,ref}$. Für bestimmte

Algorithmen des SC DAU, wie den in Abschnitt 3.1.2 vorgestellten, wird zusätzlich noch die Gleichtaktspannung U_m benötigt. Diese Referenzspannungen werden durch Schalter mit Kondensatoren verbunden oder von ihnen getrennt. Um zu gewährleisten, dass die Kondensatoren ausreichend schnell umgeladen werden können, müssen die Referenzspannungsquellen niederohmig sein. Die Dauer des Ladevorgangs wird bei synchronen SAR ADU vom externen Takt festgelegt, bei asynchronen von der Verzögerung des Steuersignals vom Komparator. Damit lässt sich die Zeitkonstante bestimmen, mit der das Umladen stattfinden muss. Im Mittel muss die Referenzspannungsquelle in der Lage sein, den durchschnittlich vom SC DAU benötigten Strom zu liefern. Dieser kann durch die Betrachtung des Energieaufwands in Abbildung 3.9 bestimmt werden. Das den Referenzspannungen überlagerte Rauschen wirkt sich auf das digitale Ausgangssignal des A-D-Umsetzers aus und begrenzt direkt die erreichbare effektive Auflösung.

Zur Charakterisierung von A-D-Umsetzern im Labor werden Referenzspannungen oftmals von externen Quellen bereitgestellt. Diese stabilen Spannungen mit geringem Rauschen eignen sich sehr gut, zudem lässt sich die Größe der Referenzspannungen, also der Eingangsspannungsbereich des ADU, so auf einfache Weise regeln. Beim Einsatz eines A-D-Umsetzers in einem System stehen aber meist keine hochwertigen externen Spannungsquellen zur Verfügung. Dann können die Referenzspannungen mit internen oder externen Spannungsreglern erzeugt werden oder es können die Betriebsspannungen verwendet werden. Die Betriebsspannungen als Referenzspannungen zu verwenden birgt aus folgendem Grund allerdings Risiken: in SAR ADU wird ein Großteil der Leistung vom SAR und vom Komparator verbraucht. Das SAR ist aus Gründen der Leistungseffizienz in der CMOS-Logikfamilie aufgebaut, als Komparatoren werden regenerative Verstärker ohne statischen Stromfluss bevorzugt. Beim Schalten von CMOS-Komponenten oder bei einer Entscheidung des Komparators werden die Betriebsspannungen zum Umladen der kapazitiven Last am Ausgang kurzzeitig stark belastet, wodurch Stromspitzen auftreten. Durch den Widerstandsbelag und die Induktivität der Verdrahtung der Betriebsspannungen innerhalb der Schaltung und durch deren Anbindung über Bonddrähte nach außen hin können Einbrüche auf den Betriebsspannungsknoten entstehen. Diese Störungen können durch Pufferkapazitäten verringert werden, wirken sich jedoch direkt auf den Analogteil aus, wenn die Betriebsspannungen auch als Referenzspannungen verwendet werden. Da der Energiebedarf vom Betrag der Eingangsspannung abhängt, sind diese Störungen signalabhängig und führen deshalb zu nichtlinearen Verzerrungen.

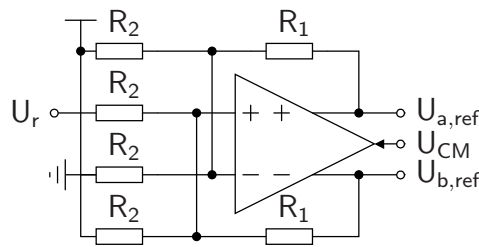


Bild 3.37: Erzeugung von zwei Referenzspannungen mit einem Operationsverstärker

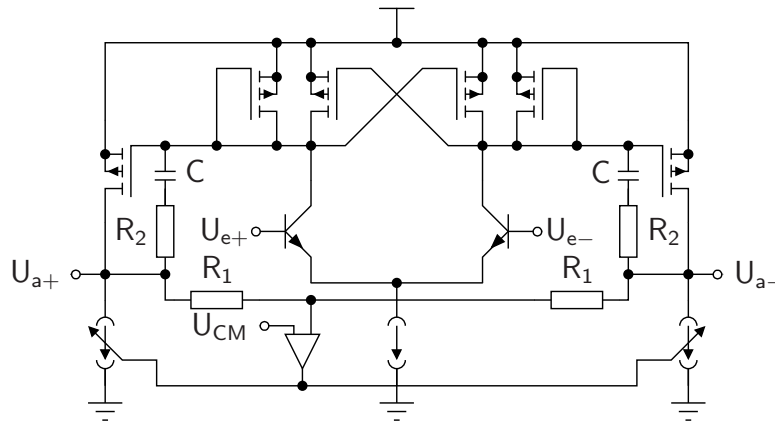


Bild 3.38: Operationsverstärker mit regelbarem Gleichtaktpegel am Ausgang

3.5.1 Erzeugung der Referenzspannungen innerhalb der Schaltung

Um Referenzspannungen lokal zu erzeugen, können Schaltungen mit Operationsverstärkern verwendet werden [36]. Eine solche Schaltung ist in Abbildung 3.37 gezeigt. U_r ist eine Steuerspannung, die beispielsweise von einer Bandabstandsreferenzschaltung kommen kann. Die Differenz der Ausgangsspannungen $U_{a,\text{ref}} - U_{b,\text{ref}}$ entspricht dann $\frac{R_1}{R_2} U_r$. Verwendet man einen Operationsverstärker wie in Abbildung 3.38, so lässt sich der Gleichtaktpegel am Ausgang über die Spannung U_{CM} regeln.

Ist die Ausgangsstufe des Operationsverstärkers nicht niederohmig genug, können die Referenzspannungen noch mit einem Impedanzwandler gepuffert werden. Wenn Bipolartransistoren zur Verfügung stehen, kann hier ein Emitterfolger zum Einsatz kommen, in CMOS-Technologien bietet sich ein Sourcefolger an. Diese Impedanzwandler benötigen jedoch einen konstanten Stromfluss und haben damit eine statische Leistungsaufnahme.

Der Einsatz eines Impedanzwandlers kann dadurch vermieden werden, dass die Referenzspannungen auf einem Kondensator C_P gegen Masse gepuffert werden. Tritt eine Stromspitze auf, so stellt der Kondensator die notwendige Ladung bereit. Die Dimensionierung des Kondensators ist von der größtmöglichen Ladungsmenge bestimmt. Sowohl beim klassischen Algorithmus als auch mit geteilten Kapazitäten tritt diese Ladungsmenge beim Initialisieren

des SC DAU auf und beträgt

$$Q_{\text{init}} = 2^{N_{\text{Q}}-2} C_{\text{u}} (U_{\text{a,ref}} - U_{\text{b,ref}}). \quad (3.48)$$

Sie ergibt sich dadurch, dass nach der Initialisierung die Hälfte der Referenzspannungsdifferenz $\frac{1}{2} (U_{\text{a,ref}} - U_{\text{b,ref}})$ über Kondensatoren der Gesamtgröße $2^{N_{\text{Q}}-1} C_{\text{u}}$ abfallen muss, nachdem sie vorher im Mittel ungeladen waren. Die Entnahme dieser Ladung vom Pufferkondensator C_{P} darf maximal eine Änderung der Spannung um $\frac{1}{2} U_{\text{Q}}$ verursachen. Damit ist die Mindestgröße der Pufferkapazität durch

$$C_{\text{P}} \geq \frac{2^{N_{\text{Q}}+1} Q_{\text{init}}}{U_{\text{a,ref}} - U_{\text{b,ref}}} = 2^{2N_{\text{Q}}-1} C_{\text{u}} \quad (3.49)$$

gegeben. Hat die Grundzelle des SC DAU bei einer Auflösung von 8 bit eine Kapazität von 1 fF, so wird für beide Referenzspannungen eine Pufferkapazität der Größenordnung 32 pF benötigt, die in einer integrierten Schaltung sehr viel Fläche beansprucht und deshalb schwierig zu realisieren ist. Die notwendige Kapazität kann dadurch halbiert werden, dass sie direkt zwischen beide Referenzspannungen geschaltet wird. Dann bleibt der differentielle Spannungseinbruch kleiner als $\frac{1}{2} U_{\text{Q}}$ und bei symmetrischen Spannungspegeln kommt es nicht zu einer Verschiebung des Gleichaktpegels. Die große Kapazität kann alternativ teilweise außerhalb der integrierten Schaltung zur Verfügung gestellt werden, wenn die Referenzspannungen zu Kontaktflächen geführt werden. Diese Kontaktflächen werden durch Bonddrähte mit einer Platine verbunden, wo die notwendige Kapazität angebracht werden kann. Dieser Aufbau muss kompakt sein, so dass kurze Bonddrähte mit kleiner Induktivität verwendet werden können. Die von der Induktivität und der Pufferkapazität gegebene Grenzfrequenz muss das ausreichend genaue Einschwingen der Referenzspannung innerhalb einer Taktperiode erlauben.

3.5.2 Auswirkung des Rauschens der Referenzspannungen

Eine Abweichung der Referenzspannungen wirkt sich auf den Eingangsspannungsbereich des A-D-Umsetzers aus. Die obere und untere Grenze dieses Spannungsbereichs werden durch Abweichungen direkt verschoben, der gesamte Spannungsbereich wird gestaucht oder gestreckt. Die mittlere Schwelle, bei der das MSB von „0“ nach „1“ wechselt, befindet sich unter Vernachlässigung des Komparatoroffsets jedoch immer dort, wo die differentielle Eingangsspannung 0 V beträgt. Der Einfluss einer Abweichung der Referenzspannungen nimmt also von den Bereichsgrenzen zur Mitte hin linear ab.

So kann auch das Rauschen der Referenzspannungen als zufällige Abweichung betrachtet werden, die sich proportional zum Betrag der differentiellen Eingangsspannung auf die Grenzen der Quantisierungsintervalle auswirkt [37]. Beträgt das quadratische Mittel des differentiellen Rauschens der Referenzspannungen σ_{Ref}^2 , so erscheint bei wiederholter Umsetzung einer konstanten differentiellen Eingangsspannung $U_{e,d}$ in Digitalwerte die Varianz

$$\sigma_{\text{Code}}^2(U_{e,d}) = \left(\sigma_{\text{Ref}} \left| \frac{U_{e,d}}{U_{a,\text{ref}} - U_{b,\text{ref}}} \right| \right)^2 \quad (3.50)$$

der Digitalwerte am Ausgang des A-D-Umsetzers. In dessen Ausgangssignal erscheint das quadratische Mittel

$$\sigma_{\text{N,Ref}}^2 = \frac{1}{2(U_{a,\text{ref}} - U_{b,\text{ref}})} \int_{-(U_{a,\text{ref}} - U_{b,\text{ref}})}^{U_{a,\text{ref}} - U_{b,\text{ref}}} \sigma_{\text{Ref}}^2 \left(\frac{U_{e,d}}{U_{a,\text{ref}} - U_{b,\text{ref}}} \right)^2 dU_{e,d} = \frac{1}{3} \sigma_{\text{Ref}}^2 \quad (3.51)$$

als Störung. Soll die Leistung der Störung, die durch das Rauschen der Referenzspannungen im Ausgangssignal des A-D-Umsetzers sichtbar ist, kleiner sein als die des Quantisierungsrauschens, $\frac{U_{\text{Q}}^2}{12}$, ergibt sich die Bedingung

$$\sigma_{\text{Ref}}^2 \leq \left(\frac{1 \text{ LSB}}{2} \right)^2 = \left(\frac{U_{\text{Q}}}{2} \right)^2. \quad (3.52)$$

4 Entwürfe und Messergebnisse von A-D-Umsetzern

Im folgenden Kapitel werden Schaltungsentwürfe mit den in Kapitel 3 eingeführten Komponenten und Varianten von SAR A-D-Umsetzern vorgestellt. Dazu kommen SiGe:C BiCMOS-Technologien mit den Strukturgrößen 250 nm und 130 nm und eine Si CMOS-Technologie mit 65 nm zum Einsatz. In Abschnitt 4.1 werden Komparatoren für SAR A-D-Umsetzer und deren Messergebnisse vorgestellt. Darauf folgen in Abschnitt 4.2 Entwurfsdetails und Messergebnisse von 6 und 7 bit SAR ADU mit vorgeschaltetem Integrator für einen inkohärenten Ultrabreitbandempfänger. Die Abschnitte 4.3 bis 4.5 behandeln SAR ADU mit Auflösungen von 9 und 10 bit und Abtastraten im zweistelligen Megasamplebereich.

4.1 Komparatoren für SAR A-D-Umsetzer

Komparatoren sind ein Schlüsselement von A-D-Umsetzern, da sie über den Wert jedes einzelnen Bits entscheiden. Bei SAR ADU kommt in jedem Kern oftmals ein Komparator zum Einsatz, der seriell die Werte der Bits bestimmt, angefangen beim MSB. Für diese Anwendung werden im Folgenden Messungen zu den Komparatoren aus den Abbildungen 3.24(a) bis 3.24(c) vorgestellt.

Diese Komparatoren wurden in einer 130 nm SiGe:C BiCMOS-Technologie mit der Betriebsspannung 1,2 V gefertigt. Zur messtechnischen Charakterisierung sind die Eingänge auf eine Impedanz von 50Ω angepasst, die Ausgangssignale werden mit einer Kette von CMOS-Invertern derart verstärkt, dass Messgeräte mit einer Eingangsimpedanz von 50Ω verwendet werden können. Ein von einer externen Taktquelle erzeugtes Taktsignal wird angelegt.

Alle MOSFETs des Komparators in Abbildung 3.24(c) wurden so dimensioniert, dass sie die gleichen Verstärkungsfaktoren besitzen wie die entsprechenden MOSFETs in Abbildung 3.24(b). Die MOSFETs in Abbildung 3.24(a) sind gleich dimensioniert wie die in Abbildung 3.24(b), N_1 und N_2 werden durch die NPN-Bipolartransistoren Q_1 und Q_2 ersetzt.

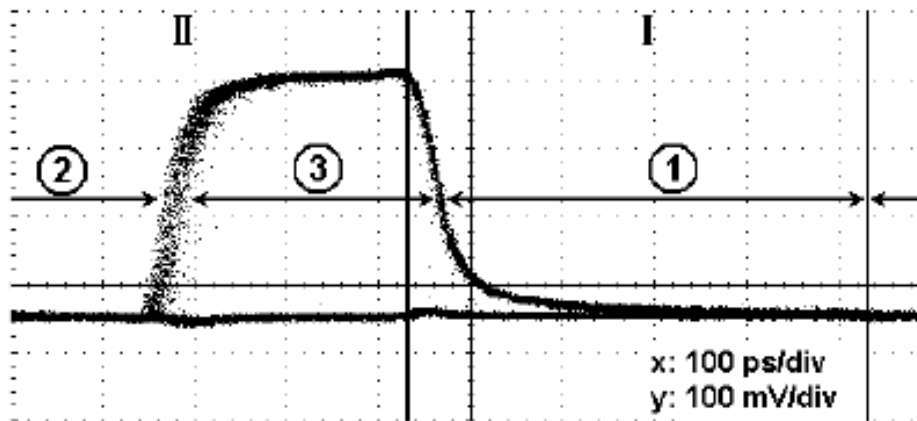


Bild 4.1: Messung des Augendiagramms des Komparators in Abbildung 3.24(b)

Bei einem vierten Komparator mit der Topologie von Abbildung 3.24(a) sind die Kanalweiten aller MOSFETs derart vergrößert, dass bei den Bipolartransistoren der maximal erlaubte Kollektorstrom fließt. Dadurch erreichen die Transistoren ihre maximale Transitfrequenz von $f_T = 250$ GHz und die Verzögerungszeit des Komparators wird auf Kosten der Leistungsaufnahme minimiert. Für die Transistoren nach Abbildung 3.24(a) sind die Ausgangsspannungspegel durch die Durchlassspannung der Basis-Emitter-Dioden der Bipolartransistoren auf etwa 900 mV begrenzt. Diese Pegel werden durch die nachgeschalteten CMOS-Inverterketten auf die Betriebsspannungen erhöht.

Für die Messungen wird eine pseudozufällige Bitfolge (*engl. Pseudo Random Binary Sequence, PRBS*) der Länge $2^{31} - 1$ mit differentiellen Amplituden zwischen 1,25 mV und 10 mV mit den Eingängen der Komparatoren verbunden. Das Offset eines Komparators wird jeweils durch das Einspeisen von Gleichströmen kompensiert, durch die die Pegel der Bitfolgen gegeneinander verschoben werden können. Es wird ein Taktsignal mit 1 GHz und 50% Tastverhältnis angelegt, so dass die Rücksetz- und Entscheidungsphase jeweils gleich lang sind. Die Phase des Takts kann gegenüber der Bitfolge verschoben werden. Die Ausgänge der Komparatoren werden von einem Oszilloskop angezeigt oder mit einem Bitfehlerdetektor analysiert. Die Leistungsaufnahme für den Komparator mit NPN-Bipolartransistoren und dem maximal erlaubten Kollektorstrom ist $840 \mu\text{W}$, die der übrigen Komparatoren beträgt $250 \mu\text{W}$.

Abbildung 4.1 zeigt das Augendiagramm eines Komparators nach Abbildung 3.24(b) bei einer differentiellen Amplitude der Bitfolge von 1,25 mV und einer Taktfrequenz von 1 GHz. Der Zyklus des Komparators wird durch zwei senkrechte Striche in zwei Phasen geteilt. Während der Rücksetzphase, die mit „I“ gekennzeichnet ist, weist der Takt seinen positiven Logikpegel auf, so dass beide Ausgangssignale zum niedrigen Logikpegel zurückgesetzt werden und dort

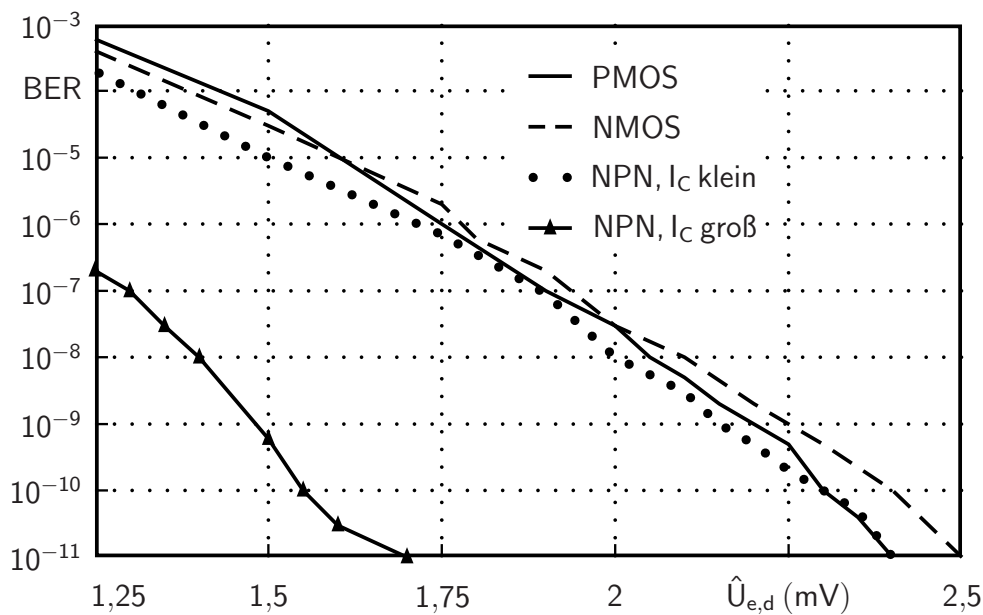


Bild 4.2: Gemessene Bitfehlerrate der Komparatoren über der differentiellen Amplitude der Eingangsdatenfolge

bleiben. Dieser Zustand gilt während des mit ① gekennzeichneten Intervalls. Die Entscheidungsphase „II“ beginnt mit dem fallenden Pegel des Taktsignals. Die Entscheidung findet während des Intervalls ② statt, dessen Länge die Entscheidungsdauer des Komparators ist. Sobald die Ausgangsknoten des Komparators ausreichend geladen wurden, findet die regenerative Verstärkung der Entscheidung statt und eines der Ausgangssignale wechselt von „0“ nach „1“. Das Ausgangssignal ist während des Intervalls ③ gültig. Bei der gezeigten Messung beträgt die Entscheidungsdauer 230 ps und nimmt mit steigender Amplitude des Eingangssignals ab. Die Augenöffnung, während derer das Ausgangssignal gültig ist, beträgt mindestens 250 ps.

Die Bitfehlerrate (*engl. Bit Error Rate, BER*) der Komparatoren in Abhängigkeit von der differentiellen Amplitude $\hat{U}_{e,d}$ der Eingangsdatenfolge ist in Abbildung 4.2 dargestellt. Für die Messung wird der optimale Abtastzeitpunkt eingestellt. Die Schaltungen mit geringerer Leistungsaufnahme zeigen ein ähnliches Verhalten, während der Komparator mit größerem Kollektorstrom eine um etwa drei Größenordnungen geringere Bitfehlerrate besitzt. Dieses Verhalten ist im größeren Signal-zu-Rausch-Verhältnis begründet, das durch größere Abmessungen und Ströme erreicht wird. Bitfehler treten häufiger auf, je kleiner die Amplitude des Eingangssignals $\hat{U}_{e,d}$ ist. Während des Umsetzungszyklus eines SAR ADU tritt diese kleinste Amplitude dann auf, wenn die Eingangsspannung mit der ihr am nächsten liegenden Schwellenspannung verglichen wird. Findet dann eine Fehlentscheidung des Komparators statt, beträgt der zusätzliche Fehler maximal die Größe eines Quantisierungsintervalls. Für eine

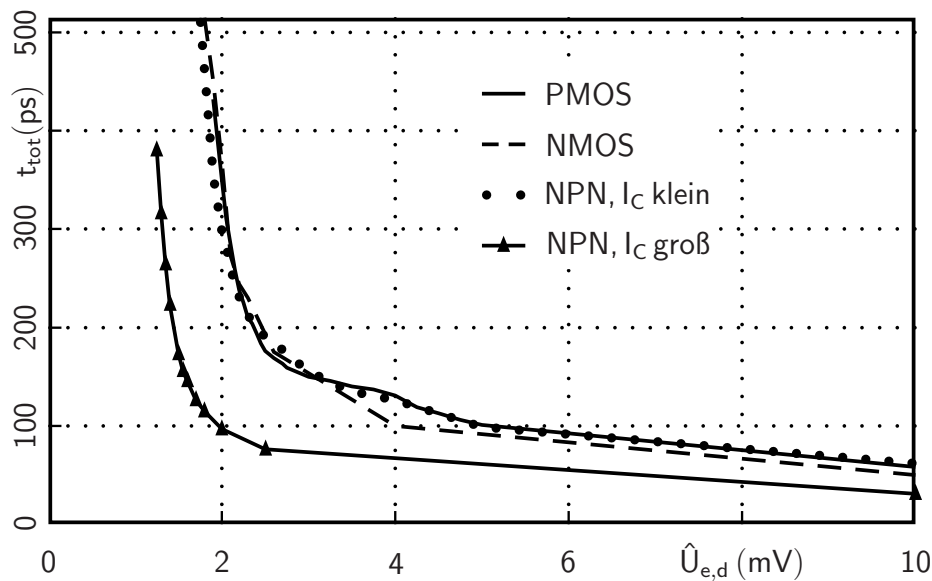


Bild 4.3: Gemessene Totzeit der Komparatoren in Abhängigkeit von der differentiellen Amplitude der Eingangsdatenfolge für eine Bitfehlerrate von 10^{-6}

Bitfehlerrate von 10^{-4} bei der kleinsten Amplitude tritt dieser zusätzliche Fehler im Mittel bei einem von zehntausend Abtastwerten auf. Dadurch wird das Signal-zu-Rausch-Verhältnis nicht wesentlich verschlechtert.

Der Vorteil des Komparators mit kreuzgekoppelten Bipolartransistoren im Vergleich zum gleich dimensionierten Komparator mit n-Kanal MOSFETs ist dessen kleinere Entscheidungsdauer bei gleicher Leistungsaufnahme. Bei ebenfalls gleicher Eingangskapazität ist diese um 39% verringert. Die Entscheidungsdauer kann durch MOSFETs mit größerer Kanalweite noch verringert werden, so dass der Komparator mit maximalem Kollektorstrom im Vergleich zu dem mit kreuzgekoppelten n-Kanal MOSFETs eine um 68% geringere Verzögerungszeit hat.

Die Totzeit t_{tot} der Komparatoren in Abhängigkeit von der differentiellen Amplitude $\hat{U}_{e,d}$ der Eingangsdatenfolge wird in Abbildung 4.3 gezeigt. Die drei Komparatoren mit geringerer Leistungsaufnahme verhalten sich sehr ähnlich, weil ihre Eingangstransistoren für die gleiche Steilheit dimensioniert sind. Dadurch ist die von ihnen verursachte Rauschleistung ebenfalls ähnlich groß. Der Komparator mit MOSFETs größerer Kanalweite besitzt eine deutlich kleinere Totzeit, nämlich 31 ps für eine differentielle Amplitude von 10 mV. Das entspricht einer Verbesserung um etwa 20 ps im Vergleich zu den anderen Komparatoren.

Bei 20 Exemplaren jedes Komparators wurde jeweils die Offsetspannung bestimmt. Die Standardabweichung der Offsetspannung beträgt für die Komparatoren in Abbildung 3.24(a), 3.24(b) und 3.24(c) 4,6 mV, 4,1 mV und 2,9 mV. Die Offsetspannung des Komparators mit

größerem Kollektorstrom hat eine Standardabweichung von 1,9 mV. Bei einem einzelnen SAR A-D-Umsetzer verschiebt die Offsetspannung die Grenzen der Quantisierungsintervalle, wirkt sich aber nicht auf die Linearität oder das dynamische Verhalten aus. Im Falle eines zeitverschachtelten A-D-Umsetzers muss das Offset gegebenenfalls kompensiert oder korrigiert werden, wenn es den Anforderungen in Gleichung (2.17) nicht genügt.

4.2 A-D-Umsetzer für einen Ultrabreitbandempfänger

Sender und Empfänger, die ein Ultrabreitbandfunkverfahren anwenden, nutzen einen sehr großen Frequenzbereich [38]. Die spektrale Leistungsdichte des Signals ist sehr gering, so dass schmalbandige Funkübertragungen im selben Frequenzbereich nicht gestört werden. Durch die große Bandbreite reicht die gesamte Signalenergie dennoch für einen Signal-zu-Rausch-Abstand aus, der die Kommunikation ermöglicht. Ultrabreitbandempfänger und auch -sender eignen sich für den mobilen Einsatz, wo wegen des Batteriebetriebs eine geringe Leistungsaufnahme wichtig ist. Deshalb eignen sich energieeffiziente SAR A-D-Umsetzer, um das empfangene Signal für die Weiterverarbeitung in Digitalwerte umzusetzen.

Für einen impulsbasierten Ultrabreitbandtransceiver [39] wurde ein SAR A-D-Umsetzer mit vorgeschaltetem Spannungsintegrator in einer 250 nm SiGe:C BiCMOS-Technologie entworfen, der im inkohärenten Empfangspfad eingesetzt wird [36, 40]. Das Eingangssignal des Integrators setzt sich aus einer Folge von breitbandigen, gaußförmigen Impulsen im Basisband mit unterschiedlichen Amplituden zusammen [41]. Acht dieser Impulse werden jeweils integriert und das Ergebnis in einen Digitalwert umgesetzt, der die Anzahl der Impulse mit maximaler Amplitude wiedergibt. Durch die Integration wird die benötigte Abtastrate auf 62,4 MS/s reduziert.

Das Blockschaltbild der gesamten Schaltung in Abbildung 4.4 zeigt zwei zeitverschachtelte Integratoren, deren Ausgangssignale abwechselnd an einen SAR A-D-Umsetzer weitergegeben und von diesem in Digitalwerte umgesetzt werden. Das Taktsignal clk hat eine Frequenz von 499,2 MHz und wird sowohl für die zeitliche Steuerung des Integrators als auch des A-D-Umsetzers verwendet. Zwei Taktteiler durch acht und durch zwei, die mit CMOS DFFs realisiert sind, erzeugen die Signalfanken, die für die Aktivierung und das Zurücksetzen der Integratoren sowie für den Multiplexer benötigt werden. Die Integration muss zu jedem Zeitpunkt stattfinden, wodurch der Einsatz zeitverschachtelter Integratoren begründet ist. Während einer der Integratoren aktiv ist, hält der andere zuerst seine Ausgangsspannung konstant, so dass sie vom A-D-Umsetzer abgetastet werden kann, danach wird er zurückgesetzt und somit für eine neue Integrationsperiode vorbereitet.

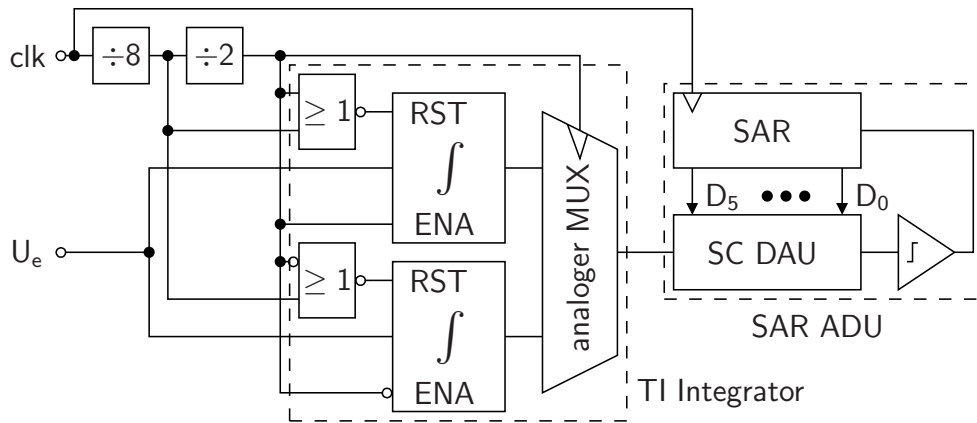


Bild 4.4: Blockschaltbild des zeitverschalteten Integrators mit nachgeschaltetem SAR A-D-Umsetzer

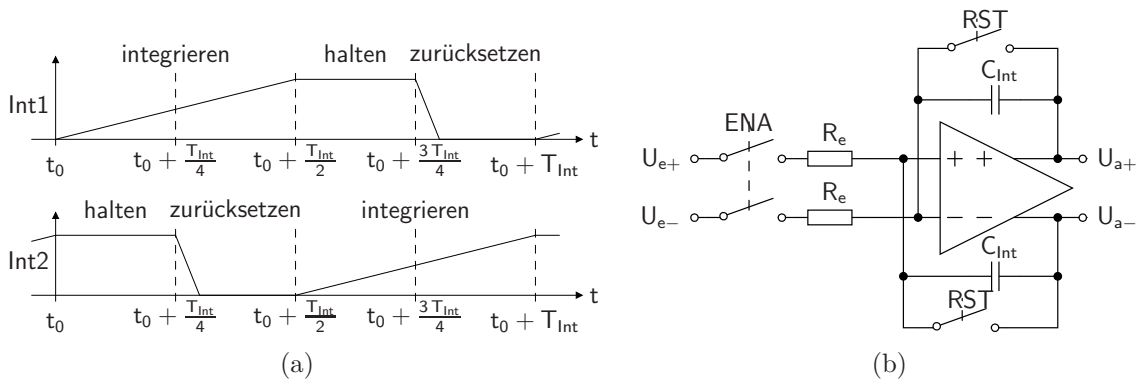


Bild 4.5: (a) Zeitdiagramm des zeitverschalteten Integrators und (b) Schaltbild eines der zeitverschalteten Integratoren

4.2.1 Entwurf des zeitverschalteten Integrators

Der Integrator wird als zweifach zeitverschaltetes System zweier Integratoren *Int1* und *Int2* aufgebaut, so dass zwischen zwei Integrationsperioden keine Totzeit auftritt. Die Signale zur zeitlichen Steuerung des Systems werden durch die Taktteiler und die negierenden ODER-Gatter in Abbildung 4.4 erzeugt. Die Abfolge während eines Zyklus der Länge $T_{Int} = (31,2\text{ MHz})^{-1}$ ist in Abbildung 4.5(a) dargestellt. Während dieser Dauer werden von beiden Integratoren je acht Impulse integriert. Zum Zeitpunkt t_0 ist *Int1* zurückgesetzt worden und beginnt zu integrieren. Nach $\frac{T_{Int}}{2}$ wird er durch das Trennen der Eingangssignale deaktiviert und hält sein Ausgangssignal für $\frac{T_{Int}}{4}$ konstant, so dass es vom ADU abgetastet werden kann. Danach wird *Int1* für $\frac{T_{Int}}{4}$ zurückgesetzt. Die zeitliche Abfolge von *Int2* ist demgegenüber um $\frac{T_{Int}}{2}$ verschoben.

Beide Integratoren sind, wie in Abbildung 4.5(b) gezeigt, mit Operationsverstärkern aufge-

baut. Es werden die Operationsverstärker aus Abbildung 3.38 verwendet, deren Ausgänge über die Integrationskondensatoren C_{Int} zu den inversen Eingängen zurückgekoppelt sind. Je ein Transfertransistor parallel zu den Kondensatoren ermöglicht das Zurücksetzen des Integrators, indem die Ladung vom Kondensator entfernt wird. Durch serielle Transfertransistoren am Eingang kann der Integrator aktiviert oder deaktiviert werden. Die seriellen Eingangswiderstände R_e zusammen mit den Integrationskondensatoren C_{Int} definieren die Zeitkonstante $\frac{1}{R_e C_{\text{Int}}}$ und somit den Spannungsbereich, in dem das Ausgangssignal liegt.

Der analoge Multiplexer verbindet die zeitverschachtelten Integratoren mit dem SAR A-D-Umsetzer. Sein Auswahlsignal ist ein Takt mit der Frequenz 31,2 MHz. Er gibt jeweils die Halte- und Rücksetzphase der Integratoren weiter, so dass dafür Sorge getragen werden muss, dass der A-D-Umsetzer das Signal während der Haltephase abtastet. Der Multiplexer ist als passive Schaltung mit zwei Transfertattern aufgebaut.

4.2.2 Entwurfsdetails des SAR A-D-Umsetzers

Zur Umsetzung des integrierten Signals in Digitalwerte existieren zwei Varianten des A-D-Umsetzers [13]. Beide Varianten arbeiten mit sukzessiver Approximation, während ein Umsetzer die Auflösung 6 bit, der andere 7 bit hat. Beide A-D-Umsetzer arbeiten mit dem in Abschnitt 3.1.1 vorgestellten klassischen Algorithmus, wobei der ADU mit 7 bit Auflösung nach der Methode in Abschnitt 3.1.2 um ein Bit erweitert wird.

Die A-D-Umsetzer arbeiten synchron zu einem Takt mit 499,2 MHz, also dem Achtfachen der Abtastrate. Zur Umsetzung einer Analogspannung in einen Digitalwert stehen also acht Taktperioden der Länge $\frac{T_{\text{Int}}}{16}$ zur Verfügung. Während der ersten Taktperiode wird innerhalb der Haltephase der Integratoren die zur integrierten Spannung proportionale Ladung auf dem SC DAU gespeichert. Während der verbleibenden sieben Taktperioden wird das Ausgangscodewort sukzessive bestimmt. Im Falle des Umsetzers mit 6 bit Auflösung verbleibt danach noch eine Taktperiode, um das Codewort in ein Ausgangsregister zu schreiben. Beim ADU mit 7 bit wird im letzten Takt das LSB bestimmt und direkt vom Komparatorausgang ins Ausgangsregister geschrieben. Das SAR, das für die zeitliche Steuerung und das Speichern der Bitwerte verantwortlich ist, ist für beide Varianten mit sechs der DDFFs aus Abbildung 3.18 aufgebaut. Diese sind wie in Abbildung 3.19 angeordnet, rechts folgen zwei serielle DFFs.

Der SC DAU ist mit Parallelschaltungen von Grundzellen ähnlich Abbildung 3.10 realisiert, wobei MIM-Kondensatoren zum Einsatz kommen. Die Größe der kleinsten Kapazität beträgt $C_u = 4,3 \text{ fF}$, die zum MSB gehörende Parallelschaltung beinhaltet 32 Grundzellen, während

insgesamt 64 Grundzellen parallel geschaltet sind. Die Grundzelle, die beim A-D-Umsetzer mit 6 bit zur Ergänzung der Gesamtkapazität auf $2^6 C_u$ dient und die nur zwischen der Eingangs- und einer Referenzspannung umgeschaltet werden kann, bietet in der Variante mit 7 bit die Möglichkeit, dass die untere Kondensatorplatte mit der Gleichtaktspannung U_{CM} verbunden wird. Wegen des differentiellen Aufbaus des A-D-Umsetzers ist der beschriebene SC DAU zweimal vorhanden. Die Grundzellen sind jeweils in sechs Zeilen und 20 Spalten angeordnet, so dass wegen der sich regelmäßig wiederholenden Strukturen geringere Fertigungstoleranzen zu erwarten sind. Die 56 Grundzellen, die nicht am SC DAU beteiligt sind, haben keine elektrische Funktion und können nicht umgeschaltet werden.

Es wird ein zweistufiger Komparator verwendet, dessen erste Stufe ein Differenzverstärker ist. Die erste Stufe verstärkt das Eingangssignal und isoliert die zweite Komparatorstufe vom SC DAU. Die zweite Stufe ist ein regenerativer Komparator mit kreuzgekoppelten n-Kanal MOSFETs, wie in Abbildung 3.24(b) gezeigt. Deren Ausgangssignale werden mit einem Speicherglied festgehalten, an dessen Ausgang sie auch während der Rücksetzphase des Komparators gültig sind.

Die für den SC DAU notwendigen Referenzspannungen $U_{a,ref}$, $U_{b,ref}$ und U_{CM} werden innerhalb des Chips mit Operationsverstärkern erzeugt, wie in Abschnitt 3.5.1 beschrieben wird. Dazu werden zwei Spannungen U_{CM} und U_{BGP} mit Widerstandsspannungsteilern erzeugt, die der gewünschten Gleichtaktspannung beziehungsweise einer dem Eingangsspannungsbereich des A-D-Umsetzers proportionalen Steuerspannung entsprechen. Beide Spannungen können von außen überschrieben werden, wobei U_{BGP} mit der von einer Bandabstandsreferenzschaltung erzeugten Spannung verbunden werden kann. Die beiden Spannungen werden wie in Abbildung 3.37 mit dem Steuereingang für die Gleichtaktspannung beziehungsweise mit dem Eingangsknoten der Operationsverstärkerschaltung verbunden, so dass die Referenzspannungen $U_{a,ref}$ und $U_{b,ref}$ generiert werden. $U_{a,ref}$, $U_{b,ref}$ und U_{CM} sowie die Eingangsspannungen $U_{e\pm}$ werden mit Emitterfolgern gepuffert um die kapazitive Last des SC DAU treiben zu können.

Abbildung 4.6 zeigt ein Chipfoto und das Layout des integrierenden A-D-Umsetzers. Die Fläche einschließlich Kontaktpads beträgt $1,4 \times 0,6 \text{ mm}^2$, während der zeitverschachtelte Integrator $90 \times 210 \mu\text{m}^2$ und der A-D-Umsetzer $360 \times 280 \mu\text{m}^2$ belegen.

4.2.3 Messergebnisse des Integrators mit A-D-Umsetzer

In diesem Kapitel werden Simulations- und Messergebnisse des integrierenden A-D-Umsetzers gezeigt. Es wurden einzelne Integratoren, A-D-Umsetzer mit 6 und 7 bit Auflösung

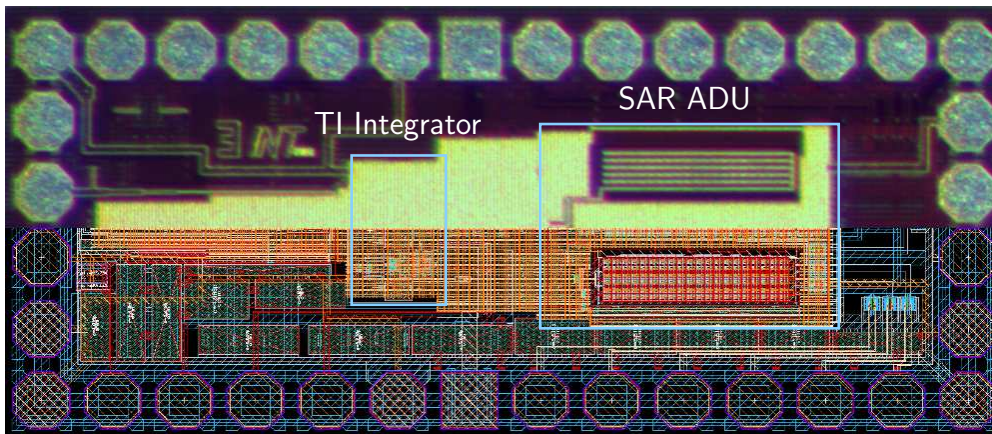


Bild 4.6: Chipfoto und Layout des zeitverschachtelten Integrators mit nachgeschaltetem SAR ADU

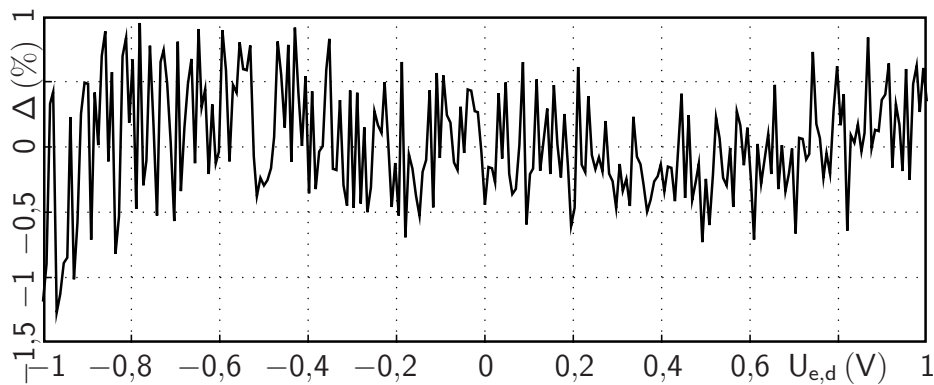


Bild 4.7: Messung der Nichtlinearität des zeitverschachtelten Integrators

sowie Hintereinanderschaltungen von Integratoren und A-D-Umsetzern gefertigt, so dass Ergebnisse zu den Komponenten und zur gesamten Anordnung gezeigt werden können.

Voraussetzung für die Funktionalität des Empfängers ist die ausreichende Linearität des Integrators. Zu deren Ermittlung wird die sich ergebende Ausgangsspannung für unterschiedliche, konstante Eingangsspannungen gemessen. Die Differenz des gemessenen und des idealen Wertes wird durch die Größe des Eingangsspannungsbereichs geteilt, so dass sich die Nichtlinearität des Integrators wie in Abbildung 4.7 ergibt. Die Nichtlinearität ist im gesamten Spannungsbereich kleiner als 1,5%. Der Empfänger nutzt nur die positive Hälfte des Spannungsbereichs [41], wo die Nichtlinearität kleiner als 1% ist. Dies ermöglicht eine Analog-Digital-Umsetzung mit einer effektiven Auflösung von ungefähr 6 bit und genügt somit den Anforderungen.

Die Simulation des zeitverschachtelten Integrators in Abbildung 4.8 zeigt, dass die Integration der Eingangsspannung ohne Totzeit stattfindet. Am Eingang wird die im oberen Teil gezeigte differentielle Impulsfolge angelegt, wobei jeder Impuls eine Dauer von 2 ns und eine

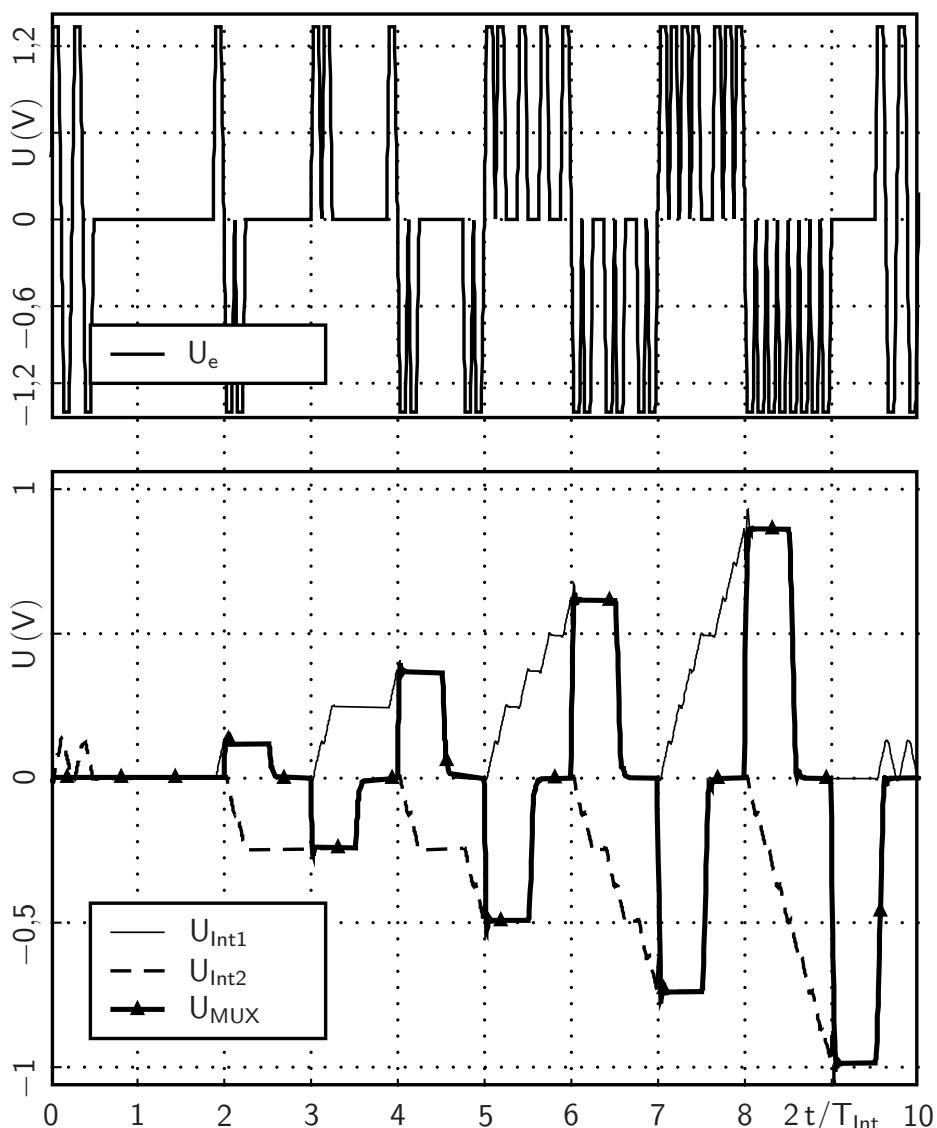
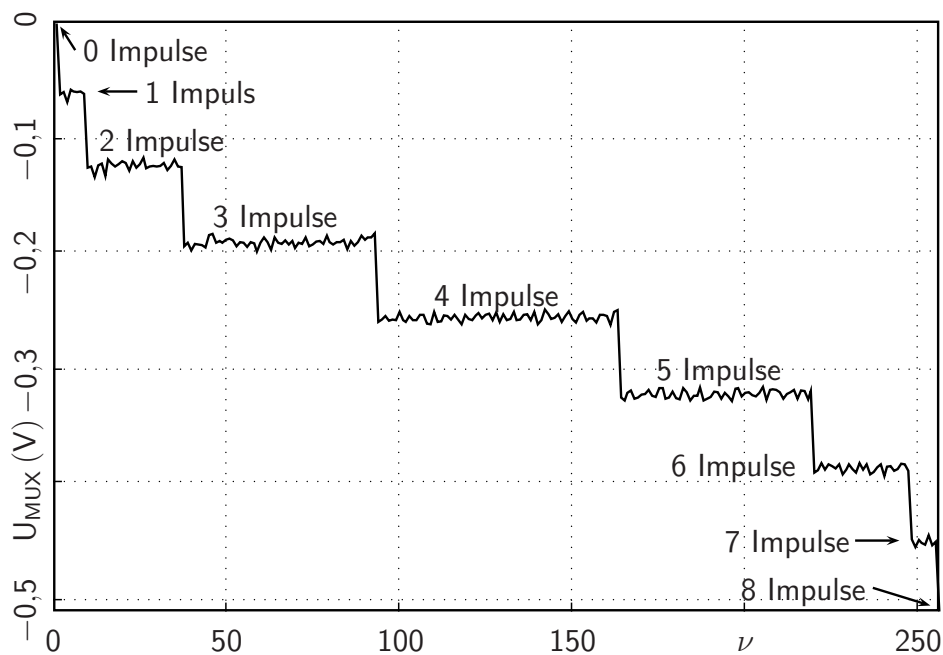
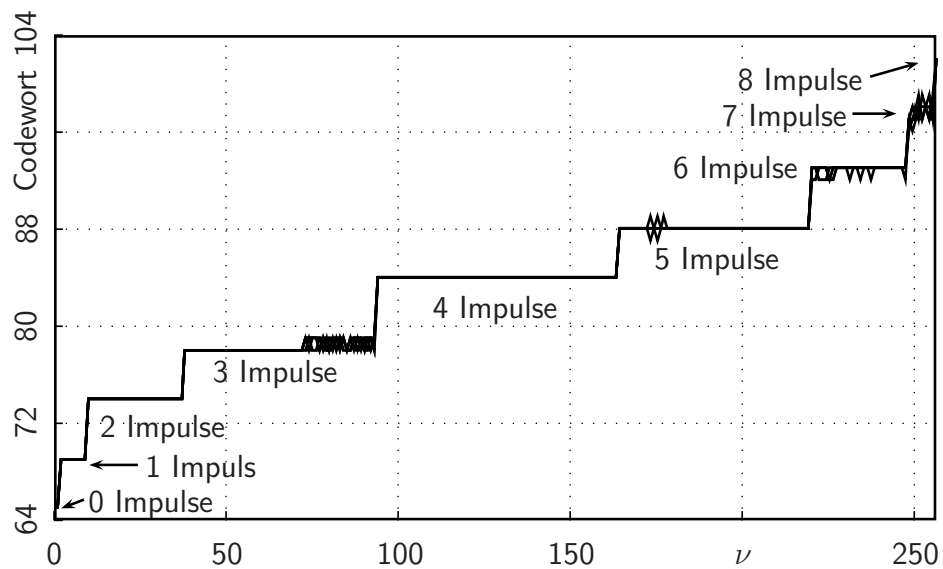


Bild 4.8: Simulation des zeitverschalteten Integrators mit einer Impulsfolge am Eingang

Fläche von $+1 \text{ V ns}$, -1 V ns oder 0 V ns hat. Das untere Schaubild zeigt die Ausgangssignale U_{Int1} und U_{Int2} der einzelnen Integratoren, die durch einen analogen Multiplexer zur Ausgangsspannung U_{MUX} des zeitverschalteten Integrators zusammengefasst werden. Nach einer Integrationsperiode von $\frac{T_{\text{Int}}}{2} \approx 16 \text{ ns}$ wird einer der Integratoren in die Haltephase geschaltet und der andere beginnt zu integrieren. Während der ersten Integrationsperiode treten abwechselnd positive und negative Impulse auf, so dass die Ausgangsspannung am Ende verschwindet. Die nachfolgenden Integrationsperioden enthalten eine steigende Anzahl positiver oder negativer Impulse. Das Integrationsergebnis hängt linear von der Anzahl der Impulse ab und wird nicht wesentlich gestört, wenn die Impulsfolge das Ende einer Integrationsperiode überstreicht. Dadurch wird die Abwesenheit einer Totzeit beim Umschalten der



(a)



(b)

Bild 4.9: Messung des zeitverschachtelten Integrators mit unterschiedlichen Impulsfolgen am Eingang und (a) ohne bzw. (b) mit A-D-Umsetzer am Ausgang

Integratoren gezeigt.

Eine dieser Simulation ähnliche Messung in Abbildung 4.9 belegt ebenfalls die Funktionalität des zeitverschachtelten Integrators. Ein Bitmuster-generator generiert eine differentielle Impulsfolge, in der alle 256 Kombinationen von acht Impulsen enthalten sind, die „1“ oder „0“ sind. „1“ entspricht der in Abbildung 4.9(a) betragsmäßig größten negativen Amplitude der

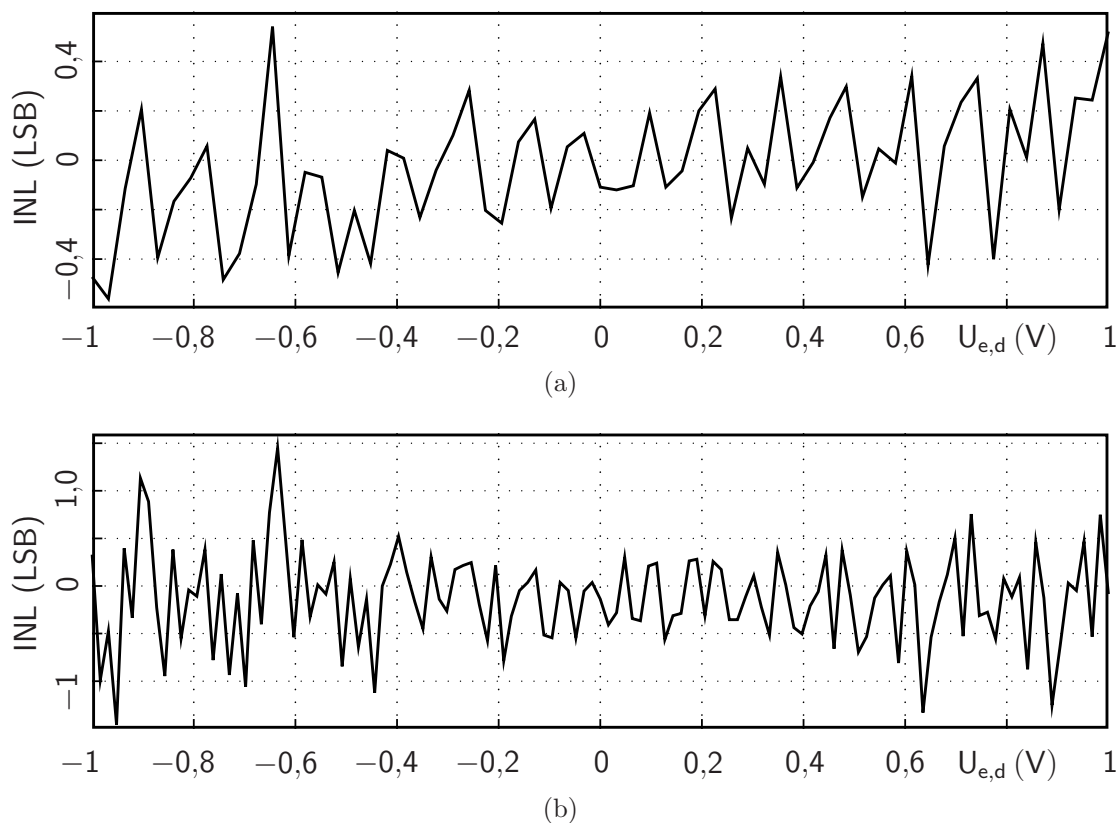


Bild 4.10: Messung der integralen Nichtlinearität des A-D-Umsetzers mit (a) 6 bit und (b) 7 bit Auflösung

Impulse, „0“ entspricht der Amplitude Null. Im Schaubild wird die Ausgangsspannung in Abhängigkeit von der Anzahl der „1“-Impulse gezeigt. Da es nur eine Kombination gibt, in der alle Impulse „1“ sind, acht Kombinationen, wo genau sieben Impulse „1“ und einer „0“ sind, und so weiter, weisen die Stufen abhängig von der Anzahl der „1“-Impulse unterschiedliche Längen auf. Es ist zu erkennen, dass eine unterschiedliche Anzahl von „1“-Impulsen innerhalb einer Integrationsperiode zu deutlich unterscheidbaren Ausgangsspannungen führt. In Abbildung 4.9(b) wird eine gleichartige Messung gezeigt, nun jedoch mit positiven „1“-Impulsen und einem dem Integrator nachgeschalteten A-D-Umsetzer. Auf der vertikalen Achse ist das sich ergebende Codewort des ADU mit der Auflösung 7 bit angegeben. Abhängig von der Anzahl der „1“-Impulse ergibt sich ein Codewort, das maximal um ein LSB schwankt. Die Anzahl der „1“-Impulse kann jedoch eindeutig vom Codewort abgelesen werden.

Zu den A-D-Umsetzern liegen Messungen der statischen integralen Nichtlinearität und der dynamischen Parameter SNDR und ENOB vor. Zur statischen Messung liegt am Eingang des ADU eine differentielle Spannungsrampe, während der ADU mit einer konstanten Abtastrate arbeitet. Die Messungen in Abbildung 4.10 zeigen die integrale Nichtlinearität beider

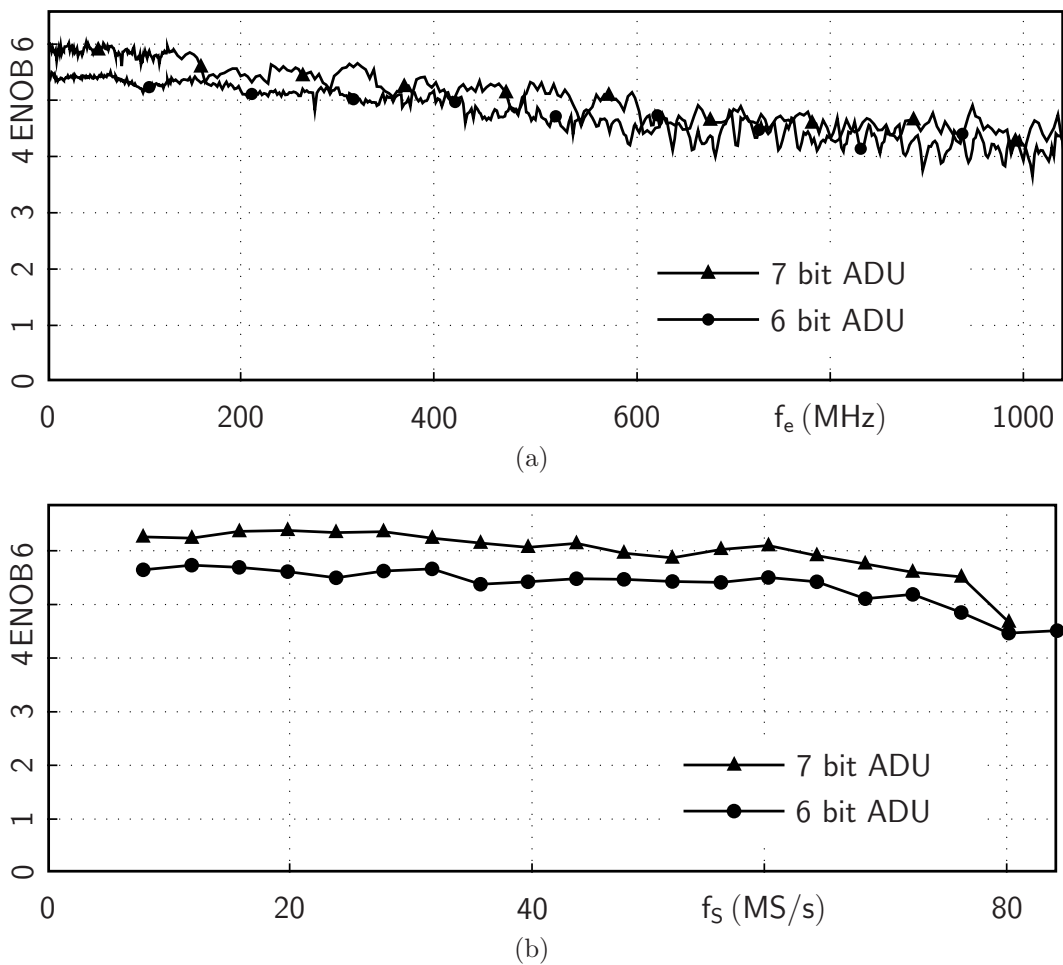


Bild 4.11: Messung der effektiven Auflösung der A-D-Umsetzer (a) über der Eingangssignalfrequenz und (b) über der Abtastrate

ADU bei einer Abtastrate von 62,5 MS/s. Die INL des ADU mit 6 bit Auflösung ist kleiner als 0,6 LSB, die des ADU mit 7 bit Auflösung kleiner als 1,5 LSB. Da die SC DAU bei der Umsetzer fast identisch aufgebaut sind, und ein Quantisierungsintervall des Umsetzers mit größerer Auflösung halb so groß ist, wie das des anderen, entspricht die Messung den Erwartungen. Außerdem zeigt sich, dass die Übertragungskennlinien beider A-D-Umsetzer monoton sind.

Für die dynamische Messung wird ein Sinusgenerator am Eingang des A-D-Umsetzers verwendet, aus dessen unipolarem Ausgangssignal mit einem 180° Hybridkoppler eine differentielle Eingangsspannung für den ADU erzeugt wird. Die Ausgangsdaten des ADU werden von einem Logikanalysator aufgezeichnet. Sie werden durch eine diskrete Fouriertransformation in den Frequenzbereich transformiert, so dass die dynamischen Parameter des A-D-Umsetzers bestimmt werden können. Die effektive Auflösung beider ADU bei einer Abtastrate von 64 MS/s über der Frequenz des Eingangssignals ist in Abbildung 4.11(a) dargestellt. Für klei-

ne Frequenzen beträgt die effektive Auflösung des Umsetzers mit 6 bit und 7 bit Auflösung 5,5 bit beziehungsweise 6 bit. Die ERBW beider Umsetzer liegt im Bereich von 300 MHz und beinhaltet über neun Nyquistbänder. Die Haltekapazität des A-D-Umsetzers, die die Bandbreite hauptsächlich begrenzt, ist nur während der Folgephase am Eingang wirksam. Deshalb würden sich diese ADU für einen achtfach zeitverschachtelten A-D-Umsetzer eignen, wo sich jeweils einer der SAR ADU in der Folgephase befindet. Wegen der Verachtfachung der Abtastrate wäre eine ERBW im Bereich der Nyquistfrequenz zu erwarten.

Die Messung der effektiven Auflösung für verschiedene Abtastraten ist in Abbildung 4.11(b) dargestellt. Die Frequenz des Eingangssignals liegt jeweils bei etwa 2 MHz. Für kleine Abtastraten bis 20 MS/s erreicht die effektive Auflösung des Umsetzers mit 6 bit und 7 bit Auflösung 5,7 bit beziehungsweise 6,3 bit. Die obere Grenze für die Abtastrate liegt bei 80 MS/s und wird durch das SAR verursacht, das bei größeren Abtastraten nicht mehr in der Lage ist, fehlerfrei zu arbeiten. Bei 64 MS/s beträgt die FoM des Umsetzers mit 7 bit Auflösung 3,4 pJ/Schritt, die des Umsetzers mit 6 bit Auflösung 4,5 pJ/Schritt.

Der Integrator mit nachgeschaltetem A-D-Umsetzer wird im Empfangspfad eines Ultrabreitbandtransceivers eingesetzt [39]. Messungen belegen die Funktionalität des Systems.

4.3 9 bit, 34 MS/s SAR A-D-Umsetzer

Es wurde ein SAR A-D-Umsetzer mit einer Auflösung von 9 bit und einer Abtastrate von bis zu 34 MS/s in einer 130 nm SiGe:C BiCMOS-Technologie entworfen [42]. Zur Analog-Digital-Umsetzung wird der klassische Algorithmus mit der Erweiterung um ein Bit durchgeführt. Dieser Umsetzer bestimmt das Ausgangscodewort in zwölf Periodendauern des von außen angelegten Takts. Die Werte der Bits des Codeworts werden in neun Perioden bestimmt, die übrigen drei Perioden werden zur Speicherung des Ausgangscodeworts im synchronen Ausgangsregister und zum Abtasten der Eingangsspannung verwendet.

4.3.1 Entwurfsdetails des A-D-Umsetzers

Das SAR ist ähnlich wie in Abschnitt 4.2.2 mit DDFFs aufgebaut. Neun DDFFs steuern den SC DAU und speichern das Codewort. Drei nachgeschaltete DFFs generieren ein Taktsignal, das zum Auslesen des Ausgangsregisters verwendet werden kann, und lösen die Abtastperiode aus. Das SAR wird durch ein auf dem Chip erzeugtes Signal zurückgesetzt, das synchron

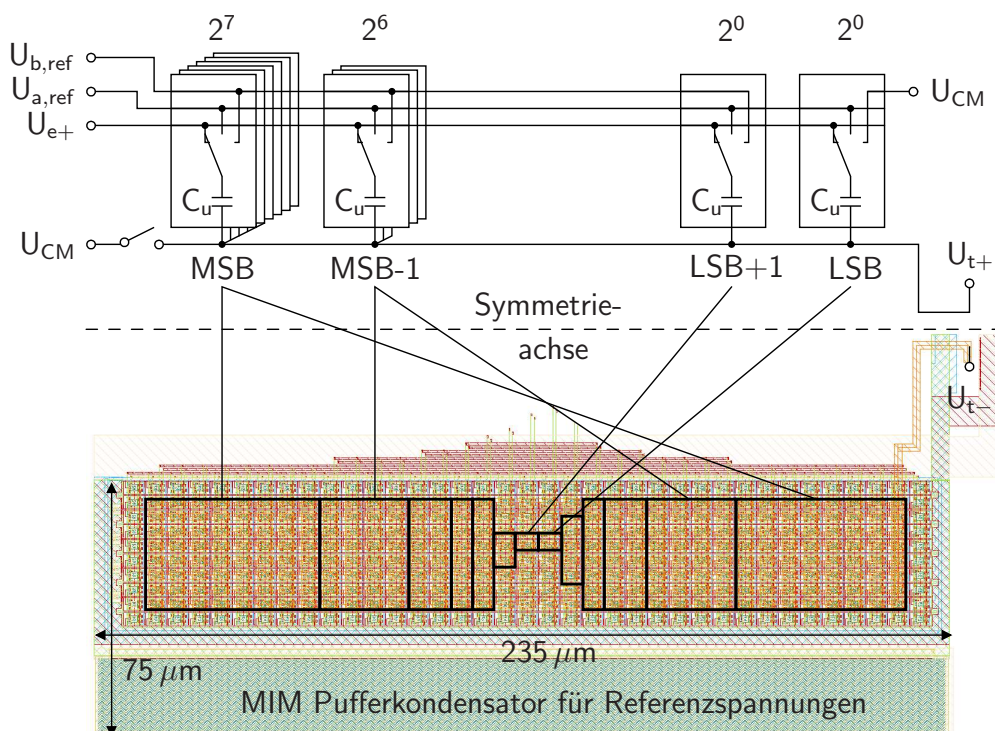


Bild 4.12: Schaltplan und Layout des SC DAU für die Auflösung 9 bit

zum anliegenden Takt ist. Nach dem Ende der Rücksetzphase beginnt die Umsetzung von Neuem.

Abbildung 4.12 zeigt den eingesetzten SC DAU. Oberhalb der Symmetrieachse ist der Schaltplan, unterhalb das Layout der differentiellen Schaltung zu sehen. Die zum MSB gehörende Kapazität hat eine Größe von $2^7 C_u$ und ist durch die Parallelschaltung von Grundzellen realisiert, die den Kondensator $C_u = 5,2 \text{ fF}$ und Transferrgatter enthalten, um die äußere Kondensatorplatte mit einer von drei Spannungen verbinden zu können. Die schwarz umrandeten Bereiche im Layout deuten an, welche Grundzellen den Bits bestimmter Wertigkeit zugeordnet sind. Für das MSB sind 128 Grundzellen in zwei Feldern der Größe 8×8 auf der linken und rechten Seite angeordnet. Die Grundzellen, die zu den höherwertigen Bits gehören, sind ebenfalls in zwei Hälften aufgeteilt und analog angeordnet. Diese Anordnung soll die Auswirkung eines möglichen linearen Gradienten der Kapazitätswerte über die Chipfläche minimieren. Die zu den fünf niederwertigen Bits gehörenden Grundzellen sind nicht geteilt, da für niederwertige Bits eine größere Abweichung toleriert werden kann. Alle Grundzellen außerhalb der schwarzen Rahmen sind nicht angeschlossene Zellen, die dem Layout großflächig eine periodische Struktur verleihen und so die Fertigungstoleranzen verringern. Die Fläche einer Hälfte des differentiellen SC DAU zusammen mit einem MIM Kondensator, um die Referenzspannungen zu stabilisieren, beträgt $235 \times 75 \mu\text{m}^2$. Die zweite Hälfte befindet

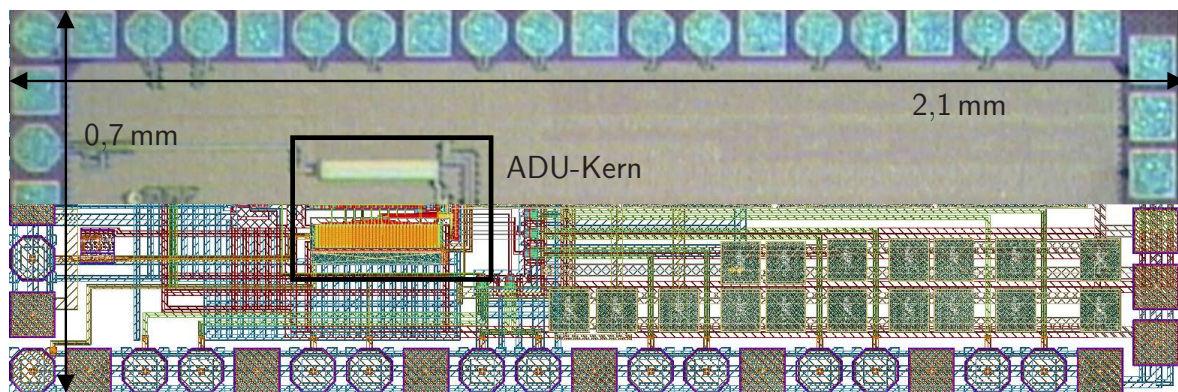


Bild 4.13: Chipfoto und Layout des 9 bit 34 MS/s SAR A-D-Umsetzers

sich gespiegelt an der Symmetrieachse oberhalb des gezeigten Layouts, dazwischen sind das SAR und der Komparator platziert.

Der Komparator ist mit zwei Stufen aufgebaut. Die erste ist ein pseudodifferentieller Verstärker, der die Ausgangsspannung des SC DAU vorverstärkt und die Isolation zwischen der Ausgangsstufe und dem Eingang des Komparators erhöht. Die zweite Stufe besteht aus dem regenerativen Verstärker in Abbildung 3.24(a). Das Ausgangssignal wird durch ein Speicherglied während der Rücksetzphase des Komparators konstant gehalten.

4.3.2 Messergebnisse

Zur Messung des A-D-Umsetzers werden das Taktsignal mit der zwölffachen Frequenz der Abtastrate und die Referenzspannungen von außen angelegt. Die differentielle Eingangsspannung ist für die Messung der statischen Parameter abschnittsweise konstant, zur Messung der dynamischen Parameter wird eine sinusförmige Spannung angelegt. Der Ausgangsdatenstrom wird mit einem Logikanalysator aufgezeichnet. Die Betriebsspannung beträgt 1,3 V. Das Chipfoto ist zusammen mit dem Layout in Abbildung 4.13 dargestellt. Die Gesamtfläche beträgt $2,1 \times 0,7 \text{ mm}^2$, wobei der Großteil der Fläche von Pufferkapazitäten für die Betriebsspannungen belegt ist.

Die integrale Nichtlinearität bei 22 MS/s in Abbildung 4.14 ist kleiner als 1,9 LSB. Die INL verlässt den Bereich $\pm 1 \text{ LSB}$ nur bei wenigen Werten der Eingangsspannung. Insbesondere sind zwei Ausreißer bei den Spannungen 0,3 V und 0,45 V zu erkennen. Das Ausgangscodewort beim ersten Ausreißer ist 384 und entspricht $\frac{3}{4}$ des Wertebereichs. Die beiden höchstwertigen Bits wechseln an dieser Stelle von „01“ nach „10“. Beim hier angewandten klassischen Algorithmus schalten an dieser Stelle die beiden den höchstwertigen Bits zugeordneten DDFFs synchron um. Da diese DDFFs die größte Treiberstärke haben, führt das

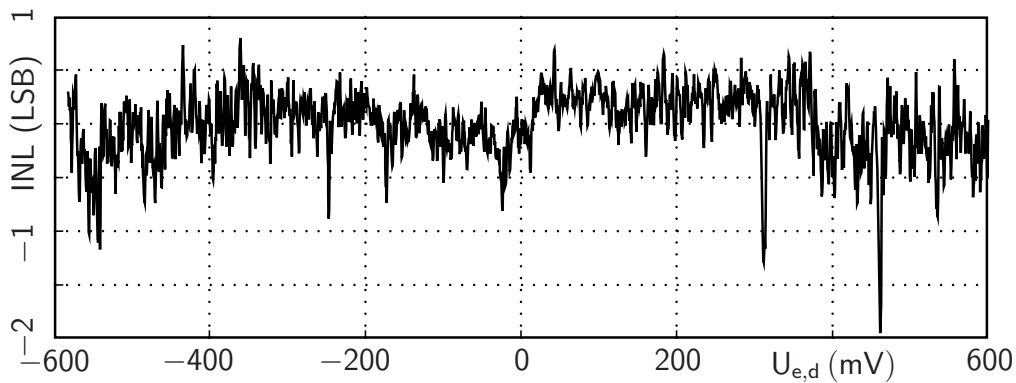


Bild 4.14: Messung der integralen Nichtlinearität bei 22 MS/s

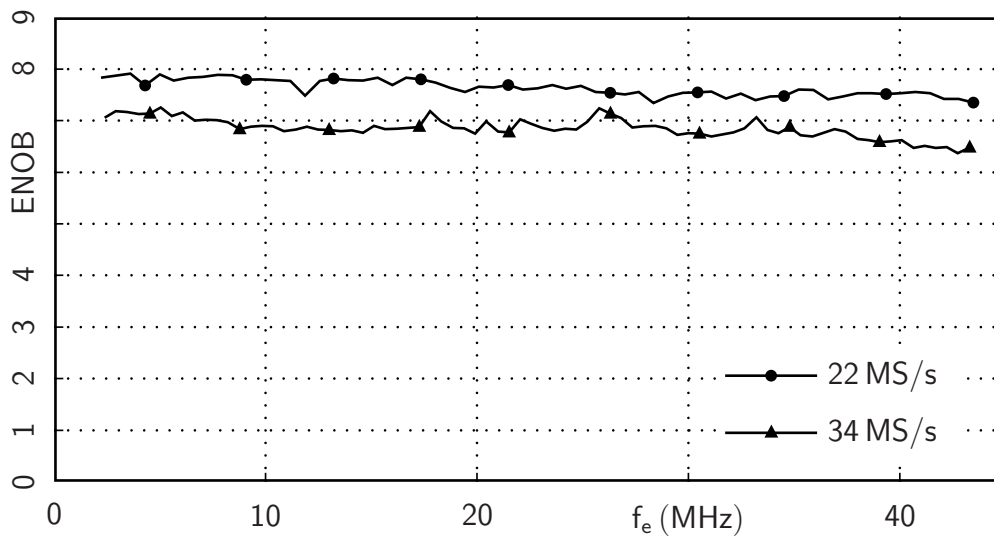


Bild 4.15: Messung der effektiven Auflösung über der Signalfrequenz bei 22 und 34 MS/s

zu einer Störung auf den Betriebsspannungsknoten. Zu diesem Zeitpunkt ist die differentielle Eingangsspannung des Komparators minimal, so dass die Störung auf der Betriebsspannung eine falsche Entscheidung herbeiführt. Der zweite Ausreißer liegt beim Codewort 448, wo ein ähnlicher Effekt auftritt. Hier erfolgt bei den drei höchstwertigen Bits der Wechsel von „101“ nach „110“, wobei das zweit- und drittgrößte DDFP simultan ihren Ausgang ändern. Hier tritt zu diesem Zeitpunkt die kleinstmögliche Eingangsspannung am Komparator auf und es wird eine falsche Entscheidung verursacht.

Bei Messungen mit differentiellen sinusförmigen Eingangssignalen ergeben sich die dynamischen Parameter SFDR, SNDR und ENOB des A-D-Umsetzers. Abbildung 4.15 zeigt die effektive Auflösung in Abhängigkeit von der Frequenz f_e des Eingangssignals bei den Abtastraten 22 und 34 MS/s. Bei 22 MS/s beträgt die effektive Auflösung für niederfrequente Eingangssignale 7,9 bit und verringert sich innerhalb des ersten Nyquistbands bis 11 MHz

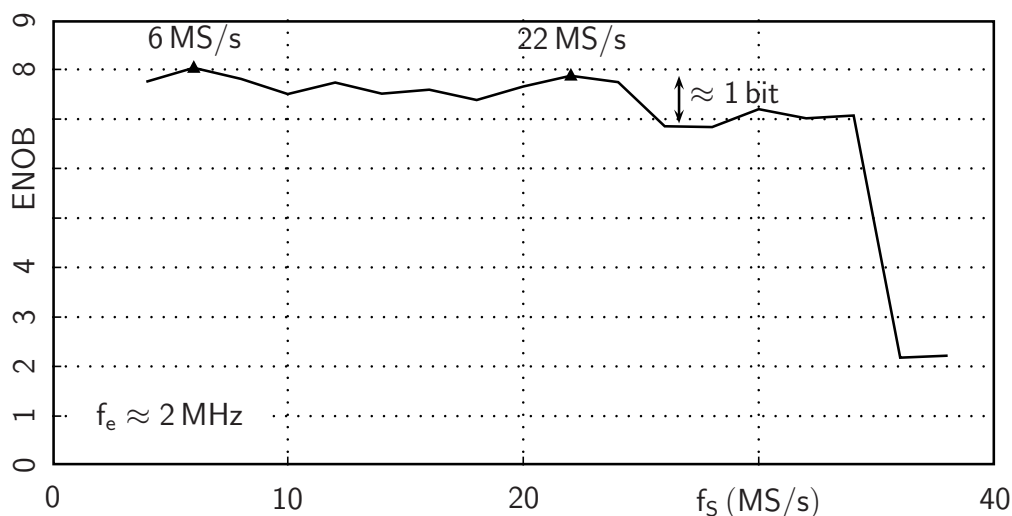


Bild 4.16: Messung der effektiven Auflösung über der Abtastrate bei etwa 2 MHz Signalfrequenz

nicht signifikant. Die ERBW liegt im Bereich von 30 MHz. Bei 34 MHz ist die effektive Auflösung etwa um 1 bit reduziert.

Die effektive Auflösung bei unterschiedlichen Abtastraten f_s und der Frequenz des Eingangssignals von etwa 2 MHz in Abbildung 4.16 hat ihr Maximum bei 8 bit für $f_s = 6$ MS/s. Oberhalb von 24 MS/s verringert sie sich um 1 bit. Die maximal mögliche Abtastrate ist 34 MS/s, da die Speicherzellen innerhalb des SAR für größere Werte nicht fehlerfrei funktionieren. Bei 22 MS/s und niederfrequentem Eingangssignal beträgt das SNDR 49,3 dB und das SFDR 59,8 dB.

Bei 22 MS/s verbraucht der Kern des A-D-Umsetzer mit der Versorgungsspannung 1,3 V 2,53 mA. Der Kern beinhaltet alle Komponenten des A-D-Umsetzers mit Ausnahme von resistiven Spannungsteilern zur Anpassung der Eingänge an $50\ \Omega$ und zur Einstellung von Spannungspegeln sowie von Ausgangstreibern. Damit ergibt sich der Kennwert FoM = 630 fJ/Schritt. Wegen des Rückgangs der effektiven Auflösung erhöht sich der Wert bei 34 MS/s auf FoM = 960 fJ/Schritt.

Das SNDR des A-D-Umsetzers wird hauptsächlich durch fehlende Codewörter am Ausgang des ADU begrenzt. Diese werden durch Störungen verursacht, die durch das Umschalten von CMOS-Gattern innerhalb des Kerns entstehen. Dieser Effekt tritt verstärkt oberhalb von 22 MS/s auf. Die zusätzliche Verschlechterung der effektiven Auflösung um 1 bit ab 24 MS/s wird durch die zu kurze Rücksetzphase des Komparators verursacht. Die Länge der Rücksetzphase ist die Hälfte einer Periode des angelegten Takts, der die zwölfwache Frequenz der Abtastrate hat. Ist sie zu kurz, erreicht der Komparator den Gleichgewichtszustand

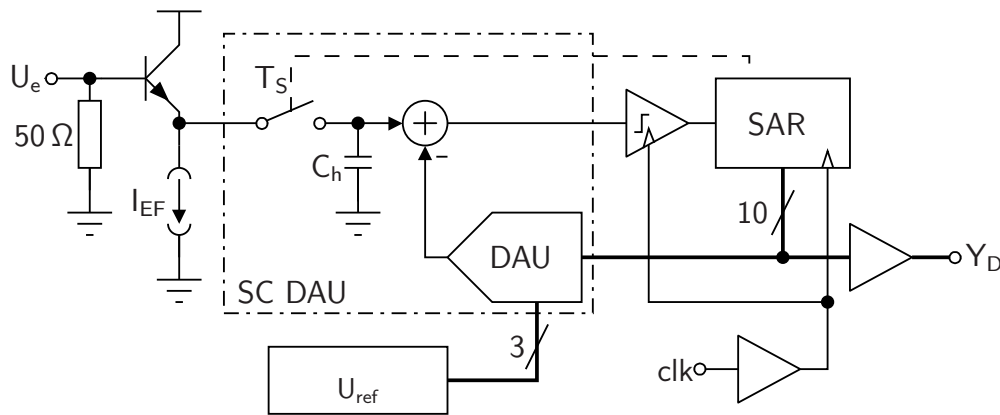


Bild 4.17: Blockschaltbild des 10 bit 12,8 MS/s SAR A-D-Umsetzers

nicht. Damit hängt die Entscheidung des Komparators für kleine Eingangsspannungen von der vorherigen Entscheidung ab und die effektive Auflösung verringert sich.

4.4 10 bit, 12,8 MS/s SAR A-D-Umsetzer

In diesem Abschnitt wird ein SAR A-D-Umsetzer mit der Auflösung 10 bit und einer nominalen Abtastrate von 12,8 MS/s für die Anwendung in schmalbandigen drahtlosen Übertragungssystemen mit geringer Datenrate vorgestellt. Solche ADU sind außerdem für die Analog-Digital-Umsetzung von Messwerten eines Sensors oder zur Beobachtung von analogen Spannungen innerhalb einer beliebigen Schaltung, beispielsweise zur Kalibrierung einer Komponente, geeignet [37].

4.4.1 Entwurfsdetails des A-D-Umsetzers

Das Blockschaltbild der in einer 250 nm SiGe:C BiCMOS-Technologie integrierten Schaltung ist in Abbildung 4.17 dargestellt. Der differentielle Kern des ADU arbeitet nach dem in Abschnitt 3.1.4 vorgestellten Prinzip, wobei die Knoten $U_{i,a}$ und $U_{i,b}$ in Abbildung 3.7 während der Folgephase mit dem Mittelwert der Referenzspannungen U_m verbunden sind. Die Größe des MIM-Kondensators in der Grundzelle, mit der der SC DAU aufgebaut ist, beträgt 5,3 fF. Außerdem enthält jede Grundzelle einen mit Transfergattern aufgebauten Schalter mit drei Eingängen und einem Ausgang. Die Anordnung der zu den unterschiedlichen Wertigkeiten gehörenden Grundzellen innerhalb des SC DAU entspricht dem in Abschnitt 4.3 beschriebenen.

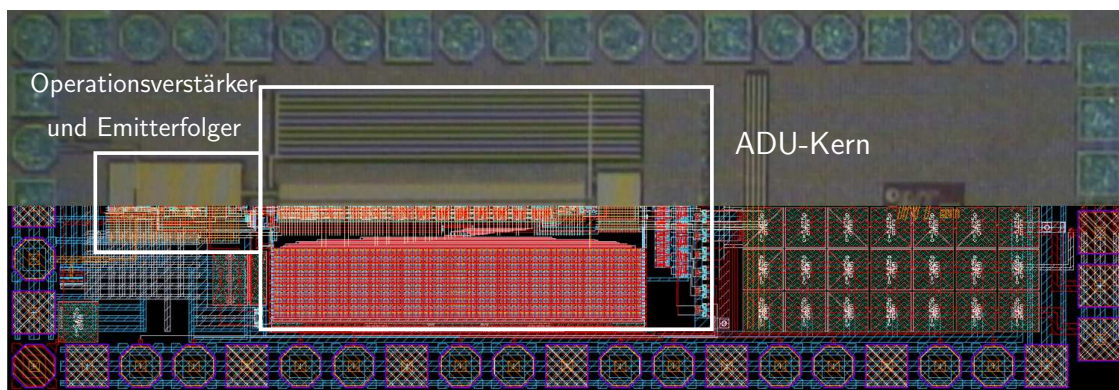


Bild 4.18: Chipfoto und Layout des 10 bit 12,8 MS/s SAR A-D-Umsetzers

Das synchrone SAR ist wie in Abbildung 3.20 gezeigt mit DFFs und einem Latch aufgebaut. Die Länge eines Zyklus von zwölf Taktperioden wird durch das Schieberegister festgelegt. Das Taktsignal *clk* legt die Abtastrate somit auf ein Zwölftel seiner Frequenz fest.

Der Komparator besitzt drei Stufen. Die erste davon ist ein Paar von p-Kanal Sourcefolgern, deren Eingänge keinen statischen Stromfluss zulassen und deshalb den SC DAU nicht entladen. Die zweite Stufe besteht aus einem CML-Verstärker mit NPN-Bipolartransistoren am Eingang und resistiver Last. Deren Spannungsverstärkung erhöht die Empfindlichkeit des Komparators und isoliert den SC DAU vom regenerativen Kern des Komparators. Die Entscheidung des Komparators wird in der dritten Stufe getroffen, die mit einem regenerativen Verstärker nach Abbildung 3.24(c) aufgebaut ist. Ein negierendes UND-Gatter am Ausgang der dritten Stufe erzeugt den Logikpegel „1“, sobald die regenerative Entscheidung hinreichend eingeschwungen ist und steuert ein nachfolgendes Speicherglied an, sodass die Entscheidung während der Rücksetzphase des Komparatorkerns erhalten bleibt.

Das Chipfoto und das Layout des A-D-Umsetzers sind in Abbildung 4.18 dargestellt. Die Chipgröße ist $2,1 \times 0,7 \text{ mm}^2$, während der Kern des ADU eine Fläche von etwa $0,5 \text{ mm}^2$ belegt. Links davon befinden sich der Operationsverstärker und die Emitterfolger, mit denen die Referenzspannungen erzeugt und gepuffert werden.

4.4.2 Messergebnisse

Die integrale Nichtlinearität des ADU ist von der Abtastrate abhängig. Für 12,8 MS/s ist sie in Abbildung 4.19 dargestellt und weist insbesondere für negative Eingangsspannungen Ausreißer auf. Für kleinere Abtastraten ist die Linearität verbessert, zum Beispiel bei 1 MS/s liegt sie unterhalb von 0,6 LSB. In diesem Fall ist die Dauer der Folgephase 12,8 mal länger, so dass mehr Zeit zum Einschwingen des Eingangssignals zur Verfügung steht. Das weist

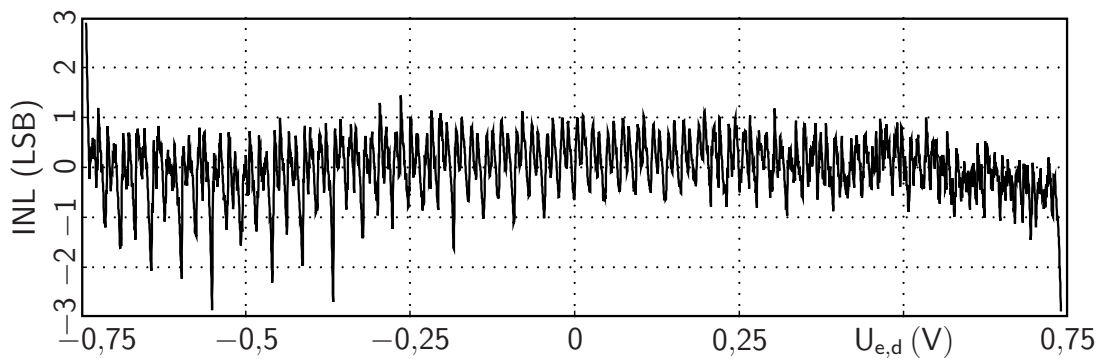


Bild 4.19: Messung der integralen Nichtlinearität bei 12,8 MS/s

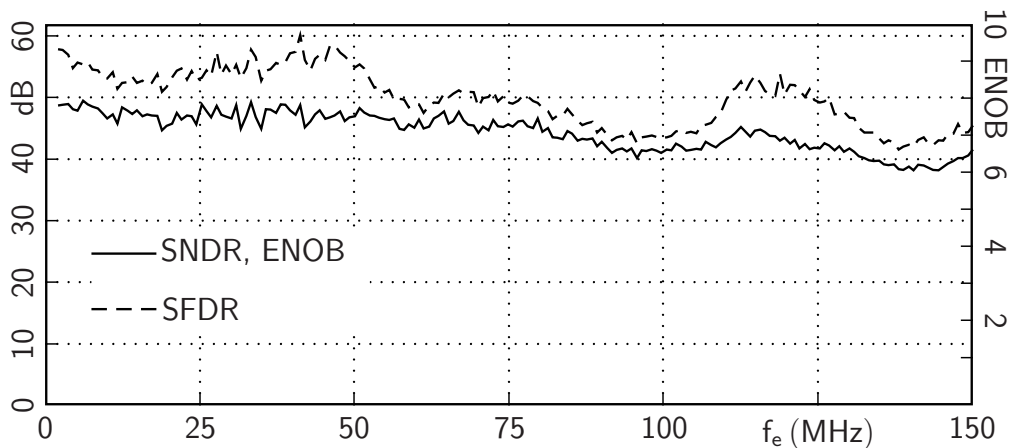


Bild 4.20: Messung von SNDR, ENOB und SFDR bei 12,8 MS/s

darauf hin, dass die Nichtlinearität von den Abtastschaltern dominiert wird und dass die Fertigungstoleranz der Kondensatoren eine untergeordnete Rolle spielt. Die Nichtlinearität ist zwar eine statische Eigenschaft, aber beim SAR A-D-Umsetzer nähern sich die Ausgangsspannungen des SC DAU während jedes Zyklus der Gleichtaktspannung an, so dass auch bei konstanten Eingangsspannungen ein Einschwingvorgang stattfinden muss.

Abbildung 4.20 zeigt SFDR, SNDR und die effektive Auflösung für 12,8 MS/s. Für niederfrequente Eingangssignale betragen SFDR und SNDR 57,8 dB beziehungsweise 48,7 dB. Nahe der Nyquistfrequenz betragen SFDR 55,4 dB und SNDR 49,5 dB. Die effektive Auflösung liegt für niederfrequente Eingangssignale bei 7,9 bit und bleibt bis zu einer Frequenz des Eingangssignals von 80 MHz oberhalb 7 bit. Die effektive Auflösungsbandbreite beträgt 19 MHz, umfasst also für eine Abtastrate von 12,8 MS/s drei Nyquistbänder.

Der Analog-Digital-Umsetzer kann nach Abbildung 4.21 auch mit einer größeren Abtastrate als 12,8 MS/s betrieben werden. Die Kennwerte nehmen mit steigender Abtastrate jedoch ab. Zwischen 4 und 10 MS/s erreicht die effektive Auflösung ihr Maximum von 8,2 bit. Wenn die Abtastrate 13 MS/s überschreitet, wird die effektive Auflösung hauptsächlich durch un-

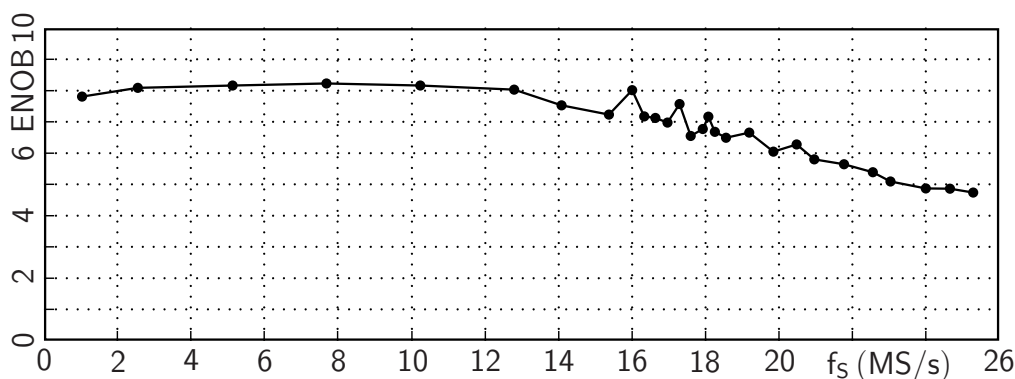


Bild 4.21: Messung der effektiven Auflösung über der Abtastrate

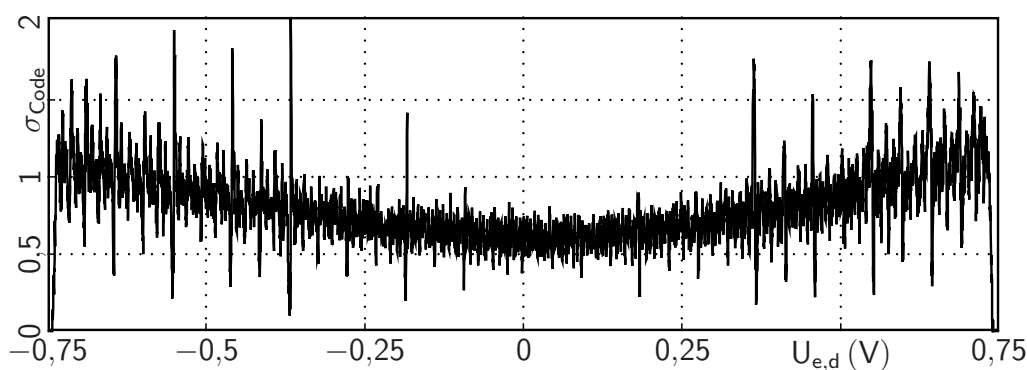


Bild 4.22: Standardabweichung der gemessenen Codewörter bei 12,8 MS/s

vollständiges Einschwingen des Eingangssignals beim Abtastvorgang beschränkt. Das wird durch die vom Widerstand des Transferrgatters und der Haltekapazität bestimmte Bandbreite verursacht.

4.4.3 Zusammenhang von statischem und dynamischem Verhalten

Nichtlinearität und Rauschen setzen die dynamischen Parameter eines A-D-Umsetzers herab. Die Messung der INL aus dem vorangegangenen Abschnitt wird nun analysiert und die Erwartungswerte und Varianzen der einzelnen Messgrößen werden geschätzt. Durch die Erwartungswerte lässt sich die Nichtlinearität der Übertragungsfunktion bestimmen, die Varianzen geben Auskunft über die im Signal vorhandene Rauschleistung. Diese Werte werden mit dem maximal erreichbaren SNDR in Bezug gesetzt.

Die Messung der INL in Abbildung 4.19 basiert auf 200 Abtastwerten für eine Vielzahl konstanter, gleichmäßig über den Spannungsbereich des A-D-Umsetzers verteilter Eingangsspannungen [8]. Die Differenzen der Mittelwerte dieser jeweils 200 Abtastwerte und einer Ursprungsgeraden, die die Übertragungskennlinie eines A-D-Umsetzers mit unendlicher

Auflösung darstellt, ergibt die in Abbildung 4.19 gezeigte INL. Die Standardabweichungen $\sigma_{\text{Code}}(U_{e,d})$ in Abbildung 4.22 geben an, in welchem Bereich sich das Ausgangscodewort bei konstanter Eingangsspannung durch zufällige Einflüsse ändert. Ist die Eingangsspannung nahe 0 V, tritt im Mittel die kleinste Standardabweichung auf. Je mehr der A-D-Umsetzer angesteuert ist, desto mehr nimmt die Standardabweichung zu. Sie wird hauptsächlich von zwei Rauschquellen verursacht, nämlich dem Rauschen des Komparators und dem der Referenzspannungen.

Das Rauschen des Komparators beeinflusst alle Entscheidungen gleichmäßig, deshalb ist seine Rauschleistung σ_{Cmp}^2 gleichmäßig auf den Spannungsbereich des Umsetzers verteilt. Eine Abweichung der Referenzspannung von ihrem Nominalwert streckt oder staucht den Spannungsbereich des Umsetzers linear. Daher wirkt sich das Rauschen der Referenzspannungen mit der Leistung σ_{Ref}^2 am meisten auf die betragsmäßig größten Eingangsspannungen aus, während es die Umsetzung der Eingangsspannung 0 V nicht stört. Die Rauschleistung $\sigma_{\text{Code}}^2(U_{e,d})$, die bei einer konstanten Eingangsspannung auftritt, kann also mit der skalierten Rauschleistung der Referenzspannungen und der Rauschleistung des Komparators durch

$$\sigma_{\text{Code}}^2(U_{e,d}) = \left(\sigma_{\text{Ref}} \frac{U_{e,d}}{U_{e,d,\text{max}}} \right)^2 + \sigma_{\text{Cmp}}^2 \quad (4.1)$$

ausgedrückt werden. In Abbildung 4.22 liegt der Wert $\sigma_{\text{Code}}(0 \text{ V})$ bei etwa 0,6 LSB. Dieser Wert entspricht der effektiven Rauschspannung des Komparators. Aus den Extremwerten $\sigma_{\text{Code}}(\pm U_{e,d,\text{max}})$ kann eine den Referenzspannungen überlagerte Rauschspannung mit dem Effektivwert $\sigma_{\text{Ref}} \approx 0,9 \text{ LSB}$ abgeleitet werden.

Zur Bestimmung von SFDR, SNDR oder ENOB eines A-D-Umsetzers wird ein sinusförmiges Eingangssignal angelegt. In diesem Fall sind die Ausgangscodewörter nicht gleichverteilt, sondern folgen der Wahrscheinlichkeitsdichtefunktion des Sinus in Gleichung (2.18). Die von Nichtlinearität verursachte Störleistung im Ausgangssignal des A-D-Umsetzers kann durch die integrale Nichtlinearität, gewichtet mit der pdf des Sinussignals, abgeschätzt werden. Das Aufsummieren der gewichteten Störleistung durch Nichtlinearität führt zu

$$\sigma_{\text{INL}}^2 = (0,55 \text{ LSB})^2. \quad (4.2)$$

Die Rauschleistung, die zusätzlich zum Quantisierungsrauschen auftritt, kann auf ähnliche Weise abgeschätzt werden, indem von den mit der pdf des Sinus gewichteten Standardabweichungen σ_{Code} die mittlere quadratische Summe gebildet wird. Das führt zu einer zusätzlichen

Rauschleistung von

$$\sigma_N^2 = (0,91 \text{ LSB})^2. \quad (4.3)$$

Die gesamte zusätzliche Störleistung, die die effektive Auflösung des A-D-Umsetzers begrenzt, ist die Summe $\sigma_E^2 = \sigma_{\text{INL}}^2 + \sigma_N^2$ aus den Störleistungen der Nichtlinearität und des Rauschens. Damit kann mit den Gleichungen (2.15) und (2.16) die maximal mögliche effektive Auflösung zu 8,07 bit abgeschätzt werden. Dieser Wert gilt für die Abtastrate $f_s = 12,8 \text{ MS/s}$ und passt gut zur tatsächlich gemessenen effektiven Auflösung in Abbildung 4.21. Die direkte Messung ergibt einen etwas geringeren Wert, weil andere Störer wie die begrenzte Bandbreite der Abtastschalter in der Rechnung nicht berücksichtigt sind.

Auf gleiche Weise lässt sich die zusätzliche Störleistung für andere Abtastraten bestimmen. Hier zeigt sich, dass diese für kleinere Abtastraten abnimmt und effektive Auflösungen von über 8 bit zulässt. Eine weitere Steigerung könnte durch einen verbesserten Entwurf der Schaltung erzielt werden, indem die Rauschbandbreiten an den Ausgangsknoten des Komparatorkerns und an den Ausgängen des Operationsverstärkers, der die Referenzspannungen erzeugt, verringert werden. Hierzu ist in Abbildung 4.23 die spektrale Dichtefunktion der Rauschspannung der Referenzspannungen gezeigt. Hierzu wurde in einer Simulation der Effektivwert der Rauschspannung an den Ausgangsknoten der Emitterfolger, die die Referenzspannungen treiben, über der Frequenz ermittelt. Diese Simulation wurde mit dem Layout des A-D-Umsetzers und mit dessen Schaltplan durchgeführt, wobei für die Schaltplansimulation ideale Kondensatoren zwischen die Basen der Emitterfolger und Masse geschaltet wurden. Die Größe der Kondensatoren variiert zwischen 0 F und 1 pF.

An den Ausgängen der Emitterfolger sind die kapazitiven DAU des SAR ADU sowie MIM-Kapazitäten zum Puffern der Referenzspannungen angeschlossen. Die Polstelle in der Übertragungsfunktion des Emitterfolgers, die durch die Basis-Emitter-Kapazität entsteht, lässt den Ausgangswiderstand der treibenden Schaltung in einem bestimmten Frequenzbereich als Induktivität am Emitter erscheinen [43]. Liegt die Resonanzfrequenz des Parallelschwingkreises dieser Induktivität und der Emitterkapazität in diesem Frequenzbereich, neigt der Emitterfolger zum Schwingen. Eine leichte Schwingneigung sagen die Simulationsergebnisse in Abbildung 4.23 voraus, die an der Frequenzüberhöhung im Bereich von 200 MHz zu erkennen ist. Die Schwingung kann mit der Basiskapazität gedämpft werden. Bereits mit Kondensatoren von 0,3 pF an den Basen der Emitterfolger kann die Frequenzüberhöhung deutlich verringert werden.

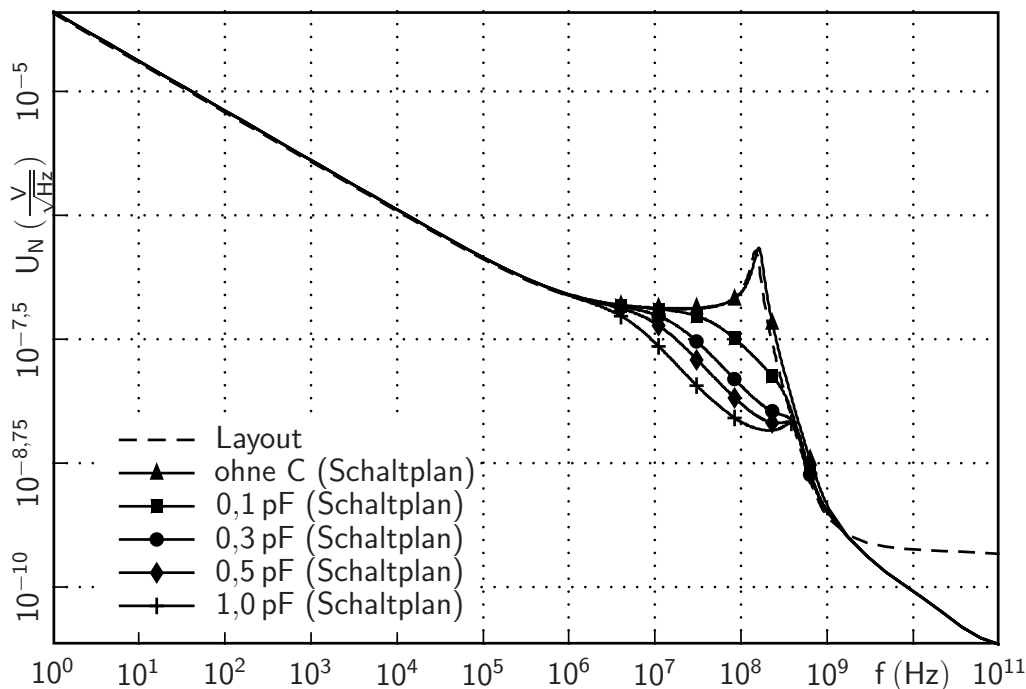


Bild 4.23: Simulation der spektralen Rauschleistungsdichte der Referenzspannungen

4.5 10 bit, 90 MS/s SAR A-D-Umsetzer

Ziel des in diesem Abschnitt beschriebenen SAR A-D-Umsetzers [44] ist es, die Leistungseffizienz im Vergleich zu den zuvor vorgestellten Umsetzern zu steigern. Der Entwurf findet in einer 65 nm CMOS-Technologie mit einer Versorgungsspannung von 1 V statt. Zur Effizienzsteigerung kommen einige Schaltungskonzepte zum Einsatz:

Keine Referenzspannungen: Der A-D-Umsetzer verwendet keine speziellen Referenzspannungen, stattdessen werden die Versorgungsspannungen an den SC DAU angelegt. Dies setzt qualitativ hochwertige Versorgungsspannungen voraus, wo Störungen durch das Schalten von CMOS-Gattern hinreichend mit Pufferkapazitäten herausgefiltert werden. Der tatsächliche Eingangsspannungsbereich des A-D-Umsetzers soll kleiner sein als die Differenz der Versorgungsspannungen und wird mit Kondensatoren zwischen den Eingangsknoten des Komparators und den Versorgungsspannungen festgelegt.

Komparator ohne statische Leistungsaufnahme: Es wird ein Komparator mit reduzierter Rückkopplung des differentiellen Signals und ohne statische Leistungsaufnahme ähnlich Abbildung 3.25 verwendet, jedoch ohne Transistor N_9 .

Asynchrone Steuerung der Schritte des Zyklus: Die Taktsignale, die das Speichern der binären Werte im SAR, das Rücksetzen des Komparators und die Entscheidung des

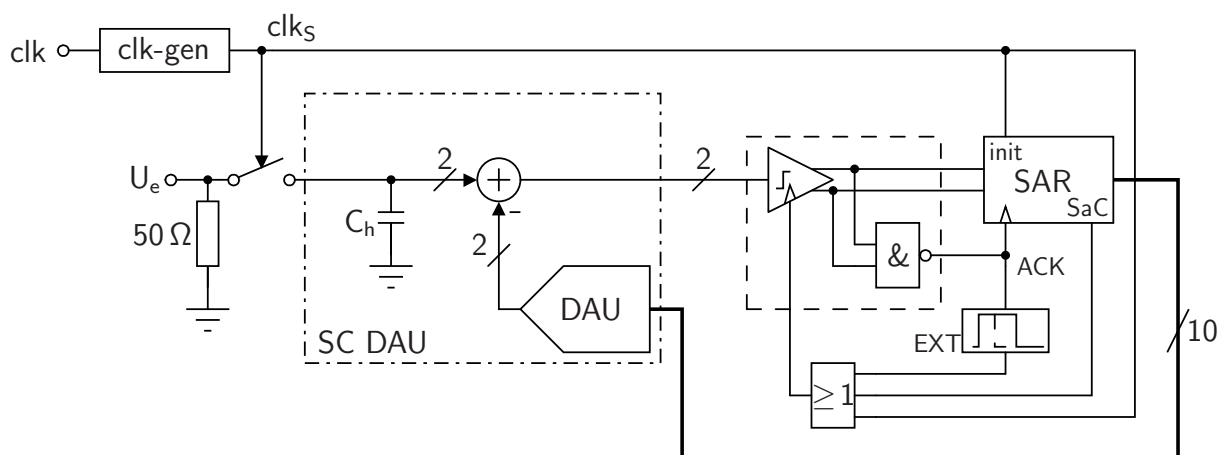


Bild 4.24: Blockschaltbild des SAR A-D-Umsetzers in 65 nm CMOS

Komparators auslösen, werden innerhalb des A-D-Umsetzers erzeugt und nicht von außen angelegt. Damit genügt es, von außen einen Takt mit der Frequenz der Abtastrate bereitzustellen.

Steuerung mit statischen CMOS-Gattern: Alle Komponenten außer des SC DAU und des Komparators werden mit statischen CMOS-Gattern, alle Speicherglieder mit abschaltbaren CMOS-Invertern realisiert. Eine pseudodifferentielle Signalführung wird nicht verwendet, um Signalleitungen und dadurch auch Leistung einzusparen.

4.5.1 Entwurfsdetails des A-D-Umsetzers

Das Blockschaltbild des A-D-Umsetzers ist in Abbildung 4.24 gezeigt. Das differentielle Eingangssignal U_e wird mit nach Abschnitt 3.4.1 dimensionierten Transferrgattern abgetastet und auf dem SC DAU gespeichert. Dessen Ausgangssignal ist mit dem Komparatoreingang verbunden. Der Komparator besitzt ein negierendes UND-Gatter in der CMOS-Logikfamilie, das die Ausgangssignale des Komparatorkerns verknüpft. Wenn der Komparator zurückgesetzt wurde, sind diese „1“ und das negierende UND-Gatter erzeugt das Signal „0“. Sobald die Entscheidung des Komparatorkerns beendet ist, sind seine Ausgangssignale komplementär und das negierende UND-Gatter erzeugt das Signal „1“. Das negierende UND-Gatter wird zur Erzeugung des Bestätigungssignals ACK verwendet, welches angibt, dass ein gültiges Signal am Ausgang des Komparatorkerns liegt. Dieses Signal ist einerseits mit dem Takteingang des SAR verbunden und löst das Speichern der binären Signale aus, andererseits wird es über einen Block, der die fallende Flanke verzögert, und ein CMOS ODER-Gatter zum Rücksetzeingang des Komparators geführt. Diese Rückkopplung setzt beide Ausgänge des Komparatorkerns auf „1“ zurück, so dass ACK inaktiv wird und die Rücksetzphase des

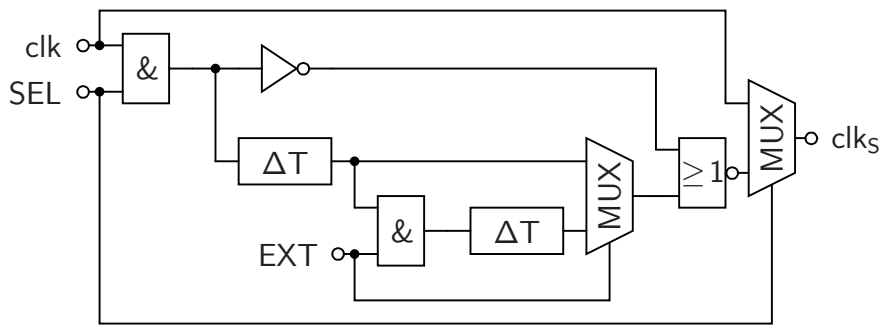


Bild 4.25: Schaltung zur Erzeugung des Abtastimpulses

Komparators kurze Zeit später beendet ist. Auf diese Weise entsteht eine Schleife, die beim Komparator abwechselnd die Entscheidungs- und Rücksetzphase auslöst, so dass die Schritte der sukzessiven Approximation asynchron durchlaufen werden. Das SAR ist ähnlich Abbildung 3.21 aufgebaut, wobei Speicherglieder mit abschaltbaren CMOS-Invertern eingesetzt werden. Es besitzt einen Eingang *init* zur Initialisierung, der mit dem Taktsignal clk_S verbunden ist. Außerdem erzeugt es ein Signal *SaC* (sample complete), das anzeigt, dass alle Bits eines Abtastwerts bestimmt wurden, und das die Schleife des asynchronen Komparators unterbricht.

Die mit *clk-gen* bezeichnete Komponente ist in Abbildung 4.25 im Detail dargestellt und erzeugt aus dem am Eingang anliegenden Takt clk mit der Frequenz der Abtastrate einen Takt clk_S derselben Frequenz, aber mit einem anderen Tastverhältnis. Der Abtastschalter des A-D-Umsetzers ist während der aktiven Phase dieses Takts geschlossen, nach der fallenden Flanke von clk_S beginnt die sukzessive Approximation. Daher muss dieses Signal mehrere Anforderungen erfüllen: die aktive Phase muss genügend lang sein, dass die analoge Eingangsspannung hinreichend genau auf der Eingangskapazität des SC DAU gespeichert wird. Außerdem muss die inaktive Phase genügend lang sein, dass die Schritte der sukzessiven Approximation durchlaufen werden können. Die fallende Flanke des erzeugten Takts bestimmt den genauen Abtastzeitpunkt. Daher wirkt sich der Jitter an dieser Stelle auf die Qualität des digitalen Signals aus und muss minimiert werden.

Die Schaltung zur Erzeugung des Takts clk_S unterstützt drei Modi, von denen mit den Signalen *SEL* und *EXT* einer eingestellt wird. Ist das Signal *SEL* (Auswahl) „0“, wird der am Eingang anliegende Takt clk über den Multiplexer rechts direkt an den Ausgang weitergeleitet. In diesem Modus kann das Tastverhältnis von clk_S durch den von außen angelegten Takt vorgegeben werden. Andernfalls wird das Tastverhältnis von clk_S durch die Schaltung eingestellt. Hierzu wird der invertierte Takt durch ein negierendes ODER-Gatter mit dem verzögerten Takt verknüpft. Dabei bestimmt der verzögerte Takt die Position der fallenden

Flanke, für den Jitter sind also die Verzögerungsglieder ΔT maßgeblich.

Die Verzögerungsglieder arbeiten mit seriell geschalteten CMOS-Invertern mit für geringe Leistungsaufnahme optimierten (*engl. low-power, LP*) MOSFETs. Ist das Steuersignal *EXT* (*engl. extend*) „0“, ist nur das linke Verzögerungsglied aktiv, das so dimensioniert ist, dass die aktive Phase von clk_S etwa 1 ns lang ist. Dazu sind 28 seriell geschaltete LP-CMOS-Inverter notwendig. Ist das Steuersignal „1“, wird das zweite Verzögerungsglied mit sechs LP-CMOS-Invertern seriell zum ersten betrieben und es ergibt sich eine aktive Phase mit einer Länge von etwa 1,2 ns. Die Dimensionierung basiert auf Simulationen, nach denen eine Folgephase mit einer Länge von 1 ns ausreicht, um das analoge Eingangssignal innerhalb des ersten Nyquistbands mit einem SDR im Bereich von 62 dB auf der Eingangskapazität des SC DAU zu speichern.

Der SC DAU in Abbildung 4.24 ist nach Abschnitt 3.1.4 mit geteilten Kapazitäten aufgebaut. Als Referenzspannungen werden bei diesem Umsetzer die Versorgungsspannungen verwendet. Daher werden die Schalter, die die Kondensatoren mit einer der Referenzspannungen verbinden, durch CMOS-Inverter ersetzt. An deren Eingängen liegen die Steuersignale der Schalter. Die Kapazität des kleinsten Kondensators beträgt 1,4 fF und ist durch die Fertigungstoleranz begrenzt. Mit jedem der differentiellen Eingangsknoten sind 1024 solcher Kondensatoren derart verbunden, dass durch Parallelschaltungen eine binäre Gewichtung der Kapazitäten entsteht. Jeweils bis zu 16 parallel geschaltete Kondensatoren werden von einem CMOS-Inverter getrieben. Die Eingangskapazität inklusive parasitärer Kapazität beträgt für beide Eingangsknoten 1,9 pF. Zur parasitären Kapazität zählen auch Kondensatoren, die zwischen die Eingangsknoten und die Betriebsspannungen geschaltet sind und die vom SC DAU erzeugte Spannung dämpfen. Auf diese Weise wird der Spannungsbereich des A-D-Umsetzers so angepasst, dass die Linearität der Abtastschalter für ein SDR von mindestens 62 dB ausreicht. Gleichzeitig muss aber ein Quantisierungsintervall genügend groß sein, damit es vom Komparator aufgelöst werden kann.

Der Kern des Komparators ist wie in Abbildung 3.25, aber ohne den Transistor N_9 , aufgebaut. Die Transistoren sind so dimensioniert, dass die effektive Rauschspannung am Ausgang im Bereich von 0,5 LSB liegt und somit nach Abschnitt 2.4 die Rauschleistung im Ausgangssignal um maximal 6 dB erhöht. Dem Komparatorkern ist eine taktflankengesteuerte Speicherzelle nachgeschaltet, die vom Signal *ACK* angesteuert wird.

Ein Chipfoto und Layout sind in Abbildung 4.26 dargestellt. Der Chip hat eine Größe von $1,2 \times 0,6 \text{ mm}^2$, der Kern des A-D-Umsetzers belegt $0,75 \times 0,18 \text{ mm}^2$. Das digitale Signal wird seriell über ein Kontaktpaar, zwei Taktsignale über zwei weitere Kontaktpaare ausgegeben. Einer der differentiellen Takte ist synchron zu den ausgegebenen Abtastwerten, der andere zu

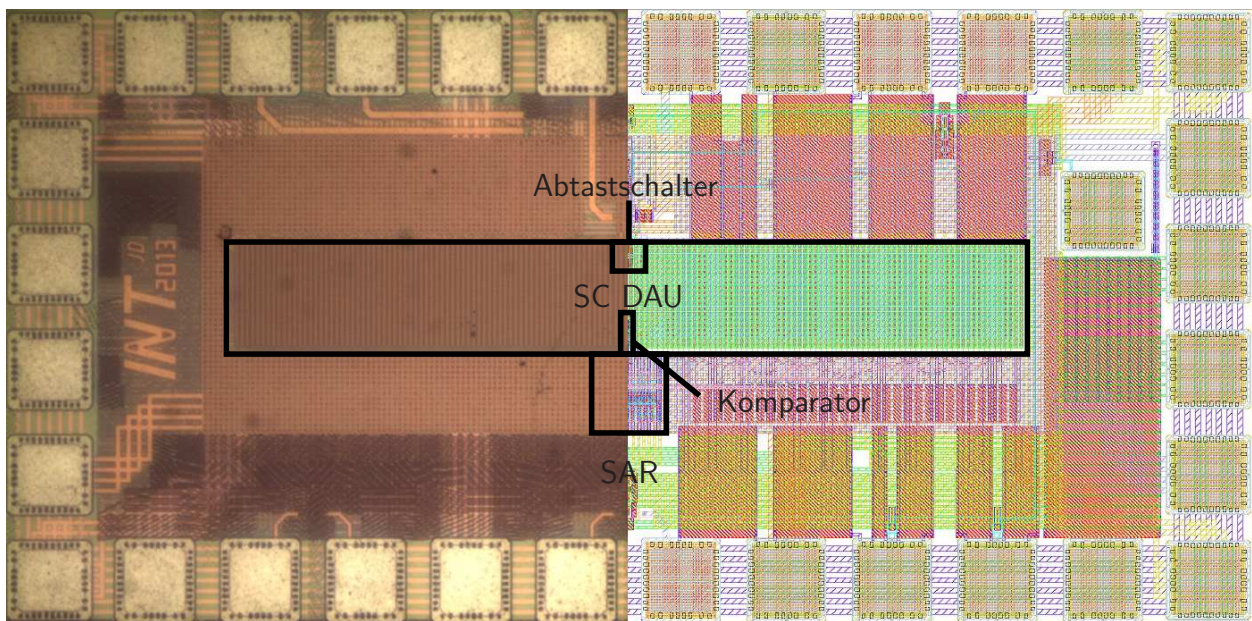


Bild 4.26: Chipfoto und Layout des 10 bit 90 MS/s SAR A-D-Umsetzers

den seriellen Ausgangsdaten. Auf diese Weise können die mit 10 bit aufgelösten Abtastwerte mit nur sechs Kontaktflächen ausgegeben werden.

4.5.2 Messergebnisse

In diesem Abschnitt werden statische und dynamische Messergebnisse des A-D-Umsetzers vorgestellt. Für die statischen Messungen wird der A-D-Umsetzer bei einer bestimmten Abtastrate mit konstanten Eingangsspannungen betrieben. Zur Bestimmung der integralen Nichtlinearität werden die Ausgangscodewörter ausgewertet, die sich für jede der angelegten Eingangsspannungen ergeben, wie in Abschnitt 2.2 beschrieben. Für die Messungen der dynamischen Parameter liegt ein sinusförmiges Eingangssignal an, das die Bedingung in Gleichung (2.9) erfüllt. Für alle gezeigten Messungen wird ein Takt mit einem Tastverhältnis von 50% von außen angelegt ($SEL = „1“$), von dem eine Folgephase der Länge 1 ns abgeleitet wird ($EXT = „0“$).

Eine Messung der INL bei einer Abtastrate von 90 MS/s ist in Abbildung 4.27 dargestellt. Im Eingangsspannungsbereich $|U_{e,d}| \leq 0,82 \text{ V}$, 95% der vollen Aussteuerung, liegt die INL im Bereich von $\pm 1,4 \text{ LSB}$. Die Standardabweichungen der Ausgangscodewörter für jede der Eingangsspannungen liegt im Mittel um 0,5 LSB. Der flache Verlauf dieser Kurve zeigt, dass Rauschen und Störungen auf den Referenzspannungen, in diesem Fall also auf den Versorgungsspannungen, eine untergeordnete Rolle spielen. Die Variation der Codewörter

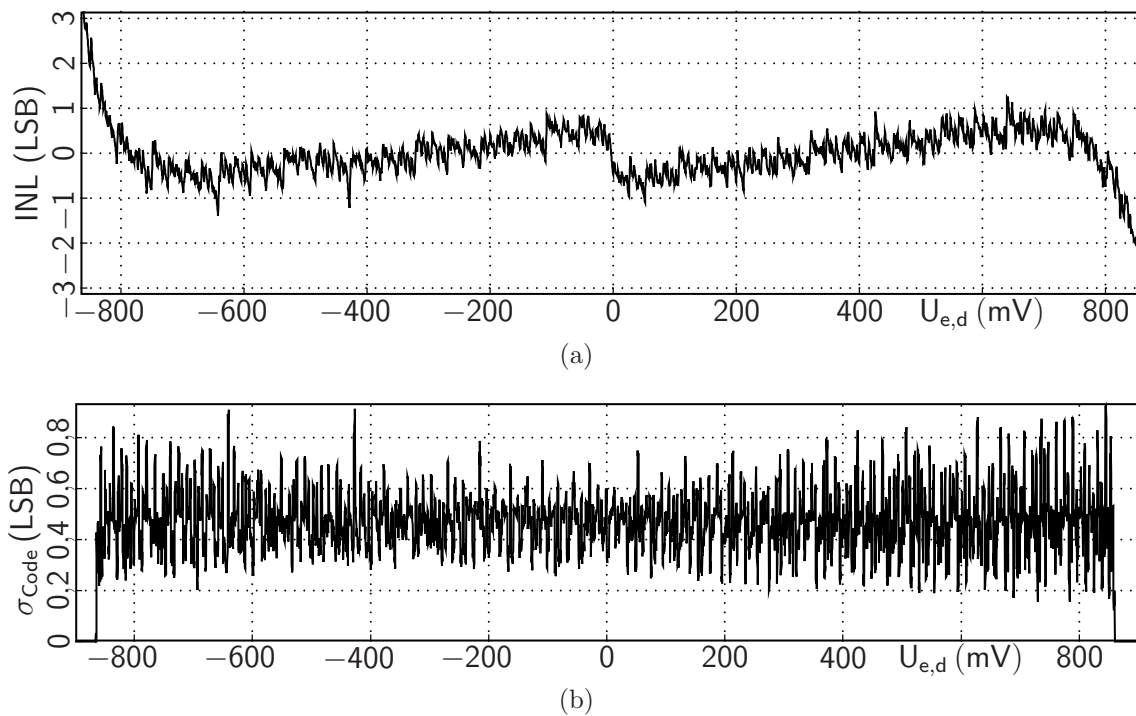


Bild 4.27: (a) Gemessene INL des 10 bit 90 MS/s SAR A-D-Umsetzers und (b) Standardabweichung der gemessenen Codewörter bei 90 MS/s

wird hauptsächlich vom Rauschen des Komparators hervorgerufen und wirkt sich deshalb gleichmäßig auf den gesamten Eingangsspannungsbereich des A-D-Umsetzers aus.

Das mittlere Quadrat der INL im Bereich von $|U_{e,d}| \leq 0,82 \text{ V}$ beträgt $\sigma_{\text{LSB}}^2 = 0,165 \text{ LSB}^2$, das ihrer Standardabweichung $\sigma_{\text{N}}^2 = 0,239 \text{ LSB}^2$. Damit lässt sich die zu erwartende effektive Auflösung nach Abschnitt 2.4 zu 8,73 bit abschätzen.

Die INL bei der Abtastrate 120 MS/s in Abbildung 4.28 liegt für Eingangsspannungen $|U_{e,d}| \leq 0,82 \text{ V}$ zwischen $\pm 4 \text{ LSB}$. Die asynchrone Arbeitsweise des A-D-Umsetzers hat zur Folge, dass während der inaktiven Phase des Takts clk_S die Binärwerte des Ausgangscodeworts, angefangen beim MSB, seriell bestimmt werden. Bei einer Abtastrate größer 90 MS/s und einer Länge der Folgephase im Bereich von 1 ns ist die inaktive Phase von clk_S aber zu kurz, als dass alle zehn Bitwerte bestimmt werden könnten. Bei 120 MS/s können in der Regel nur acht Bitwerte bestimmt werden, bevor die Folgephase für den nächsten Abtastwert beginnt. Die Auflösung des A-D-Umsetzers erscheint daher um 2 bit reduziert, so dass sich die INL etwa um den Faktor vier vergrößert.

Die Standardabweichungen der Ausgangscodewörter liegen ebenfalls bei bis zu 4 LSB, wobei ein LSB auch hier auf die Auflösung 10 bit bezogen ist. Durch eine falsche Entscheidung des Komparators beim achten Bit mit der Wertigkeit 2^2 entsteht ein Fehler von 4 LSB, der durch

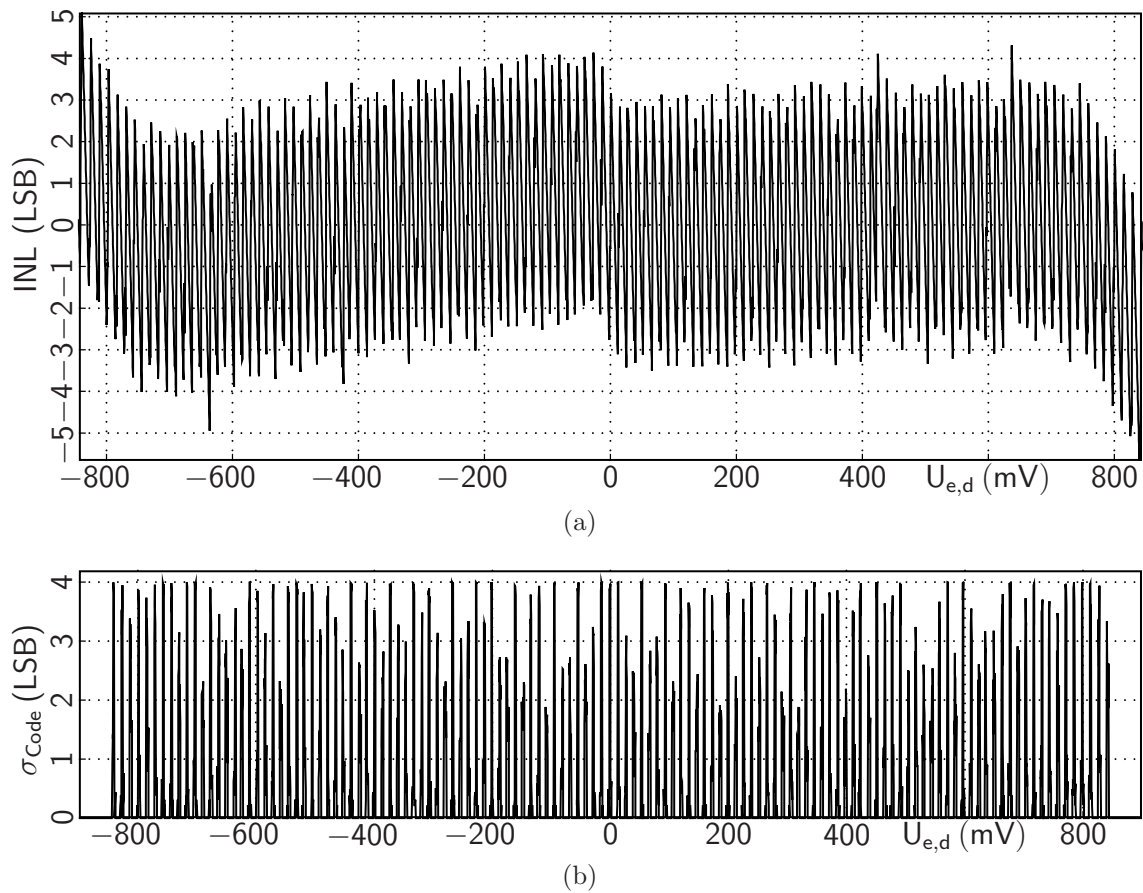


Bild 4.28: (a) Gemessene INL des 10 bit 90 MS/s SAR A-D-Umsetzers und (b) Standardabweichung der Codewörter bei 120 MS/s

das neunte und zehnte Bit nicht mehr verringert werden kann, weil für deren Bestimmung keine Zeit bleibt. Andererseits gehen die Standardabweichungen zwischen zwei Spitzenwerten jeweils auf Null zurück. Befindet sich die analoge Eingangsspannung genügend weit entfernt von den durch 8 bit Auflösung definierten Schwellen, entscheidet sich der Komparator stets richtig.

Für 120 MS/s beträgt das mittlere Quadrat der INL im Bereich von $|U_{e,d}| \leq 0,82 \text{ V}$ $\sigma_{\text{LSB}}^2 = 3,626 \text{ LSB}^2$, das der Standardabweichungen $\sigma_{\text{N}}^2 = 1,692 \text{ LSB}^2$. Mit diesen Werten lässt sich eine effektive Auflösung von 6,99 bit erwarten.

SNDR und ENOB für $f_e \approx 2 \text{ MHz}$ in Abbildung 4.29 zeigen bis zu einer Abtastrate von 90 MS/s einen flachen Verlauf im Bereich zwischen 54 und 55 dB beziehungsweise 8,6 und 8,8 bit. Wird die Abtastrate gesteigert, nehmen die Werte stetig ab, weil durch die verkürzte Dauer des Umsetzungszyklus nicht alle zehn Bitwerte bestimmt werden können. Der Verlauf des SFDR ist bis 108 MS/s flach im Bereich von 62 dB, da für diesen Wert die größte im Spektrum vorhandene Störleistung maßgeblich ist, welche durch Nichtlinearität verursacht

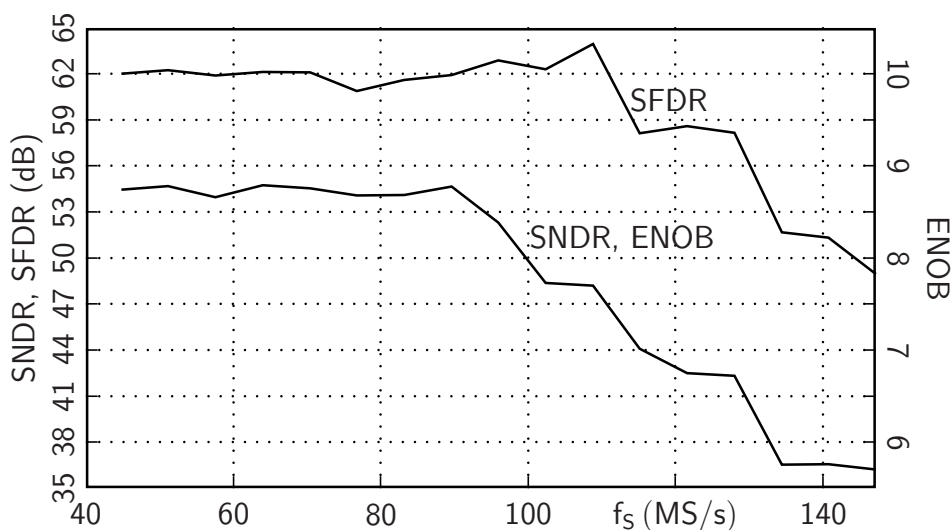


Bild 4.29: Messung von SFDR, SNDR und ENOB des A-D-Umsetzers bei $f_e \approx 2$ MHz über der Abtastrate

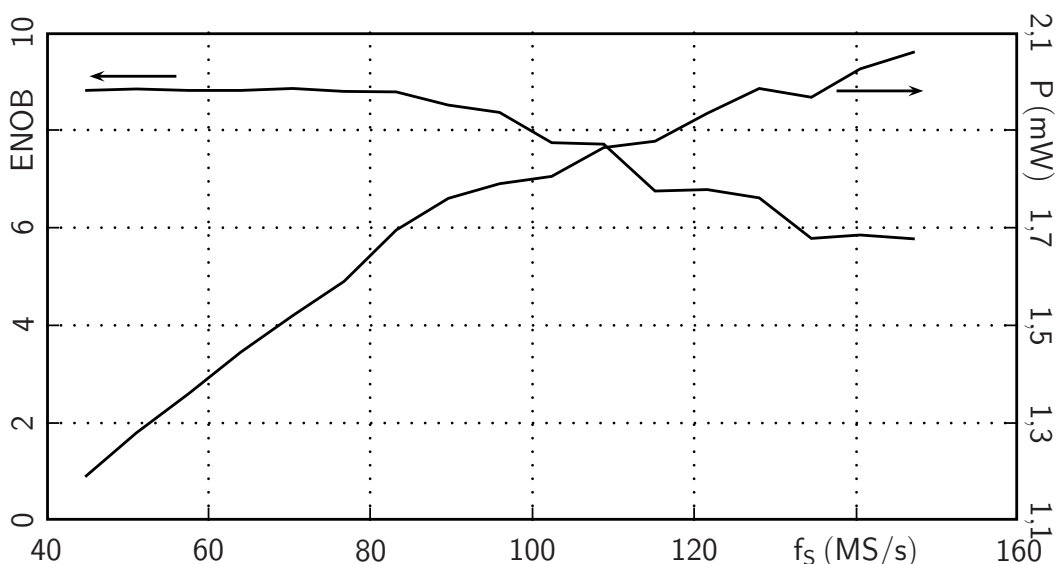


Bild 4.30: Messung von ENOB und Leistungsaufnahme des A-D-Umsetzers bei $f_e \approx 2$ MHz über der Abtastrate

wird. Können nicht alle Binärwerte bestimmt werden, steigt die Leistung des Quantisierungsrauschens. Dieser Anstieg wirkt sich auf alle Frequenzen im Spektrum gleichmäßig aus.

Der Zusammenhang von Abtastrate und Leistungsaufnahme ist in Abbildung 4.30 dargestellt. Bis 90 MS/s wächst die Leistungsaufnahme proportional zur Abtastrate, darüber hinaus wächst sie unterproportional. Der Grund hierfür ist die asynchrone Arbeitsweise des A-D-Umsetzers. Übersteigt die Abtastrate 90 MS/s, werden weniger als zehn Bit bestimmt, somit müssen pro Abtastwert weniger Schaltvorgänge stattfinden. Wegen der dadurch verringerten umzuladenden Kapazität steigt die Leistungsaufnahme weniger stark an. Insbesondere

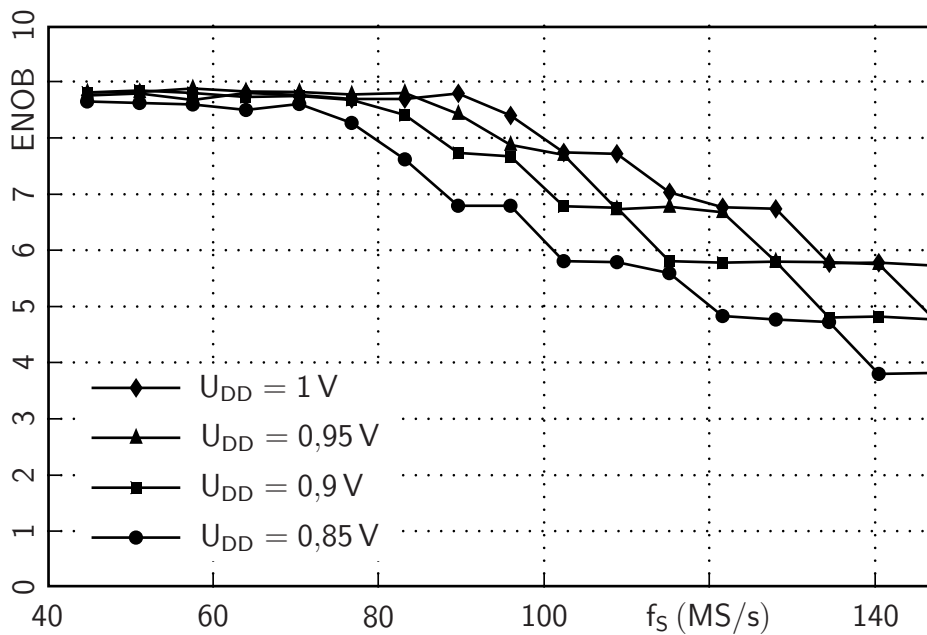


Bild 4.31: Gemessene effektive Auflösung des 10 bit 90 MS/s A-D-Umsetzers bei $f_e \approx 2$ MHz über der Abtastrate für unterschiedliche Versorgungsspannungen

an den Stellen, wo die effektive Auflösung einen deutlichen Abfall hat, wo also im Vergleich zur kleineren Abtastrate ein Bit weniger bestimmt wird, flacht der Anstieg der Leistungsaufnahme deutlich ab. Insbesondere ist der Schritt von 128 auf 134,4 MS/s zu beachten, wo die Leistungsaufnahme trotz gesteigerter Abtastrate abnimmt, die effektive Auflösung sich aber auch um 0,8 bit verringert.

Der A-D-Umsetzer kann bei unterschiedlichen Versorgungsspannungen betrieben werden. Für die in Abbildung 4.31 gezeigten Messungen der effektiven Auflösung über der Abtastrate mit verringerter Versorgungsspannung wird die Amplitude des Eingangssignals proportional zur Versorgungsspannung variiert, so dass die Aussteuerung des A-D-Umsetzers bei jeder Messung etwa gleich ist. Mit einer kleineren Versorgungsspannung vergrößert sich in erster Linie die Verzögerungszeit der CMOS-Gatter, Speicherglieder und des Komparators. Bei kleinen Abtastraten bis 70 MS/s wird im Bereich von $0,85 \text{ V} \leq U_{\text{DD}} \leq 1 \text{ V}$ unabhängig von der Versorgungsspannung eine effektive Auflösung von über 8,6 bit erreicht. Je kleiner die Versorgungsspannung, desto mehr Zeit wird für die Bestimmung jedes Binärwerts benötigt, und desto kleiner ist die Abtastrate, ab der die effektive Auflösung abnimmt.

Abbildung 4.32 zeigt den simulierten und gemessenen Verlauf des SNDR und der effektiven Auflösung über der Frequenz f_e des Eingangssignals und die Messung des SFDR. In der Simulation im Zeitbereich mit Rauschen und den aus dem Layout extrahierten parasitären Kapazitäten, jedoch ohne zufällige Parameterstreuung, wird für kleine Signalfrequenzen eine effektive Auflösung von 9 bit erreicht, die Messung ergibt 8,8 bit. Im weiteren Verlauf sinkt die

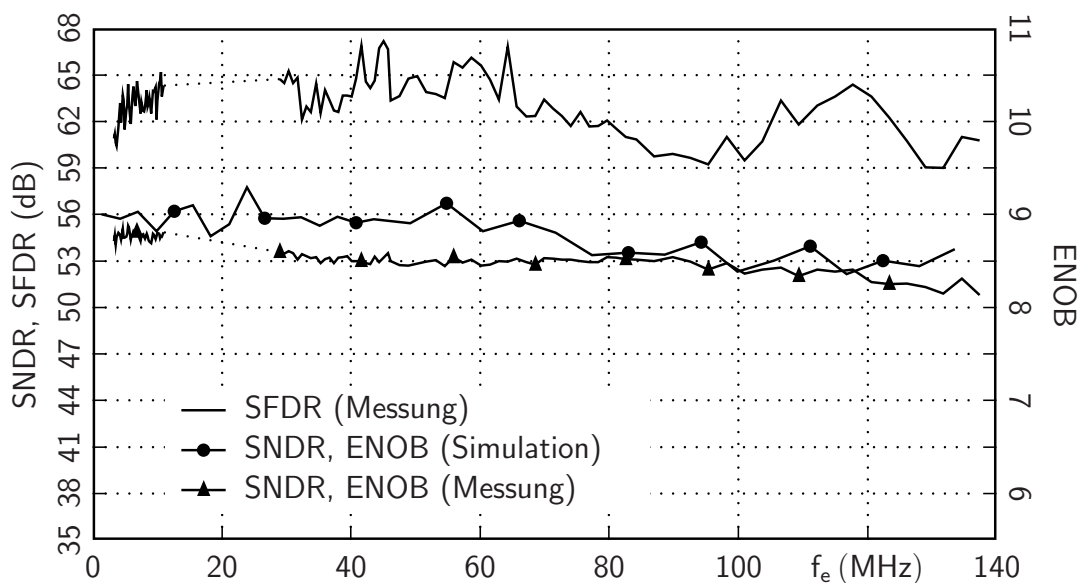


Bild 4.32: Messung von SFDR, SNDR und ENOB des 10 bit 90 MS/s SAR A-D-Umsetzers bei $f_s = 89,6$ MS/s über der Frequenz des Eingangssignals

Kurve in der Messung etwas schneller ab als in der Simulation, ab 80 MHz nähern sich beide Kurven aber wieder an. Simulation und Messung zeigen eine gute Übereinstimmung. Das SFDR ist bis $f_e \approx 80$ MHz über 60 dB und wird von der dritten Harmonischen bestimmt.

Bei der vorgesehenen Abtastrate von 89,6 MS/s hat der A-D-Umsetzer eine Leistungsaufnahme von 1,76 mW und erreicht ein SNDR von 54,7 dB bei kleiner Eingangsfrequenz und 54,1 dB bei der Nyquistfrequenz. Damit erreicht er eine FoM von 44,1 beziehungsweise 47,2 fJ/Schritt.

Tabelle 4.1 vergleicht den vorliegenden mit international veröffentlichten A-D-Umsetzern, die den aktuellen Stand der Technik repräsentieren. Zur besseren Vergleichbarkeit werden nur A-D-Umsetzer berücksichtigt, die ohne oder ausschließlich mit im Hintergrund laufender Kalibrierung auskommen, welche keinen Eingriff von außen erfordert. Außerdem wird für diese Umsetzer keine von außen angelegte Referenzspannung benötigt. Diese wird entweder innerhalb der Schaltung erzeugt, es werden die Betriebsspannungen als Referenzspannungen mitverwendet oder es werden keine Referenzspannungen benötigt. Der in diesem Kapitel vorgestellte A-D-Umsetzer zeichnet sich durch eine gute Leistungseffizienz bei großer ERBW aus. In der Leistungseffizienz wird er von P. Harpe [46] übertroffen, dessen ADU jedoch nur mit einer Abtastrate von 10,2 MS/s arbeitet. Außerdem ist der von L. Kull vorgestellte ADU effizienter [48], dieser erfordert aber spezielle Technologieoptionen wie SOI und durch tiefe Gräben realisierte Kondensatoren, die in gängigen CMOS-Technologien nicht verfügbar sind. Der vorgestellte ADU zeichnet sich außerdem durch einen flachen Verlauf des ENOB und eine große ERBW aus. Wenn ein externes Taktsignal mit geringem Jitter verwendet wird,

Tabelle 4.1: Vergleich des A-D-Umsetzers mit dem Stand der Technik

Ref.		[45]	[28]	[46]	[47]	[48]	Dieser ADU
Jahr		2007	2010	2010	2012	2013	2015
Tech.		90 nm CMOS	90 nm CMOS	90 nm CMOS	65 nm CMOS	32 nm SOI CMOS	65 nm CMOS
Fläche (mm ²)		0,08	0,18	0,07	0,21	0,0015	0,135
U_{DD} (V)		1,0	1,2	1,0	1,1	1,0	1,0
Auflösung		9 bit	10 bit	8 bit	10 bit	8 bit	10 bit
f_S (MS/s)		20	100	10,2	160	1200	90
SNDR (dB)	NF	49,0	56,6	48,7	55,4	–	54,7
	HF	46,3	52,5	48,4	52,6	39,3	54,1
P (mW)		0,29	3,00	0,069	2,72	3,06	1,76
FoM (fJ/Schritt)	NF	63,0	54,3	30,2	35,3	–	44,1
	HF	85,9	87,1	31,4	48,0	33,8	47,2

das die Dauer der Folgephase auf 1 ns ($SEL = „0“$) und die Abtastrate auf 89,6 MS/s festlegt, verbessert sich die effektive Auflösung auf 8,7 bit bei der größten gemessenen Frequenz des Eingangssignals von 84 MHz.

5 Zusammenfassung

Die vorliegende Arbeit geht auf mit sukzessiver Approximation arbeitende A-D-Umsetzer ein. Sie stellt Schaltungskonzepte vor, mit denen energieeffiziente A-D-Umsetzer mit Abtastraten im Megasamplebereich realisiert werden können. Für den integrierten Schaltungsentwurf stehen BiCMOS- und CMOS-Technologien zur Verfügung. Zuerst führt die Arbeit in die Funktionsweise des SAR ADU, der mit Ladungsumverteilung arbeitet, ein. Hierzu werden einige unterschiedliche Algorithmen vorgestellt, die jeweils spezielle Ausprägungen des Digital-Analog-Umsetzers mit geschalteten Kapazitäten und des sukzessiven Approximationsregisters erfordern. Für diese Ausprägungen wird jeweils ein Beispiel gegeben, anhand dessen Vorschriften für die Dimensionierung der Bauteilgrößen hergeleitet werden. Beim Entwurf des Registers zur Realisierung des klassischen Algorithmus wird ein spezielles Speicherglied, das DDFF, entworfen, das sowohl die zeitliche Steuerung eines Zyklus als auch das Speichern der Bitwerte vereint.

Die Arbeit beschränkt sich auf SAR A-D-Umsetzer, die in jedem Schritt einen Bitwert bestimmen, die also einen Komparator mit einer Entscheiderschwelle besitzen. Für solche Komparatoren werden verschiedene Topologien angegeben und verglichen. Zu deren Vergleich werden die Messergebnisse von Komparatoren in einer 130 nm SiGe:C BiCMOS-Technologie herangezogen. Komparatoren dieser Art werden in vier der fünf vorgestellten SAR A-D-Umsetzer eingesetzt, im zuletzt vorgestellten SAR ADU kommt eine modifizierte Variante des Komparators zum Einsatz, die weder vor noch nach der Entscheidung einen statischen Stromfluss zulässt.

Beim Entwurf des D-A-Umsetzers mit geschalteten Kapazitäten sind Prozesstoleranzen bei der Fertigung der Kondensatoren ein limitierender Faktor. Die dadurch verursachte Störung wird in Abschnitt 3.1.9 untersucht. Auf Basis einer in der Literatur verfügbaren Betrachtung [24] werden die Standardabweichungen der DNL-Werte bestimmt. Durch das Festlegen einer oberen Grenze für die größte vorkommende Standardabweichung ergibt sich eine Dimensionierungsvorschrift, mit deren Hilfe geeignete Kondensatoren ausgewählt werden können.

Verschiedene Möglichkeiten zum Speichern des analogen Eingangssignals auf der Eingangskapazität erfahren ein besonderes Augenmerk. Um den maximal erlaubten Spannungsabfall an Bauelementen nicht zu überschreiten und um spezielle Treiberschaltungen und deren Leistungsaufnahme zu vermeiden, soll auf die kapazitive Spannungsüberhöhung für das Steuersignal der Abtasttransistoren verzichtet werden. Hierzu wird untersucht, durch welche Dimensionierung für Transfergatter eine ausreichend lineare Abtastung gewährleistet werden kann. Diese Dimensionierung wird am analogen Eingang des A-D-Umsetzers in Abschnitt 4.5 angewendet. Die Messergebnisse belegen, dass die Eingangsspannung mit ausreichender Linearität abgetastet wird.

Zur Steigerung der Linearität beim Abtasten der Eingangsspannung wird in Abschnitt 3.4.1.3 ein Verfahren vorgestellt, das zur Ansteuerung der Abtastschalter die verschobene Eingangsspannung verwendet [34]. Dieses Verfahren wird für größere Linearität erweitert, indem Kompensationsschaltungen für die kapazitive Überkopplung des Eingangssignals sowie des verschobenen Eingangssignals und für Ladungsinjektion eingeführt werden.

Es wird außerdem darauf eingegangen, auf welche Weise die notwendigen Referenzspannungen bereitgestellt werden können. Hier kommen drei Möglichkeiten infrage, nämlich die Erzeugung der Spannungen mit einem integrierten Spannungsregler, das Anlegen der Spannung mit einer Spannungsquelle von außen und die Verwendung der vorhandenen Versorgungsspannungen als Referenzspannungen. Wird ein A-D-Umsetzer in einem System betrieben, steht oft keine hochwertige Spannungsquelle zur Verfügung, so dass die Verwendung einer externen Spannungsquelle nicht möglich ist. Deshalb wird eine Dimensionierungsvorschrift für Kondensatoren hergeleitet, die sicherstellt, dass genügend Ladung für das Umladen des SC DAU bereitgestellt werden kann, ohne dass die Referenzspannungen in zu großem Maße gestört werden. Als alternative Methode wird die Betriebsspannung als Referenzspannung mitverwendet. Diese Option erweist sich in der Messung eines SAR ADU als brauchbar.

Die beschriebenen Schaltungsvarianten werden in den im Rahmen dieser Arbeit entworfenen A-D-Umsetzern eingesetzt und messtechnisch ausgewertet. Diese in Kapitel 4 angegebenen Ergebnisse bestätigen den Erfolg der Konzepte.

Abbildungen 5.1 und 5.2 ordnen die in dieser Arbeit vorgestellten A-D-Umsetzer in den Stand der Technik ein. Die Schaubilder berücksichtigen diejenigen SAR A-D-Umsetzer, die seit 2002 auf den Konferenzen ISSCC [6, 45–47, 49–67], VLSIC [68–73], VLSI-DAT [74], CICC [75], ISCAS [76] und A-SSCC [77, 78] sowie in der Zeitschrift JSSC [28, 48, 79–102], veröffentlicht wurden und mit den A-D-Umsetzern in dieser Arbeit vergleichbar sind. Außerdem wird unterschieden, welche Strukturgröße die verwendete Technologie hat.

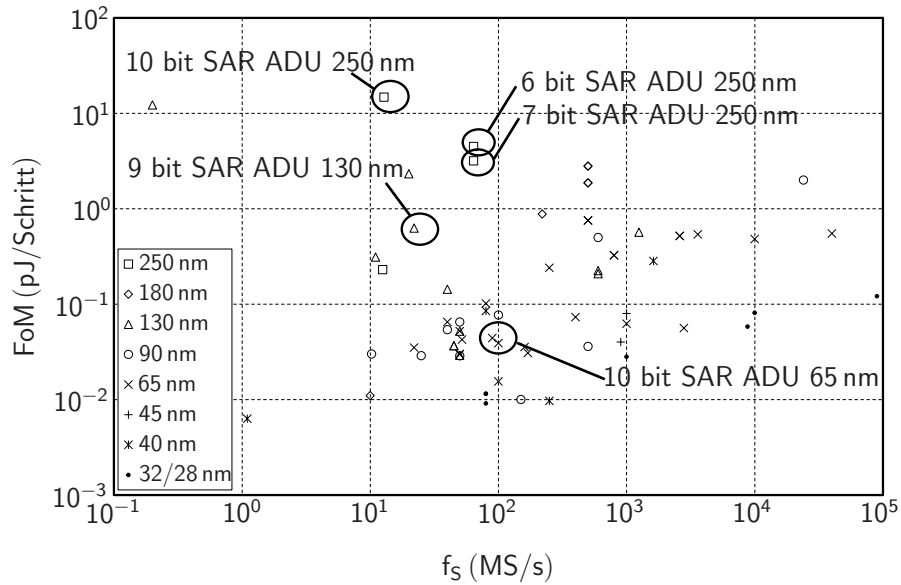


Bild 5.1: Kennzahl FoM der im Rahmen dieser Arbeit entworfenen A-D-Umsetzer über der Abtastrate im Vergleich mit veröffentlichten ADU [6, 28, 45–102]

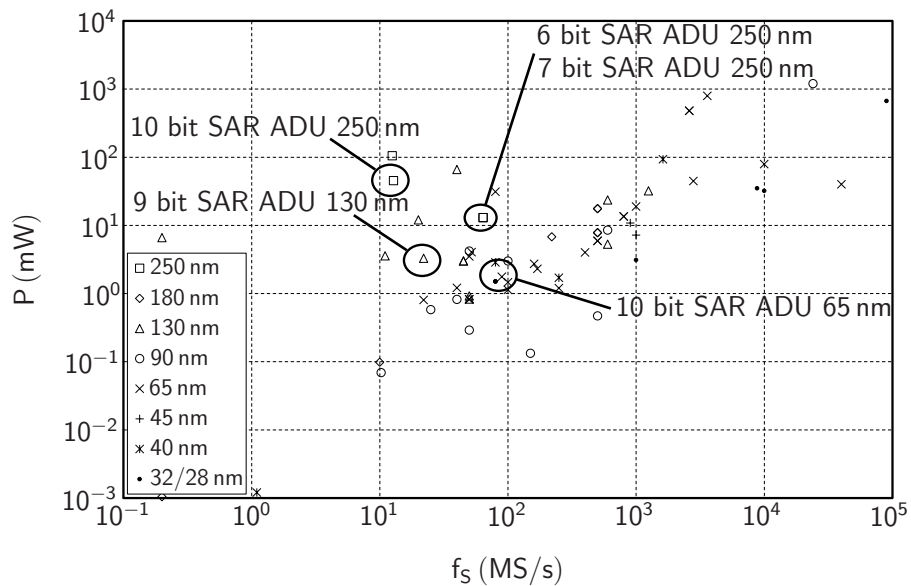


Bild 5.2: Leistungsaufnahme der im Rahmen dieser Arbeit entworfenen A-D-Umsetzer über der Abtastrate im Vergleich mit veröffentlichten ADU [6, 28, 45–102]

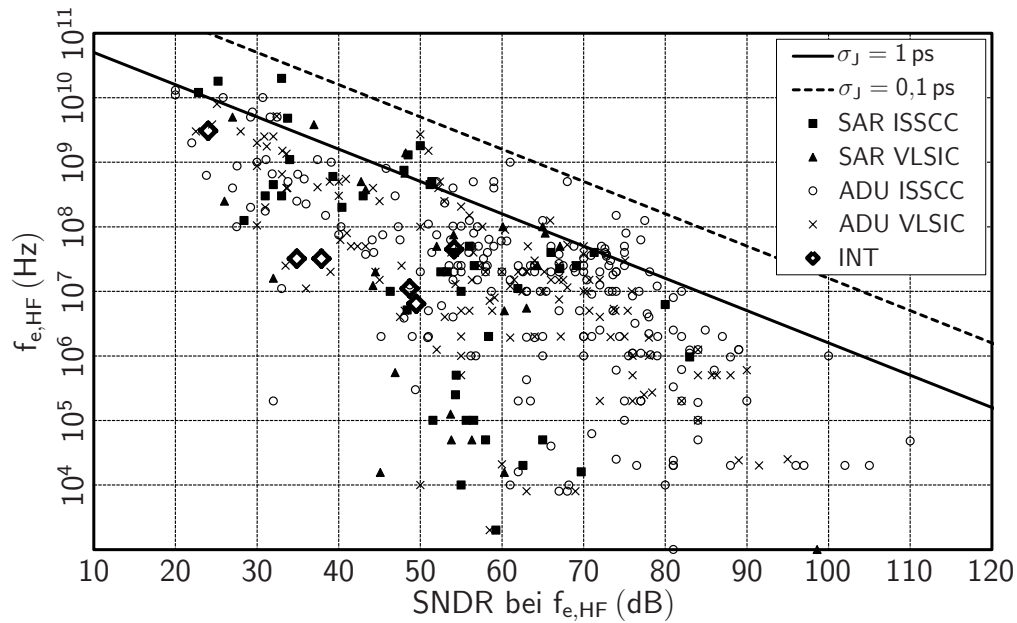


Bild 5.3: Größte Eingangsfrequenz über dem SNDR bei dieser Frequenz aller ADU bei der ISSCC und VLSIC zwischen 1997 und 2014 [2]

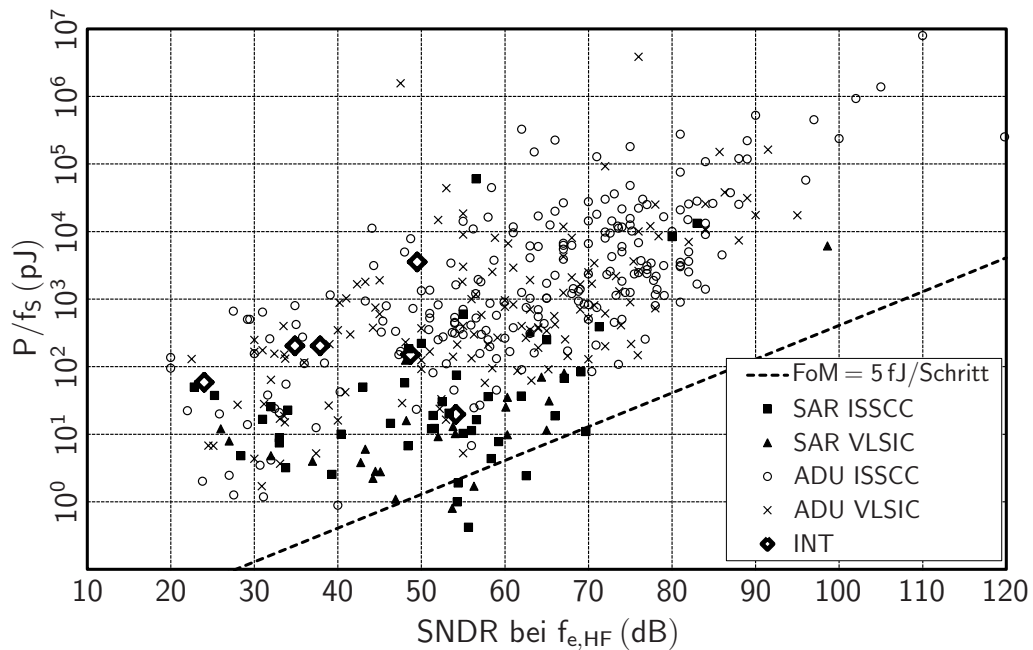


Bild 5.4: Normierte Leistungsaufnahme über dem SNDR bei der größten Eingangsfrequenz aller ADU bei der ISSCC und VLSIC zwischen 1997 und 2014 [2]

Abbildungen 5.3 bis 5.5 zeigen die zwischen 1997 und 2014 auf den Konferenzen ISSCC und VLSIC präsentierten A-D-Umsetzer [2] und unterscheiden nach dem Prinzip der Analog-Digital-Umsetzung. Überlagert sind die am INT entworfenen SAR A-D-Umsetzer, wobei die Grafiken auch einen zeitverschachtelten SAR A-D-Umsetzer beinhalten [19], der nicht in der vorliegenden Arbeit enthalten ist.

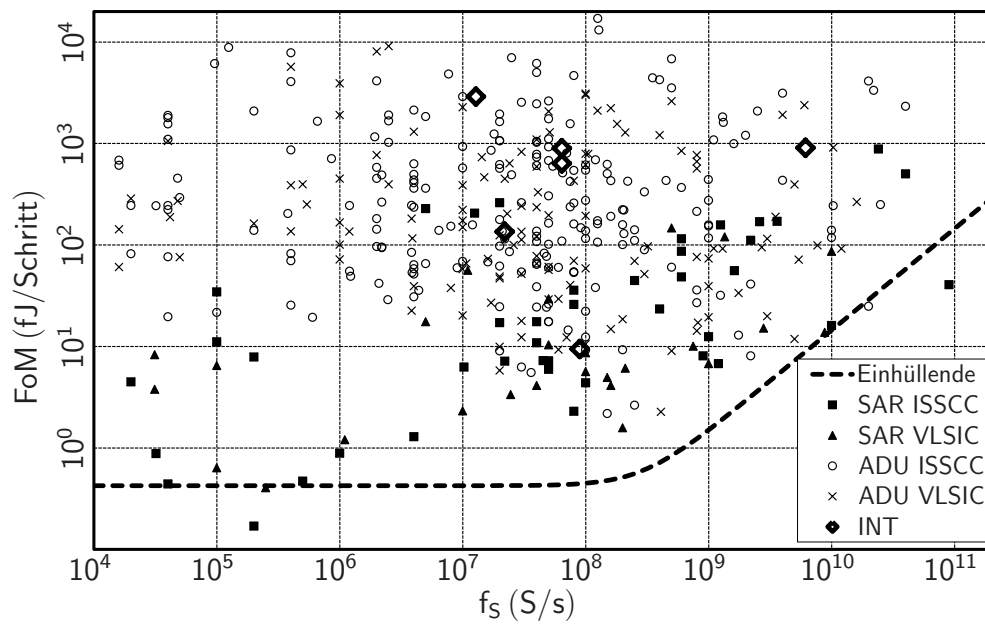


Bild 5.5: Kennwert FoM über der Abtastrate aller ADU bei der ISSCC und VLSIC zwischen 1997 und 2014 [2]

Die Grafiken zeigen, dass insbesondere der A-D-Umsetzer aus Abschnitt 4.5 im Bereich des Stands der Technik liegt. Dies wird auch durch Tabelle 4.1 bestätigt.

A Berechnung des Energieaufwands zum Umladen des SC D-A-Umsetzers

Die Ladungsumverteilung innerhalb des SC D-A-Umsetzers wird durch das Umschalten der Spannungspegel an dessen Steuereingängen verursacht. Die hierfür erforderliche Energie ist proportional zu der Ladungsmenge, die den Spannungsquellen der Referenzspannungen entnommen wird. Diese Ladungsmenge hängt vom jeweiligen Umschaltvorgang und dem Wert des bestimmten Bits ab. Im Folgenden wird die Berechnung der notwendigen Ladungsmenge für einen SC DAU nach dem klassischen Algorithmus und für einen mit geteilten Kapazitäten angegeben. Hier wird nur die unipolare Schaltung betrachtet, für die differentielle Ausführung muss die Ladungsmenge mit Zwei multipliziert werden.

A.1 SC D-A-Umsetzer für den klassischen Algorithmus

Der klassische Algorithmus arbeitet mit dem SC DAU in Abbildung 3.5 [1]. Nach der Initialisierung ist der Kondensator der Größe $\frac{C_h}{2}$ mit $U_{a,ref}$ verbunden, alle übrigen Kondensatoren mit $U_{b,ref}$. Zum Erreichen des Ausgangszustands muss die Ausgangsspannung des SC DAU U_t um $\frac{1}{2}(U_{a,ref} - U_{b,ref})$ erhöht werden. Dazu ist die Ladung

$$Q_{init} = \frac{C_h}{4} (U_{a,ref} - U_{b,ref}) \quad (A.1)$$

notwendig.

Die zur Ladungsumverteilung benötigte Ladungsmenge hängt vom Codewort k ab, dessen binäre Darstellung durch die Bits D_i gegeben ist. Wurde während des Umsetzungszyklus im Schritt $s - 1$ ein Binärwert zu „1“ entschieden, muss die Ausgangsspannung U_t des SC DAU vergrößert werden. Dazu wird der entsprechende Kondensatoranschluss von der kleineren auf die größere Referenzspannung geschaltet, die Spannungsdifferenz am Steuereingang beträgt $U_{a,ref} - U_{b,ref}$. U_t vergrößert sich dann um $2^{-s}(U_{a,ref} - U_{b,ref})$. Auf den entsprechenden

Kondensator der Größe $2^{-s} C_h$ fließt die Ladung

$$Q_{C1,s,k} = 2^{-s} C_h (U_{a,\text{ref}} - U_{b,\text{ref}}) (1 - 2^{-s}). \quad (\text{A.2})$$

Falls es sich nicht um den ersten Schritt des Umsetzungszyklus handelt, gilt also $s > 1$, sind die den höherwertigen Bits zugeordneten Kondensatoren mit $U_{a,\text{ref}}$ verbunden, falls ihr zugehöriger Binärwert zu „1“ entschieden wurde. Durch die Erhöhung von U_t verringert sich die Spannung über diese Kondensatoren und Ladung fließt in die Spannungsquelle für $U_{a,\text{ref}}$ ab. Diese Ladung berechnet sich zu

$$Q_{C1,1,k} = \left(\sum_{\nu=1}^{s-1} D_{N_Q-\nu} 2^{-\nu} C_h \right) 2^{-s} (U_{a,\text{ref}} - U_{b,\text{ref}}), \quad (\text{A.3})$$

wobei $D_{N_Q-\nu}$ der Binärwert der Wertigkeit $2^{N_Q-\nu}$ ist. Die für die Ladungsumverteilung aufzuwendende Ladung ist die Differenz dieser Ladungsmengen

$$Q_{C1,\text{tot},k} = Q_{C1,s,k} - Q_{C1,1,k}. \quad (\text{A.4})$$

Wurde der Binärwert im Schritt $s - 1$ aber zu „0“ entschieden, muss sich U_t um $2^{-s}(U_{a,\text{ref}} - U_{b,\text{ref}})$ verringern, indem der Kondensator der Größe $2^{-s}C_h$ wie oben von $U_{b,\text{ref}}$ auf $U_{a,\text{ref}}$ geschaltet wird, gleichzeitig wird aber der Kondensator der Größe $2^{-(s-1)}C_h$ von $U_{a,\text{ref}}$ getrennt und mit $U_{b,\text{ref}}$ verbunden. Für die folgende Rechnung wird angenommen, dass die Umschaltvorgänge gleichzeitig stattfinden.

Nun fließt die Ladung

$$Q_{C0,s,k} = 2^{-s} C_h (U_{a,\text{ref}} - U_{b,\text{ref}}) (1 + 2^{-s}) \quad (\text{A.5})$$

auf den Kondensator der Größe $2^{-s}C_h$, über den die Spannungsänderung $(U_{a,\text{ref}} - U_{b,\text{ref}}) (1 + 2^{-s})$ beträgt. Allen Kondensatoren, die bereits mit $U_{a,\text{ref}}$ verbunden sind, muss die Ladung

$$Q_{C0,1,k} = \left(\sum_{\nu=1}^{s-1} D_{N_Q-\nu} 2^{-\nu} C_h \right) 2^{-s} (U_{a,\text{ref}} - U_{b,\text{ref}}) \quad (\text{A.6})$$

zugeführt werden, da sich die Spannung über die Kondensatoren um $2^{-s}(U_{a,\text{ref}} - U_{b,\text{ref}})$ vergrößert. Die für die Ladungsumverteilung aufzuwendende Ladung ist in diesem Fall die Summe dieser Ladungsmengen

$$Q_{C0,\text{tot},k} = Q_{C0,s,k} + Q_{C0,1,k}. \quad (\text{A.7})$$

Für ein gegebenes Codewort k kann die benötigte Ladungsmenge bestimmt werden, indem Q_{init} , $Q_{C1,\text{tot},k}$ und $Q_{C0,\text{tot},k}$ für alle Schritte aufsummiert werden.

A.2 SC D-A-Umsetzer mit geteilten Kapazitäten

Der SC D-A-Umsetzer eines SAR A-D-Umsetzers mit geteilten Kapazitäten ist nach Abbildung 3.7 aufgebaut [12]. Zur Initialisierung erfordert er die gleichen Vorgänge wie ein SC DAU nach dem klassischen Algorithmus und benötigt die gleiche Menge Ladung Q_{init} nach Gleichung (A.1).

Die Eingangsspannung U_e wird bei diesem Algorithmus am Knoten U_t gespeichert. Deshalb muss die Ausgangsspannung U_t des SC DAU nach oben geschoben werden, falls in Schritt s ein Binärwert zu „0“ entschieden wurde. Dazu wird ein Kondensator der Größe $2^{-(s+1)}C_h$ von $U_{b,\text{ref}}$ getrennt und mit $U_{a,\text{ref}}$ verbunden. U_t erhöht sich dann um $2^{-(s+1)}(U_{a,\text{ref}} - U_{b,\text{ref}})$. Auf den Kondensator, der umgeschaltet wurde, fließt dann die Ladung

$$Q_{C0,s,g} = 2^{-(s+1)}C_h (U_{a,\text{ref}} - U_{b,\text{ref}})(1 - 2^{-(s+1)}) . \quad (\text{A.8})$$

Die Spannung über alle übrigen Kondensatoren, die mit $U_{a,\text{ref}}$ verbunden sind, verringert sich um $2^{-(s+1)}(U_{a,\text{ref}} - U_{b,\text{ref}})$, so dass Ladung zurückgewonnen wird. Dabei handelt es sich um Kondensatorpaare, für die in einem früheren Schritt der Binärwert „0“ entschieden wurde, um jeweils einen der Kondensatoren aller Paare geringerer Gewichtung und um die Referenzkapazität C_{ref} . Die zurückgewonnene Ladungsmenge ist

$$Q_{C0,0,g} = \left[\underbrace{\frac{C_h}{2^{N_Q}}}_{C_{\text{ref}}} + \underbrace{\sum_{\nu=s+1}^{N_Q-1} 2^{-(\nu+1)}C_h}_{\text{geringere Gewichtung}} + \underbrace{\sum_{\nu=1}^{s-1} \overline{D_{N_Q-\nu}} 2^{-\nu}C_h}_{\text{„0“ in früherem Schritt}} \right] 2^{-(s+1)}(U_{a,\text{ref}} - U_{b,\text{ref}}) . \quad (\text{A.9})$$

Die für diesen Vorgang insgesamt aufzuwendende Ladungsmenge ist die Differenz der Teilladungen

$$Q_{C0,\text{tot},g} = Q_{C0,s,g} - Q_{C0,0,g} . \quad (\text{A.10})$$

Wird der Binärwert in Schritt s hingegen zu „1“ entschieden, muss U_t um $2^{-(s+1)}(U_{a,\text{ref}} - U_{b,\text{ref}})$ verringert werden. Dazu wird der Kondensator der Größe $2^{-(s+1)}C_h$ von $U_{a,\text{ref}}$ getrennt und

mit $U_{b,\text{ref}}$ verbunden. Die Spannung über alle Kondensatoren, die noch mit $U_{a,\text{ref}}$ verbunden sind, vergrößert sich dadurch, so dass der Referenzspannungsquelle für $U_{a,\text{ref}}$ Ladung entnommen werden muss. Die Menge dieser Ladung kann mit

$$Q_{C1,0,g} = \left[\underbrace{\frac{C_h}{2^{N_Q}}}_{C_{\text{ref}}} + \underbrace{\sum_{\nu=s+1}^{N_Q-1} 2^{-(\nu+1)} C_h}_{\text{geringere Gewichtung}} + \underbrace{\sum_{\nu=1}^{s-1} D_{N_Q-\nu} 2^{-\nu} C_h}_{\text{„0“ in früherem Schritt}} \right] 2^{-(s+1)} (U_{a,\text{ref}} - U_{b,\text{ref}}) \quad (\text{A.11})$$

berechnet werden.

Für ein gegebenes Codewort k kann die benötigte Ladungsmenge bestimmt werden, indem Q_{init} , $Q_{C0,\text{tot},g}$ und $Q_{C1,0,g}$ für alle Schritte aufsummiert werden.

B Übertragungskennlinie der Abtastschalter

Dieser Anhang stellt weitere Informationen zur Bestimmung der Übertragungskennlinie von Transferelementen bereit, wie sie im Folge-Halte-Glied eingesetzt werden. Für die analytische Berechnung der Übertragungskennlinie mit abschnittsweise konstantem Eingangssignal sind die Umformungen angegeben, die zu der Nichtlinearität in Abhängigkeit des Kosinus Hyperbolicus führen. Die darauf folgenden Abschnitte enthalten den Quellcode, mit dem die Differentialgleichungen für ein sinusförmiges Eingangssignal numerisch gelöst werden können.

B.1 Berechnung der Übertragungskennlinie für ein abschnittsweise konstantes Eingangssignal

In Abschnitt 3.4 wird die Übertragungskennlinie der Abtastschalter hergeleitet. Werden in Gleichung (3.30) die Beziehungen aus den Gleichungen (3.35) und (3.36) eingesetzt, lässt sich Gleichung (3.37) folgendermaßen berechnen.

$$U_{d,a}(t_0 + T_f) = U_{d,e} \left[1 - \frac{e^{-\frac{T_f}{C_s}(g_{0,N1} + g_{0,P1})} + e^{-\frac{T_f}{C_s}(g_{0,N2} + g_{0,P2})}}{2} \right] \quad (\text{B.1})$$

$$= U_{d,e} \left[1 - \left(\frac{e^{-\frac{T_f}{C_s}(\beta_n(U_{G,n} - U_{tn} - U_{b,e}) - \beta_p(U_{G,p} - U_{tp} - U_{b,e}))}}{2} + \frac{e^{-\frac{T_f}{C_s}(\beta_n(U_{G,n} - U_{tn} - U_{n,e}) - \beta_p(U_{G,p} - U_{tp} - U_{n,e}))}}{2} \right) \right] \quad (\text{B.2})$$

$$= U_{d,e} \left[1 - \left(\frac{e^{-\frac{T_f}{C_s}(\beta_n(U_{G,n} - U_{tn} - U_{CM} - \frac{1}{2}U_{d,e}) - \beta_p(U_{G,p} - U_{tp} - U_{CM} - \frac{1}{2}U_{d,e}))}}{2} + \frac{e^{-\frac{T_f}{C_s}(\beta_n(U_{G,n} - U_{tn} - U_{CM} + \frac{1}{2}U_{d,e}) - \beta_p(U_{G,p} - U_{tp} - U_{CM} + \frac{1}{2}U_{d,e}))}}{2} \right) \right] \quad (\text{B.3})$$

$$= U_{d,e} \left[1 - \frac{1}{2} e^{-\frac{T_f}{C_s}(\beta_n(U_{G,n} - U_{tn} - U_{CM}) - \beta_p(U_{G,p} - U_{tp} - U_{CM}))} \cdot \underbrace{\left(e^{\frac{T_f}{2C_s}(\beta_n - \beta_p)U_{d,e}} + e^{-\frac{T_f}{2C_s}(\beta_n - \beta_p)U_{d,e}} \right)}_{=2 \cosh\left(\frac{T_f}{2C_s}(\beta_n - \beta_p)U_{d,e}\right)} \right] \quad (\text{B.4})$$

B.2 Skript zur Berechnung der Übertragungskennlinie

In Abschnitt 3.4.1 wird die Übertragungskennlinie des Folge-Halte-Glieds zum einen analytisch und zum anderen durch DGLen, die numerisch gelöst werden, angegeben. Mit dem Programm octave können die hier abgedruckten Skripts aufgeführt werden, die die Berechnungen durchführen.

Folgendes Skript enthält die Funktion `InputSwitchPerformance`, die in der Datei `InputSwitchPerformance.m` gespeichert sein muss:

```
function [perf_ana perf_DEQ] = InputSwitchPerformance()
##### signal properties #####
fS = 1; % sampling frequency
V_cm = 1/2;
```

```

V_ihat = 1/2;

##### calculation properties #####
T_t = 1/fS/5; % length of tracking period
nInst = 100; % number of time instants in tracking period
nDFT = 128;
f_in = 63/nDFT*fS; % input frequency

##### technological and design properties #####
betanMINbetapDIVc = 10:2.5:15;
tau_tg = [16e-3 20e-3];

##### output file #####
filename = "./data.csv";
bWriteToFile = 0;

##### generate inputs #####
t_s=linspace(0,nDFT/fS,nDFT+1); t_s = t_s(1:end-1).';
% (nDFT x 1) array of time instants where tracking periods begin
t = linspace(t_s,t_s+T_t,nInst+1); t = t(:,2:end);
% (nDFT x nInst) array; time base for each tracking phase
V_id = TSinputVoltage_d(t,f_in,V_cm,V_ihat);
% (nDFT x nInst) array of input voltages during tracking phases

##### initialize outputs #####
perf_ana = cell(length(betanMINbetapDIVc),length(tau_tg));
perf_DEQ = cell(length(betanMINbetapDIVc),length(tau_tg));
if bWriteToFile
    outdata = [fS*t(1,:).'];
end

for iB=1:length(betanMINbetapDIVc)
    for iT=1:length(tau_tg)
%%%%% analytical solution; directly calculated without DEQ
        [perf_ana{iB,iT}.V_o, ...
         perf_ana{iB,iT}.bins, ...
         perf_ana{iB,iT}.magspec, ...

```

```

perf_ana{iB,iT}.sndr, ...
perf_ana{iB,iT}.enob] ...
= ISTransferFunction_static(tau_tg(iT),...
                           betanMINbetapDIVc(iB),...
                           fS,...
                           nDFT,...
                           T_t,...
                           nInst,...
                           V_id(:,1),...
                           t(1,:));

%% smiplified differential solution by subtraction of single-ended solutions
[perf_DEQ{iB,iT}.V_o, ...
perf_DEQ{iB,iT}.bins, ...
perf_DEQ{iB,iT}.magspec, ...
perf_DEQ{iB,iT}.sndr, ...
perf_DEQ{iB,iT}.enob] ...
= ISTransferFunction_diff_simplified(tau_tg(iT),...
                                     betanMINbetapDIVc(iB),...
                                     fS,...
                                     nDFT,...
                                     T_t,...
                                     nInst,...
                                     V_id,...
                                     t,...
                                     V_cm,...
                                     V_ihat,...
                                     f_in);

plot(t(1,:)*fS,perf_ana{iB,iT}.sndr);
hold on
plot(t(1,:)*fS,perf_DEQ{iB,iT}.sndr,'r');
% correction of attenuation
dSNDR1 = 20*log10(max(abs(perf_ana{iB,iT}.V_o))./max(abs(V_id)));
dSNDR2 = 20*log10(max(abs(perf_DEQ{iB,iT}.V_o))./max(abs(V_id)));
% dENOB1 = 20/6.02*log10(max(abs(perf_ana{iB,iT}.V_o))./max(abs(V_id)));
% dENOB2 = 20/6.02*log10(max(abs(perf_DEQ{iB,iT}.V_o))./max(abs(V_id)));
plot(t(1,:)*fS,perf_ana{iB,iT}.sndr+dSNDR1,'k');
plot(t(1,:)*fS,perf_DEQ{iB,iT}.sndr+dSNDR2,'g');

```

```

if bWriteToFile
    outdata = [outdata ...
                perf_ana{iB,iT}.sndr.' ...
                (perf_ana{iB,iT}.sndr+dSNDR1).'. ...
                perf_DEQ{iB,iT}.sndr.' ...
                (perf_DEQ{iB,iT}.sndr+dSNDR1).'];
    end
end
end
if bWriteToFile % write header
    fid = fopen(filename,"w");
    if fid===-1
        error('File %s could not be opened for writing.', filename)
    end
    fprintf(fid, "\"T_f (T_S)\");
    for iB=1:length(betanMINbetapDIVc)
        for iT=1:length(tau_tg)
            fprintf(fid, ["\", \"SNDRA_B%f_T%f (dB)\", \"SNDRA1_B%f_T%f (dB)\", "...
                \"SNDRD_B%f_T%f (dB)\", \"SNDRD1_B%f_T%f (dB)\"] , ...
                betanMINbetapDIVc(iB), tau_tg(iT), betanMINbetapDIVc(iB), tau_tg(iT), ...
                betanMINbetapDIVc(iB), tau_tg(iT), betanMINbetapDIVc(iB), tau_tg(iT));
        end
    end
    fprintf(fid, "\n");
    dlmwrite (fid,outdata,",", "precision", 4);
    fclose(fid);
end
xlabel('T_f/T_S');
ylabel('SDR (dB)');
hold off

```

Die Funktion oben ruft weitere Funktionen auf, die im Folgenden angegeben werden. Die Funktion `TSinputVoltage_d` in der Datei `TSinputVoltage_d.m` berechnet die differentielle Eingangsspannung zu gegebener Zeit t in Abhängigkeit mehrerer Parameter.

```

function V_id = TSinputVoltage_d(t,f_in,V_cm,V_ihat)
V_id = V_ihat * sin(2*pi*f_in*t); % sinusoidal

```


Die analytische Berechnung der Übertragungskennlinie wird durch die Funktion `ISTransferFunction_static` in der Datei `ISTransferFunction_static.m` ausgeführt.

```
function [V_o, bins, magspec, sndr, enob] = ISTransferFunction_static...
    (tau_tg, betanMINbetapDIVc, fS, nDFT, T_t, nInst, V_i, t)
% input arguments:
% tau_tg
% betapMINbetapDIVc
% fS
% nDFT
% T_t: length of tracking period
% nInst: number of time instants for the transfer function to be determined
% V_i: (nDFT x 1) array of input voltages
% t: (1 x nInst) array of time instants where V_o is to be evaluated
% output arguments:
% V_o: nDFT x nInst output voltage
% bins: 1 x nDFT frequency values for magspec
% magspec: nDFT x nInst mangitude spectrum for each sampling time instant
% sndr: 1 x nInst SNDR values for each sampling time instant
% enob: 1 x nInst ENOB values for each sampling time instant

V_o = nan(nDFT,nInst); % initialize output
V_o = repmat(V_i,1,nInst).*...
    (1-repmat(exp(-t/tau_tg),nDFT,1).*cosh(betanMINbetapDIVc/2*V_i*t));
bins = linspace(0,fS,nDFT+1); bins = bins(1:nDFT);
magspec = abs(fft(V_o,nDFT)); % magnitude spectrum
[snдр, enob] = spectrum_properties(bins,magspec);
```

Die numerische Berechnung der Übertragungskennlinie nach den Gleichungen (3.45) und (3.46) wird durch die Funktion `ISTransferFunction_diff_simplified` in der Datei `ISTransferFunction_diff_simplified.m` ausgeführt. Die zu lösenden DGLen werden durch die Funktionen $dV_{ob} = TG_DGL_b(V_o, t)$ und $dV_{on} = TG_DGL_n(V_o, t)$ beschrieben.

```
function [V_o, bins, magspec, snдр, enob] = ...
    ISTransferFunction_diff_simplified (tau_tg, ...
    betanMINbetapDIVc, fS, nDFT, T_t, nInst, V_i, ...
    t, V_cm, V_ihat, f_in)
```

```

% input arguments:
% tau_tg
% betapMINbetapDIVc
% fS
% nDFT
% T_t: length of tracking period
% nInst: number of time instants for the transfer function to be determined
% V_i: (nDFT x nInst) array of input voltages
% t: (nDFT x nInst) array of time instants where V_o is to be evaluated
% V_cm: input common-mode voltage; initial condition for output voltage
% V_ihat: input voltage amplitude
% f_in: input frequency
% output arguments:
% V_o: nDFT x nInst output voltage
% bins: 1 x nDFT frequency values for magspec
% magspec: nDFT x nInst magnitude spectrum for each sampling time instant
% sndr: 1 x nInst SNDR values for each sampling time instant
% enob: 1 x nInst ENOB values for each sampling time instant

global BDC;
global TAU;
global VIN;
global VCM;
global VHAT;
global FIN;
global iSamp;
BDC = betanMINbetapDIVc;
TAU = tau_tg;
VIN = V_i;
VCM = V_cm;
VHAT = V_ihat;
FIN = f_in;

V_o0 = VCM; % initial condition
V_o = nan(nDFT,nInst);
V_ob = nan(1,nInst);
V_on = nan(1,nInst);

```

```

for iSamp=1:nDFT
    V_ob = lsode('TG_DGL_b',V_o0,t(iSamp,:));
    V_on = lsode('TG_DGL_n',V_o0,t(iSamp,:));
    V_o(iSamp,:) = V_ob - V_on;
end
bins = linspace(0,fS,nDFT+1); bins = bins(1:nDFT);
magspec = abs(fft(V_o,nDFT)); % magnitude spectrum
[snldr, enob] = spectrum_properties(bins,magspec);

function dV_ob = TG_DGL_b(V_o,t)
global BDC;
global TAU;
global VCM;
global VHAT;
global FIN;
global iSamp;
dV_ob = (1/TAU-BDC/2*TSinputVoltage_d(t,FIN,VCM,VHAT))*...
        (VCM+TSinputVoltage_d(t,FIN,VCM,VHAT)/2-V_o);

function dV_on = TG_DGL_n(V_o,t)
global BDC;
global TAU;
global VCM;
global VHAT;
global FIN;
global iSamp;
dV_on = (1/TAU+BDC/2*TSinputVoltage_d(t,FIN,VCM,VHAT))*...
        (VCM-TSinputVoltage_d(t,FIN,VCM,VHAT)/2-V_o);

```

Zur Bestimmung des SDR wird die Funktion `spectrum_properties` in der Datei `spectrum_properties.m` ausgeführt.

```

function [snldr, enob] = spectrum_properties(w, mSpec)

% w: vector with angular frequencies
% mSpec: (mxn) matrix with n voltage spectra, each having m samples

```

```
nDFT = size(mSpec,1);

mPowSpec = abs(mSpec).^2; % determine power spectra

mPowSpec = [mPowSpec; zeros(1,size(mPowSpec,2))].'. ...
    + fliplr([mPowSpec; zeros(1,size(mPowSpec,2))].'.');
mPowSpec = mPowSpec(:,2:nDFT/2+1).';
    % cut to frequency band below fS/2 without DC

temp = floor(mPowSpec(:,end).'. / max(mPowSpec(:,end)));
sigindex = find(temp); % array index of frequency of input signal

vSigpower = mPowSpec(sigindex,:); % signal power
mPowSpec(sigindex,:) = zeros(1,size(mPowSpec,2)); % remove signal power
vNdpower = ones(1,size(mPowSpec,1)) * mPowSpec;
    % summation of remaining power in each column

sndr = 10*log10(vSigpower./vNdpower);
enob = (sndr-1.76)/6.02;
```

C Literatur

- [1] J. McCreary und P. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques. I," *JSSC*, Vol. 10, Nr. 6, S. 371–379, Dez. 1975.
- [2] B. Murmann. ADC Performance Survey 1997-2014. [Online]. Verfügbar unter: <http://web.stanford.edu/~murmam/adcsurvey.html>
- [3] R. J. van de Plassche, *Integrated Analog to Digital and Digital to Analog Converters*. Boston [u.a.]: Kluwer, 1994.
- [4] F. Maloberti, *Data Converters*, 1. Auflage. Springer Publishing Company Inc., 2010.
- [5] Y. Zhu, C.-H. Chan, S.-P. U und R. Martins, "An 11b 900 MS/s time-interleaved sub-ranging pipelined-SAR ADC," *ESSCIRC 2014*, Sep. 2014, S. 211–214.
- [6] P. Schvan, J. Bach, C. Fait, P. Flemke, R. Gibbins, Y. Greshishchev, N. Ben-Hamida, D. Pollex, J. Sitch, S.-C. Wang und J. Wolczanski, "A 24GS/s 6b ADC in 90nm CMOS," *ISSCC 2008*, Feb. 2008, S. 544–634.
- [7] D. Zhang, A. Bhide und A. Alvandpour, "A 53-nW 9.1-ENOB 1-kS/s SAR ADC in 0.13- μ m CMOS for Medical Implant Devices," *JSSC*, Vol. 47, Nr. 7, S. 1585–1593, Jul. 2012.
- [8] "IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters," *IEEE Std 1241-2010 (Revision of IEEE Std 1241-2000)*, S. 1–139, Jan. 2011.
- [9] R. Walden, "Analog-to-digital converter survey and analysis," *IEEE Journal on Selected Areas in Communications*, Vol. 17, Nr. 4, S. 539–550, Apr. 1999.
- [10] C. Vogel, "The impact of combined channel mismatch effects in time-interleaved ADCs," *IEEE Transactions on Instrumentation and Measurement*, Vol. 54, Nr. 1, S. 415–427, Feb. 2005.
- [11] W. Feller, *An introduction to probability theory and its applications*, 2. Auflage. New York: Wiley, 1971.
- [12] B. Ginsburg und A. Chandrakasan, "An energy-efficient charge recycling approach for a SAR converter with capacitive DAC," *ISCAS 2005*, Vol. 1, Mai 2005, S. 184–187.
- [13] J. Digel, M. Masini, M. Grözing, M. Berroth, G. Fischer, S. Olonbayar, H. Gustat und J. C. Scheytt, "A 6 bit and a 7 bit 80 MS/s SAR ADC for an IR-UWB receiver," *COMCAS 2011*, 2011, S. 1–4.

- [14] Y.-D. Jeon, S.-C. Lee, S.-M. Yoo und S.-H. Lee, "Acquisition-time minimization and merged-capacitor switching techniques for sampling-rate and resolution improvement of CMOS ADCs," *ISCAS 2000*, Vol. 3, 2000, S. 451–454.
- [15] C.-H. Chan, Y. Zhu, S.-W. Sin, S.-P. U und R. Martins, "A 3.8mW 8b 1GS/s 2b/cycle interleaving SAR ADC with compact DAC structure," *VLSIC 2012*, Jun. 2012, S. 86–87.
- [16] S. I. Sakif, "Design of a High Resolution SAR ADC," Masterarbeit, Uni Stuttgart, INT, 2014.
- [17] P. E. Allen und D. R. Holberg, *CMOS analog circuit design*, international 3. Auflage. New York: Oxford University Press, 2012.
- [18] Y. Taur und T. H. Ning, *Fundamentals of modern VLSI devices*, 2. Auflage. Cambridge: Cambridge Univ. Press, 2009.
- [19] H. Huang, M. Grözing, J. Digel, D. Ferenci, F. Lang und M. Berroth, "A 6-GS/s 6-bit time interleaved SAR-ADC," *EuMIC 2013*, Okt. 2013, S. 37–40.
- [20] J. Digel, "Konzeption eines 6 bit 28 GS/s SAR A/D-Wandlers in 90 nm CMOS-Technologie," Masterarbeit, Uni Stuttgart, INT, 2008.
- [21] M. Reisch, *Elektronische Bauelemente: Funktion, Grundschaltungen, Modellierung mit SPICE*. Berlin: Springer, 1998.
- [22] A. Papoulis, *Probability & statistics*. Prentice Hall, 1990.
- [23] T. Wakimoto, H. Li und K. Murase, "Statistical analysis on the effect of capacitance mismatch in a high-resolution successive-approximation ADC," *Transactions on Electrical and Electronic Engineering*, Vol. 6, Nr. S1, S. S89–S93, 2011.
- [24] J. A. Fredenburg und M. P. Flynn, "Statistical Analysis of ENOB and Yield in Binary Weighted ADCs and DACs With Random Element Mismatch," *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. PP, Nr. 99, S. 1–13, 2012.
- [25] M. Scott, B. Boser und K. Pister, "An ultralow-energy ADC for Smart Dust," *JSSC*, Vol. 38, Nr. 7, S. 1123–1129, Jul. 2003.
- [26] B. Razavi und B. Wooley, "Design techniques for high-speed, high-resolution comparators," *JSSC*, Vol. 27, Nr. 12, S. 1916–1926, Dez. 1992.
- [27] J. Digel, M. Grözing, M. Berroth, H. Gustat und J.-C. Scheytt, "High-speed comparators for SAR ADCs in 130 nm BiCMOS," *PRIME 2010*, Jul. 2010.
- [28] Y. Zhu, C.-H. Chan, U.-F. Chio, S.-W. Sin, S.-P. U, R. Martins und F. Maloberti, "A 10-bit 100-MS/s Reference-Free SAR ADC in 90 nm CMOS," *JSSC*, Vol. 45, Nr. 6, S. 1111–1121, Jun. 2010.
- [29] S. Egorenkov, "Kalibrierung von Komparatoren zur Vermeidung von Offsetfehlern," Masterarbeit, Uni Stuttgart, INT, 2010.
- [30] M. Miyahara, Y. Asada, D. Paik und A. Matsuzawa, "A low-noise self-calibrating dynamic comparator for high-speed ADCs," *A-SSCC 2008*, Nov. 2008, S. 269–272.

- [31] W. Yu, S. Sen und B. Leung, "Distortion analysis of MOS track-and-hold sampling mixers using time-varying Volterra series," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 46, Nr. 2, S. 101–113, Feb. 1999.
- [32] H. Klar, *Integrierte Digitale Schaltungen: Vom Transistor zur optimierten Logikschaltung*, 3. Auflage. Berlin, Heidelberg: Springer Vieweg, 2015.
- [33] X. Wu, H. Liu und Y. Wu, "A CMOS bootstrapped switch with novel clock feed-through compensation," *EDSSC 2009*, Dez. 2009, S. 166–169.
- [34] M. Clara und A. Wiesbauer, "Switched level-shift circuit," U.S. Patent 0 127 976A1, Jun. 16, 2005.
- [35] M. Grözing, M. Berroth, E. Gerhardt, B. Franz und W. Templ, "High-Speed Building Blocks in 90nm CMOS," *4th Joint Symposium on Opto- and Microelectronics Devices and Circuits*, S. 1–4, 2006.
- [36] J. Digel, M. Masini, M. Grözing, M. Berroth, G. Fischer, O. Sonom, H. Gustat und J.-C. Scheytt, "An Integrating Digitizer for an IR-UWB Receiver," *ANALOG'11*, Nov. 2011.
- [37] J. Digel, M. Grözing und M. Berroth, "A 10 bit 12.8 MS/s SAR ADC in a 250 nm SiGe BiCMOS Technology," *PRIME 2014*, Jun. 2014.
- [38] W. P. Siritwongpairat und K. J. R. Liu, *Ultra-wideband communications systems: multi-band OFDM approach*. Hoboken: Wiley, 2008.
- [39] G. Fischer, D. Martynenko, O. Klymenko, S. Olonbayar, D. Kreiser, J. Digel, M. Masini, M. Grözing und R. Kraemer, "IR-UWB single-chip transceiver for high-band operation compliant to IEEE 802.15.4a," *ICUWB 2013*, Sep. 2013, S. 270–277.
- [40] J. Digel, M. Masini, M. Grözing, M. Berroth, G. Fischer, S. Olonbayar, H. Gustat und J.-C. Scheytt, "Integrator and digitizer for a non-coherent IR-UWB receiver," *SiRF 2013*, Jan. 2013, S. 93–95.
- [41] S. Olonbayar, D. Kreiser und R. Kraemer, "Performance and design of IR-UWB transceiver baseband for wireless sensors," *ICUWB 2009*, Sep. 2009, S. 809–813.
- [42] J. Digel, M. Grözing und M. Berroth, "A 9 bit 34 MS/s SAR Analog-to-Digital Converter in 130 nm SiGe BiCMOS," *PRIME 2012*, Jun. 2012.
- [43] K. R. Laker und W. M. C. Sansen, *Design of analog integrated circuits and systems*. New York: McGraw-Hill, 1994.
- [44] J. Digel, M. Grözing und M. Berroth, "A 10 bit 90 MS/s SAR ADC in a 65 nm CMOS Technology," *SiRF 2016*, Jan. 2016.
- [45] J. Craninckx und G. Van der Plas, "A 65fJ/Conversion-Step 0-to-50MS/s 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," *ISSCC 2007*, Feb. 2007, S. 246–600.

- [46] P. Harpe, C. Zhou, X. Wang, G. Dolmans und H. de Groot, "A 30fJ/conversion-step 8b 0-to-10MS/s asynchronous SAR ADC in 90nm CMOS," *ISSCC 2010*, Feb. 2010, S. 388–389.
- [47] Y. Zhu, C.-H. Chan, S.-W. Sin, S.-P. U, R. P. Martins und F. Maloberti, "A 50-fJ 10-b 160-MS/s Pipelined-SAR ADC Decoupled Flip-Around MDAC and Self-Embedded Offset Cancellation," *JSSC*, Vol. 47, Nr. 11, S. 2614–2626, Nov. 2012.
- [48] L. Kull, T. Toifl, M. Schmatz, P. Francese, C. Menolfi, M. Brandli, M. Kossel, T. Morf, T. Andersen und Y. Leblebici, "A 3.1 mW 8b 1.2 GS/s Single-Channel Asynchronous SAR ADC With Alternate Comparators for Enhanced Speed in 32 nm Digital SOI CMOS," *JSSC*, Vol. 48, Nr. 12, S. 3049–3058, 2013.
- [49] Y. Chen, S. Tsukamoto und T. Kuroda, "A 9b 100MS/s 1.46mW SAR ADC in 65nm CMOS," *A-SSCC 2009*, Nov. 2009, S. 145–148.
- [50] D. Draxelmayr, "A 6b 600MHz 10mW ADC array in digital 90nm CMOS," *ISSCC 2004*, Vol. 1, Feb. 2004, S. 264–527.
- [51] M. Furuta, M. Nozawa und T. Itakura, "A 0.06 mm² 8.9b ENOB 40MS/s pipelined SAR ADC in 65nm CMOS," *ISSCC 2010*, Feb. 2010, S. 382–383.
- [52] V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. Van der Plas und J. Craninckx, "An 820 μ W 9b 40MS/s Noise-Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," *ISSCC 2008*, Feb. 2008, S. 238–610.
- [53] B. Ginsburg und A. Chandrakasan, "Highly Interleaved 5b 250MS/s ADC with Redundant Channels in 65nm CMOS," *ISSCC 2008*, Feb. 2008, S. 240–610.
- [54] Y. Greshishchev, J. Aguirre, M. Besson, R. Gibbins, C. Falt, P. Flemke, N. Ben-Hamida, D. Pollex, P. Schvan und S.-C. Wang, "A 40GS/s 6b ADC in 65nm CMOS," *ISSCC 2010*, Feb. 2010, S. 390–391.
- [55] M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner und H. Wenske, "A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13 μ m CMOS," *ISSCC 2007*, Feb. 2007, S. 248–600.
- [56] H.-K. Hong, H.-W. Kang, B. Sung, C.-H. Lee, M. Choi, H.-J. Park und S.-T. Ryu, "An 8.6 ENOB 900MS/s time-interleaved 2b/cycle SAR ADC with a 1b/cycle reconfiguration for resolution enhancement," *ISSCC 2013*, 2013, S. 470–471.
- [57] E. Janssen, K. Doris, A. Zanicopoulos, A. Murrioni, G. v. d. Weide, Y. Lin, L. Alvado, F. Darthenay und Y. Fregeais, "An 11b 3.6GS/s time-interleaved SAR ADC in 65nm CMOS," *ISSCC 2013*, 2013, S. 464–465.
- [58] L. Kull, T. Toifl, M. Schmatz, P. A. Francese, C. Menolfi, M. Braendli, M. Kossel, T. Morf, T. M. Andersen und Y. Leblebici, "A 90GS/s 8b 667mW 64x interleaved SAR ADC in 32nm digital SOI CMOS," *ISSCC 2014*, Feb. 2014, S. 378–379.
- [59] F. Kuttner, "A 1.2V 10b 20MSample/s non-binary successive approximation ADC in 0.13 μ m CMOS," *ISSCC 2002*, Vol. 1, 2002, S. 176–177.

- [60] N. Le Dortz, J.-P. Blanc, T. Simon, S. Verhaeren, E. Rouat, P. Urard, S. Le Tual, D. Goguet, C. Lelandais-Perrault und P. Benabes, "A 1.62GS/s time-interleaved SAR ADC with digital background mismatch calibration achieving interleaving spurs below 70dBFS," *ISSCC 2014*, Feb. 2014, S. 386–388.
- [61] S. Le Tual, P. N. Singh, C. Curis und P. Dautriche, "A 20GHz-BW 6b 10GS/s 32mW time-interleaved SAR ADC with Master T&H in 28nm UTBB FDSOI technology," *ISSCC 2014*, Feb. 2014, S. 382–383.
- [62] C.-Y. Liou und C.-C. Hsieh, "A 2.4-to-5.2fJ/conversion-step 10b 0.5-to-4MS/s SAR ADC with charge-average switching DAC in 90nm CMOS," *ISSCC 2013*, 2013, S. 280–281.
- [63] C.-C. Liu, S.-J. Chang, G.-Y. Huang, Y.-Z. Lin, C.-M. Huang, C.-H. Huang, L. Bu und C.-C. Tsai, "A 10b 100MS/s 1.13mW SAR ADC with binary-scaled error compensation," *ISSCC 2010*, Feb. 2010, S. 386–387.
- [64] W. Liu, Y. Chang, S.-K. Hsien, B.-W. Chen, Y.-P. Lee, W.-T. Chen, T.-Y. Yang, G.-K. Ma und Y. Chiu, "A 600MS/s 30mW 0.13 μm CMOS ADC array achieving over 60dB SFDR with adaptive digital equalization," *ISSCC 2009*, Feb. 2009, S. 82–83,83a.
- [65] W. Liu, P. Huang und Y. Chiu, "A 12b 22.5/45MS/s 3.0mW 0.059mm² CMOS SAR ADC achieving over 90dB SFDR," *ISSCC 2010*, Feb. 2010, S. 380–381.
- [66] T. Morie, T. Miki, K. Matsukawa, Y. Bando, T. Okumoto, K. Obata, S. Sakiyama und S. Dosho, "A 71dB-SNDR 50MS/s 4.2mW CMOS SAR ADC by SNR enhancement techniques utilizing noise," *ISSCC 2013*, 2013, S. 272–273.
- [67] M. Yoshioka, K. Ishikawa, T. Takayama und S. Tsukamoto, "A 10b 50MS/s 820 μW SAR ADC with on-chip digital calibration," *ISSCC 2010*, Feb. 2010, S. 384–385.
- [68] B. Ginsburg und A. Chandrakasan, "A 500MS/s 5b ADC in 65nm CMOS," *VLSIC 2006*, 2006, S. 140–141.
- [69] J. J. Kang und M. P. Flynn, "A 12b 11MS/s successive approximation ADC with two comparators in 0.13 μm CMOS," *VLSIC 2009*, Jun. 2009, S. 240–241.
- [70] L. Kull, T. Toifl, M. Schmatz, P. Francese, C. Menolfi, M. Braendli, M. Kossel, T. Morf, T. Andersen und Y. Leblebici, "A 35mW 8 b 8.8 GS/s SAR ADC with low-power capacitive reference buffers in 32nm Digital SOI CMOS," *VLSIC 2013*, Jun. 2013, S. C260–C261.
- [71] C.-C. Liu, S.-J. Chang, G.-Y. Huang und Y.-Z. Lin, "A 0.92mW 10-bit 50-MS/s SAR ADC in 0.13 μm CMOS process," *VLSIC 2009*, Jun. 2009, S. 236–237.
- [72] C.-C. Liu, S.-J. Chang, G.-Y. Huang, Y.-Z. Lin und C.-M. Huang, "A 1V 11fJ/conversion-step 10bit 10MS/s asynchronous SAR ADC in 0.18 μm CMOS," *VLSIC 2010*, Jun. 2010, S. 241–242.
- [73] A. Shikata, R. Sekimoto, T. Kuroda und H. Ishikuro, "A 0.5V 1.1MS/sec 6.3fJ/conversion-step SAR-ADC with tri-level comparator in 40nm CMOS," *VLSIC 2011*, 2011, S. 262–263.

- [74] C.-C. Liu, Y.-T. Huang, G.-Y. Huang, S.-J. Chang, C.-M. Huang und C.-H. Huang, "A 6-bit 220-MS/s time-interleaving SAR ADC in 0.18- μm digital CMOS process," *VLSI-DAT '09*, Apr. 2009, S. 215–218.
- [75] B. Ginsburg und A. Chandrakasan, "Dual scalable 500MS/s, 5b time-interleaved SAR ADCs for UWB applications," *Custom Integrated Circuits Conference 2005*, Sep. 2005, S. 403–406.
- [76] A. Shrivastava, "12-bit non-calibrating noise-immune redundant SAR ADC for system-on-a-chip," *ISCAS 2006*, may 2006.
- [77] S.-W. Chen und R. Brodersen, "A 6b 600MS/s 5.3mW Asynchronous ADC in 0.13 μm CMOS," *ISSCC 2006*, Feb. 2006, S. 2350–2359.
- [78] Y.-Z. Lin, S.-J. Chang, Y.-T. Shyu, G.-Y. Huang und C.-C. Liu, "A 0.9-V 11-bit 25-MS/s binary-search SAR ADC in 90-nm CMOS," *A-SSCC 2011*, Nov. 2011, S. 69–72.
- [79] Z. Cao, S. Yan und Y. Li, "A 32 mW 1.25 GS/s 6b 2b/Step SAR ADC in 0.13 μm CMOS," *JSSC*, Vol. 44, Nr. 3, S. 862–873, Mär. 2009.
- [80] S.-H. Cho, C.-K. Lee, J.-K. Kwon und S.-T. Ryu, "A 550- μW 10-b 40-MS/s SAR ADC With Multistep Addition-Only Digital Error Correction," *JSSC*, Vol. 46, Nr. 8, S. 1881–1892, Aug. 2011.
- [81] K. Doris, E. Janssen, C. Nani, A. Zanicopoulos und G. van der Weide, "A 480 mW 2.6 GS/s 10b Time-Interleaved ADC With 48.5 dB SNDR up to Nyquist in 65 nm CMOS," *JSSC*, Vol. 46, Nr. 12, S. 2821–2833, Dez. 2011.
- [82] J. Fredenburg und M. Flynn, "A 90-MS/s 11-MHz-Bandwidth 62-dB SNDR Noise-Shaping SAR ADC," *JSSC*, Vol. 47, Nr. 12, S. 2898–2904, Dez. 2012.
- [83] B. Ginsburg und A. Chandrakasan, "500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC," *JSSC*, Vol. 42, Nr. 4, S. 739–747, Apr. 2007.
- [84] B. P. Ginsburg und A. P. Chandrakasan, "Dual Time-Interleaved Successive Approximation Register ADCs for an Ultra-Wideband Receiver," *JSSC*, Vol. 42, Nr. 2, S. 247–257, Feb. 2007.
- [85] F. van der Goes, C. Ward, S. Astgimath, H. Yan, J. Riley, Z. Zeng, J. Mulder, S. Wang und K. Bult, "A 1.5 mW 68 dB SNDR 80 Ms/s $2 \times$ Interleaved Pipelined SAR ADC in 28 nm CMOS," *JSSC*, Vol. 49, Nr. 12, S. 2835–2845, Dez. 2014.
- [86] J. Guerber, H. Venkatram, M. Gande, A. Waters und U. Moon, "A 10-b Ternary SAR ADC With Quantization Time Information Utilization," *JSSC*, Vol. 47, Nr. 11, S. 2604–2613, Nov. 2012.
- [87] P. Harpe, B. Busze, K. Philips und H. de Groot, "A 0.47-1.6 mW 5-bit 0.5-1 GS/s Time-Interleaved SAR ADC for Low-Power UWB Radios," *JSSC*, Vol. 47, Nr. 7, S. 1594–1602, Jul. 2012.

- [88] H.-K. Hong, W. Kim, H.-W. Kang, S.-J. Park, M. Choi, H.-J. Park und S.-T. Ryu, "A Decision-Error-Tolerant 45 nm CMOS 7b 1 GS/s Nonbinary 2b/Cycle SAR ADC," *JSSC*, Vol. 50, Nr. 2, S. 543–555, Feb. 2015.
- [89] G.-Y. Huang, S.-J. Chang, C.-C. Liu und Y.-Z. Lin, "A 1- μ W 10-bit 200-kS/s SAR ADC With a Bypass Window for Biomedical Applications," *JSSC*, Vol. 47, Nr. 11, S. 2783–2795, Nov. 2012.
- [90] C. Hurrell, C. Lyden, D. Laing, D. Hummerston und M. Vickery, "An 18 b 12.5 MS/s ADC With 93 dB SNR," *JSSC*, Vol. 45, Nr. 12, S. 2647–2654, Dez. 2010.
- [91] R. Kapusta, J. Shen, S. Decker, H. Li, E. Ibaragi und H. Zhu, "A 14b 80 MS/s SAR ADC With 73.6 dB SNDR in 65 nm CMOS," *JSSC*, Vol. 48, Nr. 12, S. 3059–3066, 2013.
- [92] C. Lee und M. Flynn, "A SAR-Assisted Two-Stage Pipeline ADC," *JSSC*, Vol. 46, Nr. 4, S. 859–869, Apr. 2011.
- [93] S. Lee, A. Chandrakasan und H.-S. Lee, "A 1 GS/s 10b 18.9 mW Time-Interleaved SAR ADC With Background Timing Skew Calibration," *JSSC*, Vol. 49, Nr. 12, S. 2846–2856, Dez. 2014.
- [94] C.-C. Liu, S.-J. Chang, G.-Y. Huang und Y.-Z. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," *JSSC*, Vol. 45, Nr. 4, S. 731–740, Apr. 2010.
- [95] W. Liu, P. Huang und Y. Chiu, "A 12-bit, 45-MS/s, 3-mW Redundant Successive-Approximation-Register Analog-to-Digital Converter With Digital Calibration," *JSSC*, Vol. 46, Nr. 11, S. 2661–2672, Nov. 2011.
- [96] B. Malki, T. Yamamoto, B. Verbruggen, P. Wambacq und J. Craninckx, "A 70 dB DR 10 b 0-to-80 MS/s Current-Integrating SAR ADC With Adaptive Dynamic Range," *JSSC*, Vol. 49, Nr. 5, S. 1173–1183, Mai 2014.
- [97] H. Nakane, R. Ujiie, T. Oshima, T. Yamamoto, K. Kimura, Y. Okuda, K. Tsuiji und T. Matsuura, "A Fully Integrated SAR ADC Using Digital Correction Technique for Triple-Mode Mobile Transceiver," *JSSC*, Vol. 49, Nr. 11, S. 2503–2514, Nov. 2014.
- [98] D. Stepanovic und B. Nikolic, "A 2.8 GS/s 44.6 mW Time-Interleaved ADC Achieving 50.9 dB SNDR and 3 dB Effective Resolution Bandwidth of 1.5 GHz in 65 nm CMOS," *JSSC*, Vol. 48, Nr. 4, S. 971–982, 2013.
- [99] G. Van der Plas und B. Verbruggen, "A 150 MS/s 133 μ W 7 bit ADC in 90 nm Digital CMOS," *JSSC*, Vol. 43, Nr. 12, S. 2631–2640, Dez. 2008.
- [100] B. Verbruggen, M. Iriguchi und J. Craninckx, "A 1.7 mW 11b 250 MS/s 2-Times Interleaved Fully Dynamic Pipelined SAR ADC in 40 nm Digital CMOS," *JSSC*, Vol. 47, Nr. 12, S. 2880–2887, Dez. 2012.
- [101] H. Wei, C.-H. Chan, U.-F. Chio, S.-W. Sin, S.-P. U, R. P. Martins und F. Maloberti, "An 8-b 400-MS/s 2-b-Per-Cycle SAR ADC With Resistive DAC," *JSSC*, Vol. 47, Nr. 11, S. 2763–2772, Nov. 2012.

- [102] S.-S. Wong, U.-F. Chio, Y. Zhu, S.-W. Sin, S.-P. U und R. Martins, "A 2.3 mW 10-bit 170 MS/s Two-Step Binary-Search Assisted Time-Interleaved SAR ADC," *JSSC*, Vol. 48, Nr. 8, S. 1783–1794, 2013.

D Eigene Veröffentlichungen

- [E1] J. Digel, "Konzeption eines 6 bit 28 GS/s SAR A/D-Wandlers in 90 nm CMOS-Technologie," Masterarbeit, Uni Stuttgart, INT, 2008.
- [E2] M. Grözing, J. Digel, D. Ferenci und M. Berroth, "Schneller Operationsverstärker für A/D-Wandler mit 6 bit Auflösung und Wandlerraten bis 28 GS/s," *Kleinheubacher Tagung 2009*, 2009.
- [E3] J. Digel, M. Grözing, M. Berroth, H. Gustat und J.-C. Scheytt, "High-speed comparators for SAR ADCs in 130 nm BiCMOS," *PRIME 2010*, Jul. 2010.
- [E4] J. Digel, M. Masini, M. Grözing, M. Berroth, G. Fischer, S. Olonbayar, H. Gustat und J. C. Scheytt, "A 6 bit and a 7 bit 80 MS/s SAR ADC for an IR-UWB receiver," *COMCAS 2011*, 2011, S. 1–4.
- [E5] J. Digel, M. Masini, M. Grözing, M. Berroth, G. Fischer, O. Sonom, H. Gustat und J.-C. Scheytt, "An Integrating Digitizer for an IR-UWB Receiver," *ANALOG'11*, Nov. 2011.
- [E6] J. Digel, M. Grözing und M. Berroth, "A 9 bit 34 MS/s SAR Analog-to-Digital Converter in 130 nm SiGe BiCMOS," *PRIME 2012*, Jun. 2012.
- [E7] D. Ferenci, S. Mauch, J. Digel und M. Berroth, "Real-Time Error Correction of High Speed Time-Interleaved Analog-to-Digital Converters with State of the Art FPGA Technology," *PRIME 2012*, Jun. 2012, S. 1–4.
- [E8] J. Digel, M. Masini, M. Grözing, M. Berroth, G. Fischer, S. Olonbayar, H. Gustat und J.-C. Scheytt, "Integrator and digitizer for a non-coherent IR-UWB receiver," *SiRF 2013*, Jan. 2013, S. 93–95.
- [E9] G. Fischer, D. Martynenko, O. Klymenko, S. Olonbayar, D. Kreiser, J. Digel, M. Masini, M. Grözing und R. Kraemer, "IR-UWB single-chip transceiver for high-band operation compliant to IEEE 802.15.4a," *ICUWB 2013*, Sep. 2013, S. 270–277.
- [E10] H. Huang, M. Grözing, J. Digel, D. Ferenci, F. Lang und M. Berroth, "A 6-GS/s 6-bit time interleaved SAR-ADC," *EuMIC 2013*, Okt. 2013, S. 37–40.
- [E11] J. Digel, M. Grözing und M. Berroth, "A 10 bit 12.8 MS/s SAR ADC in a 250 nm SiGe BiCMOS Technology," *PRIME 2014*, Jun. 2014.
- [E12] J. Digel, M. Grözing, M. Schmidt, M. Berroth und C. Haslach, "Digital Pulse-Width Pulse-Position Modulator in 28 nm CMOS for Carrier Frequencies up to 1 GHz," *RFIC 2015*, Mai 2015.

- [E13] J. Digel, M. Grözing und M. Berroth, “A 10 bit 90 MS/s SAR ADC in a 65 nm CMOS Technology,” *SiRF 2016*, Jan. 2016.

Lebenslauf

25.06.1982	Geboren in Esslingen am Neckar
1989 – 1993	Grund- und Hauptschule Sulzgries, Esslingen
1993 – 2002	Schelztor-Gymnasium Esslingen
2002 – 2003	Zivildienst
2003 – 2008	Studium der Elektro- und Informationstechnik an der Universität Stuttgart
2008	Abschluss des Studiums mit dem Diplom
seit 2008	Wissenschaftlicher Mitarbeiter am Institut für Elektrische und Optische Nachrichtentechnik der Universität Stuttgart

Danksagung

Als erstes möchte ich meiner Familie und speziell meinen Eltern danken. Sie haben mich von klein auf immer unterstützt und in dem bestärkt, womit ich mich beschäftigt habe. Sie haben immer an mich geglaubt und mir jede Unterstützung zukommen lassen, die irgendwie denkbar war. Vor der Abgabe meiner Dissertation haben sich meine Eltern sogar durch selbige gekämpft und sie zur Korrektur gelesen.

Des Weiteren gilt mein Dank Professor Berroth. Zum einen hat er es mir ermöglicht, im Rahmen unterschiedlicher Projekte meiner Forschung nachzugehen. Zum anderen hatte er immer ein offenes Ohr und stand mir stets mit Rat und Tat zur Seite. Auch Professor Speidel möchte ich dafür danken, dass er den Mitbericht der Dissertation übernommen hat.

All meinen Kollegen von heute und von früher sowie den Studierenden, die mit mir tätig waren, bin ich sehr dankbar für die wunderbare Zusammenarbeit. Ich hatte mit ihnen ganz oft interessante Gespräche über Forschungsthemen, aber auch über ganz andere Dinge, die mir weitergeholfen haben – sei es fachlich oder in sonst einem Bereich. Dankenswerterweise hat sich mein Gruppenleiter Markus Grözing Zeit genommen, um meine Ausarbeitung zur Korrektur zu lesen. Auch den Kollegen danke ich, die vor der Prüfung meinen Probevortrag über sich ergehen ließen. Sie gaben mir viele gute Hinweise und konstruktive Kommentare, die mir bei der Vorbereitung halfen. Durch die Diskussionsrunde im Anschluss wurde die Prüfungssituation auch in der Dauer sehr gut simuliert.

Außerdem danke ich meinen Freunden von jung bis alt außerhalb der Universität, die mich auf meinem Weg begleiten. Sie gaben und geben mir immer wieder Halt, Mut, Zuversicht und neuen Antrieb, sie bringen mich auf neue Gedanken und sind mir sehr wertvoll.

Nicht zuletzt möchte ich meinen Kommilitonen meine Dankbarkeit ausdrücken, von denen mich einige während des gesamten Studiums und darüber hinaus, andere während eines Teils meines Studiums begleitet haben. Wir haben gemeinsam so manche Vorlesung ausgesessen und Prüfung gemeistert, haben uns bei der Prüfungsvorbereitung immer sehr gut ergänzt

und auch neben der Lernerei viel Schönes erlebt. Auch unser Semesteressen mit einigen Doktoranden aus meinem Studienjahrgang, dem ich leider erst spät beigetreten bin, brachte jeden Mittwoch Erfrischung. Dort haben wir zusammen das ein oder andere Semester gegessen.

Mit allen Genannten und nicht Genannten hatte ich ganz viele Wegbegleiter, auf die ich mich jederzeit verlassen konnte. Sie alle gaben mir auf ihre jeweils ganz eigene Art Kraft und meinem Tun Sinn, auch abseits der Elektrotechnik. Über all diese Begegnungen und Freundschaften bin ich sehr glücklich, sie machen das Leben letztendlich lebenswert. Deshalb sage ich allen: Herzlichen Dank!