

Aktive Siliziumträger zur Verbesserung der Prüfbarkeit von Multichip-Systemen

**Von der Fakultät für Konstruktions- und Fertigungstechnik
der Universität Stuttgart
zur Erlangung
der Würde eines Doktor-Ingenieurs (Dr.-Ing.)
genehmigte Abhandlung**

**vorgelegt von
Dipl.-Inform. Hubert Werkmann
geb. in Uttenweiler**

**Hauptberichter : Prof. Dr. B. Höfflinger
Mitberichter : Prof. Dr. H.-J. Wunderlich
Tag der mündlichen Prüfung : 18.09.2000**

**Institut für Mikroelektronik Stuttgart
2000**

Danksagung

Herrn Prof. Dr. B. Höfflinger danke ich für die Möglichkeit, neben meiner Tätigkeit am Institut für Mikroelektronik Stuttgart, diese Arbeit anzufertigen. Seine Betreuung und Förderung während der Arbeit, sowie seine Anregungen im fachlichen und organisatorischen Bereich haben ganz wesentlich zum Gelingen dieser Arbeit beigetragen.

Herrn Prof. Dr. H.-J. Wunderlich danke ich für die freundliche Übernahme des Mitberichts und die sich daraus ergebenden wertvollen Diskussionen und Anregungen zur Abrundung der Arbeit.

Ein spezieller Dank gebührt dem leider viel zu früh verstorbenen Herrn Dr. T.Schwederski, der durch seine Bemühungen den Grundstein zu dieser Arbeit legte und die ersten Schritte der Arbeit fachlich begleitete.

Danken möchte ich allen Kollegen des IMS, die bei der Fertigung der Substrate und Schaltungen mitgewirkt haben, ohne die der Praxisbezug der Arbeit nicht gegeben wäre. Außerdem möchte ich allen Studenten danken, die zur Anfertigung dieser Arbeit beigetragen haben.

Ein besonderer Dank gilt meinen Kollegen Dipl.-Ing. G.Feucht, H.Luft, I.Schindler und P.Stieger, die mir mit Ihrer Tätigkeit die zur Durchführung der Arbeit notwendigen Freiräume schafften. Für die fachlichen Diskussionen und Unterstützungen im Bezug auf diese Arbeit möchte ich mich insbesondere bei Herrn Dr. W.Appel, Herrn Dr. V.Dudek, Herrn Dipl.-Ing. B.Laquai und Herrn Dr. H. Richter bedanken.

Inhaltsverzeichnis

1	Einleitung	1
1.1	Motivation	1
1.2	Ziel der Arbeit	4
1.3	Gliederung der Arbeit	4
2	Multichip Modul Substrattest - Stand der Technik	6
2.1	Kontaktierender Test	6
2.1.1	Flying Probe Testsysteme	7
2.1.1.1	Kapazitiver Test	7
2.1.1.2	Resistiver Test	8
2.1.1.3	ATG-Feldmeßmethode	8
2.1.1.4	Latent Open Testing	10
2.1.1.5	TDNA	11
2.1.1.6	Resonanztest	12
2.1.2	Testadapter	12
2.1.2.1	Membranprobeadapter	12
2.1.2.2	Buckling beam Test	13
2.2	Kontaktloser Test	14
2.2.1	Optischer Test	14
2.2.2	E-beam Test	14
2.3	Test über aktive Substrate	15
2.3.1	System-on-Chip Testmethoden	15
2.3.2	Boundary-Scan unterstützter Test	18
3	Kostenmodellierung	22
3.1	Herstellungskosten	22
3.1.1	Herstelltechnologie und Schaltungstechnik	22
3.1.1.1	Schaltungsvoraussetzungen für das verfolgte Testkonzept	24
3.1.1.2	Technologievorauswahl	24
3.1.1.3	Bestimmung der defektsensitiven Fläche	26
3.1.2	Kostenmodellierung	31
3.1.3	Resultate	34
3.2	Substrattest	39
3.2.1	Kapazitiver Test	39
3.2.2	Resistiver Test	40
3.2.3	E-beam Test	42

3.2.4	Aktive Substrate	43
3.3	Montage.....	44
3.4	Systemtest.....	47
3.4.1	VLSI-Test.....	48
3.4.2	Fehleranalyse.....	48
3.5	Vergleichsszenarien.....	49
3.5.1	Allgemeiner Vergleich	50
3.5.2	Vergleich des e-beam Tests gegenüber aktiven Substraten	55
3.5.3	Schlußfolgerungen.....	59
4	Designanforderungen an aktive Substrate.....	61
4.1	Chiporientiertes Boundary-Scan	61
4.1.1	Anforderungen.....	62
4.2	Substratorientiertes Boundary-Scan	63
4.2.1	Anforderungen.....	64
4.2.2	Platzierungsmöglichkeiten für die Scanzellen.....	67
4.2.2.1	Platzierung im Signalpfad	67
4.2.2.2	Platzierung parallel zum Signalpfad.....	72
4.2.2.3	Folgerungen aus dem Platzierungsvergleich.....	75
4.2.3	Testmethodik	76
4.2.4	Konsequenzen für Scanzellenentwurf	77
4.3	Testsystemanbindung	77
5	Anwendungsbeispiele	78
5.1	Evaluierung der Testmethodik	78
5.1.1	Logikentwurf der Scanzellen.....	78
5.1.2	TAP-Controller.....	83
5.1.3	Evaluationsplatine	86
5.1.4	Ergebnisse.....	87
5.2	Aktives Testsubstrat	91
5.2.1	Physikalischer Entwurf der Scanzellen	91
5.2.2	Physikalischer Entwurf des Testsubstrates.....	92
5.2.3	Ergebnisse.....	95
5.2.4	Zukünftige Anwendungen	96
5.2.4.1	Optimierung der Scanzellen	96
5.2.4.2	Integrierter Temperatursensor	97
6	Zusammenfassung und Ausblick	100
6.1	Erzielte Ergebnisse	100
6.2	Ausblick.....	103

7	Anhang	104
7.1	Boundary-Scan Standard.....	104
7.1.1	Ziele.....	104
7.1.2	Boundary-Scan Architektur	105
7.1.3	Test Access Port.....	107
7.1.4	TAP-Controller	108
7.1.5	Testdatenregister	110
7.1.6	Instruktionsregister.....	112
7.1.7	Boundary-Scan Bauteiltest.....	115
	Literatur	116

Verwendete Formelzeichen

D	durchschnittliche Zahl von Defekten pro Wafer (nur für aktiven Anteil)
D_C	Wahrscheinlichkeit für ein defektes oder falsch montiertes Bauelement
F_A	prozentualer defektsensitiver Flächenanteil an den aktiven Zellen (Kanäle ...)
F_S	Schiebefrequenz beim Boundary-Scan Test
F_T	Testfrequenz des VLSI-Testsystems
F_{TEB}	Testfrequenz des VLSI-Testsystem in Verbindung mit einem Elektronenstrahltester
H_Y	Maschinenlaufzeit pro Jahr
$K(\text{Maschine})$	Anschaffungskosten für Maschine
K_A	durch die Montage defekter Bauelemente verursachte Kosten (ohne Montagekosten)
K_{AC}	Kosten der defekten Module, die beim Endtest erkannt werden.
K_{AZ}	Kosten der defekten Module, die bei Tests zwischen den Montageschritten erkannt werden.
K_C	durchschnittliche Beschaffungskosten pro Bauelement
K_H	Stundensatz für gesamten Testaufbau
$K_H(\text{Maschine})$	Stundensatz für Maschine
K_L	Lithographiekosten für 1 Wafer während eines kompletten Prozeßdurchlaufs
K_{LW}	Kosten pro Lithographieschritt und Wafer
K_M	Maskenkosten
K_{MCM}	Herstellungskosten für das MCM-System ohne Montage- und Personalkosten
K_P	Prozessierungskosten für einen Wafer ohne Lithographiekosten
K_S	Kosten für ein funktional korrektes Substrat
$K_{S\bar{A}}$	Kosten für das Sägen eines Wafers
K_{SY}	Testkosten für den MCM-Endtest
K_{TB}	Testkosten für das unbestückte Substrat
K_{TM}	Kosten für den Test zwischen den Montageschritten

K_{TP}	Kosten des Teilprozesses TP
K_W	Kosten für einen blanken Wafer
N_C	Anzahl der montierten Bauelemente
N_{EP}	Durchschnittliche Anzahl von Endpunkten pro Netz
N_L	Anzahl der benötigten Lithographieschritte
N_{MC}	durchschnittliche Anzahl der Testmuster für den Test eines montierten Bauelementes
N_{MS}	Anzahl der Testmuster für den MCM-Systemtest
N_N	Anzahl der Netze auf dem Substrat
N_S	Anzahl der Substrate pro Wafer
N_{TC}	Anzahl der über Scanzellen im aktiven Substrat testbaren Bauelemente
N_{TP}	Anzahl der Testpunkte auf dem Substrat
N_{TP}	Anzahl der Teilprozesse TP
N_W	Anzahl der prozessierten Wafer
P_A	prozentualer Anteil der aktiven Strukturen an der Substratfläche
T_A	Dauer der Maschinenabschreibung in Jahren
T_{CT}	Dauer einer einzelnen kapazitiven Messung
T_{EB}	benötigte Zeit für den e-beam Test eines einzelnen Netzes
T_{FP}	Verfahrzeit für Flying Probe
T_{MH}	Handlingzeit für MCM-Systeme
T_{RT}	Dauer einer einzelnen resistiven Messung
T_{SY}	Dauer des Systemtests in Sekunden
T_{TB}	Testzeit pro Modul in Sekunden
T_{TM}	Dauer eines einzelnen Tests zwischen den Montageschritten in Sekunden
T_{WH}	Zeit für Waferhandling in Sekunden
T_{WP}	Verfahrzeit für Waferprober in Sekunden
Y_A	Ausbeute des aktiven Anteils am Substrat
Y_S	Ausbeute der MCM-Verdrahtung

1 Einleitung

1.1 Motivation

Verpackungsanforderungen

Aufgrund immer weiter steigender Anforderungen an elektronische Systeme in Hinsicht auf Geschwindigkeit und Zuverlässigkeit und der zunehmenden Anwendung von mobilen elektronischen Systemen, die hohe Packungsdichten und geringes Gewicht erfordern, wurden in den vergangenen Jahren im Halbleiterbereich Technologien entwickelt, die diese Randbedingungen in besonderem Maße berücksichtigen [1][2][3][4]. Insbesondere die immer weiter fortschreitende Miniaturisierung der Transistorstrukturen und die Entwicklung von Mischtechnologien ermöglichen dabei die Fertigung immer komplexerer Schaltungen, sowie einfacher Systeme auf einem Chip.

Mit der Entwicklung dieser Technologien und darauf basierender Schaltungen zeigte sich jedoch auch, daß sich die Lücke zwischen den erreichbaren Strukturabmessungen von Halbleiterbauelementen auf der einen Seite und den Verbindungssystemen der nächsthöheren Systemhierarchiestufe auf der anderen Seite immer mehr vergrößerte. Dadurch können Vorteile, die durch eine hohe Integrationsdichte auf einem Bauteil erhalten werden, wieder zunichte gemacht werden [5]. Zudem ist es wirtschaftlich nicht immer sinnvoll, komplexe Systeme auf einem einzigen Bauteil unterzubringen. Eine Partitionierung in Teilschaltungen und deren separate Fertigung auf weniger komplexen Halbleiterbauelementen kann wesentliche Kostenvorteile bringen, wenn effektive Verbindungstechnologien zwischen den einzelnen Bauteilen zur Verfügung gestellt werden [6][7][8][9][10][11]. Insbesondere in der Einführungsphase neu entwickelter Halbleitertechnologien mit noch geringen Fertigungsausbeuten läßt sich so ein Kompromiß zwischen Wirtschaftlichkeit und Systemleistung finden [12][13][14]. Dabei ist Systemleistung nicht nur auf die reine Rechenleistung zu beziehen, sondern ganz wesentlich auch auf Platzbedarf, Gewicht und Zuverlässigkeit des Gesamtsystems.

Auch für Systeme, die aus Komponenten unterschiedlicher Prozeßtechnologien aufgebaut sind, lassen sich fortschrittliche Verbindungstechnologien vorteilhaft einsetzen. Eine Integration unterschiedlicher Herstelltechnologien in einen einzigen Prozeß bedingt immer einen Kompromiß zu Lasten zumindest eines der beteiligten Einzelprozesse. Daher ist es oft wirtschaftlich sinnvoller, Einzelbauteile in dafür

optimierten Prozeßtechnologien zu fertigen, um diese dann mit Hilfe innovativer Verbindungstechnologien in Systeme mit minimalen Abmessungen zu integrieren.

Aber selbst wenn keine Platz- und Gewichtsbeschränkungen für ein elektronisches System bestehen, kann ein Übergang auf moderne Verbindungstechnologien notwendig werden, wenn erst dadurch andere Randbedingungen wie z.B. Systemleistung erreicht werden können. Gerade durch die Nutzung immer höherer Signalfrequenzen in elektronischen Systemen steigt die Anfälligkeit für elektromagnetische Störungen rapide an. Durch eine Erhöhung der Packungsdichte und damit einer wesentlichen Verkürzung der elektrischen Verbindungen zwischen Komponenten, kann diesen Effekten entgegen gewirkt werden [15].

Verpackungslösungen

Um diesen Anforderungen Rechnung zu tragen, wurden in den neunziger Jahren eine Reihe von Verbindungstechnologien entwickelt, die die erreichbaren Verdrahtungs- und Packungsdichten ganz wesentlich erhöhten [16][17][18][19][20][21][22][23]. Um diese maximal möglichen Packungsdichten zu erreichen, werden zur Bestückung der Systeme ungehäuste Halbleiterbauelemente verwendet [24]. Eine elektrische Verbindung der Bauteile mit dem Substrat erfolgt heute noch überwiegend über Bonddrähte. Da die Flip-Chip Montage in den letzten Jahren jedoch eine rasante Entwicklung erfuhr, ist abzusehen, daß zukünftig diese Montagetechnik marktbeherrschend werden wird [25][26]. Durch die Verwendung ungehäuster Bauelemente für ein solches als Multi-Chip Modul (MCM) bezeichnetes System, wird aus Systemsicht eine Montagehierarchie eliminiert. Dies birgt zusätzlich zu den zuvor genannten Vorteilen noch den positiven Effekt, daß die Zuverlässigkeit des Gesamtsystems erhöht werden kann.

Eine mögliche Klassifizierung der entwickelten Montagetechnologien erfolgt nach dem Herstellungsprozeß für die verbindungstragenden Substrate [27][28][29]. Diese Herstellungsprozesse, die eng mit den verwendeten Substratmaterialien verknüpft sind, beeinflussen im wesentlichen die erreichbaren Verdrahtungs- und Packungsdichten. Eine grobe Einteilung der Basistechnologien erfolgt in laminierte organische Substrate (MCM-L), aus mehreren gemeinsam gebrannten Ebenen bestehende Keramiksubstrate (MCM-C) und Dünnschichtsubstrate (MCM-D). Innerhalb dieser Klassen erfolgt eine weitere Verfeinerung. Einen Vertreter der MCM-D Technologieklasse stellen Substrate auf Siliziumbasis dar. Für diese werden feinste Metalleiterbahnen mit aus der Halbleiterfertigung bekannten Prozeßschritten auf einem Siliziumwafer strukturiert. MCM-D Substrate auf Silizium [30][31][32][33][34][35] bieten gegenüber MCM-L oder MCM-C Substraten mehrere Vorteile wie z.B. :

- Die im Vergleich zu anderen Technologien höchste Packungsdichte hält Verbindungen kurz und ermöglicht daher den Aufbau von Systemen höchster Rechenleistung.
- Die an Siliziumchips angepasste Wärmeausdehnung des Substrates trägt zur höheren Zuverlässigkeit bei.
- Es können passive [36][37] und aktive [38] Strukturen direkt in das Substrat integriert werden (z.B. Widerstände, Kapazitäten, Speicherbänke, Schaltungen zur Testunterstützung, Padtreiber ..).

Testproblematik

Durch die geringen Abmessungen der Leiterbahnen und der Kontaktierungspunkte auf solch hochdichten Substraten ergeben sich Probleme beim Test sowohl der unbestückten Substrate, als auch den aufgebauten MCM-Systemen. Ein Test der unbestückten MCM-Substrate ist im Gegensatz zu manchen herkömmlichen PCB-Platinen unerlässlich, da die Ausbeuten solch fortschrittlicher Fertigungsprozesse in der Regel signifikant unter 100% liegen [39][40][41][42]. Da auch die zu montierenden ungehäusten Chips für Hochleistungs-MCMs in der Regel in der oberen Preisklasse angesiedelt sind, wirkt sich ein defektes Substrat, das erst nach Montage aller Komponenten entdeckt wird, fatal auf die Wirtschaftlichkeit dieser Technologie aus. Der Notwendigkeit zum Test der unbestückten Substrate steht jedoch die Schwierigkeit des Zugangs zu den Substratknoten entgegen. Durch die im Gegensatz zu herkömmlichen Bauelementen große Fläche und der Anordnung der Testpunkte auf der ganzen Fläche des Substrates können die aus der Chipherstellung bekannten Testverfahren nur sehr eingeschränkt genutzt werden. Die Anwendung von Testverfahren zum PCB-Test ist jedoch aufgrund der minimalen Strukturbreiten auf Siliziumträgern auch nicht möglich [43]. In Kapitel 2 werden heute gängige Verfahren zum Test unbestückter Substrate näher erläutert. All diese Verfahren bergen jedoch zum Teil gravierende Nachteile.

Neben dem Test der unbestückten Substrate ist auch der elektrische Test der kompletten MCM-Systeme mit Schwierigkeiten verbunden [44][45][46][47]. Mit konventionellen In-Circuit-Test (ICT) Methoden ist keine Kontaktierung der internen Schaltungsknoten möglich. Die Testprobleme, die bei bestückten MCM-Systemen auftreten sind sehr stark mit der Testproblematik hochkomplexer VLSI-Chips wie z.B. modernen Hochleistungsprozessoren oder Chipsystemen wie z.B. Mikrocontrollern mit einer Vielzahl integrierter Peripheriekomponenten (AD- bzw. DA-Wandler, RAM, CPU ...), vergleichbar. Daher wurden in der Vergangenheit viele Lösungsansätze aus dem Test solcher Komponenten auch zum Test von MCM-Systemen genutzt [48][49][50][51][52][53][54][55][56][57][58]. Die Schwierigkeit dabei ist jedoch, daß im Gegensatz zu Entwicklungen im VLSI-Bauteilbereich, ein MCM-Systementwickler in der Regel keinen Einfluß auf die

schaltungstechnische Realisierung von Einzelkomponenten des Systems nehmen kann. Daher ist die Verfügbarkeit testunterstützender Möglichkeiten auf MCM-Systemebene nicht immer gegeben.

1.2 Ziel der Arbeit

In der Arbeit soll eine Alternative zu den bisher genutzten Testverfahren für siliziumbasierte MCM-Substrate erarbeitet werden, die sowohl einen Test der unbestückten Substrate ermöglicht, als auch Testhilfen für die Prüfung des bestückten MCM Systems zur Verfügung stellt. Dies wird durch eine Integration aktiver Teststrukturen in das Siliziumsubstrat erreicht. Diese Teststrukturen basieren im wesentlichen auf Boundary-Scan (BS) Zellen, die jedoch an die speziellen Anforderungen des Substrattests mit Rücksicht auf die MCM-Systemfunktion angepaßt wurden. In der Arbeit soll sowohl die Einordnung dieses Verfahrens bezüglich der MCM-Gesamtkosten im Vergleich zu bisher genutzten Verfahren erfolgen, als auch die Anwendbarkeit dieser Methodik nachgewiesen werden.

Zwar erfolgten bereits mehrere Veröffentlichungen über aktive Substrate [59][60][61][62][63][64][65][66], die zum Teil auch Substrattestmöglichkeiten über BS-Zellen vorsehen, diese gingen jedoch bisher immer von konventionellen BS-Ansätzen aus, die bei einer Integration in das Substrat signifikante Nachteile für die MCM-Systemleistung mit sich bringen. Im Rahmen dieser Arbeit soll eine für den Einsatz auf MCMs optimierte Testmethodik erarbeitet werden, die im Normalbetrieb für das MCM-System transparent erscheint und wesentliche Vorteile im Bezug auf erreichbare Systemleistung und Zuverlässigkeit gegenüber den bislang implementierten Verfahren mit sich bringt.

1.3 Gliederung der Arbeit

Nach einer Darstellung des Standes der Technik im Bereich des Tests unbestückter Substrate erfolgt die Beschreibung eines im Rahmen der Arbeit erstellten Kostenmodells. Dieses Modell dient in einem ersten Schritt dazu, unterschiedliche Fertigungstechnologien und Schaltungstechniken für aktive Substrate zu vergleichen und eine Auswahl hieraus für die weiteren Kostenbetrachtungen zu treffen.

Nach der Festlegung einer Kombination aus Fertigungstechnologie und Schaltungstechnik erfolgt eine Erweiterung des Modells. Diese Erweiterung verfolgt das Ziel, die Kosteneinflüsse bisher genutzter Testmethoden für unbestückte Substrate mit

der in dieser Arbeit vorgeschlagenen Testmethode zu vergleichen. Daneben werden mit Hilfe des Modells geeignete Anwendungsgebiete der betrachteten Testmethoden identifiziert.

Daran anschließend werden die speziellen Anforderungen an die Testschaltungen insbesondere im Vergleich zu herkömmlichen Boundary-Scan Anwendungen dargelegt. Aus diesen Anforderungen ergeben sich Vorschläge zur Realisierung der Testschaltungen. Die Anbindung dieser Testschaltungen an kommerzielle Boundary-Scan Testsysteme, sowie die zweistufige Evaluierung der Testmethodik wird beschrieben.

2 Multichip Modul Substrattest - Stand der Technik

Die Aufgabe bei der Prüfung der unbestückten Substrate besteht darin, Defekte wie Unterbrechungen in Leiterbahnen bzw. Kurzschlüsse unterschiedlicher Netze zu erkennen und zu lokalisieren [67]. Außerdem müssen auch hochohmige Verbindungen sowohl auf identischen Netzen, als auch zwischen unterschiedlichen Netzen erkannt werden. Eine Prüfung des Substrates vor der Bestückung ist wesentlich, da hierdurch hohe Arbeits- und Materialkosten eingespart werden können, die entstehen, wenn Bauelemente auf defekte Träger montiert werden. In der Vergangenheit wurden einige Lösungsansätze zum Test von unbestückten Siliziumsubstraten gemacht [68][69][70][71][72][73][74], die jedoch entweder im Hinblick auf Kosten oder Geschwindigkeit und Testsicherheit Nachteile aufweisen. Im wesentlichen können diese Vorschläge in kontaktierende und kontaktlose Testverfahren unterteilt werden. Bei kontaktierenden Testmethoden werden elektrische Kontakte vom Testsystem zum Prüfling hergestellt. Dies erfordert mechanischen Aufwand und verändert die Eigenschaften des Substrates an den Testpunkten (Nadelabdrücke ...), während bei kontaktlosen Testmethoden kein elektrischer Kontakt über mechanische Komponenten hergestellt wird und der Prüfling daher seine mechanischen Eigenschaften unverändert beibehält. Im folgenden werden die wichtigsten Vertreter dieser beiden Klassen beschrieben.

2.1 Kontaktierender Test

Eine Unterteilung der kontaktierenden Testverfahren kann in adapterlose und adaptive Testverfahren erfolgen. Adapterlose Verfahren verwenden frei bewegliche Nadeln in sogen. Flying Probe Testsystemen [75] bzw. bewegen einen xyz-Tisch unter fest positionierten Nadeln [76]. Diese Systeme wurden ursprünglich entwickelt, um eine flexible Testumgebung für den Test von Leiterplatten und sonstigen Verbindungsträgern in kleinen Stückzahlen zur Verfügung zu stellen. Sehr bald zeigte sich, daß die freie Positionierung der Kontaktnadeln insbesondere für Substrate mit extremen Unterschieden zwischen minimalen Strukturabmessungen und Flächenausdehnung gegenüber Testadaptern teilweise Vorteile bietet. Diese Vorteile sind besonders ausgeprägt, falls durch die Fertigung bedingte Schwankungen der Testpunktpositionen auf dem Substrat auftreten oder Testpunkte extrem dicht auf dem Substrat plaziert sind. In diesen Fällen ist die Herstellung eines Testadapters nicht rentabel, da nicht immer ein verlässlicher

Kontakt zwischen Adapter und Prüfling hergestellt werden kann bzw. die Einhaltung der notwendigen Fertigungstoleranzen für den Adapter zu hohen Herstellungskosten führt, die nur für sehr große Substratstückzahlen kompensiert werden können. Demgegenüber steht der im Vergleich zum adaptiven Test geringe Durchsatz von Flying Probe Testsystemen, der diese Systeme nur für den Test kleiner Stückzahlen als geeignet erscheinen läßt. Hauptgrund für die langsame Testgeschwindigkeit der Flying Probe Testsysteme sind die mechanisch zu bewegenden Kontaktiernadeln. Die Nadelverfahrenzeiten dominieren hier die Testzeit. Durch eine geeignete Planung der Verfahrenswege für einen Test [77][78] lassen sich die hierfür benötigten Zeiten zwar minimieren, jedoch nicht in dem Ausmaß, das für einen Test großer Stückzahlen nötig wäre.

2.1.1 Flying Probe Testsysteme

Im Bereich der Flying Probe Testsysteme haben sich in den letzten Jahren im wesentlichen zwei Testverfahren durchgesetzt. Diese Verfahren basieren auf der Messung der Kapazität bzw. des elektrischen Widerstandes einzelner Substratnetze. Andere auf Flying Probe Testsystemen aufsetzende Testmethoden sind z.B. die Methode des Latent Open Tests, die Analyse des Reflexionsverhaltens von Netzen oder die Methode des Resonanztests. Daneben existieren auch noch firmenspezifische Verfahren, die entwickelt wurden, um die Testzeiten zu minimieren. Diese Testverfahren werden in den folgenden Kapiteln dargestellt. Als Beispiel eines firmenspezifischen Verfahrens erfolgt die Erläuterung der von der Firma atg test systems GmbH, einem Hersteller von Flying Probe Testsystemen, patentierten Feldmeßmethode.

2.1.1.1 Kapazitiver Test

Beim kapazitiven Testverfahren erfolgt die Messung der Kapazität eines Substratnetzes bezogen auf eine Referenzelektrode [79][80][81]. Im Falle von siliziumbasierten Substraten kann als Referenzelektrode die Waferrückseite bzw. die metallische Auflagefläche des Wafers im Testsystem verwendet werden. Damit ist die Messung der Kapazität des jeweiligen Netzes mit nur einer Kontaktspitze möglich. Eine PASS/FAIL Entscheidung für jedes Netz wird durch den Vergleich des gemessenen Wertes mit einem Referenzwert durchgeführt. Dieser Referenzwert kann entweder durch Messungen an einem bekannt guten Substrat ermittelt werden oder aus den CAD-Daten für das Substrat errechnet werden. Der Vorteil der kapazitiven Testmethode liegt in der linearen Abhängigkeit der Testzeit von der Zahl der zu prüfenden Netze auf dem Substrat. Werden Testsysteme mit mehreren beweglichen Kontaktnadeln eingesetzt, so können diese völlig unabhängig voneinander Netze kontaktieren und somit die Testzeit wesentlich verkürzen. Ein entscheidender Nachteil der Testmethode ist, daß nicht alle

möglichen Fehlerklassen, die auf einem Substrat auftreten können, erkannt werden. So ist z.B. die Detektion von hochohmigen Verbindungen oder niederohmigen Unterbrechungen (fast unterbrochene Netze) nur eingeschränkt möglich, da bei der Kapazitätsbestimmung kein statischer Stromfluß durch das zu prüfende Netz erfolgt.

2.1.1.2 Resistiver Test

Während des resistiven Tests werden die Widerstände der einzelnen Netze und die Widerstände zwischen unterschiedlichen Netzen auf einem Substrat bestimmt [27][28]. Die gemessenen Werte werden mit erwarteten Widerstandswerten verglichen. Diese werden wie beim kapazitiven Test ebenfalls durch Messungen an einem bekannt guten Substrat oder durch Berechnung aus den CAD-Daten des Substrates bestimmt. Durch Widerstandsmessungen lassen sich sämtliche Kurzschlüsse, Leiterbahnunterbrechungen und hochohmigen Verbindungen auf einem Substrat auffinden. Der Nachteil dieser Testmethode besteht jedoch in der mit der Anzahl der Netze quadratisch wachsenden Testzeit, da zur Prüfung auf Kurzschlüsse zwischen unabhängigen Netzen ein einzelnes Netz gegen alle anderen Substratnetze getestet werden muß. Die Testzeit kann zwar ebenfalls durch den Einsatz mehrerer beweglichen Kontaktspitzen reduziert werden, es sind jedoch bereits für die Durchführung einzelner Messungen bereits zwei Kontaktspitzen notwendig. Dies führt dazu, daß die vorhandenen Nadeln nicht vollständig unabhängig voneinander bewegt werden können. Es lassen sich daher selbst bei Verwendung der schnellsten bisher verfügbaren beweglichen Probenadeln, die 50 Kontaktierungen pro Sekunde durchführen können, keine vertretbaren Testzeiten auf komplexen Substraten erreichen. Daher wird diese Testmethode meist nur zur Verifikation eines golden device oder in Kombination mit anderen unsichereren Testmethoden angewendet.

2.1.1.3 ATG-Feldmeßmethode

Wie bereits erwähnt besteht der Hauptnachteil der resistiven Meßmethode darin, daß keine schnelle Kurzschlußprüfung stattfinden kann, da für die Überprüfung eines einzelnen Netzes die serielle Kontaktierung aller weiteren Netze oder zumindest eines Teils davon erforderlich ist. Die ATG-Feldmeßmethode reduziert die Zahl der für eine Substratprüfung notwendigen Messungen drastisch und erzielt so eine wesentlich geringere Testzeit als ein konventioneller resistiver Test. Mit der Meßmethode ist die Mehrfachkontaktierung einzelner Prüfpunkte, wie sie bei der resistiven Messung notwendig ist, überflüssig. Dazu werden die Substratnetze in Antennennetze und zu messende Netze klassifiziert. Die Antennennetze werden durch je eine Nadel kontaktiert. Über diese Nadeln werden Signale in diese Antennen eingespeist. Bei jeder Signaleinspeisung in eines dieser Netze wird mit einer weiteren Nadel eine Messung an einem zu

prüfenden Netz durchgeführt. Jedes der zu prüfenden Netze hat für die gewählte Antennenkonfiguration einen charakteristischen Signalverlauf, der sich durch Defekte des zu prüfenden Netzes oder eines der Antennennetze zu anderen Netzen, verändert. Die Auswertung dieses Signalverlaufes wird zur PASS-FAIL Entscheidung genutzt. Während die Kontaktierung der Antennennetze beibehalten wird, werden die zu prüfenden Netze seriell kontaktiert. Dabei kann ein noch zu prüfendes Netz mit einer Nadel angefahren werden, während ein weiteres Netz mit einer anderen Nadel geprüft wird. In Bild 1 ist beispielhaft ein Substrat mit acht Netzen dargestellt. Vier dieser Netze werden als Antennen genutzt, an den vier anderen Netzen wird der Signalverlauf gemessen.

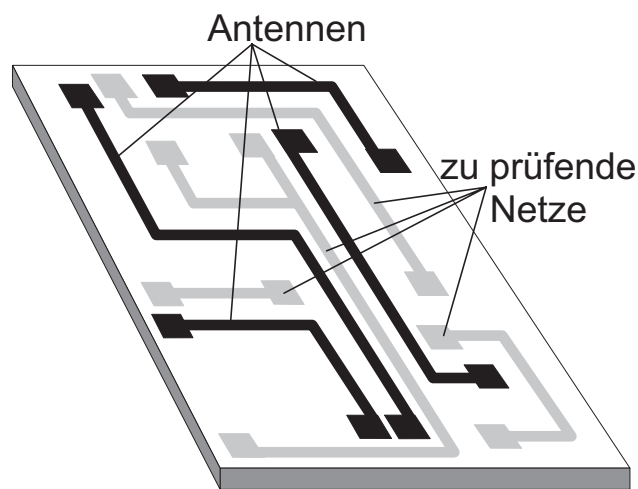


Bild 1 : Substrat mit Antennen und zu prüfenden Netzen

Der Test dieses Substrates läuft folgendermaßen ab :

- 1.vier Nadeln kontaktieren je einen Testpunkt der Antennen
- 2.eine weitere Nadel kontaktiert das zu prüfende Netz
- 3.nacheinander werden Signale an je einer der Antennen eingespeist; für jede Einspeisung wird das Signal am zu prüfenden Netz gemessen
- 4.während des Tests wird mit einer sechsten Nadel das nächste zu prüfende Netz angefahren
- 5.der Algorithmus wird ab 2. so lange wiederholt, bis alle Netze getestet sind

Mit diesem Testalgorithmus und dem gegebenen Substrat erhält man so für jedes der vier zu prüfenden Netze vier unterschiedliche Meßwerte, die charakteristisch für das zu prüfende Netz und die Antennenkonfiguration sind. Ein möglicher Signalverlauf dieser Tests ist in Bild 2 dargestellt.

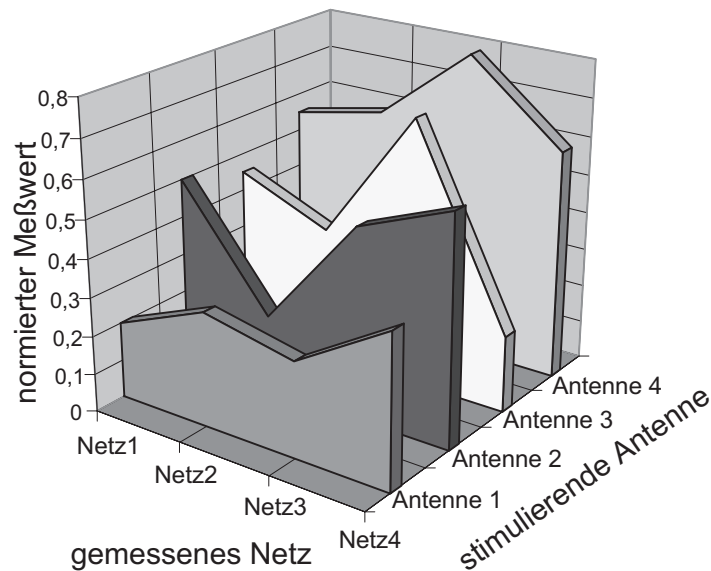


Bild 2 : möglicher Meßwertverlauf der atg-Feldmeßmethode

Abweichungen der Meßwerte auf unterschiedlichen Substraten deuten auf einen Defekt im Substrat hin. Treten Differenzen zu den erwarteten Werten auf allen zu prüfenden Netzen auf, so ist ein Defekt in einem der Antennennetze wahrscheinlich. Treten Differenzen auf nur einem Teil der zu prüfenden Netze auf, so liegt der Defekt in diesen selbst.

2.1.1.4 Latent Open Testing

Eine wesentliche Defektklasse, die durch konventionelle kapazitive bzw. resistive Tests nicht immer erkannt wird, stellen latente Leitungsunterbrechungen dar. Dabei handelt es sich z.B. um Haarrisse in Leiterbahnen aber auch um Leiterbahneinschnürungen oder Partikeleinschlüsse im Metall. Diese Art von Defekten kann sich unter Umständen erst nach einer gewissen Betriebszeit des MCMs auswirken und so die Zuverlässigkeit negativ beeinflussen. Halperin et al. [82] entwickelten die sogen. Latent Open Testmethode, mit der diese Defektklasse bereits beim Test des unbestückten Substrates erkannt werden kann. Dazu wird ein Substratnetz mit zwei Nadeln kontaktiert. In das Netz werden dann Ströme eingespeist, die aus einem Gleichstromanteil und Wechselstromanteilen zweier unterschiedlichen Frequenzen bestehen. Die Spannungsdifferenz zwischen den beiden Kontaktierpunkten wird beobachtet. Sind nun Defekte der zuvor

aufgeführten Art im Netz vorhanden, so machen diese sich in einer Nichtlinearität der Strom-Spannungsabhängigkeit bemerkbar, da an den Stellen der latenten Unterbrechung eine stärkere Temperaturerhöhung und schnellere Abkühlung als bei defektfreien Leiterbahnen den Leitungswiderstand nichtlinear beeinflusst. Diese Beeinflussung macht sich unter anderem in einer Verschiebung der Phasenlage der Frequenzanteile des gemessenen Spannungsverlaufs bemerkbar. Durch die Auswertung der Phasenlage eines dieser Frequenzanteile und deren Vergleich mit einem von einem bekannt guten Substrat erhaltenen Wert, kann eine PASS/FAIL Auswertung für dieses Netz durchgeführt werden. Dieses Verfahren weist im wesentlichen dieselben Nachteile bezüglich der Testzeit wie der resistive Test auf, da auch hier mit zwei Nadeln gearbeitet werden muß. Da Kurzschlüsse zwischen Netzen mit diesem Verfahren nicht erkannt werden, ist es als Ergänzung zu einem weiteren Testverfahren, das diese Defektklasse detektiert, zu sehen.

2.1.1.5 TDNA

Bei TDNA-Messungen (Time Domain Network Analysis) werden hochfrequente Signalimpulse in ein Netzwerk eingespeist. Die Reflexionen dieser Impulse am Einspeisepunkt sowie die Signalabschwächung an einem weiteren Kontaktierpunkt des Netzes werden aufgenommen und ausgewertet [83][84]. Jedes Substratnetzwerk besitzt ein typisches Reflexions- und Abschwächungsverhalten, das sich durch Defekte verändert. Die für ein defektfreies Netz erwarteten Reflexions- und Übertragungsfaktoren können bei Kenntnis des Substrataufbaus, d.h. der verwendeten Materialien und der geometrischen Abmessungen, berechnet werden. Eine PASS/FAIL Entscheidung kann aufgrund eines Vergleichs der gemessenen mit den erwarteten Werten erfolgen. Zur Durchführung dieser Testmethodik ist wie beim resistiven Test eine Kontaktierung des Substrates an zwei Endpunkten eines Netzes gleichzeitig nötig. Wird auf einen Teil der Testschärfe verzichtet, so kann auch eine Kontaktierung mit nur einer Nadel erfolgen und lediglich das Reflexionsverhalten eines Netzes bestimmt werden. Ein wesentlicher Nachteil dieser Testmethode ist, daß aufgrund der sehr kurzen Verbindungslängen auf MCM-Substraten Meßfrequenzen im Bereich von 40 Ghz bis 70 GHz notwendig sind. Dies wirkt sich nicht nur auf die Kosten der benötigten Geräte aus, sondern auch auf die Anforderungen und damit die Kosten der Prüflingsadaption. Daher hat dieses Verfahren im Bereich des MCM-Tests bislang keine Verbreitung gefunden, sondern wird im MCM-Bereich hauptsächlich für die Charakterisierung des Geschwindigkeitsverhaltens von Substrattechnologien eingesetzt.

2.1.1.6 Resonanztest

Mit dieser Testmethode, die von Kim et al. [85] vorgestellt wurde, erfolgt eine Detektierung von Defekten in Verbindungsnetzwerken über die Verschiebung der Resonanzfrequenz eines Schwingkreises unter dem Einfluß eines mit dem Schwingkreis verbundenen Substratnetzes. Dieser Einfluß auf den Schwingkreis unterscheidet sich für defekte und defektfreie Netze. In ein Netz wird über einen Schwingkreis mit bekannter Resonanzfrequenz ein Signal eingespeist. Dazu ist nur eine einzelne Kontaktiernadel notwendig. Über die Analyse der Frequenzantwort am Einspeisepunkt und einem Vergleich mit den zuvor berechneten erwarteten Frequenzantworten für defektfreie Netze kann eine PASS/FAIL Entscheidung durchgeführt werden. Bestehen zwischen dem Amplitudenfrequenzgang des Antwortsignals und dem berechneten Amplitudenfrequenzgang signifikante Unterschiede, so ist ein Defekt vorhanden. Wird zusätzlich dazu auch noch die Phasenlage der Signalantwort mit der für ein fehlerfreies Netz berechneten Phasenlage verglichen, so kann eine Aussage darüber getroffen werden, ob es sich bei dem Defekt um eine Leiterbahnunterbrechung oder einen Kurzschluß zu einem anderen Netz handelt. Diese Methode hat gegenüber dem zuvor vorgestellten TDNA-Verfahren den Vorteil, daß mit wesentlich geringeren Frequenzen gearbeitet werden kann.

2.1.2 Testadapter

2.1.2.1 Membranprobeadapter

Membran-Probekarten werden im Halbleiterbauelementetest eingesetzt, wenn hohe Testgeschwindigkeiten beim Wafertest erreicht werden müssen, oder wenn Kontaktpunkte über die gesamte Bauelementfläche verteilt sein können. Membran-Probekarten bestehen meist aus einem Polyimidfilm, auf den in Dünnschichtverfahren Leiterbahnen aufgebracht sind [86][87]. Diese Leiterbahnen sind zum einen über ein entsprechendes mechanisches Interface mit dem Testsystem verbunden und besitzen zum anderen an ihren Endpunkten bumps, über die die Testpunkte auf dem Bauelement bzw. Substrat kontaktiert werden können [88]. Somit können alle Netze des Substrates gleichzeitig getestet werden, was geringste Testzeiten sichert. Es sind jedoch für diese parallele Prüfung der Netze Testsysteme mit sehr hohen Pinzahlen (1000 bis 3000 Pins) notwendig. Die Anforderungen an die Testsysteme können dadurch etwas abgeschwächt werden, daß Testkanäle über Multiplexer nacheinander an verschiedene Testpunkte auf dem Substrat geschaltet werden, was jedoch wiederum die Testzeit und die Komplexität des Testaufbaus bzw. des Testsystems erhöht. Ein weiterer Nachteil von Membran-Probekarten ist, daß sie deutlich teurer sind, als herkömmliche Nadelkarten und daß sie speziell für jeden Substratentwurf neu gefertigt werden müssen. Aufgrund

dieser Kosten und aufgrund der Kosten, die für ein entsprechendes Testsystem aufgewendet werden müssen, scheint die Anwendung dieser Testmethode daher nur für den Test sehr großer Substratstückzahlen sinnvoll zu sein, zumal Testsysteme mit derart hohen Pinzahlen z.Zt. nur als VLSI Testsysteme kommerziell zu erwerben sind. Diese sind jedoch mit wesentlich mehr Funktionalität ausgestattet, als zum Substrattest eigentlich notwendig ist, so daß ein Großteil der Testmöglichkeiten überhaupt nicht genutzt werden kann, aber beim Erwerb eines solchen Testsystems trotzdem bezahlt werden muß.

2.1.2.2 Buckling beam Test

Diese Testmethode stellt eine Weiterentwicklung aus dem PCB-Test dar. Für den Test von PCBs werden die Testpunkte auf den Platinen durch Federkontaktstifte, die in einer Führung vertikal fixiert werden, kontaktiert und so mit einem Testsystem verbunden. Da solche Federkontaktstifte jedoch in Größen, wie sie zum Substrattest notwendig wären nicht verfügbar sind, und auch weitere Probleme, wie sehr hoher Kontaktdruck und Planaritätsprobleme zu erwarten wären, entwickelte IBM basierend auf diesem Konzept eine auf den Substrattest bzw. den Chiptest angepaßte Methode, Substrate zu kontaktieren. Bei Verwendung dieser buckled beam interface genannten Kontaktierungsmethode werden dünne Drähte in Löchern in mehreren Siliziumsubstratschichten geführt. Die Drahtspitzen stehen etwas über die letzte Substratschicht hinaus. Die einzelnen Substratschichten sind so gegeneinander verschoben, daß sich die Drähte zwar frei bewegen können, jedoch im Falle eines Drucks gegen die Drahtspitzen im Substrat zur Seite wegknicken können. Dadurch werden Planaritäts- und Kontaktdruckprobleme umgangen. Mit diesen freien Drahtspitzen findet die Kontaktierung mit dem Prüfling statt. An den gegenüberliegenden Drahtenden erfolgt die Verbindung zum Testsystem. Diese Testmethode hat dieselben Vor- und Nachteile, wie der Test über Membran-Probekarten. Es sind teure Testsysteme notwendig, um die maximale Testgeschwindigkeit zu erreichen und auch die teuren Drahtaufnahmen müssen für jedes Substratdesign neu angefertigt werden.

2.2 Kontaktloser Test

2.2.1 Optischer Test

In vielen Fällen werden Substrate heute noch ausschließlich optisch geprüft. Es stehen leistungsfähige Bildverarbeitungssysteme [89] zur Verfügung, die hohe Stückzahlen in kurzer Zeit mit den Daten eines golden device bzw. den Layout-Daten vergleichen können. Der Nachteil dieser Systeme liegt jedoch darin, daß die elektrischen Eigenschaften der Substrate, die für die Funktion von entscheidender Bedeutung sind, nicht geprüft werden können. So werden nur offensichtliche Kurzschlüsse und Leiterbahnunterbrechungen detektiert. Hochohmige Verbindungen, die z.B. durch zu geringe Schichtdicken entstehen können, werden nicht detektiert. Außerdem ist z.B. eine Überprüfung einer korrekten Funktion aller vertikalen Verbindungselemente eines Netzes nicht möglich. Gerade die Strukturierung dieser Vias ist aber einer der kritischen Prozeßschritte, der wesentlichen Einfluß auf die Substratausbeute hat. Wie man also sieht ist eine alleinige visuelle Prüfung der Substrate nicht ausreichend, um eine gesicherte Endkontrolle der hergestellten Substrate durchzuführen. Sie ist jedoch sehr gut geeignet, um im Herstellungsprozeß selbst die Ergebnisse vieler Einzelprozeßschritte direkt nach deren Durchführung zu überprüfen, und so schon frühzeitig Prozessierungsprobleme zu identifizieren. Eine spezielle Ausführung des optischen Tests stellt der Test über Röntgentestsysteme dar, der jedoch weniger für den Test von unbestückten Substraten genutzt wird, sondern hauptsächlich zur Prüfung der Verbindungen zwischen Chip und Substrat [90].

2.2.2 E-beam Test

Der Schaltungstest von Halbleiterbauelementen mittels Elektronenstrahltestsystemen ist eine breit akzeptierte und ausgereifte Testmethode, die insbesondere in der Fehleranalyse eingesetzt wird. Auch zum Test von unbestückten MCMs läßt sich diese Methode einsetzen und wurde bereits erprobt [91][92][93]. Der Ablauf eines Substrattests im Elektronenstrahltester wird im folgenden beschrieben.

In einem ersten Schritt werden alle Netze entladen. Ein zu testendes Netz wird mittels des Elektronenstrahls aufgeladen. Ist das Netz vollständig geladen, werden alle Endpunkte dieses Netzes auf ihren Ladungszustand hin geprüft und das Potential der Endpunkte mittels der Potentialkontrastmethode sichtbar gemacht. Ist einer der Endpunkte nicht auf dem Potential der anderen Punkte dieses Netzes, so besteht eine

Leitungsunterbrechung. Das nächste zu prüfende Netz wird zunächst auf seinen Ladungszustand hin überprüft. Ist das Netz bereits geladen, so muß von diesem Netz eine elektrische Verbindung zu einem zuvor bereits geladenen Netz bestehen. Diese Verbindung kann lokalisiert werden, indem alle Netze auf dem Substrat entladen werden. Daran anschließend wird das aktuelle Netz geladen und alle anderen Netze auf ihren Ladungszustand hin überprüft, bis das kurzgeschlossene Netz detektiert wird. Wird bei der Ladungsprüfung jedoch festgestellt, daß sich keine Ladung auf dem Netz befindet, so kann derselbe Test wie auf dem Netz zuvor stattfinden.

Der Vorteil der Elektronenstrahltestmethode ist, daß keinerlei mechanische Bewegung des Substrates während des Tests notwendig ist. Mit speziell für den MCM-Test entwickelten Elektronenstrahltestern können die Elektronenstrahlen in einem genügend großen Bereich abgelenkt werden, so daß die Netze mit sehr hoher Geschwindigkeit getestet werden können. Der geschwindigkeitslimitierende Faktor ist bei dieser Testmethode die Ladezeit für die einzelnen Netze. Da die Netzkapazitäten über einen Elektronenstrahl niedriger Energie geladen werden müssen, sind Ladezeiten von 20 bis 30 ms pro Netz keine Seltenheit. Gravierendere Nachteile dieser Testmethode sind jedoch die hohen Maschinenkosten und die Schwierigkeiten bei der Detektion hochohmiger Verbindungen. Außerdem ist der Aufbau des zum Test notwendigen Vakuums zeitaufwendig. Dieser Nachteil kann jedoch durch konstruktive Anpassungen wie zum Beispiel Ladeschleusen, die während eines laufenden Tests bestückt und evakuiert werden, umgangen werden.

2.3 Test über aktive Substrate

Während in den vorangegangenen Unterkapiteln Testmethoden beschrieben wurden, die bereits zum Test von MCM-Substraten eingesetzt werden, soll in diesem Unterkapitel auf Testmethoden eingegangen werden, die zur Umsetzung auf aktive Substrate geeignet erscheinen. Diese Testmethoden beruhen im wesentlichen auf Vorschlägen und Standards zur Verbesserung der Testbarkeit von Systemen unter Nutzung von Ressourcen auf den Systemkomponenten.

2.3.1 System-on-Chip Testmethoden

Durch die immer weitergehende Fortentwicklung der Herstelltechnologien für Halbleiterschaltungen, ließ sich in den vergangenen Jahren die Integration kompletter Systeme in ein einziges IC immer einfacher realisieren. Dadurch begünstigt entstand eine Vielzahl neuer Firmen, die ihr Wissen in Form von integrierbaren Schaltungsteilen wie

z.B. Mikroprozessoren, Speichern, digitalen Signalprozessoren, AD-Wandlern u.v.m. an Systemintegratoren verkaufen. Diese Schaltungsteile, die sogen. Cores werden dann von den Systemintegratoren auf einem einzelnen Chip zu einem Gesamtsystem, dem System-on-Chip (SoC), integriert [94][95].

Gemeinsamkeiten zwischen SoC und MCM-Systemen

Die prinzipielle Vorgehensweise bei der Entwicklung eines SoC ist durchaus mit der Entwicklung eines Systems auf PCB- oder MCM-Basis vergleichbar. Es werden Komponenten aus einer Bauteil- bzw. Core-Bibliothek platziert und sinnvoll miteinander verbunden. Im Gegensatz zu klassischen Systemen hat ein SoC-Integrator jedoch einen wesentlich flexibleren Zugang zu den platzierten Komponenten, da mit geringem Flächenaufwand anwendungsspezifische Schaltungsteile zwischen den Cores realisiert werden können. Dadurch ergibt sich automatisch eine sehr enge Verwandtschaft zu MCM-Systemen, die aktive Siliziumsubstrate verwenden. Auch im Bezug auf die Testbarkeit weisen SoCs und MCMs wesentliche Ähnlichkeiten auf. Bei beiden Ansätzen erschwert die große logische Tiefe des Gesamtsystems und die Unzugänglichkeit interner Verbindungsnetze den Systemtest bzw. den Test der Systemkomponenten. Da auch für SoCs eine Testaufgabe darin besteht, die korrekte elektrische Verbindung zwischen den Systemkomponenten sicherzustellen, lassen sich Testansätze aus dem SoC-Bereich auch für den Test unbestückter aktiver Substrate verwenden, wenn die entsprechenden Testhilfen direkt in das Substrat integriert werden.

Unterschiede zwischen SoC und MCM-Systemen

Neben allen Gemeinsamkeiten zwischen SoCs und MCMs auf aktiven Siliziumsubstraten gibt es jedoch auch wesentliche Unterschiede im Bezug auf die Ziele und Schwerpunkte der durchgeführten Tests zwischen diesen beiden Ansätzen. So steht bei der Verbesserung der Testbarkeit eines SoCs im wesentlichen der vollständige Test der einzelnen Cores im Vordergrund, da diese Systemkomponenten ihren ersten Test, mit vom Core-Lieferanten bereitgestellten Testmustern, als bereits integrierte Komponenten erfahren. Der Komponententest ist zwar auch für MCM-Systeme wichtig, die hier verwendeten Bauteile haben jedoch bereits zumindest einen Wafertest (i.a. jedoch deutlich verschärfte Tests) beim Hersteller hinter sich. Damit kann davon ausgegangen werden, daß offensichtliche Herstellungsfehler (z.B. Kurzschlüsse, Haftfehler o.ä) auf diesen Komponenten nicht vorhanden sind. Im wesentlichen sollten beim Komponententest auf MCMs Montagefehler detektierbar sein und die Fehlerlokalisierung während des Systemtests unterstützt werden, um eventuelle Reparaturen durchführen zu können. Wesentlich höheres Gewicht als beim SoC-Test

liegt beim MCM-Test auf der Verifikation der Verbindungen zwischen den Systemkomponenten, die bei MCM-Systemen deutlich größere Leitungslängen aufweisen als bei SoCs. Aufgrund dieser Unterschiede wird klar, daß die Testansätze für SoCs deutlich von Gesichtspunkten des Bauteiltests getrieben werden, während der Test von MCM-Systemen sich eher am In-Circuit-Test orientiert. Ein weiterer wesentlicher Unterschied zwischen SoC-Cores und MCM-Komponenten besteht in der Zugänglichkeit und Kontrollierbarkeit der Core- bzw. Bausteinsignale. Während sich die für MCMs verwendeten nackten Chips von ihren verpackten Pendants im Bezug auf ihr elektrisches Interface nur in seltenen Fällen unterscheiden, sind die Core-Interfaces oft speziell für einen SoC-Einsatz ausgelegt. Dadurch wird dann z.B. die Richtungsinformation eines bidirektionalen Signales der Core-Außenwelt zugänglich gemacht oder das bidirektionale Interface sogar nach außen hin aufgelöst und durch je ein separates Eingangs- und Ausgangssignal ersetzt, da damit die Gefahr von Buskonflikten im System minimiert werden kann. Ein weiteres Beispiel für eine solche Anpassung wäre auch die externe Kontrollierbarkeit, bzw. die vollständige Eliminierung von Tristate-Signalen. Chipinterne Tristatebusse stellen eine nicht zu unterschätzende Fehlerquelle dar, die auch in konventionellen IC-Designs häufig zu Gunsten eines gemultiplexten Busses vermieden wird.

Die Eignung der Ansätze zum Test eines SoC für den MCM-Test mit Hilfe aktiver Substrate soll am Beispiel der Arbeiten der IEEE P1500 Arbeitsgruppe [96][97] erörtert werden. Dieses Expertengremium soll den Entwurf für einen Standard zum Test von SoCs erarbeiten. Dabei soll neben der Architektur der Testhilfen auch eine Testbeschreibungssprache für Cores standardisiert werden. Des Weiteren erfolgen im Rahmen der Arbeitsgruppe auch Untersuchungen bezüglich geeigneter Benchmark-SoCs und die Definition SoC-spezifischer Begriffe. Die Ergebnisse der IEEE P1500-Arbeitsgruppe stellen repräsentativ die unterschiedlichen Ansätze zum SoC-Test dar, da bei dem Entwurf des Standards darauf geachtet wird, daß dieser flexibel bleibt, um möglichst viele der bisher entwickelten SoC-Testansätze abzudecken.

SoC Teststandard P1500

Der Standardentwurf [98] sieht vor, die einzelnen Funktionsgruppen eines SoC über virtuelle Sockel zugänglich zu machen. Diese virtuellen Sockel sollen die Funktion realer Sockel nachbilden, d.h. die Ein- und Ausgänge eines Cores sollen über die integrierten Testhilfen zugänglich gemacht werden. Der Einsatz dieser Testhilfen ermöglicht dabei den Betrieb eines Cores in vier verschiedenen Modi. Im Normalbetrieb sind die Testhilfen für das SoC transparent und haben keinen Einfluss auf die Funktionalität des Systems. Ein Test von einzelnen Cores erfolgt im Core-Testbetrieb, während die

Verbindungen der Cores untereinander im Verbindungstest-Modus geprüft werden können. Der vierte Modus, der vorgesehen ist, isoliert einen Core vom Rest des Systems, um den Test der an diesen Core angeschlossenen Schaltungsteile zu vereinfachen. Neben den Schaltungsteilen, die zur direkten Umsetzung der Testmodi an den Core Ein- und Ausgängen vorgesehen sind, beinhaltet der Standardentwurf auch Schaltungsteile zum Testdatentransport in das System hinein und aus dem System heraus und zur Kontrolle der Testmodi. Die Schnittstelle zur Außenwelt soll laut Standardentwurf kompatibel zum IEEE1149.1 (Boundary-Scan) Standard sein.

Zur Integration auf Substraten erscheinen die Vorschläge des IEEE P1500-Standardentwurfes weniger geeignet zu sein, da der zur Realisierung notwendige Schaltungsumfang relativ groß ist. Aus Ausbeutegründen sollte bei der Integration von Testhilfen in das Substrat jedoch darauf geachtet werden, daß der notwendige Schaltungsumfang möglichst klein gehalten wird. Ein weiteres Problem für die Integration in das Substrat stellt die Umgebung dar, für die der Standard definiert werden soll. Auf einem Chip hat man, wie zuvor bereits erwähnt, wesentlich bessere Zugangsmöglichkeiten zu Core-Signalen, als dies auf Substratebene für den Zugang zu Chipsignalen gilt. So sieht der Standard-Entwurf z.B. nur eine sehr eingeschränkte Unterstützung von bidirektionalen Signalen oder Tristatesignalen vor [99]. Solche Signale werden auf Chipebene und damit auch für SoCs kaum verwendet, da mit diesem Typ von Signalen Fehlerquellen implementiert werden, die mit wenig Aufwand auf Chipebene umgangen werden können. So werden z.B. in ICs, wie zuvor beschrieben, meist gemultiplexte Busse als Tristateersatz verwendet bzw. bidirektionale Signalpfade für jede Datenflußrichtung separat ausgeführt, um Fehlerquellen wie doppelte Stimulation bzw. fehlende Stimulation zu eliminieren. Auf MCM-Ebene stellen jedoch bidirektionale und tristatefähige Signale ganz wesentliche Signaltypen dar, da hier mit Systemkomponenten gearbeitet wird, wie sie auch in herkömmlich aufgebauten PCB-Systemen verwendet werden. Die Umsetzung von Testverfahren auf aktive Substrate erscheint daher für Vorschläge, die anstatt vom IC-Test wie die SoC-Ansätze vom In-Circuit-Test getrieben sind, sinnvoller.

2.3.2 Boundary-Scan unterstützter Test

Im Zuge einer immer weiter fortschreitenden Miniaturisierung elektronischer Baugruppen, vor allem durch den Übergang von bedrahteten auf SMD-Bauteile, zeigte sich Ende der 80er Jahre, daß die bis dahin verwendeten Methoden zur Kontaktierung von Baugruppen während des In-Circuit-Tests teilweise an ihre technischen Grenzen stießen. In den Adaptern, die das Testsystem mit den baugruppeninternen Schaltungsknoten verbinden, kommen Federkontaktstifte zur Anwendung wie dies in Bild 3

dargestellt ist. Diese eignen sich hervorragend zur direkten Kontaktierung der Beinchen bedrahteter Bauelemente von der Lötseite einseitig bestückter Baugruppen her.

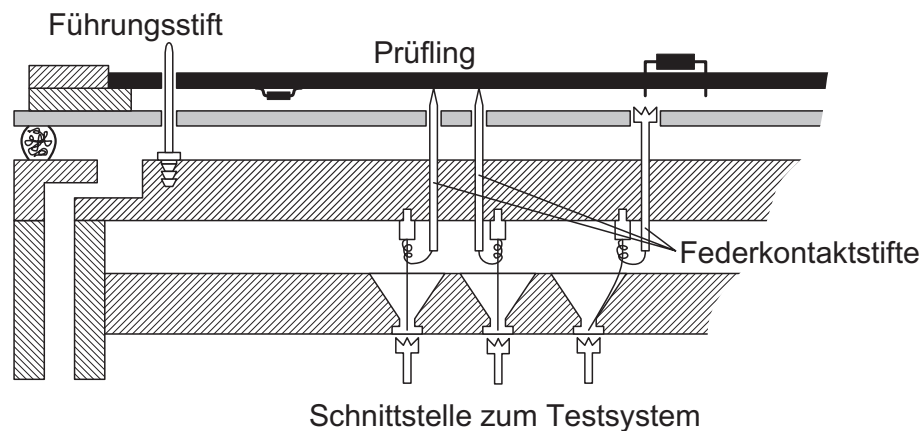


Bild 3 : Schnitt durch ICT-Adapter

Die Verwendung von SMD-Bauteilen brachte den Vorteil einer höheren Packungsdichte nicht nur durch eine Verringerung der Bauteilabmessungen, sondern auch dadurch, daß durch die Oberflächenmontage eine beidseitige Bestückung von Baugruppen möglich und sinnvoll wurde. Dadurch ergaben sich jedoch auch für die Kontaktierung interner Signale Zugangsprobleme, da eine auf eine Baugruppenseite beschränkte Leiterbahnführung als auch eine komplette Überdeckung einer Leiterbahn durch Bauelemente möglich ist. Die Verringerung der Beinchenabstände von SMD-Bauteilen spielt für den In-Circuit-Test eine eher untergeordnete Rolle, da eine Netzkontaktierung nicht unbedingt am Bauteil selbst erfolgen muß, sondern z.B. auch an Durchkontaktierungen oder speziellen Testpads erfolgen kann.

In den letzten Jahren wurde die Problematik des Schaltungsnetzzuganges für den In-Circuit-Test noch dadurch weiter verschärft, daß neue Verpackungsformen wie z.B. Ball Grid Arrays (BGA) immer mehr Anwendung finden und auch die Entwicklung der Fertigungsprozesse für Leiterplatten weiter voranschreitet. Im Bezug auf die Baugruppentestbarkeit tragen hier insbesondere Fertigungsprozesse, die den Einsatz vergrabener vertikaler Verdrahtungsebenen ermöglichen, zur Problemstellung bei.

Um diesen Testproblemen zu begegnen, erarbeitete die Joint Test Action Group (JTAG) einen Regelsatz zum Entwurf integrierter Schaltungen, der 1990 in den IEEE/ANSI 1149.1 Standard (Boundary-Scan oder BS-Standard) mündete. Eine detaillierte Beschreibung dieses Standards ist im Anhang zu finden.

passive Substrate

Boundary-Scan wurde, wie zuvor bereits erwähnt, ursprünglich für den Einsatz beim In-Circuit-Test entwickelt. Hier liegt der Schwerpunkt weniger auf einer Funktionsprüfung der montierten Bauteile, sondern vielmehr in einer Prüfung der Korrektheit von Verbindungen zwischen den montierten Komponenten. So kann mit Hilfe des EXTEST Befehls relativ einfach die Verbindung zwischen zwei Boundary-Scan fähigen Komponenten geprüft werden. Im IEEE1149.1-Standard wurde darauf geachtet, daß auch bei nur teilweiser Bestückung von Baugruppen mit Boundary-Scan Komponenten ein Optimum an Testbarkeit erreicht wird. Es ist beispielsweise möglich in einem sogenannten Clustertest wie er in Bild 4 dargestellt ist, eine ganze Gruppe von Bauteilen, die von Boundary-Scan fähigen Komponenten umgeben sind, mit Hilfe des EXTEST-Befehls zu prüfen.

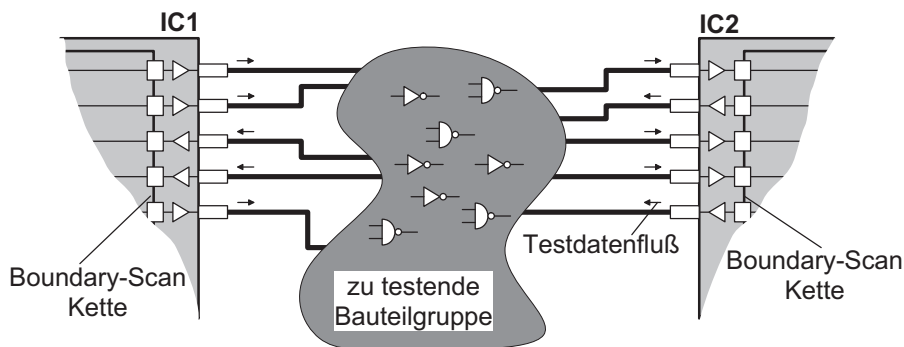


Bild 4 : Darstellung eines Clustertests

Ein weiterer Vorteil der Verwendung von Boundary-Scan Komponenten liegt in der Reduktion der Zustände, in denen das In-Circuit-Testsystem Ausgänge von Bauteilen mit Hilfe hoher Leistung der Testsystemtreiber überschreiben muß. Dies ist immer dann der Fall, wenn Ausgänge eines Bauteils nicht über das Testsystem kontrollierbar sind, ein Test der Platinen- oder Substratleitung, die mit diesem Ausgang verbunden ist, jedoch trotzdem notwendig ist. Dadurch, daß mit Hilfe von Boundary-Scan die Kontrollierbarkeit einzelner Bauteile und Bauteilsignale wesentlich erhöht wird, können diese Fälle minimiert werden. Dadurch werden die Bauteile während des Tests weniger stark beansprucht, was die Lebensdauer und Zuverlässigkeit der Baugruppen steigert.

Für den Test von MCM-Substraten gelten im wesentlichen dieselben Vorgaben wie für den Test von Baugruppen, die auf herkömmlichen Bauteilträgern aufgebaut sind [100]. Eine wesentliche Verschärfung der Randbedingungen wird bei MCM-Systemen jedoch durch die geringen geometrischen Abmessungen verursacht. Während bei SMD-Systemen die Hauptmotivation für den Einsatz von Boundary-Scan im wesentlichen bei der Vereinfachung der Zugangsmöglichkeiten zu verdeckten oder einseitigen Schaltungs-

knoten lag, ist bei MCM-Systemen der Zugang zu Schaltungsknoten überhaupt ein Problem. Mechanische Testadapter für bestückte MCM-Systeme sind wenn überhaupt nur unter einem nicht zu vertretenden Kostenaufwand herzustellen. Daher müssen für MCMs Verbesserungen der Testbarkeit auf elektrischen Wege erreicht werden. Boundary-Scan stellt hierfür ein exzellentes Hilfsmittel zur Verfügung [101][102][103][104].

aktive Substrate

Boundary-Scan im herkömmlichen Sinne verwendet, stellt lediglich ein Testhilfsmittel für bestückte MCM-Systeme dar. Ein Test des unbestückten Substrates ist weiterhin mit den in Kapiteln 2.1 und 2.2 bereits beschriebenen Testansätzen notwendig. Für siliziumbasierte MCM-Substrate besteht jedoch die Möglichkeit, die BS-Zellen direkt in das Substrat zu integrieren. Der Vorteil der BS-Architektur im Bezug auf die Substratintegration liegt darin, daß die Komplexität der zu integrierenden Schaltungsteile relativ gering ist und Freiheiten bezüglich der Designauslegung unter Einhaltung der Vorgaben des Standards vorhanden sind. Damit erhält man die Möglichkeit trotz eventuell notwendiger Anpassungen die vorhandene Testinfrastruktur nutzen zu können. Bei entsprechender Designauslegung können die BS-Zellen im Substrat dann sowohl zum Test des unbestückten Substrates als auch zur Unterstützung des MCM-Systemtests genutzt werden [105]. In den folgenden Kapiteln wird für diese Möglichkeit der Testbarkeitsoptimierung eine Kosten- sowie eine schaltungstechnische Betrachtung angestellt.

3 Kostenmodellierung

Zur Durchführung eines Kostenvergleichs zwischen MCM-Systemen, die auf passiven bzw. aktiven Siliziumsubstraten basieren, wurde ein modulares Kostenmodell für die MCM-Herstellung erstellt [106]. Dieses Modell dient insbesondere dazu, neben dem Vergleich der Gesamtsystemkosten unterschiedliche Herstelltechnologien sowie Schaltungstechniken für die Implementierung der aktiven Substrate zu betrachten. Außerdem soll ein Vergleich bisher gängiger Testansätze mit dem Test über aktive Substrate mit diesem Modell durchgeführt werden. Das Kostenmodell besteht aus den folgenden Modulen :

- 1) Substratherstellung
- 2) Test des unbestückten Substrates
- 3) Chipmontage
- 4) MCM-Systemtest

Ein modulares Konzept wurde gewählt, weil dadurch Kombinationen verschiedener Ansätze in den Einzelmodulen relativ leicht kombiniert und verglichen werden können. Zudem ist eine Optimierung der einzelnen Herstellungsschritte möglich, da der Einfluß der einzelnen Module auf die Systemkosten auch in Abhängigkeit der Eingangsparameter für die Einzelmodule bestimmt werden kann. In den nachfolgenden Kapiteln sind die Einzelmodule und die aus der Kostenmodellierung erhaltenen Ergebnisse dargestellt.

3.1 Herstellungskosten

3.1.1 Herstelltechnologie und Schaltungstechnik

Sowohl die Herstellungskosten aktiver Siliziumsubstrate als auch die elektrischen Eigenschaften der in das Substrat integrierten Schaltungsteile werden im wesentlichen durch die Kombination der verwendeten Herstelltechnologie und der verwendeten Schaltungstechnik vorgegeben. Die Bestimmung der für aktive Substrate am besten geeigneten Kombination erfolgte in zwei Schritten. Zunächst führten prinzipielle Überlegungen zur Eignung unterschiedlicher Schaltungstechniken in Einzeltechnologien für das verfolgte Testkonzept bereits zu einer Auswahl der genauer zu betrachtenden Kombinationen. In einem weiteren Schritt wurden für die verbleibenden Optionen in Simulationen charakteristische Parameter bestimmt, die dann in das Modul zur Modellierung der Substratherstellungskosten eingingen. Die wesentlichen Parameter der

einzelnen Kombinationen aus Technologie und Schaltungstechnik, die in diesem zweiten Schritt bestimmt wurden, waren die maximale Schaltgeschwindigkeit und der Flächenbedarf. Sämtliche Simulationen wurden mit Inverterketten nach Bild 5 durchgeführt. Diese Inverterketten bestanden aus jeweils neun Invertern der betrachteten Schaltungstechnik in der jeweiligen Herstelltechnologie und einem die Kette abschließenden statischen CMOS-Inverter. Der CMOS-Inverter diente dazu, die Simulationsergebnisse der unterschiedlichen betrachteten Kombinationen aus Technologie und Schaltungstechnik vergleichbar zu machen. Als kapazitive Lasten zwischen den Einzelinvertern wurden 50fF angenommen. Der abschließende CMOS-Inverter wurde mit 1pF belastet.

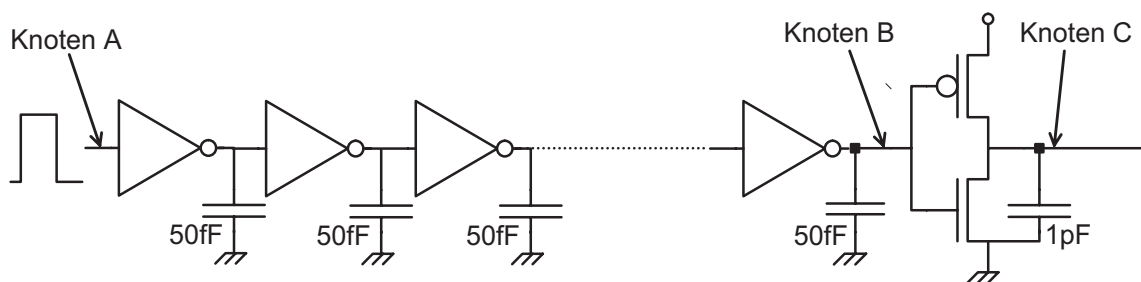


Bild 5 : für die Simulationen verwendete Inverterkette

Um eine relative Flächenabschätzung der betrachteten Kombinationen bei zumindest ähnlichen Schaltgeschwindigkeiten zu erhalten, wurde zunächst die maximale Schaltfrequenz der betrachteten Kombinationen aus Technologie und Schaltungstechnik bei gleichen Transistorabmessungen bestimmt. Dazu wurde die Frequenz eines symmetrischen Eingangstaktes (Knoten A) so lange erhöht, bis die Spannungswerte am Ausgang des letzten CMOS-Inverters (Knoten C) maximal 1V für den Low-Pegel und noch mindestens 4V für den High-Pegel betragen. Danach wurden Simulationen aller Inverterketten bei der niedrigsten zuvor bestimmten Frequenz durchgeführt. In diesen Simulationen wurden die Transistorabmessungen für die einzelnen Kombinationen so lange verringert, bis entweder wiederum die Grenzwerte 1V bzw. 4V oder die Grenzen der Designregeln erreicht wurden. Das W/L-Verhältnis der Transistoren und die relativen Abmessungen der verwendeten Transistoren untereinander wurde dabei so lange wie möglich beibehalten. Beim Erreichen eines durch die Designregeln vorgegebenen Grenzwertes wurde der betroffene Geometriewert beibehalten, während die anderen Werte ohne Rücksicht auf die dadurch entstehende Signalform (Symmetrie, Anstiegs- und Abfallzeiten) weiter verringert wurden. Nachdem keine weitere Verringerung der geometrischen Abmessungen mehr möglich war, bzw. die Spannungsgrenzwerte erreicht wurden, erfolgte eine Bestimmung der pro Inverter gegenüber Fertigungsdefekten sensitiven Fläche, die als prozentualer Anteil an der für die Kombination mit dem größten Flächenbedarf ermittelten Fläche ausgedrückt wird. Diese defektsensitive Fläche

geht als wesentlicher Parameter in das Kostenmodell ein, da sie in Kombination mit der Defektdichte der jeweiligen Herstellungslinie die Fertigungsausbeute bestimmt.

Nach der Erstellung des Kostenmodell-Moduls wurde durch die Variation von Schlüsselparametern des Moduls eine endgültige Auswahl der Kombination aus Herstellertechnologie und Schaltungstechnik getroffen. In den weiteren Modellierungsschritten wurde nur noch diese betrachtet. Die Einzelheiten dieses Vorgehens sind in den folgenden Abschnitten beschrieben.

3.1.1.1 Schaltungsvoraussetzungen für das verfolgte Testkonzept

Die zu entwerfenden Scanzellen müssen neben der eigentlichen sample- und hold-Funktion, die während des Tests eingesetzt wird, noch zusätzliche Betriebsmöglichkeiten bieten. Als wesentliche zusätzliche Funktion ist die Möglichkeit vorzusehen, Netze, die mit den parallelen Aus- bzw. Eingängen der Scanzellen verbunden sind, über einen Pullup- bzw. Pulldown-Widerstand oder einen klein dimensionierten Transistor auf ein schwaches High- bzw. Low-Potential zu bringen. Damit kann ein Übersprechen von einem getriebenen Netz auf ein z.B. aufgrund einer Unterbrechung nicht getriebenes Netz verhindert werden. Eine weitere Notwendigkeit ist, die Parallelanschlüsse der Scanzellen in einen hochohmigen Zustand bringen zu können, da nur dadurch die an den Parallelanschlüssen angebrachten Leitungstreiber abgeschaltet werden können, wenn die Zelle im sample-Betrieb arbeitet. Ein letzter wesentlicher Punkt im Bezug auf die Auswahl einer Fertigungstechnologie ist die Fähigkeit der Scanzellen, statisch Ströme treiben zu können. Dadurch können hochohmige Kurzschlüsse und niederohmige Unterbrechungen in gewissem Maß aufgetrennt werden und defekte Substrate repariert bzw. so geschädigt werden, daß eine PASS/FAIL Entscheidung für das Substrat über einen Verbindungstest zweifelsfrei möglich ist. Weitere funktionalen Notwendigkeiten, die allerdings auf die Auswahl einer geeigneten Kombination aus Herstellertechnologie und verwendeter Schaltungstechnik keine Einflüsse haben, sind in Kapitel 4 beschrieben.

3.1.1.2 Technologievorauswahl

In die grundsätzlichen Betrachtung zur Eignung von Herstellertechnologien für aktive Substrate gingen folgende Prozeß- bzw. Schaltungstechniken ein :

- statisches CMOS (CMOS)
- konventionelles NMOS (NMOS)
- enhancement NMOS
- dynamisches NMOS

- dynamisches CMOS
- Pseudo-NMOS

Von diesen Herstelltechnologien schieden nach der Vorauswahl dynamisches CMOS und Pseudo-NMOS für die weiteren Betrachtungen aus. Die Gründe für das Ausscheiden dieser Herstelltechnologien bzw. Schaltungstechniken werden im folgenden näher erläutert.

Pseudo-NMOS

Bei der Pseudo-NMOS Schaltungstechnik erfolgt die Fertigung mit exakt denselben Schritten, die auch in einer konventionellen CMOS-Fertigung durchgeführt werden. Daher ergibt sich von der Herstellungsseite her kein bzw. kein wesentlicher Vorteil gegenüber einem CMOS-Entwurf der Scanzelle. Durch die Verwendung ständig leitender PMOS-Transistoren geringer Abmessungen wie am Beispiel eines Inverters in Bild 6 dargestellt, kann zwar ein geringerer Flächenbedarf erreicht werden, dies wird jedoch mit einer ständig vorhandenen statischen Stromaufnahme erkaufte. Diese, pro Scanzelle relativ geringe statische Stromaufnahme, summiert sich durch die Vielzahl an vorhandenen Scanzellen auf einem Substrat zu Werten, die in den meisten Fällen den Einsatz dieser Technologie als nicht praktikabel erscheinen lassen. Ein weiterer, schwerer wiegender Nachteil von Pseudo-NMOS ist, daß die zuvor aufgeführten Schaltungsvoraussetzung für das verfolgte Testkonzept nur dadurch erreicht werden können, daß sowohl die Leitungstreiber als auch die Pullup-Pulldown Schaltungen der Scanzellen in herkömmlicher CMOS Schaltungstechnik entworfen werden. Daher werden Pseudo-NMOS Realisierungen der Scanzellen nicht weiter betrachtet.

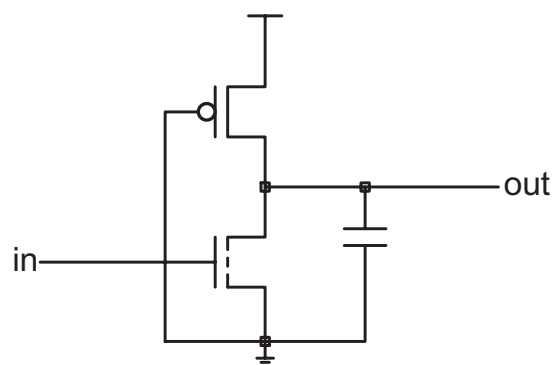


Bild 6 : Pseudo-NMOS Inverter

dynamisches CMOS

Wie Pseudo-NMOS weist auch ein Scanzellenentwurf unter Benutzung dynamischer CMOS Schaltungsteile wie z.B. der Inverter in Domino-Logik nach Bild 7 im Herstellungsablauf keinerlei Unterschied zu einem herkömmlichen CMOS-Entwurf auf. Daneben ist es, wie mit allen betrachteten dynamischen Schaltungsvarianten, nicht möglich, über die Leitungstreiber statische Ströme zu treiben, was eine Einschränkung der Testmöglichkeiten mit sich bringt. Zusätzlich erfordert diese Schaltungsvariante erhöhten Aufwand in der Ansteuerung der Scanzellen, der einen eventuell vorhandenen Flächenvorteil wieder relativiert. Dieser zusätzliche schaltungstechnische Aufwand im Gegensatz zu dazu erreichbaren geringen Flächenvorteilen bei gleichbleibendem Herstellungsaufwand und die eingeschränkten Testmöglichkeiten lassen auch Realisierungen der Scanzellen in dynamischer CMOS Schaltungstechnik aus den weiteren Betrachtungen ausscheiden.

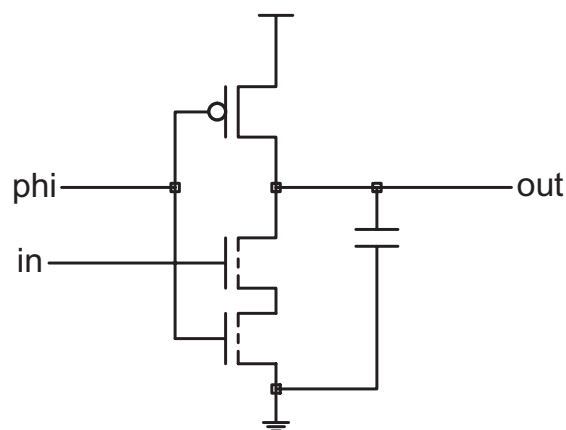


Bild 7 : dynamischer CMOS-Inverter in Domino-Logik

3.1.1.3 Bestimmung der defektsensitiven Fläche

Die verbleibenden Technologien bzw. Schaltungstechniken wurden, wie zuvor bereits beschrieben, Simulationen unterzogen, um für die spätere Modellierung der Herstellungskosten die jeweils defektsensitive Fläche zu erhalten. Die Ergebnisse dieser Simulationen werden in den folgenden Abschnitten dargestellt.

enhancement-NMOS

In dieser Technologievariante werden lediglich selbstsperrende NMOS-Transistoren des Anreicherungstyps genutzt. Dadurch werden die sonst notwendigen Prozeßschritte zur Einstellung der Schwellspannung für die Transistoren des Verarmungstyps eingespart.

Für die Simulationen zur Bestimmung der maximalen Schaltgeschwindigkeit und des Flächenbedarfs wurden zwei Varianten dieser Technologie berücksichtigt. Zum einen eine Variante mit identischen Abmessungen der verwendeten Transistoren und zum anderen eine Variante mit minimalen Abmessungen für den Pullup-Transistor im Inverter (low-power Variante).

Bei den Simulationen zur Bestimmung des Flächenbedarfs zeigte sich, daß die low-power Variante dieser Schaltung den höchsten Platzbedarf hatte und somit im Vergleich zu identischen Transistorabmessungen die niedrigste Schaltfrequenz aller betrachteten Technologien. Der Flächenbedarf der alternativen Variante dieser Herstelltechnologie lag bei 24% der low-power Version, wobei vor Erreichung der gesetzten Grenzpegel die Grenzen der Designregeln erreicht wurden. In Bild 8 ist die Simulation zur Flächenbestimmung dieser Schaltungsvariante zu sehen. Deutlich ist die statische Stromaufnahme sowie die Verschiebung des High-Pegels am Inverterausgang um die Schwellspannung des Pull-Up Transistors nach unten zu erkennen.

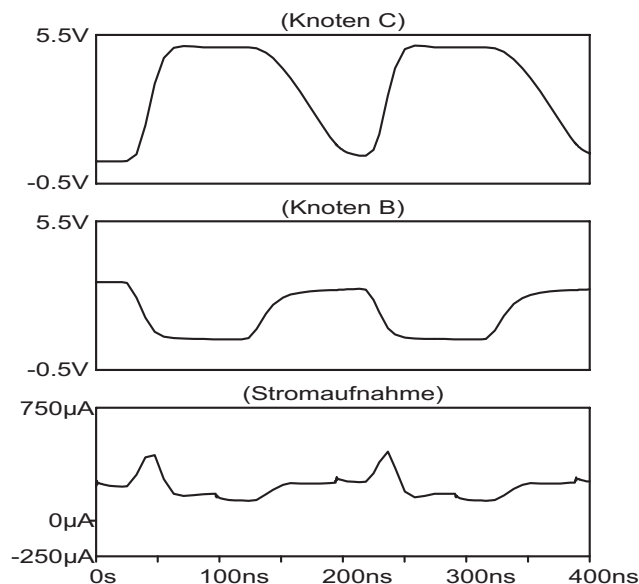


Bild 8 : Simulation zur Flächenbestimmung des enhancement NMOS-Prozesses

konventionelles NMOS

Durch die Verwendung von Transistoren sowohl des Anreicherungs- wie auch des Verarmungstyps in einem konventionellen NMOS-Prozeß können gegenüber der enhancement-NMOS-Variante in der Simulation um 400% erhöhte Schaltgeschwindigkeiten der Inverterkette erreicht werden.

Die Simulation zur Bestimmung des Flächenbedarfs in Bild 9 zeigt deutlich auch die bei einem vollständigen NMOS Prozess vorhandene statische Stromaufnahme der Schaltung und die gegenüber dem enhancement-NMOS Prozeß verbesserten High-Pegel am Ausgang des Inverters. Die Abmessungen der Transistoren sind auch in dieser Simulation an den Designrulegrenzen. Der Flächenbedarf des Inverters, der in einem vollständigen NMOS Prozess gefertigt wird, liegt bei 20% des Flächenbedarfs der enhancement-NMOS low-power Version.

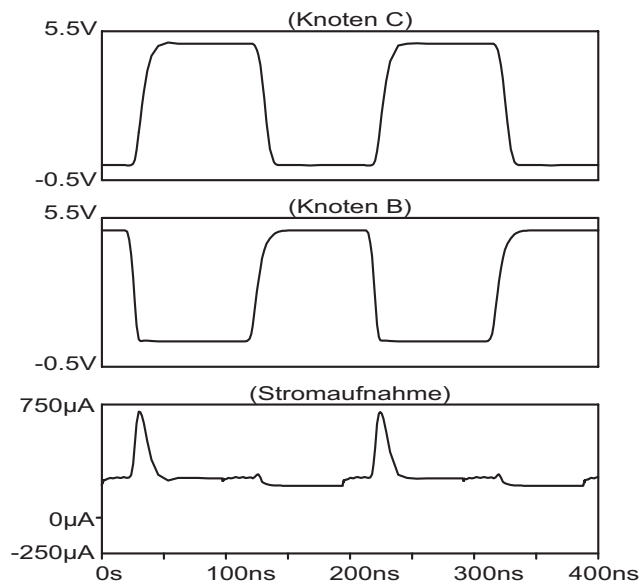


Bild 9 : Simulation zur Flächenbestimmung des NMOS-Prozesses

dynamisches NMOS

Dynamische NMOS-Schaltungen haben wie alle dynamischen Schaltungstechniken den Nachteil, daß statisch kein Stromfluß über die Leitungstreiber in der zu testenden Verbindung erzeugt werden kann. Eine weitere Problematik der dynamischen Schaltungstechnik ist dem Simulationsergebnis zur Bestimmung der defektsensitiven Fläche aus Bild 10 zu entnehmen. Man erkennt hier, daß eine Anbindung dynamischer Schaltungsteile an eine statische CMOS-Technik, wie sie häufig in MCM-Systemen verwendet wird, nicht ohne weiteres möglich ist. Daher wird diese Technologievariante zwar in der weiteren Kostenmodellierung mit betrachtet, aber für einen Einsatz auf aktiven Substraten sind wesentliche Kostenvorteile gegenüber anderen Technologien unabdingbar. Der Flächenbedarf dieser Schaltungsvariante liegt bei 42% der enhancement-NMOS low-power Variante.

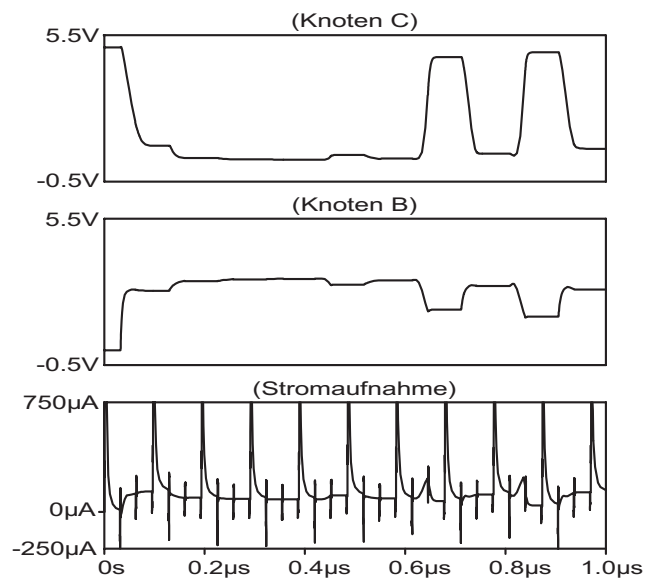


Bild 10 : Simulationsergebnis des dynamischen NMOS-Inverters

statisches CMOS

Die statische CMOS Variante des Inverters benötigt zwar den zur Herstellung aufwendigsten Prozess, allerdings sind Schaltgeschwindigkeit und Flächenbedarf gegenüber den bisher betrachteten Kombinationen aus Technologie und Schaltungstechnik optimal. Es gibt keinerlei Einschränkungen bezüglich der Eignung für das verfolgte Testkonzept.

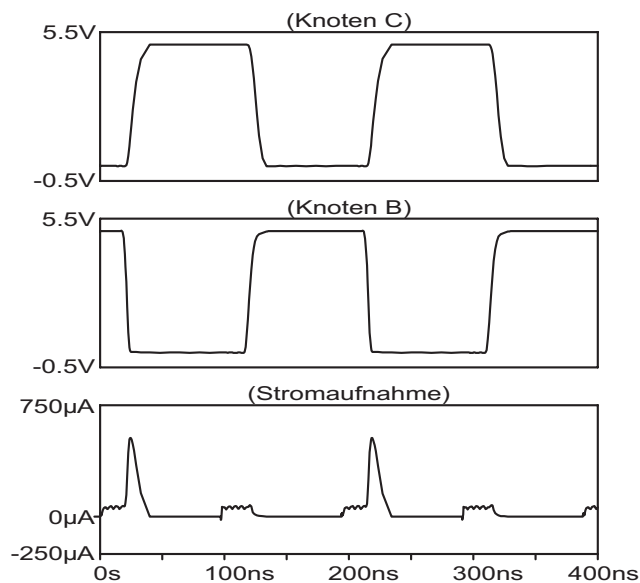


Bild 11 : Simulation zur Flächenbestimmung des CMOS-Prozesses

Die CMOS-Inverter zeigen die ausgeglichene Signalformen aller betrachteten Technologien. Die mit der Simulation nach Bild 11 ermittelten designrulebegrenzten Geometriewerte liegen bei 11% der low-power Inverter, die ausschließlich NMOS-Transistoren des Anreicherungstyps nutzen.

3.1.2 Kostenmodellierung

Die Modellierung der Substratherstellungskosten orientiert sich in erster Linie an den Fertigungsabläufen, die zur Herstellung eines Substrates in der jeweiligen Technologie nötig sind. Der betrachtete Substrataufbau besteht aus einem mehrlagigen Verbindungssystem mit vier Metallagen. Die beiden untersten dieser Metallisierungslagen dienen dabei zur Stromversorgung des MCMs. Für die aktiven Substrate erfolgt im Bereich der integrierten Scanzellen zusätzlich die lokale Verdrahtung der aktiven Strukturen auf der unteren dieser beiden Lagen. Daher ist für diese Substrate ein Strukturierungsschritt auf dieser Ebene notwendig. Für die passiven Substrate kann dieser entfallen und das Metall ganzflächig erhalten bleiben. Die obere dieser beiden Lagen bleibt sowohl für passive als auch aktive Substrate ebenfalls möglichst ganzflächig erhalten. In beiden Fällen ist jedoch ein Strukturierungsschritt notwendig, um eine Isolation der beiden unteren Metallagen entlang der Kanten der Durchkontaktierungen von oberen auf die unterste Metallage zu erhalten. Das Oxid zwischen diesen beiden Stromversorgungslagen wird möglichst dünn gefertigt, um eine substratinterne Pufferkapazität zu erzeugen. Um im Gegensatz dazu eine möglichst geringe Leitungskapazität auf den beiden oberen Signalverdrahtungsebenen zu erhalten, sollte das Isolationsoxid zwischen zweiter und dritter Metallage möglichst dick gewählt werden. Für die Ätzschritte, die Durchkontaktierungen von den unteren beiden Metallagen auf die oberste Metallage herstellen, ist die Dicke dieses Oxides unkritisch, da diese Kontaktierungen der Stromversorgungslagen im allgemeinen eine große Flächenausdehnung haben. In Bild 12 ist ein Schnitt durch einen solchen Aufbau für ein passives Substrat gezeigt.

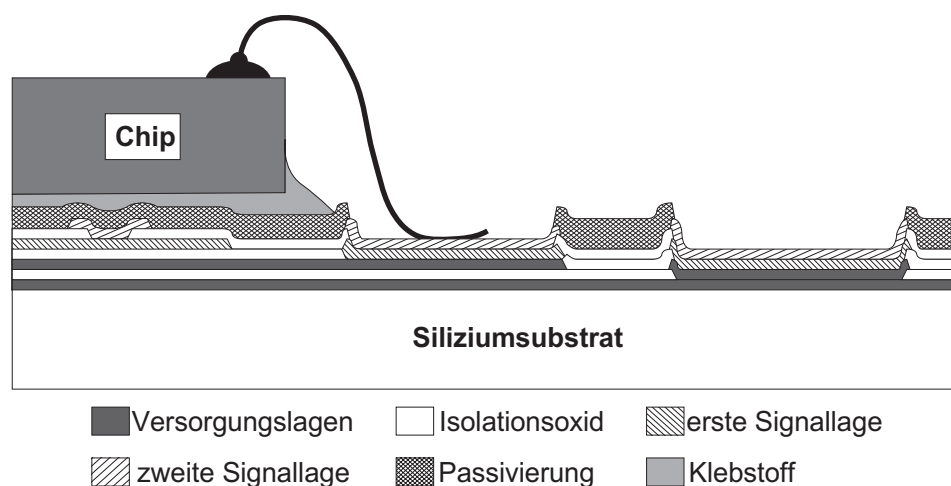


Bild 12 : Schnitt durch ein Siliziumsubstrat mit vier Verdrahtungsebenen

Basierend auf diesem Aufbau wird für jeden der betrachteten Prozesse eine mögliche Prozessabfolge definiert. Dabei werden die Teilprozesse so allgemein gehalten, daß sie in allen betrachteten Technologien auftauchen. Die Aufteilung und Zahl N_{TP} der Einzelprozessschritte pro betrachteter Technologie kann Tabelle 1 entnommen werden. Jedem der identifizierten Teilprozesse werden Kosten K_{TP} zugeordnet. Diese beinhalten Personal- und Maschinenkosten. Diese Kosten werden pro benötigter Maschine auf einen Wafer umgelegt. Damit wird berücksichtigt, daß die Zahl der pro Durchlauf bearbeitbaren Wafer von Maschine zu Maschine variieren kann. Die Prozessierungskosten K_p pro Wafer ergeben sich damit nach Gleichung (1) aus dem Produkt der Zahl an jeweils durchzuführenden Teilprozessen mit den dazugehörigen Kosten, das für alle durchzuführenden Teilprozesse aufsummiert wird.

Tabelle 1: Zahl und Art der betrachteten Teilprozesse

	CMOS	NMOS	NMOS (enhancement)	Passiv
Ablacken	16	14	13	7
ätzen	14	14	14	7
Implantieren	7	5	4	0
Ausheilen	4	3	3	0
Aufwachsen	3	3	3	1
Abscheiden	7	7	7	5
Reinigen	20	18	17	8
sputtern	4	4	4	4

$$K_p = \sum_{\text{alle Teilprozesse } TP} K_{TP} \cdot N_{TP} \quad (1)$$

Ein wesentlicher Kostenfaktor bei der Herstellung von Halbleiterschaltungen ergibt sich aus der für den Prozessdurchlauf notwendigen Zahl an Masken und Lithographieschritten N_L . Für die betrachteten Prozesse ergeben sich hierfür die Zahlen gemäß Tabelle 2.

Tabelle 2 : Zahl der pro Prozess benötigten Lithographieschritte und Masken

	CMOS	NMOS	NMOS (enhancement)	Passiv
Lithographieschritte	16	14	13	7
Masken	14	13	12	7

Im Rahmen des Kostenmodells werden die Maskenkosten K_M auf die Zahl der zu fertigenden Wafer N_w umgelegt, während Lithographie- und Prozessierungskosten pro Wafer berechnet werden. Die Kosten K_w für den Rohwafer, sowie die Sägekosten K_{SA} werden ebenfalls für jeden Einzelwafer berücksichtigt. Die pro Wafer erforderlichen Lithographiekosten K_L ergeben sich nach Gleichung (2). K_{LW} symbolisiert dabei die Kosten pro Lithographieschritt und Wafer.

$$K_L = N_L \cdot K_{LW} \quad (2)$$

Neben den Prozessierungskosten spielt die Ausbeute der aktiven Elemente im Substrat eine ganz wesentliche Rolle für die Kosten des Substrates. Die Modellierung der Ausbeute erfolgt im Kostenmodell durch die Annahme einer Poisson-Verteilung der Defekte. Diese wurde gewählt, da die durchschnittliche Anzahl der Defekte das Ergebnis einer sehr großen Zahl von Defektmöglichkeiten und einer sehr kleinen Defektwahrscheinlichkeit ist. Die Ausbeute der aktiven Strukturen wird damit im Modell von der durchschnittlichen Anzahl an Defekten D pro Wafer, der Anzahl der auf einem Wafer gefertigten Substrate N_s , sowie des prozentualen Flächenanteils P_A der aktiven Strukturen am Gesamtwafer und des prozentualen Anteils der defektsensitiven Teile F_A der integrierten Schaltungen bezogen auf die größte Schaltungsvariante, bestimmt. Damit ergibt sich für die Ausbeute Y_A der aktiven Strukturen Gleichung (3).

$$Y_A = \frac{1}{e^{\frac{D}{N_s \cdot P_A \cdot F_A}}} \quad (3)$$

Der prozentuale Anteil der defektsensitiven Flächen der in das Substrat integrierten Schaltungsteile wurde durch die zuvor durchgeführten Simulationen bestimmt. Die dabei erhaltenen Werte sind in Tabelle 3 zusammengefasst.

Tabelle 3 : Anteil der defektsensitiven Fläche bezogen auf die größte Schaltungsvariante

	CMOS	NMOS	NMOS (enhancement)	Dynamisches NMOS (enhancement)	NMOS (enhancement low-power)
Flächen- anteil	11%	20%	24%	42%	100%

Damit können die Kosten für ein voll funktionsfähiges Substrat nach Gleichung (4) berechnet werden. Zusätzlich zur Ausbeute Y_A der in das Substrat integrierten

Schaltungsteile geht in diese Berechnung auch die Ausbeute Y_s der globalen MCM-Verdrahtung ein. Diese besteht sowohl für aktive als auch für passive Substrate und wird als absoluter Parameter dem Kostenmodell vorgegeben. Damit kann das Kostenmodell auch zur Berechnung der Kosten passiver Substrate herangezogen werden, da hier lediglich die Parameter P_A und F_A zu Null gesetzt werden müssen, was einer Ausbeute von 100% für die in das Substrat integrierten aktiven Elemente entspricht während die Ausbeute der eigentlichen Substratverdrahtung erhalten bleibt.

$$K_S = \frac{K_M + N_W \cdot (K_L + K_P + K_W + K_{S\bar{A}})}{N_W \cdot N_S \cdot Y_A \cdot Y_S} \quad (4)$$

3.1.3 Resultate

Zur Ermittlung der kostengünstigsten Technologievariante für die Herstellung aktiver Substrate wurden vorab auf diesem Modul des Kostenmodells Berechnungen durchgeführt. Als besonders kritischer Parameter erwies sich hierbei, wie zu erwarten war, die Ausbeute der aktiven Strukturen im Substrat. Als Parameter für die Berechnungen wurden acht Substrate pro Wafer angenommen, was beim Einsatz von 6-Zoll Wafern einer Substratkantenlänge von etwa einem Zoll entspricht. Die mit aktiven Komponenten bedeckte Fläche des Wafers wurde mit 33% modelliert. Die Ausbeute der globalen MCM-Verdrahtung wurde auf 100% gesetzt, da in diesen Berechnungsdurchläufen lediglich die Relationen der Technologien untereinander bestimmt werden sollten und nicht die absoluten Kosten der Substrate. Die beiden übrigen Parameter des Modells, nämlich die Zahl der zu produzierenden Wafer und die Anzahl an Defekten pro Quadratcentimeter wurden in einem ersten Berechnungsdurchlauf variiert. Die normierten Ergebnisse für diese Berechnungsdurchläufe sind in Bild 13 bis Bild 17 zu sehen. In den Bildern setzen sich die Kosten aus zwei überlagerten Funktionen zusammen. Für die Abhängigkeit von der Defektdichte dominiert die Exponentialfunktion, die dem Poisson-Ausbeutemodell für den aktiven Teil der jeweiligen Substrate zugrunde liegt. Da in diesen Exponentialanteil die defektsensitive Fläche der betrachteten Herstelltechnologien als wesentliche Komponente mit eingeht, kann man in den Bildern im Bezug auf die Defektdichte signifikante Unterschiede erkennen. Während für die CMOS-Technologie der exponentielle Charakter dieser Funktion im betrachteten Defektdichtebereich noch nicht erkennbar ist, bildet er sich für die anderen Herstelltechnologien abhängig vom jeweiligen Anteil der defektsensitiven Fläche immer deutlicher aus. Bei der zweiten Funktion, die in die Diagramme eingeht, handelt es sich um eine Potenzfunktion, die im wesentlichen durch die Anzahl an Wafern pro Fertigungslos dominiert wird. Aufgrund des Charakters dieser Funktion zeigt sie für sich genommen weniger Abhängigkeit von der verwendeten Herstelltechnologie. Durch die

Überlagerung mit der zuvor beschriebenen Exponentialfunktion ergeben sich jedoch für diese Potenzfunktion unterschiedliche Startbedingungen für jede Herstelltechnologie. In der Summe beider Abhängigkeiten, ergeben die in einem CMOS-Prozess gefertigten aktiven Substrate über den größten Bereich der Defektzahl und Waferzahl die kostengünstigste Alternative, gefolgt vom vollständigen NMOS-Prozess und dem NMOS-Prozess, der nur enhancement-Transistoren nutzt. Dynamisches NMOS und die low-power Variante des enhancement-NMOS Prozesses liefern die am wenigsten kosteneffektiven Substrate. Diese Ergebnisse werden durch die Betrachtung der Substratkosten in Abhängigkeit von der Defektdichte auf dem Wafer in Bild 18 bestätigt. Hier wird der Einfluss der defektsensitiven Fläche pro Herstelltechnologie auf die exponentielle Steigerung der Kosten pro Substrat nochmals verdeutlicht. Für diesen direkten Vergleich der betrachteten Kombinationen aus Herstelltechnologie und Schaltungstechnik wurde von einer typischen Losgröße von 12 Wafern ausgegangen. Auch Berechnungen mit Variationen des Flächenanteils der aktiven Komponenten und der Substratanzahl pro Wafer zeigen in der Tendenz dieselben Ergebnisse. Daher wird zur Schaltungsentwicklung und zur weiteren Kostenuntersuchung der aktiven Substrate jeweils die Verwendung eines CMOS-Prozesses zugrunde gelegt.

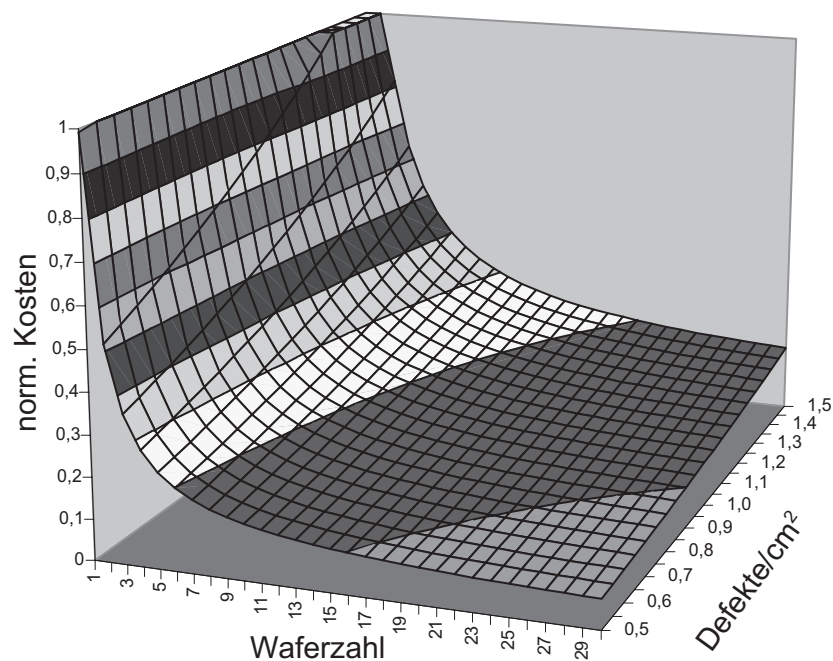


Bild 13 : normierte Substratkosten für CMOS-Prozess

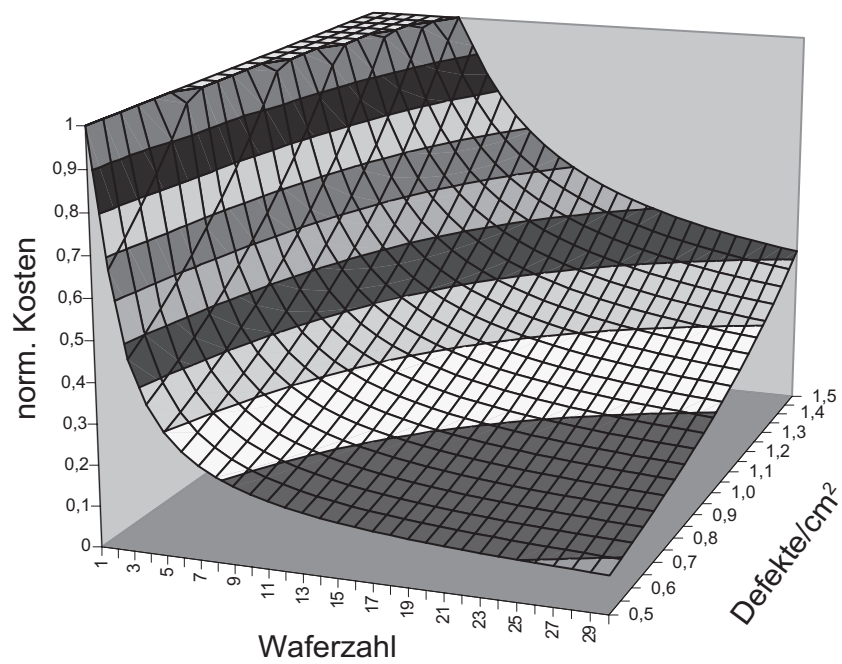


Bild 14 : normierte Substratkosten für vollständigen NMOS-Prozess

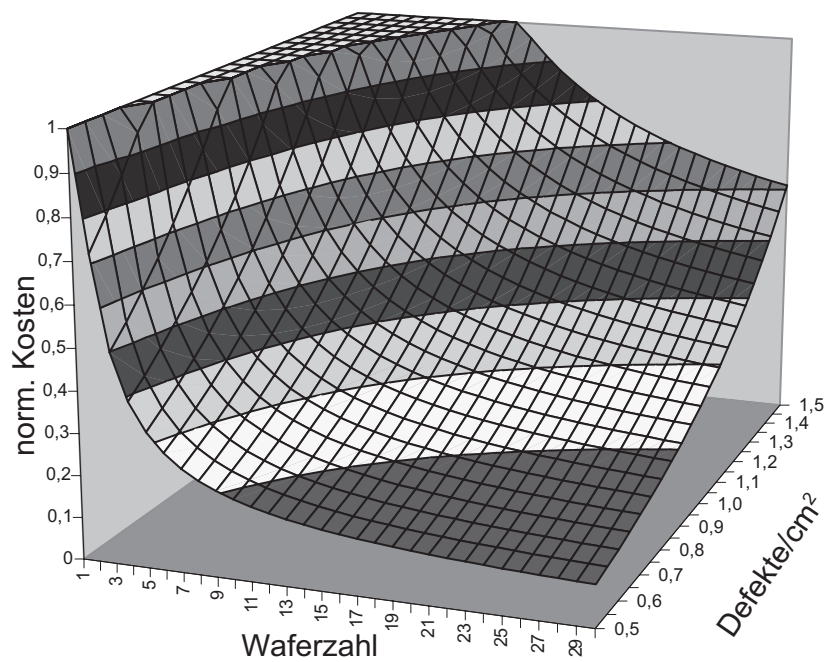


Bild 15 : normierte Substratkosten für enhancement NMOS-Prozess

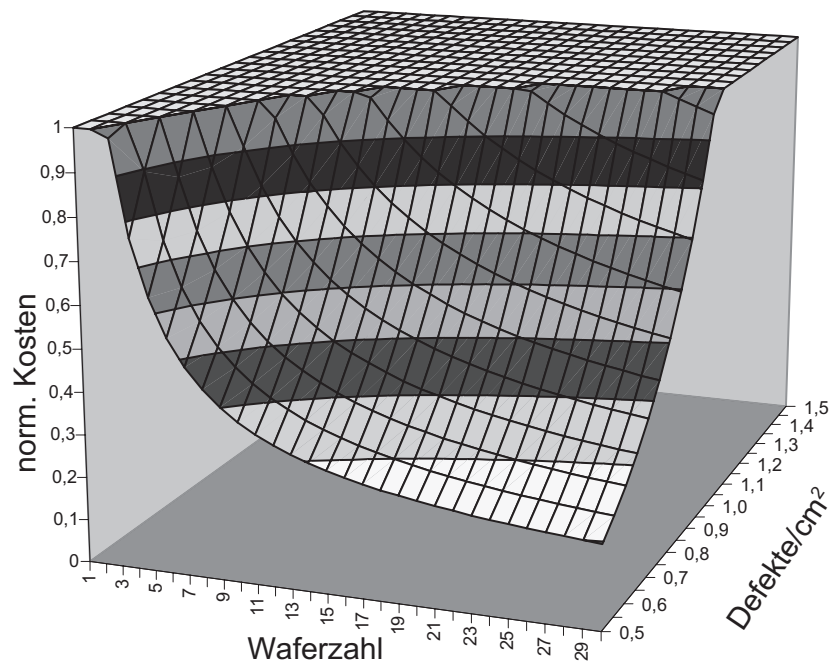


Bild 16 : normierte Substratkosten für dynamischen NMOS-Prozess

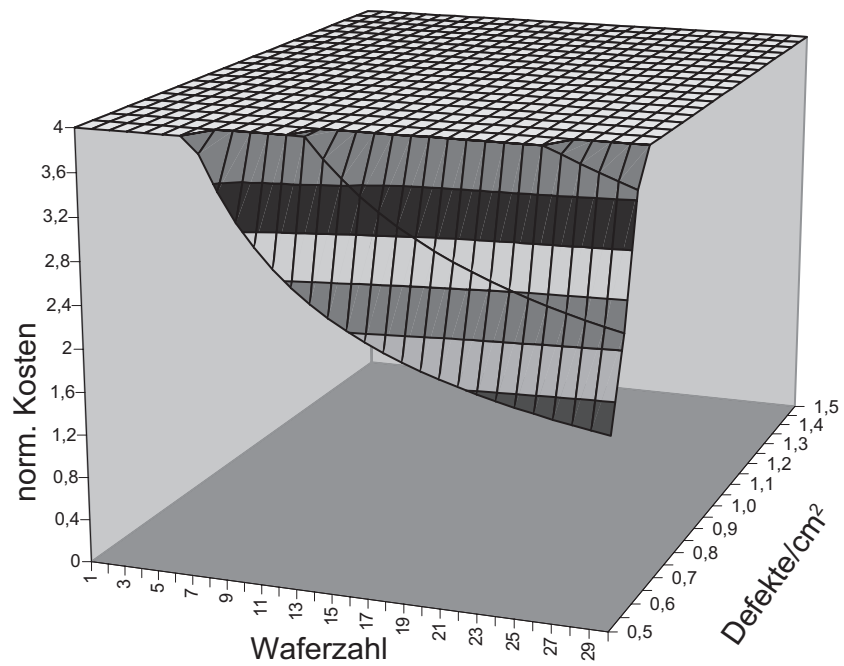


Bild 17 : normierte Substratkosten für low-power enhancement NMOS-Prozess

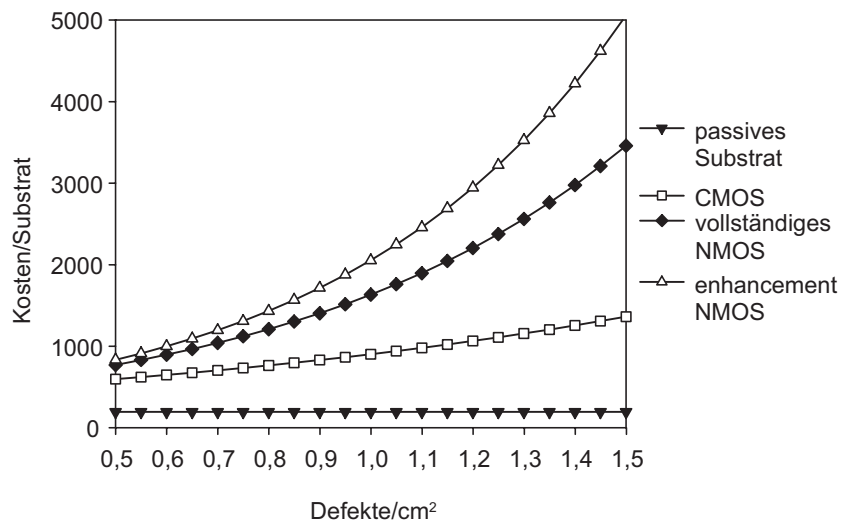


Bild 18 : Substratkosten in Abhängigkeit der Defektdichte

3.2 Substrattest

In diesem Modul des Kostenmodells werden unterschiedliche Verfahren zum Test des unbestückten Substrates betrachtet. Die prinzipielle Durchführung des kapazitiven, resistiven und des e-beam Tests wurden bereits in Kapitel 2.1.1 beschrieben. Für das Kostenmodell werden die detaillierten Abläufe dieser Tests erfaßt und Parameter, die diese Tests beeinflussen, werden identifiziert. Aufgrund der so gewonnenen Erkenntnisse werden die Zeiten T_{TB} , die für die Durchführung der einzelnen Tests benötigt werden, berechnet. Zusammen mit den für die einzelnen Testmethodiken nötigen Investitionskosten für Maschinen und den resultierenden Maschinenstundensätzen K_H können daraus nach Gleichung (5) die entstehenden Testkosten K_{TB} errechnet werden.

$$K_{TB} = \frac{K_H}{3600} \cdot T_{TB} \quad (5)$$

3.2.1 Kapazitiver Test

Der kapazitive Test eines unbestückten Substrates läuft nach folgendem Schema ab :

- 1.verfahre zu nächstem Testpunkt und kontaktiere diesen
- 2.führe Kapazitätsmessung durch und vergleiche gemessenen mit erwartetem Wert
- 3.falls Tests auf Wafer beendet, lade nächsten Wafer
- 4.starte erneut bei 1.

Die Testzeit für den kapazitiven Test setzt sich demnach zusammen aus der Zeit T_{FP} , die benötigt wird um zum nächsten Testpunkt zu verfahren, und der Zeit T_{CT} , die zur Durchführung einer Messung benötigt wird. Die Summe dieser beiden Zeiten wird für jeden Testpunkt, der sich aus dem Produkt der Anzahl der Netze N_N pro Substrat mit der durchschnittlichen Zahl an Netzendpunkten N_{EP} ergibt, benötigt. Die Ladezeit T_{WH} für einen neuen Wafer wird auf die Zahl N_S der Substrate pro Wafer umgelegt und zur Testzeit des Einzelsubstrates addiert. Damit ergibt sich die Testzeit pro Substrat nach Gleichung (6).

$$T_{TB} = (N_N \cdot N_{EP}) \cdot (T_{FP} + T_{CT}) + \frac{T_{WH}}{N_S} \quad (6)$$

An Maschinen und Geräten für den kapazitiven Test ist ein Flying Probe Testsystem notwendig. Die kritischen Parameter bei der Testdurchführung sind die Verfahrzzeiten der beweglichen Meßspitze und die Messgeschwindigkeit selbst. Durch den Einsatz mehrerer paralleler Meßspitzen kann der zeitliche Abstand zwischen zwei Messungen wesentlich verkürzt werden. Allerdings entstehen dadurch bei der Maschinenbeschaffung wiederum höhere Kosten, da sowohl die Mechanik des Flying Probe Testes als auch die Steuerung der Meßspitzen komplexer sein muß, um Kollisionen beim Verfahren der Meßspitzen zu vermeiden.

3.2.2 Resistiver Test

Der Ablauf des resistiven Tests mit einem Flying Probe Testsystem sieht folgendermaßen aus :

- 1.verfahre mit erster Meßspitze zum Endpunkt eines noch nicht in 1. kontaktierten Netzes und kontaktiere dieses
- 2.verfahre mit der zweiten Meßspitze zum nächsten Endpunkt des in 1. kontaktierten Netzes
- 3.führe Widerstandsmessung durch und vergleiche gemessenen Wert mit erwartetem Wert
- 4.falls alle Endpunkte des in 1.kontaktierten Netzes bereits getestet weiter mit 5. sonst weiter mit 2.
- 5.verfahre zum nächsten noch nicht in 5. kontaktierten Endpunkt eines Netzes, das nicht mit dem in 1. kontaktierten Netz verbunden ist und das bislang noch nicht in 1. oder 2. getestet wurde
- 6.führe Widerstandsmessung durch und verifiziere, daß kein Kurzschluß zum in 1. kontaktierten Netz besteht
- 7.weiter mit 5., falls dies nicht möglich ist weiter mit 8.

8.weiter mit 1., falls dies nicht möglich ist,
verfahre zum nächsten Substrat und starte mit 1
falls alle Substrate des Wafers getestet sind,
lade nächsten Wafer und beginne bei 1.

Dieser Testalgorithmus führt zu der nachfolgend aufgeführten Formel zur Berechnung der Testzeit. Der Parameter T_{RT} ist dabei die Zeit, die benötigt wird, um eine Widerstandsmessung durchzuführen.

$$\begin{aligned}
T_{TB} &= (N_{EP} - 1) \cdot (T_{FP} + T_{RT}) + N_{EP} \cdot (T_{FP} + T_{RT}) \cdot (N_N - 1) \\
&\quad + (N_{EP} - 1) \cdot (T_{FP} + T_{RT}) + N_{EP} \cdot (T_{FP} + T_{RT}) \cdot (N_N - 2) \\
&\quad + \dots \\
&\quad \cdot \\
&\quad \cdot \\
&\quad + (N_{EP} - 1) \cdot (T_{FP} + T_{RT}) + N_{EP} \cdot (T_{FP} + T_{RT}) \\
&\quad + (N_{EP} - 1) \cdot (T_{FP} + T_{RT}) \\
&\quad + \frac{T_{WH}}{N_S} \\
&= N_N \cdot (N_{EP} - 1) \cdot (T_{FP} + T_{RT}) + \sum_{i=1}^{N_N} (N_{EP} \cdot (T_{FP} + T_{RT}) \cdot (N_N - i)) + \frac{T_{WH}}{N_S} \\
&= N_N \cdot (N_{EP} - 1) \cdot (T_{FP} + T_{RT}) + N_{EP} \cdot (T_{FP} + T_{RT}) \cdot \sum_{i=1}^{N_N} (N_N - i) + \frac{T_{WH}}{N_S} \\
&= N_{EP} \cdot (T_{FP} + T_{RT}) \cdot \left(N_N + \sum_{i=1}^{N_N-1} i \right) - N_N \cdot (T_{FP} + T_{RT}) + \frac{T_{WH}}{N_S} \tag{7} \\
&= (T_{FP} + T_{RT}) \cdot \left(N_{EP} \cdot \left(N_N + \frac{N_N(N_N - 1)}{2} \right) - N_N \right) + \frac{T_{WH}}{N_S} \\
&= (T_{FP} + T_{RT}) \cdot N_N \cdot \left(N_{EP} \cdot \left(\frac{1 + N_N}{2} \right) - 1 \right) + \frac{T_{WH}}{N_S}
\end{aligned}$$

Für die Durchführung des resistiven Tests ist wie für den kapazitiven Test ebenfalls ein Flying Probe Testsystem nötig. Allerdings muß dieses System mindesten zwei verfahrbare Meßspitzen besitzen. Auch für den resistiven Test kann die Testzeit durch den Einsatz mehrerer synchron verfahrender Meßspitzen verringert werden. Außerdem ist eine Optimierung des Testalgorithmus durch eine Analyse der Layout-Daten des zu testenden Substrates möglich. In einer solchen Analyse können Netze identifiziert werden, die räumlich voneinander getrennt sind und für die kein Kurzschlußtest durchgeführt zu werden braucht. Außerdem können in diesem Durchlauf Netzpaare

identifiziert werden, die durch ihre Nachbarschaft am ehesten gefährdet sind, Kurzschlüsse zu bilden.

3.2.3 E-beam Test

Der Test mittels e-beam Testsystemen kann nach folgendem Algorithmus erfolgen :

- 1.entlade alle Substratnetze
- 2.prüfe alle Endpunkte eines noch nicht getesteten Netzes auf Low-Potential
- 3.lade dieses Netz an einem Endpunkt auf High-Potential
- 4.prüfe alle Endpunkte dieses Netzes auf High-Potential
- 5.weiter mit 2. falls noch nicht alle Netze des Substrates getestet
- 6.gehe zu nächstem Substrat und beginne mit 1. falls noch weitere zu testende Substrate auf Wafer vorhanden sind
- 7.lade nächsten Wafer und beginne mit 1.

Der vorgeschlagen Testalgorithmus für den e-beam Test resultiert in einer Testzeit, die nach Gleichung (8) berechnet werden kann. Das Symbol T_{EB} stellt dabei die Zeit dar, die benötigt wird, um das Potential eines Netzes zwei mal zu testen und das Netz über den Elektronenstrahl auf High-Potential aufzuladen.

$$T_{TB} = (N_N \cdot T_{EB}) + \frac{T_{WH}}{N_S} \quad (8)$$

Die zur Durchführung eines e-beam Tests erforderlichen Geräte beschränken sich auf das e-beam Testsystem selbst. Um einen kontinuierlichen Betrieb zu gewährleisten, muß dieses mit einer Ladeschleuse ausgestattet sein, damit während eines laufenden Tests Prüflinge in die Vakuumkammer eingebracht und daraus entnommen werden können.

3.2.4 Aktive Substrate

Der Test über die Scankette aktiver Substrate läuft bezüglich der Testzeit nach folgendem Muster ab :

- 1.lade alternierend High- und Low-Pegel in die Scanzellen, um die Korrektheit der Schiebefunktion zu verifizieren
- 2.lade alle Scanzellen mit High-Pegel außer einer Scanzelle am Endpunkt eines noch nicht getesteten Netzes; lade in diese Scanzelle einen Low-Pegel und stimulare mit dieser Scanzelle das damit verbundene Netz; alle mit High-Pegel vorgeladenen Scanzellen werden nicht zur Stimulation, sondern nur zum Übernehmen des Wertes am parallelen Eingang genutzt; während des Einschlebens des Musters in die Scankette analysiere das aus der Scankette herausgeschobene Ergebnis des vorigen Tests (bei der ersten Durchführung von 2. muß eine alternierende 0-1 Folge erscheinen, ansonsten müssen die Scanzellen, die mit dem geprüften Netz verbunden sind, einen Low-Pegel aufweisen, alle anderen einen High-Pegel)
- 3.falls noch ungetestete Netze vorhanden sind weiter mit 2.; sonst schiebe letztes Testergebnis aus Scankette heraus und analysiere es
- 4.falls noch zu testende Substrate auf dem Wafer vorhanden sind verfare zu nächstem Substrat und starte mit 1.
- 5.lade nächsten Wafer und starte mit 1.

Dieser Algorithmus führt zur Berechnung der Testzeit nach Gleichung (9). F_s gibt dabei an, mit welcher Schiebefrequenz auf der Scankette gearbeitet wird. T_{wp} ist in diesem Fall nicht die Verfahrzeit einer Flying Probe, sondern die Verfahrzeit, die der Waferprober benötigt, um die Steuersignalpads auf zwei unterschiedlichen Substraten desselben Wafers zu kontaktieren.

$$\begin{aligned}
 T_{TB} &= \frac{N_N \cdot N_{EP}}{F_S} + \frac{N_N \cdot N_N \cdot N_{EP}}{F_S} + \frac{N_N \cdot N_{EP}}{F_S} + T_{WP} + \frac{T_{WH}}{N_S} \\
 &= \frac{N_N \cdot N_{EP} \cdot (N_N + 2)}{F_S} + T_{WP} + \frac{T_{WH}}{N_S}
 \end{aligned} \tag{9}$$

Wie bereits erwähnt, wird zur Durchführung des Tests ein Waferprober verwendet. Daneben wird ein Boundary-Scan Testsystem benötigt. Diese Testsysteme sind meist PC-basiert und daher in der Anschaffung im Vergleich zu einem VLSI-Testsystem relativ günstig.

3.3 Montage

In diesem Modul stehen nicht die Montagekosten, die durch die eigentlichen Montageschritte selbst wie z.B. Die-Bonding, Wire-Bonding usw. entstehen, im Vordergrund, sondern vielmehr die Kosten, die durch die Montage defekter Chips bzw. Montagefehler mit defekten Chips als Ergebnis verursacht werden. Da es in der Montagetechnik selbst keine Unterschiede zwischen passiven und aktiven Siliziumsubstraten gibt, entstehen dadurch auch keine Kostendifferenzen und damit Vor- oder Nachteile für den einen oder anderen Ansatz. Eine solche Kostendifferenz ergibt sich jedoch aus der Tatsache, daß mit Hilfe aktiver Substrate ein Test der montierten ICs über die in das Substrat integrierten Scanzellen möglich ist, auch wenn das Substrat selbst noch nicht vollständig bestückt ist. Damit kann ein Chip direkt nach seiner Montage getestet werden. So werden defekte ICs direkt nach der Montage erkannt, was insbesondere für MCM-Technologien, die keine Reparaturmöglichkeiten vorsehen eine wesentlich Kostenersparnis bringen kann, da nach der Identifikation einer defekten Schaltung keine weiteren guten ICs auf das Substrat montiert werden und damit der Verlust durch defekte ICs minimiert wird.

Aufgrund dieser Überlegungen beschränken sich die Berechnungen dieses Moduls darauf, die Verluste, die durch die Montage defekter Schaltungen auf das Substrat entstehen, zu modellieren. Dabei wird angenommen, daß keine Reparaturstrategie verfolgt wird. Das Modul sieht vor, die Anzahl der über die in das Substrat integrierten Scankette testbaren ICs variabel zu halten. Die Verluste, die durch die Montage defekter Schaltungen entstehen, werden auf funktional korrekte MCM-Systeme umgelegt und sind damit in den mit dem Kostenmodell ermittelten Systemkosten für funktional korrekte MCM-Systeme enthalten. Die durch die Montageverluste entstehenden Kosten K_A pro MCM setzen sich nach Gleichung (10) aus den Verlusten K_{AC} defekter Systeme, die beim Systemtest detektiert werden, und den Verlusten K_{AZ} defekter Systeme, die

direkt nach der Montage des den Defekt verursachenden Chips identifiziert werden, zusammen.

$$K_A = K_{AC} + K_{AZ} \quad (10)$$

Werden Defekte beim Systemtest erkannt, so gehen sämtliche Kosten, die durch die Herstellung des MCM-Systems verursacht wurden, verloren. Dies sind die Kosten zur Substratherstellung K_S , die durchschnittlichen Kosten K_C eines Chips multipliziert mit der Anzahl der montierten Chips N_C , die Kosten K_{TB} zum Test des unbestückten Substrates und schließlich die Kosten K_{SY} des Systemtests. Der durchschnittliche Verlust pro Substrat, der durch Defekte entsteht, ergibt sich aus dem Produkt dieser verlorenen Kosten mit der Wahrscheinlichkeit des Auftretens eines Defektes während des Systemtests nach Gleichung (11). In die Berechnung der Defektwahrscheinlichkeit pro Substrat gehen neben der durchschnittlichen Defektwahrscheinlichkeit D_C pro Chip auch die Gesamtzahl N_C an montierten Chips sowie die Zahl N_{TC} der über die in das Substrat integrierte Scankette testbaren Chips mit ein. Dies ermöglicht die Modellierung auch von Systemen, die z.B. analoge Chips enthalten, die nicht über die vorgesehene digitale Scankette testbar sind. Außerdem wird dadurch berücksichtigt, daß mit dem verfolgten Ansatz der Platzierung der Scanzellen neben dem Signalpfad nach Kapitel 4.2.2.2 Testeinschränkungen in Kauf genommen werden müssen, die den unabhängigen Test aller montierten ICs nicht ohne weiteres zulassen.

$$K_{AC} = (K_S + N_C \cdot K_C + K_{TB} + K_{SY}) \cdot \left(1 - (1 - D_C)^{(N_C - N_{TC})}\right) \quad (11)$$

Neben den Kosten, die durch die Detektierung von Defekten während des Systemtests entstehen, sind für die aktiven Substrate auch die Kosten zu berücksichtigen, die aufgrund der Detektierung von Defekten durch die inkrementellen Tests während der Bestückung der aktiven Substrate anfallen. Wird ein Defekt auf dieser Fertigungsstufe erkannt, so setzt sich der Verlust aus den Kosten K_S für das Substrat, den Kosten K_{TB} für den Test des unbestückten Substrates, den Kosten der bereits bestückten Chips und den Kosten K_{TM} für die bereits durchgeführten Tests über die integrierte Scankette zusammen. Wird die durchschnittliche Defektwahrscheinlichkeit D_C pro Chip und die Anzahl N_{TC} der über die Substratscankette testbaren Chips berücksichtigt, so ergibt sich daraus ein durchschnittlicher Verlust pro Substrat, der nach Gleichung (12) berechnet werden kann.

$$\begin{aligned}
K_{AZ} &= \left(\begin{array}{l} (K_S + K_{TB} + K_{TM} + K_C) \cdot D_C \\ + (K_S + K_{TB} + K_{TM} + K_C + K_C) \cdot D_C \\ + \dots\dots\dots \\ + (K_S + K_{TB} + K_{TM} + N_{TC} \cdot K_C) \cdot D_C \end{array} \right) / N_{TC} \\
&= \left(K_S + K_{TB} + K_{TM} + \frac{K_C}{N_{TC}} \cdot \sum_{i=1}^{N_{TC}} i \right) \cdot D_C \quad (12) \\
&= \left(K_S + \frac{N_{TC} + 1}{2} \cdot K_C + K_{TB} + K_{TM} \right) \cdot D_C
\end{aligned}$$

Es sei nochmals darauf hingewiesen, daß der nach Gleichung (12) berechnete Kostenanteil lediglich für aktive Substrate entsteht, da ein inkrementeller Test für passive Substrate i.a. nicht möglich ist. Daher wird dieser Anteil im Kostenmodell auch lediglich für die Berechnung der Kosten für aktive Substrate berücksichtigt.

Gleichung (11) und Gleichung (12) stehen in einem engen Verhältnis zueinander. Die Verluste, die durch Ausfälle beim Systemtest entstehen, sind gegenläufig zu den Verlusten, die beim inkrementellen Test entstehen. Da mit Hilfe der inkrementellen Tests Defekte bereits frühzeitig erkannt werden können, wird die Zahl der Systemtests, die zu einer Fehlerdetektierung führen, deutlich vermindert. Der wesentliche Vorteil der frühzeitigen Defekterkennung ist jedoch, daß potentiell gute Chips nach der Identifikation eines defekten Bauteils nicht mehr auf ein Substrat montiert werden. Da für MCM-Systeme wegen der Verwendung ungehäuster Bauteile die Kosten der zu montierenden Chips meist einen signifikanten, wenn nicht den größten Anteil an den Systemkosten ausmachen, bringt damit jedes gute Bauteil, das nicht auf ein defektes Teilsystem montiert wird, einen erheblichen Kostenvorteil gegenüber einer vollständigen Montage mit abschließendem Systemtest. Dies läßt sich durch die Betrachtung der zu erwartenden Verluste in zwei Extremfällen leicht belegen. Vergleicht man die beiden Berechnungsformeln, so kann man erkennen, daß der wesentliche Unterschied zwischen den beiden Verlustberechnungen durch die Anzahl der testbaren Chips, sowie deren Kosten und Defektwahrscheinlichkeiten bestimmt wird. Dabei wird angenommen, daß die Kosten für den Systemtest in ähnlichen Größenordnungen wie die Kosten der inkrementellen Tests liegen. Im einen Extremfall wird angenommen, daß kein inkrementeller Test stattfindet. Der Verlustanteil, der durch die inkrementellen Tests beigesteuert wird, ist damit Null. Durch die Verluste im Systemtest gehen jedoch die Bauteilkosten maximal in die Verlustberechnung mit ein. Im anderen Extremfall wird angenommen, daß alle Bauteile inkrementell testbar sind, d.h. $N_{TC} = N_C$. Damit entfällt der Verlustanteil durch den Systemtest und die Verluste werden allein durch die inkrementellen Tests bestimmt. Bei der Berechnung dieser Verluste gehen jedoch die

Bauteilkosten nur mit etwas mehr als der Hälfte ein (abhängig von der Gesamtzahl an Bauteilen). Ein weiterer Effekt, der einen Vorteil zu Gunsten des inkrementellen Tests liefert, ist die Tatsache, daß für den inkrementellen Test die Defektwahrscheinlichkeit der Bauteile lediglich linear in die Berechnung mit eingeht, während sie bei der Berechnung der Verluste im Systemtest in einer Potenzfunktion berücksichtigt werden muss. Mit diesen beiden Extremfällen wird deutlich, daß in Grenzbereichen der Verlust durch defekte Bauteile, die montiert werden, mit Hilfe der inkrementellen Testmethode nahezu halbiert werden kann. Da diese Halbierung im Wesentlichen direkt auf den meist hohen Bauteilkosten beruht, ergibt sich mit inkrementellen Tests demnach auch signifikantes Einsparpotential bei der Betrachtung des Gesamtsystems.

Die Testkosten, die für die inkrementellen Tests pro Bauteil während der Bestückung anfallen, werden wiederum auf der Basis der dafür benötigten Testzeit T_{TM} und der Stundensätze K_H der benötigten Geräte nach Gleichung (14) berechnet. Die Testzeit hängt zum einen von der Zahl der Scanzellen im Substrat ab, die sich aus der Zahl der Substratnetze N_N und der durchschnittlichen Zahl und Endpunkten N_{EP} pro Netz ergibt. Zum anderen geht in die Berechnung der Testzeit nach Gleichung (13) auch die durchschnittliche Anzahl an Testmustern N_{MC} pro Prüfling, sowie die Schiebefrequenz, mit der die Scankette betrieben wird mit ein.

$$T_{TM} = \frac{N_N \cdot N_{EP} \cdot N_{MC}}{F_S} + T_{MH} \quad (13)$$

$$K_{TM} = \frac{K_H}{3600} \cdot T_{TM} \quad (14)$$

3.4 Systemtest

Für den Systemtest der fertiggestellten MCM-Systeme wird sowohl für passive als auch für aktive Substrate lediglich der Test mittels eines VLSI-Testsystems betrachtet. Sowohl die aktiven Substrate als auch e-beam Testsysteme sind für einen abschließenden Systemtest nicht geeignet. Im Falle der aktiven Substrate ist über die Scankette, die im Substrat integriert ist, lediglich ein funktionaler Test bei sehr stark reduzierten Betriebsfrequenzen des MCM-Systems möglich. Um den fehlerfreien Betrieb des MCM-Systems auch bei der spezifizierten Betriebsfrequenz zweifelsfrei sicherzustellen, ist ein at-speed Test unumgänglich. Daher und aufgrund der Tatsache, daß sich ein MCM-System nach außen hin meist wie ein konventionelles Halbleiterbauelement darstellt, ist ein VLSI

Testsystem für den Systemtest in der Produktion zur Zeit das am besten geeignete Gerät.

Ähnlich wie der Test über die aktiven Substrate ist auch ein e-beam Testsystem für den Produktionstest von MCM-Systemen nicht geeignet. Zum einen muß für einen e-beam Test die Substratoberfläche freiliegen, zum anderen werden zur Stimulierung des Systems ohnehin entsprechende Geräte benötigt. Da den MCM-Systemen meist komplexe Eingangsmuster zur Verfügung gestellt werden müssen, ist der Einsatz eines VLSI-Testsystems in vielen Fällen notwendig. Daher kann dies ohne erhöhten Kostenaufwand für den kompletten Test genutzt werden.

3.4.1 VLSI-Test

Die Berechnung der Testkosten mit dem VLSI-Testsystem erfolgt, wie in den vorangegangenen Modulen, wiederum über die zum Test benötigte Zeit T_{SY} und die veranschlagten Stundensätze K_H der benötigten Geräte nach Gleichung (15).

$$K_{SY} = \frac{K_H}{3600} \cdot T_{SY} \quad (15)$$

Die zum Test benötigte Zeit ergibt sich aus der Testfrequenz F_T , der Anzahl der zum Test nötigen Testmuster N_{MS} und der zur Handhabung der MCM-Systeme benötigten Zeit T_{MH} nach Gleichung (16).

$$T_{SY} = \frac{N_{MS}}{F_T} + T_{MH} \quad (16)$$

Neben dem VLSI Testsystem wird zur Durchführung der Produktionstests ein Handhabungsautomat benötigt, der die MCM-Systeme der Testfassung zuführt und eine Sortierung nach den erhaltenen Testergebnissen durchführt.

3.4.2 Fehleranalyse

Auch wenn die Eignung der aktiven Substrate bzw. des e-beam Tests zum allgemeinen Endtest der MCM-Systeme nicht sehr gut ist, so können diese Testmethoden im Falle eines festgestellten Defektes während des Systemtests gute Dienste leisten. Da die

logische Tiefe komplexer MCM-Systeme meist relativ hoch ist, ist eine Fehlerlokalisierung ohne entsprechende Testhilfen meist nur sehr schwer oder überhaupt nicht möglich. Sowohl e-beam Testsysteme als auch aktive Substrate bieten im Falle der Fehleranalyse die Möglichkeit, interne Knoten des MCM-Systems zu beobachten. Dadurch können Fehler schneller und mit weniger Testaufwand eingegrenzt und identifiziert werden.

Die Möglichkeiten zur Fehleranalyse sind im erstellten Kostenmodell nicht berücksichtigt, da sie sich nur sehr schwer in Zahlen fassen lassen. Zudem entstehen Kosten im Zusammenhang mit der Fehleranalyse hauptsächlich während der Produktentwicklung. Für den laufenden Produktionsbetrieb, der im Kostenmodell erfaßt werden soll, sollten sich die Kosten für Fehleranalyse jedoch aufgrund der hohen produzierten Stückzahlen kaum auf die Kosten eines Einzelmoduls auswirken.

3.5 Vergleichsszenarien

Mit dem erstellten Kostenmodell wurden die Kosten unterschiedlicher Systeme berechnet. Um den Einfluß der unterschiedlichen Eingangsparameter auf die Kosten des MCM-Systems und auf die Einzelmodule zu erfassen, wurden Parametervariationen durchgeführt. Die Ergebnisse dieser Berechnungen sind in den folgenden Kapiteln beschrieben. Wo nicht anders erwähnt, wurden für die Einzelmodule die Eingangsparameter nach Tabelle 4 gewählt.

Tabelle 4 : Standard-Parameterwerte des Kostenmodells

N_W	10	D_C	3%
N_S	8	T_{FP}	20ms
Y_S	85%	T_{WP}	500ms
D	120	T_{WH}	20s
P_A	30%	T_{CT}	5ms
F_A	11%	T_{RT}	5ms
K_W	40 DM	T_{EB}	20ms
$K_{S\ddot{A}}$	1 DM	F_S	1 MHz
N_N	400	F_T	30 MHz
N_{EP}	3,5	N_{MC}	256K
N_C	8	N_{MS}	4M
N_{TC}	4	T_{MH}	2s
K_C	150 DM		

Die Stundensätze der benötigten Geräte werden aus den Anschaffungskosten und einer angenommenen jährlichen Nutzung von durchschnittlich 3000h über drei Jahre berechnet. Damit ergeben sich für die Maschinen die Stundensätze gemäß Tabelle 5.

Tabelle 5 : angenommene Anschaffungskosten und Stundensätze der benötigten Geräte

Gerät	Anschaffungskosten	Stundensatz
VLSI-Testsystem	5 000 000 DM	555,56 DM
e-beam Testsystem	1 500 000 DM	166,67 DM
Flying Probe Testsystem	250 000 DM	27,80 DM
Boundary-Scan Testsystem	25 000 DM	2,78 DM
Waferprober	300 000 DM	33,33 DM
Bauelementehandler	300 000 DM	33,33 DM

3.5.1 Allgemeiner Vergleich

Zunächst wurde die Abhängigkeit der Testzeit für das unbestückte Substrat von der gewählten Testmethode und der Zahl der Netze sowie der durchschnittlichen Zahl der Endpunkte pro Netz untersucht. Die Berechnungen der Testzeiten für die betrachteten Testmethoden unterscheiden sich im wesentlichen in den Termen, in denen diese Parameter verwendet werden. Daher zeigen sich bei deren Variation am besten die Unterschiede der untersuchten Testmethoden. Wie Bild 19 und Bild 20 zu entnehmen ist, liefert der Test über aktive Substrate die kürzesten Testzeiten. Auch der Test mittels e-beam ist noch nach praktikablen Testzeiten beendet. Die kapazitive und vor allem die resistive Testmethode benötigen jedoch Testzeiten, die in einer Produktionslinie mit großen Stückzahlen kaum zu vertreten sind.

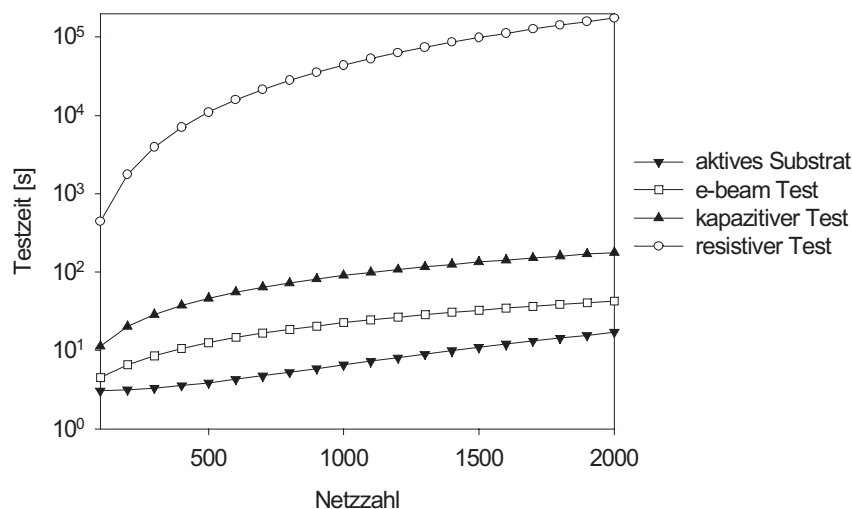


Bild 19 : Testzeit in Abhängigkeit der Netzzahl

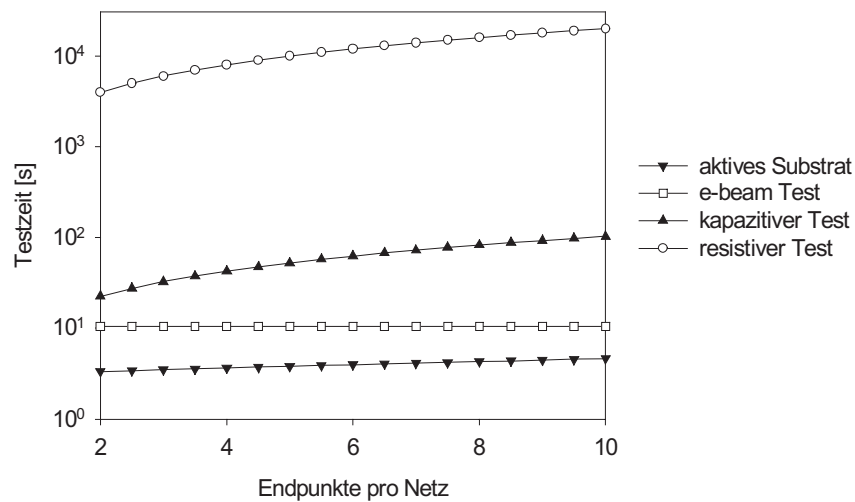


Bild 20 : Testzeit in Abhängigkeit der durchschnittlichen Zahl an Endpunkten pro Netz

Wie in Bild 21 zu erkennen ist, zeigt sich ein ähnliches Bild für die Kosten des Substrat-tests. Der Test über aktive Substrate ist mit Abstand die kostengünstigste Testmethode. Ob dieser Kostenvorsprung allerdings ausreicht, um die höheren Herstellungskosten für das Substrat aufzufangen, müssen weitere Betrachtungen zeigen. Der Abstand zwischen kapazitivem und e-beam Test hat sich bei den Kosten verringert bzw. teilweise umgekehrt. Aufgrund der kürzeren Testzeiten für den e-beam Test erscheint dieser jedoch zumindest für den Test größerer Stückzahlen im Vorteil. Wie schon in den Berechnungen zuvor zeigt sich auch bei der Betrachtung der Testkosten, daß die Methode des resistiven Tests im Vergleich zu den anderen betrachteten Testmethoden am ungünstigsten abschneidet.

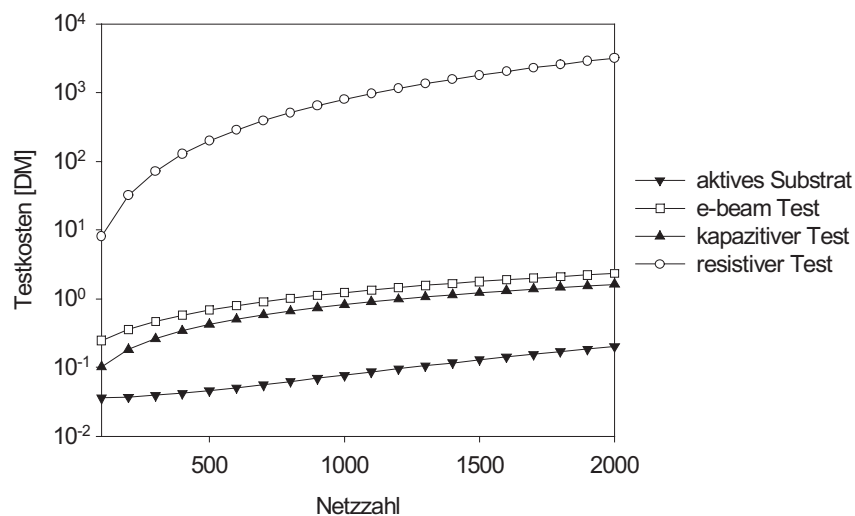


Bild 21 : Testkosten in Abhängigkeit der Netzzahl

Mit den vorgegebenen Parametern erhält man MCM-Systeme, die sich in den Endkosten für alle betrachteten Testmethoden nur unwesentlich unterscheiden. Betrachtet man jedoch die Einzelkomponenten, aus denen sich die Gesamtkosten zusammensetzen in Bild 22, so erkennt man deutliche Unterschiede insbesondere zwischen des aktiven Substraten und den übrigen Testansätzen.

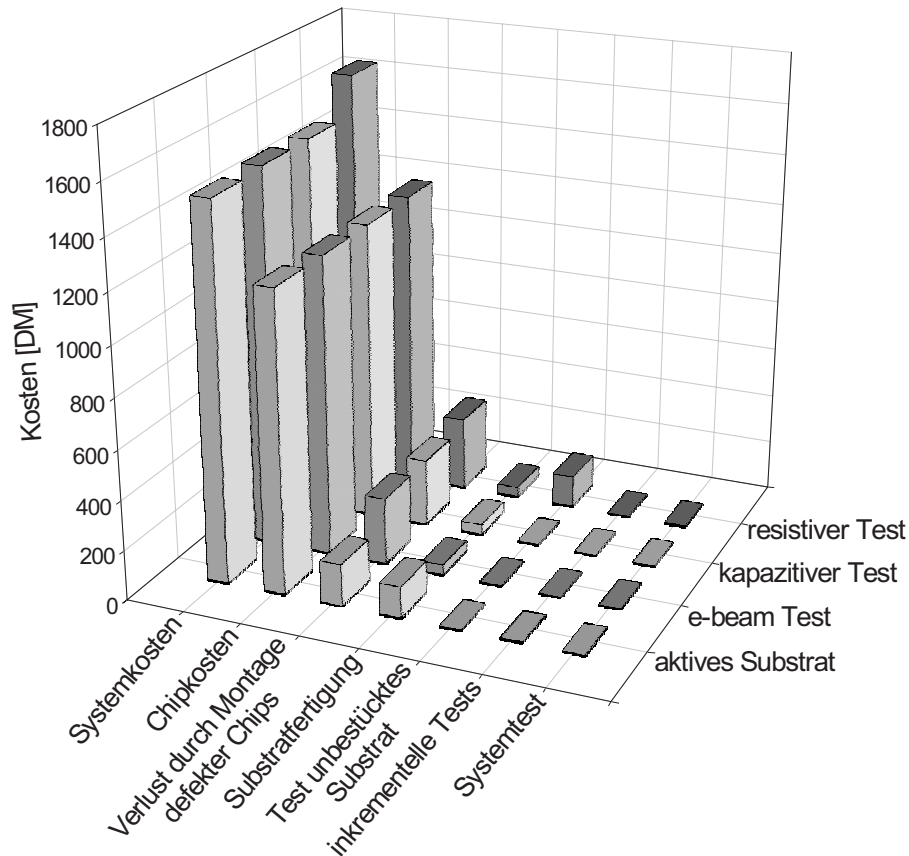


Bild 22 : Aufteilung der Systemgesamtkosten nach Modulen des Kostenmodells

Es wird deutlich, daß die Testkosten des unbestückten Substrates bei dem betrachteten System eine eher untergeordnete Rolle spielen. Sie können die höheren Herstellungskosten der aktiven Substrate nicht alleine auffangen. Der wesentliche Punkt, der einen Kostenausgleich herbeiführt, sind in diesem Falle die reduzierten Verluste im Falle einer Montage defekter Chips.

Diese Beobachtung läßt vermuten, daß Systeme mit niedrigeren Chipkosten, niedrigeren Defektwahrscheinlichkeiten für die ICs oder geringerer Testbarkeit der Chips über die in das Substrat integrierte Scankette, für die Realisierung mit aktiven Substraten nicht geeignet sind. Diese Vermutung wird durch das in Bild 23 berechnete System bestätigt. Für die Berechnung wurde angenommen, daß vier der acht montierten ICs über die Substratscankette testbar sind. Die Defektwahrscheinlichkeit pro Chip beträgt 1% und die durchschnittlichen Chipkosten liegen bei 10,00 DM.

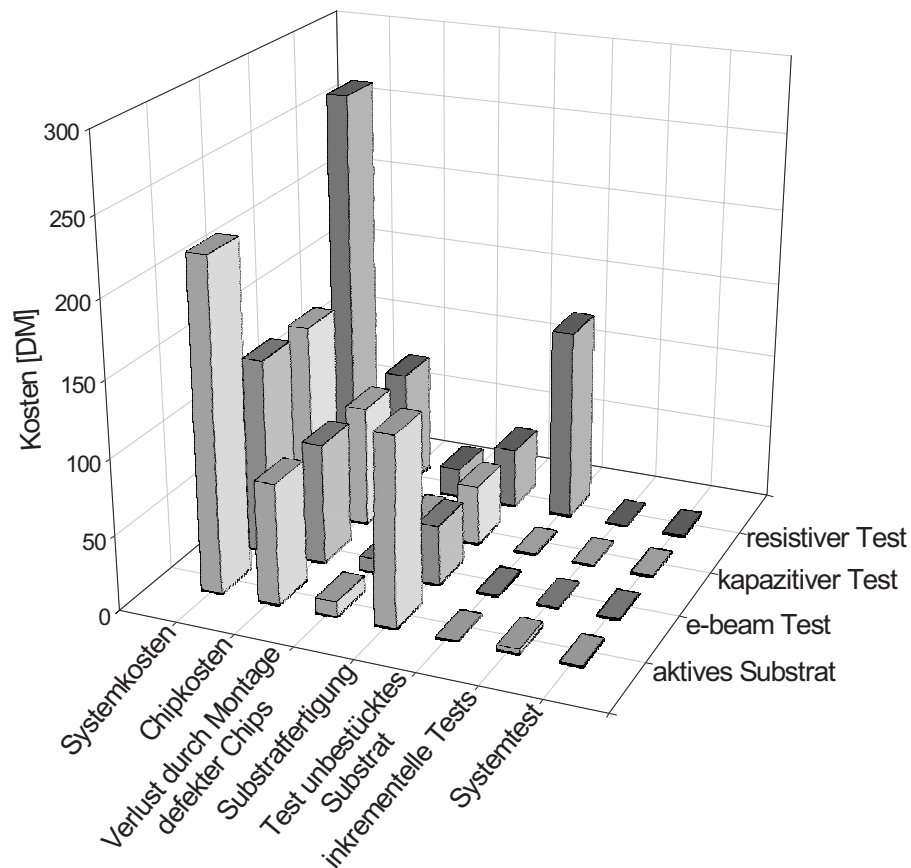


Bild 23 : Einzelkostenaufteilung für ein low-cost System

Werden die entsprechenden Parameter in die Gegenrichtung verändert, so ergeben sich Kostenvorteile für das aktive Substrat, wie in Bild 24 dargestellt. Hier wurden die Kosten für ein System berechnet, bei dem alle acht Chips über das aktive Substrat testbar sind. Die Defektwahrscheinlichkeit pro Chip liegt bei 7% und die durchschnittlichen Chipkosten wurden mit 250 DM angenommen.

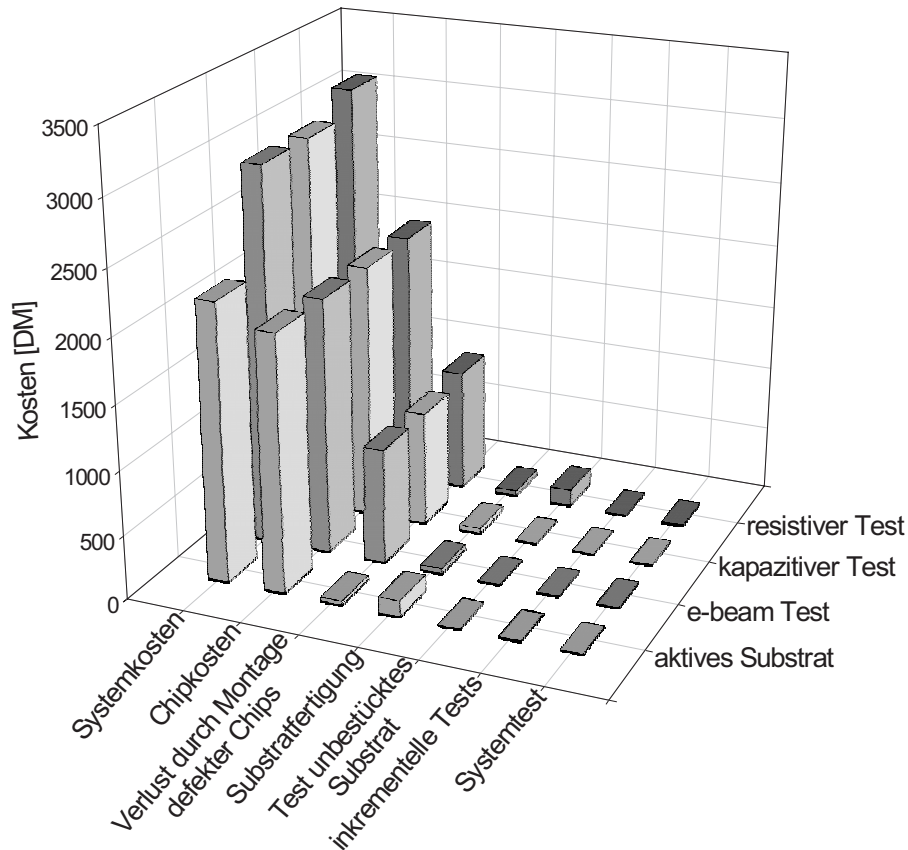


Bild 24 : Kostenaufteilung für ein high-cost System

Neben der starken Abhängigkeit der Kosteneffizienz aktiver Substrate von Chipkosten, Defektwahrscheinlichkeiten der Chips und dem Grad der Testbarkeit, zeigen diese Diagramme außerdem, daß unter den drei anderen betrachteten Testmethoden ein ungefähres Gleichgewicht mit leichten Nachteilen des resistiven Tests im low-cost Bereich besteht. Da die Testzeiten für den resistiven und kapazitiven Test jedoch weit über denen des e-beam Tests liegen und daher für Volumenproduktion wenig geeignet sind, wird die genaue Abhängigkeit der MCM-Systemkosten von den zuvor genannten sensitiven Parametern im folgenden nur zwischen aktiven Substraten und dem e-beam Test untersucht.

3.5.2 Vergleich des e-beam Tests gegenüber aktiven Substraten

Um die Unterschiede zwischen dem Test über aktive Substrate und dem e-beam Test hinsichtlich der Auswirkungen auf die Systemkosten anschaulich darzustellen, zeigen die folgenden Bilder die jeweilige Kostendifferenz zwischen den beiden betrachteten Testmethoden. Positive Werte in den Diagrammen zeigen dabei den entsprechenden Kostenvorteil der aktiven Substrate, negative Werte den des e-beam Tests.

Zunächst wurden Berechnungen auf der Basis der zuvor genannten Standardwerte für die Eingangsparameter durchgeführt. D.h. der Anteil an Chips, die über das aktive Substrat testbar sind, lag bei vier der insgesamt acht Chips. Auf diesem System wurde eine Variation der Defektwahrscheinlichkeit pro Chip und der durchschnittlichen Chipkosten durchgeführt. In Bild 25 ist die Differenz des Verlustes durch die Montage defekter Chips zwischen dem Testansatz über aktive Substrate und dem e-beam Test dargestellt. Wie man leicht erkennen kann, ist dieser Verlust über den weitaus größten Teil der Parametervariation für die aktiven Substrate geringer als für den e-beam Testansatz. Mit zunehmender Defektwahrscheinlichkeit der benutzten ICs entwickeln sich die Verluste zugunsten des e-beam Tests, wobei diese Zone allerdings immer im niedrigen Bereich der durchschnittlichen Chipkosten bleibt.

Der Verlauf dieses Diagramms läßt sich durch die Überlagerung zweier Kausalitäten erklären. Zum einen besteht ein Verlauf der Differenz mit den Chipkosten. Für hohe Chipkosten dominieren diese selbst den erlittenen Verlust. Dieser dominante Effekt wird beim Vergleich der beiden Testmethodiken noch dadurch verstärkt, daß im Falle des e-beam Tests bei einem Defekt immer alle Chips des MCM-Systems verloren gehen. Für die aktiven Substrate umfaßt der Chipverlust jedoch nur die bis zum Zeitpunkt der Defektdetektion monierten ICs. Für sinkende Chipkosten übernehmen immer mehr die Substratkosten die dominante Rolle in der Berechnung und verschieben das Verlustgleichgewicht zugunsten des e-beam Testansatzes. Die zweite Komponente der Überlagerung wird durch die Steigerung der Defektwahrscheinlichkeit geliefert. Für niedrige Defektwahrscheinlichkeiten ist der Einfluß des aktiven Substrates auf den Verlust durch defekte Schaltungen relativ gering. Die frühe Defektdetektion greift hier nicht, da die Schaltungen von hoher Qualität sind und daher beim Test über das aktive Substrat relativ wenige fehlerhafte Schaltungen identifiziert werden. Mit steigender Defektwahrscheinlichkeit nimmt der Einfluß der frühzeitigen Fehleridentifikation zu, so daß die Verluste durch die Montage defekter Chips sich für den Defektwahrscheinlichkeitsbereich von 0% bis ca. 11% immer weiter zugunsten der aktiven Substrate entwickeln. Im Bereich über 11% wird jedoch bereits eine so große Anzahl an Defekten

erreicht, daß sich die Differenz zwischen den im Systemtest detektierten defekten MCM-Systemen und den defekten Systemen, die durch den inkrementellen Test mit dem aktiven Substrat detektiert werden, mit steigender Defektwahrscheinlichkeit immer weiter zugunsten des e-beam Tests verringert. Damit gewinnen die Substratkosten immer höheren Einfluß auf den erlittenen Verlust.

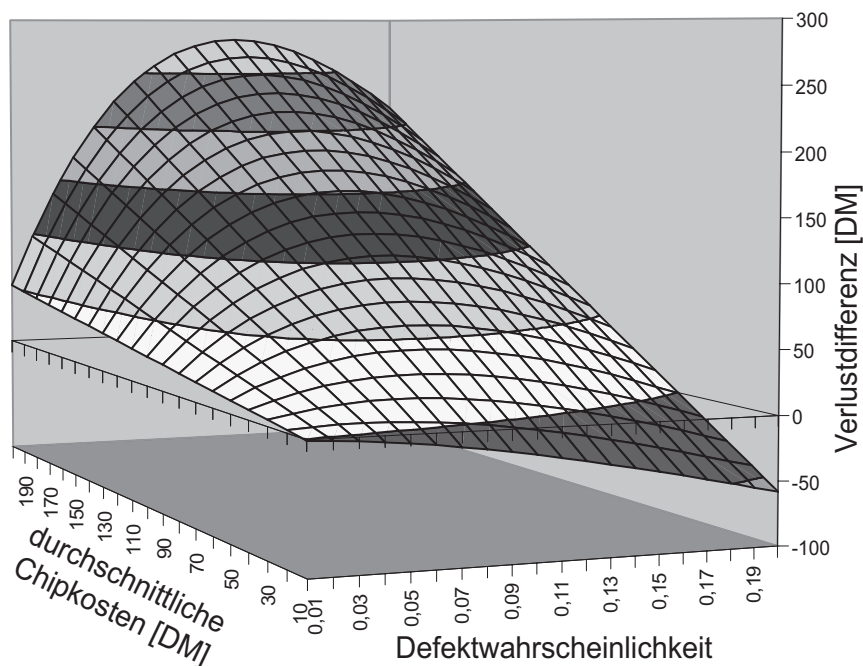


Bild 25 : Verlustdifferenz zwischen e-beam basiertem Test und aktiven Substraten für vier über das aktive Substrat testbare von acht ICs

Aufgrund dieser Überlagerung stößt die positive Tendenz des e-beam Ansatzes ausgehend vom Punkt mit der Defektwahrscheinlichkeit von 11% bis 12% mit steigender und fallender Defektwahrscheinlichkeit der Chips in die Regionen höherer Chipkosten vor, wobei die Tendenz dieser Entwicklung für sinkende Defektwahrscheinlichkeiten etwas ausgeprägter ist, als für steigende.

Bei den kompletten MCM-Systemen ergibt sich, wie zuvor verdeutlicht, für die aktiven Substrate im wesentlichen dann ein Vorteil, wenn die höheren Substratkosten durch die geringeren Verluste bei der Montage defekter Chips kompensiert werden können. In Bild 26, das die Kostendifferenz zwischen aktiven Substraten und dem e-beam Ansatz für die kompletten MCM-Systeme zeigt, ist daher im wesentlichen derselbe Kostenverlauf zu beobachten wie im vorigen Bild. Die Verschiebung der Fläche in der Kostenrichtung wird durch die für beide Ansätze addierten Kosten für Substrate und Test, die sich je Ansatz natürlich unterscheiden, verursacht.

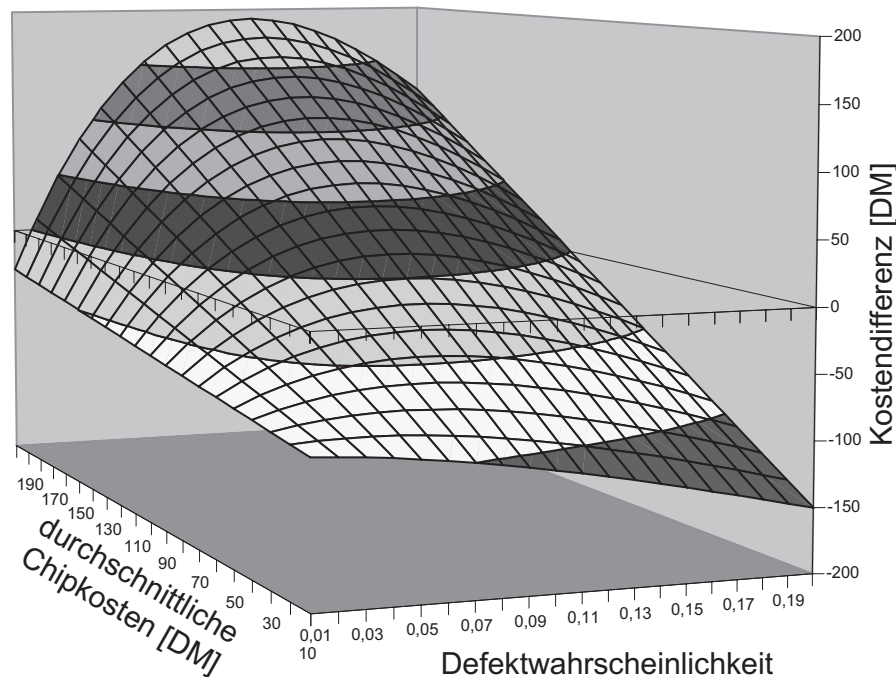


Bild 26 : Systemkostendifferenz zwischen e-beam basiertem Test und aktiven Substraten für vier über das aktive Substrat testbare von acht ICs

Wird ein System betrachtet, bei dem eine volle Testbarkeit der Chips über das aktive Substrat erreicht wird, so zeigt sich, wie zu erwarten, eine positive Entwicklung zugunsten der aktiven Substrate. In Bild 27 ist die Differenz des Verlustes durch die Montage defekter Chips zwischen aktiven Substraten und dem e-beam Ansatz für ein MCM-System mit acht Chips dargestellt, von denen alle über die Scankette im aktiven Substrat testbar sind. Die übrigen Parameter, sowie die Parametervariation entsprechen dem zuvor betrachteten System.

Bei optimaler Testbarkeit durch die Scankette des aktiven Substrates erhält man für das MCM-System über den kompletten betrachteten Parameterbereich einen geringeren Verlust durch die Montage defekter Chips, als für ein passives Substrat, das mit einem e-beam Testsystem geprüft wird. Man sieht, daß der Scheitelpunkt der Abhängigkeit von der Defektwahrscheinlichkeit deutlich in Richtung der höheren Defektwahrscheinlichkeiten wandert, so daß nun keine Entwicklung zugunsten des e-beam Ansatzes für höhere Werte dieses Parameters im betrachteten Bereich mehr zu erkennen ist. Die starke Substratbetonung im zuerst betrachteten System läßt sich aufgrund der aktuellen Beobachtungen auf die Montage von nicht über die Substratscankette testbaren Chips zurückführen. Defekte in diesen erst im Systemtest testbaren Chips bieten für hohe Defektwahrscheinlichkeiten des Einzelchips in der Kombination ein sehr hohes

Defektpotential. Dies bewirkt, daß die Unterschiede zwischen teilweise inkrementell getesteten MCM-Systemen und erst nach der Montage aller Chips getesteten Systemen, in der Ausbeute in ähnlichen Bereichen liegen.

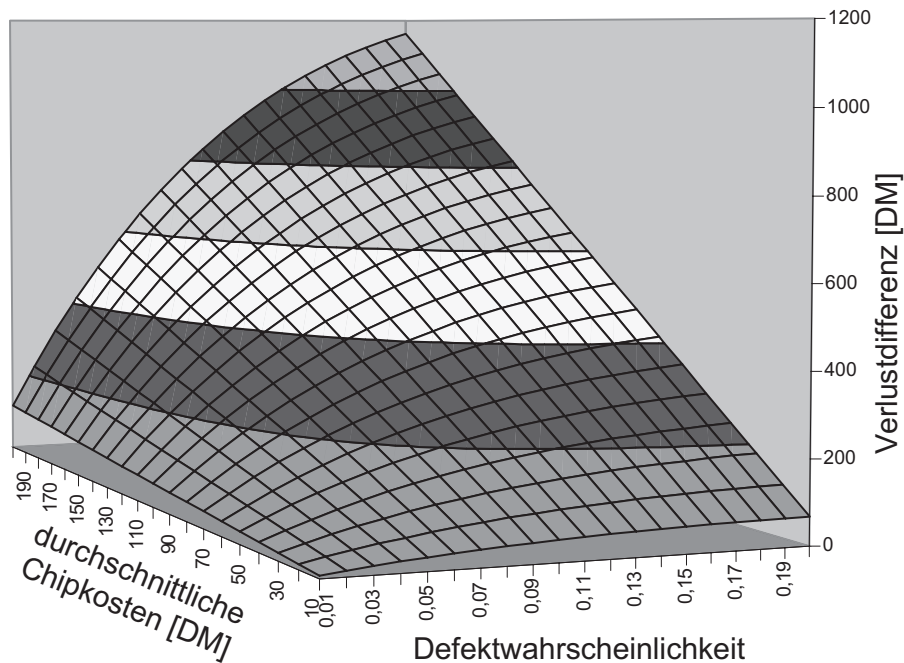


Bild 27 : Verlustdifferenz zwischen e-beam basiertem Test und aktiven Substraten für vollständige Testbarkeit der montierten ICs über das aktive Substrat

Werden die kompletten Systemkosten für das voll über die Substratscankette testbare System nach Bild 28 betrachtet, so ergibt sich im wesentlichen dasselbe Bild wie bei diesem Schritt für das nicht vollständig inkrementell testbare System. Die Fläche der Verlustdifferenz wird entlang der Kostenachse zugunsten des e-beam Tests verschoben. Allerdings ergibt sich ein weit größerer Parameterbereich zugunsten der aktiven Substrate als zuvor. Bei voll über das aktive Substrat testbaren Systemen wird insbesondere der Bereich geringerer Chipkosten und Defektwahrscheinlichkeiten der Chips zugunsten der aktiven Substrate erschlossen.

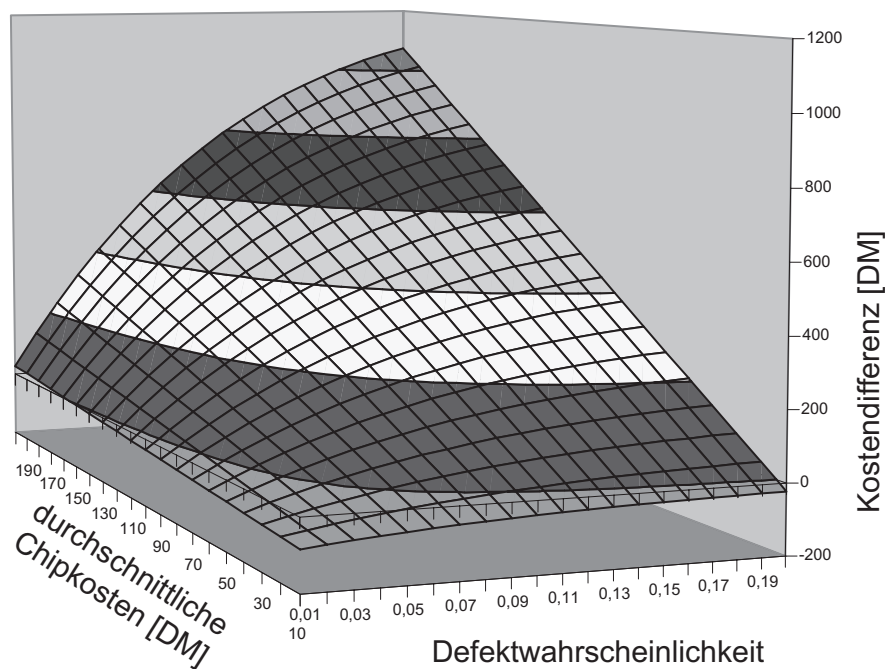


Bild 28 : Systemkostendifferenz zwischen e-beam basiertem Test und aktiven Substraten für vollständige Testbarkeit der montierten ICs über das aktive Substrat

3.5.3 Schlußfolgerungen

Durch die Berechnungen mit Hilfe des entwickelten Kostenmodells zeigt sich deutlich, daß aktive Substrate Anwendungsbereiche besitzen, in denen sie passiven Substraten im Bezug auf die Systemkosten überlegen sind. Daß dies nicht die low-cost Anwendungen sind, in denen die Substratkosten einen erheblichen Anteil an den Systemkosten ausmachen, war bereits zu vermuten. Durch die Berechnungen des Kostenmodells konnte jedoch nachgewiesen werden, daß sich insbesondere Systeme mit hohen Chipkosten oder mit mittleren Defektwahrscheinlichkeiten für den Einsatz aktiver Substrate empfehlen, auch wenn nicht alle Chips über die in das Substrat integrierte Scankette testbar sind. Mit aktiven Substraten bietet sich also insbesondere eine Alternative zum Einsatz von meist relativ teuren "Known Good Dies". Dies wird in den Berechnungen des ersten betrachteten Systems noch dadurch verstärkt, daß der für aktive Substrate vorteilhafte Bereich im wesentlichen die Parameter abdeckt, die durch konventionelle Wafertest der Bauelemente erreicht werden.

Werden Vorkehrungen getroffen, alle montierten Chips über die Substratscankette testbar zu machen, werden aktive Substrate auch beim Einsatz für Systeme mit moderaten Chipkosten und niedrigen Defektwahrscheinlichkeiten interessant. In diesem

Fall bleibt als Domäne der passiven Substrate im wesentlichen nur noch der wirkliche low-cost Bereich, der eigentlich noch nie ein Marktsegment für siliziumbasierte MCM-Systeme war.

4 Designanforderungen an aktive Substrate

Soll Boundary-Scan auf aktiven Substraten zum Einsatz kommen, so sind grundsätzliche Betrachtungen hinsichtlich des Einsatzbereiches und ein Vergleich zwischen chiporientiertem Boundary-Scan und substratorientiertem Boundary-Scan durchzuführen. Da sich die Zielsetzungen dieser beiden Ansätze und die elektrische Umgebung der Scanzellen auf Chip- und Substratebene wesentlich unterscheiden, erwachsen aus diesem Vergleich für die in aktive Substrate integrierten Scanzellen wesentliche Einflüsse, die den Entwurf der Scanzellen bestimmen. Im folgenden wird auf diesen Vergleich und die Schlüsse daraus näher eingegangen.

4.1 Chiporientiertes Boundary-Scan

Die Integration der Scanzellen in Halbleiterbauelementen erfolgt in den Signalpfad, wie in Bild 29 dargestellt. Demnach muß ein Signal, das von dem Kernbereich des Chips nach außen, bzw. von den externen Chipanschlüssen in das Innere der Schaltung propagiert wird, durch die Scanzelle hindurch weitergereicht werden.

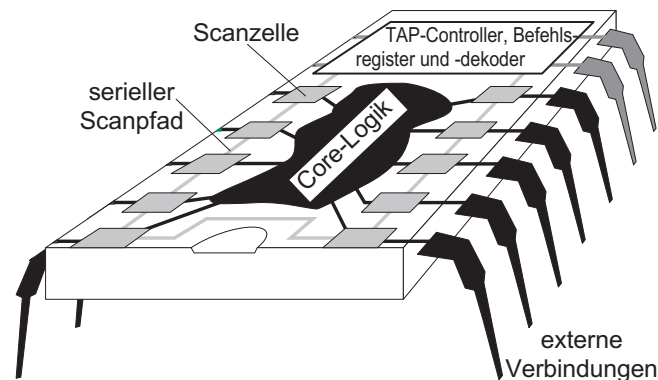


Bild 29 : schematischer Aufbau eines Boundary-Scan fähigen ICs

Durch die Integration der Scanzelle in den Signalpfad ist es einfach möglich, die in Kapitel 7.1 beschriebenen Boundary-Scan Betriebsarten zu realisieren, da eine Unterbrechung des Datenflusses durch die Zelle, bzw. die Umleitung dieses Datenflusses innerhalb der Zelle schaltungstechnisch mit wenigen Gattern realisierbar ist. Mit der Möglichkeit des Zugriffs auf interne Signale des Halbleiterbauelementes über die Scankette, erhält man mit chiporientiertem Boundary-Scan zugleich die Kontrolle über

spezifische Betriebsarten der Schaltung. So können zum Beispiel einfach die unterschiedlichen Betriebsarten von bidirektionalen oder tristatefähigen Pads über die Scankette vorgegeben werden. Diese Eigenschaften werden z.B. beim In-Circuit-Test (ICT) genutzt, um Chipausgänge gezielt abzuschalten und damit eine Stimulation des an den Ausgang angeschlossenen PCB-Netzes über das ICT-Testsystem zu ermöglichen. Für Fälle in denen eine einfache Kontrolle über die Ausgangspads von Schaltungen nicht möglich ist, müssen hierfür oft komplexe Testmustersequenzen für die betroffenen Bauteile durchlaufen werden. Ist auch dies aufgrund der Beschaltung des Bauteils bzw. der Funktionalität der entsprechenden Ausgangspads nicht möglich, so werden meist die Optionen der ICT-Testsysteme genutzt, durch hohe Treiberfähigkeiten die Ausgänge von Bauteilen einfach zu überschreiben.

Eine weitere wesentliche Eigenschaft von chiporientiertem Boundary-Scan ist die Integration des TAP-Controllers direkt auf der integrierten Schaltung. Für Halbleiterbauteile ist dies von entscheidender Bedeutung, da dadurch die Zahl der benötigten externen Signale, die bei gehäusten Bauteilen in der Regel knapp bemessen sind, minimiert werden kann. Außerdem kann dadurch unabhängig von der internen Implementierung der Boundary-Scan Komponenten die Konformität zum IEEE1149.1-Standard einfacher gewährleistet werden.

Eine Einschränkung der Testbarkeit ist für mixed-signal bzw. reine Analogkomponenten gegeben. Beschränkt man sich auf die Verwendung digitaler Scanzellen, so ist ein reiner Boundary-Scan Test solcher Komponenten nicht möglich.

4.1.1 Anforderungen

Die Anforderungen an die Integration von Boundary-Scan Komponenten auf Chipebene ergeben sich im wesentlichen aus den Argumenten, die meist angeführt werden, wenn Boundary-Scan nicht implementiert wird. Dies sind i.a. der erhöhte Flächenbedarf auf dem Halbleiterbauelement und die zusätzlichen Signallaufzeiten, die durch die Scanzellen entstehen. Um also die Akzeptanz für die Implementierung von Boundary-Scan zu erhöhen, müssen diese beiden Einflußfaktoren minimiert werden.

Die Verkürzung der Signallaufzeiten kann im wesentlichen nur durch den Einsatz schnellerer Technologievarianten erreicht werden, da die Zahl der in den Signalpfad eingefügten Komponenten bereits in den IEEE1149.1-Vorschlägen minimiert ist. Der Übergang auf schnellere Technologievarianten vollzieht sich meist unter Beibehaltung der Basistechnologie durch Verringerung der geometrischen Transistorabmessungen und

Anpassung bzw. Erweiterung der benötigten Fertigungsschritte. Damit wird auch der Einflußfaktor Schaltungsgeschwindigkeit indirekt durch den Flächenbedarf bestimmt. Eine selektive Erhöhung der Geschwindigkeit der Scanzellen ist wirtschaftlich jedoch nicht sinnvoll, da eine kostengünstige Fertigung von Halbleiterbauelementen im allgemeinen nur in einem einheitlichen Prozeß möglich ist. Außerdem wird zur Herstellung von Halbleiterbauelementen die Prozeßvariante verwendet, die eine Funktion der zu implementierenden Schaltung bei einer spezifizierten Betriebsfrequenz sicherstellt. Damit verschiebt sich allerdings auch der Geschwindigkeitszuwachs der Scanzellen beim Übergang auf eine neue Technologievariante im Vergleich zum Rest der Schaltung kaum, da ein solcher Übergang nur dann stattfindet, wenn er von der eigentlichen Schaltungsfunktionalität getrieben ist.

Etwas günstiger stellt sich die Einführung fortgeschrittener Technologien für den Flächenbedarf des Boundary-Scan Anteils von Halbleiterschaltungen dar. Da bei Technologieumstellungen oft auch eine Erhöhung der Schaltungsfunktionalität stattfindet, bleiben die absoluten Chipgrößen mehr oder weniger erhalten. Dadurch verbessert sich das Flächenverhältnis von Boundary-Scan Schaltungsteilen zum Anteil der Nutzschtaltung.

Eine untergeordnete Rolle spielt für chiporientiertes Boundary-Scan die Fehlertoleranz der implementierten Scanzellen. Da die Nutzschtaltung und die Boundary-Scan Komponenten räumlich eng beieinander liegen, ist es wahrscheinlich, daß sich Defekte in den Scanzellen auch auf Teile der Nutzschtaltung ausdehnen. Daher sind defekte Scanzellen alleine in den wenigsten Fällen eine Ausfallursache. Für aktive Substrate gilt dies so nicht, wie im Folgekapitel beschrieben wird.

4.2 Substratorientiertes Boundary-Scan

Werden Schaltungskomponenten in aktive Substrate integriert, so ergeben sich gegenüber herkömmlichen Bauelementen wesentlich veränderte Randbedingungen. Die große Flächenausdehnung der Substrate erhöht die Gefahr, daß Defekte in den aktiven Strukturen zu einer fehlerhaften Komponente führen. Aufgrund der geringeren Anzahl an Komponenten pro Wafer wird der Einfluß defekter Komponenten auf die Herstellungskosten pro korrekt gefertigter Komponente deutlich steigen. Um daher mit den Herstellungskosten für aktive Substrate nicht in Regionen vorzustößen, die deren wirtschaftlichen Einsatz von vorne herein ausschließen, müssen Vorkehrungen getroffen werden, diese Kosten zu minimieren.

Ein weiterer wesentlicher Unterschied zu chiporientiertem Boundary-Scan besteht darin, daß interne Signale der Chips auf dem Substrat nicht zugänglich sind. Auch dadurch ergeben sich Bedingungen für den Entwurf der Scanzellen, die in den folgenden Kapiteln diskutiert werden. Daneben handelt es sich bei den wenigsten MCM-Systemen um rein digitale Schaltungen. D.h. auf dem Substrat sind analoge Verbindungsleitungen zwischen Komponenten vorhanden, die zumindest auf dem unbestückten Substrat auf Kurzschlüsse mit anderen Netzen und Unterbrechungen getestet werden müssen.

4.2.1 Anforderungen

Aus den genannten Randbedingungen für die Boundary-Scan Implementierung in aktive Substrate können Anforderungen abgeleitet werden, die das verfolgte Konzept erfüllen muß. Ein Weg, um die Defektwahrscheinlichkeit pro Substrat zu minimieren, ist die Zahl der aktiven Komponenten pro Substrat so klein wie möglich zu halten. Die Scanzellen selbst sollten daher so entworfen werden, daß sie die geforderte Funktionalität mit einer möglichst kleinen Zahl von Transistoren erfüllen können. Um die Transistorenzahl auf den aktiven Substraten noch stärker zu verringern, sollte der TAP-Controller nicht mit auf das Substrat integriert werden. Wird dieser als externe Komponente genutzt, so steigt zwar die Anzahl an nötigen Kontrollsignalen, die von außen zugänglich gemacht werden müssen, an, da bei MCM-Systemen i.a. aber die Zahl der externen Verbindungen keine so große Rolle spielt wie für Einzelkomponenten, ist dies ein durchaus tragbarer Kompromiß. Eine weitere Möglichkeit, die Anfälligkeit für Defekte zu verringern, ist der Einsatz erprobter, beherrschter und gut kontrollierter Fertigungsprozesse. Da dies jedoch meist Prozesse sind, die den fortschrittlichsten Herstellungsverfahren um zwei bis drei Generationen hinterherhinken, können damit meist keine Schaltungen hergestellt werden, die eine Leistung aufweisen, die der der montierten Komponenten entspricht. Daher ist beim Entwurf der Scanzellen darauf zu achten, daß deren Leistungsfähigkeit im Bezug auf Schaltgeschwindigkeit möglichst wenig Einfluß auf das MCM-System nimmt.

Da Defekte niemals ganz eliminiert werden können, sollten aktive Substrate möglichst fehlertolerant ausgelegt sein. Das heißt nicht, daß das komplette MCM-System fehlertolerant sein muß, sondern nur, daß sich Defekte in den Scanzellen mit möglichst geringer Wahrscheinlichkeit auf die eigentliche Substratfunktionalität auswirken. Es ist dabei durchaus akzeptabel, daß auf manchen Substraten einzelne Scanzellen defekt sind und somit ein Test über die in das Substrat integrierten Komponenten nicht mehr möglich ist, solange die Defekte keinen Einfluß auf die Verdrahtungsfunktionalität des Substrates haben. In diesem Falle ist dann ein Test des unbestückten Substrates mit Hilfe herkömmlicher Testmethoden nötig. Fehlertoleranz spielt auch im Bereich der Zuverlässigkeit der aktiven Substrate eine wesentliche Rolle. Der Einfluß der Scanzellen

auf das MCM-System während des normalen Betriebes sollte möglichst minimiert werden, damit Defekte, die nach dem Endtest im aktiven Teil des Substrates auftreten, keinen oder im schlechtesten Fall nur geringe Auswirkungen auf die MCM-Funktionalität haben. Methoden, die Fehlertoleranz gegenüber Fertigungsfehlern aufweisen, sind auch zur Steigerung der Zuverlässigkeit des aktiven Substrates geeignet. Daneben sollten jedoch noch darüber hinausgehende Maßnahmen getroffen werden, um eine Erhöhung der Zuverlässigkeit zu erreichen.

Neben der Minimierung der Defekte und deren Einfluß auf das Substrat, müssen die Scanzellen, die auf aktiven Substraten eingesetzt werden, unabhängig von chipinternen Signalen der zu prüfenden montierten Komponenten sein, da diese Signale wie bereits erwähnt auf dem Substrat i.a. nicht zur Verfügung stehen.

Für analoge Verbindungsleitungen auf dem Substrat muß eine Möglichkeit zum Test über digitale Scanzellen vorgesehen werden. Der Einsatz analoger Scanzellen ist zum einen aufgrund der damit verbundenen Erhöhung des Prozessierungsaufwandes nicht praktikabel. Zum anderen weisen analoge Komponenten gegenüber rein digitalen Schaltungen eine wesentlich höhere Sensitivität gegenüber prozessbedingten Parameterschwankungen auf. Aufgrund des hohen Flächenbedarfs eines Substrates im Vergleich zu Einzelkomponenten und damit der starken räumlichen Trennung der Scanzellenpaare eines Netzes, kann es daher für sensitive Signale bereits auf einem Substrat zu Problemen im normalen MCM-Betrieb kommen, wenn analoge Scanzellen eingesetzt werden.

Scanketten auf Substraten haben teilweise erheblich größere Längen als die Scanketten in Halbleiterbauelementen. Zudem sind auch die Signalleitungen, die den Schiebetakt verteilen, auf aktiven Substraten erheblich länger als in den Bauelementen. Dadurch ergeben sich wesentlich höhere Zeitkonstanten auf diesen Leitungen. Dies führt dazu, daß zu den einzelnen Schieberegisterzellen unterschiedlich lange Laufzeiten des Taktsignales auftreten, was zu Fehlern beim Schiebevorgang durch ein Überholen des Taktes durch das zu schiebende Signal führen kann. Um solche Signalwettläufe zu verhindern, müssen die Scanzellen auf den aktiven Substraten durch geeignete Designmaßnahmen unempfindlich gegen Unterschiede in den Taktsignallaufzeiten gemacht werden. Dies kann z.B. dadurch geschehen, daß die Scanzellen mit einem nichtüberlappenden Zweiphasentakt angesteuert werden. Dadurch entsteht in der Scankette ein Schieberegister, wie es in Bild 30 schematisch dargestellt ist.

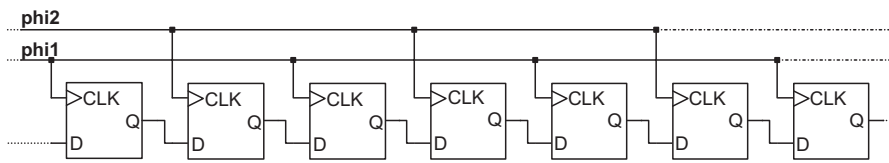


Bild 30 : Schieberegister mit nichtüberlappendem zweiphasigem Schiebetakt

Die Erzeugung dieses Zweiphasentaktes muß im TAP-Controller erfolgen und auf das TCK-Signal synchronisiert werden, damit die Kompatibilität zum IEEE1149.1-Standard erhalten bleibt.

Zusammenfassend kann gesagt werden, daß für chiporientierte und substratorientierte Boundary-Scan Ansätze zumindest in Teilbereichen durchaus unterschiedliche Strategien verfolgt werden müssen. Die offensichtlichsten Unterschiede zwischen chip- und substratorientiertem Boundary-Scan sind zusammenfassend in Tabelle 6 aufgeführt.

Tabelle 6 : Unterschiede zwischen chip- und substratorientiertem Boundary-Scan

chiporientiert	substratorientiert
Einsatz fortschrittlichster Technologien zur <ul style="list-style-type: none"> • Erhöhung der Schaltgeschwindigkeiten • Minimierung des Flächenbedarfs 	Einsatz bewährter Technologien zur Minimierung der Defektsensitivität
Chipinterne Signale für Scanzellen nutzbar	kein Zugriff auf chipinterne Signale
keine Fehlertoleranz der Scanschaltungen nötig	Fehlertoleranz der Scanschaltungen zur Erhöhung der Ausbeute nötig
Analogfunktionen mit digitalen Scanzellen nicht testbar	analoge Verbindungsleitungen sollen über Scanzellen testbar sein
Einphasentakt für Schiebeoperation ausreichend	Nichtüberlappender Zweiphasentakt für Schiebeoperation nötig

Aus dieser Tabelle und den zuvor erläuterten Anforderungen an die Scanzellen der aktiven Substrate wird ersichtlich, daß bei der Auswahl einer Schaltungstechnik für die Scanzellen, die in das Substrat integriert werden sollen insbesondere auf folgende Punkte geachtet werden muß :

- Defektanfälligkeit
- Fehlertoleranz und Zuverlässigkeit
- Unabhängigkeit von internen Chipsignalen
- Möglichkeit zum Test analoger Verbindungsleitungen mit digitalen Scanzellen

4.2.2 Platzierungsmöglichkeiten für die Scanzellen

Ein wesentlicher Unterschied zwischen chip- und substratorientiertem Boundary-Scan kann durch die Platzierung der Scanzellen erreicht werden [107]. Im folgenden sollen die Vor- und Nachteile der Platzierung im und parallel zum Signalpfad diskutiert werden. Dabei wird insbesondere auf die zuvor genannten kritischen Punkte eingegangen.

4.2.2.1 Platzierung im Signalpfad

Wird der chiporientierte Ansatz zur Boundary-Scan Implementierung für die aktiven Substrate übernommen, so erhält man die Platzierung der Scanzellen auf dem Substrat im Signalpfad, wie dies in Bild 31 dargestellt ist.

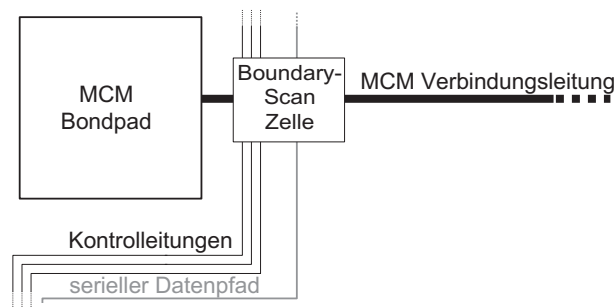


Bild 31 : Platzierung der Scanzellen im Signalpfad

Mit diesem Ansatz bleiben sämtliche Testmöglichkeiten nach dem IEEE1149.1 Standard erhalten. D.h. es besteht uneingeschränkte Testbarkeit sowohl des unbestückten Substrates als auch aller auf das Substrat montierten Komponenten. Neben der optimalen Testbarkeit bringt diese Platzierung der Scanzellen jedoch auch einige Nachteile, insbesondere beim Einsatz auf aktiven Substraten, mit sich.

Defektanfälligkeit

Dadurch, daß wie beim chiporientierten Boundary-Scan Einsatz eine Propagierung des Signals durch die Scanzelle erfolgen muß, treten auch hier die Probleme der Signalverzögerung auf. Da siliziumbasierte Substrate aber hauptsächlich für Hochleistungssysteme eingesetzt werden, muß diese Verzögerung so gering wie möglich gehalten werden. Wenn nun, wie für chiporientiertes Boundary-Scan, ein Übergang auf moderne Technologien durchgeführt wird, steigen Defektanfälligkeit und die reinen Herstellungskosten der Substrate stark an. Da im Gegensatz zu herkömmlichen Bauteilen für das

Substrat i.a. kein Flächengewinn durch den Übergang auf moderne Technologien erreicht wird, weil die aktiven Teile des Substrates nicht der flächenbestimmende Faktor sind, erhöhen sich die Herstellungskosten für ein funktional korrektes Substrat substantiell.

Fehlertoleranz und Zuverlässigkeit

Die Funktion des Substrates hängt bei der Platzierung der Scanzellen im Signalpfad ganz wesentlich von der Funktion jeder einzelnen Scanzelle ab. Tritt in einer Scanzelle ein Defekt auf, der eine Propagierung des logischen Wertes auf der zugeordneten Verbindungsleitung verhindert, führt dies zu einem Versagen des gesamten MCM-Systems. Dadurch, daß zumindest ein Multiplexer und ein Treiber pro Scanzelle in die Propagierung des Signalwertes involviert sind, ergibt sich bereits für die Minimalausführung einer Scanzelle nach Bild 32 ein Anteil von 19% der Transistoren, die für eine einwandfreie Funktion des Substrates unbedingt nötig sind. Betrachtet man zusätzlich noch Defekte in der Scanzelle, die sich auf die Ansteuerung dieser Transistoren auswirken, so steigt dieser Anteil noch weiter an.

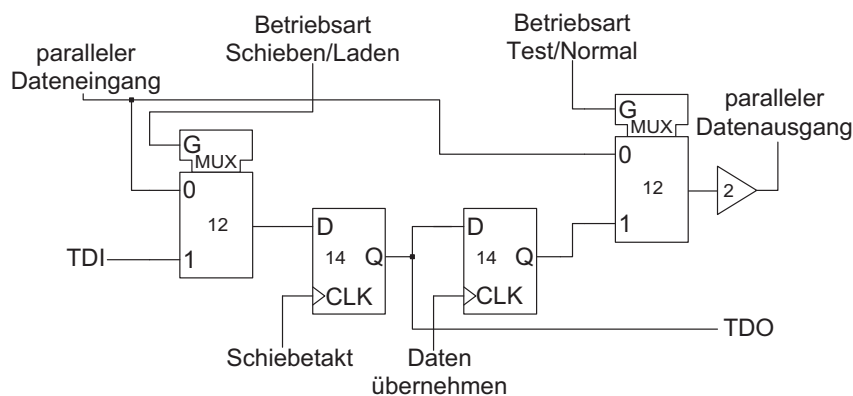


Bild 32 : Scanzelle mit Transistorzahlen für die verwendeten Gatter

Im Bezug auf Fehlertoleranz und Zuverlässigkeit führen die Erfordernisse, die die Platzierung der Scanzellen im Signalpfad stellen, also zu nicht vernachlässigbaren Nachteilen für die aktiven Substrate.

Unabhängigkeit von internen Chipsignalen

Die Unabhängigkeit von chipinternen Signalen in Kombination mit der Platzierung der Scanzellen im Signalpfad muß mit schwerwiegenden Nachteilen erkaufte werden. Das Problem, das mit diesem Platzierungsansatz auftritt, bezieht sich auf bidirektionale Signalverbindungen des MCMs. Bidirektionale Pads auf Chipebene sind üblicherweise entsprechend der schematischen Abbildung in Bild 33 ausgeführt. Ein Kontrollsignal,

das die Richtungsinformation enthält, aktiviert einen von zwei tristatefähigen Treibern und deaktiviert den anderen.

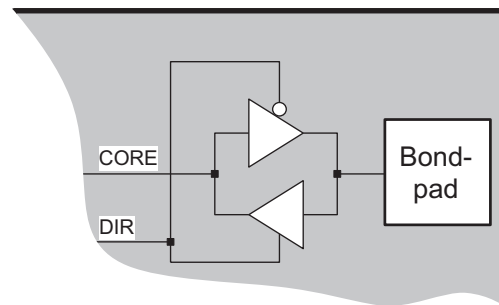


Bild 33 : schematische Darstellung eines bidirektionalen Pads

Für chiporientiertes Boundary-Scan kann dieses Kontrollsignal dazu verwendet werden, einen bidirektionalen Treiber entsprechend Bild 34 zu konfigurieren. Da dieses chipinterne Kontrollsignal aber i.a. nicht außerhalb des Chips verfügbar ist, hat die Scanzelle im bidirektionalen Signalpfad auf dem Substrat keine Möglichkeit, die beiden in Bild 34 dargestellten Signalflüsse zu erkennen und einen Treiber in der Scanzelle entsprechend zu konfigurieren.

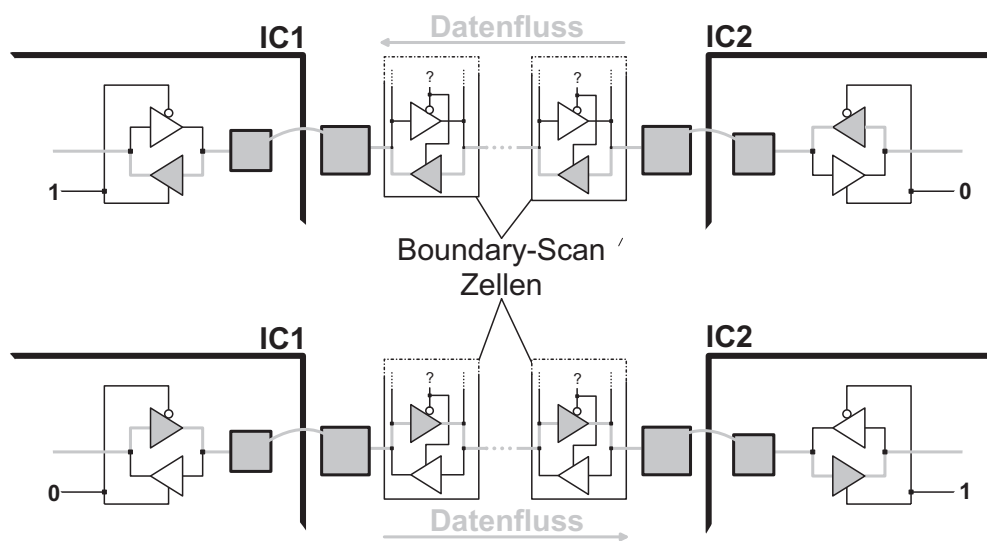


Bild 34 : mögliche Signalflüsse für bidirektionale Verbindungen

Es ist mit der Platzierung der Scanzellen im Signalpfad also kein aktives Treiben des Signalwertes in die eine oder andere Richtung möglich, zumal dies nicht nur während des Tests über die Scankette möglich sein muß, sondern auch im normalen MCM-Betrieb, in dem eine Vorhersage über die Richtungsumschaltungen in den allerwenigsten Fällen möglich ist. Die einzige Möglichkeit, die Testbarkeit und den normalen Betrieb

von bidirektionalen Signalleitungen mit dieser Plazierung der Scanzellen zu erreichen, besteht darin, passive Komponenten wie z.B. transmission gates in den Signalpfad zu schalten. Mit einer Schaltung wie sie in Bild 35 dargestellt ist, ist die Ankopplung einer bidirektionalen Scanzelle an einen bidirektionalen Datenpfad auf dem Substrat möglich. Diese Ankopplung ermöglicht eine Abtastung des logischen Wertes aus beiden Signalrichtungen, sowie die Stimulierung eines logischen Wertes ebenfalls in beide Signalrichtungen durch eine entsprechende Ansteuerung der tristatefähigen Treiber und eine Abschaltung der entsprechenden Transferrgatter. Im normalen MCM-Betrieb sind beide Transferrgatter durchgeschaltetet.

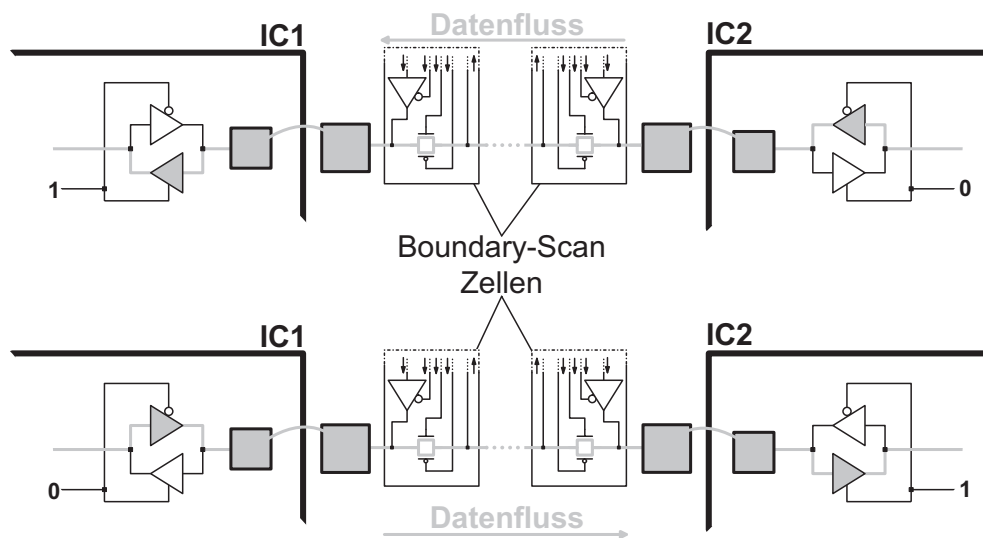


Bild 35 : Einbindung von Scanzellen in einen bidirektionalen Signalpfad

Der enorme Nachteil dieser Lösung liegt daran, daß die Transferrgatter durch ihren nicht vernachlässigbaren Widerstand im durchgeschalteten Zustand die Zeitkonstante der Signalleitung wesentlich erhöhen. Dabei ist es nicht möglich, die Dimensionierung der Gatter einfach immer weiter zu vergrößern, um diesen Widerstand zu verringern. Durch die Vergrößerung der Abmessungen sinkt der Widerstand zwar immer weiter ab, aber gleichzeitig werden die Source- und Drainkapazitäten der verwendeten Transistoren erhöht. Daher erhält man zwar zunächst eine Verringerung der Zeitkonstanten, aber nach dem Überschreiten eines optimalen Dimensionierungspunktes steigt diese wieder an. Dadurch wird das Signal, das die Transferrgatter passieren muß extrem verzögert und die Signalform wird verfälscht. SPICE-Simulationen zeigen, daß die Bandbreite, die über Transferrgatter übertragen werden kann, nicht den Anforderungen entspricht, die an Siliziumsubstrate auf denen fast ausschließlich Hochleistungssysteme aufgebaut werden, gestellt werden. In Bild 36 ist eine solche Simulation, die die Signalform vor und nach zwei optimal dimensionierten Transferrgattern zeigt, dargestellt.

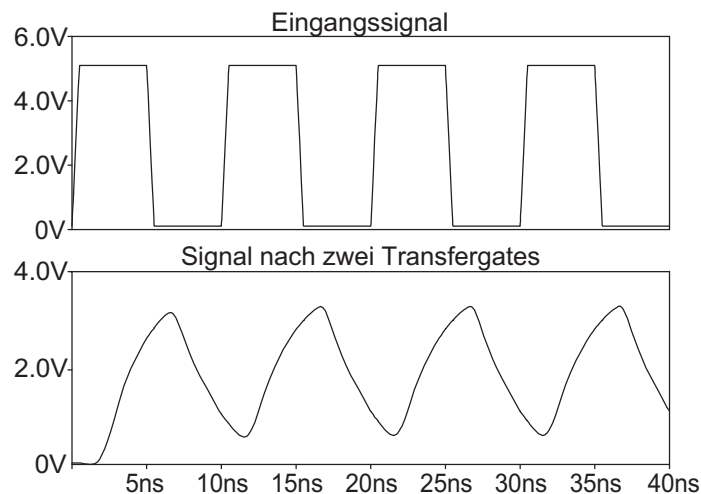


Bild 36 : Simulation zweier Transferegates im Signalpfad

Möglichkeit zum Test analoger Verbindungsleitungen

Wie auch für chiporientiertes Boundary-Scan ist bei der Platzierung der Scanzellen im Signalpfad auf aktiven Substraten ein Test analoger Verbindungsleitungen über die Scankette nur schwer durchführbar. Sollen ausschließlich digitale Scanzellen verwendet werden, so besteht die einzige Möglichkeit zumindest die Testbarkeit für das unbestückte Substrat sicherzustellen darin, die Scanzellen über Anlogschalter in den Signalpfad einzukoppeln. Damit ergibt sich eine Konstruktion, die im wesentlichen der Ankopplung bidirektionaler Signale in Bild 35 entspricht. Dabei zeigen die Anlogschalter natürlich dieselben Nachteile wie für bidirektionale Signale. Für sensitive analoge Signale ist diese Möglichkeit die Substratverbindungen zu testen daher nicht anwendbar. In diesem Falle gibt es keine Möglichkeit analoge Verbindungsleitungen mit in den Signalpfad integrierten Scanzellen zu testen.

4.2.2.2 Platzierung parallel zum Signalpfad

Neben der bloßen Übertragung des chiporientierten Boundary-Scan Ansatzes mit der Platzierung der Scanzellen im Signalpfad auf aktive Substrate, kann die Platzierung der Scanzellen auch parallel zum Signalpfad erfolgen, wie dies in Bild 37 dargestellt ist.

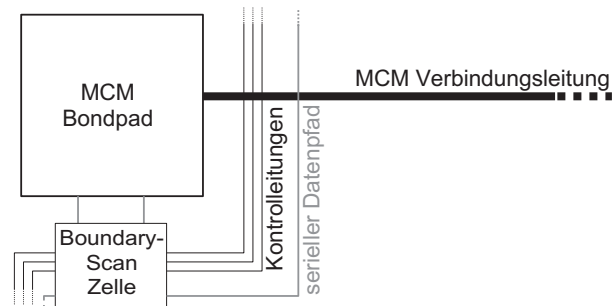


Bild 37 : Platzierung der Scanzellen parallel zum Signalpfad

Mit dieser Platzierungsvariante werden einige der Anforderungen an die Implementierung von Scanzellen in aktiven Substraten wesentlich besser erfüllt, als mit der Platzierung im Signalpfad. Allerdings erhält man damit auch Einschränkungen bezüglich der Testbarkeit der auf das Substrat montierten Chips über die in das Substrat integrierte Scankette. Die Vor- und Nachteile dieses Ansatzes werden im folgenden diskutiert.

Defektanfälligkeit

Durch die Platzierung der Scanzellen neben dem Signalpfad muß das Signal auf der zugeordneten Substratverbindungsleitung nicht mehr durch die Scanzelle hindurch propagiert werden. Daher treten keine extremen Anforderungen an die Schaltgeschwindigkeit der in den Scanzellen genutzten Transistoren mehr auf. Dies ermöglicht die Nutzung beherrschter, kostengünstiger Herstelltechnologien für die aktiven Substrate. Neben den niedrigeren Substratherstellungskosten tragen dabei auch die verbesserten Ausbeuten zu einem Kostenvorteil gegenüber der Platzierungsmethode im Signalpfad bei.

Fehlertoleranz und Zuverlässigkeit

Neben einer Verbesserung im Bezug auf die Fehleranfälligkeit weist die Platzierung der Scanzellen parallel zum Signalpfad auch erhöhte Fehlertoleranz und Zuverlässigkeit auf. Der Grund dafür ist ebenfalls darin zu sehen, daß keinerlei aktive Komponenten der Scanzelle in die Propagierung des Substratsignales involviert sind. Damit reduziert sich die Zahl der Defekte in der Scanzelle, die sich auf die Verbindungsfunktionalität des

Substrates auswirken, auf diejenigen Defekte, die sich durch einen stuck-at-1 oder stuck-at-0 Fehler am Ausgang der Scanzelle bemerkbar machen.

Eine Auswirkung dieser Fehler ist allerdings auch nur dann zu beobachten, wenn die Scanzellen mit Spannung versorgt werden. Durch die Platzierung neben dem Signalpfad und die Spannungsversorgung der Scanzellen über einen vom restlichen System getrennten Versorgungspfad besteht jedoch auch die Möglichkeit, die Versorgung der Scankette abzuschalten und das Substrat als rein passiv zu behandeln. Damit ist dann ein konventioneller Test des unbestückten Substrates trotz vorhandener Defekte in den aktiven Substratteilen möglich. Der Vorteil, daß sich durch die Abschaltung der Scankettenversorgung die aktiven Substrate mit der Scanzellenplatzierung neben dem Signalpfad wie passive Substrate verhalten, wirkt sich insbesondere auf die Zuverlässigkeit der MCM-Systeme positiv aus. Während bei der Platzierung der Scanzellen im Signalpfad eine Versorgung der Scanzellen in allen MCM-Betriebsarten unabdingbar ist und sich Fehler in Scanzellen damit auch im MCM-Normalbetrieb auswirken, ist dies für die Platzierung der Scanzellen neben dem Signalpfad nicht der Fall. Hier muß eine Versorgung der Scanzellen nur dann stattfinden, wenn Tests über die Scanzellen durchgeführt werden sollen. Für alle anderen Betriebsarten und insbesondere im normalen Betrieb des MCM-Systems ist eine Versorgung des aktiven Substrates nicht notwendig, wodurch von Seiten der aktiven Strukturen im Substrat auch keine Zuverlässigkeitsprobleme für das MCM-System erzeugt werden.

Unabhängigkeit von internen Chipsignalen

Die Platzierung neben dem Signalpfad schafft die vollständige Unabhängigkeit von chipinternen Signalen. Betrachtet man sich die Lösung des Problems der chipinternen Signale für die Scanzellenplatzierung im Signalpfad auf bidirektionalen Substratverbindungsleitungen in Bild 35 genauer, so stellt man fest, daß im Prinzip auch dort schon eine Platzierung der eigentlichen Scanzelle parallel zum Signalpfad stattgefunden hat. Nur die zur Scanzelle gehörenden Transferelemente liegen noch im Signalpfad. Für eine komplette Platzierung der Scanzelle parallel zum Signalpfad werden diese Transferelemente nun einfach aus der Schaltung herausgenommen, womit man eine Beschaltung nach Bild 38 erhält. Damit werden die negativen Auswirkungen der Scanzelle auf das MCM-Signal deutlich reduziert. Eine Erhöhung der Zeitkonstanten der MCM-Verbindungsleitung erfolgt im Vergleich zu einem passiven Substrat lediglich durch die Source- und Drainkapazitäten des Ausgangstreibers in der Scanzelle und die vernachlässigbaren Gatekapazitäten des Scanzelleneinganges.

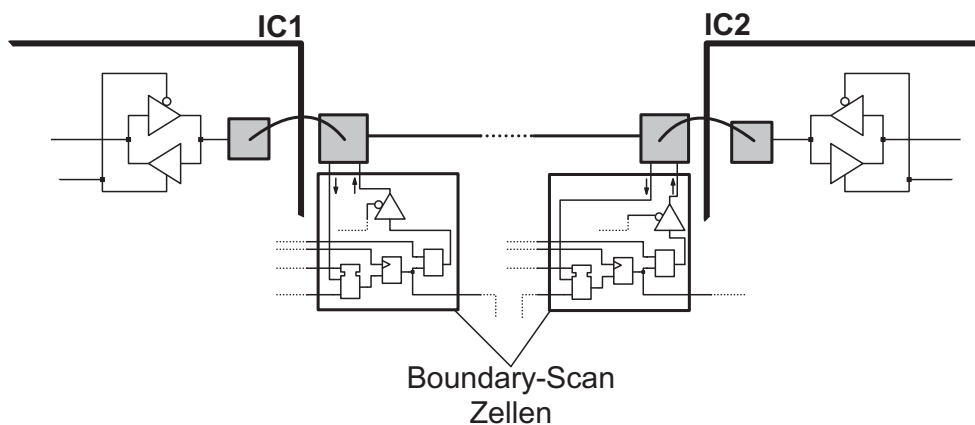


Bild 38 : Ankopplung von Scanzellen parallel zum Signalpfad an bidirektionale Signalpfade

Möglichkeit zum Test analoger Verbindungsleitungen

Da keine digitalen Komponenten mehr im Signalpfad vorhanden sind, ist ein Test analoger Verbindungsleitungen mit Hilfe der Scanzellenplatzierung neben dem Signalpfad möglich. Voraussetzung dafür ist allerdings, daß die durch die Scanzellen zusätzlich eingeführten Leitungskapazitäten keinen zu starken Einfluß auf das analoge Signal im Normalbetrieb nehmen. Diese zusätzlichen Kapazitäten dürften jedoch nur für äußerst sensitive Analogsignale von Bedeutung sein. Die digitalen Scanzellen, die zum Test analoger Verbindungsleitungen genutzt werden, bieten natürlich nur eingeschränkte Möglichkeiten zum Test der montierten Bauteile. Durch den Einsatz von jeweils an das Zielsystem angepassten Scanzellen mit analogen Fähigkeiten könnte jedoch auch die Testbarkeit in diesem Bereich verbessert werden, was im Rahmen dieser Arbeit allerdings nicht näher untersucht wurde.

Einschränkungen für den Test montierter Bauteile

Neben den aufgeführten Vorteilen entstehen durch die Platzierung der Scanzellen neben dem Signalpfad jedoch auch Einschränkungen für die Testbarkeit der montierten Bauteile. Diese beruhen im wesentlichen darauf, daß externe Signale montierter Bauteile durch die Scanzellen nicht mehr elektrisch voneinander getrennt werden können. Dadurch können Eingänge von montierten Bauteilen nicht mehr unabhängig von den damit verbundenen Ausgängen anderer bereits montierter Bauteile über die Scanzellen stimuliert werden, da Signalkonflikte wie in Bild 39 dargestellt, auftreten können. Exakt dieselbe Problematik ist beim Test über In-Circuit-Testsysteme ebenfalls anzutreffen. Die hohen Treiberfähigkeiten der Testerkanäle eines In-Circuit-Testers ermöglichen es jedoch, den Ausgangswert eines Bauteils zu überschreiben. Dies ist in unserem Falle mit den Scanzellen nicht möglich.

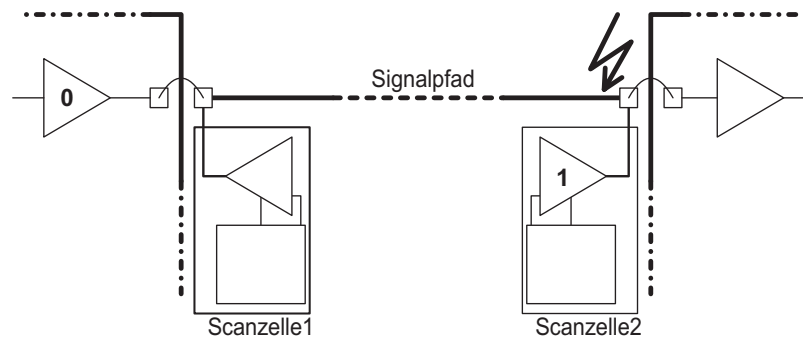


Bild 39 : Einschränkung der IC-Testbarkeit durch Treiberkonflikte

Auch für den In-Circuit-Test beinhaltet dieses Überschreiben jedoch einige Problematiken, da das Bauteil, dessen Ausgang überschrieben wird, während dieser Phase extremem Streß ausgesetzt ist. Daher sehen ICT-Testsysteme Möglichkeiten vor, für sensitive Bauteile das Überschreiben von Werten ganz zu verbieten oder zumindest zeitlich zu begrenzen. Wo möglich wird jedoch eine Mustersequenz für jedes Bauteil angegeben, mit der Ausgänge in einen hochohmigen Zustand gebracht werden können.

Genau dieses ist für die aktiven Substrate mit einer Platzierung der Scanzellen neben dem Signalpfad die einzige Möglichkeit, eine vollständige Testbarkeit vom unbestückten Substrat bis zum komplett aufgebauten MCM-System zu erreichen. Wo es nicht möglich ist, Ausgänge von Bauteilen in den hochohmigen Zustand zu bringen, muß eine intelligente Montagestrategie verfolgt werden, die eine Verbindung von Chipeingängen mit diesen Ausgängen bereits montierter Bauteile möglichst lange hinauszögert. Dadurch wird zumindest der Test einiger der montierten Bauteile ermöglicht. Der Einfluß der Testbarkeit der montierten Bauteile auf die MCM-Systemkosten wurde im Rahmen der Kostenmodellrechnungen in Kapitel 3.3 bereits untersucht.

4.2.2.3 Folgerungen aus dem Platzierungsvergleich

Zusammenfassend kann aus dem Vergleich der beiden betrachteten Möglichkeiten zur Platzierung der Scanzellen gesagt werden, daß für aktive Substrate die Platzierung parallel zum Signalpfad wesentliche Vorteile gegenüber der Platzierung im Signalpfad bietet. Verglichen mit diesen Vorteilen, die sich ganz wesentlich auf die Substratkosten und die Zuverlässigkeit des Komplettsystems auswirken, erscheint der Nachteil der eingeschränkten Testbarkeit durchaus vertretbar. Dieser Eindruck wird noch dadurch verstärkt, daß die Einschränkungen in der Testbarkeit durch entsprechende Maßnahmen während des Tests der Bauteile und in der Montage der Komponenten minimiert werden können. Zur weiteren Optimierung der Testbarkeit können eventuell auch Maßnahmen

im Design der verwendeten Komponenten dienen. Aufgrund dieser Betrachtungen wird im folgenden nur noch die Plazierung der Scanzellen parallel zum Scanpfad betrachtet.

4.2.3 Testmethodik

Der Test des unbestückten Substrates soll Defekte wie unterbrochene Verbindungen und Kurzschlüsse zwischen unterschiedlichen Netzen detektieren. Nach einem Test der Integrität der Scankette auf dem Substrat erfolgt dieser Open-Short Test. Dazu wird jeweils eine Scanzelle in der gesamten Kette so konfiguriert, daß ein logischer Wert auf das angeschlossene Netz getrieben wird. Die Treiber aller anderen Scanzellen sind in einem hochohmigen Zustand und werden über einen Pullup- bzw. Pulldown-Widerstand auf den dem getriebenen Wert entgegengesetzten logischen Pegel gezogen. Im nächsten Schritt wird durch alle Scanzellen der logische Wert des jeweils mit der Scanzelle verbundenen Netzes geladen. In Scanzellen, die mit dem Netz der treibenden Zelle verbunden sind, wird dabei der getriebene Wert, der den schwachen logischen Pegel des Pull-Widerstandes überschrieben hat, geladen. In allen anderen Scanzellen ist nach dem Ladevorgang der logische Wert, der durch die Pull-Widerstände erzeugt wird, enthalten. Beim Herausschieben der abgetasteten Werte erfolgt die Testauswertung durch das Boundary-Scan Testsystem.

Die Pull-Widerstände sind nötig, um eine Verfälschung der Testergebnisse durch kapazitive Kopplungen zwischen den Netzen zu verhindern. Die parasitären Kapazitäten wie in Bild 40 zwischen benachbarten Netzen bzw. zwischen den beiden Leitungskanten eines unterbrochenen Netzes können dazu führen, daß der stimulierte Wert auf ein anderes Netz bzw. über eine Unterbrechung hinweg übermittelt wird. Dadurch werden im Falle unterschiedlicher Netze nicht vorhandenen Kurzschlüsse detektiert. Im Fall einer Leitungsunterbrechung kann die kapazitive Kopplung dazu führen, daß diese Unterbrechung nicht detektiert wird. Die Pull-Widerstände verhindern die Auswirkungen kapazitiver Kopplungen, da zum Überschreiben der durch sie verursachten schwachen logischen Pegel ein gewisser schwacher Stromfluß vorhanden sein muß, der über die parasitären Kapazitäten hinweg nicht erfolgen kann.

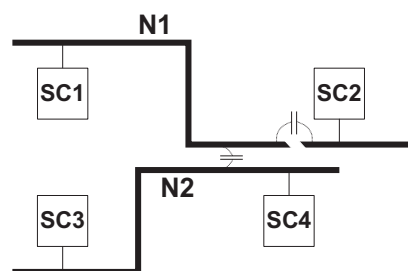


Bild 40 : kapazitive Kopplung zwischen Netzen und Netzunterbrechungen

4.2.4 Konsequenzen für Scanzellenentwurf

Aus der beschriebenen Testmethodik und den Anforderungen an die in Substrate integrierten Scanzellen ergeben sich Konsequenzen für den Scanzellenentwurf, die dazu führen, daß die Funktionalität dieser Zellen sich wesentlich von den Vorschlägen des IEEE1149.1 Standards unterscheiden. Wie bereits erwähnt, muß das Schieben der Werte in der Kette durch einen nichtüberlappenden Zweiphasentakt erfolgen. Ein wesentlicher Unterschied zu den Standardvorschlägen für die Scanzellen besteht auch darin, daß einzelne Zellausgänge in der Scankette individuell kontrollierbar in einen hochohmigen bzw. stimulierenden Zustand versetzt werden müssen. Auch die Pull-Widerstände sind in den IEEE1149.1-Vorschlägen für die Scanzellen nicht vorgesehen, für den Einsatz auf aktiven Substraten aber zwingend notwendig.

4.3 Testsystemanbindung

Wie in Kapitel 4.2.1 über die Anforderungen an substratorientiertes Boundary-Scan bereits erwähnt, erfolgt eine Integration des TAP-Controllers nicht auf dem aktiven Substrat, um die Substratkosten durch sinkende Ausbeuten nicht in die Höhe zu treiben. Statt dessen wird zur Anbindung des aktiven Substrates an IEEE1149.1-konforme Testsysteme eine Interfaceschaltung verwendet, die den TAP-Controller in einem ASIC zur Verfügung stellt. Zwischen einem z.B. PC-basierten Boundary-Scan Testsystem und der Interfaceschaltung werden die TAP-Signale TDI, TDO, TMS, TCK und TRST genutzt [108][109]. Von der Interfaceschaltung zum aktiven Substrat erfolgt die Anbindung dann direkt über die Kontrollsignale die den Scanzellen zur Verfügung gestellt werden müssen. Dieses Anbindungskonzept ist in Bild 41 dargestellt.

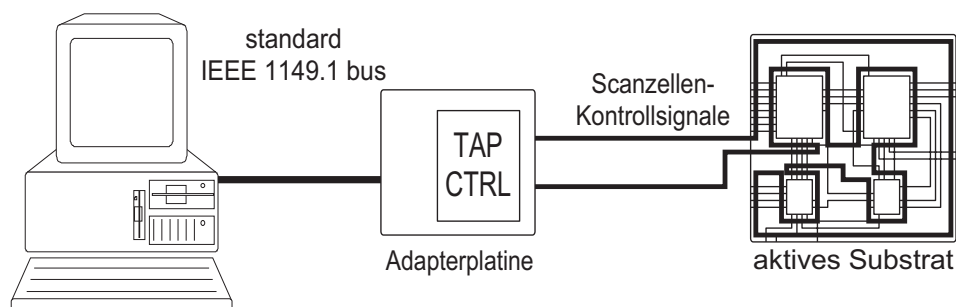


Bild 41 : Anbindung der aktiven Substrate an Boundary-Scan Testsysteme

5 Anwendungsbeispiele

Die praktische Umsetzung des vorgestellten Testkonzeptes erfolgte in zwei Schritten. Zur Überprüfung der Testmethodik und zur Identifikation möglicher Problempunkte wurden zunächst Scanzellen mit der geforderten Funktionalität für die Fertigung auf einem ASIC entworfen. Neben den Scanzellen wurde auf diesem ASIC auch der für die Interfaceschaltung notwendige TAP-Controller implementiert. Nachdem ein Demonstrationssystem aus diesen Komponenten aufgebaut und evaluiert war, erfolgte der physikalische Entwurf der Scanzellen, die in das aktive Substrat integriert werden sollten. Basierend auf diesen physikalischen Entwürfen wurde eine aktives Demonstrationssubstrat entworfen, gefertigt und evaluiert.

5.1 Evaluierung der Testmethodik

Wie bereits beschrieben enthält das ASIC, das zur Evaluierung der Testmethodik diente, sowohl einen TAP-Controller als auch Scanzellen mit der in Kapitel 4.2 beschriebenen Funktionalität. Dabei erfolgt die Verbindung zwischen Scanzellen und TAP-Controller nicht auf dem ASIC selbst, sondern über externe Schaltungssignale. Damit kann dieses ASIC auch als Interfaceschaltung zur bereits beschriebenen Anbindung eines Boundary-Scan Testsystems an die aktiven Substrate verwendet werden. Genau diese Anordnung wird auch für die Evaluierung der Testmethodik verwendet. Über die Interfaceschaltung mit dem ASIC, auf dem nur der TAP-Controller genutzt wird, erfolgt der Anschluß einer Evaluationsplatine an ein Standard Boundary-Scan Testsystem. Auf der Evaluationsplatine befinden sich wiederum ASICs, bei denen in diesem Fall jedoch nur die implementierten Scanzellen zu einer Scankette verschaltet sind. Damit erhält man prinzipiell dieselbe Anordnung, wie sie später auch bei der Verwendung aktiver Substrate auftritt.

5.1.1 Logikentwurf der Scanzellen

Werden die Scanzellen parallel zum Signalpfad platziert, so muß eine Stimulierung und Abtastung des Signalpfades über dasselbe Netz möglich sein, da der Ausgang und der Eingang der Scanzelle spätestens über das zu prüfende Netz kurzgeschlossen werden. Der Punkt, an dem dieser Kurzschluß stattfindet, sollte nicht bereits innerhalb der Scanzelle gewählt werden, sondern möglichst dicht am zu prüfenden Netz bzw. durch das zu prüfende Netz selbst. Eine Verbindung innerhalb der Zelle würde zwar den Verdrahtungsaufwand des aktiven Substrates etwas verringern, da nur eine Signalleitung

zum zu prüfenden Netz geführt werden müßte, aber mit zwei getrennten Signalführungen und dem Kurzschluß über das zu prüfende Netz kann die Korrektheit der Verbindung zwischen Scanzelle und Substratverbindungsleitung getestet werden. Dazu wird von der Scanzelle ein Wert stimuliert, der dann über den Kurzschlußpunkt propagiert und am Eingang der Scanzelle wieder abgetastet wird. Wie die weiteren bereits zuvor identifizierten Eigenschaften, die die Scanzellen aufweisen müssen, schaltungstechnisch umgesetzt werden ist in den folgenden Abschnitten beschrieben.

Erzeugung schwacher logischer Pegel am Scanzelleneingang

Die Erzeugung schwacher logischer Pegel ist funktional dem Eingang der Scanzelle zugeordnet, da nach dem bereits beschriebenen Ablauf des Substrattests diese Pegel dazu dienen, beim Abtasten des logischen Wertes auf dem zu prüfenden Netz zwischen getriebenen und kapazitiv gekoppelten Werten zu unterscheiden. In den nachfolgend dargestellten Bildern sind diese Schaltungsteile jeweils an die Ausgänge der Scanzellen angeschlossen, was aufgrund des erwähnten Kurzschlusses zwischen Aus- und Eingang der Scanzelle jedoch keine Auswirkungen auf die Schaltungsfunktionalität hat. Zur Erzeugung der schwachen logischen Pegel werden in den auf den aktiven Substraten eingesetzten Scanzellen Transistoren verwendet, die eine kleinere Dimensionierung und damit ein höheres R_{on} aufweisen als die Transistoren der an den Ausgängen der Scanzelle verwendeten Treiber. Damit ist ein Überschreiben der von den Pull-Transistoren erzeugten logischen Werte durch die Ausgangstreiber möglich. Da für die ASIC-Entwicklung keine Pull-Widerstände und auch keine unterschiedlich dimensionierten Transistoren zur Verfügung standen, wurden zur Erzeugung der schwachen Pegel Tristateinverter verwendet. Da im Signalpfad dieser Inverter jeweils zwei Transistoren zu finden sind, liefern sie im Vergleich zum Ausgangstreiber der Scanzelle schwache Signale, die von diesem überschrieben werden können.

Die Information zur Erzeugung der schwachen logischen Pegel kann auf zwei Wegen zur Scanzelle gebracht werden. Zum einen besteht die Möglichkeit in jeder Scanzelle eine separate Speicherzelle vorzusehen, die über die Scankette geladen werden kann und die angibt, in welchen Zustand die Pull-Transistoren zu schalten sind. Dadurch wird der Ablauf des Tests aber extrem verlängert, da diese Information immer durch die gesamte Scankette geschoben werden muß. Außerdem ergibt sich bei der näheren Betrachtung des Testalgorithmus für die aktiven Substrate nicht die Notwendigkeit, die Pull-Transistoren pro Scanzelle individuell in einen bestimmten Zustand zu bringen. Daher wurde für die Implementierung dieser Funktion der Weg über globale Kontrollsignale gewählt, die vom TAP-Controller erzeugt werden. Damit steht die notwendige

Information mit dem Laden eines Befehls in den Controller allen Scanzellen gleichzeitig zur Verfügung.

nichtüberlappender Zweiphasentakt

Die Schiebestufe der Scanzelle wird über einen nichtüberlappenden Zweiphasentakt angesteuert. Damit entfällt die Notwendigkeit zur Verwendung von flankengetriggerten Flip-Flops, wie sie für Boundary-Scan Zellen, die mit nur einem Taktsignal angesteuert werden, genutzt werden müssen. Statt dessen können zwei Latches für die Speicherung eines Bits im Schieberegister verwendet werden. Das erste dieser Latches wird mit der ersten Phase des Taktes transparent geschaltet, das zweite, mit der zweiten Taktphase, wie es schematisch in Bild 42 dargestellt ist.

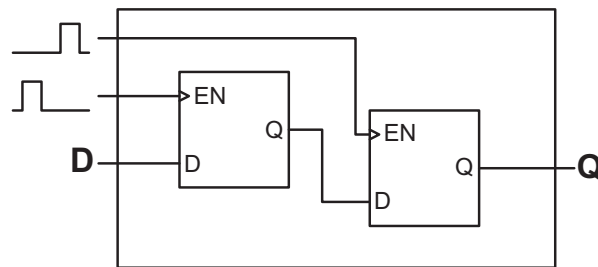


Bild 42 : Schieberegisterstufe der verwendeten Scanzellen

Dadurch, daß ein nicht überlappender Takt verwendet wird, gibt es somit immer einen Zeitabschnitt, in dem keines der beiden Latches in den Transparentmodus geschaltet ist. Somit wird eine gleichzeitige Propagierung des Signales durch mehrere Latches hindurch verhindert. Der zeitliche Abstand zwischen den Transparentphasen der Latches kann über den Zweiphasentakt vorgegeben werden. Damit kann ein Funktionieren der Schiebefunktion in der Scankette auch dann gewährleistet werden, wenn auf den Taktleitungen zu den Scanzellen extreme Laufzeitunterschiede auftreten. Dazu wird der Abstand zwischen den Transparentphasen einfach verlängert.

individuelle Tristatekontrolle pro Scanzelle

Für die Implementierung der individuellen Tristatekontrolle wurden zwei Möglichkeiten zur Realisierung betrachtet. Die erste, naive Methode, sieht in jeder Scanzelle ein separates Speicherbit vor, das bestimmt, ob der Ausgangstreiber hochohmig ist oder nicht. Wie bei der Betrachtung zur Implementierung der Pull-Transistoransteuerung ist aber auch damit ein erhöhter Zeitbedarf für die Schiebeoperationen verbunden, da je nach Ausführung der Speicherfunktion entweder die Länge des Schieberegisters

verdoppelt wird, oder aber für jeden Test eines Netzes zwei mal ein Wert in das Schieberegister geladen werden muß.

Die zweite Methode der Implementierung ergibt sich, wenn der Testalgorithmus für die aktiven Substrate genauer analysiert wird. Man kann dann erkennen, daß die Ausgangstreiber der Scanzellen genau dann nicht im Tristatemodus sind, wenn der geladene Wert die schwachen logischen Werte der anderen Zellen überschreiben soll. Außerdem ergibt sich aus dieser Betrachtung, daß der getriebene logische Wert und der über die Pull-Transistoren erzeugte logische Wert immer entgegengesetztes Potential besitzen. Damit ist eine Beziehung zwischen dem in der jeweiligen Scanzelle gespeicherten Wert und dem Zustand der globalen Pull-Kontrolle gegeben, der dazu genutzt werden kann, ein Steuersignal für die Tristatekontrolle des Ausgangstreibers einer Scanzelle zu erzeugen. In die Kombination zur Generierung des Kontrollsignales geht daneben auch noch der Wert des vom TAP-Controller erzeugten Signales DMX zur globalen Zustandssteuerung der Ausgangstreiber mit ein. Für die zweite Realisierungsmöglichkeit einer Scanzelle ergibt sich demnach die in Tabelle 7 aufgeführte Vorschrift zur Erzeugung dieses Kontrollsignales.

Tabelle 7 : Wertetabelle zur Erzeugung des Tristate-Kontrollsignales pro Scanzelle

Inhalt der Scanzelle	Pullup-Kontrolle (low-aktiv)	Pulldown-Kontrolle (low-aktiv)	DMX (high-aktiv)	Ausgangstreiber eingeschaltet	Ausgangstreiber im Tristate-Modus
X	X	x	1		✓
X	1	1	0	✓	
X	0	0	0		✓
0	1	0	0		✓
1	0	1	0		✓
0	0	1	0	✓	
1	1	0	0	✓	

Für beide dieser Kontrollmöglichkeiten wurde je eine Scanzelle entwickelt, die beide auf dem ASIC-Entwurf evaluiert wurden. Die auf der genutzten ASIC-Bibliothek basierenden Entwürfe sind in Bild 43 bzw. Bild 44 dargestellt.

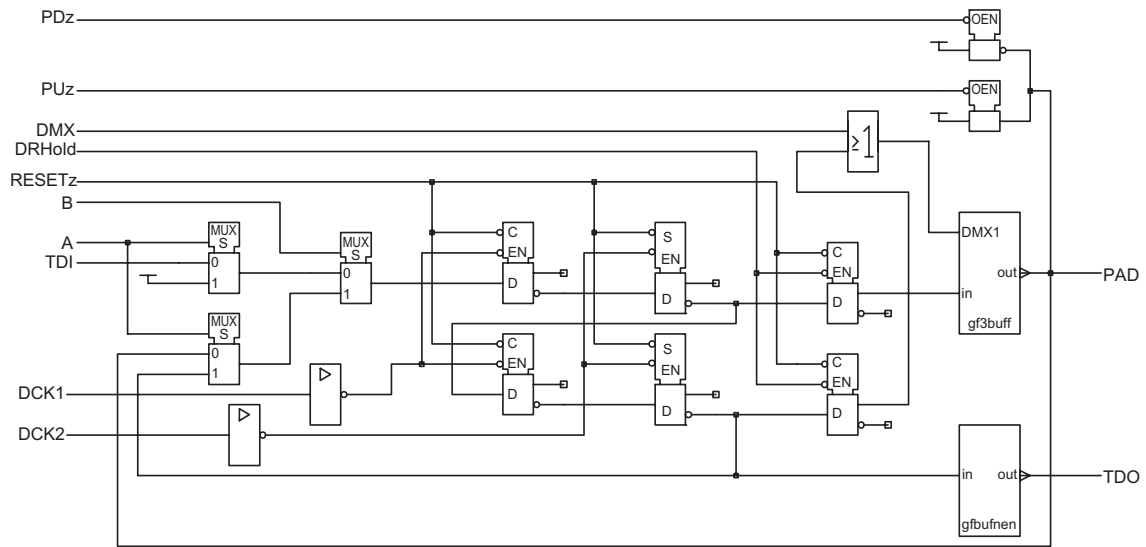


Bild 43 : Version1 der entworfenen Scanzellen

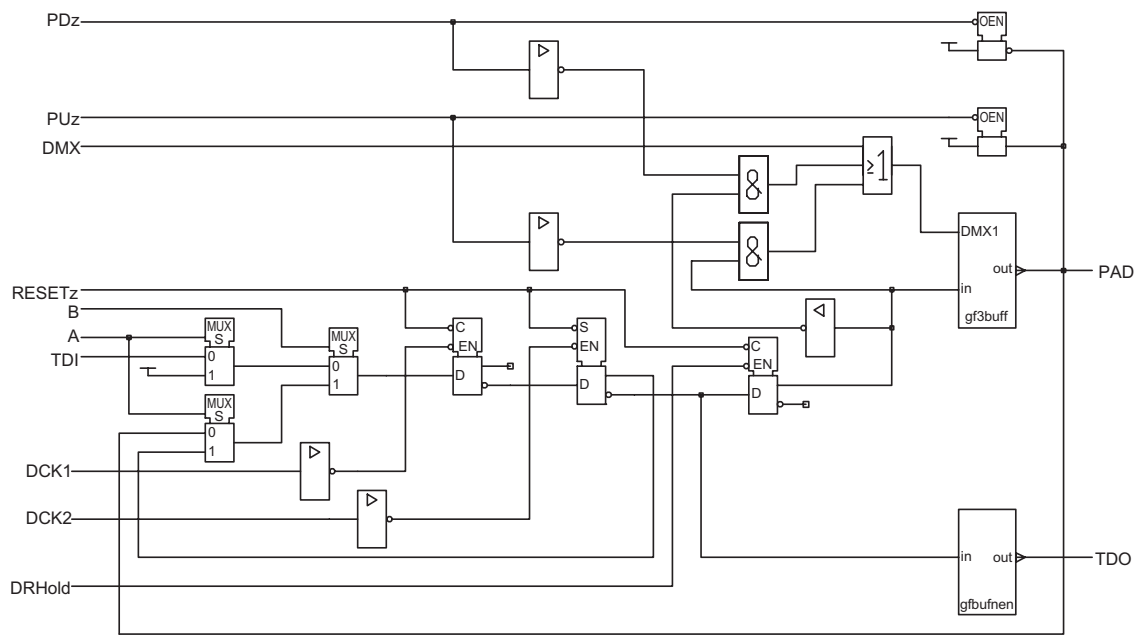


Bild 44 : Version2 der entworfenen Scanzellen

Die Kontrollsignale der dargestellten Scanzellen haben die in Tabelle 8 aufgeführten Bedeutungen.

Tabelle 8 : Bedeutung der Scanzellenkontrollsignale

Signal	Bedeutung		
PDz	Steuerung des Pulldown-Transistors (low-aktiv)		
PUz	Steuerung des Pullup-Transistors (low-aktiv)		
DMX	Steuersignal für Tristate-Modus des Ausgangstreibers (high-aktiv)		
RESETz	Reset-Signal (low-aktiv)		
TDI	Serieller Dateneingang		
TDO	Serieller Datenausgang		
Pad	Paralleler Datenaus- und eingang		
DCK1	erste Phase des nichtüberlappenden Zweiphasentaktes		
DCK2	zweite Phase des nichtüberlappenden Zweiphasentaktes		
DRHold	Signal zum Laden des seriell eingeschobenen Wertes in das Shadow-Latch (low-aktiv)		
A, B	Kontrolle des Scanzellenmodus		
	A	B	Modus
	0	0	Daten werden seriell von TDI nach TDO geschoben
	0	1	der Wert, der am parallelen Eingang anliegt, wird abgetastet
	1	0	es wird ein logischer high-Wert in die Scanzelle geladen
1	0	der in den Schieberegisterzellen gespeicherte logische Wert wird negiert	

5.1.2 TAP-Controller

Durch die Platzierung der Scanzellen parallel zum Signalpfad ist kein Datenfluß von einem Schaltungsteil durch die Scanzelle zu einem anderen Schaltungsteil mehr vorhanden. Dies beeinflusst die von IEEE1149.1 als verbindlich vorgegebenen Instruktionen zwar nicht, jedoch ergeben sich Interpretationsschwierigkeiten für einige der im Standard vorgeschlagenen Zusatzbefehle wie z.B. dem INTEST-Befehl. INTEST und EXTEST unterscheiden sich lediglich hinsichtlich des Datenflusses in den Scanzellen. Während für den einen Befehl Daten in eine Scanzelle seriell geladen und am parallelen Ausgang angelegt werden, erfolgt im anderen Fall eine Abtastung des logischen Wertes am parallelen Eingang dieser Scanzelle. Da die Bedeutung der

Datenflußrichtung mit der Platzierung der Scanzelle parallel zum Signalpfad verloren geht, ergibt sich für die aktiven Substrate jedoch kein Unterschied mehr zwischen INTEST und EXTEST. Daher wurde die im Standard zwar empfohlene aber nicht verbindlich vorgesehene Instruktion INTEST im Controller nicht implementiert. An zusätzlich zu den im Standard vorgegebenen Instruktionen sind im wesentlichen Befehle, die zur Kontrolle der Pulltransistoren notwendig sind, implementiert. Da die Steuerung dieser Transistoren eng mit den durchzuführenden Tests verknüpft ist, wurden neben Befehlen zur reinen Transistorkontrolle auch Kombinationsbefehle zur Transistor- kontrolle und zum gleichzeitigen Schieben, Abtasten und Stimulieren implementiert. Eine Übersicht über die Controllerbefehle und ihre Bedeutung ist Tabelle 9 zu entnehmen.

Tabelle 9 : implementierte TAP-Controller Befehle und deren Bedeutung

Befehl	Bedeutung
BYPASS	Selektiert das Bypass-Register im TAP-Controller
SAMPLE/PRELOAD	Selektiert das Datenregister, ohne den Ausgangstreiber zu aktivieren
EXTEST	Selektiert das Datenregister und aktiviert die Ausgangstreiber aller Scanzellen abhängig vom Scanzelleninhalt und den Signalen PDz, PUz und DMX
HIGHZ	Bringt die Ausgangstreiber aller Scanzellen in den hochohmigen Zustand
PULLUP	Aktiviert den Pulluptransistor aller Scanzellen
PULLDOWN	Aktiviert den Pulldowntransistor aller Scanzellen
TOGGLE	Selektiert das Datenregister und aktiviert die Negierung aller Scanzelleninhalte mit einem Taktzyklus
LOADHIGH	Selektiert das Datenregister und aktiviert das Laden einer logischen 1 in alle Scanzellen mit einem Taktzyklus
EXTEST/PULLUP	Aktiviert den Pulluptransistor aller Scanzellen, selektiert das Datenregister und aktiviert die Ausgangstreiber aller Scanzellen abhängig vom Scanzelleninhalt und den Signalen PDz, PUz und DMX
EXTEST/PULLDOWN	Aktiviert den Pulldowntransistor aller Scanzellen, selektiert das Datenregister und aktiviert die Ausgangstreiber aller Scanzellen abhängig vom Scanzelleninhalt und den Signalen PDz, PUz und DMX

Zur Durchführung der eigentlichen Tests auf dem unbestückten Substrat dienen im wesentlichen die Befehle EXTEST/PULLUP und EXTEST/PULLDOWN. Mit diesen Befehlen wird zunächst der Wert am PAD-Signal der Scanzellen abgetastet. Abhängig vom gewählten Befehl und dem Inhalt der jeweiligen Scanzelle ist dieser Wert durch einen der Pulltransistoren, durch den Ausgangstreiber der Scanzelle selbst oder durch

den Ausgangstreiber einer über das Substrat mit der lokalen Scanzelle verbundenen Scanzelle erzeugt. Für das Einschreiben des ersten Wertes in die Scankette wird der Befehl SAMPLE/PRELOAD verwendet. Sollen die ICs, die auf das Substrat montiert sind, getestet werden, so erfolgt dies über den Befehl EXTEST. Ein Test der Bauteile mit den Instruktionen EXTEST/PULLUP oder EXTEST/PULLDOWN ist nicht möglich, da in diesem Fall automatisch eine Abschaltung des Ausgangstreibers einer Scanzelle erfolgt, wenn derselbe logische Wert in der Zelle gespeichert ist, der auch über den aktivierten Pulltransistor erzeugt wird.

Neben dem TAP-Controller und den Scanzellen wurde auf dem ASIC, das zur Evaluierung des Testkonzeptes diente, auch die Erzeugung des nichtüberlappenden Zweiphasentaktes implementiert. Der Betrieb dieser Takterzeugung ist in zwei Modi möglich. Zum einen besteht die Möglichkeit, den nichtüberlappenden Zweiphasentakt aus dem TCK-Signal zu generieren. Zum anderen kann auch ein TCK-Signal und ein dazu synchroner nichtüberlappender Zweiphasentakt aus einem externen Taktsignal erzeugt werden. Damit werden sowohl Boundary-Scan Testsysteme unterstützt, die eine Synchronisation auf ein vorgegebenes TCK erlauben, als auch Testsysteme, die diese Möglichkeit nicht vorsehen. Neben einzelnen Boundary-Scan Zellen wurden auf dem ASIC auch kurze Scanketten aus jeweils vier der beiden vorgeschlagenen Scanzellentwürfe integriert. Diese kurzen Ketten dienen zur Evaluierung des Testkonzeptes auf der Demonstrationsplatine. Ein Blockschaltbild des ASICs ist in Bild 45 zu sehen.

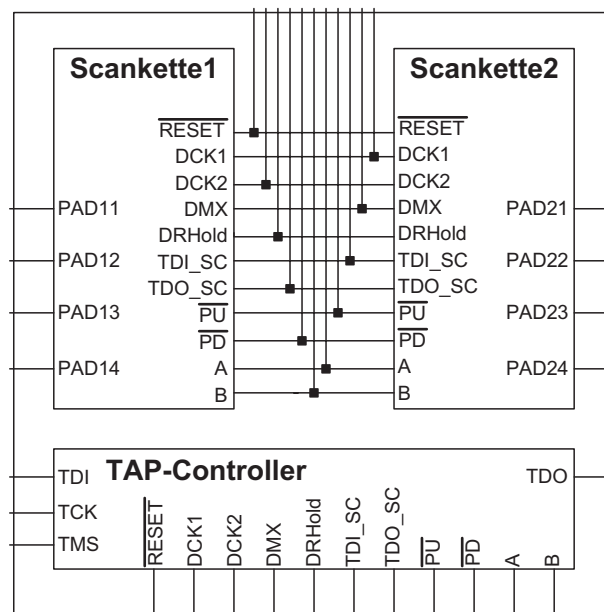


Bild 45 : Blockschaltbild des entworfenen ASICs

5.1.3 Evaluationsplatine

Auf der Evaluationsplatine, die in COB-Technik aufgebaut wurde, erfolgte die Implementierung von zwei Scanketten aus je 16 der beiden betrachteten Scanzellen. Die parallelen Signalzugänge der acht ersten Scanzellen in jeder Kette wurden dabei über die Evaluationsplatine mit den parallelen Zugängen der zweiten acht Scanzellen in der Kette verbunden. Auf der Platine wurde eine Möglichkeit vorgesehen, diese Verbindungen zu unterbrechen, kurzzuschließen, oder auf High- bzw. Low-Potential zu legen, um so unterschiedliche Fehler, die auf den Substraten zu erwarten sind, zu simulieren. Mit der so aufgebauten Platine wurde ein System geschaffen, das im Prinzip ein unbestücktes aktives Substrat widerspiegelt. In Bild 46 ist das Blockschaltbild der Platine und in Bild 47 die Evaluationsplatine selbst zu sehen.

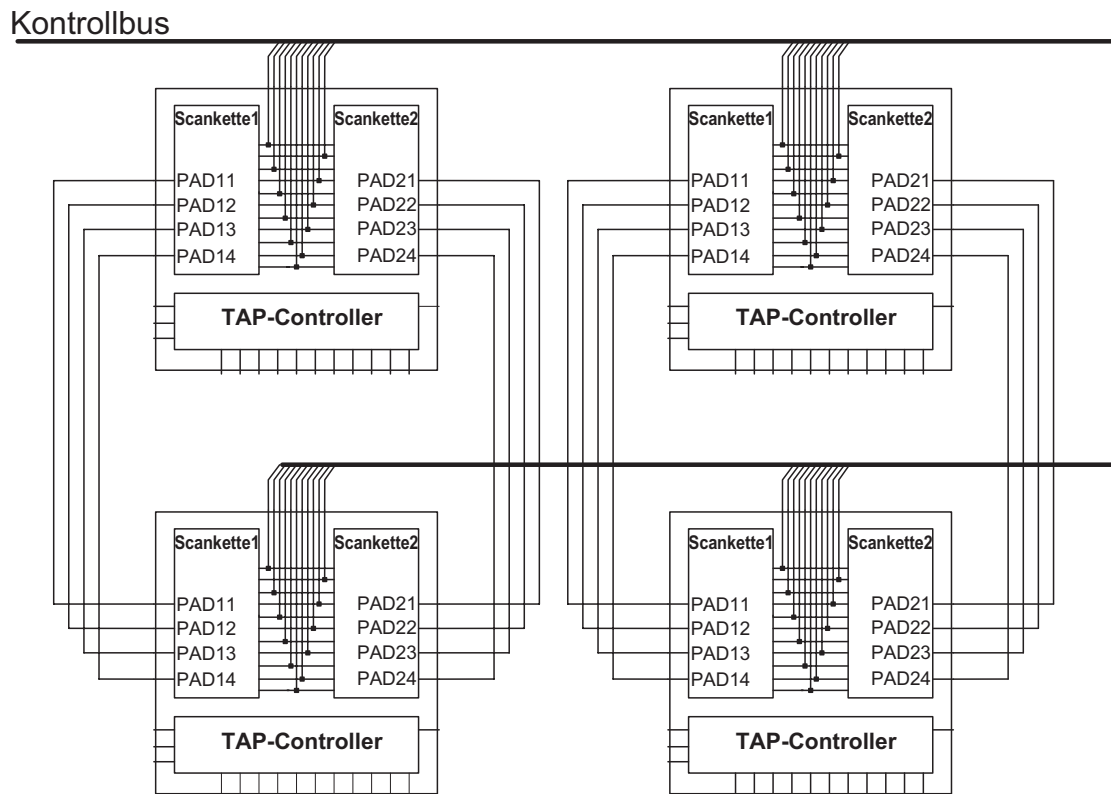


Bild 46 : Blockschaltbild der Evaluationsplatine

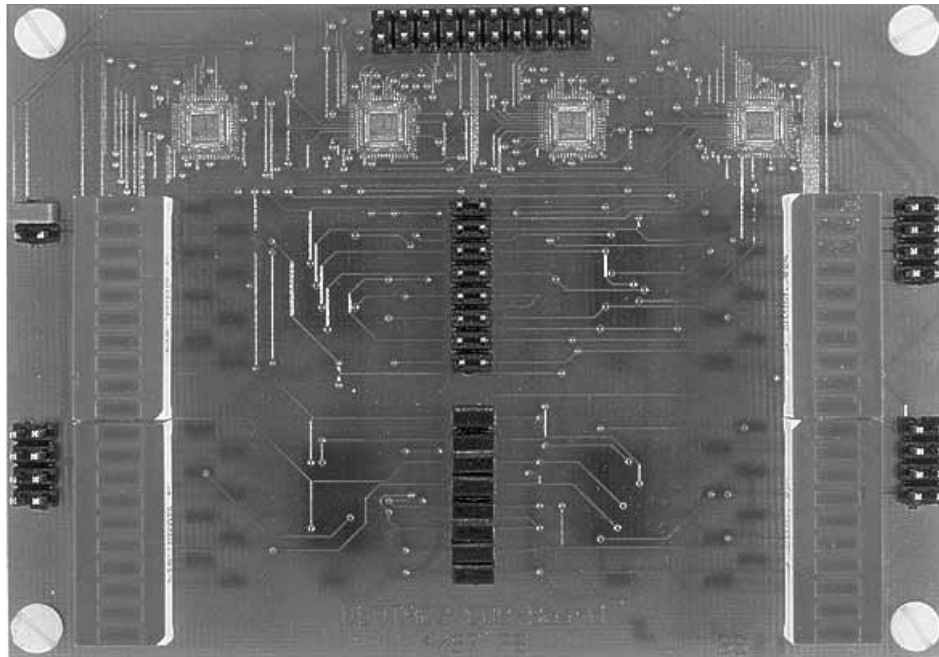


Bild 47 : Photo der Evaluationsplatine in COB-Aufbautechnik

Die Anbindung der Platine an die verwendeten Boundary-Scan Testsysteme erfolgte wie zuvor dargestellt über eine Interfaceschaltung, die den TAP-Controller und die Takterzeugung des ASICs nutzt. Ein Test des Systems erfolgte sowohl mit einem Testsystem, das auf das vom ASIC erzeugte TCK-Signal synchronisiert wurde, als auch mit einem Testsystem, das das TCK-Signal lieferte, aus dem das ASIC den nichtüberlappenden Zweiphasentakt generierte.

5.1.4 Ergebnisse

Bei der Durchführung der Messungen zeigte sich, daß beide verfolgten Methoden zur Takterzeugung problemlos mit den genutzten Testsystemen zusammenarbeiten. Auch zeigten sich hinsichtlich der Möglichkeiten zur Durchführung von Tests keine gravierenden Unterschiede zwischen den beiden betrachteten Ansätzen für den Scanzellenentwurf. Aufgrund der um 50% reduzierten Schiebeoperationen ist daher der Entwurf mit nur einem speichernden Element in der Scanzelle zu favorisieren.

Der Test einer einzelnen dieser Scanzellen ist in den folgenden Bildern dargestellt. Bild 48 zeigt den Test aller Scanzellenmodi. Der Test ist in vier Phasen aufgeteilt. Diese Phasen sind im einzelnen :

- 1) Test der Pullup- und Pulldown-Funktionalität
- 2) Laden der Scanzelle mit unterschiedlichen Werten und Aktivierung des Ausgangstreibers
- 3) Überschreiben des Pullup- bzw. Pulldown-Wertes durch den parallelen Ausgang
- 4) Schieben von Daten durch die Scanzelle

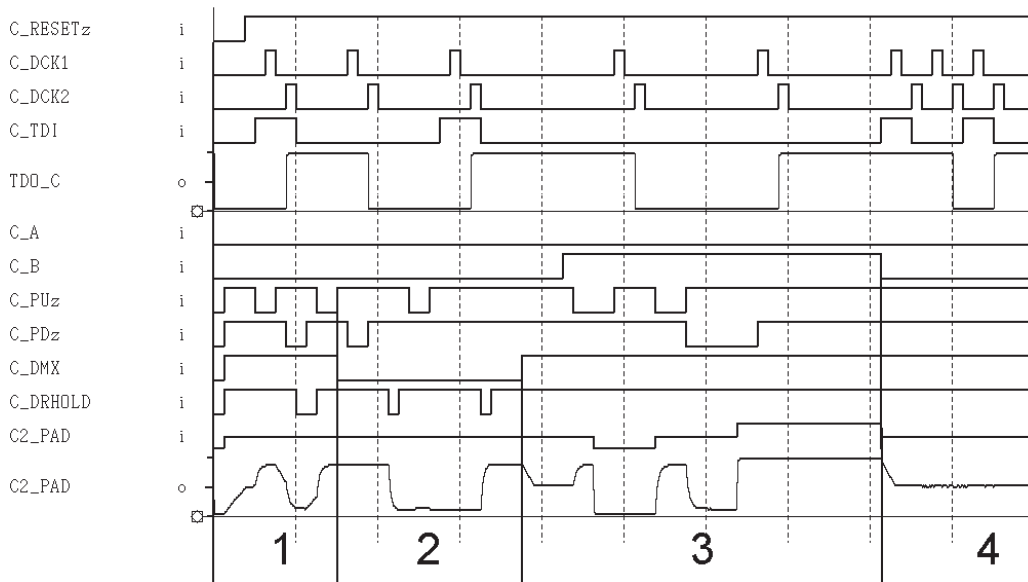


Bild 48 : Ergebnisse des Scanzellentests

Neben diesem Test der konventionellen Scanzellenfunktionen ist in Bild 49 der Test der individuellen Tristatekontrolle pro Scanzelle dargestellt. Um die individuelle Tristatekontrolle zu aktivieren, muß in die Zelle eine logische Null geladen, der Ausgangstreiber über das DMX-Signal und der Pulldown-Transistor über das PDz-Signal aktiviert werden. Da sich durch den aktivierten Pulldown-Transistor im Tristate-Modus und die geladene Null im Stimuli-Modus kein Unterschied im Ausgangspotential der Scanzelle ergibt, ist der Effekt der individuellen Tristatekontrolle bei einem bloßen Abfahren der Testmuster auf den genannten Signalen nicht zu erkennen. Daher wurde in dem Test mit einem Kanal des Testsystems gegen den Ausgang der Scanzelle getrieben. Dabei wurde der negierte Wert des in die Scanzelle geladenen Bits verwendet. Aufgrund der höheren Treiberfähigkeit des Testerkanales wird dadurch der von der Scanzelle getriebene Wert überschrieben. Die Spannung, die sich auf dem Testerkanal einstellt, ist durch dieses gegenseitige Treiben jedoch nicht die auf dem Testerkanal programmierten 5V, sondern ein etwas verringerter Wert. Die Korrektheit der individuellen Tristatekontrolle ist daran zu erkennen, daß bei deren Aktivierung der auf dem Testerkanal programmierte Wert erreicht wird. Dies macht sich durch eine kleine Stufe in der gemessenen Spannung auf diesem Testerkanal bemerkbar.

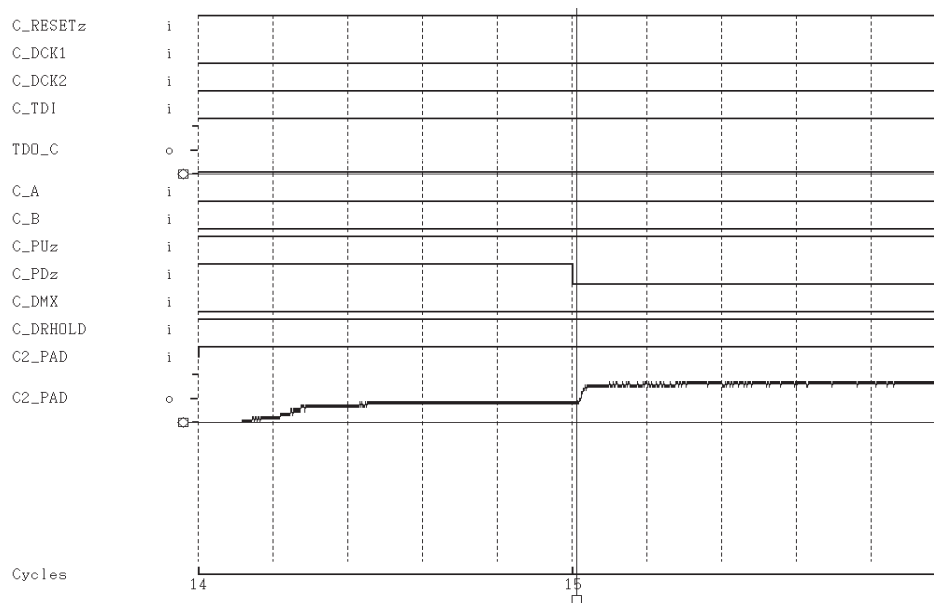


Bild 49 : Test der individuellen Tristate-Kontrolle (Ausschnittsvergrößerung)

Im Bild ist der parallele Ausgang der Scanzelle dem zweiten Signal C2_PAD zuzuordnen. Der dagegen treibende Testerkanal ist das erste auftretende C2_PAD-Signal. In der Ausschnittsvergrößerung nach Bild 49 wird zu Beginn des dargestellten Zeitfensters eine in der Zelle gespeicherte und stimulierte Null durch den dagegen treibenden Testerkanal überschrieben. In der Mitte des Zeitfensters wird die individuelle Tristatekontrolle durch das Signal C_PDz aktiviert. Zu diesem Zeitpunkt ist deutlich der Spannungssprung auf dem parallelen Scanzellenausgang zu sehen, der durch diese Aktivierung erzeugt wird, und die korrekte Funktion der individuellen Tristatekontrolle nachweist. Auf der Evaluationsplatine wurden folgende Fehler nachgebildet und die Detektion dieser Fehler über den verfolgten Testansatz nachgewiesen :

- 1) Unterbrechung eines Netzes
- 2) Kurzschluß zweier Netze
- 3) Verbindung eines Netzes zur Spannungsversorgung (stuck-at-1)
- 4) Verbindung eines Netzes zu Masse (stuck-at-0)

Beispielhaft für eine der durchgeführten Messungen sind in Bild 50 die Oszilloskopmessungen des Tests einer korrekten Verbindung sowie das Testergebnis im Falle einer Unterbrechung dieser Verbindung dargestellt.

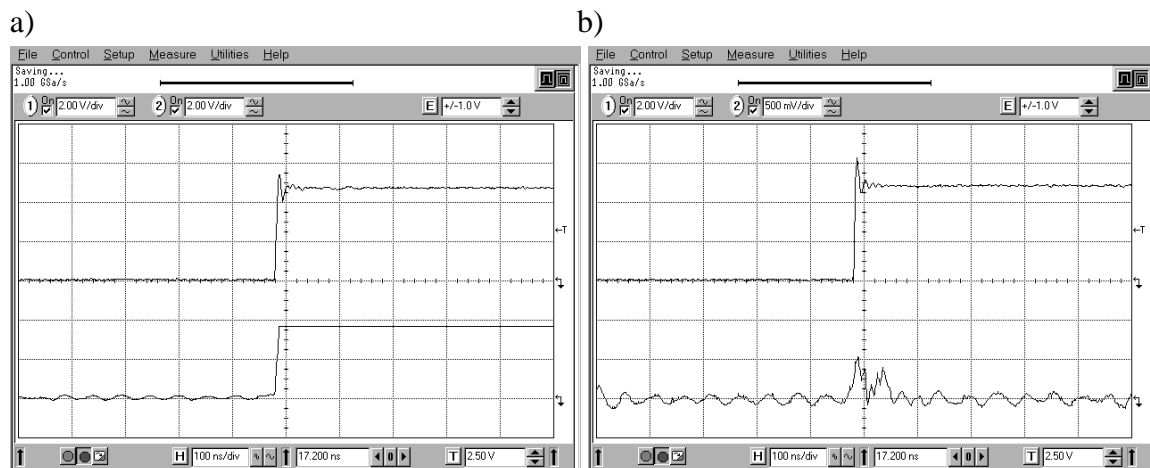


Bild 50 : Ergebnis des Tests einer fehlerfreien Verbindung a) und einer unterbrochenen Verbindung b)

Bei den Messungen zeigte sich deutlich, daß die implementierten Pull-Transistoren zur Durchführung der Tests unerlässlich sind. Wurden sie während der Tests nicht aktiviert, so wurden vorhandene Leitungsunterbrechungen in den allermeisten Fällen nicht detektiert. In manchen Fällen fand auch eine Detektion nicht vorhandener Kurzschlüsse statt. In Bild 51 ist das Ergebnis des zuvor dargestellten Tests ohne die Aktivierung der Pulldown-Transistoren zu sehen. Man erkennt, daß durch die parasitären Kapazitäten zwischen den Netzen der von einer einzigen Scanzelle stimulierte Wert zu einem gewissen Teil über die Leiterbahnunterbrechung propagiert wird und so die vorhandene Leiterbahnunterbrechung nicht erkannt wird. Fehlt der in dieser Messung mit dem unterbrochenen Netz verbundene Tastkopf, erscheint die über die Unterbrechung hinweg propagierte Spannung noch deutlich höher und kann zu einem Schalten der am Netzendpunkt vorhandenen Scanzelle führen.

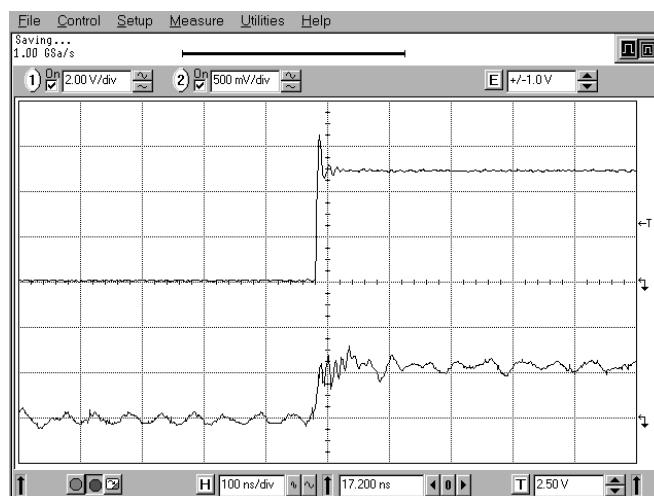


Bild 51 : Test einer unterbrochenen Verbindung ohne Aktivierung des Pulldown-Transistors

5.2 Aktives Testsubstrat

5.2.1 Physikalischer Entwurf der Scanzellen

Basierend auf dem funktionalen Entwurf der Scanzellen, die zur Evaluierung der Testmethodik auf dem ASIC verwendet wurden, erfolgte der physikalische Entwurf unter Verwendung von Full-Custom Zellen einer $2\mu\text{m}$ CMOS-Bibliothek. Es wurde je ein Entwurf für beide betrachteten Scanzellenversionen durchgeführt. In die Entwürfe wurden bereits die Bondpads zur elektrischen Verbindung des Substrates mit dem zu montierenden Chip mittels wire-bond Technik eingearbeitet. Damit kann eine Implementierung der aktiven Zellen in eine vorhandene MCM-Designumgebung relativ einfach erfolgen, da nach der Fertigstellung eines Substratdesigns lediglich die verwendeten Substratbondpads durch die aktiven Zellen ersetzt werden müssen

Die Verdrahtung der internen Scanzellenverbindungen erfolgte vollständig auf der ersten Metallisierungsebene des verwendeten Prozesses. Somit kann im Bereich der aktiven Strukturen die zweite Metallisierungsebene uneingeschränkt zur globalen Substratverdrahtung genutzt werden. Bis auf die Pullup-Pulldown Schaltungsteile wurden für die Realisierung der Scanzellen dieselben logischen Elemente der $2\mu\text{m}$ -Bibliothek verwendet, die für den ASIC-Entwurf aus der dafür gültigen Bibliothek zum Einsatz kamen. Die Pullup-Pulldown Schaltung besteht im aktuellen Entwurf aus je einem im Vergleich zu den Leitungstreibern klein dimensionierten Transistor, über den eine Verbindung zwischen Scanzellenausgang und VDD bzw. VSS geschaltet werden kann. Durch die kleine Dimensionierung dieser Transistoren kann ein Überschreiben der darüber propagierten logischen Pegel durch die Leitungstreiber einfach erfolgen. Die physikalischen Entwürfe der Scanzellen sind in Bild 52 zu sehen. Die verwendeten Pads haben in diesen Entwürfen eine Abmessung vom $120\mu\text{m} \times 120\mu\text{m}$.

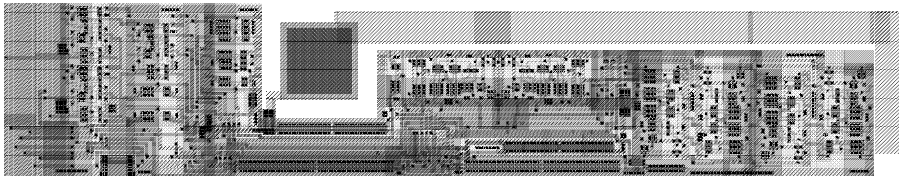
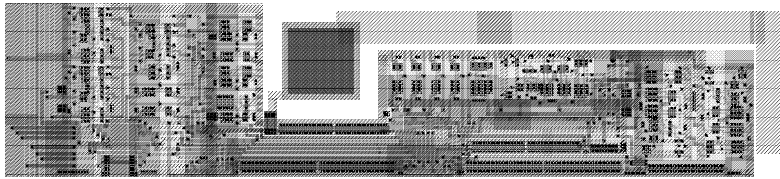


Bild 52 : physikalische Entwürfe der beiden Scanzellen-Versionen

Die Abmessungen der dargestellten Scanzellen und die jeweilige Anzahl an verwendeten Transistoren sind Tabelle 10 zu entnehmen. Zu diesen Zahlen ist anzumerken, daß durch die Verwendung von Bibliothekszellen einige der berücksichtigten Transistoren für die Funktionalität der Scanzelle nicht notwendig sind. Dies ist zum Beispiel für Latches mit einem invertierten und einem nicht-invertierten Ausgang, von denen nur einer verwendet wird, der Fall. In einem späteren Optimierungsschritt findet eine Eliminierung dieser überflüssigen Transistoren und die Umsetzung des Layouts in ein vollständiges Full-Custom Layout statt.

Tabelle 10 : Kennzahlen der Scanzellenentwürfe

	Version1	Version2
Abmessungen	270 μm \times 1216 μm	270 μm \times 1404 μm
Transistorenzahl	160	200

5.2.2 Physikalischer Entwurf des Testsubstrates

Ein Wafer mit auf der Basis des Scanzellenentwurfes in Bild 43 realisierten aktiven Substraten ist in Bild 53 dargestellt. Der Aufbau der im Bild hervorgehobenen Einzelsubstrate, von denen vier auf einem Wafer zu erkennen sind, erfolgte dabei aus einzeln über eine konventionelle Nadelkarte testbaren Modulen.

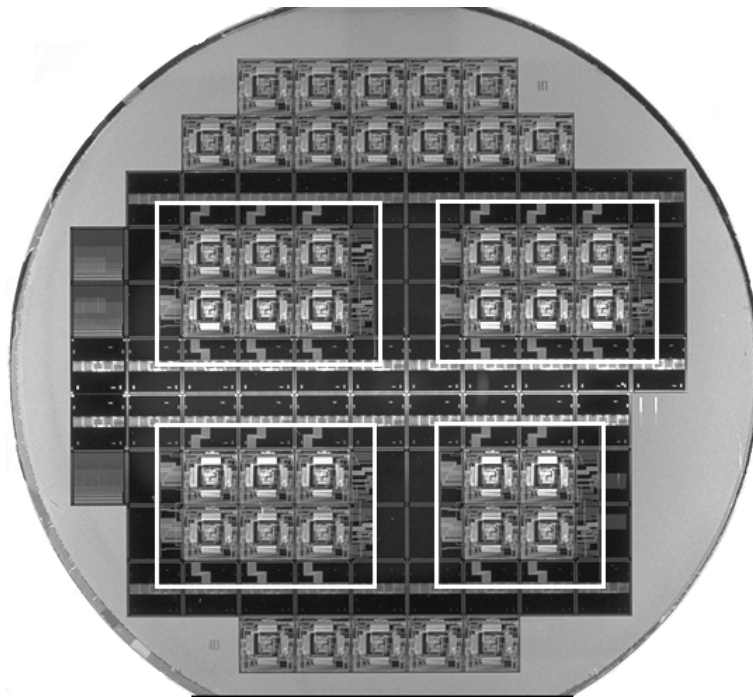


Bild 53 : Wafer mit aktiven Substraten

Der Weg über konventionell testbare Einzelmodule wurde beschrieben, um die Testbarkeit der aktiven Strukturen auch unabhängig von der implementierten Scankette sicherzustellen, und damit die Fehlerlokalisierung im Falle eines Defektes zu vereinfachen. Mit der Optimierung der Testbarkeit durch diesen modularen Aufbau geht ein erhöhter Flächenbedarf für das Gesamtsubstrat einher, der jedoch für die Evaluierung des Testkonzeptes und der Scanzellenentwürfe an einem realen Substrat eine untergeordnete Rolle spielt. Für aktive Substrate, die nach einer erfolgreichen Evaluierung des Scanzellenentwurfes gefertigt werden, kann ein Test ausschließlich über die integrierte Scankette erfolgen.

Die gefertigten Einzelsubstrate bestehen aus sechs bzw. vier dieser einzeln testbaren Module. Auf jedes der Module ist die Montage eines Chips vorgesehen. Dabei handelt es sich um die zuvor schon zur Evaluierung des Testkonzeptes verwendeten ASICs. Der funktionale Entwurf des Substrates entspricht dabei der zuvor bereits vorgestellten Evaluationsplatine mit einer Erweiterung um zwei Chips für die Substrate mit sechs Einzelmodulen. Damit ergibt sich für das Gesamtsystem aus aktivem Substrat und darauf montierten Chips das in Bild 54 dargestellte Blockschaltbild.

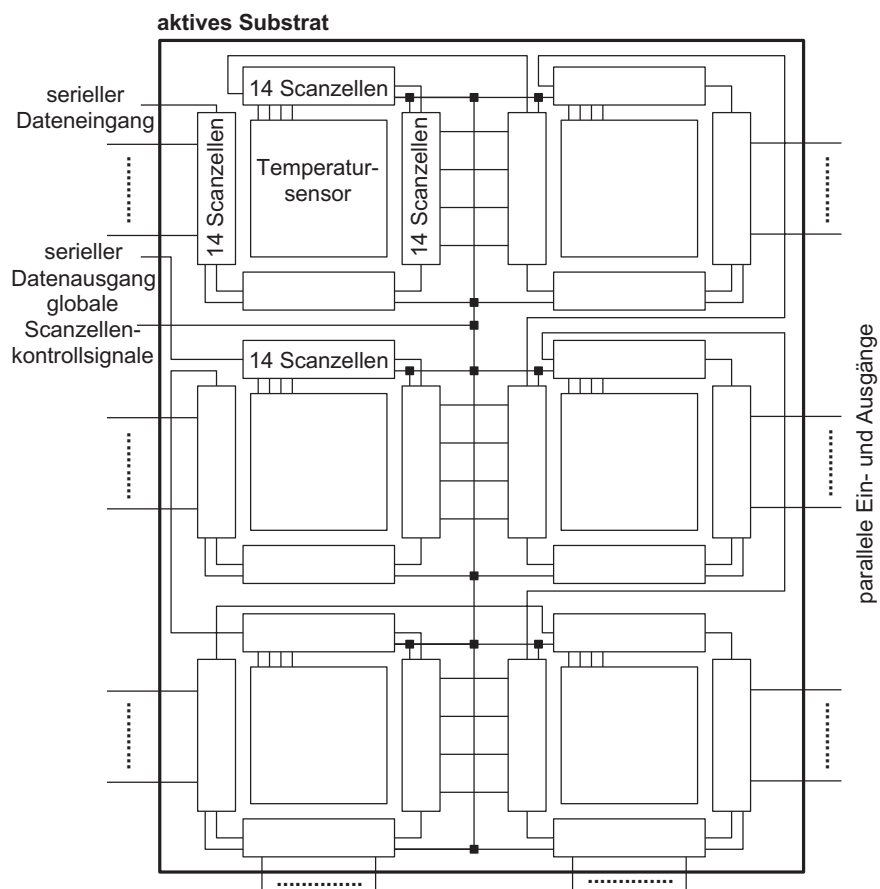


Bild 54 : Blockschaltbild des Evaluationssubstrates

Auf dem in Bild 55 dargestellten Substrat mit einem vergrößerten Einzelmodul ist zu erkennen, daß neben den Scanzellen für jedes der Substratbondpads, weitere aktive Strukturen an den Stellen, die zur Chipmontage vorgesehen sind, auf dem Substrat vorhanden sind. Dabei handelt es sich um volldigitale Temperatursensoren, die zur Demonstration der über den Test hinausgehenden Fähigkeiten aktiver Substrate implementiert wurden. Eine Beschreibung dieser Sensoren erfolgt in Kapitel 5.2.4.2 dieser Arbeit.

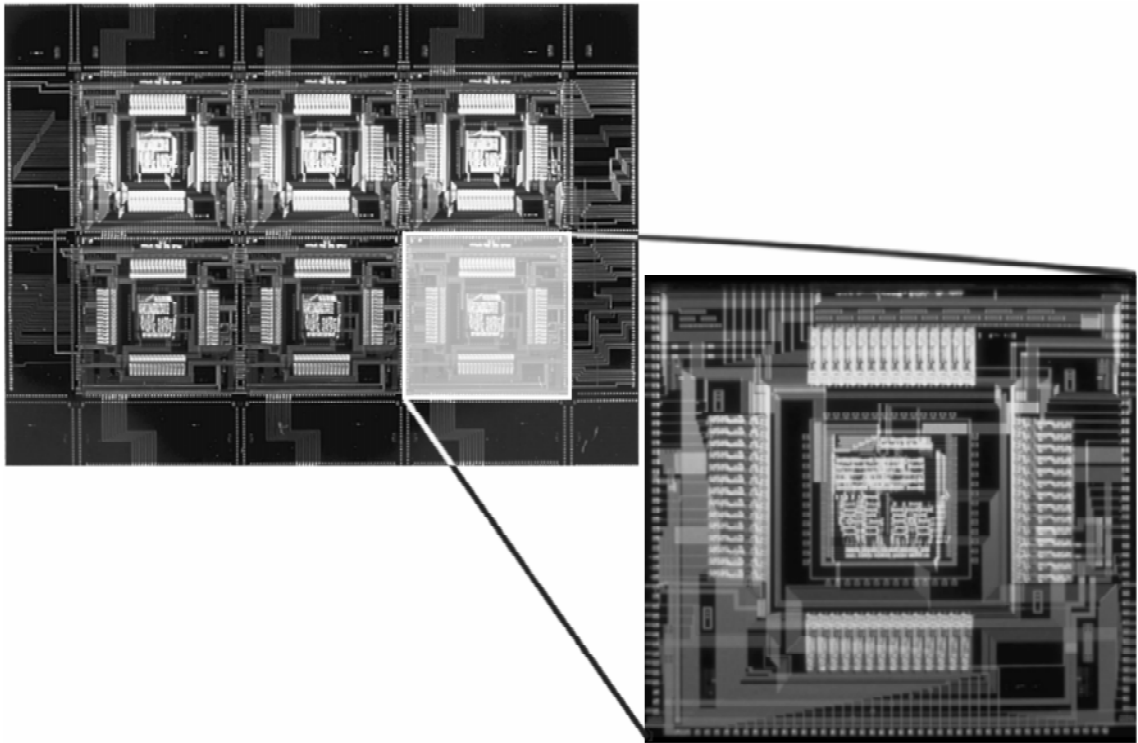


Bild 55 : aktives Substrat mit vergrößertem Einzelmodul

5.2.3 Ergebnisse

Zum Test des aktiven Evaluationssubstrates erfolgte die Montage auf ein PCB. Die elektrische Verbindung zwischen Substrat und Platine wurde durch Wirebonds realisiert. Diese aufgebaute Testplatine ist in Bild 56 dargestellt. Der Anschluß an das Boundary-Scan Testsystem erfolgte analog zum Anschluß der zuvor präsentierten Evaluationsplatine.

Die Scankette dieses aktiven Substrates umfaßt 336 Scanzellen. Ein Test der Substratverbindungen über diese Schieberegisterzellen war ohne Probleme möglich. Die Tests wurden mit einer Taktfrequenz von 1MHz des TCK-Signales durchgeführt. Da die verwendeten Scanzellen jeweils effektiv aus zwei Schieberegisterzellen aufgebaut sind ergibt sich demnach mit den verwendeten 12 internen und 87 externen Verbindungen eine Testzeit von ca. 70ms für das unbestückte aktive Substrat. Durch eine mehrfache Durchführung des Substrattests kann mit dem Evaluationssubstrat auch der Test komplexer MCMs mit einer höheren Zahl an zu testenden Netzen simuliert werden. Die Testzeit verändert sich dabei linear mit der Zunahme der zu testenden Netze. Dabei ist zu berücksichtigen, daß für die Erstellung der verwendeten Testmuster im Rahmen der

Messungen am Evaluationssubstrat ein naiver Algorithmus verwendet wurde. Dadurch erfolgt der Test eines Netzes jeweils ein mal von jedem Netzendpunkt aus, obwohl eigentlich lediglich ein Test pro Netz notwendig wäre. Daher lassen sich die so ermittelten Testzeiten durch die Verwendung optimierter Testmuster, die je einen Test pro Netz durchführen, noch zumindest halbieren.

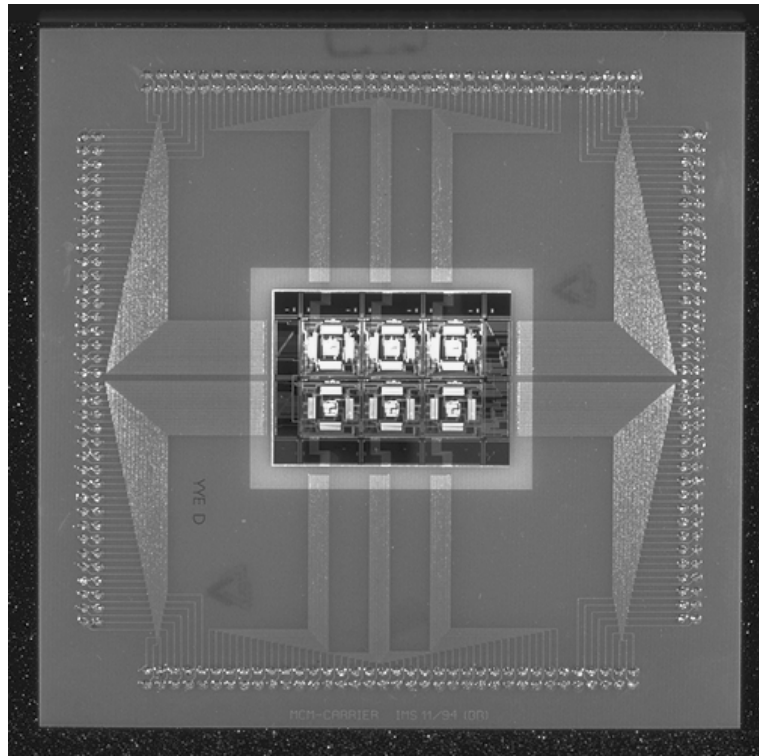


Bild 56 : Testplatine mit montiertem aktivem Substrat

5.2.4 Zukünftige Anwendungen

Für zukünftige Anwendungen aktiver Substrate wurde eine weitere Optimierung der Scanzellenentwürfe durchgeführt. Außerdem sind neben der reinen Testfunktionalität aktiver Substrate auch weitere Möglichkeiten der Verwendung aktiver Strukturen im Substrat zu betrachten, um möglichst viele Vorteile aus dem im Vergleich zu passiven Substraten teureren Herstellungsprozess zu gewinnen. Als Beispiel hierfür wird der bereits im Evaluationssubstrat integrierte Temperatursensor beschrieben.

5.2.4.1 Optimierung der Scanzellen

Wie bereits erwähnt, erfolgte der erste Entwurf der Scanzellen mit Hilfe von Bibliothekszellen, die ungenutzte Transistoren enthielten. In einem Optimierungsschritt wurden die zuvor entwickelten Schaltungen analysiert und nicht genutzte Schaltungsteile wurden

entfernt. Daneben erfolgte ein vollständiger Full-Custom Entwurf der Scanzellen basierend auf dem zuvor genutzten $2\ \mu\text{m}$ -CMOS-Prozess. Der physikalische Entwurf dieser Zellen ist in Bild 57 dargestellt. Die Abmessungen der in diesen Entwürfen verwendeten Pads beträgt $100\ \mu\text{m} \times 100\ \mu\text{m}$. Durch diese Optimierungen konnte die Zahl der Transistoren von 160 auf 92 für die erste Scanzellenversion und von 200 auf 114 für die zweite Scanzellenversion verringert werden. Der Flächenbedarf für die erste Version der Scanzelle wurde von $270\ \mu\text{m} \times 1216\ \mu\text{m}$ auf $180\ \mu\text{m} \times 766\ \mu\text{m}$ um 58% und der zweiten Version von $270\ \mu\text{m} \times 1404\ \mu\text{m}$ auf $180\ \mu\text{m} \times 829\ \mu\text{m}$ um 60% verringert. Bei fortschreitender Entwicklung der Herstelltechnologien und verbesserter Beherrschung heute noch innovativer Technologien, birgt der Übergang auf diese noch weiteres Potential zur Minimierung des Flächenbedarfs der Scanzellen.

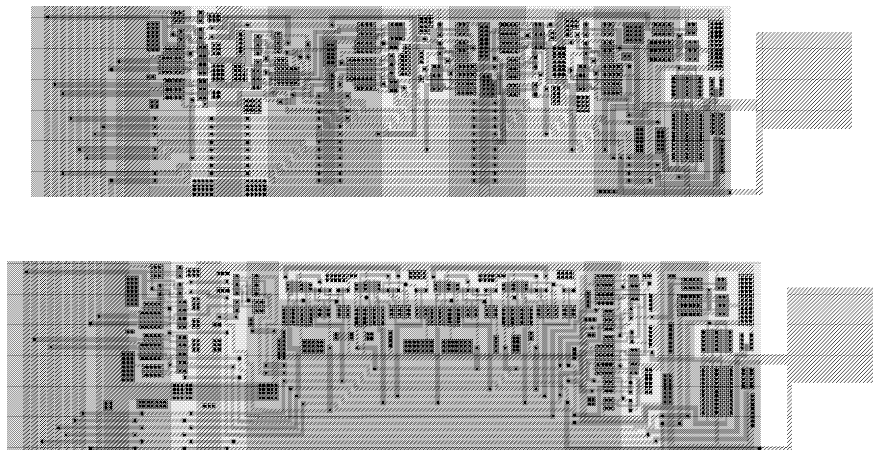


Bild 57 : *physikalische Entwürfe der optimierten Scanzellenversionen*

5.2.4.2 Integrierter Temperatursensor

Durch die hohe Packungsdichte, die mit dem Einsatz von MCMs erreicht werden kann, verschärfen sich auch die thermischen Verhältnisse in den Baugruppen [110]. Neben der reinen Erhöhung der Testbarkeit, können aktive Substrate zur Lösung dieser Problematik eingesetzt werden, indem die Chiptemperaturen durch in das Substrat integrierte Komponenten überwacht werden und gegebenenfalls eine Abschaltung des Systems durch diese aktiven Substrate erfolgt. Auf dem Testsubstrat ist eine solche Temperaturüberwachung implementiert. Unter jedem Chip, der auf das Substrat montiert wird, befindet sich ein volldigitaler Temperatursensor, der die gemessene Chiptemperatur mit einem voreingestellten Schwellwert vergleicht. Beim Überschreiten dieser Schwelle erfolgt eine Alarmierung über ein einzelnes Signal, das geeignete Maßnahmen zur Problembeseitigung initiieren kann. Der digitale Temperatursensor besteht im wesentlichen aus einem Ringoszillator, der über einen Frequenzteiler einen Zähler taktet. Der

jeweilige Zählerstand wird in einem festen Zeitraster mit dem Inhalt des Schwellwertregisters verglichen. Nach dem Vergleich erfolgt das Zurücksetzen des Zählers, der dann erneut für die festgelegte Zeitdauer vom Ringoszillator getaktet wird. Da die Frequenz, mit der der Ringoszillator schwingt, stark von der jeweiligen Temperatur abhängt, kann der jeweilige Zählerstand im festgelegten Zeitraster als Temperatur interpretiert werden. Damit ergibt sich für den Temperatursensor das in Bild 58 dargestellte Blockschaltbild.

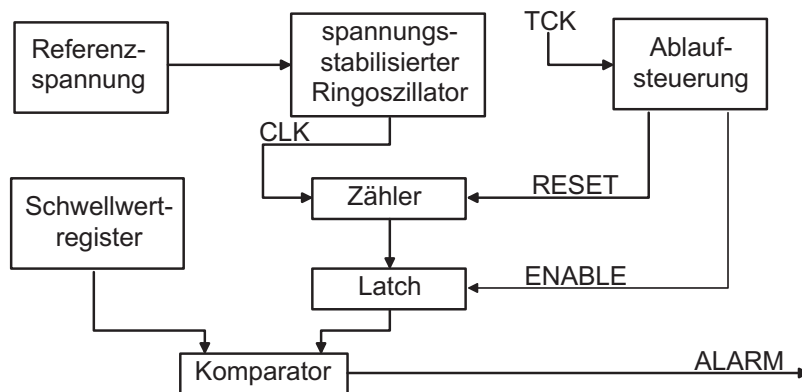


Bild 58 : Blockschaltbild des implementierten Temperatursensors

Neben der Temperatur hängt die Schwingungsfrequenz des Oszillators ebenfalls auch von der Versorgungsspannung und von Parameterschwankungen im Herstellungsprozess ab. Daher müssen diese beiden Einflußfaktoren minimiert werden, um genaue Temperaturmessungen durchführen zu können. Im Falle des Einflußfaktors Versorgungsspannung geschieht dies durch die Verwendung spezieller Inverter in dem Ringoszillator. In Bild 59 ist dieser Inverterentwurf dargestellt. Durch einen zusätzlichen NMOS-Transistor im negativen Versorgungspfad kann eine Regelung des zum Laden und Entladen des Inverterausgangsknotens zur Verfügung stehenden Stromes erfolgen. Damit werden die Lade- und Entladezeiten dieses Knotens, die wesentlich die Schwingungsfrequenz des Ringoszillators beeinflussen, weitestgehend von der Versorgungsspannung entkoppelt. Die Erzeugung der Referenzspannung zur Steuerung des Regeltransistors erfolgt durch pn-Übergänge auf dem aktiven Substrat.

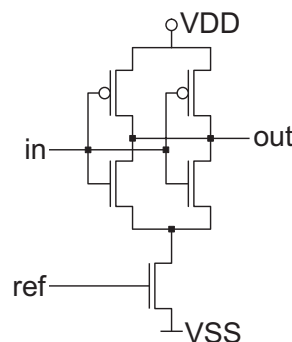


Bild 59 : Inverter zum Aufbau des Temperatursensor-Ringoszillators

Schwankungen im Herstellungsprozeß können dadurch kompensiert werden, daß eine Messung der Oszillatorfrequenz während des Substrattests bei der jeweiligen Grenztemperatur durchgeführt wird. Der so ermittelte Schwellwert zur Auslösung des Alarmes kann dann entweder über eine permanente Programmierung des Schwellwertregisters oder über ein Laden des Schwellwertregisters z.B. über die Boundary-Scan Kette beim Hochfahren des Systems im aktiven Substrat gespeichert werden. Messungen an einem so implementierten Temperatursensor zeigten eine über einen Temperaturbereich von ca. 100°C fast lineare Kennlinie. Aufgrund dieser Messung, die in Bild 60 dargestellt ist, kann davon ausgegangen werden, daß mit der vorgestellten Implementierung eines Temperatursensors Genauigkeiten von $\pm 3^\circ\text{C}$ erreicht werden können, was für einen Einsatz auf aktiven Substraten ausreichend ist.

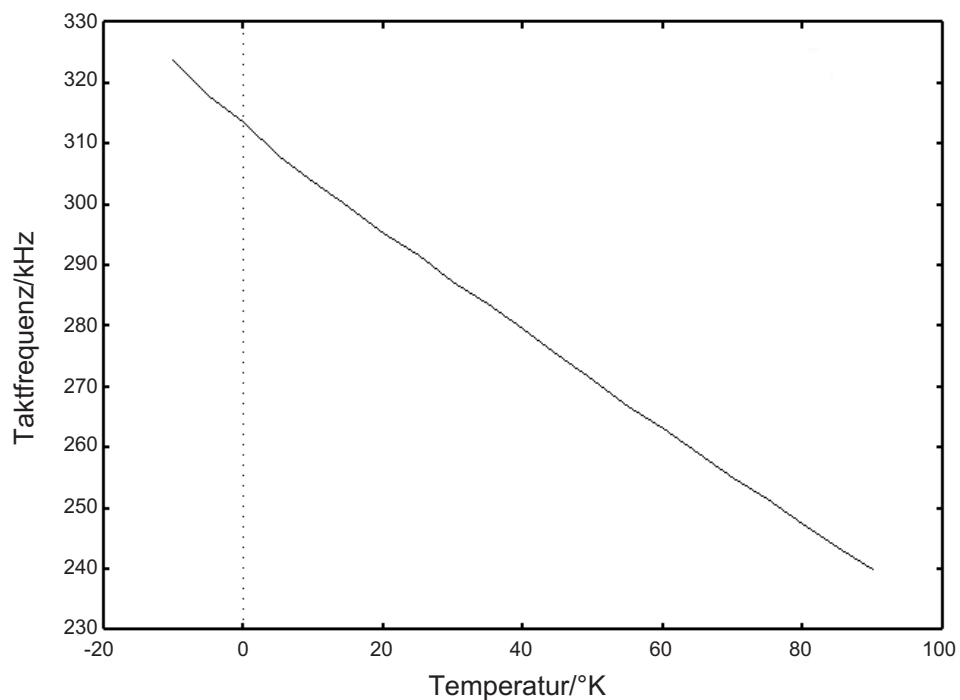


Bild 60 : Ausgangsfrequenz des Temperatursensors in Abhängigkeit der Temperatur

6 Zusammenfassung und Ausblick

6.1 Erzielte Ergebnisse

Multichip-Module stellen eine Möglichkeit dar, die Integrationsdichte elektronischer Systeme zu erhöhen und somit den Anforderungen innovativer Systementwürfe an geringen Flächenbedarf, geringes Gewicht, hohe Rechenleistung, hohe Zuverlässigkeit und geringe Verlustleistung zu genügen. Gegenüber den Ansätzen komplexe Systeme auf einer einzigen integrierten Schaltung zu realisieren, haben Multichip-Module den Vorteil, daß für die Systemkomponenten jeweils optimale Herstellungsprozesse verwendet werden können, was die Fertigungskosten niedrig hält. Daneben lassen sich kleinere Einzelkomponenten, insbesondere in modernen, noch nicht ausgereiften Fertigungsprozessen wie sie für Systeme auf einem Chip benötigt werden, mit wesentlich höheren Ausbeuten fertigen, als hochkomplexe Systeme. Dadurch können Multichip-Module in vielen Fällen die gestellten Anforderungen bei geringeren Herstellungskosten erreichen, als Realisierungen auf einer einzigen integrierten Schaltung. Insbesondere durch die Verwendung von Materialien und Prozessen, wie sie in der Halbleiterfertigung verwendet werden, lassen sich Substrate herstellen, die sowohl von ihrer Leistungsfähigkeit bezüglich Verdrahtungsdichte, als auch von den mechanischen Eigenschaften her am besten zu innovativen Halbleiterprozessen passen. Die Verwendung von Silizium als ein mögliches Substratmaterial ist daher eine logische Konsequenz. Durch die geringen geometrischen Abmessungen der MCM-Substrate im allgemeinen und der siliziumbasierten Substrate im besonderen ergeben sich jedoch Probleme für den Test der unbestückten Substrate und der bestückten MCM-Systeme. Die bisherigen Ansätze zur Lösung dieser Testproblematiken erfordern entweder hohe Investitionskosten und treiben damit die Herstellungskosten in die Höhe oder erreichen nicht den für eine Massenproduktion notwendigen Durchsatz.

In dieser Arbeit wurde gezeigt, daß eine Integration von aktiven Strukturen in das Siliziumsubstrat, die ausschließlich der Erhöhung der Testbarkeit des Substrates und des MCM-Systems dienen, Kostenvorteile gegenüber den bisher allgemein genutzten Testansätzen bietet. Die höheren Substratherstellungskosten werden dabei nicht durch den kostengünstigeren Test des unbestückten Substrates oder des vollständig bestückten MCM-Systems erreicht, sondern dadurch, daß der Verlust, der durch die Montage eines defekten ICs entsteht, minimiert wird. Durch die Möglichkeit, defekte Komponenten durch inkrementelle Tests zwischen den einzelnen Montageschritten frühzeitig zu detektieren, kann die Montage weiterer meist relativ teurer Komponenten entfallen.

Dadurch können die auf alle korrekt funktionierenden MCM-Systeme umgelegten Herstellungskosten verringert werden. Es wurde gezeigt, daß für Systeme, die nicht im absoluten Niedrigpreissegment angesiedelt sind, durch den Einsatz aktiver Siliziumsubstrate Kostenvorteile erreicht werden können.

Die Verwendung von Boundary-Scan Schaltungsteilen zur Integration in die aktiven Siliziumsubstrate bietet sich an, da diese Testmethodik zur Lösung der mit der Einführung der SMD-Montagetechnik auftretenden Testprobleme für elektronische Systeme entwickelt wurde. Durch den Einsatz von MCM-Substraten findet eine weitere Verschärfung dieser Testproblematik statt, die prinzipiell durch dieselben Ansätze wie im SMD-Bereich gelöst werden kann. Von Vorteil ist dabei die Möglichkeit, die in den vergangenen Jahren aufgebaute Infrastruktur rund um Boundary-Scan auch für den MCM-Test nutzen zu können. Gegenüber dem Boundary-Scan Einsatz auf SMD-Systemen, der sich im wesentlichen nicht von dem Einsatz Boundary-Scan fähiger Bauteile auf MCMs unterscheidet, bieten sich jedoch bei einer Integration von Boundary-Scan Zellen in das MCM-Substrat eine Reihe von Vorteilen. Daneben ergeben sich aber auch eine Reihe von Randbedingungen, die bei der Integration von Boundary-Scan in Bauteile so nicht anzutreffen sind. Ein wesentlicher Vorteil der Substrat-Integration besteht in der Möglichkeit, nicht nur den Test der bestückten Systeme zu unterstützen, sondern ein Optimum an Testbarkeit während des gesamten Herstellungsprozesses der MCM-Systeme zu bieten. Bereits das unbestückte Substrat kann über die integrierten Scanketten vollständig getestet werden. Die Zeit für den Test der unbestückten Substrate kann durch den Übergang von mechanisch kontrollierten Nadeln mit einer Vielzahl an notwendigen Kontaktierungen beim kapazitiven oder resistiven Test zu einem vollständig elektronisch durchgeführten Test mit vier bzw. fünf parallelen Kontaktierungen um Größenordnungen verringert werden. Daneben sind die Investitionskosten zur Durchführung des Substrattests mit Hilfe der in das Substrat integrierten Scanzellen deutlich geringer als für Testansätze mit Hilfe von Testadaptern oder e-beam Testsystemen.

Während Ansätze wie Flying Probe Tests und Tests über Testadapter nur für unbestückte Substrate nutzbar sind, können in das Substrat integrierte Scanzellen auch dazu dienen, montierte Komponenten direkt nach der Montage zu testen, was im wesentlichen den Kostenvorteil gegenüber passiven Substraten begründet. Daneben unterstützen aktive Substrate auch den Test vollständig bestückter Systeme und hier insbesondere die Fehleridentifizierung und -lokalisierung. Die genaue Analyse des Fehlverhaltens von MCM-Systemen wirft aufgrund der hohen Logiktiefe mit meist unzugänglichen internen Netzen, ähnlich wie bei hochkomplexen VLSI-Schaltungen, Probleme auf. Gerade die Fehleranalyse ist jedoch von besonderer Bedeutung für innovative elektronische

Systeme, da hier durch das Verständnis der meist noch nicht detailliert bekannten Fehlermechanismen wesentlich Einfluß auf die Herstellungskosten genommen werden kann.

Ein zentraler Punkt dieser Arbeit war neben der Betrachtung des Kosteneinflusses aktiver Substrate die schaltungstechnische Realisierung zur Erreichbarkeit eines Optimums an Testbarkeit. Dabei sollte die herkömmliche Funktion der auf aktiven Substraten gefertigten MCM-Systeme möglichst nicht negativ beeinflusst werden. Wie dargelegt wurde, führt eine einfache Umsetzung der chiporientierten Boundary-Scan Implementierung mit der Platzierung der Scanzellen im Signalpfad zu wesentlichen Nachteilen, die sich in reduzierten Substratausbeuten, höherer Fehleranfälligkeit und verminderter Leistungsfähigkeit des Substrates niederschlagen. Durch eine Analyse dieser Nachteile wurde als Folge eine alternative Platzierung der Scanzellen neben dem Signalpfad vorgeschlagen, die zwar Einschränkungen für die Testbarkeit der bestückten Systeme über die Scankette mit sich bringt, aber sämtliche Nachteile der Zellplatzierung im Signalpfad behebt. Die Einschränkungen der Testbarkeit bestückter Systeme wirken sich dabei nicht in allen Fällen aus. Wird die Testbarkeit beispielsweise bereits bei der Komponentenauswahl berücksichtigt, kann mit Hilfe der in der Arbeit vorgestellten Implementierung aktiver Substrate eine 100%-ige Testbarkeit über alle Herstellungsschritte vom nackten Substrat bis zum bestückten MCM-System gewährleistet werden.

Die Effektivität und Kompatibilität der entwickelten Lösungen mit der bestehenden Boundary-Scan Infrastruktur wurde in zwei Stufen nachgewiesen. Zunächst wurde die reine Funktionalität des Konzeptes anhand eines GATE FOREST Sea-of-Gates Entwurfes, der den verfolgten Testansatz nachbildete, verifiziert. Nach dem erfolgreichen Test eines aus diesen Sea-of-Gates Bausteinen nachgebildeten aktiven Substrates auf einem PCB erfolgte das auf Bibliothekszellen basierte Full-Custom Layout der Scanzellen und darauf aufbauend der Entwurf eines aktiven Substrates. Dieses aktive Substrat wurde nach der Fertigung in einem 2µm CMOS-Prozess erfolgreich sowohl auf einem VLSI-Testsystem als auch in Verbindung mit einem Boundary-Scan Testsystem getestet. Die Machbarkeit aktiver Substrate in heute üblichen Abmessungen wurde damit nachgewiesen. Neben der reinen Erhöhung der Testbarkeit wurde mit diesem Substrat auch noch ein weiteres Einsatzgebiet aktiver Substrate demonstriert. Ein in das Substrat integrierter volldigitaler Temperatursensor wurde stellvertretend für die mögliche Substrat-Integration funktionaler Schaltungsteile des MCM-Systems gefertigt. Eine weitere Optimierung der Scanzellen, die zum Ziel hatte den Flächenbedarf und damit auch die Fehleranfälligkeit weiter zu senken, erfolgte daran anschließend. Dadurch konnten die benötigten aktiven Anteile an der Substratfläche um durchschnittlich 59% deutlich gesenkt werden.

6.2 Ausblick

Weiterentwicklungen im Bereich der aktiven Substrate können in unterschiedliche Richtungen erfolgen, von denen hier stellvertretend zwei genannt werden sollen. Zum einen können die Herstellungskosten für aktive Substrate weiter gesenkt werden, indem Ansätze aus der Herstellung von Halbleiterbauelementen übernommen werden. So ist es zum Beispiel vorstellbar, daß die aktiven Strukturen auf vorgefertigten Masterwafern dadurch realisiert werden, daß vorhandene Transistoren oder auch ganze funktionale Blöcke mit Hilfe einer einzelnen Metallisierungsebene so miteinander verbunden werden, daß die gewünschte Schaltungsfunktionalität erhalten wird. Dadurch können Maskenkosten für die Fertigung der Ebenen bis zur ersten Personalisierungsebene auf mehrere Produkte umgelegt werden. Ein weiterer Schritt in Richtung minimierter Substratkosten kann aus dem Bereich der Wafer-Scale Integration übernommen werden. Aktive Substrate stellen in gewisser Weise ein Bindeglied zwischen der Fertigung einzelner Bauelemente und der Nutzung eines kompletten Wafers zur Integration eines Systems dar [111][112][113]. Daher lassen sich aus diesem Bereich zum Beispiel die detailliert untersuchten und verfeinerten Möglichkeiten zur Rekonfiguration von Schaltungen [114] und Organisation von Scanketten nutzen [115][116][117], um die Zahl der nutzbaren aktiven Substrate zu erhöhen und damit die Herstellungskosten zu minimieren.

Eine zweite Zielrichtung kann in einer weiteren Verbesserung der Testbarkeit gesehen werden. Hier kann insbesondere eine Betrachtung der Testansätze für hochkomplexe VLSI-Schaltungen neue Ideen einbringen. So ist es z.B. vorstellbar, daß eine Erweiterung der Scanzellenfunktionalität sinnvoll sein kann, um zum Beispiel die Möglichkeit zum verbesserten Test der integrierten Scankette [118] oder zum Selbsttest des Substrates und des MCM-Systems zur Verfügung zu stellen. Damit kann dann zum Beispiel ohne die Notwendigkeit, einzelne Testvektoren seriell über den Scanpfad einschieben zu müssen, ein Bauelement im Bruchteil der Zeit, die für einen Scantest benötigt wird, getestet werden. Neben einer geringeren Testzeit hat diese Art des Tests auch den Vorteil, daß Bauelemente bei ihrer spezifizierten Betriebsfrequenz getestet werden. Dies ist im Rahmen eines Scantests in den meisten Fällen nicht möglich und gerade bei nackt montierten integrierten Schaltungen durchaus von Bedeutung, da bislang auch das Problem des vollständigen Tests ungehäuster Bauelemente noch nicht endgültig gelöst ist.

7 Anhang

7.1 Boundary-Scan Standard

7.1.1 Ziele

Um eine Lösungsmöglichkeit für die mit fortschreitender Miniaturisierung immer weiter zunehmenden ICT-Probleme zu beschreiben, erarbeitete die Joint Test Action Group (JTAG), ein Zusammenschluß von System- und Halbleiterherstellern aus Europa und Nordamerika, einen Regelsatz zum Entwurf integrierter Schaltungen, der 1990 in den IEEE/ANSI 1149.1 Standard (Boundary-Scan oder BS-Standard) mündete. In diesem Regelsatz wird im wesentlichen beschrieben, wie eine IC-Schnittstelle aussehen muß, die softwareunterstützt einen einfachen Zugang zu den externen Verbindungen eines Halbleiterbauelementes zur Verfügung stellt. Der Vorteil des BS-Standards liegt im wesentlichen darin, daß er systemübergreifend eingesetzt werden kann. D.h. es kann dieselbe Infrastruktur für den Test einzelner Bauteile als auch für den Test ganzer Baugruppen verwendet werden, da in beiden Fällen eine kompatible Schnittstelle besteht. Außerdem ist eine Kaskadierung von BS-fähigen Komponenten (Einzelbauteilen als auch Baugruppen) unter Beibehaltung der Testbarkeit von Einzelkomponenten sowie der gesamten neuen Baugruppe mit Hilfe einer einzigen Schnittstelle möglich. Die Stimulierung und der Test einzelner Schaltungsknoten erfolgt dabei über einen seriellen Datenpfad, der zwischen den externen Kontakten und den internen Verbindungen der genutzten Bauteile geführt wird [119][120].

Die Komponenten dieses seriellen Datenpfades, die sogen. Scanzellen besitzen neben je einem seriellen Ein- und Ausgang auch je einen parallelen Ein- und Ausgang. Diese parallelen Signale führen je nach Art der Zelle entweder von den externen Verbindungen des betroffenen Signalpfades zum Core-Bereich des ICs für Eingangspfade oder vom Core-Bereich des ICs zu den externen Verbindungen für Ausgangspfade. Für bidirektionale Signalpfade existiert in der Regel eine Scanzellenversion, die beide Signalrichtungen unterstützt. Die Steuerung dieser Zellen erfolgt über Kontrollsignale, die vom sogen. TAP-Controller und von einem Instruktionsdeko­der zur Verfügung gestellt werden. In Bild 61 ist der schematische Aufbau einer BS-fähigen Schaltung dargestellt.

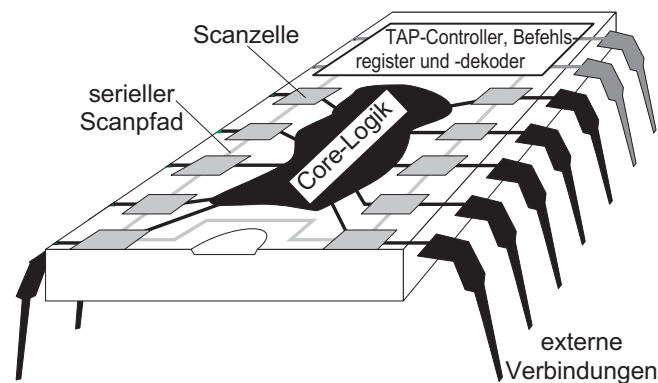


Bild 61 : schematischer Aufbau eines Boundary-Scan fähigen ICs

Über die vom TAP-Controller und dem Instruktionsdekoder bereitgestellten Steuersignale lassen sich in den Scanzellen im wesentlichen vier Datenpfade realisieren, die für unterschiedliche Testansätze genutzt werden können. Zum einen wird im Normalbetrieb der Schaltungen der Datenpfad zwischen den beiden Parallelanschlüssen nicht beeinflusst. Während der Schiebeoperationen erfolgt der Datenfluß in der Scanzelle vom seriellen Eingang zum seriellen Ausgang. Daneben läßt sich der Datenfluß auch noch so steuern, daß Signale an den parallelen Eingängen über den seriellen Pfad ausgegeben werden, bzw. Daten, die seriell in die Scanzelle gelangen an den parallelen Ausgängen zur Verfügung stehen. Die zuletzt genannte Betriebsart ist dabei sowohl für den Core-Bereich des Chips als auch für die externen IC-Verbindungen gültig. D.h. es können sowohl interne Core-Signale über die Scankette stimuliert und abgefragt werden, als auch externe IC-Verbindungen.

7.1.2 Boundary-Scan Architektur

Nach dem JTAG-Regelentwurf werden im IEEE1149.1-Standard die vier folgenden Hardwareelemente unterschieden :

- Test Access Port (TAP) oder Testschnittstelle
- TAP-Controller
- Instruktionsregister (IR)
- eine Gruppe von Testdatenregistern (TDR)

Die ersten drei dieser Grundelemente und Teile der TDR sind im Standard fest vorgeschrieben und müssen von Komponenten, die dem Standard entsprechen, unterstützt werden. Bei den zwingend vorgeschriebenen Testdatenregistern handelt es sich um das Boundary-Scan Register (BSR), das die Stimuli und die Antworten auf die Stimuli eines Testvektors aufnimmt. Daneben ist ein weiteres Register, das sogen.

Bypass-Register zwingend notwendig. Dieses besteht aus lediglich einem Bit und dient dazu, die weiteren vorhandenen Testdatenregister zu umgehen. Damit können Testmuster, die nicht für das Bauelement bestimmt sind, mit nur einem Schiebezyklus durch das Bauelement hindurchgeschoben werden. Weitere anwendungsspezifischen Testdatenregister können im Bauteil enthalten sein. Werden solche Register verwendet, so müssen sie kompatibel zu den Vorgaben des IEEE1149.1-Standards sein. Ein spezielles optionales Register stellt hierbei das Baustein-Identifikationsregister dar, das im Standard explizit aufgeführt ist, und für das spezielle Richtlinien gelten. Ist dieses Register vorhanden, so kann über die Instruktion IDCODE eine teilweise registrierte Bausteinkennung ausgelesen werden. Damit besteht die Möglichkeit, einen Bestückungstest sehr einfach durchzuführen. In Bild 62 ist eine schematische Darstellung der Boundary-Scan Architektur zu sehen.

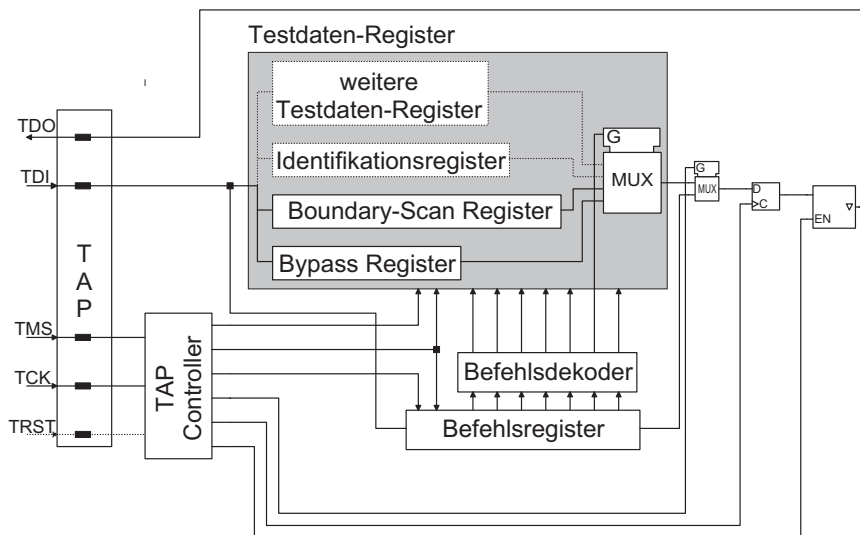


Bild 62 : Boundary-Scan Architektur

Wie man dieser Darstellung entnehmen kann, erfolgt die komplette Steuerung des BS-Pfades über vier bzw. fünf Kontrollsignale. Jedes der vorhandenen Testdatenregister kann über einen Multiplexer in den seriellen Pfad eingeklinkt werden. Ein weiterer Multiplexer, der direkt vom TAP-Controller gesteuert wird, selektiert das gewählte Testdatenregister bzw. das Instruktionsregister. Eine Kaskadierung von BS-kompatiblen Bauteilen kann dadurch erreicht werden, daß der serielle Ausgang des einen Bauteils mit dem seriellen Eingang eines weiteren Bauteils verbunden wird. Die übrigen Signale werden parallel zu beiden Bauteilen geführt.

7.1.3 Test Access Port

Der Test Access Port stellt die Verbindung eines BS-Bauteiles zur Außenwelt, d.h. in der Regel zu einem BS-fähigen Testsystem, her. Da für die meisten Halbleiterbauelemente die Zahl der notwendigen externen Verbindungen einen kritischen Parameter darstellt, wurde bei der Entwicklung des Standards auf eine Minimierung der für Boundary-Scan notwendigen externen Verbindungen geachtet. Daher kann die Kommunikation mit dem Bauteil über den Test Access Port über lediglich vier Signale abgewickelt werden. Im Standard ist ein optionales Signal vorgesehen, das ein asynchrones Rücksetzen des Boundary-Scan Teiles der Schaltung ermöglicht. Ist dieses Signal nicht vorhanden, so können diese Schaltungsteile durch die Aktivierung eines speziellen Zustandes der Ablaufsteuerung synchron zurückgesetzt werden. Die Signale, die den TAP definieren und deren Bedeutung sind in Tabelle 11 aufgeführt.

Tabelle 11 : Signale des Test Access Ports

TCK	Test Clock Input	Dieser Eingang stellt den Takteingang für die Ablaufsteuerung des TAP-Controllers dar. Alle Zustandsübergänge finden synchron zu diesem Takt statt. Der Takt, mit dem die Schieberegister der Boundary-Scan Schaltungsteile betrieben werden, wird aus diesem Signal abgeleitet. TCK kann unabhängig von sonstigen vorhandenen Bauteiltaktversorgungen arbeiten.
TMS	Test Mode Select Input	Mit diesem Eingang werden die Zustandsübergänge der Ablaufsteuerung des TAP-Controllers kontrolliert. Bezüglich des TMS-Signales ist die positive Flanke des TCK-Signales aktiv.
TDI	Test Data Input	Serieller Dateneingang, über den Testmuster in die Boundary-Scan Bauteile geladen werden können. Bezüglich des TDI-Signales ist die positive Flanke von TCK aktiv.
TDO	Test Data Output	Serieller Datenausgang, über den die Testmuster aus den Boundary-Scan Bauteilen dem Testsystem zugänglich gemacht werden. Bezüglich des TDO-Signales ist die negative Flanke von TCK aktiv.
TRST	Test Reset Input	Optionales Reset Signal, das die im Bauteil enthaltenen BS-Schaltungsteile asynchron initialisiert. Falls vorhanden ist dieses Signal low-aktiv.

7.1.4 TAP-Controller

Dem TAP-Controller kommt eine zentrale Bedeutung des BS-Standards zu. Mit diesem werden die gesamten Abläufe innerhalb der BS-Schaltungsteile kontrolliert. Die Hauptfunktionen dieser Ablaufsteuerungen sind die folgenden :

- Generierung von Signalen zum Laden von Instruktionen in das Instruktionsregister
- Generierung von Signalen zur Durchführung von Schiebeoperationen auf den selektierten Testdatenregistern
- Durchführung von Testaktivitäten wie z.B. Schiebeoperationen, Anlegen von geladenen Stimuli, Übernahme von anliegenden Werten in Testdatenregister

Der gesamte TAP-Controller ist als Moore-Zustandsautomat realisiert. Abhängig vom Zustand des TMS-Signales und vom aktuellen Automatenzustand bei steigender TCK-Flanke finden die entsprechenden Zustandsübergänge statt. In Bild 63 ist das zugrunde liegende Zustandsübergangsdiagramm, das im BS-Standard festgeschrieben ist, dargestellt.

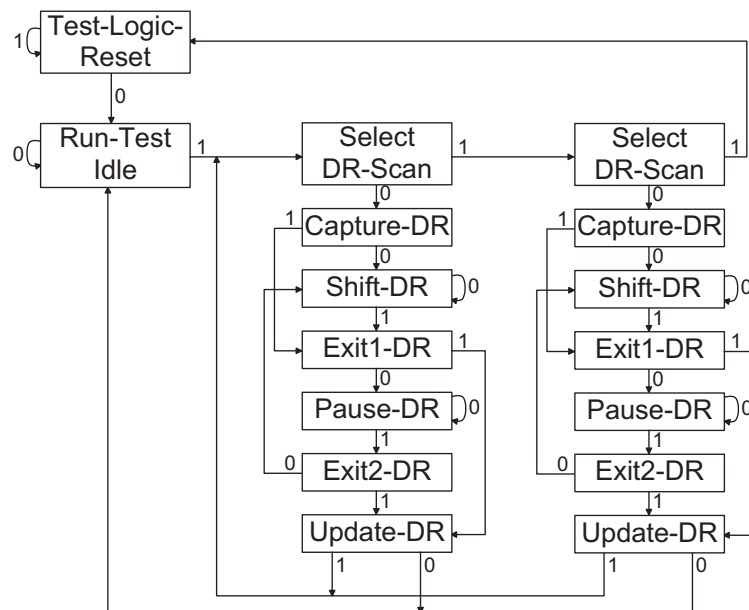


Bild 63 : Zustandsübergangsdiagramm des TAP-Controllers

Die einzelnen Zustände des Kontrollers haben die folgenden Bedeutungen :

- **Test-Logic-Reset**
Initialisierung aller BS-Schaltungsteile. Dieser Zustand wird aus allen anderen Ablaufsteuerungszuständen erreicht, wenn TMS für minimal fünf TCK-Zyklen auf 1 gehalten wird. Bei fehlendem TRST-Signal ist so aus jedem Zustand des Controllers das Erreichen eines Initialisierungszustandes gewährleistet. Die Schaltung befindet sich dann in ihrem normalen Betriebszustand, d.h. wird durch die BS-Schaltungsteile nicht beeinflusst.
- **Run-Test/Idle**
Dieser Zustand dient als Warteschleife, da er nicht verlassen wird, bis TMS auf 1 gelegt wird. Diese Warteschleife dient z.B. dazu, das Ende eines eventuell implementierten Selbsttest des Bauteils abzuwarten.
- **Select DR-Scan**
In diesem Verzweigungszustand wird entschieden, ob in einen Schiebezyklus für das Testdatenregister eingetreten werden soll oder nicht.
- **Capture-DR**
Mit der steigenden TCK-Flanke wird in diesem Zustand der an den parallelen Eingängen der Boundary-Scan Zellen anliegende digitale Wert in das aktuell aktivierte Testdatenregisters geladen. Gleichzeitig erfolgt abhängig von TMS ein Übergang in den nächsten Zustand.
- **Shift-DR**
Solange TMS auf 0 gehalten wird, erfolgt mit jeder steigenden TCK-Flanke eine Schiebeoperation auf dem aktuell genutzten Testdatenregister um eine Bitposition.
- **Exit1-DR**
In diesem Entscheidungszustand wird festgelegt, ob der Schiebezyklus verlassen wird, oder ob in eine Schiebepause eingetreten wird.
- **Pause-DR**
Solange TMS auf 0 gehalten wird, erfolgt in diesem Zustand eine Unterbrechung der Schiebeoperationen. Dieser Zustand kann z.B. dazu genutzt werden, Daten in das Testsystem nachzuladen.
- **Exit2-DR**
In diesem Zustand wird darüber entschieden, ob der Schiebezyklus verlassen werden soll, oder die Schiebeoperationen fortgesetzt werden sollen.
- **Update-DR**
Daten, die seriell in das Testdatenregister eingeschoben wurden, werden in diesem Zustand vom Schieberegister in ein parallel dazu liegendes aus Latches aufgebautes Register übertragen. Dies dient zur permanenten Speicherung des eingeschobenen Zustandes bis der nächste Testvektor im Schieberegister bereitsteht.

Sämtliche aufgeführten Zustände mit dem Zusatz DR existieren auch mit dem Zusatz IR. Statt auf das selektierte Testdatenregister wirken diese Zustände auf das Instruktionsregister, das ebenfalls über den seriellen Pfad geladen wird.

7.1.5 Testdatenregister

Wie bereits in Bild 61 dargestellt, befindet sich das Testdatenregister zwischen den externen Verbindungen und der Kernlogik einer Halbleiterschaltung. Je nach Signaltyp (Eingang, Ausgang, bidirektionales Signal) werden unterschiedliche Registerzellen für den Aufbau der Kette verwendet, bzw. identische Zellen unterschiedlich beschaltet. Prinzipiell stellt eine Scanzelle nichts anderes als ein Kreuzungselement mit Speicherfunktion dar, das den Datenfluß von einem Kreuzungspunkt kommend auf einen der restlichen drei Kreuzungspunkte weiterleiten kann. Die Umleitung des Datenflusses erfolgt dabei nicht kontinuierlich sondern im Rahmen von Schiebezyklen. D.h. die Daten werden zuerst durch die serielle Scankette an die gewünschten Kreuzungspunkte geschoben und dort gespeichert. Dann erfolgt ein Aufbrechen der seriellen Struktur der Scankette und die Daten werden an den gewählten parallelen Scanzellenausgang angelegt und der am der zweiten parallelen Verbindung anliegende Wert wird in die Scanzelle übernommen. Ist diese Umsetzung durchgeführt, wird die serielle Struktur der Kette wieder hergestellt und die parallel geladenen Daten werden aus der Kette herausgeschoben und analysiert, während neue Testdaten an die gewünschten Positionen innerhalb der Scankette geschoben werden. Da die Schieberichtung der Scanzellen festgelegt ist, ergeben sich die drei Konfigurationmöglichkeiten für eine Scanzelle, die in Bild 64 dargestellt sind.

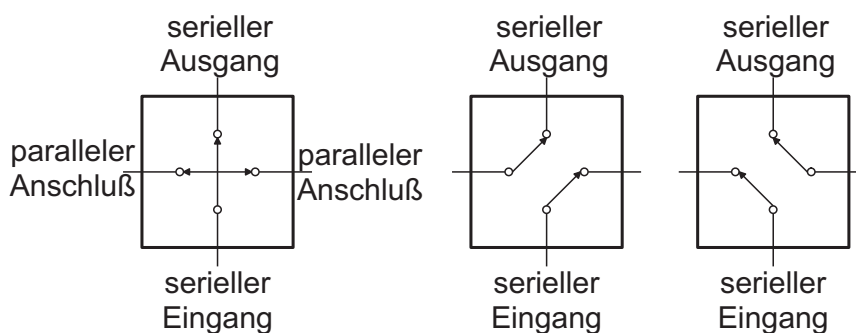


Bild 64 : Konfigurationenmöglichkeiten einer Scanzelle

Eine physikalische Realisierung einer solchen Scanzelle auf Gatterebene ist in Bild 65 dargestellt. Zur Konfiguration der notwendigen Betriebsarten dienen zwei Multiplexer, die vom TAP-Controller gesteuert werden. Um die parallelen Ausgänge während eines Schiebezyklus stabil zu halten enthält die Scanzelle neben einem Flip-Flop zum Aufbau

des Schieberegisters noch ein sogen. Shadow-Latch. In dieses wird nach jedem Schiebezyklus der im Flip-Flop vorhandene Wert mit einem UPDATE-Signal des TAP-Controllers geladen.

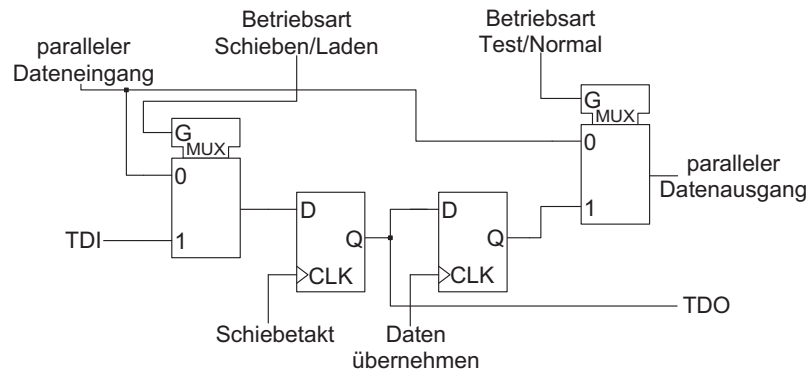


Bild 65 : Schaltungsvorschlag für eine unidirektionale Scanzelle

Eine solche Scanzelle kann für Ein- und Ausgangssignale einer Schaltung verwendet werden, indem ein Anschluß der parallelen Datensignale entsprechend dem gewünschten Signalfluß durchgeführt wird. Für bidirektionale Signale ist eine Erweiterung der Scanzelle um eine Möglichkeit zur Richtungsumkehr des Datenflusses notwendig. Oft werden in diesem Fall zwei gegeneinander geschaltete unidirektionale Scanzellen verwendet. Die Datenflußkontrolle wird dann meist von einer dritten Scanzelle, die keinem externen Anschluß zugeordnet ist, übernommen. Diese berücksichtigt dabei auch den Zustand der chipinternen Kontrollsignale für die Richtungskontrolle bidirektionaler Pads.

Wird ein Testdatenregister nicht für Schiebeoperationen genutzt, so darf es gemäß IEEE1149.1-Standard keinerlei Auswirkungen auf die Schaltungsfunktionen haben. Von einer zusätzlichen Verzögerungszeit durch den vorhandenen Multiplexer im parallelen Signalpfad abgesehen verhalten sich die externen Verbindungen einer Schaltung dann so, als ob kein Testdatenregister an diesen Signalen vorhanden wäre. Das Verhalten von Testdatenregisterzellen in den einzelnen TAP-Controller Zuständen ist im IEEE1149.1-Standard festgelegt und kann Tabelle 12 entnommen werden.

Tabelle 12: Verhalten von Testdatenregisterzellen in Abhängigkeit des TAP-Controller Zustandes

Controller-Zustand	Verhalten der Scanzelle
Capture-DR	Die Daten an dem parallelen Eingang wird in das Schieberegister Flip-Flop übernommen. Das Shadow-Register behält den ursprünglichen Zustand.
Shift-DR	Die Daten der Schieberegister Flip-Flops werden zum seriellen Ausgang geschoben. Das Shadow-Register behält den ursprünglichen Zustand.
Exit1-DR	keine Änderung
Exit2-DR	keine Änderung
Pause-DR	keine Änderung
Update-DR	Die Schieberegister Flip-Flops behalten ihren letzten Zustand. Die Inhalte der Flip-Flops werden in die Shadow-Latches übernommen.
alle weiteren Zustände	Registerzellen mit parallelen Ausgängen halten ihren letzten Zustand. Für alle anderen Registerzellen sind keine Festlegungen getroffen

7.1.6 Instruktionsregister

Das Instruktionsregister hält den binären Opcode des aktuell geladenen Befehls. Die Bits dieses Opcodes werden seriell über das TDI-Signal in des Instruktionsregister eingeschoben. Nach erfolgter Schiebeoperation werden sie von den parallelen Ausgängen Schieberegisterzellen in ein aus Latches bestehendes Register übertragen, in dem das Kommando so lange gespeichert bleibt, bis ein neuer Befehl geladen wird oder die Initialisierungsphase durchlaufen wird. Im Falle einer Initialisierung muß laut IEEE1149.1 der Befehl IDCODE in das Befehlsregister geladen werden, der den Zugang zum Identifikationsregister aktiviert. Ist kein Identifikationsregister im Baustein enthalten, so muß der Befehl BYPASS in das Instruktionsregister übernommen werden. Dieser Befehl aktiviert die Schiebeoperationen durch das Bypass-Register. Der Inhalt des Befehlsregisters wird durch einen Befehlsdekoder ausgewertet und kontrolliert in Kombination mit dem Zustand des TAP-Controllers sämtliche BS-Schaltungsteile.

Im IEEE1149.1-Standard werden Befehle, die zwingend vorgeschrieben sind teilweise mit einer Vorgabe des binären Opcodes beschrieben. Neben diesen notwendigen Befehlen bleibt es dem Schaltungsentwickler überlassen, weitere für den Einsatz des Bausteins sinnvolle Befehle zu implementieren. Gerade diese anwenderspezifische Erweiterbarkeit macht einen Großteil der Vorteile dieses Standards aus. Die zwingend vorgeschriebenen Befehle, die Bedeutung dieser Befehle und die Wirkungsweise auf die BS-Schaltungsteile werden nachfolgend beschrieben :

- **BYPASS**

Mit der BYPASS-Instruktion wird das aus einem Bit bestehende Bypass-Register für Schiebeoperationen durch das jeweilige Bauteil verwendet. Dadurch können für einen Test uninteressante Bauteile überbrückt werden. Dies hat den Vorteil, daß Testmuster nicht durch sämtliche Testdatenregister einer Scankette geschoben werden müssen, was eine wesentliche Zeiteinsparung für den Test bedeutet. Im IEEE1149.1-Standard ist vorgeschrieben, daß der Opcode für die BYPASS Instruktion vollständig aus 1'en besteht. Durch diese Festlegung des Opcodes und durch die Tatsache, daß der Standard verlangt, daß offene serielle Eingänge eine logische 1 propagieren, wird erreicht, daß im Falle einer Unterbrechung des seriellen Scanpfades sämtliche Bauteile hinter der Unterbrechung einen BYPASS-Befehl erhalten. Damit werden sämtliche vorhandenen Testdatenregister in den transparenten Modus geschaltet und ein Betrieb der Schaltung ist möglich. Lediglich die Funktionen, die eine funktionsfähige Scankette voraussetzen sind nicht mehr verfügbar.

- **EXTEST**

Der EXTEST-Befehl stellt das Hauptwerkzeug zur Durchführung von In-Circuit-Tests dar. Testmuster werden in die Scankette geladen und im Update-DR Zustand des Kontrollers auf die parallelen externen Verbindungen geschaltet. Dadurch entsteht ein Datenfluß von einem IC-Ausgang über die zu testende PCB-Leitung zu einem IC-Eingang wie in Bild 66 dargestellt.

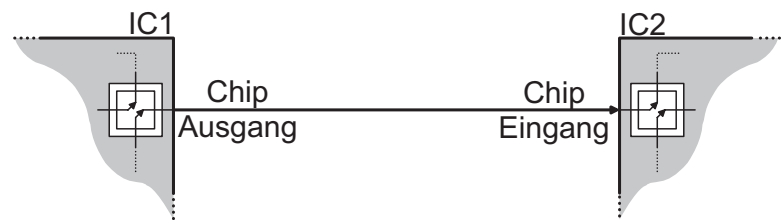


Bild 66 : Datenfluß für den EXTEST-Befehl

Neben dem Test von PCB-Verbindungen kann der EXTEST-Befehl auch dazu genutzt werden, ICs oder gar ganze Schaltungsteile zu testen, die zwar kein Boundary-Scan besitzen, aber von Boundary-Scan Komponenten umgeben sind.

- **SAMPLE/PRELOAD**

Die SAMPLE/PRELOAD Instruktion dient im wesentlichen zwei Zwecken. Zum einen erlaubt sie das Beobachten der Aktivitäten auf Signalleitungen während des normalen Schaltungsbetriebes, ohne diesen normalen Betrieb zu beeinflussen, indem die Signalwerte einfach in die Scankette übernommen (gesampelt) werden, ohne den parallelen Datenfluß durch die Scanzelle zu unterbrechen. Die zweite Aufgabe dieser Funktion ist, vor der Durchführung einer EXTEST-Instruktion direkt nach dem Anlegen der Stromversorgung an

die Schaltung, die Inhalte der Scankette in definierte Zustände zu bringen. Dies ist vor allem dann notwendig, wenn die Initialisierungswerte die an die Schaltungssignale angelegt werden müssen nicht auf allen Signalen identisch sind, da damit die Initialisierung über ein separates Reset-Signal schwierig wird. Würde in diesem Fall direkt mit der Ausführung einer EXTEST Instruktion begonnen, so würden an den Scanzellenausgängen bis zum Abschluß des ersten Schiebezyklus nicht vom Testprogramm kontrollierte Werte stimuliert, die im schlimmsten Fall zu einer Schädigung von Bauelementen führen können. Mit der PRELOAD-Funktion werden ohne eine Aktivierung der parallelen Scanzellenausgängen Werte in die Scankette eingeschoben, die erst mit der Dekodierung der nachfolgend geladenen EXTEST-Instruktion stimuliert werden.

Neben den zuvor beschriebenen fest vorgeschriebenen Befehlen werden im BS-Standard noch eine Reihe weiterer Befehle vorgeschlagen, deren Implementierung sinnvoll, aber nicht notwendig für eine Einhaltung des Standards ist. Drei dieser Befehle werden nachfolgend kurz vorgestellt.

- **IDCODE**

Der IDCODE Befehl aktiviert das Schaltungs-Identifikationsregister. In diesem sind über fest programmierte Verbindungen der Schaltungshersteller, sowie der jeweilige Schaltungstyp codiert. Boundary-Scan Testsysteme können anhand der Inhalte des Identifikationsregister und einer Bauteildatenbank so den Aufbau einer vorhandenen Baugruppe analysieren und teilweise automatisiert Prüfprogramme erstellen. Des weiteren kann über das Identifikationsregister eine Bestückungsprüfung durchgeführt werden.

- **INTEST**

Der INTEST-Befehl stellt das Gegenstück zum EXTEST-Befehl dar. Während der EXTEST-Befehl auf die externen Verbindungen einer integrierten Schaltung wirken, stimuliert und prüft der INTEST-Befehl die Kernlogik des ICs. Damit lassen sich Schaltungen, die sich bereits in einer Baugruppe befinden relativ einfach auf ihre Funktion hin prüfen.

- **RUNBIST**

Der RUNBIST-Befehl aktiviert auf Bauteilen, die dies unterstützen, die Durchführung eines Selbsttests. Während der Selbsttest auf einem Bauteil autonom abläuft, sorgen die Scanzellen dieses Bauteils dafür, daß die restlichen Baugruppentteile nicht von diesem Selbsttest beeinflusst werden. Dazu werden die externen Verbindungen des sich selbst testenden Bauteils meist durch die Scanzellen statisch auf einem festgelegten logischen Wert gehalten. Der Vorteil des Selbsttests eines Bauteils gegenüber dem Test über die Scankette liegt in der höheren Testgeschwindigkeit und der damit kürzeren Testzeit. Während bei einem Scantest die Testmuster einzeln über die Scankette in das Bauteil geladen werden

müssen, benötigt ein Selbsttest lediglich einen aktiven Systemtakt, um über geeignete Verfahren (LFSR, ...) die Testmuster zu generieren und die Testantworten zu komprimieren und zu kodieren.

7.1.7 Boundary-Scan Bauteiltest

Boundary-Scan wird vielfach dazu genutzt, integrierte Schaltungen kostengünstig zu testen, und zwar in allen Montagestufen [121][122][123][124]. Vom Wafertest, bei dem die geringe Anzahl an notwendigen Kontaktierungen Vorteile bietet, über den Bauteiltest, der mit kostengünstigen Testsystemen durchgeführt werden kann, bis zum Test nach der Montage in der Baugruppe. Der Test von Bauteilen über die implementierten Scanzellen erfolgt im wesentlichen mit dem INTEST-Befehl bzw. dem RUNBIST-Befehl. Im Falle des INTEST-Befehls werden Testmuster seriell an die gewünschten Signale geschoben und dienen dann dazu die schaltungsinterne Logik zu stimulieren. Die von dieser Stimulation erzeugten Antworten werden dann in die Scanzellen übernommen und über den Scanpfad an das Boundary-Scan Testsystem weitergereicht, das einen Vergleich zu den erwarteten Werten durchführt. Mittlerweile beherrschen die meisten Boundary-Scan Testsysteme den Import von standardisierten bzw. firmenspezifischen Musterformaten. Damit kann ein Boundary-Scan Testsystem zumindest auf quasistatischer Funktionaltestebene durchaus mit VLSI-Testsystemen verglichen werden. Während bei einem VLSI Testsystem hinter jedem Pin ein Vektorspeicher stehen muß, ist bei Boundary-Scan Testsystemen ein solcher Speicher nur für die beiden seriellen Pins notwendig wie dies in Bild 67 dargestellt ist. Dafür muß dieser aufgrund der seriellen Vektoranordnung erheblich tiefer sein als der Speicher von VLSI-Testsystemen. Diese Serialisierung des Tests bedingt daneben auch, daß Tests in Boundary-Scan Testsystemen nur mit stark reduzierten Geschwindigkeiten ablaufen können, wenn die maximal erreichbare Signalfrequenz für Einzelsignale betrachtet wird.

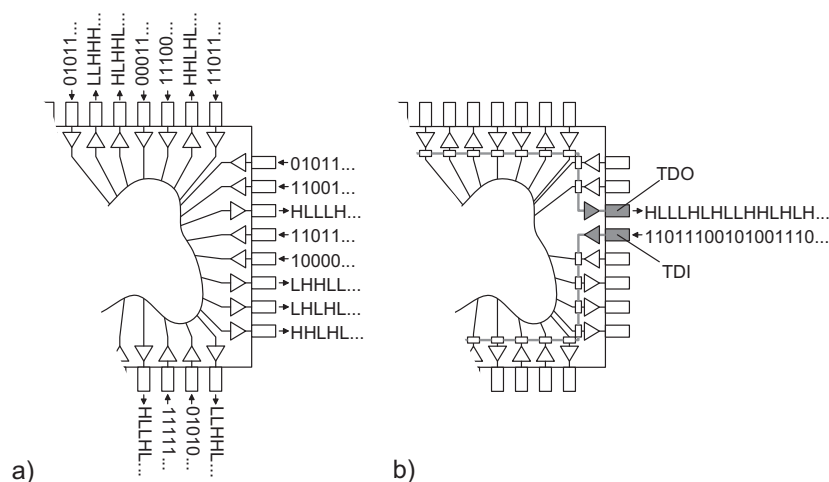


Bild 67: Vergleich zwischen dem Test mit einem VLSI-Testsystem (a) und einem Boundary-Scan Testsystem (b)

Literatur

- [1] Herrell *D.J.*: Addressing the Challenges of Advanced Packaging and Interconnection. IEEE Micro Bd.13 (1993) Nr.2, S.10/18
- [2] *Chiba T., Yamada M., Kobayashi F.*: Limitation of the Signal Pin Density on Wiring Boards. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.19 (1996) Nr.2, S.391/396
- [3] *Truzzi C., Beyne E., Ringoot E.*: Performance Analysis of MCM Systems. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.20 (1997) Nr.3, S.334/341
- [4] *Hagge J.K.*: State-of-the-Art Multichip Modules for Avionics. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.15 (1992) Nr.1, S.29/42
- [5] *George A.G., Krusius J.P., Granitz R.F.*: Packaging Alternatives to Large Silicon Chips: Tiled Silicon on MCM and PWB Substrates. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.19 (1996) Nr.4, S.699/708
- [6] *LaPotin D.P., Mazzawy T.R., White M.L.*: Early Package Analysis : Considerations and Case Study. IEEE Computer Bd.26 (1993) Nr.4, S.30/39
- [7] *Newberry R., Bosley L., Evans J., Johnson R.W.*: Analysis for an MCM Implementation for an Automotive Controller. IMAPS International Journal of Microcircuits & Electronic Packaging Bd.20 (1997) Nr.3, S.325/332
- [8] *Dehkordi P., Ramamurthi K., Bouldin D., Davidson H., Sandborn P.*: Impact of Packaging Technology on System Partitioning: A Case Study. IEEE Multi-Chip Module Conference (1995), S.144/149
- [9] *Dehkordi P., Ramamurthi K., Bouldin D., Davidson H.*: Early Cost/Performance Cache Analysis of a Split MCM-Based MicroSparc CPU. IEEE Multi-Chip Module Conference (1996), S.148/153
- [10] *Mavroides J.*: Cost Saving Opportunities with Multichip Modules. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.15 (1992) Nr.3, S.295/298
- [11] *Singh P., Landis D.L.*: Optimal Chip Sizing for Hybrid-WSI. IEEE International Conference on Wafer Scale Integration (1994), S.374/386

-
- [12] *Franzon P.D., Stanaski A., Tekmen Y., Banerjai S.:* System Design Optimization for MCM. IEEE Multi-Chip Module Conference (1995), S.138/143
- [13] *Franzon P.D. , Stanaski A., Tekmen Y., Banerjia S.:* System Design Optimization for MCM-D/Flip-Chip. IEEE-Transactions on Components, Packaging, and Manufacturing Technology Bd.18 (1995) Nr.4, S.620/627
- [14] *Swartzlander E.E.:* A Comparison of VLSI, MCM and WSI Technologies. IEEE International Conference on Wafer Scale Integration (1995), S.191/196
- [15] *Seltzer G.S, Ahy R., Razmi M.:* Electromagnetic theory imposes constraints on pc-board design. EDN Magazine Bd.39 (1994) Nr.15, S.93/98
- [16] *Lall P., Bhagath S.:* An Overview of Multichip Modules. Solid State Technology Bd.36 (1993) Nr.9, S.65/76
- [17] *Frye R.C., Tai L.:* Chip Scale Modules. IMAPS Advancing Microelectronics Bd.25 (1998) Nr.2, S.17/20
- [18] *Chao C.C.:* Mult-Layer Thin Film Substrates for Multi-Chip Packaging. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.12 (1989) Nr.2, S.180/184
- [19] *Prasad K., Perfecto E.:* Multilevel Thin Film Packaging: Applications and Processes for High Performance Systems. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.17 (1994) Nr.1, S.38/49
- [20] *Mukund P.R., McDonald J.F.:* MCM: The High-Performance Electronic Packaging Technology. IEEE Computer Bd.26 (1993) Nr.4, S.10/12
- [21] *Jahn J.R., Conway P.P.:* Multichip Modules (MCMs): a review of the status quo. Journal of Electronics Manufacturing Bd.3 (1993) Nr.1, S.1/11
- [22] *Habiger C.M.:* A substrate area estimation technique for Multi-Chip Modules. IEEE International Conference on Wafer Scale Integration (1995), S.134/142
- [23] *Carey D.H.:* Trends in Low-Cost, High-Performance Substrate Technology. IEEE Micro Bd.13 (1993) Nr.2, S.19/27
- [24] *Tummala R.R.:* Multichip Packaging - A Tutorial. Proceedings of the IEEE Bd.80 (1992) Nr.12, S.1924/1941
- [25] *Shrivastava U.A., Valentine W., Mahalingam M.:* Relative Figures of Merit for Chip-to-MCM Substrate Interconnection Methods. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.16 (1993) Nr.6, S.598/605

- [26] *Fillion R.A.*: A Forecast on the Future of Hybrid Wafer Scale Integration Technology. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.16 (1993) Nr.7, S.615/625
- [27] *Messner G., Turlik I., Balde J.W., Garrou P.E.*: Multichip Modules. Reston/VA: International Society for Hybrid Microelectronics (1992)
- [28] *Doane D.A., Franzon P.D.*: Multichip Module Technologies and Alternatives. New York: Van Nostrand Reinhold (1993)
- [29] *Johnson R.W., Teng R.K.F., Balde J.W.*: Multichip Modules Systems Advantages, Major Construction and Materials Technologies. Los Alamitos: IEEE Computer Society Press (1991)
- [30] *Johnson R.W., Phillips T.L., Jaeger R.C., Hahn S.F., Burdeaux D.C.*: Multichip Thin-Film Technology on Silicon. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.12 (1989) Nr.2, S.185/194
- [31] *Frye R.C., Tai K.L., Lau M.Y., Gabara T.J.*: Trends in Silicon-on-Silicon Multichip Modules. IEEE Design & Test of Computers Bd.10 (1993) Nr.4, S.8/17
- [32] *Iqbal A., Swaminathan M., Nealon M., Omer A.*: Design Tradeoffs Among MCM-C MCM-D and MCM-D/C Technologies. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.17 (1994) Nr.1, S.22/29
- [33] *Hagge J.K.*: Ultra-Reliable Packaging for Silicon-on-Silicon WSI. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.12 (1989) Nr.2, S.170/179
- [34] *McDonald J.F., Lin H.T., Greub H.J., Philhower R.A., Dabral S.*: Techniques for Fabrication of Wafer Scale Interconnections in Multichip Packages. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.12 (1989) Nr.2, S.195/205
- [35] *Sudo T.*: Silicon-on-Silicon Technology for CMOS-based Computer Systems. IEEE Multi-Chip Module Conference (1992), S.8/11
- [36] *Low Y.L., Frye R.C.*: The Impact of Miniaturization and Passive Component Integration in Emerging MCM Applications. IEEE Multi-Chip Module Conference (1997), S.27/32
- [37] *Frye R.C., Tai K.L., Lau M.Y., Lin A.W.C.*: Silicon-on-Silicon MCMs with Integrated Passive Components. IEEE Multi-Chip Module Conference (1992), S.155/158

- [38] *Day R.-L., Hruska C.D., Tai K.L., Frye R.C., Lau M.Y., Sullivan P.A.:* A Silicon-on-Silicon Multichip Technology with Integrated Bipolar Components in the Substrate. IEEE Multi-Chip Module Conference (1994), S.64/67
- [39] *Tegethoff M.M.V., Chen T.W.:* A Clustered Yield Model for SMT Boards and MCM's. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.18 (1995) Nr.4, S.640/643
- [40] *Kim S., Lombardi F.:* Yield Analysis of Fault-Tolerant Multichip Module Systems for Massively Parallel Computing. IEEE International Conference on Wafer Scale Integration (1995), S.308/317
- [41] *Perfecto E., Desai K.K., McAfee G.:* Improving Yields through effective Diagnostics: A MCM-D/C Example. International Conference on Multichip Modules and High Density Packaging (1998), S.93/99
- [42] *Peacock C., Bolouri H., Habiger C.:* Cost-Effective Multichip Module Manufacture Using Passive Substrate Fault Tolerance. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.20 (1997) Nr.3, S.320/326
- [43] *Flint A.:* MCM Test Strategy Synthesis from Chip Test and Board Test Approaches. Journal of Electronic Testing Bd.10 (1997) Nr.1, S.65/76
- [44] *Gross H.D.:* Bare Package Multichip Module Testing. International Conference on Multichip Modules (1992), S.133/141
- [45] *Katoozi M., Kutz H., Soma M., Huynh S.:* Strategies and Structures for Test Access in Mixed-Signal MCMs. IEEE Multi-Chip Module Conference (1997), S.144/149
- [46] *Bassett R.W., Gillis P.S., Shushereba J.J.:* High-Density CMOS Multichip-Module Testing and Diagnosis. IEEE International Test Conference (1991), S.530/539
- [47] *Omer A., Flint A.:* Testability and Signal Integrity in a Low Cost Multichip Module. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.20 (1997) Nr.3, S.300/307
- [48] *Zorian Y.:* A Structured Testability Approach for Multi-Chip Modules Based on BIST and Boundary-Scan. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.17 (1994) Nr.3, S.283/290
- [49] *Lubaszewski M., Marzouki M., Touati M.H.:* A Pragmatic Test and Diagnosis Methodology for Partially Testable MCMs. IEEE Multi-Chip Module Conference (1994), S.108/113

- [50] *Posse K.E.*: A Design-for-Testability Architecture for Multichip Modules. IEEE International Test Conference (1991), S.113/121
- [51] *Sasidhar K., Chatterjee A., Zorian Y.*: Relay Propagation Scheme for Testing of MCMs on Large Area Substrates. European Design and Test Conference (1996)
- [52] *Wyss J.-P., Habiger C., Hirth E., Tröster G.*: DFT Techniques for first-time right MCMs - Exemplified by a Pentium MCM System. International Conference on Multichip Modules and High Density Packaging (1998), S.205/210
- [53] *Zorian Y., H. Bederr H.*: Designing Self-Testable Multi-Chip Modules. European Design and Test Conference (1996)
- [54] *Heinitz H., Sporleder F., Schöber V., Ohletz M.*: Testen von Multichip Modulen. VDI/VDE GMM-Fachbericht Leiterplatte '97 (1997), S.347/366
- [55] *Storey T.M., McWilliam B.*: A Test Methodology for High Performance MCMs. Journal of Electronic Testing Bd.10 (1997) Nr.1, S.109/118
- [56] *Jorgenson J.A., Wagner R.J.*: Design-for-Test in a Multiple Substrate Multichip Module. Journal of Electronic Testing Bd.10 (1997) Nr.1, S.97/108
- [57] *Zorian Y., Bederr H.*: An Effective Multi-Chip BIST Scheme. Journal of Electronic Testing Bd.10 (1997) Nr.1, S.87/95
- [58] *Lin T.-T.Y., Liou H.-Y.*: Built-in Test Multichip Modules with Pipelined Test Strategy. IEEE Design & Test of Computers Bd.10 (1993) Nr.4, S.38/51
- [59] *Maly W.*: Smart-Substrate Multichip-Module Systems. IEEE Design & Test of Computers Bd.11 (1994) Nr.2, S.64/73
- [60] *Gattiker A.E., Maly W., Thomas M.E.*: Are There Any Alternatives to "Known Good Die". IEEE Multi-Chip Module Conference (1994), S.102/107
- [61] *Gattiker A.E., Maly W.*: Feasibility Study of Smart Substrate Multichip Modules. IEEE International Test Conference (1994), S.41/49
- [62] *Hedge S.J., Hall C.J., Habiger C.M., Lea R.M.*: An Experimental Fault-Tolerant Active Substrate MPC MCM Using Standard Gate Array Technology. IEEE International Conference on Wafer Scale Integration (1995), S.197/206
- [63] *Oliver J., Kerkhoff H.*: Test Structures on MCM Active Substrate : Is it Worthwhile. European Design and Test Conference (1996)
- [64] *Oliver J., Kerkhoff H.*: A Cost Analysis Study of Deposited-MCM Active Substrates for Testability Purposes. IEEE Multi-Chip Module Conference (1996), S.80/85

- [65] *Dislis C., Alani A.F., Jalowiecki I.P.*: A Framework for the Management of MCM Test Strategies for Passive and Active Substrate MCMs. *IMAPS International Journal of Microcircuits & Electronic Packaging* Bd.20 (1997) Nr.3, S.254/261
- [66] *Gattiker A.E., Maly W.*: Smart Substrate MCMs. *Journal of Electronic Testing* Bd.10 (1997) Nr.1, S.39/53
- [67] *Zorian Y.*: Fundamentals of MCM Testing and Design-for-Testability. *Journal of Electronic Testing* Bd.10 (1997) Nr.1, S.7/14
- [68] *Keezer D.C.*: Fault Isolation and Performance Characterization of High Speed Digital Multichip Modules. *IEEE Transactions on Components, Packaging, and Manufacturing Technology* Bd.18 (1995) Nr.4, S.614/619
- [69] *Newman K.E., Keezer D.C.*: A New Low-Cost Method for MCM Substrate Test. *IMAPS Advanced Technology Workshop on MCM Test* (1997)
- [70] *Swaminathan M., Kim B., Chatterjee A.*: A Survey of Test Techniques for MCM Substrates. *Journal of Electronic Testing* Bd.10 (1997) Nr.1, S.27/38
- [71] *Beiley M., Leung J., Wong S.S.*: A Micromachined Array Probe Card-Fabrication Process. *IEEE Transactions on Components, Packaging, and Manufacturing Technology* Bd.18 (1995) Nr.1, S.179/183
- [72] *Beiley M., Leung J., Wong S.S.*: A Micromachined Array Probe Card-Characterization. *IEEE Transactions on Components, Packaging, and Manufacturing Technology* Bd.18 (1995) Nr.1, S.184/191
- [73] *Beiley M., Ichishita F., Nguyen C., Wong S.*: Array Probe Card. *IEEE Multi-Chip Module Conference* (1992), S.28/31
- [74] *Dislis C., Jalowiecki I.P.*: Test strategies for multi-chip modules based on economics considerations. *IEEE International Conference on Wafer Scale Integration* (1995), S.371/378
- [75] *Shipley C., Ritter T.L.*: Complete Testing of an ECL MCM Bare Substrate. *International Conference on Multichip Modules* (1992), S.129/132
- [76] *Taylor R.*: High Speed Flexible Testing of MCM Substrates. *International Conference on Multichip Modules* (1992), S.142/149
- [77] *Chou N.-C., Cheng C.-K., Russell T.C.*: Dynamic Probe Scheduling Optimization for MCM Substrate Test. *IEEE Transactions on Components, Packaging, and Manufacturing Technology* Bd.17 (1994) Nr.2, S.182/189
- [78] *Kim B.C., Yan R.*: A Probe Routing Algorithm for MCM Substrate Test. *International Conference on Multichip Modules and High Density Packaging* (1998), S.100/104

- [79] *Marshall J., Chong F.C., Modlin D., Westbrook S.:* CAD-Based Net Capacitance Testing of Unpopulated MCM Substrates. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.17 (1994) Nr.1, S.50/55
- [80] *Lipa S., Steer M.B., Morris A.S., Franzon P.D.:* Comparison of Methods for Determining the Capacitance of Planar Transmission Lines with Application to Multichip Module Characterization. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.16 (1993) Nr.3, S.247/252
- [81] *Laquai B., Richter H., Höfflinger B.:* A new Method and Teststructure for easy Determination of Femto-Farad On-Chip Capacitances in a MOS Process. IEEE Int. Conf. on Microelectronic Test Structures (1992)
- [82] *Halperin A., DiStefano T.H., Chiang S.:* Latent Open Testing of Electronic Packaging. IEEE Multi-Chip Module Conference (1994), S.83/88
- [83] *Thiel A., Habiger C., Tröster G.:* A Comparative Analysis of RF-Characteristics of High Density MCM-L Technologies. International Conference on Multichip Modules and High Density Packaging (1998), S.27/32
- [84] *Andrews J.R.:* Time Domain Reflectometry. Workshop on Time Domain Reflectometry in Environmental, Infrastructure, and Mining Applications (1994), S.4/13
- [85] *Kim B., Swaminathan M., Chatterjee A., Schimmel D.:* A Novel Test Technique for MCM Substrates. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.20 (1997) Nr.1, S.2/12
- [86] *Barber A., Lee K., Obermaier H.:* A Bare-Chip Probe for High I/O, High Speed Testing. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.17 (1994) Nr.4, S.612/619
- [87] *Cofield J.:* Membrane Design for MCM and BGA Substrate Test. International Conference on Multichip Modules and High Density Packaging (1998), S.83/86
- [88] *Kasukabe S., Mori T., Watanabe T., Shigi H., Wada Y., Ariga A.:* Membrane Probe with Pyramidal Tips for a Bare Chip Testing. International Conference on Multichip Modules and High Density Packaging (1998), S.402/407
- [89] *Scaman M.E., Economikos L.:* Computer Vision for Automatic Inspection of Complex Metal Patterns on Multichip Modules (MCM-D). IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.18 (1995) Nr.4, S.675/684
- [90] *Tong Z., Liao T.W., Strittmatter C.A.:* Automated X-Ray Inspection of Chip-to-Chip Interconnections of Si-on-Si MCM's. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.18 (1995) Nr.4, S.666/674

- [91] *Karpenske D., Talbot C.:* Testing and Diagnosis of Multichip Modules. Solid State Technology Bd.34 (1991) Nr.6, S.24/26
- [92] *Brunner M.:* Electron-Beam MCM Testing and Probing. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.17 (1994) Nr.1, S.62/68
- [93] *Schmid R., Schmitt R., Brunner M., Gessner O., Sturm M.:* Electron Beam Probing - A Solution for MCM Test and Failure Analysis. Journal of Electronic Testing Bd.10 (1997) Nr.1, S.55/63
- [94] *Rincon A.M., Cherichetti C., Monzel J.A., Stauffer D.R., Trick M.T.:* Core Design and System-on-a-Chip Integration. IEEE Design & Test of Computers Bd.14 (1997) Nr.4, S.26/35
- [95] *Eory F.S.:* Core Design and System-on-a-Chip Integration. IEEE Design & Test of Computers Bd.14 (1997) Nr.4, S.26/35
- [96] *IEEE P1500 Working Group:* <http://grouper.ieee.org/groups/1500>
- [97] *Gupta R.K., Zorian Y.:* A Core-Based System-to-Silicon Design Methodology. IEEE Design & Test of Computers Bd.14 (1997) Nr.4, S.36/41
- [98] *Mitglieder der IEEE P1500 Scalable Architecture Task Force:* Preliminary Outline of the IEEE P1500 Scalable Architecture for Testing Embedded Cores. IEEE VLSI Test Symposium (1999)
- [99] Protokoll der IEEE P1500 Working Group Sitzung vom 26. Juli 1999 (<http://grouper.ieee.org/groups/1500>)
- [100] *Osswald P., Schmidt R.:* Innovative Prüftechniken für Elektronik-Baugruppen aus Anwendersicht. VDI/VDE GMM-Fachbericht Leiterplatte '97 (1997), S.333/345
- [101] *Hagge J.K., Wagner R.J.:* High-Yield Assembly of Multichip Modules through Known-Good IC's and Effective Test Strategies. Proceedings of the IEEE Bd.80 (1992) Nr.12, S.1965/1994
- [102] *Flint A.:* Testing Multichip Modules. IEEE Spectrum Bd.31 (1994) Nr.3, S.59/62
- [103] *Posse K.:* A Formalization of the IEEE 1149.1-1990 Diagnostic Methodology as applied to Multichip Modules. Journal of Electronic Testing Bd.10 (1997) Nr.1, S.119/125
- [104] *Jarwala N.:* Designing "Dual Personality" IEEE1149.1 Compliant Multi-Chip Modules. Journal of Electronic Testing Bd.10 (1997) Nr.1, S.77/86

- [105] *Werkmann H., Laquai B., Schwederski T.*: Efficient Smart Substrates with Test Capabilities and On-Line Temperature Monitoring. IEEE Multi-Chip Module Conference (1995), S.183/188
- [106] *Werkmann H., Höfflinger B.*: Comparative Cost Analysis for Smart Substrate MCM Systems. IEEE Multichip Module Conference (1997), S.150/155
- [107] *Werkmann H., Höfflinger B.*: Smart Substrate MCM Testability Optimization by Means of Chip Design. IEEE International Workshop on Chip Package Co-Design (1998), S.48/52
- [108] *Werkmann H., Höfflinger B., Laquai B.*: Efficient use of Boundary Scan Infrastructure for Active Substrate Testing. IMAPS Advanced Technology Workshop MCM Test IV (1997)
- [109] *Werkmann H., Höfflinger B., Laquai B.*: Boundary Scan Adaption for Active Substrate MCM-Test. IEEE International ASIC Conference (1997), S.62/66
- [110] *Ozmat B.*: Interconnect Technologies and the Thermal Performance of MCM. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.15 (1992) Nr.5, S.860/869
- [111] *Jesshope C.R.*: Wafer scale integration : Proceedings of a workshop held in Southampton from 10 July to 12 July. Bristol: A.Hilger (1986)
- [112] *Swartzlander E.E.*: Wafer Scale Integration. Boston/Dordrecht/London: Kluwer Academic Publishers (1989)
- [113] *Tewksbury S.K.*: Wafer-Level Integrated Systems: Implementation Issues. Boston/Dordrecht/London: Kluwer Academic Publishers (1989)
- [114] *Landis D.L.*: A Self-Test Architecture for Reconfigurable WSI. IEEE International Test Conference (1989), S.275/282
- [115] *Bolchini C., Buonanno G., Ferrandi F., Sciuto D., Bombana M., Cavalloro P., Zaza G.*: Towards WSI Testable Devices : an Improved Scan Insertion Technique. IEEE International Conference on Wafer Scale Integration (1995), S.339/348
- [116] *Bolchini C., Buonanno G., Ferrandi F., Sciuto D., Bombana M., Cavalloro P.*: A Wafer Level Testability Approach based on an Improved Scan Insertion Technique. IEEE Transactions on Components, Packaging, and Manufacturing Technology Bd.18 (1995) Nr.3, S.438/447
- [117] *Landis D.L., Singh P.*: Optimal Placement of IEEE 1149.1 Test Port and Boundary Scan Resources for Wafer Scale Integration. IEEE International Test Conference (1990), S.120/126

-
- [118] *Sachdev M.*: Testing Defects in Scan Chains. IEEE Design & Test of Computers Bd.12 (1995) Nr.4, S.45/51
- [119] *Parker K.P.*: The Boundary-Scan Handbook. Boston/Dordrecht/London: Kluwer Academic Publishers (1992)
- [120] *Bleeker H., van den Eijnden P., de Jong F.*: Boundary-Scan Test : A Practical Approach. Boston/Dordrecht/London: Kluwer Academic Publishers (1993)
- [121] *Ehrenberg H.*: Wirtschaftlicher Einsatz der Boundary-Scan-Technologie im gesamten Produktlebenszyklus. VDI/VDE GMM-Fachbericht Leiterplatte '97 (1997), S.367/375
- [122] *Büchner T., Bernath E., Gurkasch R., Schwederski T., Werkmann H.*: SUNBAR - A Universal Boundary Scan Architecture for a Sea-of-Gates Semi-Custom Environment. European Solid State Circuits Conference (1992)
- [123] *Kärkkäinen M., Tiensyrjä K., Weissenfelt M.*: Boundary Scan Testing Combined with Power Supply Current Monitoring. European Design and Test Conference (1996)
- [124] *Büchner T.*: Kostengünstige Testmethoden für Semi Custom ASICs. Düsseldorf: VDI-Verlag (1996)