



MAX-PLANCK-GESELLSCHAFT



Universität Stuttgart

Oxidische FETs mit sub-100 nm Gatelänge

Von der Fakultät Mathematik und Physik der Universität Stuttgart zur
Erlangung der Würde eines Doktors der Naturwissenschaften (Dr. rer. nat.)
genehmigte Abhandlung

Vorgelegt von
Carsten Woltmann, M.Sc.
aus Bargfeld

Hauptberichter: Prof. Dr. Jochen Mannhart

Mitberichter: Prof. Dr. Jörg Wrachtrup

Tag der mündlichen Prüfung: 30. Juni 2016

MAX-PLANCK-INSTITUT FÜR FESTKÖRPERFORSCHUNG

27. April 2016

Inhaltsverzeichnis

1	Einleitung	5
2	Grundlagen	7
2.1	Das $\text{LaAlO}_3/\text{SrTiO}_3$ -System	7
2.2	Einordnung von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs	8
2.3	Lang-Kanal-Verhalten	10
2.4	Kurz-Kanal-Effekte	14
3	Probenherstellung	19
3.1	Probenaufbau im Querschnitt	19
3.2	Die Epitaxieanlage	20
3.3	Elektronenstrahl-Lithographie	21
3.4	Vorbereitung des Substrats	23
3.5	Versiegelung der Grenzfläche	26
3.6	Das Markensystem	26
3.7	Das 2D-Elektronensystem und der Gatestapel	28
3.8	Die Gate-Elektrode	29
3.9	Die 2DES-Kontakte: Source/Drain	30
3.10	Strukturelle Charakterisierung	32
4	VLSI und ICs	33
4.1	Entwurf der Bauelemente	33
4.2	Entwurf der Proben	33
4.3	Anmerkungen zur Probenherstellung	36
4.4	Messungen	36
4.5	Diskussion	36
4.6	Homogenität des 2DES	39
4.7	Monolithische integrierte Schaltkreise	41
4.8	Zusammenfassung	42
5	Feldeffekt-Bauelemente mit fünf Kontakten	45
5.1	Entwurf der Bauelemente	45
5.2	Entwurf der Proben	47

Inhaltsverzeichnis

5.3	Anmerkungen zur Probenherstellung	47
5.4	Messungen	49
5.5	Diskussion	52
5.6	Zusammenfassung	53
6	Feldeffekt-Bauelemente mit drei Kontakten	57
6.1	Entwurf der Bauelemente	57
6.2	Entwurf der Proben	57
6.3	Ausgangs- und Transferverhalten	58
	Messungen	58
	Diskussion	62
6.4	Tieftemperaturverhalten	63
	Messungen	63
	Diskussion	64
6.5	Zusammenfassung	68
7	Zusammenfassung	71
8	Summary	75
	Veröffentlichungen	79
	Literaturverzeichnis	81
	Danksagung	91
	Anhang: Rezepte	93
R1	Grundsätzliches	95
R2	Standardreinigung	96
R3	Substratterminierung	97
R4	Markenherstellung	98
R5	2DES-Strukturierung	99
R6	Gatestrukturierung	100
R7	Herstellung der Kontakte ins 2DES	102
	Anhang: Punktspreizfunktionen	103
	Anmerkungen	105
P1	Marken-PSF	107
P2	2DES-PSF	109
P3	Gates-PSF	113
P4	2DES-Kontakte-PSF	117

1 Einleitung

Das wirtschaftliche und applikative Interesse an immer kleineren und gleichzeitig schnelleren Feldeffekt-Bauelementen hat während der vergangenen Jahrzehnte zu einer exponentiellen Entwicklung der Halbleitertechnologie geführt. Wie lange wir diesen, als *Moore's Law* [1] bekannten Trend mit Hilfe konventioneller Methoden [2] fortsetzen können, ist nicht genau vorherzusagen, doch zeichnet sich die Notwendigkeit eines Paradigmenwechsels ab, wollen wir der bisherigen Entwicklung weiter gerechtwerden [3,4].

Die Breite des physikalischen Spektrums komplexer Oxide hat die wissenschaftliche Gemeinschaft immer wieder aufs Neue verblüfft. Viele der exotischen Eigenschaften beruhen auf der Korrelation der Elektronen in diesen Materialien. Hierin liegt ein wesentlicher Unterschied zu konventionellen Halbleitern und gleichzeitig möglicherweise die Chance zur Überwindung einiger ihrer Skalierungshürden. Dies führt mich zu der grundlegenden Frage, die diese Arbeit motiviert:

Kann die Physik oxidischer Grenzflächen genutzt werden, um die Skalierungsprobleme konventioneller Halbleiterelektronik abzumildern oder zu umgehen?

Dies ist eine sehr weite Fragestellung und die Erwartung, sie – im Rahmen einer Promotion – vollständig beantworten zu können, wohl vermessen. Dennoch möchte ich mich der Thematik widmen, indem ich den Fragen nachgehe:

Lassen sich oxidische Bauelemente hoch-integriert auf Chips realisieren oder sogar zu komplexer digitaler Logik vernetzen?

Sollte dies tatsächlich möglich sein, lautet die nächste Frage:

Gibt es ähnliche Kurz-Kanal-Effekte wie bei Halbleiterbauelementen oder treten bei sehr kleinen Oxid-FETs unerwartete Eigenschaften hervor?

Die Beantwortung dieser Fragen erfordert zunächst eine Optimierung der Strukturierungstechniken komplexer Oxide. Ich hoffe mit meiner Arbeit Einblick in das Verhalten komplex-oxidischer FETs mit sehr kleiner Gatelänge zu erhalten und gleichzeitig anderen Wissenschaftlern den Weg zur Herstellung oxidischer Bauelemente mit nanoskopischen Längenskalen zu ebneten.

1 Einleitung

Im Folgenden Abschnitt (Kapitel 2) möchte ich zunächst einige wichtige Grundlagen zum $\text{LaAlO}_3/\text{SrTiO}_3$ -Materialsystem sowie zu Lang- und Kurz-Kanal-Verhalten von Feldeffekt-Bauelementen vorstellen.

Viele der zur Probenherstellung benötigten etablierten Prozesse wurden erweitert oder gänzlich neu entwickelt. Dieser Teil meiner Arbeit ist in Kapitel 3 dokumentiert. Darüber hinaus befindet sich eine rezeptartige Zusammenstellung der Strukturierungsprozesse im Anhang.

Kapitel 4 behandelt die Integrierbarkeit von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs, dem ersten der drei Projekte zur Beantwortung der vorangestellten Fragen. Es beschreibt neben Untersuchungen zur lateralen Homogenität des Elektronensystems die erstmalige Herstellung monolithischer integrierter Schaltkreise sowie eines Chips mit hunderttausenden $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs.

Um die Auswirkungen kleiner werdender Gatelängen auf das Transportverhalten näher zu untersuchen, wurde ein weiteres Projekt durchgeführt, das in Kapitel 5 beschrieben ist. Es widmet sich der Untersuchung der Transistorgeometrie und speziell des Einflusses parasitärer Zuleitungswiderstände auf die Güteigenschaften der Bauelemente.

Durch Weiterentwicklung der Prozesstechnik gelang es im letzten Projekt (Kapitel 6), FETs mit sub-100 nm Gatelänge herzustellen und zu charakterisieren.

Eine Gesamtzusammenfassung dieser Arbeit erfolgt in Kapitel 7. Sie soll einen schnellen Einblick in die durchgeführten Projekte und die wichtigsten Resultate ermöglichen. Für einen stufenweisen Anstieg der Detailtiefe sei auf die Zusammenfassungen an den entsprechenden Kapitelenden und danach natürlich auf die Kapitel selbst verwiesen.

2 Grundlagen

Das breite und teils exotische physikalische Spektrum komplexer Oxide [5–7] bescherte dieser Materialklasse in den letzten Jahrzehnten und bis heute große Aufmerksamkeit. Bauelemente, die Eigenschaften wie beispielsweise hohe elektrische Suszeptibilität, Piezoelektrizität, Ferroelektrizität, Effekte des resistiven Schaltens (RRAM), Supraleitung oder sensorische Funktionalität ausnutzen [8,9] und sogar konventionelle Halbleiterbauelemente ergänzen [10–13], befinden sich bereits in Anwendung beziehungsweise Entwicklung. Ein besonderes Augenmerk bei der Erforschung oxidischer Elektronik lag und liegt hierbei auf der leitfähigen, in *high-k*-Materialien eingebetteten, $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche als Modellsystem, welches ich im Folgenden kurz vorstellen möchte.

2.1 Das $\text{LaAlO}_3/\text{SrTiO}_3$ -System

LaAlO_3 und SrTiO_3 gehören zur Klasse der Perowskite (Verbindungen vom Typ ABO_3). Während SrTiO_3 ein kubisches Gitter mit der Gitterkonstante $a_{\text{SrTiO}_3} = 3,905 \text{ \AA}$ [14] besitzt, ist die Struktur von LaAlO_3 trigonal. Aufgrund des geringen Verzerrungswinkels ($\approx 0,1^\circ$) wird es jedoch verbreitet als *pseudo-kubisch* bezeichnet. Die Gitterkonstante beträgt hierbei $a_{\text{LaAlO}_3} = 3,79 \text{ \AA}$ [15]. Beide Materialien sind Isolatoren mit Bandlücken von $E_g = 3,2 \text{ eV}$ [16] für SrTiO_3 und $E_g = 5,6 \text{ eV}$ [17] für LaAlO_3 .

Umso erstaunlicher ist die Entdeckung von Akira Ohtomo und Harold Hwang im Jahr 2004, dass die Grenzfläche zwischen diesen Bandisolatoren ein hochmobiles 2D-Elektronensystem (2DES) ausbilden kann [18].

Viele Wissenschaftler in aller Welt widmen sich seither der Erforschung der vielfältigen Physik (Metall-Isolator-Übergang, Supraleitung [19], Ferromagnetismus [20], etc.) des $\text{LaAlO}_3/\text{SrTiO}_3$ -Materialsystems. Dennoch werden die Mechanismen, die zur Entstehung des 2DES führen, noch immer teils kontrovers diskutiert. Dazu zählen elektronische Rekonstruktion durch polare Katastrophe [21–23], der Einfluss von Sauerstoff-Fehlstellen [24] sowie weitere Ansätze. Jüngere Untersuchungen deuten auf ein Zusammenspiel verschiedener Mechanismen hin [25], sodass das System je nach den äußeren Rahmenbedingungen (Sauerstoffpartialdruck, Temperatur, etc.)

2 Grundlagen

das divergierende Grenzflächenpotential (polare Katastrophe) kompensiert.

Für epitaktische LaAlO_3 -Schichten gibt es eine sprunghafte Zunahme der Grenzflächenleitfähigkeit bei einer kritischen Dicke von vier Einheitszellen (uc) [26]. Außerdem zeigt das 2DES einen starken Feldeffekt [26], sodass sich die Leitfähigkeit mithilfe einer Gate-Elektrode um viele Größenordnungen schalten lässt.

2.2 Einordnung von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs

Im Laufe der Jahre wurden verschiedene Fabrikationsprozesse und Bauformen für LaAlO_3 -Feldeffekt-Transistoren entwickelt und untersucht. Hierzu zählen, neben konventioneller optischer Lithographie, auch die Verwendung von Elektronenstrahl-Lithographie, Ionenbeschuss-Strukturierung und Schattenwurf-Effekten [27–32].

Durch elektrostatische Strukturierung der 2D-Elektronenflüssigkeit (2DEL) [33] mittels einer geladenen, leitfähigen Spitze eines Rasterkraft-Mikroskops (AFM) konnten sogar laterale Auflösungen von nur 2 nm erreicht werden [34]. Darüber hinaus gelang mit dieser sogenannten *sketch-based* Technik die Herstellung von FETs [35,36], Ein-Elektron-Transistoren (SETs) [37] sowie einer Reihe weiterer Bauelemente [38].

$\text{LaAlO}_3/\text{SrTiO}_3$ -FETs fallen in keine der Standardkategorien von Halbleitertransistoren, was die Wahl des theoretischen Modells zur Analyse der Messdaten erschwert. Vom geometrischen Aufbau und wichtiger noch von ihrer Darstellung im Bandkanten-Modell her ähneln $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs den *modulation-doped*-FETs (MODFETs), häufig auch als *high electron mobility transistor* (HEMT) bezeichnet (Abb. 2.1a,b), unter positiver Gatevorspannung. Im Gegensatz zu diesen Bauelementen gibt es jedoch im $\text{LaAlO}_3/\text{SrTiO}_3$ -System keine Volumen- oder δ -Schicht-Dotierung zur Population der leitenden Grenzfläche. Auch beruht die Isolation zum Gate nicht auf einer Schottkybarriere, sondern auf einer (beziehungsweise mehreren) Isolatorschicht(en), sodass man sie am ehesten als Verarmungstyp-HIGFET (*heterostructure insulated gate FET*) betrachten kann.

Aus der Abbildung 2.1 ist nicht ersichtlich, dass bereits die Wahl des Gatematerials Einfluss auf die Bandstruktur [39–43] nimmt, was zu Abweichungen in Abbildung 2.1b und somit zu einer Änderung der Schwellenspannung führen kann. Aufgrund der Nähe zum Bandkanten-Modell wird für die Messdaten-Analyse auf die Theorie von MODFET-Bauelementen mit entvölkerter δ -Dotierungsschicht zurückgegriffen.

2.2 Einordnung von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs

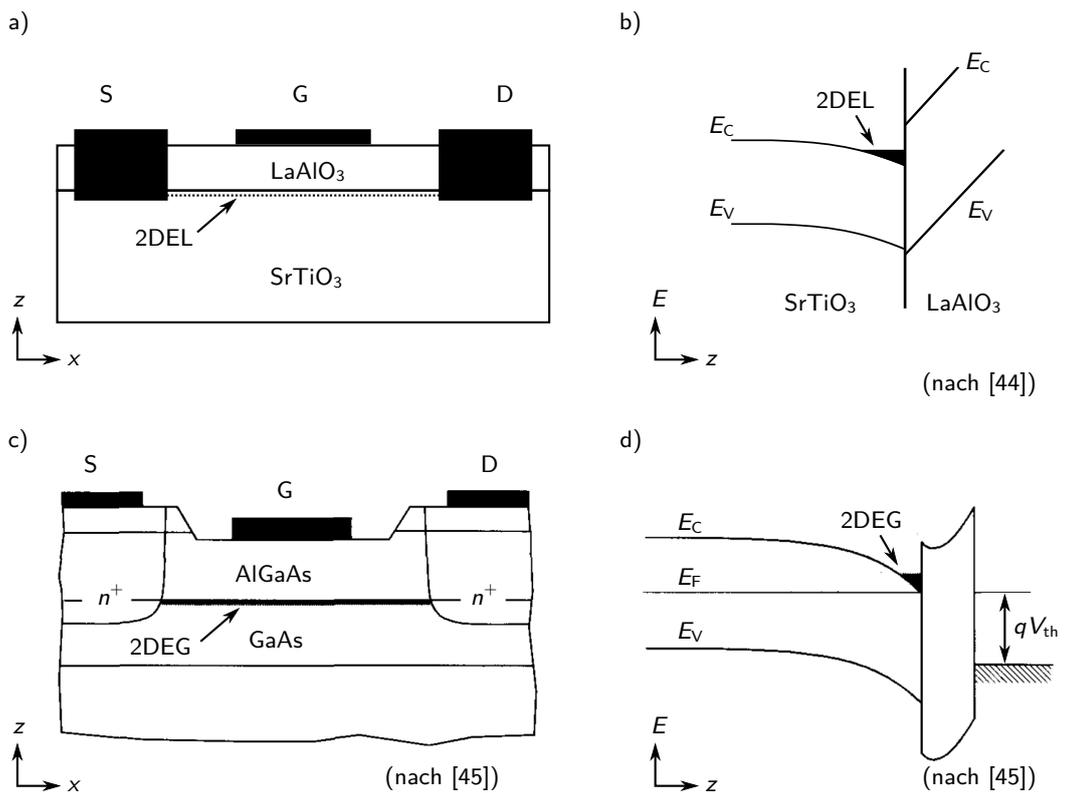


Abbildung 2.1: (a) Schematische Darstellung eines $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs und (b) des zugehörigen Bandkantenmodells ohne angelegte Gatespannung in Gegenüberstellung (c,d) mit einem AlGaAs/GaAs high electron mobility transistor (HEMT) unter positiver Gatevorspannung ($V_G = V_{th}$).

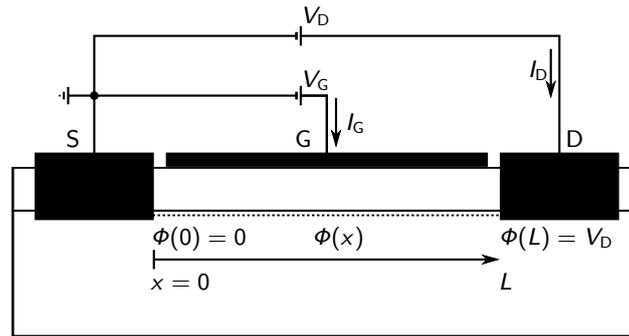


Abbildung 2.2: Schematische Darstellung eines FETs und wichtiger Parameter.

2.3 Lang-Kanal-Verhalten

Im Folgenden soll eine kurze Einführung in die Theorie des Lang-Kanal-Verhaltens der FETs gegeben werden. Als Vorlage dient das MODFET-Kapitel aus [45]. Da einige Argumentationsschritte dort verkürzt dargestellt werden, möchte ich eine ausführlichere Herleitung geben und gleichzeitig auf die Besonderheiten des $\text{LaAlO}_3/\text{SrTiO}_3$ -Systems eingehen.

Abbildung 2.2 zeigt den schematischen Aufbau der Bauelemente und stellt die wichtigsten Parameter vor. Grundsätzlich wird angenommen, dass die unter der Gate-Elektrode akkumulierte Grenzflächenladungsdichte (ρ) kapazitiv vom Potentialunterschied zwischen Grenzfläche und Gate-Elektrode abhängt. Dieser Potentialunterschied setzt sich aus der angelegten Gatespannung (V_G) und intrinsischen Spannungen (maßgeblich durch die polare Diskontinuität und Unterschiede in den Austrittsarbeiten) zusammen. Letztere resultieren in einer von Null verschiedenen Schwellenspannung (V_{th}), sodass unter Annahme einer konstanten flächenspezifischen Kapazität (C_{ox}) des Gatestacks in erster Näherung für die ortsabhängige Ladungsdichte im Kanal folgt:

$$\rho(x) = -C_{\text{ox}} \cdot (V_G - V_{\text{th}} - \Phi(x)). \quad (2.1)$$

Auf Abschnitt 3 vorgehend, wird hier zur Abschätzung der flächenspezifischen Kapazität eine LaAlO_3 -Dicke von 5 uc ($\approx 1,9$ nm) und eine BaTiO_3 -Dicke von 8 uc angenommen. Aufgrund der um Größenordnungen höheren Dielektrizitätskonstante von BaTiO_3 gegenüber LaAlO_3 [46], kann die BaTiO_3 -Schichtdicke außer Acht gelassen werden und man erhält typische Werte von $C_{\text{ox}} \sim 0,1 \text{ F/m}^2$. Es sei angemerkt, dass für genauere Abschätzungen weitere Einflüsse berücksichtigt werden müssen. Hierzu zählen beispielsweise depositionsbedingte Schädigungen der Grenzflächen und Abweichungen von der bulk-Dielektrizität bei der Betrachtung dünner Schichten.

Da stets $\rho(x) \leq 0$ erfüllt sein muss, gilt Gleichung 2.1 ausschließlich für den Bereich $0 \leq V_D \leq V_G - V_{th}$. Außerdem muss, anders als bei Halbleiterbauelementen, für das $\text{LaAlO}_3/\text{SrTiO}_3$ -System zwischen der gesamten im Kanal vorhandenen Ladungsträgerdichte und der Dichte beweglicher, am Transport teilnehmender Ladungsträger unterschieden werden. Der Metall-Isolator-Übergang geschieht in diesem Materialsystem bei einer endlichen Ladungsträgerdichte von $n_0 \approx 1 \times 10^{13} \text{ cm}^{-2}$ [47]. Gleichung 2.1 beschreibt folglich die Dichte mobiler Ladungsträger im $\text{LaAlO}_3/\text{SrTiO}_3$ -System, solange I_G vernachlässigbar ist.

Unter dieser Annahme kann nun der – aus Erhaltungsgründen ortsunabhängige – Drainstrom durch Einführung der Driftgeschwindigkeit ($v(x)$) und Gatebreite (W_G) berechnet werden:

$$I_D = W_G \cdot \rho(x) \cdot v(x). \quad (2.2)$$

Durch Einsetzen von Gleichung 2.1 folgt:

$$I_D = -W_G \cdot C_{ox} \cdot [V_G - V_{th} - \Phi(x)] \cdot v(x). \quad (2.3)$$

Im Fall von Lang-Kanal-Bauelementen und moderaten Spannungen ist die Annahme einer konstanten Mobilität $\mu_{eff} = v/\mathcal{E}$ gerechtfertigt. Es sei jedoch angemerkt, dass dies für abnehmende Gatelängen häufig nicht zulässig ist, was die Definition einer feldabhängigen Mobilität erfordert und den Effekt der Geschwindigkeitssättigung (Abschnitt 2.4) beschreibt.

Hier soll jedoch zunächst von einer konstanten Mobilität ausgegangen werden. Mit Hilfe der Felddefinition $\mathcal{E} = -\Phi(x)'$ folgt nun durch Einsetzen in Gleichung 2.3:

$$I_D = \mu_{eff} \cdot W_G \cdot C_{ox} \cdot [V_G - V_{th} - \Phi(x)] \cdot \Phi(x)'. \quad (2.4)$$

Obwohl I_D nicht ortsabhängig ist, kann diese Gleichung nicht direkt ausgewertet werden, da der Potentialverlauf stark von den Eigenschaften des Materialsystems abhängt. $\Phi(x)$ und $\Phi(x)'$ sind an keinem Ort gleichzeitig bekannt. Durch Ersetzen des konstanten Drainstroms durch seinen Mittelwert entlang des Kanals, lässt sich diese Komplexität jedoch umgehen:

$$I_D = \overline{I_D} = \mu_{eff} \cdot W_G \cdot C_{ox} \cdot \frac{1}{L} \int_0^L [V_G - V_{th} - \Phi(x)] \cdot \Phi(x)' dx. \quad (2.5)$$

Ohne Kenntnis des genauen Potential- oder Feldverlaufs im Kanal lässt sich diese Gleichung – mittels partieller Integration – und der Randwerte $\Phi(0) = 0$ und $\Phi(L) = V_D$ lösen. Werden zuletzt durch die Annahme $L \rightarrow L_G$ die Zuleitungswi-

2 Grundlagen

derstände vernachlässigt, folgt:

$$I_D = \frac{\mu_{\text{eff}} \cdot W_G \cdot C_{\text{ox}}}{L_G} \left[(V_G - V_{\text{th}}) \cdot V_D - \frac{V_D^2}{2} \right]. \quad (2.6)$$

Diese Gleichung beschreibt das Ansteigen des Drainstroms für gegebenes V_G und wachsendes V_D bis zum Punkt der Selbstabschnürung des Kanals (*pinch-off*) bei $V_{D,\text{sat}} = V_G - V_{\text{th}}$. Für größere Werte von V_D verschiebt sich der Abschnürungspunkt sukzessive von der Drainelektrode in den Kanal hinein, wobei I_D konstant bleibt. Für das allgemeine Ausgangsverhalten eines Lang-Kanal-Bauelements folgt somit:

$$I_D = \frac{\mu_{\text{eff}} \cdot W_G \cdot C_{\text{ox}}}{L_G} \cdot \begin{cases} \left[(V_G - V_{\text{th}}) \cdot V_D - \frac{V_D^2}{2} \right] & , \quad 0 \leq V_D < V_{D,\text{sat}} \\ \frac{1}{2} (V_G - V_{\text{th}})^2 & , \quad 0 \leq V_{D,\text{sat}} \leq V_D \end{cases}. \quad (2.7)$$

Eine aus Gleichung 2.7 berechnete Kurvenschar $I_D(V_D)$ ist für $V_{\text{th}} = -2\text{V}$ und diverse V_G in Abbildung 2.3 dargestellt. Typisch für das Lang-Kanal-Verhalten sind die horizontalen Sättigungsbereiche und die quadratische Zunahme der Sättigungsströme mit V_G . Bei immer kürzer werdenden Gate-Längen ändert sich dieses Verhalten, wie in Abschnitt 2.4 beschrieben wird.

Unterschwellen-Transport

Die bisher vorgestellte Theorie beschreibt lediglich den An-Zustand ($V_G > V_{\text{th}}$) des Transistors. Für niedrigere Gatespannungen findet keine kapazitive Bevölkering des Kanals durch die Gate-Elektrode statt. Ausschließlich Ladungsträger, deren thermische Energie hinreichend groß ist, können als Diffusionsstrom von Source nach Drain gelangen. Die Dichte dieser Ladungsträger und damit der Drainstrom hängen exponentiell von der Potentialdifferenz $V_G - V_{\text{th}} < 0$ ab:

$$I_D \propto \exp \left[\frac{e(V_G - V_{\text{th}})}{k_B T} \right]. \quad (2.8)$$

Die Auftragung des Unterschwellen-Drainstroms in Abhängigkeit von der Gate-Spannung erfolgt typischerweise deka-logarithmisch. Die Steigung dieser Kurve wird als Unterschwellen-Steigung (*subthreshold slope*) bezeichnet und ist ein Maß für das *Schaltvermögen* des Transistors. Sie lässt sich für ideale Bauelemente aus Gleichung 2.8 ableiten:

$$\frac{\partial \log(I_D)}{\partial V_G} = \frac{1}{\ln(10)} \cdot \frac{e}{k_B T}. \quad (2.9)$$

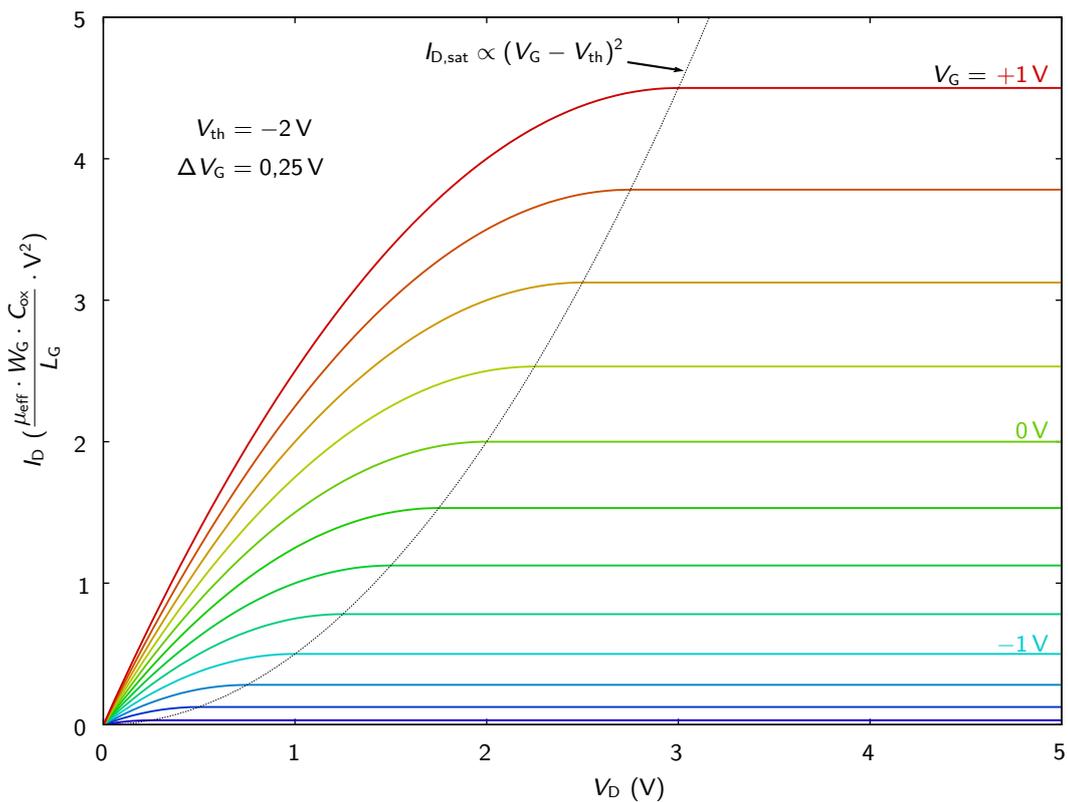


Abbildung 2.3: Typisches Transportverhalten eines Lang-Kanal-FETs mit Schwellenspannung $V_{\text{th}} = -2\text{V}$. Ebenfalls eingezeichnet ist die Parabel, auf welcher die Übergänge zum Sättigungsbereich aller Graphen liegen. Die Kurven wurden unter Verwendung von Gleichung 2.7 berechnet.

Je größer die Unterschwellensteigung, desto rasanter schaltet der Transistor unter Erhöhung von V_G . Häufiger als die Unterschwellensteigung wird jedoch ihr Kehrwert, der *subthreshold swing*, bei der Beschreibung von Bauelementen verwendet:

$$S_{\text{s-th}} = \ln(10) \cdot \frac{k_{\text{B}}T}{e}. \quad (2.10)$$

Der *subthreshold swing* gibt die nötige Änderung von V_G an, um den Drainstrom um eine Größenordnung (Dekade) zu erhöhen. Gleichung 2.10 stellt hierbei die theoretisch mögliche Untergrenze für Halbleiterbauelemente dar. Bei Raumtemperatur beträgt sie $S_{\text{s-th}}(300\text{K}) \approx 60\text{mV/dec}$.

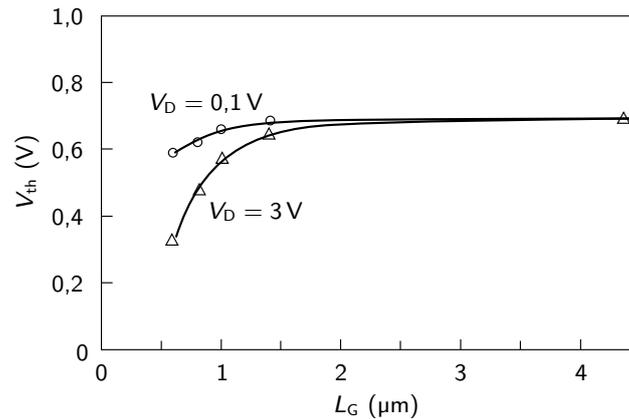


Abbildung 2.4: Darstellung der Abhängigkeit der Schwellenspannung von der Gatelänge und dem Drainpotential, gemessen an n-MOSFETs. (Nach [51])

2.4 Kurz-Kanal-Effekte

Zur Herstellung immer kleinerer und damit schnellerer Feldeffekt-Bauelemente wurden im Lauf der Jahrzehnte immer detailliertere Skalierungsansätze verfolgt. Dennoch lassen sich schon seit vielen Bauelementgenerationen sogenannte Kurz-Kanal-Effekte nicht vermeiden. Diese treten auf, sobald vormals vernachlässigbare Randeinflüsse eine wachsende Rolle für das Transportverhalten der Bauelemente spielen. Im Folgenden sollen die für diese Arbeit relevanten Kurz-Kanal-Effekte vorgestellt werden. Eine allgemeinere Übersicht kann beispielsweise im Artikel von Chaudhry und Kumar [48] nachgeschlagen werden.

Einfluss der Kontakt-Raumladungszone

Dieser – im Englischen *charge sharing* und *threshold voltage roll-off* genannte – Kurz-Kanal-Effekt [49,50] ist relevant, wenn die Kanallänge mit der lateralen Ausdehnung der Raumladungszonen um die Source/Drain-Kontakte vergleichbar ist. Bei konventionellen Halbleiterbauelementen geschieht dies im Bereich von $L_G \lesssim 1 \mu\text{m}$ (Abb. 2.4). Die Raumladungszonen bewirken hierbei eine Dotierung des Kanals und somit eine Verringerung der Schwellenspannung (daher der Begriff *threshold voltage roll-off*). Da die Raumladungszone um die Drainelektrode zusätzlich vom angelegten Drainpotential abhängt, überträgt sich diese Abhängigkeit auf die Schwellenspannung. Abbildung 2.4 zeigt den typischen Verlauf der Schwellenspannung in Abhängigkeit von der Gatelänge und für verschiedene Drainpotentiale.

Kanallängen-Modulation

Der Effekt der Kanallängen-Modulation (*channel length modulation*) beruht auf einer zunehmenden Abhängigkeit der effektiven Kanallänge vom Drainpotential

(V_D) bei immer kleineren Bauelementen. Prinzipiell lässt sich Gleichung 2.7 durch die Ersetzung $L_G \rightarrow L_G - \Delta L$ zu

$$I_D = \frac{\mu_{\text{eff}} \cdot W_G \cdot C_{\text{ox}}}{L_G - \Delta L} \cdot \begin{cases} \left[(V_G - V_{\text{th}}) \cdot V_D - \frac{V_D^2}{2} \right] & , \quad 0 \leq V_D < V_{D,\text{sat}} \\ \frac{1}{2} (V_G - V_{\text{th}})^2 & , \quad 0 \leq V_{D,\text{sat}} \leq V_D \end{cases} \quad (2.11)$$

erweitern. Hierbei gilt jedoch im Allgemeinen $\Delta L = \Delta L(V_D, V_G)$, wobei verschiedene Mechanismen und häufig andere Kurz-Kanal-Effekte (beispielsweise verfrühtes Abschnüren durch Geschwindigkeitssättigung oder der Einfluss der Drainkontakt-Raumladungszone) zu nichttrivialen Zusammenhängen führen [45,51]. Aus diesem Grund wird die Kanallängen-Modulation häufig nur als Fitparameter, beziehungsweise als empirisches Funktional (einer bestimmten FET-Familie) in Simulationen verwendet.

In erster Ordnung hat die effektive Reduktion der Kanallänge bei Erhöhung des Drainpotentials stets endliche, konstante Steigungen im vormaligen Sättigungsbereich der Source-Drain-Charakteristiken zur Folge. Bei weiterer Verringerung der Bauelementgröße oder entsprechender Erhöhung des Drainpotentials kann es zu Korrekturen höherer Ordnung kommen, wie im folgenden Abschnitt erläutert wird.

Drain-induzierte Barrieresenkung

Die Bezeichnung dieses – im Englischen *drain-induced barrier lowering* (DIBL) genannten – Effekts bezieht sich auf die elektrostatische Barriere im Bandkanten-Diagramm eines sperrenden MOSFETs (Abb. 2.5). Die Höhe der vom npn-Übergang erzeugten Barriere bleibt bei großen Kanallängen trotz hoher Drainspannung erhalten (Abb. 2.5a). Erst wenn V_D deutlich über das abgebildete Maß hinaus erhöht würde, käme es zur Reduktion der Barrierehöhe und schließlich zum Durchbruch (*punch through*). Für sehr kurze Kanäle ist der Einfluss der Drainspannung auf die Barrierehöhe deutlich stärker (Abb. 2.5b). Diese Abhängigkeit resultiert in einem überlinearen Anstieg des Drainstroms (im klassischen Sättigungsbereich) mit V_D und einer Herabsenkung der kritischen Durchbruchspannung. DIBL gilt als eine der größten Herausforderungen bei der Planung und Fertigung moderner MOSFET-Generationen [52].

Wie zuvor erläutert, beruht das Schaltprinzip von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs auf einem starken Abfall der Grenzflächenleitfähigkeit bei Unterschreitung einer kritischen, jedoch von Null verschiedenen, Ladungsträgerdichte im Kanal. Eine direkte Übertragung des Konzepts der Barrieresenkung vom npn-Übergang eines MOSFETs ist da-

2 Grundlagen

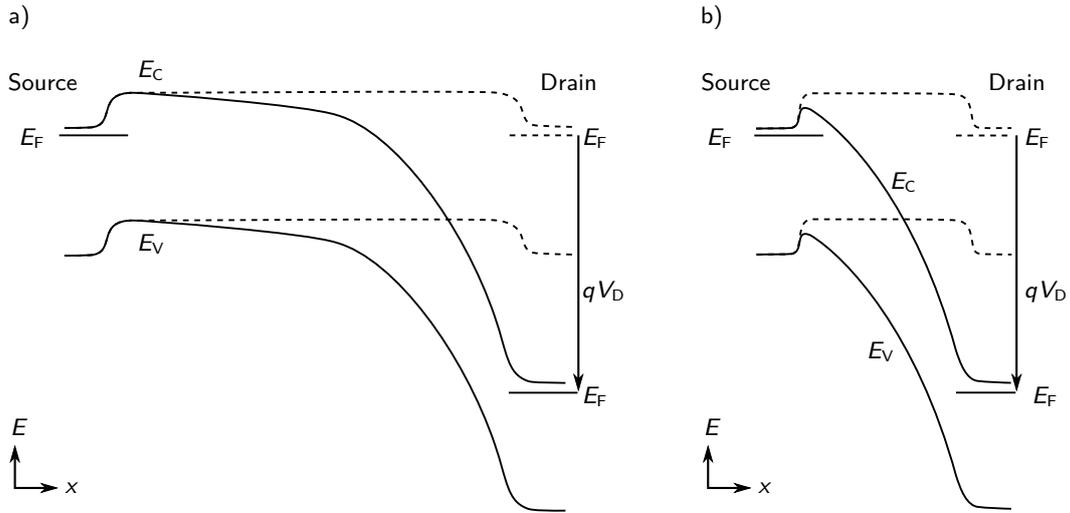


Abbildung 2.5: Bandkanten-Diagramme eines (a) Lang-Kanal- und eines (b) Kurz-Kanal-n-MOSFETs im Aus-Zustand ($V_G < V_{th}$) bei nichtvernachlässigbarer Drainspannung. (Der Zustand für $V_D = 0$ ist gestrichelt dargestellt.) Beim Kurz-Kanal-Bauelement ist, im Gegensatz zum Lang-Kanal-FET, die Höhe der elektrostatischen Barriere reduziert und abhängig von V_D . (Nach [45])

her problematisch. Gleichwohl können $\text{LaAlO}_3/\text{SrTiO}_3$ -Transistoren einen Durchbruch erleiden und realisieren somit auch überlineare Anstiege im Drainstrom bei Erhöhung von V_D . Eine Abhängigkeit dieses Verhaltens von der Kanallänge (analog zum Konzept des DIBL) ist daher auch hier nicht auszuschließen. Es existieren jedoch bisher – meines Wissens nach – diesbezüglich keine Modellrechnungen oder experimentellen Untersuchungen.

Geschwindigkeitssättigung

Geschwindigkeitssättigung wird durch im Drude-Modell vernachlässigte Effekte höherer Ordnung verursacht. Für große elektrische Feldstärken (\mathcal{E}) erweist sich die Annahme einer konstanten Mobilität (μ_{eff}) und die Definition der Driftgeschwindigkeit mit $v = \mu_{\text{eff}} \cdot \mathcal{E}$ als ungerechtfertigt. Vielmehr muss von einer Abflachung des Graphen von $v(\mathcal{E})$ bei einem kritischen Feld (\mathcal{E}_C) und einer Annäherung an eine Sättigungsgeschwindigkeit ($v_{\text{sat}} = \mu_{\text{eff}} \cdot \mathcal{E}_C$) ausgegangen werden (Abb. 2.6). Im Vakuum entspricht v_{sat} der Lichtgeschwindigkeit, während sie in Halbleiterbauelementen typischerweise durch die Anregungsenergie optischer Phononen begrenzt wird. Zur Beschreibung des Geschwindigkeitsverhaltens eignet sich der empirische Ansatz [53]:

$$v(\mathcal{E}) = \frac{\mu_{\text{eff}} \cdot \mathcal{E}}{\left[1 + \left(\frac{\mathcal{E}}{\mathcal{E}_C}\right)^n\right]^{\frac{1}{n}}}. \quad (2.12)$$

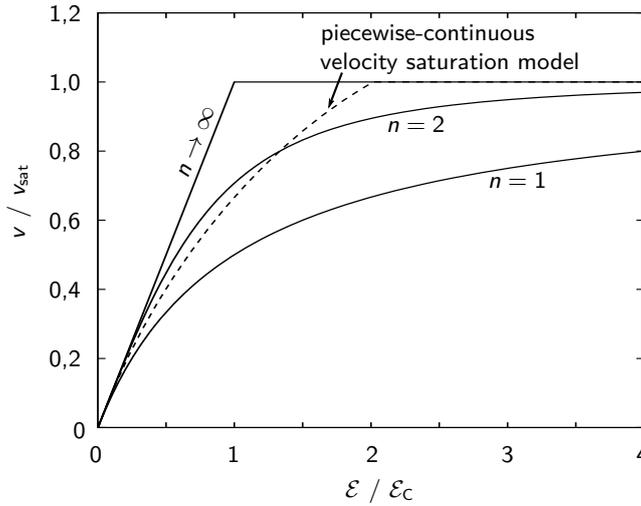


Abbildung 2.6: Auftragung charakteristischer Geschwindigkeits-sättigungs-Modelle nach Gleichung 2.12. Der Fall $n \rightarrow \infty$ wird auch als *two-piece linear approximation model* bezeichnet. Das *piecewise-continuous velocity saturation model* [55] ist gestrichelt eingezeichnet. Alle Modelle erfüllen die Bedingungen konstanter Mobilität (μ_{eff}) für $\mathcal{E} \ll \mathcal{E}_C$ und $v \rightarrow v_{\text{sat}}$ für $\mathcal{E} \gg \mathcal{E}_C$.

Hierbei bestimmt der Parameter $n = 1, 2, \dots$ die *Schärfe* des Übergangs zwischen dem klassischen Bereich konstanter Mobilität (geringe Feldstärken) und dem Bereich der Geschwindigkeitssättigung. Wie sich an Halbleitermessungen zeigt, liefern $n = 1$ (für Löcher) beziehungsweise $n = 2$ (für Elektronen) die genauesten Fits [53]. Da jedoch der analytische Aufwand für die Behandlung des Falls $n = 2$ [54] normalerweise den Nutzen übersteigt, werden in der Regel vereinfachte Modelle, wie das *piecewise-continuous velocity saturation model* [55] oder das *two-piece linear approximation model* ($n \rightarrow \infty$) zur Datenanalyse verwendet. Für die Auswertung der Messdaten in Abschnitt 6.4 erzeugte das *two-piece linear approximation model* die besten Fits und wird daher im Folgenden vorgestellt.

Aus Gleichung 2.2 ist ersichtlich, dass der Drainstrom an jedem Ort lediglich von der Ladungsträgerdichte ($\rho(x)$) und der Driftgeschwindigkeit ($v(x)$) abhängt. In Analogie zum Lang-Kanal-Verhalten, wo Sättigung für $\rho(L_G) \rightarrow 0$ einsetzt, ist nun $v(L_G) \rightarrow v_{\text{sat}}$ für das Abschnüren des Kanals beim Drainkontakt verantwortlich. Dies ist gleichbedeutend mit der Annahme, dass sich die Feldstärke am Ende des Kanals der kritischen Feldstärke $(\Phi(L_G))' = |\mathcal{E}(L_G)| \rightarrow \mathcal{E}_C$ annähert. Einsetzen in Gleichung 2.4 ergibt:

$$I_{D,\text{sat}} = W_G \cdot C_{\text{ox}} \cdot (V_G - V_{\text{th}} - V_{D,\text{sat}}) \cdot \mathcal{E}_C. \quad (2.13)$$

Da, im Rahmen des Modells, bis zu diesem Punkt noch Gleichung 2.7 gilt, erhält man als weitere Bedingung:

$$I_{D,\text{sat}} = \frac{W_G \cdot C_{\text{ox}} \cdot \mu_{\text{eff}}}{L_G} \cdot \left[(V_G - V_{\text{th}}) \cdot V_{D,\text{sat}} - \frac{1}{2} V_{D,\text{sat}}^2 \right]. \quad (2.14)$$

Löst man das aus den Gleichungen 2.13 und 2.14 resultierende quadratische Gleichung

2 Grundlagen

chungssystem, ergibt sich der Sättigungsbetrag der Drainspannung:

$$V_{D,\text{sat}} = L_G \cdot \mathcal{E}_C + V_G - V_{\text{th}} - \sqrt{L_G^2 \cdot \mathcal{E}_C^2 + (V_G - V_{\text{th}})^2}. \quad (2.15)$$

Durch Einsetzen in Gleichung 2.13 und unter Verwendung von $v_{\text{sat}} = \mu_{\text{eff}} \cdot \mathcal{E}_C$ resultiert für den Sättigungsbereich der Drainströme:

$$I_{D,\text{sat}} = W_G \cdot C_{\text{ox}} \cdot v_{\text{sat}} \cdot \left[\sqrt{(V_G - V_{\text{th}})^2 + \left(\frac{L_G \cdot v_{\text{sat}}}{\mu_{\text{eff}}} \right)^2} - \frac{L_G \cdot v_{\text{sat}}}{\mu_{\text{eff}}} \right]. \quad (2.16)$$

Das Modell eignet sich (aufgrund der Annahmen) lediglich zur Beschreibung der Sättigungsniveaus, jedoch nicht der linearen Abschnitte der Ausgangskennlinien.

3 Probenherstellung

Die Herstellung der Proben ist durch die Anzahl der nötigen Prozessschritte zeitaufwändig und dauert selbst bei optimaler Belegung der Depositions- und Strukturierungsanlagen mehrere Tage. Der folgende Abschnitt erläutert den Aufbau der fertigen Proben. Danach werden die verwendeten Anlagen vorgestellt, gefolgt von einer chronologischen Darstellung der einzelnen Prozessschritte. Die Beschreibung bezieht sich auf den jeweils letzten Entwicklungsstand der Prozesse, weshalb sie nicht bei allen Projekten, die im Laufe meiner Arbeit durchgeführt wurden, in dieser Form zur Verfügung standen. Abweichungen bei der Probenherstellung sind in solchen Fällen in den jeweiligen Kapiteln vermerkt.

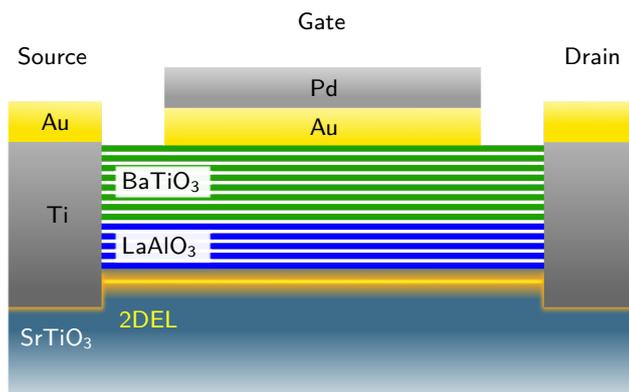


Abbildung 3.1: Schematischer Querschnitt durch einen FET. Die Dicke des LaAlO₃-Films (blau) beträgt 5 uc, die der BaTiO₃-Schicht 8 uc.

3.1 Probenaufbau im Querschnitt

Abbildung 3.1 zeigt einen schematischen Querschnitt durch einen FET, anhand dessen sich der Probenaufbau nachvollziehen lässt. Als Substrat dient die TiO₂-terminierte (001)-Oberfläche eines SrTiO₃-Einkristalls. Auf diesen werden mittels gepulster Laserablation (PLD) unter Beobachtung durch Beugung hochenergetischer Elektronen bei Reflexion (RHEED) insgesamt fünf Einheitszellen LaAlO₃ und acht Einheitszellen BaTiO₃ epitaktisch aufgewachsen. Um die Grenzfläche zwischen Gate-Elektrode und Oxidstapel so sauber wie möglich zu erhalten, wird anschließend *in-situ* eine Au-Schicht ablatiert. Thermisch verdampftes Pd dient als

3 Probenherstellung

Strukturierungshilfe für den flächigen Au-Film. Die Löcher für die 2DES-Kontakte werden mittels Ar-Ionenätzen durch den Oxidstapel bis in das SrTiO_3 -Substrat getrieben und *in-situ* durch Elektronenstrahl-Verdampfen mit Ti und Au gefüllt.

3.2 Die Epitaxieanlage

Zur Herstellung und Prozessierung der Proben konnte eine der modernsten Depositions- und Strukturierungsanlagen der Welt verwendet werden. Ein Ausschnitt dieses Systems ist in Abbildung 3.2 dargestellt. Das Ein- und Ausschleusen aller Komponenten in das Ultrahochvakuum (UHV) erfolgt ausschließlich durch eine Kombination zweier mit N_2 gefüllter Handschuhboxen.

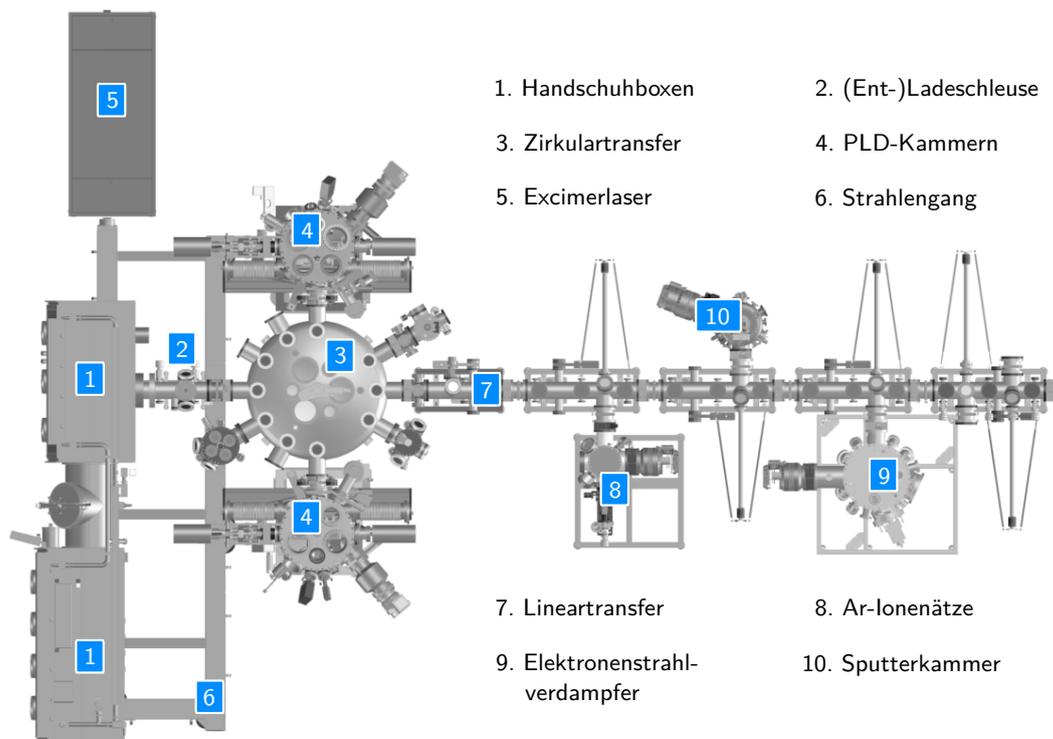


Abbildung 3.2: Schematische Draufsicht der zur Probenherstellung und -prozessierung verwendeten Epitaxieanlage.

Nach dem Einschleusen erreicht das Schleusgut eine zirkuläre Transferkammer, von wo aus es in verschiedene Bereiche überführt werden kann. Diese umfassen zwei unabhängige PLD-Systeme, eine Probengarage, eine Targetgarage, eine Ausheizkammer sowie die Übergabe des Schleusguts in einen linearen Transferkanal. Dieser ist modular aufgebaut und gibt zum Zeitpunkt der Niederschrift Zugang zu einer Sputterkammer, einer Ar-Ionenätze, einem Elektronenstrahl-Verdampfer und einem UHV-Transportkoffer.

3.3 Elektronenstrahl-Lithographie

Die Strukturierung der Probe erfolgt durch Elektronenstrahl-Lithographie unter Verwendung einer JEOL JBX-6300FS Anlage. Die Beschleunigungsspannung beträgt 100 kV. Sie erhöht das laterale Auflösungsvermögen verglichen mit geringeren Spannungen (typischerweise 10 – 30 kV). Von größerer Bedeutung für meine Arbeit ist jedoch der vergleichsweise hohe Belichtungsstrom von bis zu 5 nA, mit dem noch Auflösungen im Bereich weniger 10 nm erreicht werden. Somit ist es möglich, auch große Flächen in akzeptabler Zeit zu belichten, unnötige Lithographieschritte (z. B. für Bondingpads) zu vermeiden und ganze Chips mit Strukturen zu versehen. Dennoch bleibt die Belichtungszeit von typischerweise einigen Stunden der wesentliche Nachteil der Elektronenstrahl-Lithographie. Während dieser Zeit auftretende Schwankungen (beispielsweise im Strahlstrom) können die Qualität der geschriebenen Strukturen erheblich beeinträchtigen. Um sehr hohe Auflösungen und eine ebenso gute Positionierungsgenauigkeit zu erreichen, ist es nötig, die dominanten Fehlerquellen zu kontrollieren. Dynamische Effekte, wie laterale Verschiebungen (beispielsweise durch thermische Expansion/Kontraktion), die während der Belichtungszeit auftreten, können nicht im Vorfeld behandelt werden. Zur Kompensation wird die Anlage so programmiert, dass sie die Belichtung in 15-minütigen Intervallen unterbricht und eine automatische Kalibrierung an Marken auf dem Probenhalter durchführt. Hiermit lässt sich der maßgebliche Teil der mechanischen Drifts kompensieren. Relative Verschiebungen der Probe zum Halter werden jedoch nicht erkannt, da sich das automatische Einlesen von Probenmarken als problematisch erwiesen hat (hauptsächlich wegen der Degeneration der Marken bei den hohen Wachstumstemperaturen in der PLD) und die Driftkompensation deshalb an Haltermarken durchgeführt wird.

Eine weitere dynamische Fehlerquelle ist die Schwankung des Belichtungsstroms. Dieser ändert sich typischerweise im Laufe der Zeit, unter anderem aufgrund der Alterung der emittierenden Kathode. Wird die Dauer der einzelnen Belichtungspulse (*Dwell-Time*) nicht nachgeführt, kann es zur Über- oder Unterbelichtung der betroffenen Areale kommen, was die Auflösung erheblich verringert. Um dies zu vermeiden, wird in den 15-minütigen Zeitintervallen nicht nur eine Messung der mechanischen Drift, sondern auch des Strahlstroms vorgenommen und die *Dwell-Time* angepasst.

Neben dynamischen müssen auch statische Fehlerquellen berücksichtigt werden. Gerade bei Verwendung elektrisch isolierender Substrate, spielen Aufladungseffekte eine entscheidende Rolle. Schlecht leitende Proben können die auftreffenden Ladungen nicht hinreichend abführen. Die sich bildende Potentialbarriere sorgt zunächst

3 Probenherstellung

für eine Aufweitung (Defokussierung) des Elektronenstrahls und in gravierenden Fällen für vollständige Deflektion. Als Gegenmaßnahme dient häufig eine leitfähige Oberflächenschicht. Sie kann beispielsweise aus einer dünnen Metalllage bestehen, die vor der Belichtung auf den Lack gedampft wird. Vor dem Entwickeln muss diese Metallschicht jedoch (meist chemisch) entfernt werden. Für hinreichend hydrophile Lacke bietet sich eine einfachere Methode an. Die wässrige Dispersion *ESPACER* [56] hinterlässt bei Aufschleudern einen sehr dünnen, für den Elektronenstrahl nahezu transparenten, leitfähigen Film auf der Lackoberfläche. Dieser schirmt implantierte Ladungsträger ab und verhindert somit die Strahlablenkung. Der Film lässt sich vor dem eigentlichen Entwicklungsschritt durch kurzes Schwenken in Wasser entfernen.

Eine weitere statische Fehlerquelle, die es zu kompensieren gilt, ist der sogenannte *Proximity-Effect*. Obwohl der gut fokussierte Elektronenstrahl nur einige Nanometer durchmisst, ist das laterale Auflösungsvermögen deutlich schlechter. Der Grund liegt in den Rückstreu- und Sekundärelektronen, die in großem Radius um den Strahl wirken und einen wesentlichen Teil der Belichtungs-dosis ausmachen. Dies beeinflusst sowohl die effektive Dosis benachbarter Elemente als auch die Dosisverteilung innerhalb jeder einzelnen Struktur. So erhalten zusammenhängende Flächen in ihrem Zentrum deutlich mehr Dosis, als an ihren Rändern oder gar Ecken, da hier Streudosis von benachbarten Arealen fehlt. Über die geometrische Komponente hinaus spielen die Atommassen des rückstreuenden Materials eine wesentliche Rolle. Um den *Proximity-Effect* zu minimieren, wird eine Punktspreizfunktion (*point-spread function*) errechnet, die die laterale Verteilung rückgestreuter Ladungsträger beschreibt. Die Designsoftware *Layout Beamer* [57] erstellt mittels einer Faltung der zu belichtenden Strukturen mit sich selbst unter Gewichtung durch die Punktspreizfunktion ein feingliedrig unterteiltes, dosiskorrigiertes Layout. Abbildung 3.3 zeigt diese *Proximity-Effect*-Korrektur an einer Beispielstruktur. Vor der Anpassung ist die zu belichtende Fläche homogen mit Dosisfaktor 1,0 belegt. Da die innenliegenden Bereiche mehr Streudosis erhalten, wird im Rahmen der *Proximity-Effect*-Korrektur hier der Dosisfaktor reduziert. Die äußeren Areale hingegen (besonders die Ecken) erhalten nur ein geringes Maß an Streudosis und müssen daher mit einem höheren Faktor angelegt werden. Auffällig ist auch, dass der Einfluss des Schriftzugs unter dem Feld stark genug ist, um Abweichungen (erkennbar am Farbverlauf) von der zu erwartenden symmetrischen Dosisverteilung der Quadrate darüber hervorzurufen. Neben dieser interstrukturellen Einflussnahme ist ebenfalls die intrastrukturelle Anpassung des Dosisfaktors erkennbar. Am Beispiel des Quadrats unten links im Feld ist ersichtlich, wie innenliegende Bereiche schwächer und Randbereiche stärker belichtet werden müssen, um eine Abrundung der Ecken zu vermeiden.

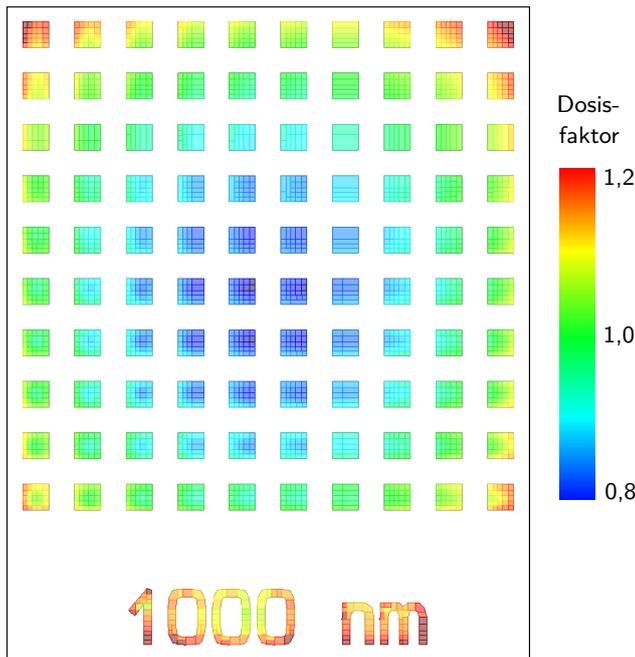


Abbildung 3.3: Exemplarische Dosisverteilung nach Durchführung der *Proximity-Effect-Korrektur* mit der für die Gate-Elektroden verwendeten Punktspreizfunktion (Anhang: P3) und für eine Elektronenenergie von 100 keV. Sowohl inter- als auch intrastrukturell erhalten innenliegende Bereiche mehr Streudosis und werden daher von vornherein mit einem geringeren Dosisfaktor belegt. Randbereiche und besonders Ecken müssen stärker belichtet werden, da ihr Maß an Streudosis geringer ausfällt. Die Kantenlänge der Quadrate beträgt 1 μm .

Obwohl einige Unternehmen (beispielsweise JEOL, GenISys) an *wysiwyg*-Lösungen für Elektronenstrahl-Lithographie arbeiten, konnten im Rahmen dieser Arbeit nur sorgfältig vorbereitete individuelle Prozesse zufriedenstellende Resultate erbringen. Das Durchführen von Dosistests zur Ermittlung der Grunddosis am jeweiligen Materialsystem sowie die empirische Selektion der Punktspreizfunktion haben sich als unerlässlich erwiesen. Die zur Vorbereitung der jeweiligen Lithographieschritte verwendeten Punktspreizfunktionen sind im Anhang zusammengestellt.

3.4 Vorbereitung des Substrats

Als Substrate dienen SrTiO_3 -Einkristalle. Diese müssen zunächst TiO_2 -terminiert werden, da nur $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben mit TiO_2/LaO -Grenzfläche ein 2DES ausbilden. Die Terminierung geschieht in einem selektiven Ätzprozess mittels gepufferter Flußsäure. Sie entfernt im Ultraschallbad das SrO von der Substratoberfläche und lässt das TiO_2 zurück. Das Rezept zu diesem Prozess befindet sich im Anhang (Rezept R3). Um mehrere Substrate gleichzeitig behandeln zu können, wurden Tauchhalter aus Teflon hergestellt (siehe Abb. 3.4). Diese hatten sich bei $5 \times 5 \times 1 \text{mm}^3$ Substraten als nützlich erwiesen. Bei den hier verwendeten $10 \times 10 \times 1 \text{mm}^3$ Kristallen hingegen, waren nach dem Ätzschritt häufig mit bloßem Auge Oberflächenbeläge erkennbar. Eine Untersuchung im Rasterelektronenmikroskop (REM) unter Verwendung von *energy dispersive X-ray* (EDX) ergab,

3 Probenherstellung

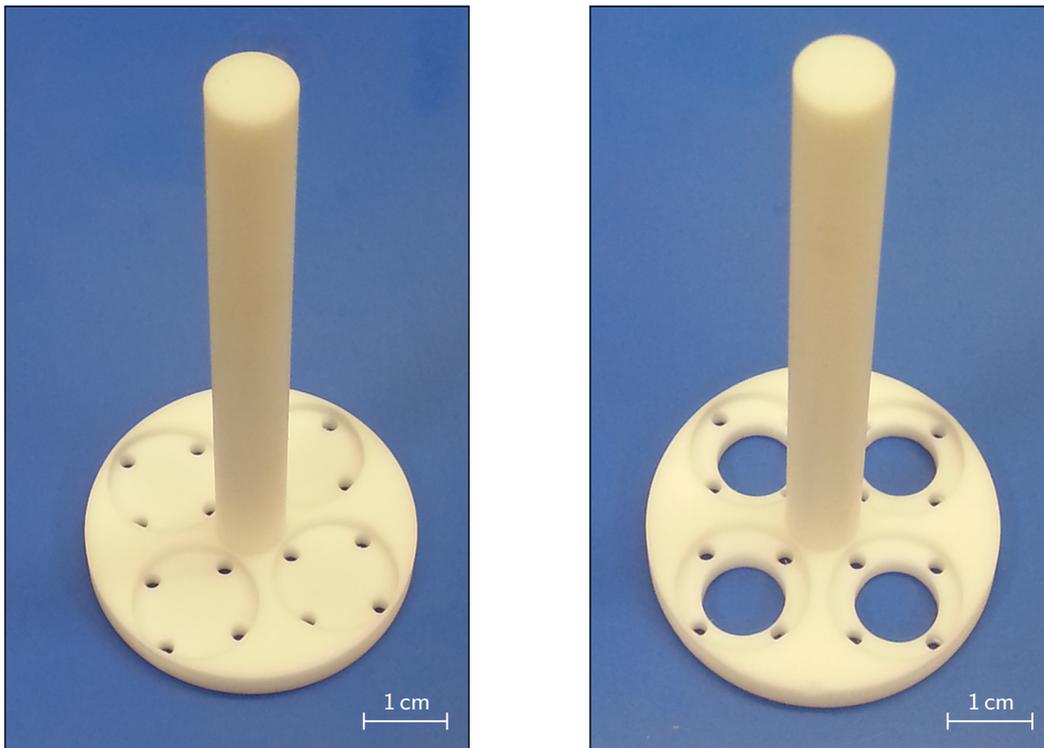


Abbildung 3.4: Zum Terminieren in Flusssäure verwendete Substrathalter aus Teflon. Durch Vergrößerung der Durchflussöffnungen (**rechts**) kann der Spülprozess verbessert und eine Ablagerung von ausgewaschenen TiO_2 -Partikeln auf der Probenoberseite vermieden werden.

dass die Partikel aus stark porösem TiO_2 bestehen (Abb. 3.5). Mit hoher Wahrscheinlichkeit entstehen sie, wenn die Flusssäure die unpolierten Flächen des Substrats angreift und das SrO wie aus einem Schwamm auswäscht. Eine unzureichende Spülung mit Wasser erlaubt es den Partikeln, sich auch auf der polierten Oberfläche abzulagern. Durch Verwendung eines Halters mit größeren Durchflussöffnungen (Abb. 3.4, rechts) sowie durch Verlegung des 1. Spülschritts in ein Ultraschallbad kann die Ablagerung dieser Partikel verhindert werden.

Unmittelbar nach dem Terminieren werden die SrTiO_3 -Substrate in einem Rohr-ofen getempert. Dies ermöglicht es den Oberflächenatomen, sich energetisch optimal anzuordnen und die – teils zerklüftete – Stufen- und Terrassenstruktur (Abb. 3.6, links) homogener zu gestalten. Ist dieser Prozess erfolgreich, zeigt das Rasterkraftmikroskop (AFM) einen Stufenverlauf mit großen lateralen Krümmungsradien und abrupten vertikalen Sprüngen von $3,9 \text{ \AA}$ (Abb. 3.6, rechts).

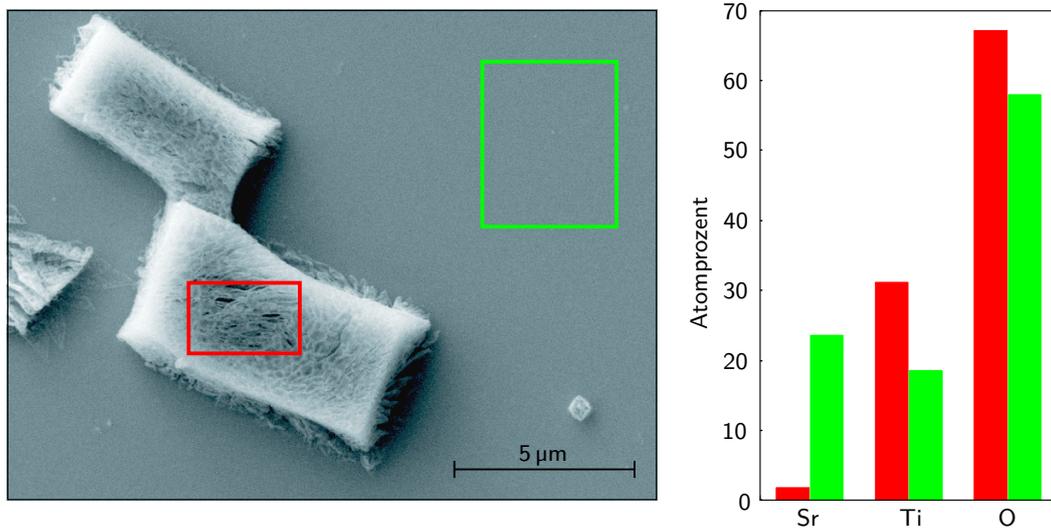


Abbildung 3.5: Auszug aus der EDX-Untersuchung eines der Partikel, die sich nach dem Flusssäure-Ätzen auf der SrTiO_3 -Oberfläche befanden. Das REM-Bild (**links**) zeigt den porösen Partikel, sowie die zwei Bereiche in denen die EDX-Analyse (**rechts**) durchgeführt wurde. Diese ergab, dass, im Rahmen der EDX-Genauigkeit, die Substratoberfläche (grünes Rechteck) Sr, Ti und O im Verhältnis 1:1:3 enthält. Der Partikel (rotes Rechteck) weist kaum Sr auf. Er besteht aus Ti und O im Verhältnis 1:2.

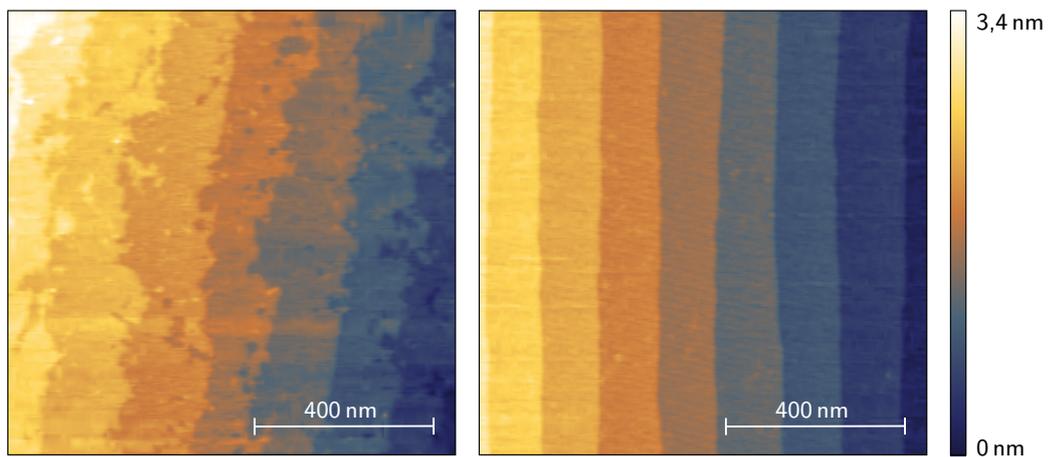


Abbildung 3.6: AFM-Bilder TiO_2 -terminierter SrTiO_3 -Substrate vor (**links**) und nach (**rechts**) dem Tempern. Die Oberflächenatome können sich dank der hohen Temperatur energetisch optimiert anordnen und bilden eine wohldefinierte Stufen- und Terrassenstruktur.

3.5 Versiegelung der Grenzfläche

Nachdem nun die Substratoberfläche so wohldefiniert wie möglich vorliegt, erfolgt der erste Depositionsschritt, um eine Kontamination der späteren Grenzfläche (beispielsweise bei der Lithographie) zu vermeiden. Mittels PLD werden flächendeckend 2 uc LaAlO_3 epitaktisch aufgewachsen. Der PLD-Prozess und das Wachstum werden in Abschnitt 3.7 näher beschrieben. Diese 2 uc genügen nicht, um die Grenzflächenleitfähigkeit zu erzeugen, schützen jedoch die SrTiO_3 -Oberfläche vor Einflüssen der folgenden Prozessschritte. Weiterhin bleibt die Möglichkeit der Strukturierung des späteren 2D-Elektronensystems (beispielsweise nach [27]) erhalten.

3.6 Das Markensystem

Das Markensystem (Abb. 3.7) ist eine wesentliche Komponente bei der Probenherstellung. Es wird mittels Elektronenstrahlolithographie strukturiert und besteht aus einer 6 nm dünnen Schicht Ti (als Haftvermittler) unter 60 nm AuPd. Das Rezept zur Herstellung befindet sich im Anhang (Rezept R4). Das Markensystem dient maßgeblich der lateralen Kalibrierung aller folgenden Lithographieschritte, muss jedoch darüber hinaus noch weitere Funktionen erfüllen. Hauptaufgabe ist die präzise Justierung des internen Koordinatensystems der Elektronenstrahl-Anlage. Um eine Genauigkeit von wenigen 10 nm erreichen zu können, werden filigrane Marken benötigt. Da jedoch zu feine Metallstrukturen bei den folgenden Hochtemperaturschritten unter ihrer Oberflächenspannung kollabieren, muss hier ein Kompromiss gefunden werden. Die verwendeten kleinen Kreuzmarken haben deshalb eine Balkenbreite von 300 nm (Abb. 3.7, oberes Inset). Jeweils neun dieser filigranen Marken gehören zu einer der vier großen Hauptmarken. Ihre Beschriftung zeigt diese Zugehörigkeit, zusammen mit einer relativen Positionsangabe. Die Hauptmarken haben eine Balkenbreite von 10 μm und dienen in erster Linie der optischen Ausrichtung der Probe auf dem Halter, sowie einer groben Kalibrierung des Elektronenstrahls. Die Beschriftungen (P, Q, R, S) an den Hauptmarken entstammen der JEOL-Terminologie. Um bei der initialen Suche nach den Marken nicht versehentlich innere Bereiche zu belichten, ist der wichtige Teil der Probe (inklusive der Marken) vollständig von einem gestrichelten Rahmen umschlossen. Bei einer Annäherung von der Probenkante erreicht man mit dem Strahl zunächst den Rahmen und kann somit leicht zu den Marken navigieren. Dieses einfache Prinzip hat sich in der Praxis als überaus nützlich erwiesen.

Um direkt nach dem Entwickeln kontrollieren zu können, ob die belichtete Lage hinreichend genau ausgerichtet ist, befinden sich Noniusstrukturen an verschiede-

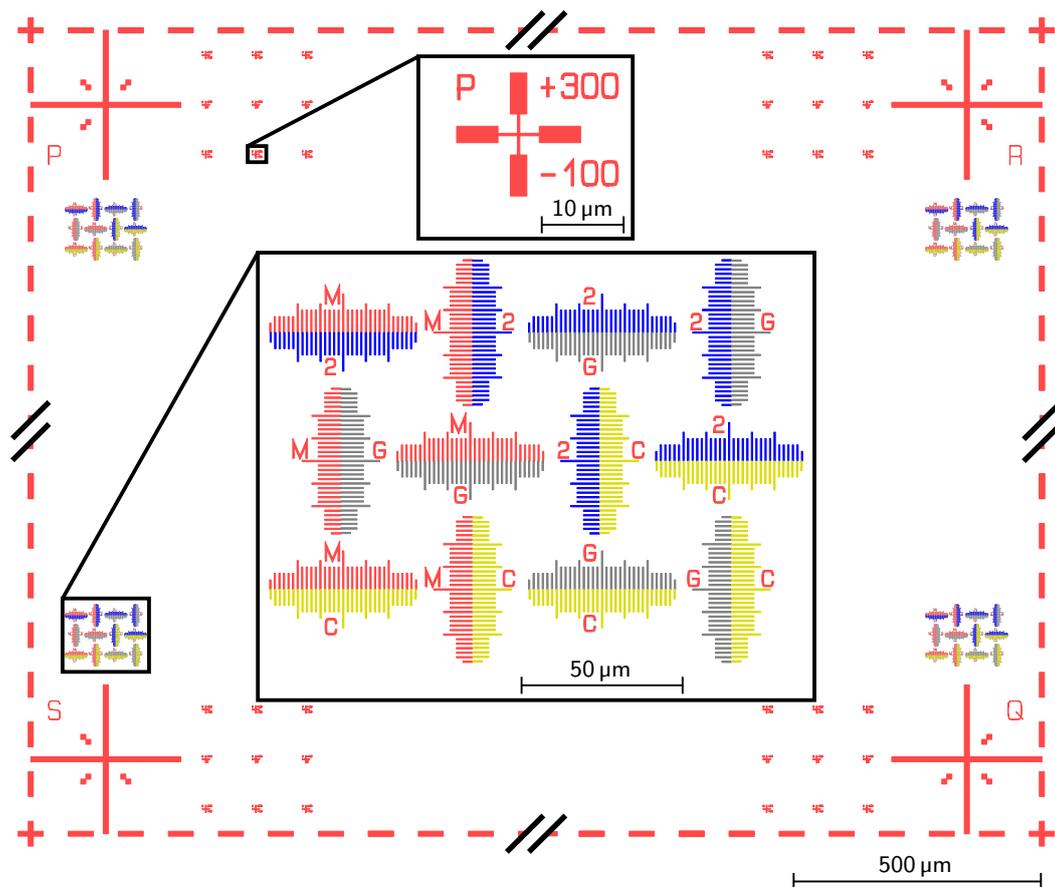


Abbildung 3.7: Darstellung des Markensystems, wie es zur Lithographie verwendet wurde. Der gestrichelte Rahmen verhindert ein versehentliches Belichten innerer Bereiche bei der initialen Suche nach den Marken. Die großen Kreuzmarken dienen sowohl der optischen Orientierung als auch der groben Kalibrierung des Elektronenstrahls. Das obere Inset zeigt eine filigrane Kreuzmarke mit Positionsangabe relativ zur Hauptmarke. Jeweils neun dieser feinen Marken sind neben jeder der Hauptmarken platziert und dienen der Feinjustage des Elektronenstrahls in den einzelnen Belichtungsschritten. Das untere Inset zeigt Noniusstrukturen zum optischen Ablesen der relativen Position der Lagen zueinander. Die Farben deuten die Schicht an (rot: Marken, blau: 2DES, gelb: Gates, grau: 2DES-Kontakte).

nen Stellen auf der Probe. Sie ermöglichen (über das Beugungslimit hinaus) eine optische Auswertung der relativen Position der erzeugten Lackmaske zu allen bisherigen Lagen. Die Differenz in der Periodizität der Strichmuster beträgt hierbei 8 nm. Auch sie erweisen sich in der Praxis als sehr nützlich, da beispielsweise eine zu starke Drift des Elektronenstrahls noch vor der weiteren Prozessierung erkannt und die Belichtung wiederholt werden kann.

3 Probenherstellung

Tabelle 3.1: Zusammenstellung der Wachstumsparameter für die PLD-deponierten Schichten.

Film	T	p	Target
LaAlO ₃	800 °C	8×10^{-5} mbar O ₂	einkristallin
BaTiO ₃	660 °C	3×10^{-3} mbar O ₂	gesintert
Au	RT	1×10^{-2} mbar Ar	—

3.7 Das 2D-Elektronensystem und der Gatestapel

Nachdem die SrTiO₃-Oberfläche mit 2 uc LaAlO₃ versiegelt und das Markensystem aufgebracht wurde, kann in einem weiteren Lithographieschritt die Struktur des späteren 2DES definiert werden. Hierzu wird unter Verwendung eines Negativlacks eine Maske erstellt, die die zukünftig leitfähigen Bereiche bedeckt. Das Rezept zu diesem Prozess befindet sich im Anhang (Rezept R5). Anfänglich wurde dieser Schritt mit einem Positivlack ausgeführt, sodass alle Bereiche um das spätere 2DES herum belichtet werden mussten. Der Nachteil dieser Methode ist die große zu belichtende Fläche. Neben der deutlich verlängerten Belichtungsdauer (verglichen mit dem direkten Schreiben der Strukturen) zeigte sich ein anderes, noch gravierenderes Problem, denn der 100 kV Elektronenstrahl induziert eine gewisse Leitfähigkeit im SrTiO₃-Kristall. Dies ist in den zukünftig leitfähigen Bereichen unproblematisch, kann allerdings in den nominell isolierenden Arealen zu unerwünschten Effekten, wie Bypass-Strömen oder Übersprechen, führen.

Die Erzeugung des 2DES erfolgt analog zu [27]. Mittels PLD wird bei Raumtemperatur eine amorphe LaAlO₃-Schicht (α -LaAlO₃) aufgebracht. Nach Freilegung der geschützten Areale durch Lift-Off werden unter Epitaxiebedingungen (Tab. 3.1) weitere 3 uc LaAlO₃ (auf die bereits vorhandenen 2 uc) gewachsen, sodass die kritische Schichtdicke überschritten wird und sich das 2DES bildet. In den amorphen Bereichen geschieht dies nicht. Hier kann das neu deponierte Material nicht epitaktisch wachsen und die Grenzschicht bleibt isolierend. Das Signal/Rausch-Verhältnis im RHEED-Bild ist nach der Deposition der amorphen LaAlO₃-Maske erheblich schlechter. Dennoch genügt das RHEED-Signal der verbliebenen epitaktischen Areale, um eine Analyse der Aufwachsrate durchzuführen.

Auf das LaAlO₃ werden nun – ebenfalls unter Epitaxiebedingungen – etwa 8 uc BaTiO₃ gewachsen. Das RHEED-Signal ist bei diesem Schritt nur bedingt zuverlässig. Typischerweise kompensiert das BaTiO₃ die Gitterabweichung innerhalb weniger Einheitszellen durch Gitterfehlstellen [58,59]. Beim Filmwachstum wird das RHEED-Signal zunächst (ca. 2-3 uc) sehr schwach und diffus und steigt dann unter Einheitszellen-Oszillationen (ca. 3-6 uc) wieder an. Anschließend lassen die

Einheitszellen-Oszillationen stark nach. Das gewünschte Depositionsende wird am besten durch Bestimmung der Schusszahl pro Einheitszelle (aus dem mittleren Abschnitt) und Extrapolation gewählt. Obwohl diese Methode nicht sehr exakt ist, genügt sie für diese Schicht, denn elektrostatisch ist das BaTiO₃ nur von geringem Einfluss auf das Schaltverhalten. Dieses wird maßgeblich – wie in Abschnitt 2.3 erläutert – durch die Dielektrizitätskonstante des LaAlO₃ vorgegeben. Aus der STEM-Analyse ist ersichtlich, dass die BaTiO₃ Schichtdicke mit 8-9 uc recht gut dem angestrebten Wert entspricht.

Nach diesem zweiten Epitaxieschritt wird die Probe unter Einhaltung einstündiger Annealingschritte bei 600 °C und 400 °C in 400 mbar O₂ auf Raumtemperatur abgekühlt. Um eine möglichst saubere Grenzfläche zwischen dem soeben gewachsenen Gatestapel und der Gate-Elektrode zu gewährleisten, wird anschließend mittels PLD *in-situ* ein 10 nm dicker Au-Film deponiert. Aus ihm entstehen nachfolgend durch Lithographie die Gatestrukturen.

3.8 Die Gate-Elektrode

Nachdem nun der Gatestapel mit aufliegender, geschlossener Au-Schicht vorliegt, muss diese lithographisch strukturiert werden. Versuche, die zur Strukturierung „großer“ Au-Flächen verwendete nasschemische Methode des KI-Ätzens auf kleine Strukturen zu übertragen, scheiterten an der stark ungleichmäßigen Ätzrate der KI-Lösung. Sie ist entlang bestimmter Bereiche der Au-Schicht (vermutlich an Korngrenzen) um ein Vielfaches höher als die mittlere vertikale Rate. Somit ließen sich in den Experimenten keine Strukturen kleiner als $\sim 1 \mu\text{m}$ erzeugen, ohne dass Unterbrechungen auftraten.

Um wohldefinierte Gatestrukturen im sub-100 nm Bereich erzeugen zu können, wurde ein alternativer Prozess (Rezept R6) entwickelt. Unter Verwendung von Elektronenstrahl-Lithographie, werden die gewünschten Gatestrukturen in PMMA erzeugt. Anschließend werden 30 nm Pd durch thermisches Verdampfen aufgebracht. Das Pd zeichnet sich durch mehrere positive Eigenschaften aus. Es ist Lift-Off-freundlich und erlaubt auch im sub-100 nm Bereich ein vertikal/lateral Aspektverhältnis von ~ 1 . Es bildet zu einer (sauberen) Au-Oberfläche einen guten ohmschen Kontakt und besitzt gleichzeitig eine leicht geringere Ar-Ionenätzrate. Die nach dem Lift-Off verbliebenen Pd-Strukturen dienen als Hartmaske, um mittels Ar-Ionenätzens das umliegende Au zu entfernen.

An dieser Stelle ist die Au-Schichtdicke von besonderer Bedeutung. Da das Au-Wachstum und das anstehende Ätzen eine vertikale Ungenauigkeit von ca. 10 % aufweisen (maßgeblich durch die Ungenauigkeit bei der Bestimmung von Wachstums-

3 Probenherstellung

und Ätzraten), muss diese Toleranz „überätzt“ werden um eine vollständige Entfernung der Au-Schicht in umliegenden Bereichen sicherzustellen. Anstatt einer geplanten Äztiefe (unter Annahme der Au-Ätzrate) von 10 nm muss 11-12 nm tief geätzt werden. Da Au allerdings etwa eine Größenordnung schneller ätzt als die unterliegenden Oxide, wirken diese als Stopper und nur die obersten Ångström des BaTiO₃ werden angeätzt, was keine bekannten negativen Auswirkungen hat.

3.9 Die 2DES-Kontakte: Source/Drain

Das Erstellen der 2DES-Kontakte stellte die größte prozesstechnische Hürde dar. Bei mesoskopischen LaAlO₃/SrTiO₃-Bauelementen werden diese mittels optischer Lithographie definiert, anschließend mit Ar-Ionenätzen einige 10 nm tief in das Substrat getrieben und mit Ti oder Nb aufgefüllt. Das SrTiO₃ bildet beim Ionenbeschuss Sauerstoff-Fehlstellen und wird im geätzten Bereich leitfähig. Das sauerstoffaffine Ti bewirkt, dass dieses Sauerstoffdefizit in der direkten Umgebung der Struktur erhalten bleibt und sorgt für einen guten elektrischen Kontakt zum 2DEL. Ähnlich verhält es sich für Nb als Füllmaterial, allerdings kommt hier noch verstärkend hinzu, dass SrTiO₃ schon bei einigen Zehntel-Prozent Nb-Dotierung leitfähig wird, was ebenfalls zur Kontaktqualität beiträgt.

Bei der Strukturierung mittel Elektronenstrahl-Lithographie kommt es unter Verwendung des Standardlacks PMMA zu erheblichen Problemen beim Ionenätzen. Der Lack härtet beim Ionenbeschuss stark aus und lässt sich nicht mehr entfernen. Entlang der Ränder von Strukturen ist dieser Effekt verstärkt, sodass hier später kein Lift-Off möglich ist. Solche Randwülste (Abb. 3.8) haben typischerweise eine laterale Ausdehnung von mehreren 100 nm und machen diesen Prozess ungeeignet für Strukturen im sub-1 µm Bereich.

Ausschlaggebender Faktor des Aushärtens scheint der Wärmeeintrag auf der Substratoberfläche zu sein. Gerade bei dicken Substraten mit schlechter Wärmeleitfähigkeit (z. B. 1 mm SrTiO₃) kann eine Kühlung der Substratrückseite nur bedingt Abhilfe schaffen. Aus diesem Grund wurde ein neuer Prozess (Rezept R7) entwickelt, der auf den anfälligen PMMA verzichtet.

Stattdessen wurden zunächst ZEP-520A [60], und später der eigenschaftsgleiche CSAR-62 [61] als Positivlacke verwendet. Diese zeichnen sich durch eine mit PMMA vergleichbare Auflösung aus, sind jedoch deutlich weniger anfällig für negative Auswirkungen des Ar-Ionenätzens. Um zusätzlich die Wärmebelastung der Oberfläche zu minimieren, wurde die Äztiefe auf ein Mindestmaß (ca. 10 nm) reduziert, sowie der Ätzprozess in kürzere Ätz- und Kühlphasen unterteilt. Bei letzteren erwies sich eine Taktung von jeweils 10 s ätzen und anschließend 20 s abkühlen als optimal.

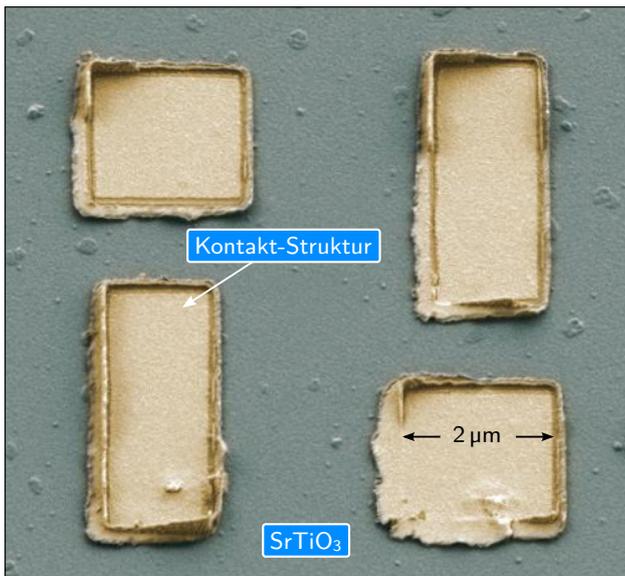


Abbildung 3.8: REM-Bild (koloriert) von Ar-Ionen geätzten Kontaktstrukturen (gefüllt mit Ti und Au) auf einem SrTiO₃-Substrat. PMMA bildet beim Ionenbeschuss verhärtete Wülste entlang der Strukturkanten und ist anschließend kaum noch zu entfernen. Ein wohldefinierter Lift-Off ist nicht mehr möglich.

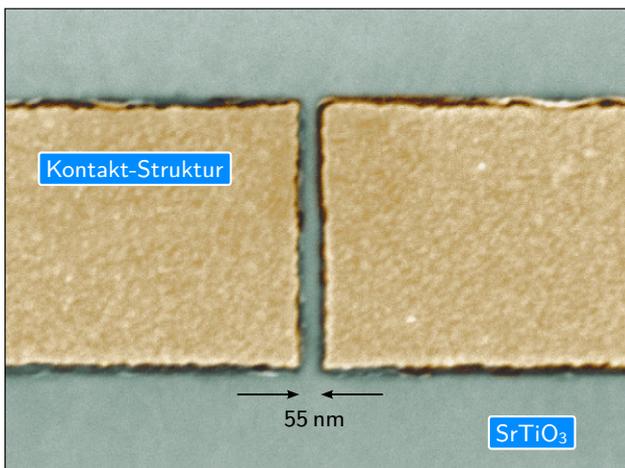


Abbildung 3.9: REM-Bild (koloriert) einer 10 nm tief Ar-Ionen geätzten und mit Metall (10 nm Ti, 20 nm Au) aufgefüllten Kontaktstruktur auf einem SrTiO₃-Substrat. Der Spalt zwischen den Kontaktfingern ist nur einige 10 nm breit.

Die erzeugten Ätzlöcher werden *in-situ* mittels Elektronenstrahl-Verdampfens mit 10 nm Ti gefüllt und mit 20 nm Au abgedeckt, um ein Oxidieren der Ti-Schicht an Luft zu verhindern. Auch hierbei ist es wichtig, den Wärmeeintrag auf die Oberfläche so gering wie möglich zu halten. Aufgrund der starken Zunahme abdampfender Atome bei geringer Temperaturerhöhung, muss dafür (kontraintuitiv) eine hohe Aufdampftrate gewählt werden. Darüber hinaus wird jeweils nach 10 nm eine 10-minütige Abkühlpause eingehalten. Auf diese Weise bleibt der Lack hinreichend intakt und Strukturdetails von wenigen 10 nm sind möglich (Abb. 3.9).

3.10 Strukturelle Charakterisierung

Zur Untersuchung der mikroskopischen Beschaffenheit des Gatestapels, wurden durch die Gruppe von Peter van Aken Rastertransmissionselektronenmikroskop (STEM)-Messungen (JEOL ARM200F, JEOL Co. Ltd., für Ausstattungsdetails, siehe [59]) im *high-angle annular darkfield* (HAADF)- sowie Elektronenenergieverlust-Spektroskopie (EELS)-Modus durchgeführt. Die analysierten Querschnitte wurden in Form von Fokussierter-Ionenstrahl (FIB)-Lamellen aus Bereichen unter der Gate-Elektrode einzelner FETs bereitgestellt. Abbildung 3.10a zeigt ein atomar aufgelöstes HAADF-Bild vom Gatestapel-Querschnitt. Eingezeichnet und gut erkennbar ist eine der regelmäßig auftretenden Stufenversetzungen im BaTiO_3 . Sie kompensieren die relativ große Gitterfehlpassung ($> 5\%$) zum LaAlO_3 . Es ist bemerkenswert, dass diese häufig beobachteten Versetzungen nicht direkt an der Grenzfläche, sondern vielmehr innerhalb der ersten Einheitszellen des BaTiO_3 auftreten. Das umliegende Spannungsfeld ist möglicherweise für die Unterdrückung der Ferroelektrizität im BaTiO_3 verantwortlich. Diese Ergebnisse passen zu jenen [58] aus der in Abschnitt 4.7 beschriebenen Kollaboration mit Rainer Jany (Universität Augsburg). Die dort veröffentlichten STEM Daten (gemessen an der Universität Cornell) zeigen die gleichen Versetzungen im BaTiO_3 . Dort wie hier sind, von diesen Defekten abgesehen, Substrat und Filme von hoher Qualität. Dies wird insbesondere bei Abbildung 3.10b deutlich. Die farblich dargestellten Anteile der (ungefilterten, Hintergrund-subtrahierten) EELS-Spektren zeigen scharfe Übergänge zwischen den Schichten und einen sehr geringen Vermischungsgrad.

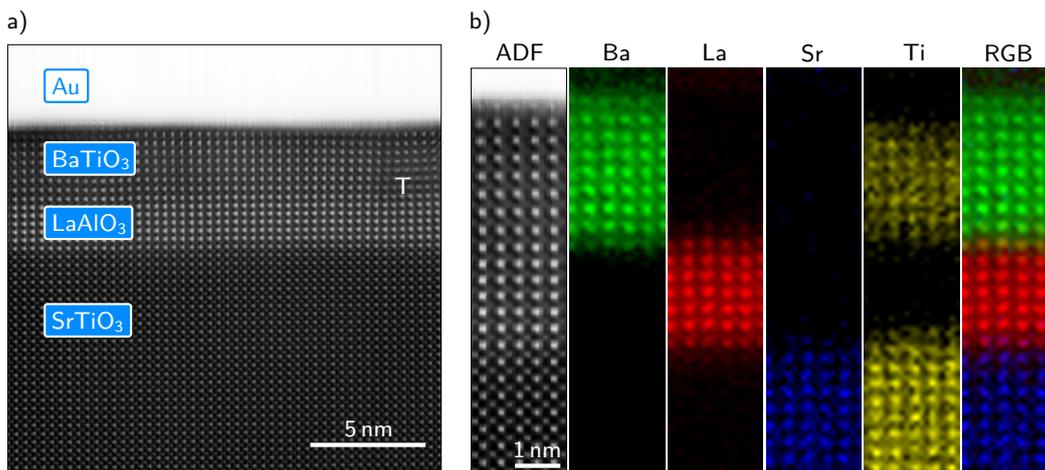


Abbildung 3.10: STEM-HAADF (a) Analyse eines Querschnitts durch den Gatestapel. Im BaTiO_3 ist eine charakteristische Stufenversetzung erkennbar. (b) Die *annular darkfield* (ADF)-Aufnahme und die (ungefilterten) EELS-Spektren (Ba: grün, La: rot, Sr: blau, Ti: gelb) zeigen scharfe Grenzflächen zwischen den Lagern und einen sehr geringen Vermischungsgrad. (Nach [59])

4 VLSI und ICs

Die vorangestellte Frage nach der Integrierbarkeit, also der Herstellung monolithischer Schaltkreise unter Verwendung der leitfähigen Grenzfläche des $\text{LaAlO}_3/\text{SrTiO}_3$ -Systems, wird in den folgenden Abschnitten behandelt. Es gelang Proben herzustellen, die viele hunderttausend FETs (*very large scale integration, VLSI*) auf einigen Quadratmillimetern beherbergen. Darüber hinaus wurden im Rahmen von Kollaborationen Untersuchungen zur lateralen Homogenität der Grenzfläche durchgeführt sowie erstmals logische Gatter und sogar vollständige monolithische integrierte Schaltkreise (*integrated circuits, ICs*) hergestellt.

4.1 Entwurf der Bauelemente

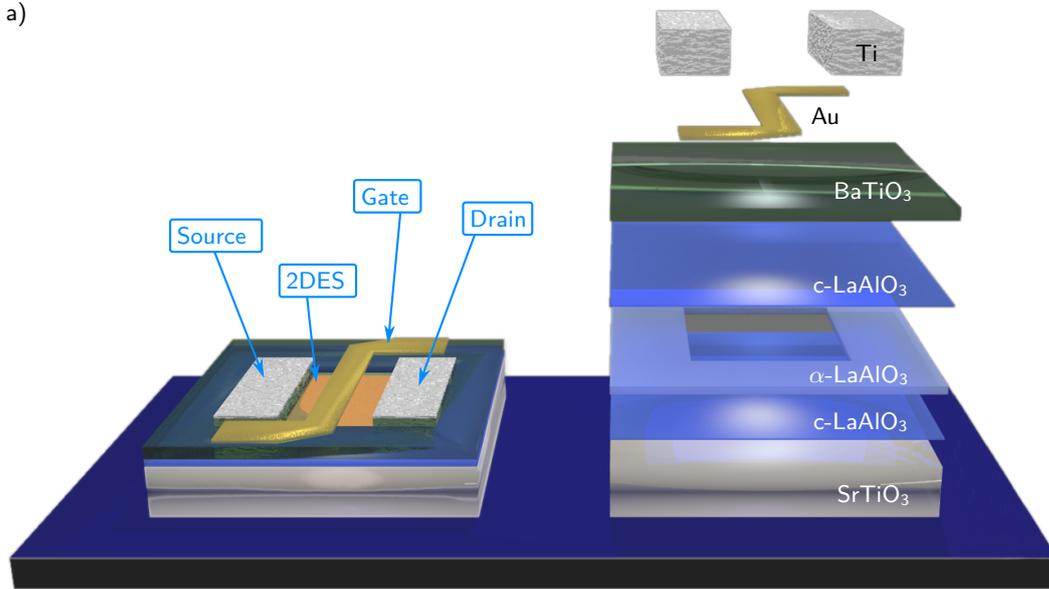
Unter dem Gesichtspunkt einer möglichst dichten Anordnung der FETs auf dem Chip ist es wichtig, das Design der Bauelemente kompakt und *ineinandergreifend* zu gestalten. Bei späteren Anwendungen erlaubt dies darüber hinaus kürzere Verbindungen zwischen einzelnen Bauelementen. Abbildung 4.1a zeigt die schematische Darstellung des FET-Aufbaus. Charakteristisch ist hier die gewählte „S“-Form der Gate-Elektrode, die ein gutes seitliches Kontaktieren oder gar Vernetzen der FETs ermöglichen soll. In Abbildung 4.1b ist ein Array dieser Bauelemente gezeigt, an dem sich das Ineinandergreifen der einzelnen FETs gut erkennen lässt.

4.2 Entwurf der Proben

Als Substrat diente ein $10 \times 10 \times 1 \text{ mm}^3$ SrTiO_3 -Einkristall (Crystec [62]). Um zu demonstrieren, dass sich $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs in großer Zahl kompakt strukturieren lassen, und um gleichzeitig exemplarische Bauelemente vermessen zu können, wurde die Probe in vier Bereiche unterteilt. Abbildung 4.2 zeigt neben einem Feld mit Teststrukturen drei makroskopische Felder mit hunderttausenden, dicht gepackten FETs der Gatelängen 550 nm, 350 nm und 200 nm. Aufgrund von Interferenz an den kleinen Bauelementen wird das weiße Umgebungslicht spektral aufgespaltet, weshalb die Felder farbig zu leuchten scheinen.

4 VLSI und ICs

a)



b)

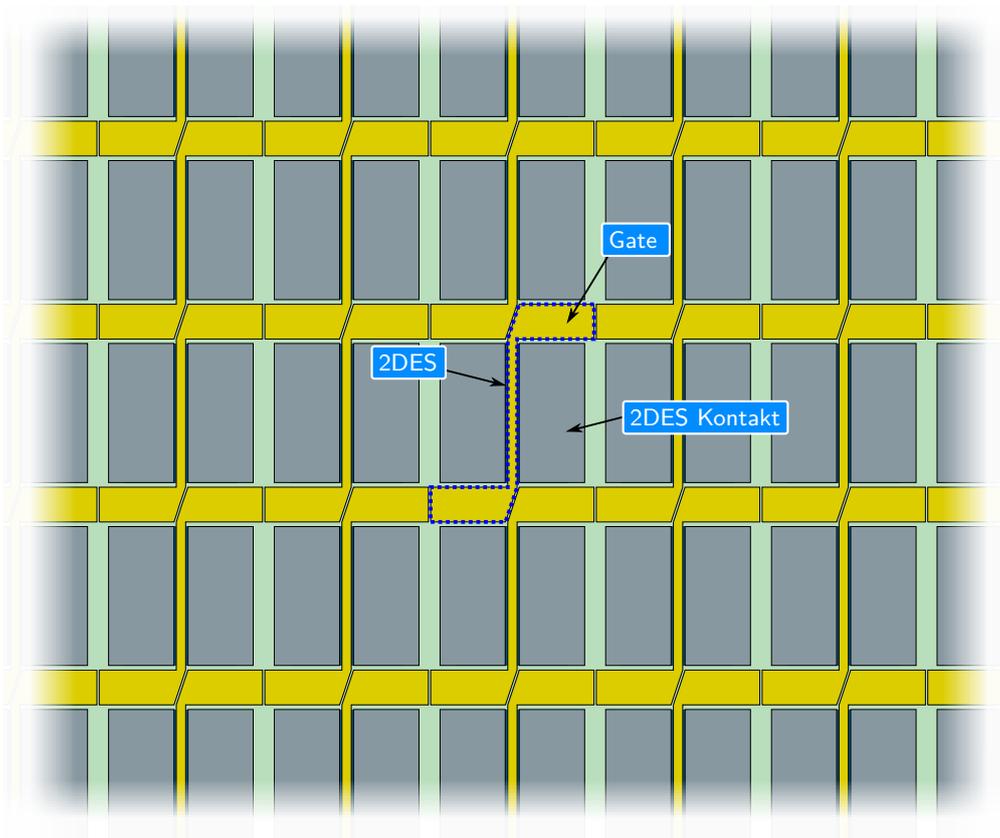


Abbildung 4.1: (a) Schematische Darstellung der im VLSI-Projekt hergestellten FETs mit „S“-förmiger Gate-Elektrode. (b) Anordnung dieser Bauelemente in einem dichten Array.

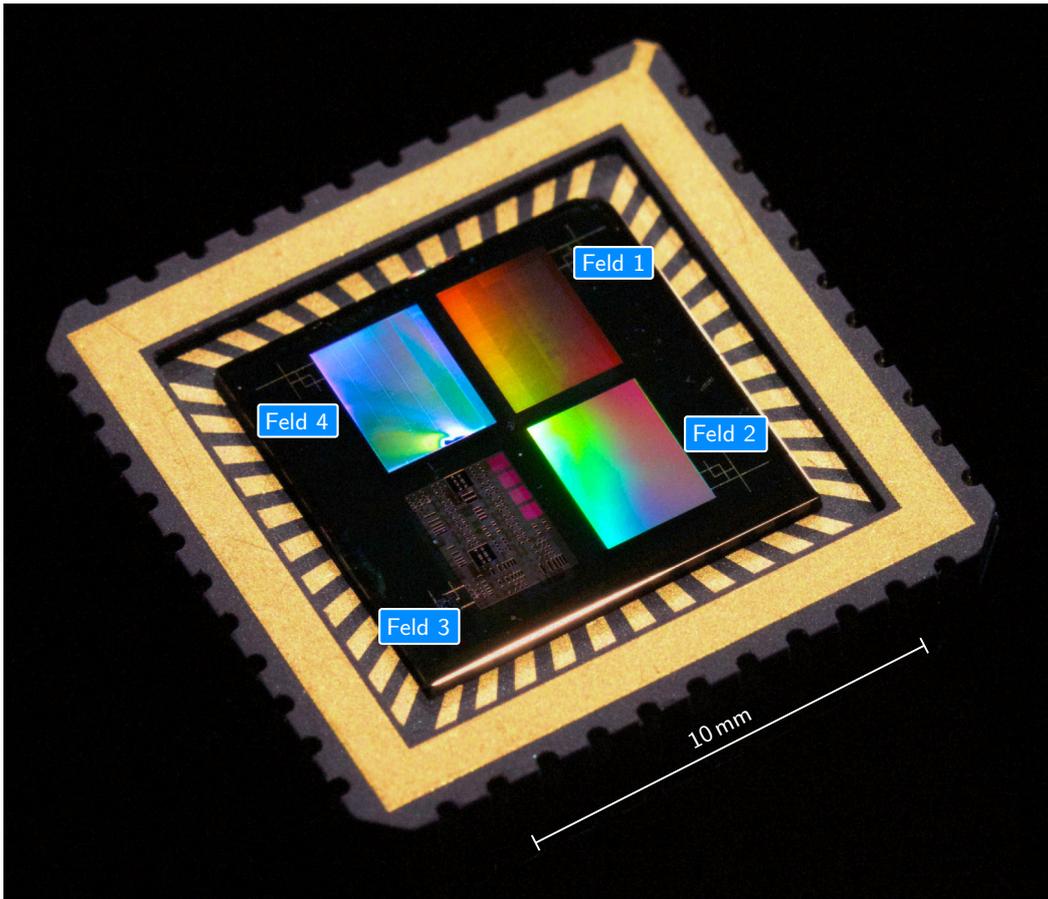


Abbildung 4.2: Fotografie des VLSI-Chips. Während Feld 3 Teststrukturen (z. B. FETs diverser Gate-längen) für exemplarische Messungen beinhaltet, bestehen die restlichen drei Felder aus hunderttausenden, dicht gepackten FETs mit Gate-längen von 550 nm (Feld 4), 350 nm (Feld 2) und 200 nm (Feld 1). Die Farben entstehen durch Interferenzen an den kleinen Strukturen.

4.3 Anmerkungen zur Probenherstellung

Das VLSI-Projekt wurde im ersten Jahr meiner Promotion durchgeführt, bevor einige der in Kapitel 3 beschriebenen Prozesse in ihrer endgültigen Form vorlagen. Da die Epitaxieanlage in Stuttgart zu dieser Zeit noch nicht einsatzbereit war, wurde das Schichtwachstum – im Rahmen einer Zusammenarbeit mit Rainer Jany und Christoph Richter – an der Universität Augsburg durchgeführt. Das verwendete Markensystem besteht aus gesputtertem W und ist simpler im Design als das in Abschnitt 3.6 beschriebene (was zu einem Versatz und der Unbrauchbarkeit des Feldes der 200 nm-FETs geführt hat). Da der HSQ/PMMA-Prozess noch nicht entwickelt war, musste das 2DES mit PMMA (Inversstruktur belichtet) strukturiert werden. Die Gate-Elektroden bestehen aus einer *in-situ* aufgesputterten Au-Schicht. Die Strukturierung erfolgte ebenfalls mittels PMMA, indem die Fläche um die Gates herum belichtet wurde, sodass nur die späteren Gates als Lackstruktur zurückblieben. Diese schützten die unterliegenden Areale vor dem anschließenden Ionenätzen. Die 2DES-Kontakte wurden ebenfalls mit PMMA definiert. Dies führte beim späteren Lift-Off zu erheblichen Problemen, da das tiefe Ar-Ionenätzen durch die Oxide lange dauert und der Lack stark degeneriert. Nur durch den Einsatz von Ultraschall war es möglich, den ausgehärteten Lack mit aufliegender gesputterter Metallschicht leidlich zu entfernen.

4.4 Messungen

Ein Ziel dieses Projekts war die Klärung der Frage, ob lithographische Prozesse zur VLSI-Implementierung grundsätzlich geeignet sind, komplex-oxidische FETs herzustellen. Aus diesem Grund wurden einige der Bauelemente auf dem Chip exemplarisch vermessen. Der Gatelängen-Bereich erstreckte sich hierbei von 200 nm über 800 nm und 6,4 μm bis hin zu 20 μm . Alle FETs besitzen dasselbe Aspektverhältnis $W_G/L_G = 15$, unterscheiden sich jedoch – aufgrund eingeplanter Toleranzen für die Strukturierung – in dem vom Gate bedeckten Anteil (L_G/d_{DS}) des Drain-Source-Kanals. Tabelle 4.1 stellt die geometrischen Kenngrößen der Bauelemente zusammen. Abbildung 4.3 zeigt die Drain-Source- und Transfercharakteristiken dieser Test-FETs.

4.5 Diskussion

Die Messdaten belegen, dass $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs auch mit Submikrometer-Gatelänge noch funktionieren. Die zur Herstellung verwendeten lithographischen Pro-

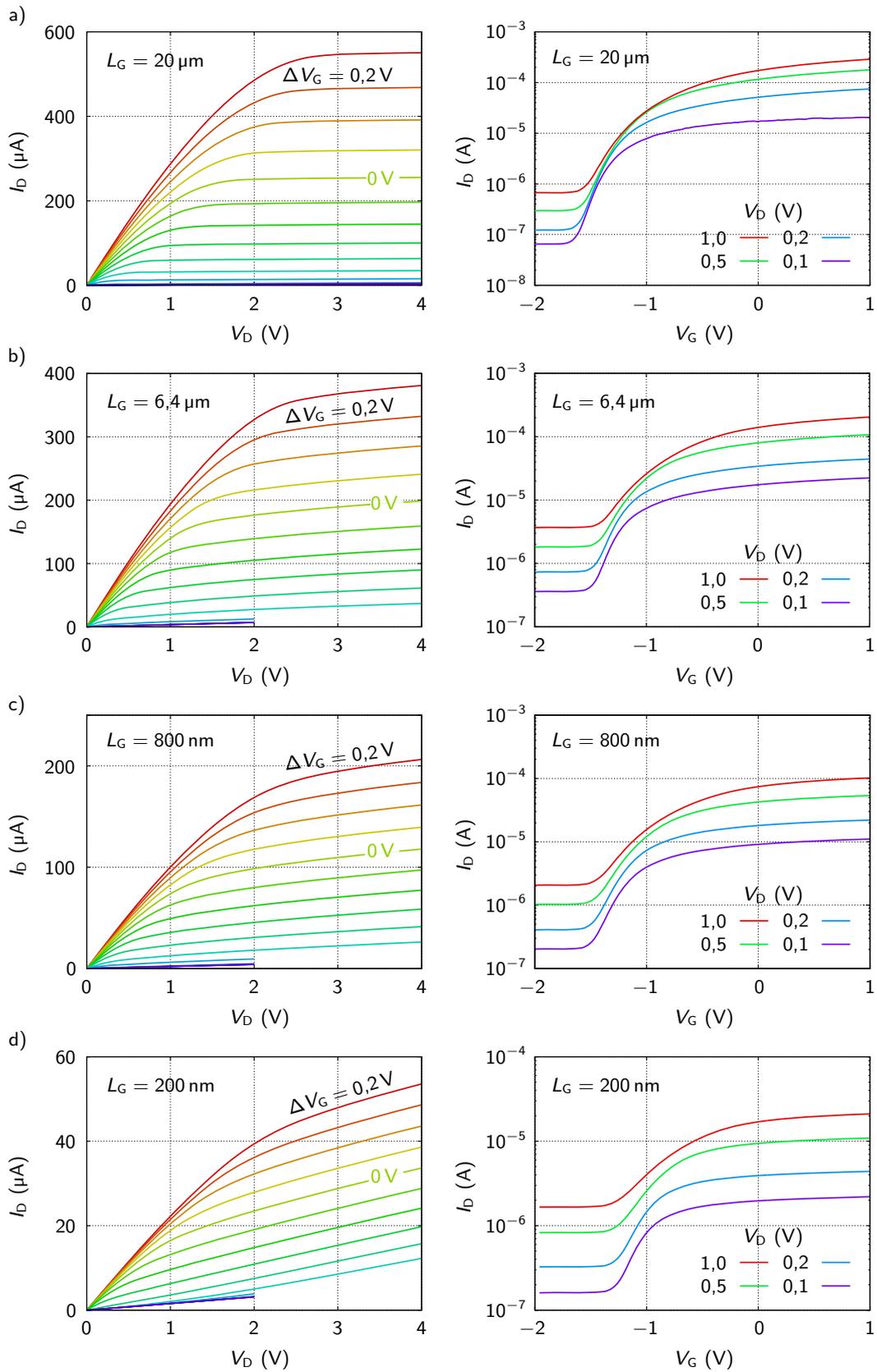


Abbildung 4.3: Drain-Source- und Transfercharakteristiken der Test-FETs. Die Gatelängen betragen $L_G = 20\ \mu\text{m}$ (a), $6,4\ \mu\text{m}$ (b), $800\ \text{nm}$ (c) und $200\ \text{nm}$ (d). Die Messungen wurden bei Raumtemperatur durchgeführt.

Tabelle 4.1: Zusammenstellung der geometrischen Parameter der vermessenen Test-FETs.

L_G (μm)	W_G (μm)	d_{DS} (μm)	L_G/d_{DS} (%)
20	300	30	67
6,4	96	16,4	39
0,8	12	5	16
0,2	3	5	4

zesse sind zwar noch ausbaufähig, eignen sich jedoch bereits für eine VLSI Implementierung. Bei detaillierter Betrachtung ist ersichtlich, dass die geometrischen Eigenschaften der Bauelemente wesentlichen Einfluss auf die Transporteigenschaften nehmen. Je geringer der vom Gate bedeckte Anteil des Kanals, desto mehr serieller Widerstand wirkt, vom Gate unbeeinflusst, zwischen Source und Drain. Dies lässt zwar den Aus-Zustand des Transistors nahezu unverändert, führt jedoch – bei *geöffnetem* Gate – zu einer Verringerung des Drainstroms im An-Zustand. Der Rückgang des An-Zustand-Stroms für kleiner werdende Gatelängen ist sowohl in den Drain-Source-, als auch in den Transferkennlinien deutlich erkennbar. Die Reduktion beträgt zwischen dem größten ($L_G = 20 \mu\text{m}$) und dem kleinsten ($L_G = 200 \text{ nm}$) FET etwa eine Größenordnung. Darüber hinaus lässt sich an den Messdaten eine deutliche Änderung des Transistorverhaltens feststellen. Während die großen Bauelemente nahezu perfektes Lang-Kanal-Verhalten zeigen, ist dies bei kleineren FETs nicht mehr der Fall. Leider weist der amorphe, nominell isolierende Bereich zwischen den einzelnen Bauelementen eine relativ hohe Restleitfähigkeit auf. Anstatt einiger Giga-Ohm Flächenwiderstands liegt dieser bei unter einem Mega-Ohm. Daher kann an dieser Stelle nicht geklärt werden, ob Kurz-Kanal-Effekte für die Degeneration der Charakteristiken ausschlaggebend oder die Abweichungen auf den geringen Flächenwiderstand *zwischen* den Bauelementen zurückzuführen sind. Der Ursprung dieser unerwünschten Leitfähigkeit ist unklar. Da sie bei Proben aus optischer Lithographie nicht auftritt, liegt die Vermutung nahe, dass das Belichten mit dem 100 kV-Elektronenstrahl Zwischengitteratome erzeugt und so Einfluss auf die Substratleitfähigkeit nimmt. Bei der 2DES- und Gatelithographie musste (nahezu) die gesamte Probe belichtet werden, was möglicherweise zur unerwünschten Leitfähigkeit geführt hat.

Dies war der ausschlaggebende Grund, lithographische Negativprozesse zu entwickeln und, anstatt der gewünscht isolierenden Bereiche, lediglich das spätere Elektronensystem beziehungsweise die Flächen der Gate-Elektroden zu belichten.

4.6 Homogenität des 2DES

Neben der zuvor untersuchten Möglichkeit, komplex-oxidische Bauelemente mit lithographischen Methoden im Submikrometer-Bereich zu strukturieren, ist auf dem Weg zu potentiellen integrierten Anwendungen die Frage nach der Homogenität des Elektronensystems von großer Bedeutung. Hinweise auf lokale Inhomogenitäten im $\text{LaAlO}_3/\text{SrTiO}_3$ -System liegen bereits seit mehreren Jahren vor [63,64], wenn auch bei niedrigen Temperaturen und bezüglich Supraleitung und Magnetismus. Nur bei hinreichender Homogenität (insbesondere lokal) wird es möglich sein, zuverlässige und skalierbare integrierte Schaltungen aus benachbarten Bauelementen herzustellen.

Die im Folgenden dargestellten Untersuchungen wurden in Zusammenarbeit mit der Gruppe von Kathryn Moler (Universität Stanford) sowie weiteren Gruppen durchgeführt und an anderer Stelle [65] publiziert. Die Herstellung der Proben (10 uc LaAlO_3 auf SrTiO_3) mittels PLD erfolgte an der Universität Augsburg, die SQUID-Messungen (*superconducting quantum interference device*) wurden von Beena Kalisky und Eric Spanton in Stanford durchgeführt. Abbildung 4.4 zeigt neben einem Schema des Messprinzips die erwartete und die gemessene Verteilung des (durch die Ströme in der Probe hervorgerufenen) magnetischen Flusses sowie die daraus berechnete Stromdichte-Verteilung. Entgegen der Erwartung für einen homogen durchströmten Leiter (Abb. 4.4b) ist die gemessene Flussverteilung nicht monoton bezüglich des Leiterquerschnitts (Abb. 4.4c). Aus der daraus berechneten Stromdichte-Verteilung (Abb. 4.4d) geht deutlich hervor, dass es ausgeprägte Inhomogenitäten gibt. Entlang der pseudo-kubischen Kristallachsen $[110]_p$, $[010]_p$ sowie der hier gezeigten $[100]_p$ bilden sich Strompfade, die mehr als doppelt so viel Stromdichte tragen wie benachbarte Areale. Die Messung wurde bei $T = 4,2$ K durchgeführt. Auch nach Temperaturänderungen blieb das charakteristische Muster (nach Rückkehr zu 4,2 K) erhalten, sofern eine Maximaltemperatur von $T = 105$ K nicht überschritten wurde. Geschah dies doch, änderte sich die nach erneutem Erreichen der Basistemperatur gemessene Pfadkonfiguration (Abb. 4.5). Angesichts der Vorzugsrichtungen der Strompfade und der kritischen Temperatur des tetragonal-zu-kubisch-Übergangs im SrTiO_3 ($T_C = 105$ K) liegt die Ursache der Leitfähigkeitserhöhung offenbar in der tetragonalen Struktur des SrTiO_3 an der Grenzfläche.

Obwohl diese Inhomogenitäten bei tiefen Temperaturen durchaus signifikant sind, stellen sie keine Hürde für die hier untersuchte Anwendbarkeit von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs dar. In den vorgestellten Messungen waren sie über einer Maximaltemperatur von $T = 45$ K nicht mehr nachweisbar.

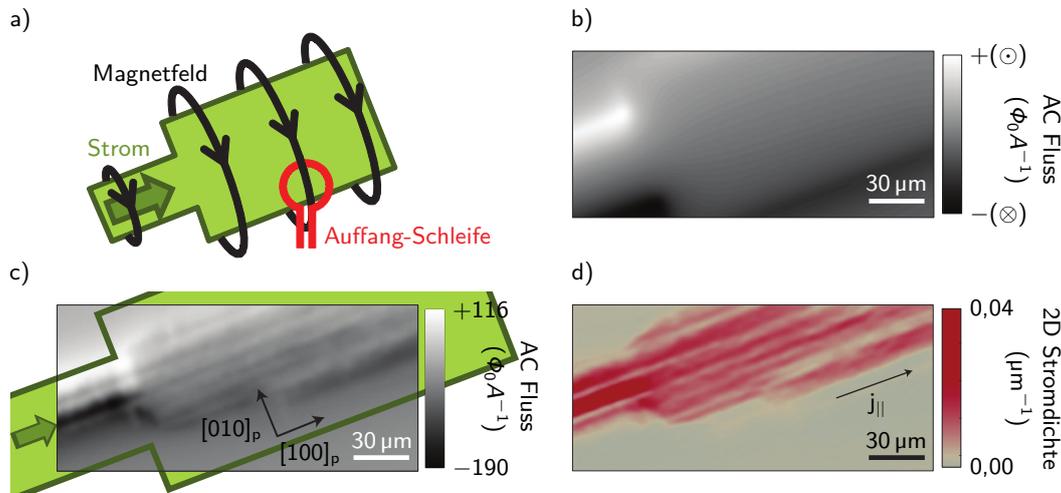


Abbildung 4.4: (a) Schematische Darstellung des Messprinzips. Der vom in der Probe fließenden Strom induzierte magnetische Fluss wird von der Auffangschleife (rot) orts aufgelöst detektiert. (b) Simulation der Flussverteilung bei homogener Stromdichte durch eine wie in (a) (grün) geformte Struktur. (c) An einer $LaAlO_3/SrTiO_3$ -Probe gemessene Flussverteilung. In grün ist die Form der leitfähigen Struktur angedeutet. $[100]_p$ und $[010]_p$ kennzeichnen die entsprechenden pseudo-kubischen Achsen im $SrTiO_3$. (d) Aus den Flussdaten von (c) berechnete Stromdichte-Verteilung, normiert auf die Effektivstrom-Amplitude. Die Messung wurde bei $T = 4,2 K$ durchgeführt. (Nach [65])

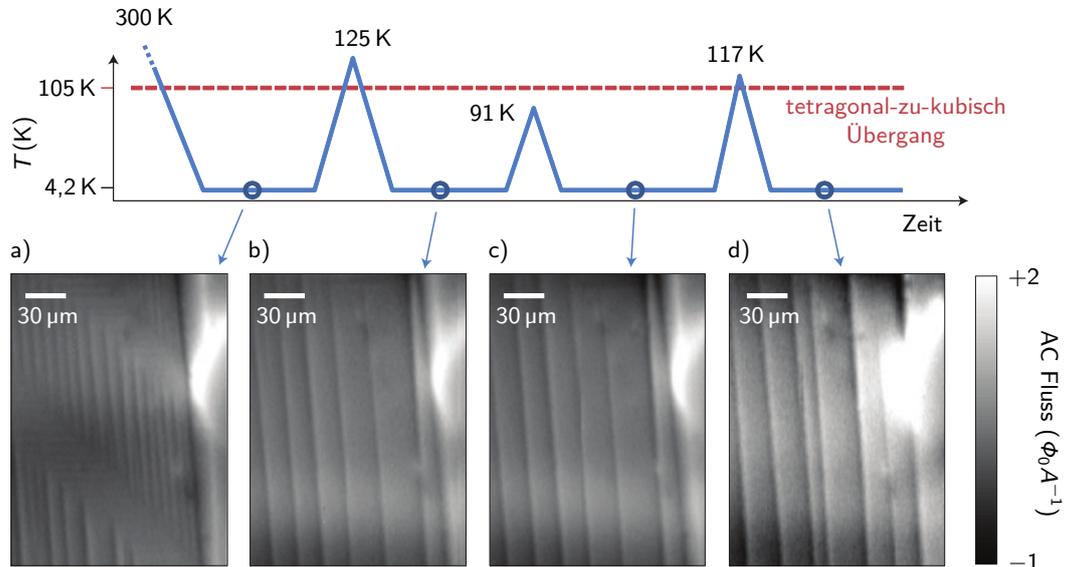


Abbildung 4.5: Entwicklung der charakteristischen Stromdichte-Verteilung (anhand des magnetischen Flusses) nach verschiedenen Temperaturschritten. Wurde zwischen zwei Messungen die kritische Temperatur ($T_c = 105 K$) des tetragonal-zu-kubisch-Übergangs von $SrTiO_3$ überschritten [(a)→(b), (c)→(d)], änderte sich das Streifenmuster. Blieb die maximale Temperatur jedoch unter diesem Wert [(b)→(c)], blieb auch das Muster erhalten. (Nach [65])

4.7 Monolithische integrierte Schaltkreise

Ein weiterer wichtiger Schritt in Richtung möglicher Anwendungen ist die Herstellung monolithischer integrierter Schaltungen ausschließlich unter Verwendung von $\text{LaAlO}_3/\text{SrTiO}_3$ -Bauelementen. Im Zuge der Zusammenarbeit des VLSI-Projekts gelang Rainer Jany (Universität Augsburg) die Vernetzung von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs zu komplexeren Bauelementen (gemeinsam publiziert in [58]). Generell sind zur Herstellung integrierter Schaltungen zwei grundlegende Voraussetzungen zu erfüllen. Einerseits muss die Spannungsverstärkung der Bauelemente größer als 1 sein, damit das Steuern von Sekundär-FETs möglich ist. Dies wurde von Benjamin Förg (Universität Augsburg) an $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs gezeigt [43]. Andererseits muss der Spannungsbereich des Ausgangssignals zur Schwellenspannung der Bauelemente passen, also sowohl größer als auch kleinere Werte als V_{th} annehmen können. Die $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs sind n-selbstleitend, mit einer typischen Schwellenspannung von $V_{\text{th}} \sim -1,5 \text{ V}$. Aus diesem Grund kann eine Vernetzung mit lediglich den Standardpotentialen (GND, V_{DD}) nicht gelingen, sondern nur unter Zuhilfenahme eines dritten, gegenüber GND negativen Potentials (V_{neg}). Durch Verwendung eines $\text{LaAlO}_3/\text{SrTiO}_3$ -Widerstands als Spannungsteiler zwischen GND und V_{neg} gelang es, unter geeigneter Wahl von V_{neg} erstmals monolithische $\text{LaAlO}_3/\text{SrTiO}_3$ -Inverter (Bauelemente mit der Ausgangs-Charakteristik eines NOT-Gatters) herzustellen (Abb. 4.6).

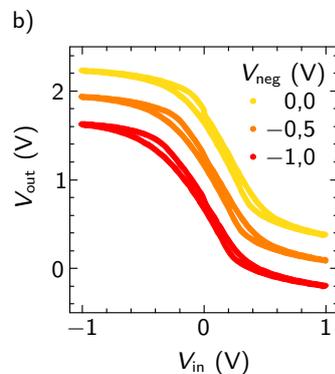
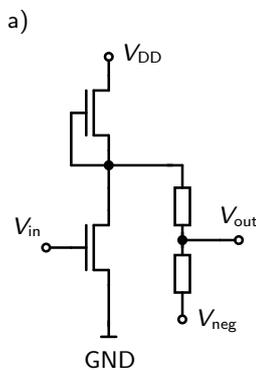


Abbildung 4.6: (a) Schaltbild eines n-MOS NOT-Gatters (Inverter) unter Zuhilfenahme eines dritten Potentials (V_{neg}), das den Versatz zur negativen Schwellenspannung kompensiert. (b) Ausgangs-Charakteristik des Inverters. Durch geeignete Wahl von V_{neg} wird das Eingangsintervall $0 \text{ V} \lesssim V_{\text{in}} \lesssim 1 \text{ V}$ auf das Ausgangsintervall $1 \text{ V} \gtrsim V_{\text{out}} \gtrsim 0 \text{ V}$ abgebildet ($V_{\text{DD}} = 5 \text{ V}$). (Nach [58])

Um zu demonstrieren, dass auch noch komplexere monolithische Schaltungen realisierbar sind, wurden Ringoszillatoren (Abb. 4.7) hergestellt. Hierbei schaltet man eine ungerade Anzahl von Invertern (Abb. 4.6a) in Reihe (V_{out} als Treiber von V_{in} des Nachfolgers) und verbindet V_{out} der letzten Stufe mit V_{in} der ersten. Auf diese Weise entsteht ein oszillierendes Ausgangssignal, da eine „0“ beim nächsten Durchlauf in eine „1“ gewandelt wird und umgekehrt. Die Frequenz der Oszillation hängt dabei lediglich von der Signallaufzeit durch die einzelnen Inverterstufen ab.

Um bei der Messung des Ausgangssignals keine Störungen zu induzieren, wird typischerweise ein weiterer Inverter als Ausgangsstufe (hinter der Feedback-Abnahme) in Reihe geschaltet und dessen Ausgangssignal analysiert. Abbildung 4.8 zeigt das Ausgangssignal eines solchen Ringoszillators, des ersten monolithischen $\text{LaAlO}_3/\text{SrTiO}_3$ -ICs.

4.8 Zusammenfassung

In diesem Kapitel wurde am Beispiel des $\text{LaAlO}_3/\text{SrTiO}_3$ -Systems die Möglichkeit gezeigt, hunderttausende sehr kleiner komplex-oxidischer Bauelemente dicht gepackt auf einem Chip herzustellen. Zu diesem Zweck wurden unter Verwendung konventioneller Lithographiemethoden Quadratmillimeter große Arrays aus FETs mit charakteristischen Maßen im Submikrometer-Bereich strukturiert. Auf derselben Probe konnte nachgewiesen werden, dass selbst die kleinste implementierte Bauform ($L_G = 200 \text{ nm}$) noch deutliches Schaltverhalten aufweist, wenn auch mit substantiellen Änderungen der Kennlinien im Vergleich zu FETs mit einigen zehn Mikrometern Gatelänge.

Im Rahmen einer Zusammenarbeit wurde untersucht, ob die Leitfähigkeit des 2DES an der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche lokal hinreichend homogen ist, um bei möglichen Anwendungen benachbarte Bauelemente zuverlässig vernetzen zu können. Das Resultat dieser Arbeit war überraschend, da sie in der Tat große Inhomogenitäten in der lokalen Leitfähigkeit nachwies. So fließt – zumindest bei niedrigen Temperaturen – der Strom bevorzugt in streifenförmigen Pfaden entlang bestimmter Kristallachsen des tetragonalen SrTiO_3 . Diese Pfade konnten bis zu einer Maximaltemperatur von 45 K nachgewiesen werden. Für das kubische SrTiO_3 ($T > 105 \text{ K}$) haben diese Inhomogenitäten jedoch keine Relevanz und stellen somit auch kein Hindernis für mögliche Anwendungen im Raumtemperatur-Bereich dar.

In einer weiteren Zusammenarbeit [58] konnten vernetzte Bauelemente und insbesondere erstmals monolithische $\text{LaAlO}_3/\text{SrTiO}_3$ -Ringoszillatoren hergestellt werden.

Diese Ergebnisse belegen die Integrierbarkeit komplex-oxidischer Bauelemente. Es muss jedoch beachtet werden, dass viele der (beispielsweise aus der Halbleiterindustrie oder der Fertigung makroskopischer Oxid-FETs) bekannten Herstellungsprozesse nicht problemlos auf die Fabrikation sehr kleiner Bauelemente übertragbar sind. Es bedarf weiterer Forschung und Entwicklung auf diesem Gebiet, bis oxidische Strukturen eines Tages mit vergleichbarer Genauigkeit und Qualität hergestellt werden können, wie dies heute mit Halbleiterbauelementen möglich ist.

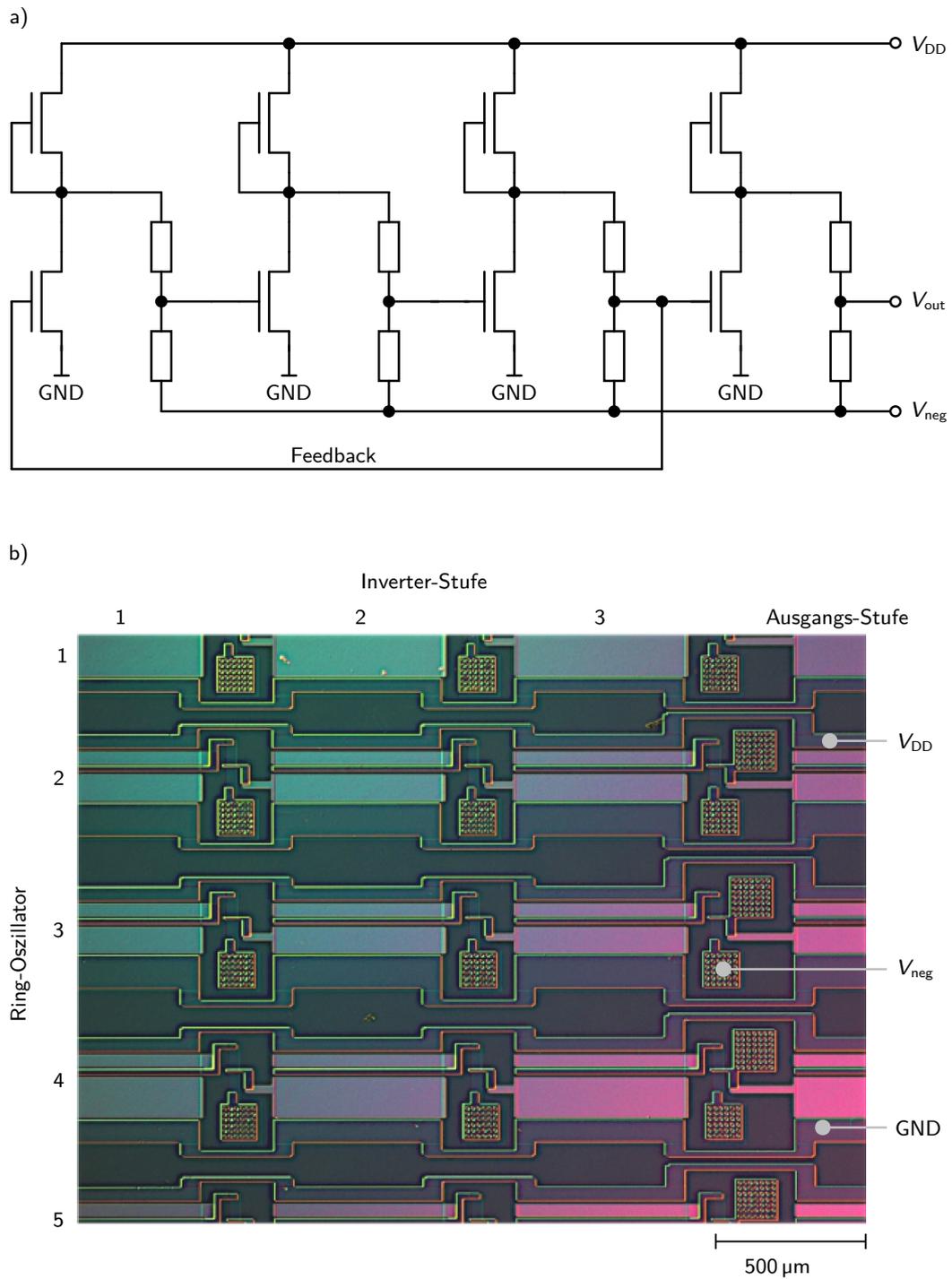


Abbildung 4.7: (a) Schaltbild eines 3-stufigen Ringoszillators aus n-MOS Invertern, erweitert um eine Ausgangsstufe. (b) Optisches Mikroskopiebild (Interferenzkontrast) eines Arrays 3-stufiger $\text{LaAlO}_3/\text{SrTiO}_3$ -Ringoszillatoren auf einem Chip. (Nach [58])

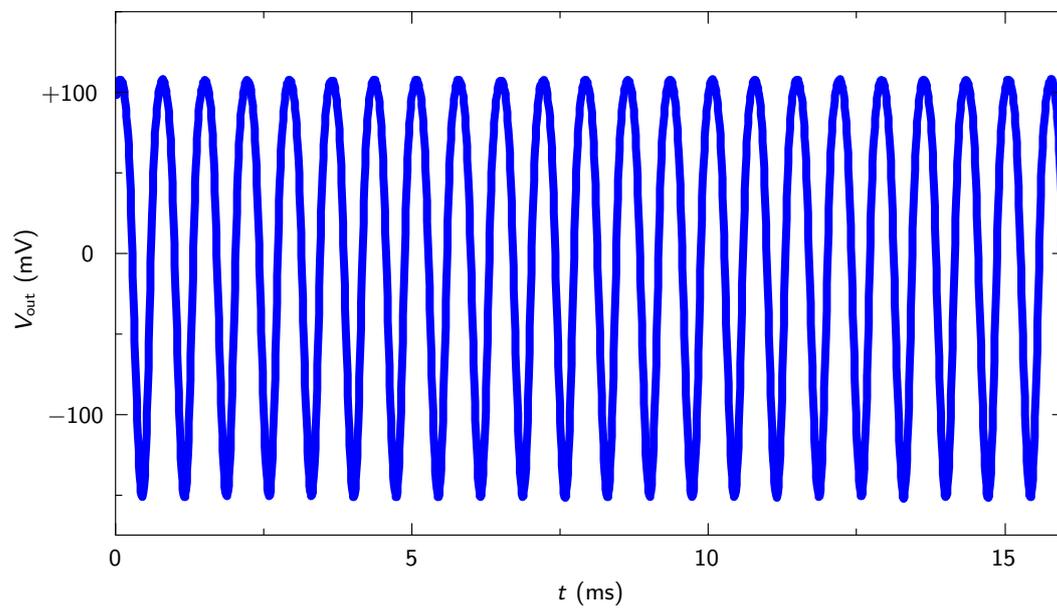


Abbildung 4.8: Ausgangssignal eines bei Raumtemperatur vermessenen Ringoszillators ($V_{DD} = 6,5\text{ V}$, $V_{neg} = -1,9\text{ V}$). Die Frequenz von $f = 1,4\text{ kHz}$ entspricht der RC-Laufzeiterwartung. (Nach [58])

5 Feldeffekt-Bauelemente mit fünf Kontakten

Die Herstellung von 5-Kontakt-Bauelementen beruht auf der Idee, FETs in 4-Punkt Geometrie vermessen und somit den Einfluss der parasitären Zuleitungswiderstände untersuchen zu können. Diese entstehen bei der Fabrikation der Metallkontakte ins Elektronensystem. Die aufgrund von Lackaushärtung auftretenden Ränder um die Kontaktstrukturen machen eine Platzierung dieser Kontakte in unmittelbarer Gate-nähe problematisch. Gleichzeitig erhöht jedoch eine verlängerte Zuleitung (2DES) den seriellen Widerstand, der – von der Gatespannung unbeeinflusst – mitgemessen wird. Da die Gate-Elektrode bei MOSFETs typischerweise den gesamten Kanal bedeckt (oder sogar etwas mit den Source/Drain-Kontakten überlappt) spielen parasitäre Widerstände durch Zuleitungen hier nur bei Bauelementen eine Rolle, deren vertikale Maße (hauptsächlich der Dotierungstiefe der Source/Drain-Kontakte) mit der Gatelänge vergleichbar ist [4]. Aufgrund der separierten Bauweise der im Folgenden beschriebenen Bauelemente muss mit einem deutlich stärkeren Einfluss parasitärer Widerstände gerechnet werden.

5.1 Entwurf der Bauelemente

Das Layout der Bauelemente wurde im Vergleich zum VLSI-Projekt grundlegend überarbeitet. Anstelle der Kompaktheit steht nun die Kontaktierbarkeit jedes Bauelements im Vordergrund. Da zum Zeitpunkt dieses Projekts noch immer Lackaushärtungsprobleme bei der Herstellung der 2DES-Metallkontakte bestanden, sind diese Kontakte möglichst weit voneinander separiert. Um den Einfluss der seriellen Widerstände untersuchen zu können, wurden Spannungsabgriffe direkt neben der Gate-Elektrode implementiert. Aufgrund der endlichen Breite der Abgriffe und der daraus resultierenden Mittelung wurden darüber hinaus die Zuleitungen der treibenden Kontakte bis zum eigentlichen Gateabschnitt möglichst breit gehalten. Abbildung 5.1 zeigt das Layout der Bauelemente und veranschaulicht außerdem deren Anordnung (typischerweise jeweils ~ 10.000) in großen Arrays. Um trotz prozessbedingter Ungenauigkeiten (maßgeblich in der Positionierung und der resultierenden

Strukturgröße) Bauelemente mit möglichst guter Geometrie zu erzeugen, wurde entlang der Arrayzeilen jeweils der Abstand der Kontakte zur Gate-Elektrode von groß (links) nach klein (rechts) variiert. Entlang der Spalten ändert sich die Positionierung der Gate-Elektrode bezüglich der Kontakte (oben: Versatz nach links, unten: Versatz nach rechts). Folglich gibt es, trotz systematischer Ungenauigkeiten auf der späteren Probe, in jedem Array einen *Sweet-Spot* geometrisch optimaler Bauelemente. Um herauszufinden, wo sich diese befinden, genügt es, mit dem REM einige Strukturen an den Ecken des Arrays zu analysieren. Die Kontaktierung ausgewählter Bauelemente wird in Abschnitt 5.3 beschrieben. Die Gatelänge ist allen Bauelementen im Array gleich, das Aspektverhältnis beträgt – wie zuvor – $W_G/L_G = 15$. Die verschiedenen Arrays umfassen den Bereich von $L_G = 70$ nm bis 300 nm. Darüber hinaus gibt es Teststrukturen mit deutlich größeren Gatelängen, jedoch abweichendem Aspektverhältnis.

5.2 Entwurf der Proben

Als Substrat diente auch in diesem Projekt ein $10 \times 10 \times 1$ mm³ SrTiO₃-Einkristall (Crystec [62]). Da der PLD-Prozess für Proben mit 5 mm Kantenlänge ausgelegt ist (insbesondere bezüglich der von der Plasmakamere abhängigen Übertragungstöchiometrie), beschränkt sich auch die Bauelement-Anordnung auf den inneren Bereich (etwa 5×5 mm²) des Chips. Abbildung 5.2 zeigt, wie dieser mit den zuvor beschriebenen Feldeffekt-Bauelement-Arrays von jeweils 1 mm² sowie einigen angrenzenden Teststrukturen bestückt ist. Die Farben entstehen durch Interferenz an den kleinen Strukturen.

5.3 Anmerkungen zur Probenherstellung

Da zum Zeitpunkt dieses Projekts der (negativ-lithographische) HSQ-Prozess noch nicht zur Verfügung stand, erfolgte die Strukturierung des 2DES lediglich mit PMMA. Folglich mussten alle Areale um das spätere Elektronensystem herum belichtet werden. Aufgrund der erhöhten Streudosis, sinkt hierdurch die lithographische Ortsauflösung. Diese macht sich beispielsweise in der Abrundung beziehungsweise Aufweitung der 2DES-Strukturen an den Spannungsabgriffen in Abbildung 5.3 bemerkbar. Die möglichst groß gewählte Breite der den Spannungsabgriffen gegenüberliegenden Zuleitung verschiebt den Punkt der Spannungsabnahme virtuell in Richtung der Gate-Elektrode und relativiert somit die negativen Auswirkungen der Strukturaufweitung.

5 Feldeffekt-Bauelemente mit fünf Kontakten

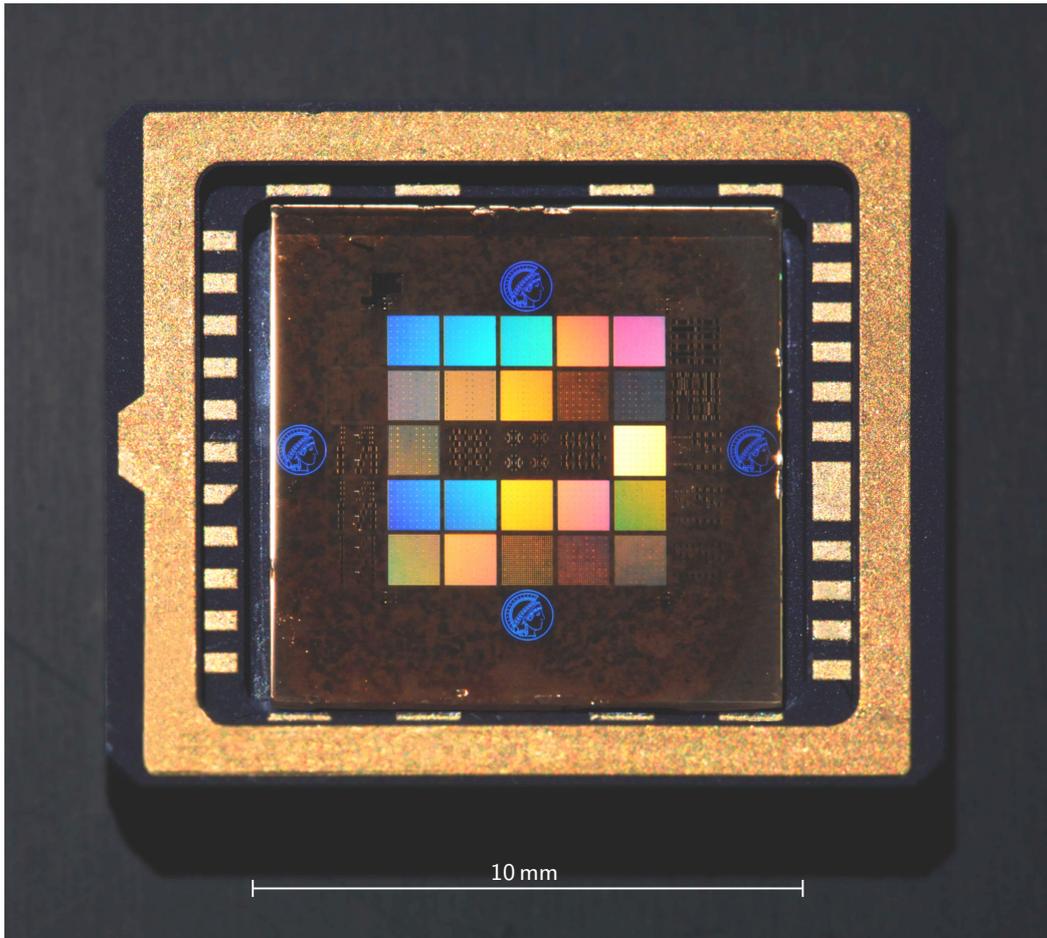


Abbildung 5.2: Fotografie des 5-Kontakt-Bauelemente-Chips vor der Kontaktierung einzelner Strukturen. Die, aufgrund von Interferenz, farbig leuchtenden Quadrate haben eine Seitenlänge von 1 mm und beherbergen jeweils ein Array durchgestimmter Bauelemente. Die verschiedenen Quadrate decken den Gatelängen-Bereich von 70 nm bis 300 nm ab. Darüber hinaus sind Teststrukturen mit deutlich größeren Gatelängen ($L_G = 20 \mu\text{m}$ bis $100 \mu\text{m}$) sowie abweichendem Aspektverhältnis implementiert.

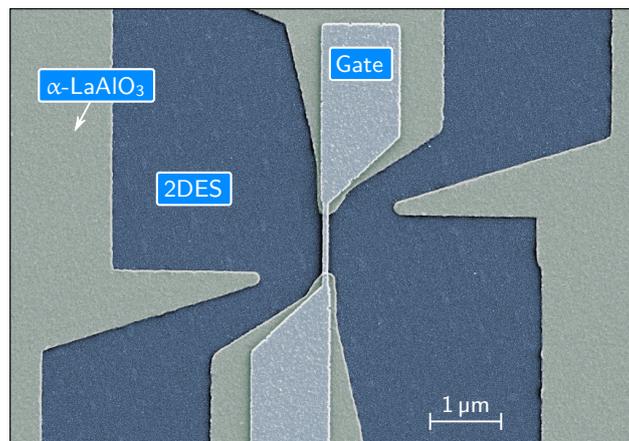


Abbildung 5.3: REM-Bild (koloriert) eines 5-Kontakt-Bauelements nach der Herstellung der Gate-Elektroden, jedoch vor der Strukturierung der Kontakte in das 2DES. Die Gatelänge beträgt $L_G = 70 \text{ nm}$.

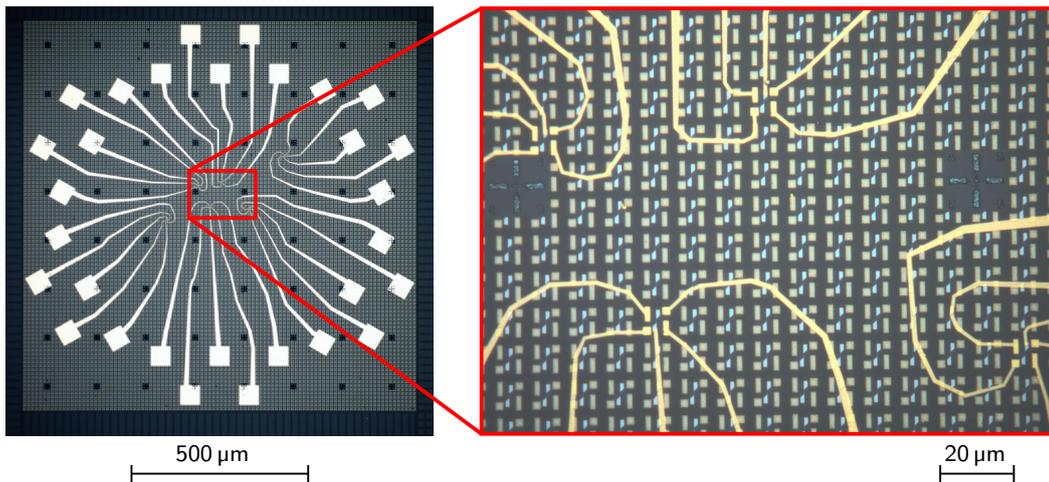


Abbildung 5.4: Optische Mikroskopiebilder eines Arrays mit rund 10.000 durchgestimmten Feldeffekt-Bauelementen (**links**). Einige im *Sweet-Spot* liegende Bauelemente wurden in einem separaten Lithographieschritt kontaktiert (**rechts**).

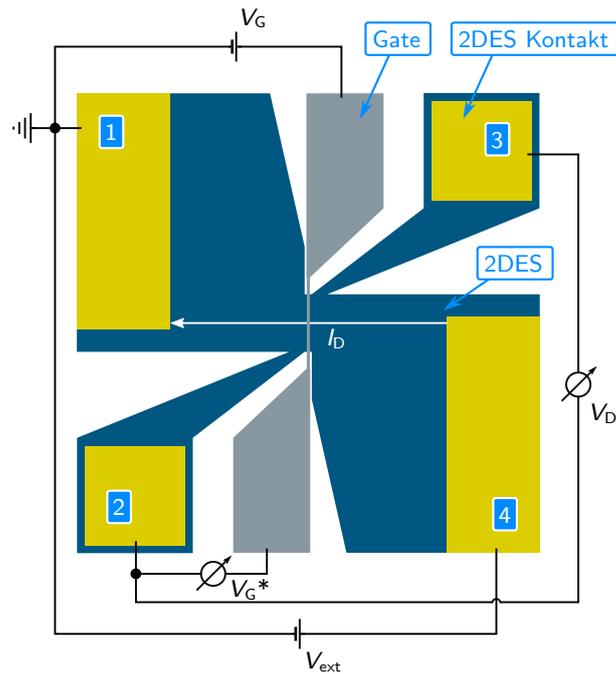
Eine weitere Besonderheit dieser Probe ist die zuvor beschriebene Bauelementanordnung in Variationsarrays. Sie erfordert einen weiteren Lithographieschritt zur Kontaktierung ausgewählter Strukturen. Zusätzlich zu den äußeren Hauptmarken besitzt jedes Array ein eigenes System von Marken in Abständen von $125\ \mu\text{m}$. Abbildung 5.4 zeigt exemplarisch kontaktierte und mit Bondingpads versehene Bauelemente im *Sweet-Spot* eines der Arrays. Beim Verlauf der Zuleitungen war insbesondere darauf zu achten, dass die darunterliegenden Bauelemente nicht zu Kurzschlüssen führen. Auf eine isolierende Deckschicht zu den Leiterbahnen wurde verzichtet, um die Probe nicht unnötigen Lithographieschritten auszusetzen.

5.4 Messungen

Aufgrund der speziellen Bauelementgeometrie ist das Schaltbild zur elektrischen Transportmessung ebenfalls etwas komplexer als dies für die 3-Kontakt-Bauelemente der Fall ist. Um Verwechslungen bei der Nomenklatur vorzubeugen, sind die Kontakte (mit Ausnahme des Gates), wie in Abbildung 5.5 gezeigt, nummeriert. Kontakt 1 trägt während der Messung stets das niedrigste Potential und muss daher bei den verwendeten Messgeräten (Keithley 2612) Referenzpunkt für das Gatepotential und für die treibende Spannung (V_{ext}) zu Kontakt 4 sein. Die effektiv am Gate anliegende Spannung ist in der Abbildung mit V_G^* bezeichnet und fällt zwischen der Gate-Elektrode und Kontakt 2 ab. Der durch I_D hervorgerufene Spannungsabfall im vom Gate bedeckten Teil des Kanals wird zwischen den Kontakten 2 und 3 gemessen (V_D). Somit wird, wie vorgesehen, der direkte Einfluss

5 Feldeffekt-Bauelemente mit fünf Kontakten

Abbildung 5.5: Schaltbild zur Vermessung der 5-Kontakt-Bauelemente. Der Strom I_D wird durch V_{ext} von Kontakt 4 zu Kontakt 1 getrieben. Die Kontakte 2 und 3 erfassen den hierdurch hervorgerufenen Spannungsabfall (V_D) im Kanal unter dem Gate. Aus messtechnischen Gründen wird V_G ebenfalls gegen Kontakt 1 angelegt. Die effektiv am Gate anliegende Spannung (V_G^*) wird zwischen der Gate-Elektrode und Kontakt 2 gemessen.



der seriellen Widerstände zwischen den Kontakten 1 und 2, sowie 3 und 4 nicht mitgemessen. Allerdings gibt es indirekte Einflüsse, die sich trotz der Spannungsabgriffe weder messtechnisch noch rechnerisch ausgleichen lassen. Eine genauere Beschreibung dieser Problematik erfolgt in Abschnitt 5.5.

Abbildung 5.6 zeigt Drain-Source-Charakteristiken von 5-Kontakt-Bauelementen der Gatelängen $L_G = 20 \mu\text{m}$, 220 nm und 100 nm . Während – wie schon zuvor beim VLSI-Projekt – die Bauelemente mit einigen $10 \mu\text{m}$ ein nahezu perfektes Lang-Kanal-Verhalten zeigen (Abb. 5.6a), weichen die Charakteristiken der Bauelemente kurzer Gatelängen hiervon ab (Abb. 5.6b,c). Im Bereich vormaliger Sättigung weisen sie ein lineares Verhalten auf. Für sehr niedrige Gatespannungen steigt zudem der Drainstrom mit zunehmender Drain-Source-Spannung sogar überlinear. Die Graphen zeigen deutliche Hysteresen. Diese scheinen für kleine Gatelängen ausgeprägter zu sein als dies bei großen Bauelementen der Fall ist. Auch liegt die Schwellenspannung bei geringer Gatelänge weiter im negativen Bereich als bei langen Kanälen ($V_{\text{th}} \gtrsim -2 \text{ V}$). Ein weiteres auffälliges Merkmal sind die unterschiedlichen Endpunkte (d.h. maximal erreichte V_D -Werte) der Charakteristiken.

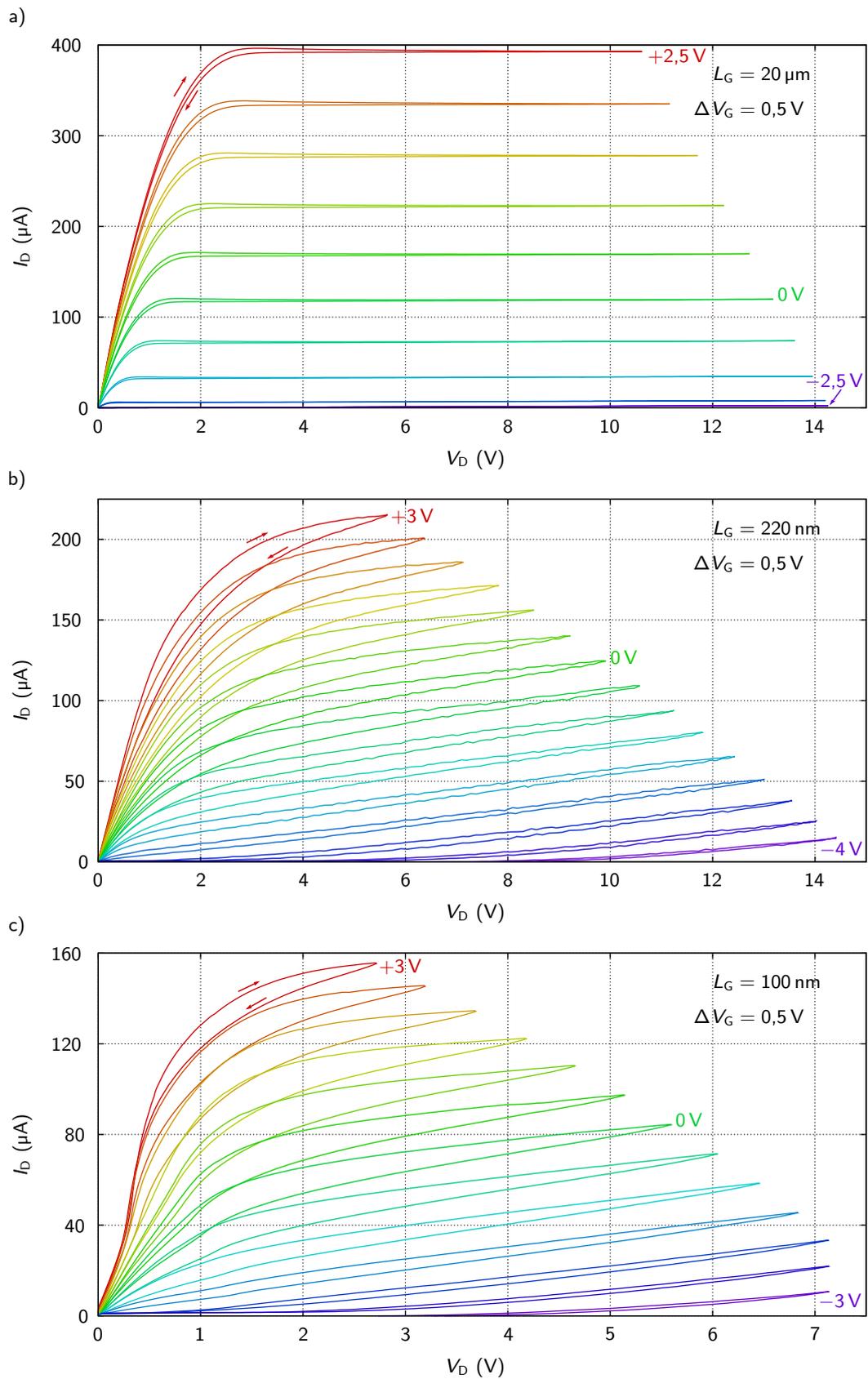


Abbildung 5.6: Drain-Source-Charakteristiken von 5-Kontakt-Bauelementen mit $L_G = 20 \mu\text{m}$ (a), $L_G = 220 \text{ nm}$ (b) und $L_G = 100 \text{ nm}$ (c). Zur Messgeometrie siehe Abbildung 5.5. ($T = 295 \text{ K}$)

5.5 Diskussion

Die maximal erreichten V_D -Werte der einzelnen Kurven resultieren aus dem unterschiedlich starken Einfluss der (seriellen) Zuleitungswiderstände. Im geöffneten Zustand ist die Leitfähigkeit des vom Gate bedeckte Kanals vergleichbar mit der Leitfähigkeit der Zuleitungen. Daher fällt nur ein gewisser (und für wachsendes V_G sinkender) Teil der an die treibenden Kontakte angelegten Spannung zwischen den beiden Abgriffen nahe des Gates ab und die dort gemessenen V_D -Werte sind geringer als V_{ext} . Im geschlossenen Zustand ist der Kanal unter dem Gate Größenordnungen resistiver als die Zuleitungen. Nahezu die gesamte angelegte Spannung fällt nun als V_D über diesem Kanalteil ab und die Kurven erstrecken sich zu höheren V_D -Werten.

Wie aus persönlichen Gesprächen hervorgeht, sind die Hysteresen in Abbildung 5.6 typisch für $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs. Systematische Studien oder Veröffentlichungen gibt es hierzu jedoch kaum. Stattdessen wird bei der Publikation entsprechender Messdaten zumeist auf die Abbildung der zweiten Messrichtung verzichtet. Als mögliche Ursachen solcher Hysteresen werden der polare Einfluss von Wassermolekülen und Sauerstoff-Fehlstellen [66], sowie Ionendiffusionsprozesse und Jahn-Teller Verzerrungen [67] angesehen [68]. Bei den vorliegenden Messdaten nimmt die Hysterese mit V_G zu sowie mit L_G ab. Somit leistet möglicherweise die *hot-carrier injection* [69–74] einen weiteren Beitrag zur Hysterese. Durch das starke laterale Feld entlang des Kanals nehmen Ladungsträger hierbei durch statistisch ausbleibende Streuung ein Übermaß an kinetischer Energie auf. Kommt es schließlich zum Streuprozess, können diese Ladungsträger metastabile Zustände im Gatestapel (*trap states*) einnehmen und zur Hysterese beitragen. Eine systematische Untersuchung dieser Effekte geht – obgleich sowohl von Interesse als auch Relevanz – über diese Arbeit hinaus und sollte zum Inhalt weiterer Forschungen gemacht werden.

Eindeutig aus den Messdaten ersichtlich ist eine Änderung im Schaltverhalten der Bauelemente. Während die $L_G = 20\ \mu\text{m}$ Familie das erwartete Lang-Kanal-Verhalten zeigt, ist dies für die kleineren Bauelemente nicht mehr der Fall. Die endlichen Steigungen im vormaligen Sättigungsbereich sind typisch für die bei Kurz-Kanal-FETs bekannte Kanallängen-Modulation, also der effektiven Verkürzung von L_G bei Erhöhung von V_D . Wird, im geschlossenen Zustand, V_D weiter erhöht, wächst I_D sogar überlinear, analog zum Effekt der Drain-induzierten Barrierensenkung. Darüber hinaus deutet die Reduktion der Schwellenspannung bei den kleinen Bauelementen auf den zunehmenden Einfluss der Raumladungszonen der Source/Drain-Kontakte hin.

Wie zu Beginn dieses Abschnitts beschrieben, erreichen die V_D -Werte nur für den

geschlossenen Zustand des Bauelements die tatsächlich angelegte treibende Spannung, während sie bei höheren Gatespannungen (geöffneter Kanal) stets geringer bleiben. Dies zeigt sehr anschaulich, dass der direkte Einfluss der parasitären (seriellen) Widerstände durch die zusätzlichen Spannungsabgriffe kompensiert wird. Wie allerdings bereits in Abschnitt 5.4 beschrieben, kann aus messtechnischen Gründen die Gatespannung (V_G) nur gegen Kontakt 1 (Abb. 5.5) angelegt werden. Hieraus resultieren indirekte Einflüsse der parasitären Widerstände, die nicht kompensiert werden können. V_G stellt eine Obergrenze für die tatsächlich am Gate anliegende Spannung (V_G^* , bezüglich Kontakt 2) dar. Abhängig vom Öffnungsgrad des Bauelements und damit auch vom jeweiligen Abschnitt der Kennlinie, weicht V_G^* jedoch von der angelegten Gatespannung ab. Abbildung 5.7 zeigt die Drain-Source-Charakteristiken aus Abbildung 5.6 (aus Gründen der Übersichtlichkeit ohne Hysterese), ergänzt um die Darstellung der effektiven Gatespannung V_G^* . Im geschlossenen Zustand sind die Kontakte 1 und 2 (Abb. 5.5) nahezu auf gleichem Potential und V_G^* weicht (zumindest für moderate V_D -Werte) kaum von V_G ab. Je größer die angelegte Gatespannung wird, desto stärker wird die Diskrepanz zu ihrem effektiven Pendant V_G^* . Letztere bricht schon für kleine V_D -Werte deutlich ein, was zu einer verfrühten Abschnürung des Kanals und somit Reduzierung der Sättigungsströme führt. Leider lässt sich dieser indirekte Einfluss der parasitären Widerstände bei den 5-Kontakt-Bauelementen weder baulich vermeiden, noch nachträglich rechnerisch kompensieren.

5.6 Zusammenfassung

Um den Einfluss der lithographisch bedingten parasitären Zuleitungswiderstände zu untersuchen, wurden FETs um zwei Spannungsabgriffe in unmittelbarer Nähe beidseitig der Gate-Elektrode erweitert. Die Messungen zeigen, dass diese Widerstände die gemessenen Charakteristiken gleich in mehrfacher Weise beeinflussen. Abhängig vom Öffnungsgrad des Bauelements fällt nur ein gewisser Teil der angelegten Drain-Source-Spannung (V_{ext}) über dem Gate ab. Dieser Anteil, der als V_D gemessen wird, wächst mit zunehmendem Widerstand des Kanals unter der Gate-Elektrode. Trägt man den gemessenen Drainstrom gegen V_D auf, kompensiert man den Einfluss der parasitären Widerstände auf die Drain-Source-Spannung. Darüber hinaus gibt es jedoch eine (indirekte) Beeinflussung der Gatespannung, insbesondere im An-Zustand. Diese führt zu einer effektiven Reduzierung von V_G (durchaus um mehrere Volt) und somit zum verfrühten Abschnüren des Kanals. Der Einfluss parasitärer Widerstände ist nicht nur in diesem Kontext von Bedeutung, sondern stellt auch moderne Halbleitergenerationen vor Herausforderungen [4]. Das Projekt

5 Feldeffekt-Bauelemente mit fünf Kontakten

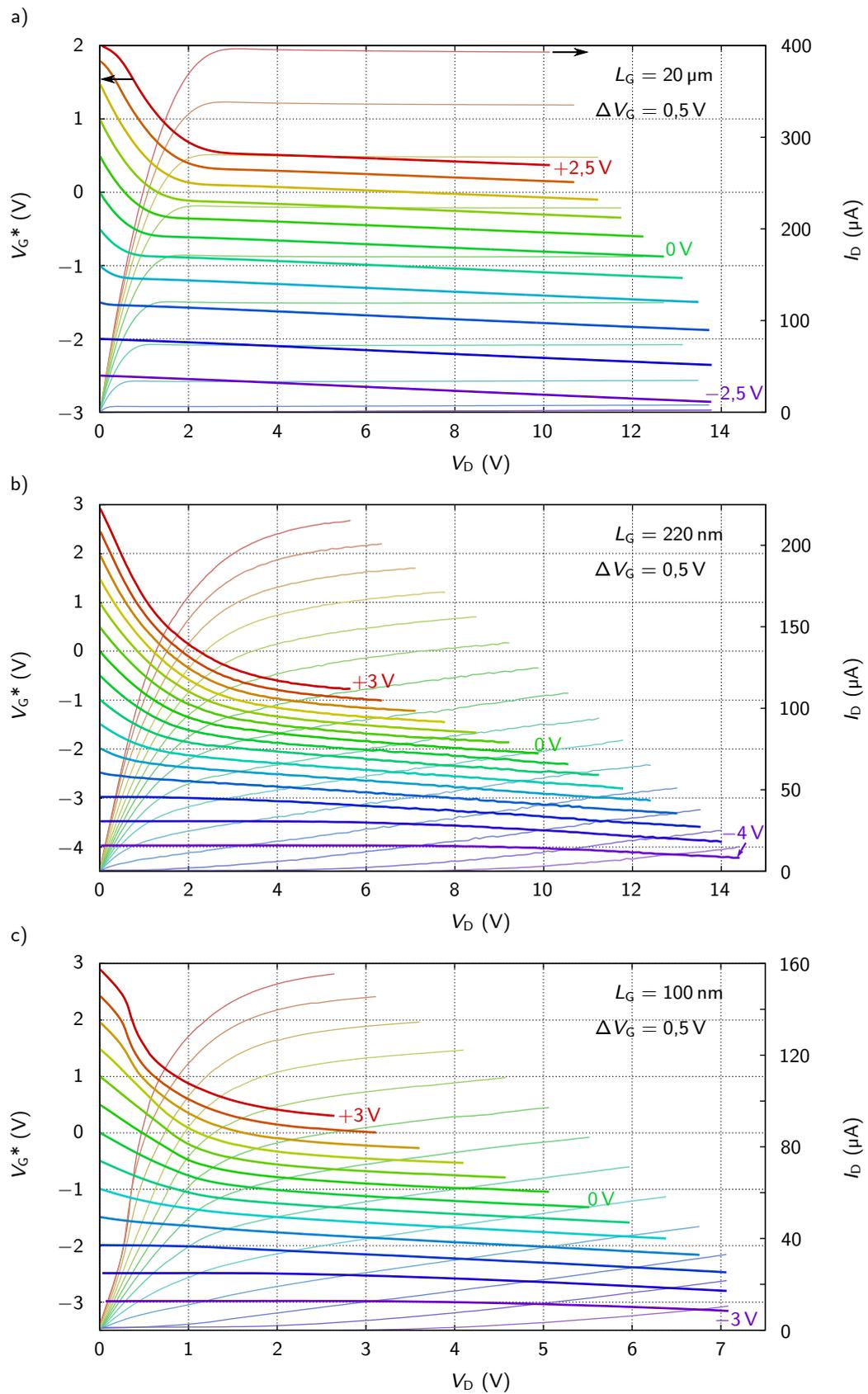


Abbildung 5.7: Darstellung der effektiven Gatespannung zu den Messdaten aus Abbildung 5.6.

5.6 Zusammenfassung

verdeutlicht die zentrale Bedeutung der lithographischen Prozesse. Nur wenn es in dieser Arbeit gelingt, auch bei kleinen FETs die Zuleitungen hinreichend kurz zu halten, wird es möglich sein, zuverlässige Erkenntnisse über Kurz-Kanal-Effekte zu gewinnen. Gleichzeitig demonstrieren die Messdaten, dass sich auch Bauelemente mit nur etwa 100 nm Gatelänge noch schalten lassen.

6 Feldeffekt-Bauelemente mit drei Kontakten

Im letzten Kapitel wurde gezeigt, auf welche Weise parasitäre Widerstände Einfluss auf die FET-Eigenschaften nehmen. Manche dieser Effekte sind von intrinsischer Natur und können nur durch möglichst geringe Zuleitungswiderstände reduziert werden. Durch Verbesserung der lithographischen Prozesse gelang es, diese invasiven Schritte zuverlässig mit Submikrometer-Genauigkeit durchzuführen. Obgleich es möglich scheint, durch weitere Optimierung noch höhere Auflösung zu erzeugen, lassen sich mit den entwickelten Prozessen bereits FETs herstellen, deren Zuleitungen kurz genug sind, um Kurz-Kanal-Effekte zu untersuchen.

6.1 Entwurf der Bauelemente

Aufgrund der Verbesserungen beim Herstellungsprozess der Kontakte in das Elektronensystem (Abschnitt 3.9), können diese nun zuverlässig im Submikrometer-Bereich genau platziert werden. Die parasitären Zuleitungswiderstände lassen sich somit bei kleinen Transistoren ($L_G \lesssim 500 \text{ nm}$) auf ein verträgliches Maß reduzieren, während sie bei *großen* Bauelementen ($L_G \gtrsim 1 \mu\text{m}$) sogar vernachlässigbar werden. Abbildung 6.1 zeigt das REM-Bild eines FETs mit nur 60 nm Gatelänge. Es ist der kleinste publizierte (funktionierende) $\text{LaAlO}_3/\text{SrTiO}_3$ -FET mit aufliegendem Gate. Das Aspektverhältnis ($W_G/L_G = 15$) der Bauelemente ist identisch zu den vorangegangenen Projekten. Die Source- und Drainelektrode haben jeweils weniger als 300 nm Abstand zur Gate-Elektrode. Angesichts der erreichten Geradlinigkeit der Strukturkanten, kann bei weiterführenden Arbeiten voraussichtlich noch mit einer Verringerung der geometrischen Kenngrößen gerechnet werden.

6.2 Entwurf der Proben

Analog zum Probendesign aus Abschnitt 5.2 wurde ein $10 \times 10 \times 1 \text{ mm}^3$ SrTiO_3 -Einkristall (Crystec [62]) als Substrat verwendet, jedoch ebenfalls nur ein $5 \times 5 \text{ mm}^2$ großer Bereich im Zentrum der Probenoberfläche mit Bauelementen bestückt. Um

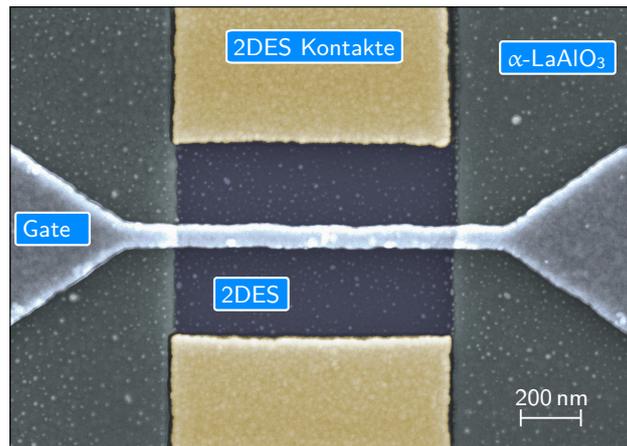


Abbildung 6.1: REM-Bild (koloriert) eines FETs mit 60 nm Gatelänge und einem Aspektverhältnis von $W_G/L_G = 15$. Die Abstände von Source- und Drainelektrode zum Gate betragen weniger als 300 nm.

einen finalen lithographischen Kontaktierungsschritt mit den damit verbundenen Risiken vermeiden zu können, ist jedes Bauelement bereits mit entsprechenden Bondingpads versehen, was die Gesamtzahl der Transistoren auf dem Chip stark begrenzt. Abbildung 6.2 zeigt die fertige Probe vor Beginn der Messungen. Neben den FETs sind weitere Strukturen, wie beispielsweise mit Löchern versehene Hall-Stege oder sehr dünne Übertragungslinien für Kollaborationsprojekte angelegt worden. Leider liegen aus diesen Experimenten zum Zeitpunkt der Niederschrift noch keine Ergebnisse vor.

6.3 Ausgangs- und Transferverhalten

Messungen

Die Durchführung der Messungen erfolgte – wie üblich – bei Raumtemperatur und in Dunkelheit, um den Einfluss von Fotoladungsträgern zu minimieren. Die kleinsten funktionierenden Bauelemente dieser Probe haben eine Gatelänge von $L_G = 60$ nm (Abb. 6.1). Zusätzlich wurden Transistoren mit $L_G = 500$ nm und $L_G = 5$ μ m ausgewählt, um die charakteristischen Änderungen im Schaltverhalten und das Einsetzen von Kurz-Kanal-Effekten zu untersuchen. Tabelle 6.1 stellt die wichtigsten geometrischen Parameter der Bauelemente zusammen. Die Abbildungen 6.3, 6.4 und 6.5 zeigen die Ausgangs-Charakteristiken dieser Bauelemente, Abbildung 6.6 deren Transfercharakteristiken und Gateströme (I_G).

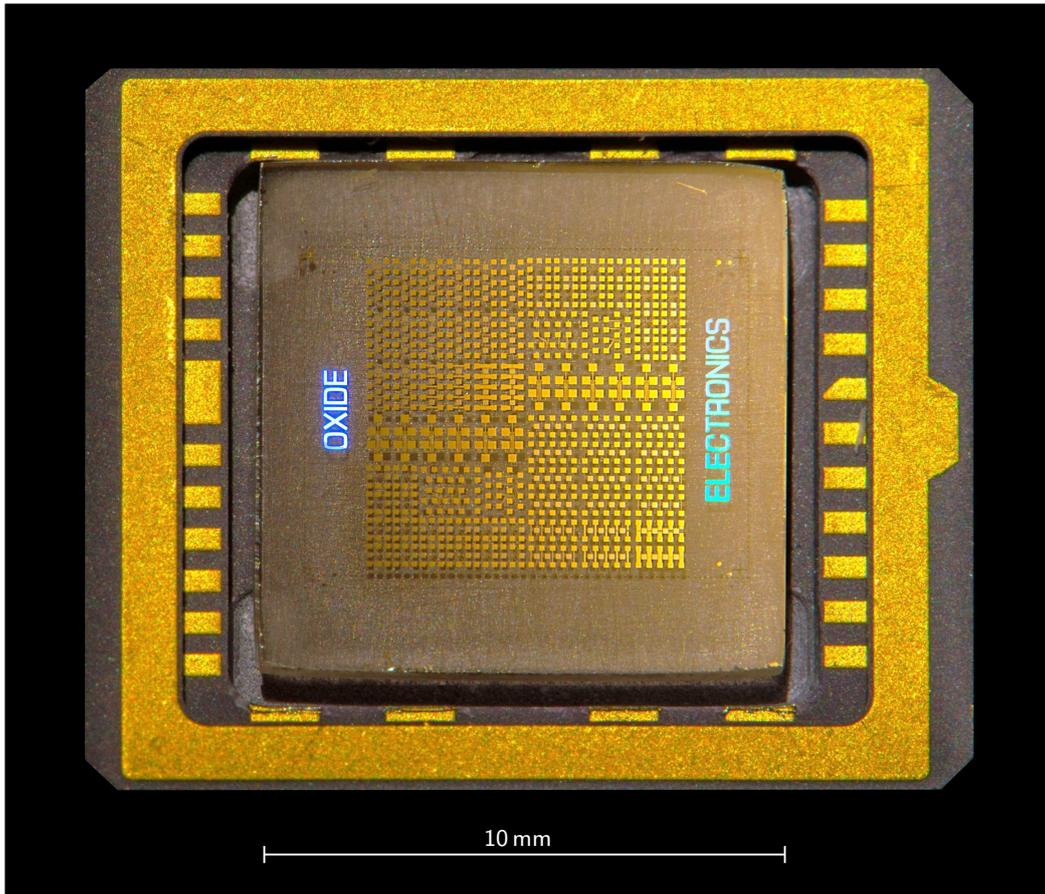


Abbildung 6.2: Fotografie des 3-Kontakt-Bauelemente-Chips. Die nominellen Gatelängen umfassen einen Bereich von $L_G = 50 \text{ nm}$ bis $5 \mu\text{m}$.

Tabelle 6.1: Zusammenstellung der wichtigsten Parameter der vermessenen Bauelemente. Neben der Gatelänge (L_G) und -breite (W_G) ist der Source-Drain-Abstand (d_{DS}) sowie der Grundwiderstand (R_0) angegeben. Letzterer wurde durch Fits an die linearen Bereiche der Ausgangskurven (Abb. 6.3, 6.4 und 6.5) bestimmt.

FET Nummer	L_G (μm)	W_G (μm)	d_{DS} (μm)	$R_0(V_G = 0, V_D \rightarrow 0)$ ($\text{k}\Omega$)
1	0,06	0,9	0,6	18,5
2	0,5	7,5	1,5	9,0
3	5	75	6	3,1

6 Feldeffekt-Bauelemente mit drei Kontakten

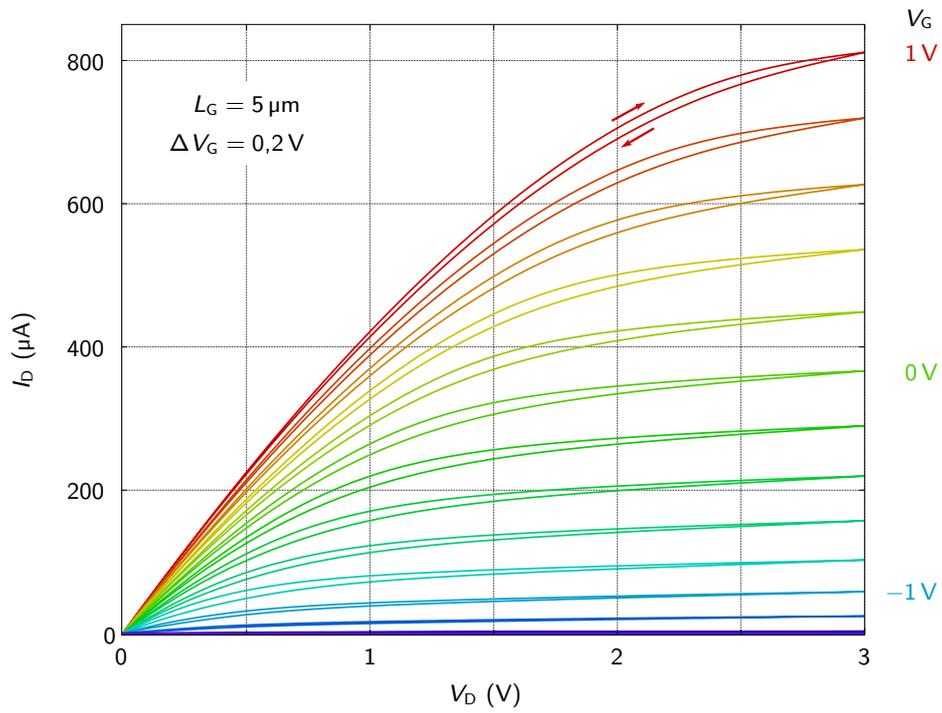


Abbildung 6.3: Drain-Source-Charakteristik eines $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs mit $5 \mu\text{m}$ Gatelänge.

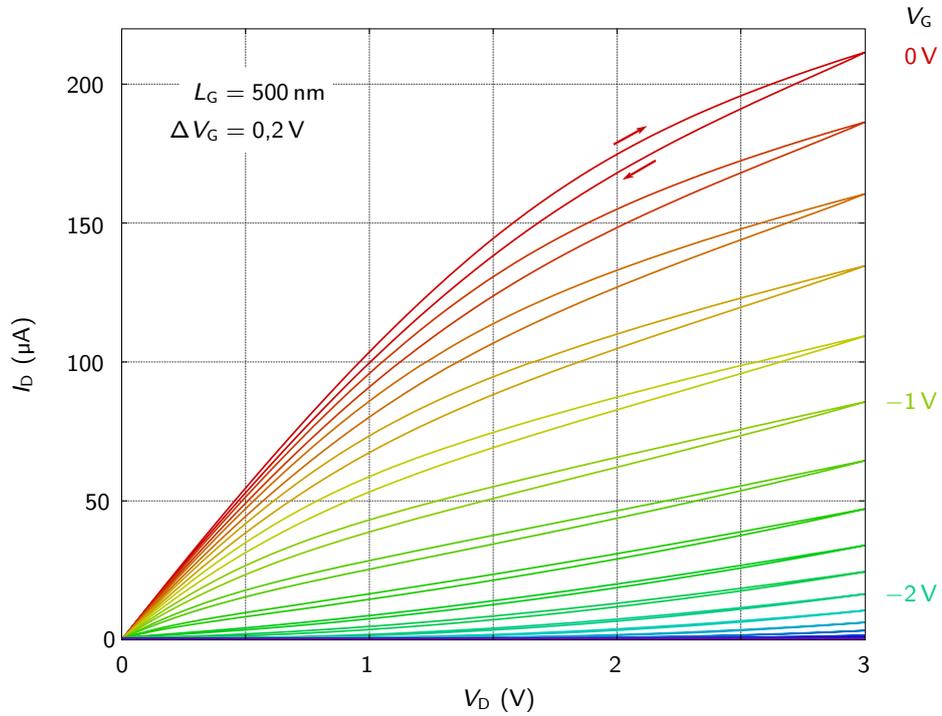


Abbildung 6.4: Drain-Source-Charakteristik eines $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs mit 500 nm Gatelänge.

6.3 Ausgangs- und Transferverhalten

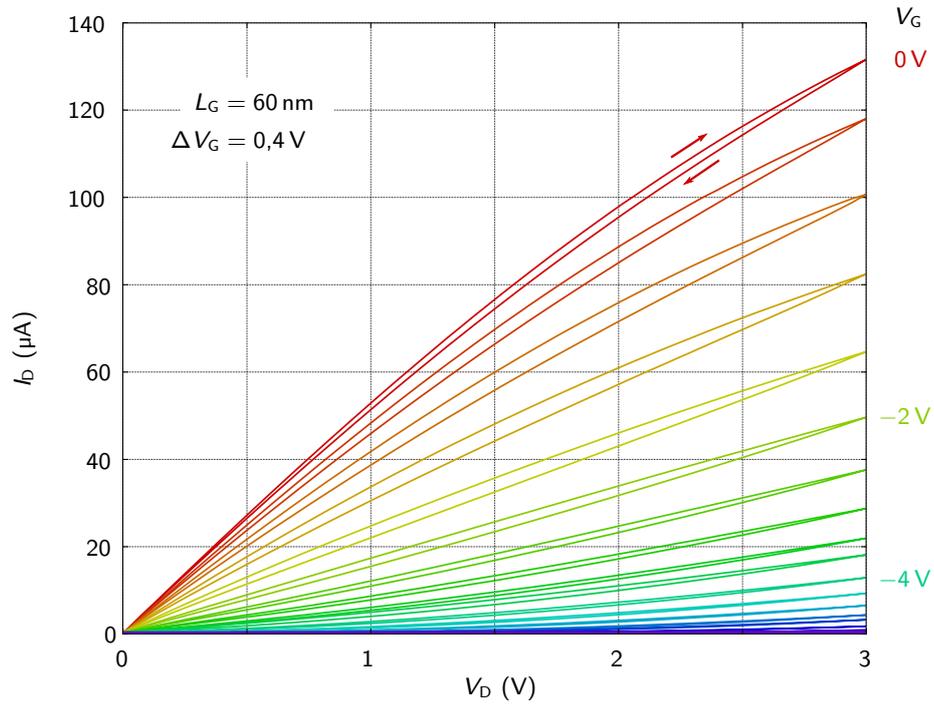


Abbildung 6.5: Drain-Source-Charakteristik eines $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs mit 60 nm Gatelänge.

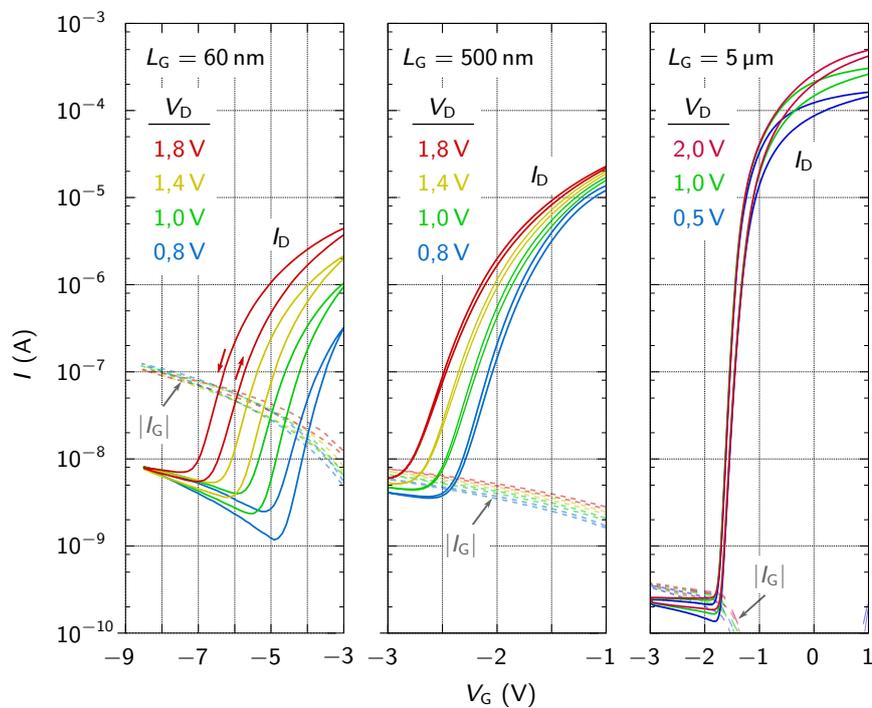


Abbildung 6.6: Transfercharakteristiken und Gateströme der drei Gatelängen-Regime.

Diskussion

Die Messergebnisse belegen, dass die in Kapitel 5 beschriebenen Veränderungen im Transportverhalten der Bauelemente systematisch auf die Verringerung der Gatelänge zurückzuführen sind. Hierbei ähneln die charakteristischen Änderungen der $I_D(V_D)$ -Krümmung, des Sättigungsverhaltens und der Schwellenspannung bekannten Kurz-Kanal-Effekten von Halbleiter-FETs.

Die Gateströme (Abb. 6.6) sind geringer als 10^{-8} A bei $V_G = -3$ V und etwa 10^{-7} A bei $V_G = -9$ V (was bereits einem gewaltigen Gatefeld von $E \sim 10$ MV/cm entspricht) und können für die folgende Diskussion außer Acht gelassen werden.

Die in Abbildung 6.3 gezeigten Drain-Source-Charakteristiken des $L_G = 5$ μm FETs zeigen noch nahezu perfektes Lang-Kanal-Verhalten, wie es von Transistoren mit mehreren zehn Mikrometern Gatelänge bekannt ist. Wie in der rechten Darstellung von Abbildung 6.6 zu erkennen ist, liegt die Schwellenspannung bei etwa $V_{th} = -1,5$ V und damit im typischen Bereich für $\text{LaAlO}_3/\text{SrTiO}_3$ -Lang-Kanal-Bauelemente. Darüber hinaus zeigt sie keine Abhängigkeit von V_D . Es sind allerdings bereits leichte Steigungen in den Sättigungsbereichen der Ausgangskurven (Abb. 6.3) erkennbar, die auf das Einsetzen von Kanallängen-Modulation hindeuten.

Im Gegensatz hierzu weisen die $I_D(V_D)$ -Charakteristiken des $L_G = 500$ nm FETs (Abb. 6.4) als klares Indiz für Kanallängen-Modulation deutlich größere Steigungen im vormaligen Sättigungsbereich [$V_D > (V_G - V_{th})$] auf. Dennoch sind diese Abschnitte noch gut durch einen Übergang von den klassischen linearen Bereichen [$V_D \ll (V_G - V_{th})$] der Kurven unterscheidbar. Ein möglicherweise äquidistantes Sättigen der Drainströme, was auf Geschwindigkeitssättigung der Ladungsträger hinweisen würde, ist aufgrund der endlichen Steigungen der Kurven nicht erkennbar. Klar ersichtlich hingegen ist eine Aufwärtskrümmung der $I_D(V_D)$ -Kurven (Abb. 6.4) für niedrige Gatespannungen ($V_G \leq -1,4$ V), analog zum Effekt der Drain-induzierten Barrieresenkung. Darüber hinaus zeigen die Transferkurven (Abb. 6.6, Mitte) eine signifikante Verringerung der Schwellenspannung ($V_{th} < -2$ V) sowie eine einsetzende Abhängigkeit dieser von V_D . Beides entspricht in der Symptomatik einem zunehmenden Einfluss der Kontakt-Raumladungszonen, wie es von konventionellen Halbleitern bekannt ist.

Das Verhalten des $L_G = 60$ nm FETs ist von Kanallängen-Modulation dominiert. Die Drain-Source-Kurven zeigen keinerlei Sättigungsverhalten und der Übergang (bei $V_D \approx V_G - V_{th}$) zwischen den charakteristischen Abschnitten ist kaum mehr erkennbar. Außerdem weist auch diese Kurvenschar eine deutliche Aufwärtskrümmung für niedrige Gatespannungen ($V_G < -2,4$ V) auf. Wie der linke Teil von Ab-

bildung 6.6 zeigt, ist die Herabsetzung der Schwellenspannung nun erheblich, ebenso wie deren Abhängigkeit von V_D . Das Öffnen des Kanals für steigende Drain-Source-Spannungen – trotz erheblicher negativer Gatespannung, beeinflusst die Qualität des Aus-Zustands. Dieser ist für die Bauelemente mit $L_G = 500$ nm und $L_G = 60$ nm etwa eine Größenordnung weniger resistiv als für den $L_G = 5$ μm FET. Gleichzeitig zeigen die $L_G = 500$ nm und $L_G = 60$ nm Bauelemente wegen anteilig höherer parasitärer Widerstände durch Zuleitungen (vgl. Tab. 6.1) geringere Drainströme im An-Zustand. Beide Effekte sorgen dafür, dass das An/Aus-Verhältnis des $L_G = 60$ nm FETs ($\sim 10^3$) deutlich geringer ausfällt als jenes des $L_G = 5$ μm Transistors ($\sim 10^6$).

6.4 Tieftemperaturverhalten

Bei der Untersuchung des Tieftemperaturverhaltens mehrerer Bauelemente zeigten sich wiederholt unerwartete und im Folgenden beschriebene Auffälligkeiten. Diese Experimente gehen über den Rahmen meiner Arbeit hinaus und die Präsentation der Messdaten und Analysen soll der Anregung eines Projekts zur weiteren experimentellen Untersuchung des Phänomens dienen.

Messungen

Die Durchführung der Messungen erfolgte unter Verwendung eines *PPMS* (Quantum Design) und externer Hardware (Keithley 2612B). Sie wurden im Abstand mehrerer Wochen durchgeführt, wobei die Probe jeweils vor Einbau in Dunkelheit lagerte, um Einflüsse von Fotoladungsträgern zu vermeiden. Darüber hinaus geschah das Durchfahren des Temperaturbereichs aufsteigend und nach großzügiger Verweildauer (typischerweise 2 Stunden) auf der Basistemperatur ($T_{\text{Basis}} = 2$ K), um Verzögerungseffekte zu vermeiden. Die vermessenen FETs wurden aus dem oberen Gatelängen-Regime ($L_G = 5$ μm und $L_G = 2$ μm) gewählt, da für das Experiment ein großes An/Aus-Verhältnis angestrebt wurde. Ausgangspunkt der Datenanalyse sind im Bereich $2\text{ K} \leq T \leq 150\text{ K}$ aufgenommene Transferkurven der Transistoren. Aus ihnen wurden der *subthreshold swing* ($S_{\text{s-th}}$) sowie die Schwellenspannung der Bauelemente errechnet und in Abbildung 6.7 temperaturabhängig aufgetragen. Abbildung 6.8 zeigt darüber hinaus Mobilität (μ_{eff}) und Sättigungsgeschwindigkeit (v_{sat}) im Bereich von 5 K bis Raumtemperatur. Diese Daten wurden unter Verwendung von Gleichung 2.16 aus dem Transferverhalten eines $L_G = 2$ μm FETs extrahiert. Bei dieser Gatelänge ähneln die Charakteristiken noch hinreichend dem Lang-Kanal-Verhalten, sodass sich wichtige Parameter mit den zur Verfügung

stehenden Gleichungen extrahieren lassen. Gleichzeitig können jedoch auch bereits Kurz-Kanal-Effekte untersucht werden.

Diskussion

Die in Abbildung 6.7 aufgetragenen Daten zeigen in mehreren Belangen unerwartetes Verhalten. Für konventionelle Halbleiter-FETs folgt $S_{s\text{-th}}$ der in Abschnitt 2.3 beschriebenen Charakteristik

$$S_{s\text{-th}} = \ln(10) \frac{k_B T}{e} \quad (2.10)$$

und verschwindet folglich für $T \rightarrow 0$. Bei den Messungen hingegen scheint sich $S_{s\text{-th}}$ jeweils einem von Null verschiedenen Wert anzunähern. Für Temperaturen über ~ 60 K hingegen verhalten sich $S_{s\text{-th}}$ und V_{th} erwartungsgemäß. Die aus Gleichung 2.10 berechnete Steigung

$$\frac{\partial S_{s\text{-th}}}{\partial T} = \ln(10) \frac{k_B}{e} \approx 0,198 \frac{\text{mV/dec}}{\text{K}} \quad (6.1)$$

stimmt sehr genau mit den angeftteten Werten (Abb. 6.7a und 6.7b) überein. Auch die Änderung der Schwellenspannung ist in diesem Temperaturbereich durchaus mit Literaturangaben von Halbleiterbauelementen vereinbar [75].

Für $T < 60$ K hingegen zeigen sich Abweichungen. Von höheren Temperaturen kommend, scheint sich $S_{s\text{-th}}$ zunächst zu stabilisieren, um anschließend bis zur Basistemperatur der Messung umso schneller zu fallen. Gleichzeitig erreicht V_{th} zunächst ein Maximum, fällt auf ein Zwischentief ab und steigt dann bei Annäherung an die Basistemperatur wieder leicht an. Dieses nichtmonotone Verhalten ist überraschend, zumal sich weder in der Mobilität (Abb. 6.8a) noch in der Sättigungsgeschwindigkeit (Abb. 6.8b) Auffälligkeiten in diesem Temperaturbereich zeigen. Typischerweise folgt die Mobilität im oberen Temperaturbereich einem Potenzgesetz:

$$\mu_{\text{eff}} \propto T^\alpha.$$

Der aus dem Fit in Abbildung 6.8a errechnete Exponent $\alpha = -2,8$ liegt deutlich unter denen typischer MOSFET Materialien (Tab. 6.2). Er ist allerdings konsistent mit Messungen an HEMTs [76]. Unklar ist der mobilitätsmindernde Einfluss von der Streuung an Defekten. Im Falle von konventionellen Halbleitern hat dieser Term zwar einen positiven Temperaturexponenten ($\alpha = 3/2$) [77], allerdings beinhaltet das Modell nicht die – im Fall von SrTiO_3 beträchtliche – Temperaturabhängigkeit der Dielektrizität [78].

Diese scheint sich zumindest erheblich auf die Sättigungsgeschwindigkeit (Abb. 6.8b) der Ladungsträger auszuwirken. Sie liegt bei den vermessenen Bauelementen etwa

6.4 Tieftemperaturverhalten

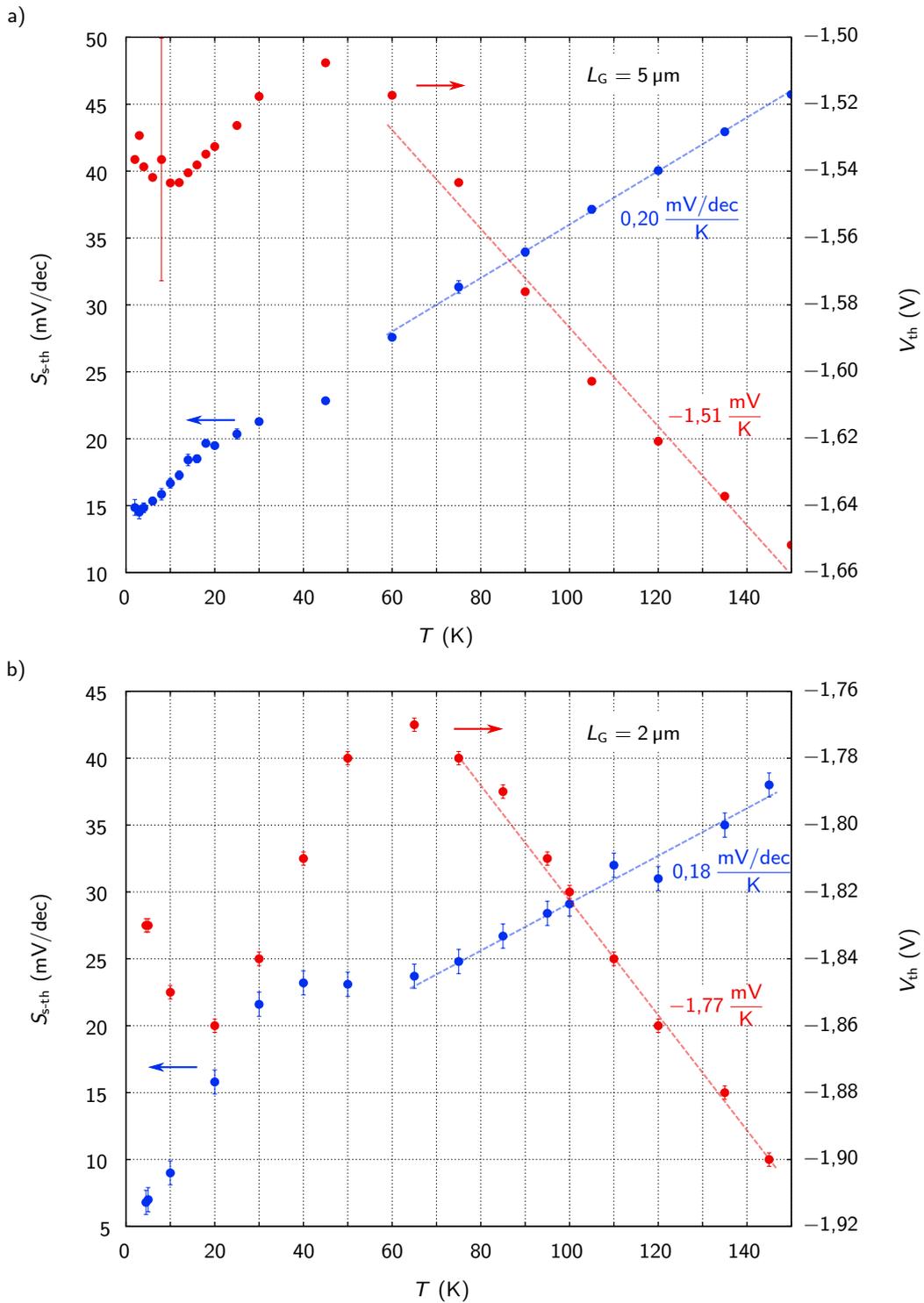


Abbildung 6.7: Temperaturabhängigkeit des *subthreshold swing* (S_{s-th}) und der Schwellenspannung (V_{th}) zweier FETs mit Gatelängen von $L_G = 5 \mu\text{m}$ (a) und $L_G = 2 \mu\text{m}$ (b). Die Daten wurden aus temperaturabhängig gemessenen Transferkurven der Bauelemente errechnet. Die Fehlerbalken zeigen die Standardabweichung der Fitroutine.

6 Feldeffekt-Bauelemente mit drei Kontakten

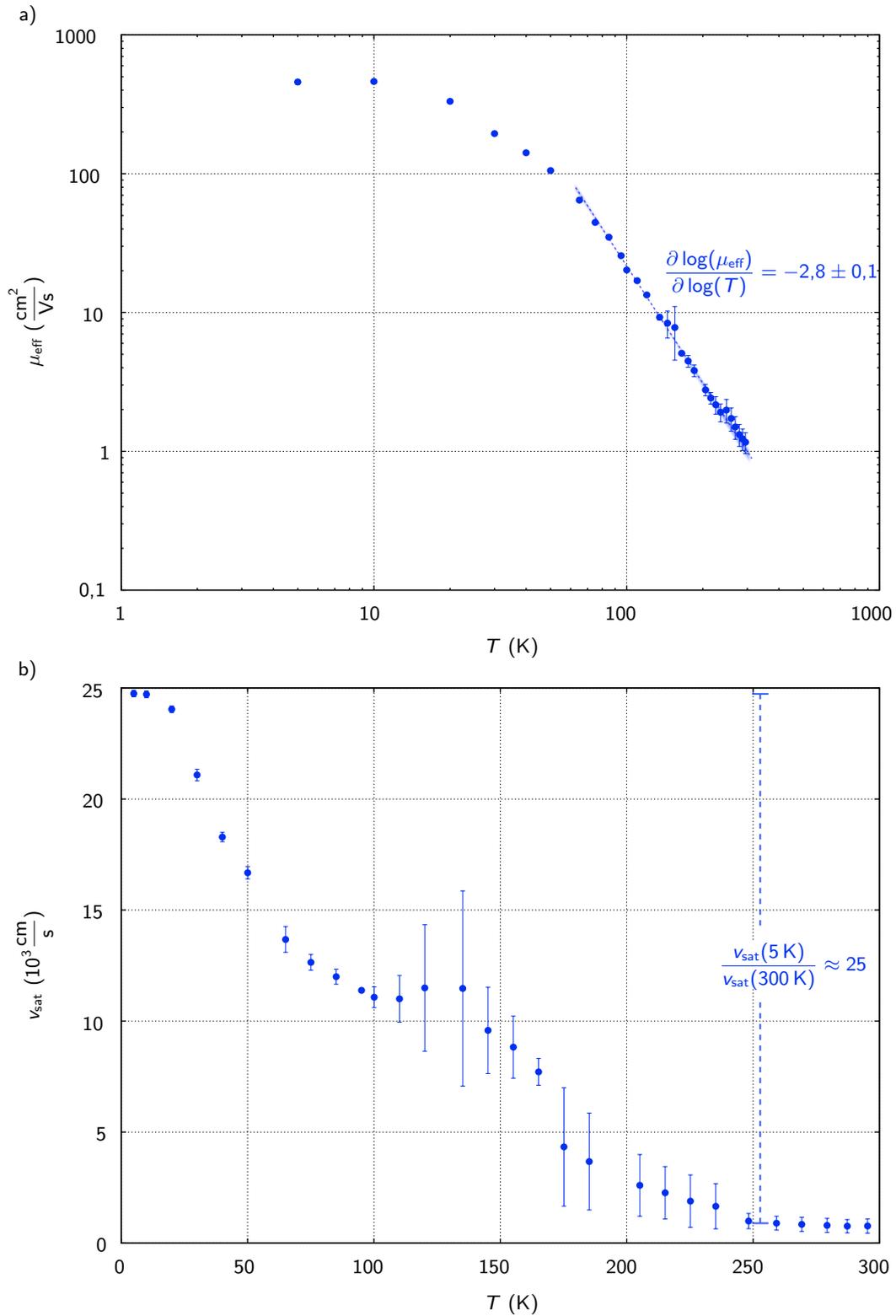


Abbildung 6.8: Temperaturabhängigkeit der Mobilität (a) und der Sättigungsgeschwindigkeit (b) eines FETs mit Gatelänge $L_G = 2 \mu\text{m}$. Die Daten wurden aus temperaturabhängig gemessenen Transferkurven errechnet. Eine quantitative Angabe der Ungenauigkeit in den extrahierten Datenpunkten ist aufgrund der Fit-Eigenschaften nur bedingt möglich. Die Fehlerbalken repräsentieren den Einfluss der Fit-Intervall-Grenzen auf den jeweils extrahierten Parameter.

Tabelle 6.2: Zusammenstellung von Exponenten im Mobilität-Temperatur-Gesetz für MOSFETs verschiedener Materialien. (Nach [79])

MOSFET-Material	Si	Ge	GaAs
Exponent α	-2,4	-1,7	-1,0

drei Größenordnungen unter typischen Halbleiterwerten (Si: $v_{\text{sat}} \lesssim 10^7 \text{ cm/s}$ [45]). Während sie bei Halbleitern jedoch nur eine schwache Temperaturabhängigkeit (typischerweise einige 10 %) zwischen Raumtemperatur und 4 K [45] aufweist, steigt die Sättigungsgeschwindigkeit im SrTiO₃ bei dieser Abkühlung um mehr als eine Größenordnung. Bemerkenswerterweise ähnelt der Verlauf von v_{sat} im unteren Temperaturbereich (insbesondere das Absättigen der Kurve für $T \rightarrow 0$) stark dem der Dielektrizitätskonstanten [80]. Aufgrund dieser Ähnlichkeit, dem geringen Absolutwert und der ungewöhnlich starken Temperaturabhängigkeit der Sättigungsgeschwindigkeit ist zu vermuten, dass – anders als bei konventionellen Halbleiterbauelementen – nicht die Emission optischer Phononen, sondern vielmehr Streuung an geladenen Defekten für v_{sat} ausschlaggebend ist.

Im Folgenden soll abgeschätzt werden, in welcher Größenordnung eine durch optische Phononen beschränkte Sättigungsgeschwindigkeit für LaAlO₃/SrTiO₃-Bauelemente läge, ließen sich andere Einflüsse unterdrücken. Aus Gleichsetzung der Phonon-Energie (E_{Ph}) und der kinetischen Energie der Ladungsträger folgt für die Sättigungsgeschwindigkeit:

$$v_{\text{sat}} = \sqrt{\frac{2E_{\text{Ph}}}{m^*}}.$$

Durch Einsetzen der LO1 Mode ([81–86]) mit $E_{\text{Ph}} \approx 0,02 \text{ eV}$ als geringste Optische-Phonon-Energie ergibt sich – abhängig von der effektiven Masse (m^*) – eine Sättigungsgeschwindigkeit im Bereich

$$v_{\text{sat}} \sim 10^6 - 10^7 \frac{\text{cm}}{\text{s}}.$$

Von phononischer Seite betrachtet, könnte sich die Sättigungsgeschwindigkeit in oxidischen Bauelementen also durchaus mit modernen Halbleitern messen. Mit neuen, verbesserten Verfahren zur Herstellung deutlich reinerer oxidischer Einkristalle (beispielsweise der hier verwendeten SrTiO₃-Substrate) ließe sich überprüfen, ob – wie hier vermutet – Defekte als Einfluss auf die Sättigungsgeschwindigkeit dominieren.

6.5 Zusammenfassung

Aus den Untersuchungen der 3-Kontakt-Bauelemente geht hervor, dass auch oxidische Materialsysteme – trotz wesentlicher Unterschiede im Transport- und Schaltmechanismus – Kurz-Kanal-Effekte ganz ähnlich denen in Halbleitersystemen zeigen. Die Sättigungseigenschaften leiden für abnehmende Gatelängen unter Kanallängen-Modulation. Für höhere Drain-Source-Spannungen zeigen die Ausgangskennlinien sogar ein aufwärts-gekrümmtes Verhalten, analog zum Effekt der Drain-induzierten Barrieresenkung bei Kurz-Kanal-Halbleiterbauelementen. Diese zeigt sich auch in den Transferkurven, deren Schwellenspannung für kleine Gatelängen zunehmende Abhängigkeit vom Drainpotential aufweist. Darüber hinaus sorgen die Raumladungszonen um die Source/Drain-Kontakte für eine Herabsenkung der Schwellenspannung bei Verringerung der Kanallänge. Diese Abweichungen vom lehrbuchhaften Lang-Kanal-Verhalten der $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs geschieht im Bereich von $L_G \lesssim 1 \mu\text{m}$. Auch hierin ähneln sie ihren konventionellen Verwandten.

Es ist erstmalig gelungen, Topgate- $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs mit Gatelängen von lediglich 60 nm herzustellen und zu charakterisieren. Die REM-Analyse der Bauelemente zeigt deutlich, dass die Definitionstreu dieser Strukturen weitere Skalierungsschritte zuließe. Ein besonderes Augenmerk sollte bei weiterführenden Projekten auf den parasitären Zuleitungswiderständen liegen, da diese sich negativ auf die elektrischen Transporteigenschaften der Transistoren auswirken. Um diese Widerstände zu reduzieren, sollten die Metallkontakte möglichst nah an die Gate-Elektrode heranreichen. Andererseits ist hierdurch ein verstärkter Einfluss der Raumladungszonen der Kontakte auf den Kanal und somit ein weiterer Abfall der Schwellenspannung zu erwarten. Dies kann möglicherweise durch geeignete Wahl des Kontaktmetalls (Ti) bezüglich dessen Austrittsarbeit kompensiert werden. Teile dieses Projekts wurden in Referenz [59] publiziert.

In Ergänzung dieser Arbeit wurde die Temperaturabhängigkeit des Transportverhaltens einiger Transistoren im mittleren Gatelängen-Bereich ($L_G = 2 \mu\text{m}$ und $5 \mu\text{m}$) untersucht. Diese wurden ausgewählt, da ihre Charakteristiken noch hinreichend dem Lang-Kanal-Transport (zur Berechnung der Schwellenspannung und des *subthreshold swing*) ähneln, während sich auch bereits Parameter von Kurz-Kanal-Effekten (zumindest bei dem $L_G = 2 \mu\text{m}$ Bauelement), insbesondere die Sättigungsgeschwindigkeit extrahieren lassen. Bis hinab auf etwa 60 K zeigten die Bauelemente ein Verhalten bezüglich Schwellenspannung und *subthreshold swing*, wie man es von konventionellen Halbleitern kennt. Der *subthreshold swing* fiel bei Temperaturverringern mit der, aus der Halbleitertheorie bekannten, minimalen Steigung von etwa $-0,20 \text{ mV}/(\text{dec} \cdot \text{K})$. Bei geringeren Temperaturen hingegen zeigten

sowohl *subthreshold swing* als auch Schwellenspannung Abweichungen vom bisherigen Verlauf. Während ersterer abflacht, um dann für weitere Temperaturverringern umso schneller zu fallen (deutlich steiler, als dies von der Halbleitertheorie zulässig ist), zeigt letztere ein stark nichtmonotones Verhalten, indem sie bei Temperaturverringern ein Maximum, danach ein Minimum und – bei Annäherung an die Basistemperatur von 2 K – einen leichten Anstieg durchläuft. Möglicherweise liegen hier, im Tieftemperaturverhalten der $\text{LaAlO}_3/\text{SrTiO}_3$ -Transistoren, charakteristische Unterschiede zu konventionellen Halbleiterbauelementen verborgen. Weitere Indizien hierzu liefern die temperaturabhängigen Mobilitäts- und Sättigungsgeschwindigkeits-Messungen an einem $L_G = 2 \mu\text{m}$ FET. Die Mobilitätsänderung geschieht etwas steiler ($\mu_{\text{eff}} \propto T^\alpha$, mit $\alpha = -2,8$), als dies von Halbleiter-MOSFETs zu erwarten wäre, jedoch vergleichbar mit der Änderungsrate von HEMTs. Die Sättigungsgeschwindigkeit hingegen, deren temperaturabhängige Änderung typischerweise im Bereich einiger 10 % liegen sollte, steigt um mehr als eine Größenordnung. Dieses ungewöhnliche Verhalten und der – verglichen mit phononisch limitierten Sättigungsgeschwindigkeiten – mehrere Größenordnungen geringere Absolutwert deuten auf einen anderen Begrenzungsmechanismus, möglicherweise die Streuung an geladenen Defekten, hin. Zur Prüfung dieser Theorie bieten sich Kontrollexperimente an FETs auf Proben unterschiedlicher Defektdichte an.

7 Zusammenfassung

Mit diesem Abschnitt möchte ich einen effizienten Einblick in die durchgeführten Projekte und die wichtigsten Resultate ermöglichen. Für einen stufenweisen Anstieg der Detailtiefe sei auf die Zusammenfassungen an den entsprechenden Kapitelenden und danach natürlich auf die Kapitel selbst verwiesen.

Diese Arbeit widmet sich der eingangs aufgeworfenen Frage, ob die Physik oxidischer Grenzflächen genutzt werden kann, um Skalierungsprobleme konventioneller Halbleiterelektronik abzumildern oder zu umgehen. Aufgrund der Breite und Komplexität dieses Themas, habe ich mich auf zwei wesentliche Komponenten der Fragestellung konzentriert. Dies ist einerseits, ob sich oxidische Bauelemente hochintegriert auf Chips realisieren oder sich sogar zu komplexer digitaler Logik vernetzen lassen; andererseits, ob es ähnliche Kurz-Kanal-Effekte wie bei Halbleiterbauelementen gibt, oder möglicherweise unerwartete Eigenschaften bei sehr kleinen Oxid-FETs hervortreten. Als Modellsystem diente das 2D-Elektronensystem der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche.

Die Entwicklung der zur Herstellung geeigneter Proben und Bauelemente benötigten Prozesse stellt einen großen Teil meiner Arbeit dar. Es ist gelungen, diese Prozesse soweit zu optimieren, dass sich mit ihnen *in-situ* erstellte, aufliegende Elektroden sowie im Oxidstapel eingesenkte Metallkontakte mittels Elektronenstrahl-Lithographie zuverlässig im sub-100 nm Bereich strukturieren lassen. Obgleich die Prozesse am $\text{LaAlO}_3/\text{SrTiO}_3$ -System entwickelt wurden, sind sie nicht darauf beschränkt, sondern ohne großen Entwicklungsaufwand auf andere komplexe Oxide übertragbar.

Mit diesen Werkzeugen konnten verschiedene Projekte zur Untersuchung der Integrierbarkeit komplex-oxidischer Bauelemente durchgeführt werden. Es gelang die Herstellung eines VLSI-Chips mit hunderttausenden $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs und Teststrukturen mit charakteristischen Maßen im Submikrometer-Bereich, von denen sich selbst die kleinsten implementierten Bauelemente, mit einer Gatelänge von nur 200 nm, noch schalten ließen. Gleichzeitig gaben sie erste Hinweise auf mögliche Kurz-Kanal-Effekte, da sich das Kennlinienbild der FETs mit geringer Gatelänge vom typischen Lang-Kanal-Verhalten der $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs mit einigen 10 μm Gatelänge unterschied. Die markantesten Veränderungen waren das

7 Zusammenfassung

Ausbleiben der Sättigung in den Source-Drain-Charakteristiken, sowie das deutlich geringere An/Aus-Verhältnis bei den kleinen Bauelementen.

Neben der bloßen Anordnung vieler dicht gepackter Transistoren blieb die Frage nach ihrer Vernetzbarkeit. Letztere stellt mehrere Anforderungen an das verwendete Materialsystem. Einerseits muss die laterale Homogenität der Grenzflächeneigenschaften hinreichend hoch und andererseits das Ausgangssignal der Bauelemente zum Treiben nachgeschalteter FETs geeignet sein. Diese Eigenschaften wurden in zwei Kollaborationen (Universität Stanford, Universität Augsburg) näher untersucht. Der Ladungstransport erwies sich tatsächlich als inhomogen, wenn auch nur bei tiefen Temperaturen und erfolgt bevorzugt in Pfaden entlang der Hauptkristallachsen des (tetragonalen) SrTiO_3 . Für Temperaturen über 45 K waren keine Inhomogenitäten nachweisbar. Im Rahmen der zweiten Kollaboration gelang Rainer Jany (Universität Augsburg) die Vernetzung von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs zu Invertern und sogar die erstmalige Herstellung von Ringoszillatoren aus diesem Materialsystem. Die Projekte belegen die Integrierbarkeit komplex-oxidischer Bauelemente und ebnen, gemeinsam mit den bereitgestellten Prozessierungstechniken, auch anderen Wissenschaftlern den Weg zu diesem Forschungsfeld.

Um der Frage des Kurz-Kanal-Verhaltens von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs nachzugehen, wurden zwei weitere Projekte durchgeführt. Dabei habe ich zunächst den Einfluss wachsender parasitärer Zuleitungswiderstände untersucht, die sich bei der sukzessiven Verkleinerung der Bauelemente aus lithographischen Gründen nicht vermeiden ließen. Zu diesem Zweck wurde das FET-Design um zwei Spannungsabgriffe im Kanal in unmittelbarer Nähe beidseitig der Gate-Elektrode erweitert. Es konnte gezeigt werden, dass sich auf diese Weise zwar die Drain-Source-Spannung normieren lässt, jedoch der Spannungsabfall im Kanal (auf der Sourceseite) eine signifikante und nicht kompensierbare Reduktion der effektiven Gatespannung bewirkt. Bauelemente mit langen Kanalzuleitungen (relativ zur Gatelänge) erleiden daher auf mehrfache Weise eine Reduktion des Drainstroms im An-Zustand.

Im letzten Projekt dieser Arbeit wurden die gewonnenen Erkenntnisse genutzt, um FETs zur Untersuchung möglicher Kurz-Kanal-Effekte herzustellen. Die Gatelängen funktionierender Bauelemente erstreckten sich dabei über drei Größenordnungen, von $L_G = 5 \mu\text{m}$ bis 60 nm, und beinhalten damit die kleinsten publizierten $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs mit aufliegender Gate-Elektrode. Die Transportmessungen offenbaren einen deutlichen Übergang vom Lang-Kanal-Verhalten, wie es von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs mit einigen $10 \mu\text{m}$ Gatelänge bekannt ist, hin zu charakteristischem Kurz-Kanal-Verhalten für $L_G \sim 1 \mu\text{m}$. Kleinere Transistoren zeigten Veränderungen im Transportverhalten, die verschiedenen Kurz-Kanal-Effekten konventioneller Halbleiterbauelemente ähneln. Dazu zählen der Einfluss der Kon-

takt-Raumladungszonen, Kanallängen-Modulation, Drain-induzierte Barrieresenkung und Geschwindigkeitssättigung.

Modelle zu Kurz-Kanal-Effekten in Halbleiter-MOSFETs sind nur sehr bedingt anwendbar, da sie zumeist auf der Degeneration der elektrostatischen npn- (beziehungsweise pnp-) Barriere beruhen und daher nicht die Physik der hier verwendeten Bauelemente widerspiegeln können. Dies gilt insbesondere für das Konzept der Drain-induzierten Barrieresenkung. Die Analyse der Geschwindigkeitssättigung beruht hingegen (in erster Ordnung) nicht auf dem Potentialverlauf im Kanal. Die Sättigungsgeschwindigkeit der Ladungsträger im $\text{LaAlO}_3/\text{SrTiO}_3$ -System ($v_{\text{sat}} \sim 10^3 - 10^4 \text{ cm/s}$) liegt um Größenordnungen unter der konventioneller Halbleiter ($v_{\text{sat}} \lesssim 10^7 \text{ cm/s}$) und zeigt, anders als bei diesen, eine starke Temperaturabhängigkeit. Hierdurch und aufgrund der zugehörigen kinetischen Energie der Ladungsträger scheidet die Anregung optischer Phononen (im Gegensatz zu konventionellen Halbleitern) als Ursache für die Geschwindigkeitssättigung in $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs aus. Ich vermute, dass die Streuung an geladenen Defekten, deren Dichte in den Oxiden typischerweise um Größenordnungen höher ist als bei Halbleiterbauelementen, eine wesentliche Rolle für die relativ geringe Sättigungsgeschwindigkeit spielt. In Kombination mit der stark temperaturabhängigen Dielektrizität des SrTiO_3 könnte dieser Streumechanismus für die erhebliche Temperaturabhängigkeit der Sättigungsgeschwindigkeit verantwortlich sein.

Die temperaturabhängigen Änderungen der Schwellenspannung und des *subthreshold swing* passen bis hinab auf etwa 60 K zum Verhalten konventioneller Halbleiterbauelemente. Für geringere Temperaturen zeigen sich jedoch Abweichungen, deren Ursache nicht bekannt ist. Möglicherweise liegen hier, im Tieftemperaturverhalten der $\text{LaAlO}_3/\text{SrTiO}_3$ -Transistoren, charakteristische Unterschiede zu konventionellen Halbleiterbauelementen verborgen. Eine fortwährende Optimierung des Aufbaus der Bauelemente sowie die Weiterentwicklung der Herstellungsprozesse sind nicht minder für die Erforschung des Potentials oxidischer Elektronik ausschlaggebend, als die Entwicklung theoretischer Konzepte zum besseren Verständnis und zur Simulation komplex-oxidischer Bauelemente. Durch die grundlegend verschiedene Funktionsweise von $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs und solchen aus konventionellen Halbleitern, ergeben sich für die weitere Erforschung der Kurz-Kanal-Effekte in Oxiden zwei Szenarien. Einerseits besteht die Möglichkeit der Entdeckung einer generelleren, gemeinsamen Ursache des Kurz-Kanal-Verhaltens und damit ein tieferes Verständnis der Festkörperelektronik. Andererseits bleibt zu hoffen, dass – trotz ähnlicher Symptomatik – andere Ursachen als bei konventionellen Halbleitern für die Kurz-Kanal-Effekte ausschlaggebend sind und somit weitere Forschung reale Lösungsstrategien zur Überwindung dieser Barrieren hervorbringen kann.

8 Summary

This thesis is dedicated to the question, whether the physics of complex oxide interfaces could be used to mitigate or circumvent the scaling issues known in conventional semiconductor technology. Due to this topic's extent and complexity, I focused on the investigation of two important aspects. First, I explored the ability to densely integrate and possibly interconnect oxide-based devices in order to create more complex digital logic elements. Second, I performed measurements aimed to establish whether short-channel effects, similar to those known from conventional semiconductors, exist, or if unexpected properties emerge in small-scale oxide field-effect transistors (FETs). For this work, the 2D electron system (2DES) at the $\text{LaAlO}_3/\text{SrTiO}_3$ interface was used as a model system.

Since theoretical concepts in semiconductor device physics are applicable to oxide electronics only to a limited degree, it is essential to choose a theoretical model that describes our device's physics reasonably well. I therefore utilized the modulation-doped field-effect transistor (MODFET, also known as high electron mobility transistor HEMT) theory, because it very well reflects the 2D character of the $\text{LaAlO}_3/\text{SrTiO}_3$ interface and does not rely too much on further assumptions in order to describe the fundamental FET characteristics.

A major part of my work has been the development and the optimization of fabrication processes to engineer nanoscopic electronic devices. I successfully implemented *in-situ* deposited top gate electrodes, as well as metal contacts through the oxide stack with lateral resolution in the sub-100 nm regime using electron-beam lithography (EBL). Special features in the marker system make an EBL exposure alignment in the few 10 nm range possible and also allow for optical verification of alignment mismatches well below the refraction limit before further processing of the sample. These methods were developed for $\text{LaAlO}_3/\text{SrTiO}_3$, but are not limited to this system. I am confident they are well adoptable to other complex oxide material systems with minimum effort.

These tools were used in several projects for investigating the integrability of complex oxide field-effect devices. A very large scale (VLSI) chip was fabricated, comprising hundreds of thousands of FETs and other test devices with characteristic feature sizes in the submicrometer range. Even the smallest transistors, with a gate

8 Summary

length of only 200 nm, could still be switched. At the same time, these devices already indicated the possible existence of short-channel effects, as their characteristic curves deviated from the typical long-channel behavior known from $\text{LaAlO}_3/\text{SrTiO}_3$ FETs with several 10 μm gate length. Most significant was the suppressed saturation in the drain-source characteristics, as well as the strongly reduced on/off ratio.

Apart from only densely packing the FETs on a chip, the ability to interconnect them is very important. Before any network of FETs was actually realized, the 2DES's lateral homogeneity was investigated in a collaboration with Stanford University, in order to understand, whether possible lateral fluctuations would allow for reliably interconnecting adjacent FETs. Temperature dependent measurements were performed on $\text{LaAlO}_3/\text{SrTiO}_3$ samples, using a scanning superconducting quantum interference device (SQUID). The unexpected result of these studies is that there are indeed local current distribution inhomogeneities in $\text{LaAlO}_3/\text{SrTiO}_3$ samples at low temperatures [65]. It was discovered, that those currents flow preferably in narrow paths along the (tetragonal) SrTiO_3 's crystal axes. The distribution of these channels at 4 K remains stable over temperature cycles, as long as the critical temperature of the SrTiO_3 's tetragonal-to-cubic transition ($T_c \approx 105$ K) is not reached. If T_c is exceeded, the current paths redistribute.

For the room-temperature experiments on integrated $\text{LaAlO}_3/\text{SrTiO}_3$ circuits, however, these results do not pose a threat, since the local inhomogeneities are only present at low temperatures and could not be observed above 45 K. In a second collaboration, Rainer Jany (University of Augsburg) successfully interconnected $\text{LaAlO}_3/\text{SrTiO}_3$ FETs to form inverters and for the first time experimentally demonstrated ring-oscillators based on this material system [58]. These projects unambiguously prove the integrability of complex oxide devices and, together with the established processing techniques in this work, pave the road for further research in this promising field.

In order to study the short-channel behavior of $\text{LaAlO}_3/\text{SrTiO}_3$ FETs in more depth, I conceptualized and performed two additional projects. First, I investigated the impact of the leads' increasing parasitic resistances, which accompany the downscaling process due to lithographic constraints. For this purpose, I equipped the FET layout with two additional voltage probing contacts to the channel in close proximity to the gate electrode. Hereby the drain-source voltage can be re-normalized, but the voltage drop along the channel (on the source side) results in a significant and non-compensable reduction of the effective gate voltage. Hence, devices with long channel leads (with respect to the gate length) suffer multiply a reduction of the ON-state's drain current.

Second, I used these insights in re-designing and fabricating LaAlO₃/SrTiO₃ FETs for the investigation of possible short-channel effects. The realized gate lengths span three orders of magnitude, from $L_G = 5 \mu\text{m}$ down to $L_G = 60 \text{nm}$ and thus experimentally demonstrate the smallest published LaAlO₃/SrTiO₃ top gate FET [59] at the time of writing.

Electronic transport measurements reveal a clear transition from long-channel behavior, as known from LaAlO₃/SrTiO₃ FETs with several $10 \mu\text{m}$ gate length, to characteristic short-channel behavior for FETs with $L_G \sim 1 \mu\text{m}$. Smaller devices exhibit changes in their electronic transport properties similar to conventional semiconductors' short-channel effects. For decreasing gate lengths, the devices suffer channel length modulation, resulting in non-saturating output characteristic curves. For elevated drain-source voltages, the output curves even bend towards higher drain currents, similar to the effect of drain-induced barrier lowering in short-channel semiconductor FETs. Consistently, the transfer curves reveal an increasing dependence of the threshold voltage on the drain-source voltage for smaller gate lengths. Additionally, the space charge regions around the drain/source contacts cause an overall lowering of the threshold voltage for decreasing gate lengths, as known from the charge sharing effect.

Models on short-channel effects in metal-oxide-semiconductor FETs (MOSFETs) are barely applicable, because they mostly depend on the degeneration of the electrostatic npn- (or pnp-) junction and do not reflect the underlying physics of LaAlO₃/SrTiO₃ devices. This is particularly true for the concept of drain-induced barrier lowering. On the other hand, the analysis of the velocity saturation effect does not depend on the potential distribution within the channel (in a first order approach). The charge carriers' saturation velocity in the LaAlO₃/SrTiO₃ system ($v_{\text{sat}} \sim 10^3 - 10^4 \text{ cm/s}$) is significantly smaller than for conventional semiconductor devices ($v_{\text{sat}} \lesssim 10^7 \text{ cm/s}$). Additionally, v_{sat} in LaAlO₃/SrTiO₃ increases by more than an order of magnitude when cooling the sample from room temperature down to 4 K, whereas for semiconductor devices, it changes only by some ten percent in the same temperature range. Considering the strong temperature dependence in LaAlO₃/SrTiO₃ samples and taking the carriers' kinetic energy into account, optical phonon emission (which is typically responsible for v_{sat} in conventional semiconductors) cannot be the reason for velocity saturation in the current devices. I propose charged-defect scattering as the limiting factor, instead. The density of these defects is very high in most complex oxides compared to semiconductor devices and may explain the relative low value of v_{sat} . Additionally, the strongly temperature dependent dielectricity of SrTiO₃, which reflects the lattice's capability to screen the charged defects, could explain the saturation velocity's exceptional

8 Summary

temperature behavior. Further research is needed to clarify this presumption. Complementing the scope of this thesis, I investigated the electronic transport's temperature dependence of some mid-range gate length FETs ($L_G = 2\ \mu\text{m}$ and $L_G = 5\ \mu\text{m}$). These devices are particularly interesting, because their characteristics still mimic the long-channel transport, while at the same time, they already exhibit short-channel effects (at least the $L_G = 2\ \mu\text{m}$ FET). Until down to approximately 60 K, the devices' threshold voltage and subthreshold swing evolved as expected for conventional semiconductor FETs. The subthreshold swing changed with the minimal possible slope (as known from semiconductors) of about $-0.20\ \text{mV}/(\text{dec} \cdot \text{K})$. At lower temperatures the threshold voltage, as well as the subthreshold swing deviated from the expected behavior, including non-monotonic developments. The low temperature regime possibly still holds some characteristic differences between the $\text{LaAlO}_3/\text{SrTiO}_3$ FETs and devices fabricated from conventional semiconductors. For the future investigation and exploration of oxide materials, a continuous optimization of the fabrication methods will be as important as the development of theoretical concepts to better understand and simulate complex oxide devices. The fundamentally different operation principles of $\text{LaAlO}_3/\text{SrTiO}_3$ FETs and conventional semiconductor devices suggest two relevant future scenarios. On the one hand, it may be possible to find a general and common origin of the short-channel behavior and hence gain a deeper understanding of solid-state electronics. On the other hand there is hope that despite similar symptoms, the underlying physics of short-channel effects in complex oxides and semiconductors have different origins. In that case further research could result in realistic solution strategies to overcome the nanoscopic frontiers.

Veröffentlichungen

1. C. WOLTMANN, T. HARADA, H. BOSCHKER, V. SROT, P. A. VAN AKEN, H. KLAUK, J. MANNHART, Field-Effect Transistors with Submicrometer Gate Lengths Fabricated from LaAlO₃-SrTiO₃-Based Heterostructures, *Phys. Rev. Applied*, **4**, 064003 (2015), doi:10.1103/PhysRevApplied.4.064003
2. B. KALISKY, E. M. SPANTON, H. NOAD, J. R. KIRTLEY, K. C. NOWACK, C. BELL, H. K. SATO, M. HOSODA, Y. XIE, Y. HIKITA, C. WOLTMANN, G. PFANZELT, R. JANY, C. RICHTER, H. Y. HWANG, J. MANNHART, K. A. MOLER, Locally Enhanced Conductivity Due to the Tetragonal Domain Structure in LaAlO₃/SrTiO₃ Heterointerfaces, *Nat. Mater.*, **12**(12), 1091 (2013), doi:10.1038/nmat3753
3. R. JANY, C. RICHTER, C. WOLTMANN, G. PFANZELT, B. FÖRG, M. ROMMEL, T. REINDL, U. WAIZMANN, J. WEIS, J. A. MUNDY, D. A. MULLER, H. BOSCHKER, J. MANNHART, Monolithically Integrated Circuits from Functional Oxides, *Adv. Mater. Interf.*, **1**(1) (2014), doi:10.1002/admi.201300031

Literaturverzeichnis

- [1] G. E. MOORE, Cramming More Components onto Integrated Circuits, *Electronics*, **38**(8), 114 (1965), doi:10.1109/jproc.1998.658762.
- [2] R. H. DENNARD, F. H. GAENSSLEN, H. NIEN YU, V. L. RIDEOUT, E. BAS-SOUS, ANDRE, R. LEBLANC, Design of Ion-Implanted MOSFETs with Very Small Physical Dimensions, *IEEE J. Solid-State Circuits*, **SC-9**, 256 (1974), doi:10.1109/JPROC.1999.752522.
- [3] M. IEONG, V. NARAYANAN, D. SINGH, A. TOPOL, V. CHAN, Z. REN, Transistor Scaling With Novel Materials, *Mater. Today*, **9**(6), 26 (2006), doi:10.1016/S1369-7021(06)71540-1.
- [4] S. E. THOMPSON, S. PARTHASARATHY, Moore's Law: The Future of Si Microelectronics, *Mater. Today*, **9**(6), 20 (2006), doi:10.1016/S1369-7021(06)71539-5.
- [5] D. G. SCHLOM, J. MANNHART, Oxide Electronics: Interface Takes Charge over Si, *Nat. Mater.*, **10**(3), 168 (2011), doi:10.1038/nmat2965.
- [6] H. Y. HWANG, Y. IWASA, M. KAWASAKI, B. KEIMER, N. NAGAOSA, Y. TOKURA, Emergent Phenomena At Oxide Interfaces, *Nat. Mater.*, **11**(2), 103 (2012), doi:10.1038/nmat3223.
- [7] J. NGAI, F. WALKER, C. AHN, Correlated Oxide Physics and Electronics, *Annu. Rev. Mater. Res.*, **44**(1), 1 (2014), doi:10.1146/annurev-matsci-070813-113248.
- [8] Z. YANG, C. KO, S. RAMANATHAN, Oxide Electronics Utilizing Ultrafast Metal-Insulator Transitions, *Annu. Rev. Mater. Res.*, **41**(1), 337 (2011), doi:10.1146/annurev-matsci-062910-100347.
- [9] P. ZUBKO, S. GARIGLIO, M. GABAY, P. GHOSEZ, J.-M. TRISCONI, Interface Physics in Complex Oxide Heterostructures, *Annu. Rev. Condens. Matter Phys.*, **2**(1), 141 (2011), doi:10.1146/annurev-conmatphys-062910-140445.

- [10] R. A. MCKEE, F. J. WALKER, M. F. CHISHOLM, Crystalline Oxides on Silicon: The First Five Monolayers, *Phys. Rev. Lett.*, **81**, 3014 (1998), doi:10.1103/PhysRevLett.81.3014.
- [11] M. TELFORD, Stretching Silicon's Lifespan, *III-Vs Review*, **17**(7), 36 (2004), doi:10.1016/S0961-1290(04)00740-9.
- [12] H. HUFF, D. GILMER (Herausgeber), High Dielectric Constant Materials: VLSI MOSFET Applications, Band 16, (Springer-Verlag Berlin Heidelberg, 2005), 1. Auflage, doi:10.1007/b137574.
- [13] E. PARTON, P. VERHEYEN, Strained Silicon – The Key to Sub-45 nm CMOS, *III-Vs Review*, **19**(3), 28 (2006), doi:10.1016/S0961-1290(06)71590-3.
- [14] J. BEDNORZ, H. SCHEEL, Flame-Fusion Growth of SrTiO₃, *J. Cryst. Growth*, **41**(1), 5 (1977), doi:10.1016/0022-0248(77)90088-4.
- [15] S. A. HAYWARD, F. D. MORRISON, S. A. T. REDFERN, E. K. H. SALJE, J. F. SCOTT, K. S. KNIGHT, S. TARANTINO, A. M. GLAZER, V. SHUVAEVA, P. DANIEL, M. ZHANG, M. A. CARPENTER, Transformation Processes in LaAlO₃: Neutron Diffraction, Dielectric, Thermal, Optical, and Raman Studies, *Phys. Rev. B*, **72**, 054110 (2005), doi:10.1103/PhysRevB.72.054110.
- [16] H. A. WEAKLIEM, W. J. BURKE, V. KORSUN, Optical Properties of SrTiO₃ and LiNbO₃, *R.C.A. Review*, **36**, 149 (1975).
- [17] S.-G. LIM, S. KRIVENTSOV, T. N. JACKSON, J. H. HAENI, D. G. SCHLOM, A. M. BALBASHOV, R. UECKER, P. REICHE, J. L. FREEOUF, G. LUCOVSKY, Dielectric Functions and Optical Bandgaps of High-K Dielectrics for Metal-Oxide-Semiconductor Field-Effect Transistors by Far Ultraviolet Spectroscopic Ellipsometry, *J. Appl. Phys.*, **91**(7), 4500 (2002), doi:10.1063/1.1456246.
- [18] A. OHTOMO, H. Y. HWANG, A High-Mobility Electron Gas at the LaAlO₃/SrTiO₃ Heterointerface, *Nature*, **427**(6973), 423 (2004), doi:10.1038/nature02308.
- [19] N. REYREN, S. THIEL, A. D. CAVIGLIA, L. F. KOURKOUTIS, G. HAMMERL, C. RICHTER, C. W. SCHNEIDER, T. KOPP, A.-S. RÜETSCHI, D. JACCARD, M. GABAY, D. A. MULLER, J.-M. TRISCONE, J. MANNHART, Superconducting Interfaces Between Insulating Oxides, *Science*, **317**(5842), 1196 (2007), doi:10.1126/science.1146006.

- [20] A. BRINKMAN, M. HUIJBEN, M. VAN ZALK, J. HUIJBEN, U. ZEITLER, J. C. MAAN, W. G. VAN DER WIEL, G. RIJNDERS, D. H. A. BLANK, H. HILGENKAMP, Magnetic Effects at the Interface Between Non-Magnetic Oxides, *Nat. Mater.*, **6**(7), 493 (2007), doi:10.1038/nmat1931.
- [21] N. NAKAGAWA, H. Y. HWANG, D. A. MULLER, Why Some Interfaces Cannot be Sharp, *Nat. Mater.*, **5**(3), 204 (2006), doi:10.1038/nmat1569.
- [22] A. SAVOIA, D. PAPARO, P. PERNA, Z. RISTIC, M. SALLUZZO, F. MILETTO GRANOZIO, U. SCOTTI DI UCCIO, C. RICHTER, S. THIEL, J. MANNHART, L. MARRUCCI, Polar Catastrophe and Electronic Reconstructions at the LaAlO₃/SrTiO₃ Interface: Evidence from Optical Second Harmonic Generation, *Phys. Rev. B*, **80**, 075110 (2009), doi:10.1103/PhysRevB.80.075110.
- [23] R. PENTCHEVA, W. E. PICKETT, Avoiding the Polarization Catastrophe in LaAlO₃ Overlayers on SrTiO₃(001) through Polar Distortion, *Phys. Rev. Lett.*, **102**, 107602 (2009), doi:10.1103/PhysRevLett.102.107602.
- [24] J. N. ECKSTEIN, Oxide Interfaces: Watch Out for the Lack of Oxygen, *Nat. Mater.*, **6**(7), 473 (2007), doi:10.1038/nmat1944.
- [25] Z. Q. LIU, C. J. LI, W. M. LÜ, X. H. HUANG, Z. HUANG, S. W. ZENG, X. P. QIU, L. S. HUANG, A. ANNADI, J. S. CHEN, J. M. D. COEY, T. VENKATESAN, ARIANDO, Origin of the Two-Dimensional Electron Gas at LaAlO₃/SrTiO₃ Interfaces: The Role of Oxygen Vacancies and Electronic Reconstruction, *Phys. Rev. X*, **3**, 021010 (2013), doi:10.1103/PhysRevX.3.021010.
- [26] S. THIEL, G. HAMMERL, A. SCHMEHL, C. W. SCHNEIDER, J. MANNHART, Tunable Quasi-Two-Dimensional Electron Gases in Oxide Heterostructures, *Science*, **313**(5795), 1942 (2006), doi:10.1126/science.1131091.
- [27] C. W. SCHNEIDER, S. THIEL, G. HAMMERL, C. RICHTER, J. MANNHART, Microlithography of Electron Gases Formed at Interfaces in Oxide Heterostructures, *Appl. Phys. Lett.*, **89**(12), 122101 (2006), doi:10.1063/1.2354422.
- [28] N. BANERJEE, M. HUIJBEN, G. KOSTER, G. RIJNDERS, Direct Patterning of Functional Interfaces in Oxide Heterostructures, *Appl. Phys. Lett.*, **100**(4), 041601 (2012), doi:10.1063/1.3679379.
- [29] P. P. AURINO, A. KALABUKHOV, N. TUZLA, E. OLSSON, T. CLAESON, D. WINKLER, Nano-Patterning of the Electron Gas at the LaAlO₃/SrTiO₃

- Interface Using Low-Energy Ion Beam Irradiation, *Appl. Phys. Lett.*, **102**(20), 201610 (2013), doi:10.1063/1.4807785.
- [30] S. MATHEW, A. ANNADI, T. K. CHAN, T. C. ASMARA, D. ZHAN, X. R. WANG, S. AZIMI, Z. SHEN, A. RUSYDI, ARIANDO, M. B. H. BREESE, T. VENKATESAN, Tuning the Interface Conductivity of LaAlO₃/SrTiO₃ Using Ion Beams: Implications for Patterning, *ACS Nano*, **7**(12), 10572 (2013), doi:10.1021/nm4028135.
- [31] S. GOSWAMI, E. MULAZIMOGLU, L. M. K. VANDERSYPEN, A. D. CAVIGLIA, Nanoscale Electrostatic Control of Oxide Interfaces, *Nano Lett.*, **15**(4), 2627 (2015), doi:10.1021/acs.nanolett.5b00216.
- [32] A. RON, E. MANIV, D. GRAF, J.-H. PARK, Y. DAGAN, Anomalous Magnetic Ground State in an LaAlO₃/SrTiO₃ Interface Probed by Transport through Nanowires, *Phys. Rev. Lett.*, **113**, 216801 (2014), doi:10.1103/PhysRevLett.113.216801.
- [33] M. BREITSCHAFT, V. TINKL, N. PAVLENKO, S. PAETEL, C. RICHTER, J. R. KIRTLEY, Y. C. LIAO, G. HAMMERL, V. EYERT, T. KOPP, J. MANNHART, Two-Dimensional Electron Liquid State at LaAlO₃-SrTiO₃ Interfaces, *Phys. Rev. B*, **81**, 153414 (2010), doi:10.1103/PhysRevB.81.153414.
- [34] C. CEN, S. THIEL, G. HAMMERL, C. W. SCHNEIDER, K. E. ANDERSEN, C. S. HELLBERG, J. MANNHART, J. LEVY, Nanoscale Control of an Interfacial Metal-Insulator Transition at Room Temperature, *Nat. Mater.*, **7**(4), 298 (2008), doi:10.1038/nmat2136.
- [35] C. CEN, S. THIEL, J. MANNHART, J. LEVY, Oxide Nanoelectronics on Demand, *Science*, **323**(5917), 1026 (2009), doi:10.1126/science.1168294.
- [36] M. HUANG, G. JNAWALI, J.-F. HSU, S. DHINGRA, H. LEE, S. RYU, F. BI, F. GHAHARI, J. RAVICHANDRAN, L. CHEN, P. KIM, C.-B. EOM, B. D'URSO, P. IRVIN, J. LEVY, Electric Field Effects in Graphene/LaAlO₃/SrTiO₃ Heterostructures and Nanostructures, *APL Mater.*, **3**(6), 062502 (2015), doi:http://dx.doi.org/10.1063/1.4916098.
- [37] G. CHENG, M. TOMCZYK, S. LU, J. P. VEAZEY, M. HUANG, P. IRVIN, S. RYU, H. LEE, C.-B. EOM, C. S. HELLBERG, J. LEVY, Electron Pairing without Superconductivity, *Nature*, **521**(7551), 196 (2015), doi:10.1038/nature14398.

- [38] D. F. BOGORIN, P. IRVIN, J. L. C. CEN, LaAlO₃/SrTiO₃-Based Device Concepts, E. Y. TSYMBAL, E. R. A. DAGOTTO, C.-B. EOM, R. RAMESH (Herausgeber), Multifunctional Oxide Heterostructures, Kapitel 13, (Oxford University Press, New York, 2012), 1. Auflage, doi:10.1093/acprof:oso/9780199584123.001.0001.
- [39] K. YOSHIMATSU, R. YASUHARA, H. KUMIGASHIRA, M. OSHIMA, Origin of Metallic States at the Heterointerface between the Band Insulators LaAlO₃ and SrTiO₃, *Phys. Rev. Lett.*, **101**, 026802 (2008), doi:10.1103/PhysRevLett.101.026802.
- [40] R. ARRAS, V. G. RUIZ, W. E. PICKETT, R. PENTCHEVA, Tuning the Two-Dimensional Electron Gas at the LaAlO₃/SrTiO₃(001) Interface by Metallic Contacts, *Phys. Rev. B*, **85**, 125404 (2012), doi:10.1103/PhysRevB.85.125404.
- [41] R. PENTCHEVA, R. ARRAS, K. OTTE, V. G. RUIZ, W. E. PICKETT, Termination Control of Electronic Phases in Oxide Thin Films and Interfaces: LaAlO₃/SrTiO₃(001), *Philos. Trans. R. Soc. London, Ser. A*, **370**(1977), 4904 (2012), doi:10.1098/rsta.2012.0202.
- [42] M. SALLUZZO, Electronic Reconstruction at the Interface Between Band Insulating Oxides: The LaAlO₃/SrTiO₃ system, *arXiv:1409.3098 [cond-mat.mtrl-sci]* (2014), <http://arxiv.org/pdf/1409.3098>, letzter Zugriff: 25.01.2016.
- [43] B. FÖRG, C. RICHTER, J. MANNHART, Field-Effect Devices Utilizing LaAlO₃-SrTiO₃ Interfaces, *Appl. Phys. Lett.*, **100**(5), 053506 (2012), doi:10.1063/1.3682102.
- [44] E. DI GENNARO, U. COSCIA, G. AMBROSONE, A. KHARE, F. M. GRANOZIO, U. S. DI UCCIO, Photoresponse Dynamics in Amorphous-LaAlO₃/SrTiO₃ Interfaces, *Sci. Rep.*, **5**, 8393 (2015), doi:10.1038/srep08393.
- [45] S. M. SZE, K. K. NG, Physics of Semiconductor Devices, (John Wiley & Sons, Inc. Hoboken, New Jersey, 2007), 3. Auflage, doi:10.1002/0470068329.
- [46] S. ROBERTS, Dielectric and Piezoelectric Properties of Barium Titanate, *Phys. Rev.*, **71**, 890 (1947), doi:10.1103/PhysRev.71.890.
- [47] Y. C. LIAO, T. KOPP, C. RICHTER, A. ROSCH, J. MANNHART, Metal-Insulator Transition of the LaAlO₃-SrTiO₃ Interface Electron System, *Phys. Rev. B*, **83**, 075402 (2011), doi:10.1103/PhysRevB.83.075402.

- [48] A. CHAUDHRY, M. KUMAR, Controlling Short-Channel Effects in Deep-Submicron SOI MOSFETs for Improved Reliability: A Review, *IEEE Trans. Device Mater. Reliab.*, **4**(1), 99 (2004), doi:10.1109/TDMR.2004.824359.
- [49] H. POON, L. YAU, R. JOHNSTON, D. BEECHAM, DC Model for Short-Channel IGFET's, Electron Devices Meeting, 1973 International, Band 19, 156–159 (1973), doi:10.1109/IEDM.1973.188673.
- [50] L. YAU, A Simple Theory to Predict the Threshold Voltage of Short-Channel IGFET's, *Solid-State Electron.*, **17**(10), 1059 (1974), doi:10.1016/0038-1101(74)90145-2.
- [51] Y. TAUR, G. HU, R. DENNARD, L. TERMAN, C.-Y. TING, K. PETRILLO, A Self-Aligned 1 μm -Channel CMOS Technology with Retrograde n-Well and Thin Epitaxy, *IEEE Trans. Electron Devices*, **32**(2), 203 (1985), doi:10.1109/T-ED.1985.21930.
- [52] R. TROUTMAN, VLSI Limitations from Drain-Induced Barrier Lowering, *IEEE J. Solid-State Circuits*, **14**(2), 383 (1979), doi:10.1109/JSSC.1979.1051189.
- [53] D. M. CAUGHEY, R. THOMAS, Carrier Mobilities in Silicon Empirically Related to Doping and Field, *Proc. IEEE*, **55**(12), 2192 (1967), doi:10.1109/PROC.1967.6123.
- [54] G. TAYLOR, Velocity-Saturated Characteristics of Short-Channel MOSFETs, *Bell Labs Tech. J.*, **63**(7), 1325 (1984), doi:10.1002/j.1538-7305.1984.tb00039.x.
- [55] C. SODINI, P.-K. KO, J. MOLL, The Effect of High Fields on MOS Device and Circuit Performance, *IEEE Trans. Electron Devices*, **31**(10), 1386 (1984), doi:10.1109/T-ED.1984.21721.
- [56] ESPACER, kommerziell erhältliche wässrige Dispersion zur Erzeugung dünner leitender Filme auf Probenoberflächen zur Verhinderung negativer Einflüsse von Aufladungseffekten bei der Elektronenstrahl-Lithographie, <http://www.sds.com.sg/products/electronics/espacer/>, letzter Zugriff: 25.01.2016.
- [57] LayoutBeamer, Software zur Erstellung, Bearbeitung, Optimierung (z. B. *Proximity-Effect-Korrektur*), etc. von (Elektronenstrahl-Lithographie) Strukturen und Layouts, GenISys GmbH, <http://genisys-gmbh.com>, letzter Zugriff: 25.01.2016.

- [58] R. JANY, C. RICHTER, C. WOLTMANN, G. PFANZELT, B. FÖRG, M. ROMMEL, T. REINDL, U. WAIZMANN, J. WEIS, J. A. MUNDY, D. A. MULLER, H. BOSCHKER, J. MANNHART, Monolithically Integrated Circuits from Functional Oxides, *Adv. Mater. Interf.*, **1**(1) (2014), doi:10.1002/admi.201300031.
- [59] C. WOLTMANN, T. HARADA, H. BOSCHKER, V. SROT, P. A. VAN AKEN, H. KLAUK, J. MANNHART, Field-Effect Transistors with Submicrometer Gate Lengths Fabricated from LaAlO₃-SrTiO₃-Based Heterostructures, *Phys. Rev. Applied*, **4**, 064003 (2015), doi:10.1103/PhysRevApplied.4.064003.
- [60] ZEP-520A, ZEON, <http://www.zeonchemicals.com/ElectronicMaterials/>, letzter Zugriff: 25.01.2016.
- [61] CSAR-62, ALLRESIST GmbH, <http://www.allresist.com/csar-62-ar-p-6200/>, letzter Zugriff: 25.01.2016.
- [62] Crystec GmbH, <http://www.crystec.de/>, letzter Zugriff: 25.01.2016.
- [63] J. A. BERT, B. KALISKY, C. BELL, M. KIM, Y. HIKITA, H. Y. HWANG, K. A. MOLER, Direct Imaging of the Coexistence of Ferromagnetism and Superconductivity at the LaAlO₃/SrTiO₃ interface, *Nat. Phys.*, **7**(10), 767 (2011), doi:10.1038/nphys2079.
- [64] B. KALISKY, J. A. BERT, B. B. KLOPFER, C. BELL, H. K. SATO, M. HOSODA, Y. HIKITA, H. Y. HWANG, K. A. MOLER, Critical Thickness for Ferromagnetism in LaAlO₃/SrTiO₃ Heterostructures, *Nat. Commun.*, **3**, 922 (2012), doi:10.1038/ncomms1931.
- [65] B. KALISKY, E. M. SPANTON, H. NOAD, J. R. KIRTLEY, K. C. NOWACK, C. BELL, H. K. SATO, M. HOSODA, Y. XIE, Y. HIKITA, C. WOLTMANN, G. PFANZELT, R. JANY, C. RICHTER, H. Y. HWANG, J. MANNHART, K. A. MOLER, Locally Enhanced Conductivity Due to the Tetragonal Domain Structure in LaAlO₃/SrTiO₃ Heterointerfaces, *Nat. Mater.*, **12**(12), 1091 (2013), doi:10.1038/nmat3753.
- [66] P. D. EERKES, Top-Gating of the Two-Dimensional Electron Gas at Complex Oxide Interfaces, Dissertation, Universität Twente (2014), doi:10.3990/1.9789036536554.
- [67] J.-L. MAURICE, C. CARRÉTÉRO, M.-J. CASANOVE, K. BOUZEHOANE, S. GUYARD, É. LARQUET, J.-P. CONTOUR, Electronic Conductivity and Structural Distortion at the Interface between Insulators SrTiO₃ and LaAlO₃, *Phys. Status Solidi A*, **203**(9), 2209 (2006), doi:10.1002/pssa.200566033.

- [68] M. HUANG, F. BI, C.-W. BARK, S. RYU, K.-H. CHO, C.-B. EOM, J. LEVY, Non-Local Piezoresponse of $\text{LaAlO}_3/\text{SrTiO}_3$ Heterostructures, *Appl. Phys. Lett.*, **104**(16), 161606 (2014), doi:10.1063/1.4873125.
- [69] E. TAKEDA, N. SUZUKI, An Empirical Model for Device Degradation Due to Hot-Carrier Injection, *IEEE Electron Device Lett.*, **4**(4), 111 (1983), doi:10.1109/EDL.1983.25667.
- [70] C. HU, S. C.TAM, F.-C. HSU, P.-K. KO, T.-Y. CHAN, K. TERRILL, Hot-Electron-Induced MOSFET Degradation – Model, Monitor, and Improvement, *IEEE Trans. Electron Devices*, **32**(2), 375 (1985), doi:10.1109/T-ED.1985.21952.
- [71] P. HEREMANS, R. BELLENS, G. GROESENEKEN, H. MAES, Consistent Model for the Hot-Carrier Degradation in n-Channel and p-Channel MOSFETs, *IEEE Trans. Electron Devices*, **35**(12), 2194 (1988), doi:10.1109/16.8794.
- [72] D. J. DIMARIA, J. W. STASIAK, Trap Creation in Silicon Dioxide Produced by Hot Electrons, *J. Appl. Phys.*, **65**(6), 2342 (1989), doi:10.1063/1.342824.
- [73] H. WONG, Y. CHENG, Modeling of Hot-Electron-Induced Characteristic Degradations for n-Channel MOSFETs, *Solid-State Electron.*, **36**(10), 1469 (1993), doi:10.1016/0038-1101(93)90056-V.
- [74] H. WONG, Y. C. CHENG, Generation of Interface States at the Silicon/Oxide Interface Due to Hot-Electron Injection, *J. Appl. Phys.*, **74**(12), 7364 (1993), doi:10.1063/1.355004.
- [75] I. FILANOVSKY, A. ALLAM, Mutual Compensation of Mobility and Threshold Voltage Temperature Effects with Applications in CMOS Circuits, *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.*, **48**(7), 876 (2001), doi:10.1109/81.933328.
- [76] P. H. LANDBROOKE, GaAs MESFETs and High Mobility Transistors (HEMT), H. THOMAS, D. V. MORGAN, B. THOMAS, J. E. AUBREY, G. B. MORGAN (Herausgeber), Gallium Arsenide for Devices and Integrated Circuits, (Peregrinus, 1986).
- [77] H. IBACH, H. LÜTH, Solid-State Physics, An Introduction to Principles of Materials Science, (Springer Berlin Heidelberg, 2009), doi:10.1007/978-3-540-93804-0.

- [78] H. E. WEAVER, Dielectric Properties of Single Crystals of SrTiO₃ at Low Temperatures, *J. Phys. Chem. Solids*, **11**(3), 274 (1959), doi:10.1016/0022-3697(59)90226-4.
- [79] B. V. ZEGHBROECK, Principles of Semiconductor Devices, (University of Colorado, 2007), <http://ecee.colorado.edu/~bart/book/>, letzter Zugriff: 25.01.2016.
- [80] K. A. MÜLLER, H. BURKARD, SrTiO₃: An Intrinsic Quantum Paraelectric Below 4K, *Phys. Rev. B*, **19**, 3593 (1979), doi:10.1103/PhysRevB.19.3593.
- [81] W. G. SPITZER, R. C. MILLER, D. A. KLEINMAN, L. E. HOWARTH, Far Infrared Dielectric Dispersion in BaTiO₃, SrTiO₃, and TiO₂, *Phys. Rev.*, **126**, 1710 (1962), doi:10.1103/PhysRev.126.1710.
- [82] R. A. COWLEY, Lattice Dynamics and Phase Transitions of Strontium Titanate, *Phys. Rev.*, **134**, A981 (1964), doi:10.1103/PhysRev.134.A981.
- [83] H. P. R. FREDERIKSE, W. R. HOSLER, Hall Mobility in SrTiO₃, *Phys. Rev.*, **161**, 822 (1967), doi:10.1103/PhysRev.161.822.
- [84] J. L. SERVOIN, Y. LUSPIN, F. GERVAIS, Infrared Dispersion in SrTi₃ at High Temperature, *Phys. Rev. B*, **22**, 5501 (1980), doi:10.1103/PhysRevB.22.5501.
- [85] H. VOGT, Hyper-Raman Tensors of the Zone-Center Optical Phonons in SrTiO₃ and KTaO₃, *Phys. Rev. B*, **38**, 5699 (1988), doi:10.1103/PhysRevB.38.5699.
- [86] H. BOSCHKER, C. RICHTER, E. FILLIS-TSIRAKIS, C. W. SCHNEIDER, J. MANNHART, Electron-Phonon Coupling and the Superconducting Phase Diagram of the LaAlO₃-SrTiO₃ Interface, *Sci. Rep.*, **5**, 12309 (2015), doi:10.1038/srep12309.

Danksagung

Schnell dahin geschrieben sind oft flüchtige Worte des Dankes und mehr aus Diplomatie als aus echter Dankbarkeit.

*Wen die Dankbarkeit geniert,
Der ist übel dran;
Denke, wer dich erst geführt,
Wer für dich getan!*

(J. W. v. Goethe)

Wahr ist, dass ich diese Arbeit nicht ohne die direkte als auch indirekte Unterstützung einiger bewundernswerter Menschen hätte schaffen können. Viele weitere haben es mir mit Freundschaft, Rat und Tat, einer Engelsgeduld und gelegentlich mit dem richtigen Maß Strenge sehr erleichtert.

Herrn Prof. Dr. Jochen Mannhart danke ich für zehn Jahre. Ich erinnere mich noch gut an die erste Vorlesung bei Ihnen. Ihre euphorische Art und Ihre Fähigkeit zu motivieren und zu begeistern, haben mich fasziniert und faszinieren mich bis heute. Bachelor-, Master- und nun Doktorarbeit; ich danke Ihnen sehr für diese anregende Zeit, die Möglichkeiten, die Inspiration, Ihre Betreuung und Ihr stets offenes Ohr. Ich hätte mir keinen besseren Doktorvater und auch keine bessere Gruppe wünschen können.

Unermesslicher Dank gebührt meinen lieben Eltern, die mich auf meinem Lebens- und Studienweg zu jeder Zeit bedingungslos unterstützt und gefördert haben. Euer Vertrauen, Eure Zuversicht und Eure Rückendeckung haben mir ermöglicht, meinen Weg zu gehen.

Kristina danke ich für jeden einzelnen Tag. Du hast alle Höhen und Tiefen der letzten Jahre mit mir durchschiff. Auch wenn neben der Arbeit nicht immer viel Zeit für Zweisamkeit blieb, hast Du mir stets Auftrieb und neuen Elan gegeben.

Herrn Prof. Dr. Jörg Wrachtrup danke ich für die Bereitschaft zur Erstellung des Zweitgutachtens. Sie haben sich nach nur wenigen Gesprächsminuten entschieden, diese Arbeit auf sich zu nehmen, die naturgegeben mir mehr nützt als Ihnen.

Dafür danke ich Ihnen sehr.

Meinen guten Freunden Georg Pfanzelt, René Berktold, Iman Rastegar und Hans Boschker danke ich aus tausend Anlässen. Die Diskussionen (ob wissenschaftlich oder nicht), die Unterstützung, das Lachen und das Feiern gehören zu den schönsten Erinnerungen an meine Promotionszeit.

Rotraut Merkle danke ich für Ihren aufmerksamen Blick auf den Projektverlauf. Du hast meine Arbeit stets mit großem Interesse verfolgt und warst mir immer eine hilfsbereite und aufgeschlossene Ansprechpartnerin. Dafür möchte ich Dir danken.

Für die ungezählten Male, bei denen ich auf Unterstützung und Wohlwollen hilfsbereiter Kollegen zählen durfte, möchte ich mich ebenfalls bedanken. Jürgen Weis, Sie haben mir den Zugang zu JEOL und Reinraum eröffnet, ohne den meine Arbeit nicht möglich gewesen wäre. Thomas Reindl und Ulrike Waizmann danke ich für die unermüdliche Hilfsbereitschaft bei allen kleinen und großen Problemen im Reinraum und bei der EBL. Marcus Rommel bin ich sehr dankbar für die Starthilfe, die er mir in Sachen EBL gegeben hat. Ich danke Renate Zimmermann, Manfred Schmid, Ingo und Marion Hagel für all die Male, wenn ich nicht weiterkam und schnell und unkompliziert Hilfe brauchte. Dasselbe gilt für Wolfgang Winter, ergänzt um Dank für den alljährlichen Aprilscherz. Außerdem möchte ich Gennady Logvenov, Benjamin Stuhlhofer und Yvonne Link für die stete Hilfsbereitschaft bei der Probenprozessierung danken.

Allen *Mannharts* danke ich für ihre Aufgeschlossenheit, Freundlichkeit und Hilfsbereitschaft. Mit Euch hat mir das Arbeiten stets viel Spaß gemacht. Ich bin glücklich und auch ein bisschen stolz ein Teil Eurer Gruppe gewesen zu sein.

Ich danke dem Max-Planck-Institut und der Universität Stuttgart für die Möglichkeit zur Durchführung dieser Arbeit. Mehr als den Institutionen jedoch, möchte ich den vielen Menschen danken, die dem Max-Planck-Institut und der Universität Gesicht und Charakter geben.

Anhang: Rezepte

R1 Grundsätzliches

An dieser Stelle sollen einige Grundsätzlichkeiten festgehalten werden, die in den folgenden Beschreibungen vorausgesetzt werden, ohne sie dort explizit zu erwähnen. Die letzten drei Punkte sind fast zu selbstverständlich, um sie hier aufzuführen, und doch halte ich es angesichts mancher Erfahrungen (leider) für notwendig.

- Bei der Verwendung von Isopropanol (IPA), Aceton, H₂O, etc. ist immer auf höchste chemische Reinheit zu achten.
- Lösungsmittel/Flüssigkeiten (IPA, Aceton, Remover, Entwickler, Lacke, etc.) werden niemals wiederverwendet oder Restmengen zurückgefüllt. Das Zurückfüllen von unbenutztem Lack aus der Pipette in den Vorrat sollte körperliche Strafen nach sich ziehen oder zumindest einen Entlassungsgrund darstellen!
- Es sind stets saubere Behältnisse (Bechergläser, etc.) sortenrein zu verwenden. Sie sind vor der Verwendung dennoch auf Rückstände/Verschmutzungen zu überprüfen. Saubere Behältnisse sind vor der Verwendung dreimal zu spülen (H₂O oder IPA oder Aceton, je nach typischem Inhalt und wenn möglich mit Ultraschall) und anschließend mit N₂ auszublasen.
- Das Herausheben der Probe aus einer Flüssigkeit geschieht stets unter Zufluss derselben oder der nächsten (bei Überführung in ein weiteres Bad), um eine Anhaftung auf der Oberfläche schwimmender Partikel zu vermeiden.
- Das Trocknen einer Flüssigkeit auf der Probe ist eine erhebliche Verunreinigungsquelle. Als letztes Bad wenn möglich IPA, sonst H₂O verwenden und den Flüssigkeitstropfen mit starkem N₂-Fluss (mechanisch) von der Oberfläche blasen, nicht einreduzieren.
- Es sind stets geeignete Handschuhe zu tragen.
- Die Pinzette ist immer sauber.
- Der Arbeitsplatz ist immer besser zu hinterlassen als er vorgefunden wurde.

R2 Standardreinigung

Die Standardreinigung ist eine einfache, aber wichtige Routine bei der Probenprozessierung. Das Verfahren sollte vor jedem Prozessschritt durchgeführt werden, es sei denn, triftige Gründe sprechen dagegen.

1. Reinigen in Aceton und Ultraschall (mind. 5')
2. Reinigen in IPA und Ultraschall (mind. 5')

R3 Substratterminierung

Die TiO₂-Terminierung der SrTiO₃-Substrate ist von essentieller Bedeutung für die Qualität der späteren LaAlO₃/SrTiO₃-Heterostrukturen. Daher ist bei dieser Prozedur die Einhaltung einer standardisierten Routine unerlässlich.

1. Sanftes Polieren der Substrate auf Linsenpapier unter stetigem IPA-Fluss
2. Reinigen in Aceton und Ultraschall (10')
3. Reinigen in IPA und Ultraschall (10')
4. Reinigen in H₂O und Ultraschall (30')
5. Ätzen in gepufferter Flusssäure (12,5 BHF) und Ultraschall (30'')
6. Löschen in H₂O (1. Stufe) und Ultraschall
7. Löschen in H₂O (2. Stufe)
8. Löschen in H₂O (3. Stufe)
9. Übergangsbad in IPA
10. Zügig abtrocknen und in den Rohrofen überführen
11. Unter kontinuierlichem O₂-Fluss (250 sccm) annealen:
 - a) Aufheizen bis 1000 °C, Rate: 250 °C/h
 - b) Verbleib bei 1000 °C (2h)
 - c) Abkühlung bis RT, Rate: -250 °C/h
12. Oberflächenanalyse mittels AFM

R4 Markenherstellung

Das Markensystem stellt die lithographische Grundlage aller folgenden Prozesse dar und sollte mit größtmöglicher Sorgfalt erstellt werden. Auch sind Verunreinigungen der Probenoberfläche noch strenger zu vermeiden als dies stets der Fall ist.

1. Belacken mit PMMA (7%, 200 K), Lackschleuder: 6000 rpm (30'')
2. Ausbacken auf der Heizplatte bei 160 °C (4')
3. Belacken mit PMMA (2%, 950 K), Lackschleuder: 6000 rpm (30'')
4. Ausbacken auf der Heizplatte bei 160 °C (4')
5. Belacken mit ESPACER 300Z, Lackschleuder: 6000 rpm (30'')
6. Belichten (JEOL 100 kV), Pitch: 10 nm, 5 nA, $D_0 = 2000 \mu\text{C}/\text{cm}^2$, *Proximity-Effect*-Korrektur (PEC)
7. Entfernen des ESPACER 300Z in H₂O (5'')
8. Entwickeln in MIBK (40'')
9. Löschen in IPA (15'')
10. O₂-Plasma (kleiner Verascher: 0,3 Torr, 200 W, nicht direkt im Plasma, 15'')
zum entfernen von Lackresten aus den entwickelten Bereichen
11. Zügiger Einbau in Aufdampfanlage, Abpumpen
12. Aufdampfen von 6 nm Ti (Rate: $\sim 1 \text{ \AA}/\text{s}$) als Haftvermittler und 60 nm AuPd (60/40, Rate: $\sim 2 \text{ \AA}/\text{s}$)
13. Einweichen in NEP bei 65 °C (60')
14. Lift-Off in NEP, wenn nötig Ultraschall, wenn nötig NEP- oder Acetonfluss
15. Spülen in Aceton
16. Spülen in IPA

R5 2DES-Strukturierung

Die Strukturierung der 2D-Elektronensysteme ist ein wesentlicher Aspekt bei der Probenherstellung. Bei frühen Proben wurde ein Positivprozess verwendet, wobei alle umliegenden Areale der später leitfähigen Bereiche belichtet werden mussten. Da dies dort zu unerwünschter Leitfähigkeit führte, wurde der im Folgenden beschriebene Negativprozess entwickelt.

1. Belacken mit PMMA (1,5%, 950 K), Lackschleuder: 6000 rpm (30'')
2. Ausbacken auf der Heizplatte bei 160 °C (4')
3. Belacken mit HSQ, Lackschleuder: 6000 rpm (1')
4. Ausbacken auf der Heizplatte bei 90 °C (1')
5. ESPACER 300Z haftet sehr schlecht auf HSQ, daher Aufdampfen von 5 nm Au oder Cr als elektrisch schirmende Oberfläche.

Bei dem folgenden Schritt die Probe nicht unnötig lange im Vakuum belassen, da der HSQ nachhärtet. Die Entwicklungsdauer muss daher ggf. an die Belichtungsdauer angepasst werden. Ein Überentwickeln ist – in vernünftigem Rahmen – kaum möglich.

6. Belichten (JEOL 100 kV), Pitch: 10 nm, 5 nA, $D_0 = 900 \mu\text{C}/\text{cm}^2$, PEC
7. Entfernen der Metallschicht in KI-Lösung (für Au) beziehungsweise Cr-Ätze (für Cr)
8. Entwickeln in MF-322 (ca. 2', ggf. länger)
9. Löschen in H₂O (30'')
10. Entfernen des ungeschützten PMMA mittels O₂-RIE
11. Deposition von ca. 20 nm α -LaAlO₃ mittels PLD
12. Einweichen in NEP bei 65 °C (60')
13. Lift-Off in NEP, wenn nötig Ultraschall, wenn nötig NEP- oder Acetonfluss
14. Spülen in Aceton
15. Spülen in IPA
16. Epitaktisches Wachsen des restlichen Gatestapels (inkl. 10 nm abschließender Au-Schicht)

R6 Gatestrukturierung

Die Herstellung der Gate-Elektroden erfordert die höchste laterale Auflösung aller vorgestellten Prozesse. Daher wird für die Lithographie ein *undersize-overdose*-Ansatz verwendet, was bedeutet, dass die Strukturen kleiner definiert, jedoch mit höherer Dosis als gewöhnlich geschrieben werden. Auf diese Weise lässt sich der Lack-Kontrast virtuell erhöhen. Die Strukturaufweitung entsteht einerseits durch die erhöhte Basisdosis, andererseits durch die anschließende Plasmabehandlung. Für den im Folgenden beschriebenen Prozess hat sich die Kalibrierung

$$d_{\text{res}} = 1,06 \cdot d_{\text{def}} + 42 \text{ nm}$$

mit der definierten Strukturbreite (d_{def}) und der resultierenden Strukturbreite (d_{res}) bewährt. Der Prozess lässt sich daher nur für Gates mit $L_G \gtrsim 50 \text{ nm}$ verwenden.

1. Belackten mit PMMA (3,5%, 200 K), Lackschleuder: 6000 rpm (30'')
2. Ausbacken auf der Heizplatte bei 160 °C (4')
3. Belackten mit PMMA (1,5%, 950 K), Lackschleuder: 6000 rpm (30'')
4. Ausbacken auf der Heizplatte bei 160 °C (4')
5. Belackten mit ESPACER 300Z, Lackschleuder: 6000 rpm (30'')
6. Belichten (JEOL 100 kV), Pitch: 8 nm, 5 nA, $D_0 = 1067 \mu\text{C}/\text{cm}^2$, PEC
7. Entfernen des ESPACER 300Z in H_2O (5'')
8. Entwickeln in MIBK (1'30'')
9. Löschen in IPA (1')
10. O_2 -Plasma (kleiner Verascher: 0,3 Torr, 200 W, nicht direkt im Plasma, 15'')
zum entfernen von Lackresten aus den entwickelten Bereichen
11. Zügiger Einbau in Aufdampfanlage, Abpumpen
12. Aufdampfen von 30 nm Pd (Rate: $\sim 2 \text{ \AA}/\text{s}$)
13. Einweichen in NEP bei 65 °C (60')
14. Lift-Off in NEP, wenn nötig Ultraschall, wenn nötig NEP- oder Acetonfluss
15. Spülen in Aceton

16. Spülen in IPA
17. Ar-Ionenätzen (Ätz-/Kühlintervalle: 10"/20") zum Entfernen des umliegenden Au: Die Ätzrate von Au ist etwa 7× so hoch wie die von BaTiO₃ und die von Pd etwa 5× so hoch. Zielt man auf einen Abtrag von 12 nm Au (ca. 120% der Au-Dicke), wird es zuverlässig entfernt und dennoch nur weniger als 1 µm BaTiO₃ abgetragen.

R7 Herstellung der Kontakte ins 2DES

Die Herstellung der 2DES-Kontakte ist der invasivste der hier vorgestellten Prozesse, da hierfür mittels Ar-Ionenätzens Vertiefungen bis ins SrTiO_3 getrieben werden müssen.

1. Belacken mit CSAR-62 durch einen Filter, zur Vermeidung von Inhomogenitäten; Lackschleuder: 3000 rpm (1')
2. Ausbacken auf der Heizplatte bei 150 °C (3')
3. Belacken mit ESPACER 300Z, Lackschleuder: 6000 rpm (30'')
4. Belichten (JEOL 100 kV), Pitch: 10 nm, 1 nA, $D_0 = 225 \mu\text{C}/\text{cm}^2$, PEC
5. Entfernen des ESPACER 300Z in H_2O (5'')
6. Entwickeln in AR 600-546 (1')
7. Löschen in IPA (30'')
8. Ar-Ionenätzen (Ätz-/Kühlintervalle: 10''/20'') mit einer Zieltiefe von 10nm bei SrTiO_3 -Ätzrate.
9. *In-situ*: Transfer in Elektronenstrahl-Verdampfen
10. Aufdampfen von 10 nm Ti (Rate: $\sim 5 \text{Å}/\text{s}$)
11. 10' Abkühlpause
12. Aufdampfen von 10 nm Au (Rate: $\sim 5 \text{Å}/\text{s}$)
13. 10' Abkühlpause
14. Aufdampfen von 10 nm Au (Rate: $\sim 5 \text{Å}/\text{s}$)
15. Einweichen in AR 600-71 bei 65 °C (60')
16. Lift-Off in AR 600-71, wenn nötig Ultraschall, wenn nötig AR 600-71- oder Acetonfluss
17. Spülen in Aceton
18. Spülen in IPA

Anhang: Punktpreisfunktionen

Anmerkungen

Die Dateien der Punktspreizfunktionen (PSF) sind ein wesentlicher Bestandteil der verwendeten Prozesse. Um die Verfügbarkeit dieser Dateien und damit Reproduzierbarkeit für nachfolgende Wissenschaftler sicherzustellen, habe ich mich entschlossen, die Datensätze in den Anhang aufzunehmen. Diese sind:

P1: PSF zur Korrektur der Markenstrukturen

P2: PSF zur Korrektur der 2DES-Strukturen

P3: PSF zur Korrektur der Gatestrukturen

P4: PSF zur Korrektur der 2DES-Kontaktstrukturen

Die PSFs liegen bei ihrer Verwendung numerisch approximiert als Textdateien vor und dienen bei der Vorbereitung der jeweiligen Lithographieschritte zur Berechnung der *Proximity-Effect*-Korrektur. Da die enthaltenen Wertetabellen aufgrund ihrer Länge für den Druck ungeeignet sind, wurden die Dateien zu `.tar.bz2`-Archiven komprimiert und anschließend mit `base64` wieder in ein druckbares Format umgewandelt. Um die PSF-Ausgangsdateien wiederherzustellen sind folgende Schritte notwendig:

1. Kopieren des **gesamten** Textblocks (ohne Seitenzahlen und -umbrüche, die notwendigerweise durch \LaTeX eingefügt wurden) in eine Textdatei
2. Mithilfe des Programms `base64` und dem Parameter `-d` die Textdatei in das `.tar.bz2`-Archiv zurückverwandeln
3. Das `.tar.bz2`-Archiv entpacken

Unter Linux genügt für die Schritte 2 und 3 der Einzeiler:

```
base64 -d Textdatei.txt | tar xj
```

Die nachfolgend abgedruckten PSFs wurden von Thomas Reindl, Ulrike Waizmann und Andreas Gauß berechnet.

91Z20s0Q7SLibdeX3eNIudYAl4wARKMvsi4Um0ybuPlyCE8Nu0kdC6YS5D9Ez0iP3Xs5G3571UPfe3r3ZBPxKMoTuyC11chFhewz18GzWzXkDyfcKVL7yqq
m4cPDgI Igy/ gRkR7K18tr4t5y0A1/NxnHExs4b18LAUUbKzJgWMeTnU47AxpZvNroPdBDMV7eQgP2mYnZE4WCI8pkDVa24FpJ5NU50i+rIseYyHcEtfca
/kmFPYAtLkLxwuTz2PE689vKaRcPZwTzriOncszN170jxqTELLN7P3iZtLGHTEiOcmHDQtd1qN08t8F3Dn4d4sfY21mrWe+44tVRQ2t8WNL38kMYLdD2Jc6
0Q614Z2inu9aYnVAm721WzK1ZDjRk68bWYUcNtqk38YyD04X0Q667GP1v2K8YQimF1vdQdL4eZj105Z5S0038CN0e9NG0ATJHbZjKYEEdx2LOHC2i1VLdDn15
lVncEOB+1+FFqXPD04GvFvRiasRlqLEAdqS6T2Qoh+JyC2MqSYgQjviMEODMveC2Vd2utL5C6UvgYcql081bZQDHdZS3G3mZat9vdM0AL4XZ75Uzwn5Q4H0F0
J6F3mJay3n5PkM8M2CZCDMUTiZr0LrLUreQIDUv4V19dxzhVcCyu02nbx7KcJXjr+xeeQYnLgv+bd3ZQVGGkAdJZg80x61FBVONGO+4prmjY9VxPmLJr4g
AjKdjsMuNr1BrkCUGVQ1hmZvR1k094myN4c8GkQYn2axd27sdTvEk44YiGcMuKvOIQndlnn4X3p+u3AnOJ6mWdCGBJiAc2a7GuQlBYviflMmNBg/OT1N6DZ
pujy+7ssz60AndT2F8nuCcfQ25WnVxKmcV/GunJ3DGX04vYV0JJTcJWtGrIp4Dmbrp/JY4HxHcz19tqg8W6O/hG0i/1rLWiiEv2K5925v8UFnqZyzeo/uue7mh
fLhZuP1SLgv2V6d607vHPUBMvYzP6MJZanFZdPkg2AvkPnbGnpOncy25bd+edaBsb13rXihbdtW9PqXsgz6qyWLG6en080T7cxb00V9DqM1FDJq45C
Yec3GGJ9am4CNhU8219lyTCGD2dVVVVVWmhVwbD3z2vT4vP2reveGRrcmMUVifDrzbnOvflc1cMIn1WbZGvVnKGF7DoxV+zAundYVW1SNGKMyrRiXbYufF8
+8SSx4g/R8jFDIO0LhH01dS+sgk/rEK3+kdZmb+5UYC170N3cvnz2Pvxs91zWZb5HPB9Z12mzSyogZBFNDTYxm+SqX61PA0Y+Ssv77VYmuu2B9eezYqgt
MrcQw43sz2zJwtpaw5wK02iCNQ6Y7IGzfZFH+zQNuIEF1P36KfdrFRTRKPoai2z99Qp2W67cb5342q/TJThKqUL5hY1+am21NfykQ1Bh3I9W/Rz9eVhRxZciQhLz
NanWu5eBzZnbzbbqz7OR30R0T1d3pHvIEneA2yZMZPmHvTb3tNlIQPMnh72D3UeQWzYc1tXd6PVVChM20SiXNCHI84VvPw1V5+axWmX315ukteacgCvQ1
L1uhjqzLUyanCJbzZm77ZZa9SMQAIUPCsG3s0nAlFN3w0oSP8Tkz2D2W0CM07q2YtnBoOudgr7mpnlInKlFRFulZK66qtKvXzL3iChpZiGrnCO2W0CsEmX
csu4ek00639qWq2bZ71RwH48fDmPQQ007kE+pmInr1RVBYzgQtgoEwWJXj9e24DyRupAAQycMEDMfdXoaTGAGYHphyYwJcMMRvJjvChMY3kNDBg9f913eG04ttrBs
+clgPFEmzaBM5i8rnyY01c02fJzJK9BRRH8572KONYB9d4w7/C0sLrEmMEJgLaZaZs5jBqv01hiXzXwAdvfQ0BLdUxJ02LNm+quqqr5T3cpKFe+Pnf3jm
3S57y5Y/ffehHrn4AeMuchg731m/1lPoPHGE2jUrQvFD6Xutv5P6PqW8q9sH8WdV157DAHfVrmhxfrREswL0uu84Mw9T2eQ3DRReL1aiPIZPDQY
876v10ZykrHv892dV8DYr9T80DTReme4JemdzVbq81YkNIY3A+3jfmFKM2a+313e20H1jyTRb109KVpZ5mtTVsIEqkGFUuhX2b2+60zXZ35emb8yP22+YpY9AMU
LgXRmrCwdJzIK1R3RU0j2ET1m0H0K42dHXcgGvGiA56256Mmkt5g11e4036zN03jCVP10hp3ET1SKjdmkE8qVLXSLVZ38znXvCnZ48bYc17XpZj2aW
1TyZmbafzbbzqqZP19J02Q5YsWTU55qPccn7Bw1tOZjZTFYk7Y9BF6CQZ1AYGD1szM2+0foYHoBTYscbjrM1bsTgJbuPw/7w9Go/vn4MuZTPTrhcaXkC
FKm60K27MzVMRS8m6eB31MU+sXrFovUwAfkzLPL1Kb0DZ70u8m646kbcXy1nrMkAAHkzh1t6X4T6Xce092X13A5FzDbwQ6GZLZP5a060U1V4t+RbM1oe
Z2CIURWG3ZAnT8Dde0E0U0GnpMqTYMVSXXk45nHKHUAsHprDuo0Zed7CussR0PqZdQZ09hsCXfCk1ZniJvT4iueX65h/AJ36018v121cvtmWPfciE7p1
W1z8PYZ2P7k7k6b21sQk+8bzanzv56GcuVyuxkGosw3L1LUDt54/6pl9G2mSootwTCPt04yP81JUJQr6CRhpB/P5517YZeGhTajb+ueYRPLNmVMTfHqeuVb
ulMx001PN0t0daE3M3w8e6b31MU+sXrFovUwAfkzLPL1Kb0DZ70u8m646kbcXy1nrMkAAHkzh1t6X4T6Xce092X13A5FzDbwQ6GZLZP5a060U1V4t+RbM1oe
uXW812tdmqtUeAZhZjdcGfYKZCzGsYe2r1Mq3c1SkxL+EH4hyQM1R+rn89wulLmGr05435h9J168Y7Qe597aZV109scadtpykUIGVgV18c4d+6X0A0R3Y3sf
eyatVmhw51VKA11EVtrZg2gCZRej2r1MbzE3qbbGGAUMT5v1fY1RMhRtJjuUMxfrVETBTr0MvX1saK61Au97Q6Gg89v7jnyK60ns0avebInDc1K9u9YrC80t
EQ0480wXsEbfKsVQSDS246e3Vohve0bnPvU7Kc7sQF2Zr0N0pbT20C9UCZBAGCONXHJKJULAsGmdEUwtNm1XnKvY134y8jJmY3jCmY31NWBgUrub1L
D11LnDeZGZ2R11tJYUymG1WoyEKnHJRuAANQto3MtOenqZvTzRBMswNFKPBh0pAs505m5MULwalfNTJWixmAAfGBRSQR6GCK5FRACJYqjN
qkdrFS6GTqgDgk615nyiqUaknAEt5umu/YqYkYtFUFV63rnrxrTOBpdz13aMkVgx60pQNV2VKEL1TLMXCu+excSSncMxmkJucLrGNgz0w0rLH06G0vb6ys
hlyzYngyIhFSUWgWkqqqqqqqqqqqqqqqqqqqqrEVVVVVR4Mu020111KlAwkaOk1x5WMLMMOF2MLZKGZILx0cutyC13bC0L3pZ0D9L4p21Vpm
lmpLkL7zuTb1BuR2PmvmadrSS4URJgnJ6+PhHRes8pJct02sGGmGkCIA+jTmQn1fQ0brfRmH6+2EroU5RHG6UAiMmN8wExcVrTSVpuokFztr+KvYhseH0
BMMHZq2P61/BUR7JkDbmW7F8iQ3XQWk13FE1cmWupqUHV1leq/TvT45TqJQJQn0nzkHqW9wn2G1IbWceQPDI020V9X81g+u61MmUkY41+1640WHDVd
cpBzMRKvTt1qJEqFKRkN1dE3c3h0zKzE8e0JrxExqlUp6Nw1G1uScbZzWzGkBSNsZlpaU8m/xk7MCOx08s8pHSu9sCYmb9Fw6nHNSR1prrpYbH1L5epU8m
FDzoX2atX06K50vJecTht+Ie0j8xR2kUYbZ2Yh1y9c9wFzJ4WAp16JrnCiL2pXV8645AXGIno3vUbgByfW36qmG7nzVDX399rRxfGwXhHMlZM/pQrkt
0eIxB0acn0z5IPELz2Jn28zncJm4Qk1K7Wa6mZBqFPUBmEc0BHG60jdb150ndU09G69yWHPDPqdmsEA481dmQ9RjW+18372H312iIgkyS33P7r+8b505UyRu45
2q/DYMz2lbfAoU918pzzx250ucwaV723QpsdyZUPCep73W9m2u6C02sp2AxC3pZ44VUwhb1enq4rCWmROU00CezHwRHkQ7VEvRtY1YL2eXepU16ci6u6W
GvMkQ5L0wUfm/HVbFBJV1KU+4A2-G8s6RBeT05H0EtYIn06V3gcyrNSREL2u3mDxqgJX0PTbkTksZsyzPQSMCEvaVfZawVLLTYMFLZG20TLPX0Lzhh0rForHy
I2m3Vf08G6Pdp9v3Vzu+1F5CXdFmgWXd1dshm73g9r0mDQ1HGRs8a50v5yrexUL8RD8A1qMzLeI0Ng3phb5/R6XBpDQ7G6zJmM0C5Zn8z9FI0bGxC
2J1K0b0UnhWuf063HvRn4R3PpnJPa6p0V1YsHbVdPiYy0a6Qq31ghnB6Hc1vJXK61gzK80bd18PvN1TmTgE1PniRRAN4zR1Y0K001m2cM2GMPWFQ4FfPqF
2q/DYMz2lbfAoU918pzzx250ucwaV723QpsdyZUPCep73W9m2u6C02sp2AxC3pZ44VUwhb1enq4rCWmROU00CezHwRHkQ7VEvRtY1YL2eXepU16ci6u6W
I2m3Vf08G6Pdp9v3Vzu+1F5CXdFmgWXd1dshm73g9r0mDQ1HGRs8a50v5yrexUL8RD8A1qMzLeI0Ng3phb5/R6XBpDQ7G6zJmM0C5Zn8z9FI0bGxC
2J1K0b0UnhWuf063HvRn

Jg1USLUSj jr1WUTMHEK1UTMzsmCy1dVV9rdUnsad3Wknu5iQjOy1Vom9uHQjTLOadJf1RIIdtGN3M3D57UVIGxN6gnlNwOd27wnZx0McDzjSuQ3qCk7UXevNg
PXck1VUdp6kbWq01ocF7AODDQJmtvMmZTMMOVL1YS5xXshwjezUjYqkK1bdjK2RZpBUX0iLCh2tnNay925ONAYHezot6UdiJl1hKvZfep5vdrdtSa2u0tsXouN3
d7b22M01spdkX7crN3amS5bpcGJmNzm7nmsaJUKcBFzBivm8gth20uHUWEpoh7ddNK9fSPt/cmi ov50zIZssfjcr8ph/W1UykINZtb2a/aZuAF2SXUTw8bPK0K3
0GDDTifB76xMZS/Sdv6mmBz2HgrwtyQU9m7LcWdMu1X3rCEM9La32RI0jD3fK9RXth00r0Js/Sm5vZgA23nHLiVIk5EQ59H0ienbMZFuFbUq2KniitRndkabjdiz
5pgoEucGK2A8P05jDp5eZRJtG0p7wxL8pGz6jAJUIfpmMtrC9VvJW6ydrVhOCK+dd0FNFE01VtooLpyApf0vrU+hmo14n0GK9teEHLRvRrhyMK3S82bRnW70Q
6rZa3L8vHqtX1b2n0evRSWddUJsYtL3eVWYJK0VC7yz3EXkvy7B4xomEoyWCq6o7I1ar29u+fIPQ3p0mVCdzCd7m91nitXs36pGvY06W32xBHvLjy1CGLi0
ebAw93Rv8LgnN206Uz6YeN6PPzgrwEk6vcpV4mQywszA+PVjddi27Mx34W/pv06btHkWupNRZk4+Ur9a03KjBQQuS9WTG8dyJeo01KxcWHLz3XSVzGkQayb9
id4t1tunG1Dse3vViCOF6t0SK1dHU3UJ6FbSn1UwccqioZmRdXoI3SxI1sK8w9r31jYhPsguM0phBrryHLNzQ1cmFaSdw17733dFE603ciGvhqIjK+aaL8M
sKwJtTC+1emxBx+vX7YqttcdzPPw0TgPef0tEYrfTt10AnULzh9q531gc0c2N5X31CZbp6GmetGHM1S1mbhs141KwTBbXDY9LSYRjIEV3U30Y+11y2b0N8sc6a
iMDAcddUXMx3dWAJcaELL5MaTubGIC79i9kGDMXuaIGF5Ep0Cc9LdzfexEGSQpNVfe4CLEN1zssY8BhSWq3dx1WLW7F57vRCHg75VVUVYiq2S772+805k+KP5f
drn2yZwrWdxu9Vz69evozXyCjKcLFwqZC7s7G0Ib1ECH2XWnAgt04sq2ce3uAK922/qBFPQREGlt14/HL85UPe06/Jn66yVYErz2ZcdKg11CbQgzrSz117GiTWT
HdujJRHVrTc1mDxbJ92ecZzc4AbMdevDKluMw0oG9YV4TXkpe0z234d3KFNMX407r17vL0xi5RMA0Qwhty6WaG24je8vY6zdTrePQ6gmcc40XDYJ3Z4XtM6W6
k101pe1TbMzBIYxBy57SszZpkJm08a4w4V0K1USYq1AESz2At103ZdyMnGyUtAe7MztRrp1ESxwc4U03mXdxJm6brZ23G9Ngag/roUK5buxewUSluVdNmsJW02
SJMnFqY7J3u8/mfrLp6qUXGVMun9NV0zAZSMZCH7w67ft1ZUozW8iXcz9Qsij4irhUenYKI8jJ8djJ29N0LfuXZ5RfkhLF5Nuc3FUFWxrT1+ZHHY4ZnHaa
9emKwTm16f7pPlyhdq4Z4XoKZf9p91t1TM3PJXWWeUaoiXrAer31THK+1UVpJ3ApFMaxohWrpSCYyEwU3auhzHXw6+mmh+qKPMuLDImfMFfQ+qqj0VgsTmXrTFT
Idd01EpLrh30qk1k1UAnmV5xTz13MCEZxZ7RMvB3t24c0Id01KhDSjCUGmAI0DC6y1h9PeKBVOS0XyhdLNLARfHkgI2cqZjseECiYWeArezi50M3Vbu8Q/kbu09
yxV4KL+aCb9N5Lo2xgFTsnrt/R4qTJF1Sv6n41BxxM4c0ZTdexAYRRNREBtEgSMrxDSz9B6JDCtEqN9nrpReS4752/Law66TsCkuwPDRQh6pu10sFO/GmZE
bngr29qiAukc6QvG5zpzcdDTSjah3aHP4mmBnh8AraN5m08nRrMRKDP5Mmx5T4ntIc1RUqVViBiocGyISGbr6Y7pfXpXRJQy3yh+Rz1uHsb7711UZrsXIc1w
ZcdF7pN0Zy3U/CNtZrNunXTSIOhBzzB9m0eisTK1HyVka+UziqMyN8iR0OpPa0ZASAE3sFPLCJXK8gA6hre2QtZk2vt01xX2g/YvJEN06kxYPrYq8yUlV
nmpiJ+XTXuJG06+CgBvex+GJv0u2pB1sFcuM6BPMjBMV0vrs5m0ujllxfnAJFE+PV28FrodrtqYA2981j0898dyNvNaueFeB1XPkmU6rNLTKU52ay1ZVF
IVF8y7ndZ6JAFwFCXkh0vKY7Yb72TgGT4dCSodUYj7hngTOKddpiZmPWBXAb3rv0Sh67T9mtP2XXGUPBsjjEUH40BxAqW0rHETdhI+611pSinUdTsAVDoe3c
TmwetzSC1DHNW028xpLz9vJG2hQCBBD4aGx0v55D32HH5/Ya8Ms5PqNzm0Gw0JHnoVtI4C70VYjmmNmER19E+yVcYipkLANGUCVOPerp6QNLtSzRvM8DF0
Tey1luoFop9gKpVhKkexr1zfdw8FyEuk52UCTmAgY1HLZfBe2SdnLu4uVvws7M4iWAHpxndyWeMXVvdzbZmz33K727YeJXWkK1VgVIUGBF0D+eYj+k5WT
f9Uf0o3pDcxdkq080MXJRc0i0G15K0J5dos4FF1hc08x2jWv6Iq3cxh3mZkWMHg19F5Bp23HrelZAZwQRkSpqMRSE0VikE31NWj1VSLBNKc4QcTTElySsby
3bum1jnzYWhmJlusWEOTFvHjcy8tsesvMh48aZGZkZmY8q5i1TzK73ZVdpWvu2sF8z7k5vnhQYze6FS7e9u0rRbt76e+V08eJAKhnxdujprtrx09f0maK8du2
bduldvmbdu03bj548fPrxnm00nzt2+du3au3TpmnT48eM88ePHjxnHxz48eM48a7ZXHau2adPxx4zb128du2uljB7BQ1kSjFiRQsWLFixYsSKGbiq1QkYGM
EigwxxQeewKFCkQ9Q0UKFCh6hgoUKFD1CgxMVFHLiRlPcRSvFjv0ZmZGPMyswPMZ0Kq3du7uLqJd4SSySSSsYSTOUkYMuTTJOLD1zVmsZmYrxEkk3jRk8wQ
5VWmNkkkkkkkkkk3sG/hVKMZaSg0BYCdPryE/F3JF0FCQEW4SNw==

(Kodierte Punktspreisfunktion – Für Erläuterungen, siehe S. 105)