

# **Ablenk-Systeme für die Multi-Elektronenstrahlolithografie auf Basis CMOS-kompatibler Fertigungsprozesse**

Von der Fakultät Konstruktions-, Produktions- und Fahrzeugtechnik  
der Universität Stuttgart zur Erlangung der Würde eines Doktors der  
Ingenieurwissenschaften (Dr.-Ing.) genehmigte Abhandlung

Vorgelegt von

Dipl.-Ing. (FH) Michael Jurisch

geboren in Lauchhammer

Hauptberichter: Prof. Dr.-Ing. Joachim N. Burghartz

Mitberichter: Prof. Dr.-Ing. Hermann Sandmaier

Tag der mündlichen Prüfung: 29.05.2017

Institut für Mikroelektronik Stuttgart  
an der Universität Stuttgart

2017



**Inhaltsverzeichnis**

**Inhaltsverzeichnis ..... 1**

**Abkürzungsverzeichnis ..... 3**

**Formelzeichen und Einheiten ..... 6**

**Zusammenfassung ..... 8**

**Abstract..... 11**

**1 Einleitung ..... 13**

**2 Elektronenstrahlithografie ..... 25**

2.1 Grundlagen der Elektronenstrahlithografie..... 27

    2.1.1 Elektronensäulen ..... 33

    2.1.2 Anforderungen an Elektronenstrahlschreiber..... 34

2.2 Limitierende Effekte für die Auflösung..... 35

    2.2.1 Theoretische Auflösung eines Elektronenstrahlschreibers ... 35

    2.2.2 Blur 37

    2.2.3 Photolack für die Elektronenstrahlithografie ..... 39

    2.2.4 Interaktionen der Elektronen mit Substrat und Photolackack41

2.3 Gaußstrahl-Scheiber ..... 45

2.4 Formstrahl-Schreiber..... 47

2.5 Vergleich der Systeme ..... 48

2.6 Schreibstrategien ..... 50

**3 Multi-Elektronenstrahlithografie ..... 52**

3.1 Entwicklung verschiedener Schreibverfahren..... 52

    3.1.1 Paralleler Einsatz mehrerer Elektronensäulen..... 53

    3.1.2 Paralleler Einsatz mehrerer Elektronenstrahlen in einer Säule  
54

3.2 Multi-Elektronenstrahl-System der IMS Nanofabrication AG ..... 61

    3.2.1 Aufbau und Parameter des Systems ..... 62

    3.2.2 Die Kernkomponente – Das Programmierbare Aperturplatten  
System (APS) ..... 65

    3.2.3 Performance und Belichtungsergebnisse ..... 72

**4 Ablenkchip mit hartverdrahteten Siliziumelektroden..... 75**

4.1 Abschätzung der Ablenkstärke anhand einer Simulation ..... 77

4.2 Herstellung des Ablenkchips mit Siliziumelektroden..... 83

4.2.1	Erstellung der Elektrodenisolation .....	84
4.2.2	Membranätzung und Vereinzelung der Chips .....	91
4.3	Zusammenbau zum Ablenkssystem .....	92
4.4	Schreibergebnisse und Ausblick .....	98
<b>5</b>	<b>Ablenkchip mit vergrabenen Wolfram-Elektroden .....</b>	<b>101</b>
5.1	Herausforderungen und Vorüberlegungen .....	103
5.1.1	Ätzen und Füllen der Löcher für die Elektroden .....	103
5.1.2	Kontaktierung der Elektroden .....	103
5.1.3	Ätzen der Aperturöffnungen .....	105
5.1.4	Ätzen einer Membran .....	105
5.2	Herstellung von Wolframelektroden mit 6µm-Höhe .....	106
5.2.1	Zusammenbau des Chips zum Ablenkssystem und Charakterisierung .....	126
5.2.2	Elektrische Charakterisierung .....	127
5.2.3	Elektronenoptische Charakterisierung .....	132
5.2.4	Schreibergebnisse .....	139
5.3	Herstellung von Elektroden mit 30µm-Höhe .....	140
5.3.1	Prozesstransfer von 43.008 auf 262.144 Ablenkzellen .....	140
5.3.2	Gesamtprozess 30 µm tiefe Wolframelektrode .....	145
5.3.3	Charakterisierung .....	168
<b>6</b>	<b>Zusammenfassung und Ausblick .....</b>	<b>175</b>
	<b>Danksagung .....</b>	<b>178</b>
	<b>Literaturverzeichnis .....</b>	<b>179</b>
	<b>Lebenslauf .....</b>	<b>184</b>
	<b>Veröffentlichungen .....</b>	<b>185</b>
	<b>Eidesstattliche Erklärung .....</b>	<b>186</b>

**Abkürzungsverzeichnis**

AlSiCu	Aluminium/Silizium/Kupfer-Legierung
APP	Aperturplatte
APS	Aperturplatten System
Ar	Argon
BCl <sub>3</sub>	Bortrichlorid
BLC	Ablenkchip
BPL	Basisplatte
C <sub>4</sub> F <sub>8</sub>	Oktafluorocyclobutan
CAR	Chemically Amplified Resist
CF <sub>4</sub>	Tetrafluormethan
CHF <sub>3</sub>	Trifluormethan
Cl <sub>2</sub>	Chlor
CMOS	Complementary Metal Oxide Semiconductor
CMP	Chemisch Mechanisches Polieren
CVD	Chemical Vapour Deposition
DI	Deionisiert
ESD	Electrostatic Discharge
EUV	Extrem Ultra Violett
H <sub>2</sub>	Wasserstoff
HF	Fluorwasserstoff (Flusssäure)
ICP	Inductively Coupled Plasma
IBM	Industrial Business Machines Corporation
IPA	Isopropanol Alkohol
KOH	Kaliumhydroxid
MAPPER	Multi Aperture Pixel by Pixel Enhancement of Resolution

MEMS	Mikro-Elektro-Mechanische Systeme
MSB	Multi Shaped Beam
N <sub>2</sub>	Stickstoff
NMP	N-Methyl-2-pyrrolidon
O <sub>2</sub>	Sauerstoff
OAI	Off-Axis Illumination
OPC	Optical Proximity Correction
PCB	Printed Circuit Board
PEB	Post Exposure Bake
PECVD	Plasma Enhanced Chemical Vapour Deposition
PMMA	Polymethylmethacrylat
PSM	Phase-Shift Mask
REBL	Reflective Electron Beam Lithography
REM	Raster Elektronenmikroskop
RET	Resolution Enhancement Technology
RIE	Reactive Ion Etch
SACVD	Subatmospheric CVD
SF <sub>6</sub>	Schwefelhexafluorid
Si	Silizium
Si <sub>3</sub> N <sub>4</sub>	Siliziumnitrid
SiO <sub>2</sub>	Siliziumdioxid
SMO	Source Mask Optimization
SOI	Silicon on Insulator
SWAPS	Silicon Wired APS
TEOS	Tetraethylorthosilikat
Ti	Titan

TiN	Titannitrid
Ti/TiN	Titan/Titannitrid
TMAH	Tetramethylammoniumhydroxid
VSB	Variable Shaped Beam
W	Wolfram
WF <sub>6</sub>	Wolframhexafluorid

## Formelzeichen und Einheiten

$A$	Fläche	$[m^2]$
$B$	magnetische Feldstärke	$\left[ T = \frac{V \cdot s}{m^2} \right]$
$c$	Lichtgeschwindigkeit	$2,99792 \cdot 10^8 \frac{m}{s}$
$C$	Elektrische Kapazität	$[F]$
$d, b, h$	Strukturgröße	$[m]$
$e$	Elementarladung	$1,602 \cdot 10^{-19} C = 1,602 \cdot 10^{-19} A \cdot s$
$E$	Energie	$[J]$
	Index 0 bedeutet Ruheenergie	
$\varepsilon_0$	Elektrische Feldkonstante	$8,854188 \cdot 10^{-12} \frac{C}{V \cdot m}$
$\varepsilon_r$	relative Permittivität	
$F$	Kraft	$\left[ N = \frac{kg \cdot m}{s^2} \right]$
	Index B bedeutet Kraft eines Magnetfeldes	
	Index E bedeutet Kraft eines elektrostatischen Feldes	
$h$	Plancksches Wirkungsquantum	$6,626 \cdot 10^{-34} J \cdot s$
$I$	elektrische Stromstärke	$[A]$
$J$	elektrische Stromdichte	$\left[ \frac{A}{cm^2} \right]$
$k_1$	k-Faktor	
$l$	Länge	$[m]$
$\lambda$	Wellenlänge	$[m]$



$m$	Masse	[g]
	Index 0 bedeutet Ruhemasse	
$NA$	Numerische Apertur	
$\nu$ bzw. $f$	Frequenz	[s <sup>-1</sup> ]
	Index 0 bedeutet Frequenz in Ruhe	
$\omega$	Kreisfrequenz	[s <sup>-1</sup> ]
$p$	Impuls	$\left[ kg \cdot \frac{m}{s} \right]$
$Q$	Elektrische Ladung	[A·s]
$R$	Elektrischer Widerstand	[Ω]
$\rho$	spezifischer Widerstand	[Ωm]
$s$	Strahlauslenkung	[m]
$t$	Zeit	[s]
$t_R$	Photolackdicke	[m]
$\tau$	Zeitkonstante	[s]
U	Elektrische Spannung	[V]
$v$	Geschwindigkeit	$\left[ \frac{m}{s} \right]$
$V_b$	Beschleunigungsspannung	[V]

### Zusammenfassung

Im Jahre 1965 prognostizierte Gordon Moore basierend auf eigenen Erfahrungen, dass sich die Komplexität und damit die Anzahl der Bauelemente elektronischer Schaltungen auf einem Mikrochip in den folgenden 10 Jahren alle 2 Jahre verdoppeln werden. Diese Vorhersage, häufig als Mooresches Gesetz bezeichnet, ist noch heute gültig und dieser Trend wird auch in Zukunft anhalten.

Zur Belichtung der Chipstrukturen kommen in der modernen Halbleiterindustrie Waferscanner zum Einsatz. In diesen Geräten wird eine Photomaske, bestehend aus Quarzglas mit strukturierten absorbierenden und phasenschiebenden Schichten, mit den vierfach vergrößerten Chipstrukturen mittels einer verkleinernden Projektionsoptik auf einen Siliziumwafer Die für Die belichtet. Derzeit arbeiten die Scanner mit einer Belichtungswellenlänge von 193 nm, womit Minimalstrukturen bis unter 30 nm aufgelöst werden können. Diese hohe Auflösung, deutlich unterhalb der verwendeten Wellenlänge, kann durch den Einsatz von Resolution Enhancement Techniken (RET) erreicht werden. Folgende RET wurden nach und nach entwickelt:

- Phase-Shift Masks (PSM)
- Immersionslithografie
- Off-Axis Illumination (OAI)
- Double Patterning
- Optical Proximity Correction (OPC)
- Source Mask Optimization (SMO)

Vor allem OPC und SMO führen durch umfangreiche Hilfsstrukturen und die Zerlegung von Hauptstrukturen zu einer deutlichen Erhöhung der Photomasken-Komplexität. Die Herstellung dieser Photomasken erfordert präzise und schnelle Maskenschreiber. Gegenwärtig werden für die High-End Photomaskenherstellung ausschließlich Variable Shaped Beam (VSB) Elektronenstrahlschreiber eingesetzt. Die Belichtung erfolgt dabei mit einem Elektronenstrahl, welcher zu Quadraten, Rechtecken oder Dreiecken geformt wird. Die Kantenlängen liegen typischerweise zwischen 20 nm und 2 µm. Die finale Geometrie wird aus diesen Formen zusammengesetzt. Bei Belichtungsflächen von über 100 cm<sup>2</sup> und maximalen Datenmengen von ca. 1000 Gbit sind die daraus resultierenden langen Belichtungszeiten der entscheidende Kostenfaktor bei der Photomaskenherstellung.

Eine Möglichkeit die Schreibzeiten und damit die Herstellungskosten dieser Photomasken zu reduzieren ist der parallele Einsatz von mehreren Elektronenstrahlen. Die österreichische Firma IMS Nanofabrication AG ist der Entwickler einer vielversprechenden Variante des Multi-Beam-Schreibens. Dabei werden bis zu 262.144 Elektronenstrahlen parallel zur Belichtung eingesetzt. Eine Hauptkomponente ist in diesem System die Ablenkeinheit, welche aus einer strahlformenden Aperturplatte sowie einer strahlableitenden Ablenkplatte besteht. Jedem einzelnen durch die Aperturplatte erzeugten Elektronenstrahl ist dafür ein Elektrodenpaar in der Ablenkplatte zugeordnet. Die elektrische Ansteuerung der Elektroden erfolgt über eine in die Ablenkplatte integrierte CMOS-Logik.

Ein neuer, in dieser Arbeit verfolgter Ansatz ist die Herstellung vergrabener Ablenk-Elektroden sowohl aus Silizium als auch aus Wolfram unter Verwendung CMOS-kompatibler CVD- oder Trockenätzverfahren. Zum besseren Verständnis der Arbeiten wird zunächst auf die Entwicklung und die Theorie zur Elektronenstrahlolithografie eingegangen. Anschließend werden verschiedene Verfahren zur Multi-Elektronenstrahlolithografie vorgestellt und verglichen. Der Schwerpunkt liegt hierbei auf dem Ansatz der IMS Nanofabrication AG.

Die Entwicklung der vergrabenen Elektroden wird detailliert vorgestellt. Zunächst erfolgt der praktische Nachweis der Ablenkfunktionalität mit vergrabenen Elektroden aus hochdotiertem Silizium anhand eines Ablenksystems ohne CMOS-Elektronik. Dabei wird neben dem entwickelten Prozess-Ablauf zur Herstellung des Ablenkchips mit Siliziumelektroden auch erläutert, wie die Einzelteile der Ablenkssysteme hochgenau zusammengesetzt werden. Die Motivation für die Entwicklung dieser Variante war der Nachweis, dass die Strahlauslenkung mit Hilfe der vergrabenen Ablenk-Elektroden prinzipiell funktioniert. Für Grundsubstrate mit integrierter CMOS-Logik erfolgte die Entwicklung eines Prozess-Ablaufs für vergrabene Elektroden aus Wolfram.

Hierfür werden die größten technologischen Herausforderungen heraus- und Lösungen vorgestellt. In einem ersten Schritt wird ein Prozess-Ablauf vorgestellt, bei dem 6  $\mu\text{m}$  hohe Wolframelektroden auf Ablenkchips mit 43.008 Ablenzellen hergestellt werden. Die mit diesen Ablenkchips hergestellten Ablenkssysteme wurden elektronisch und elektronenoptisch untersucht, charakterisiert, und die Ergebnisse werden in dieser Arbeit dargestellt. Anhand dieser Ablenkssysteme erfolgt der Nachweis, dass Ablenkchips mit vergrabenen Wolframelektroden zur Auslenkung der Elektronenstrahlen geeignet sind. Am Anschluss wird der Prozesstransfer auf die finale Version des Ablenkchips mit 262.144

Ablenkzellen dargestellt. Dieser angepasste Prozess-Ablauf bildet die Basis für die Herstellung von 30  $\mu\text{m}$  hohen vergrabenen Wolframelektroden. Die hierfür notwendigen Prozessschritte werden in einem finalen Prozess-Ablauf vorgestellt. Anhand der elektrischen und elektronenoptischen Ergebnisse wird dabei gezeigt, dass Systeme mit diesen Ablenk-Elektroden geeignet sind, um die Anforderungen des Multi-Elektronenstrahlschreibers der IMS Nanofabrication AG an die notwendige Ablenkstärke zu erfüllen.

Zum Abschluss wird ein kurzer Ausblick für die mögliche weitere Entwicklung dieses Ablenksystems gegeben.

## Abstract

In 1965 Gordon Moore predicted based on his own experience the doubling of the complexity of microchips every two years for the upcoming ten years. Today his prediction is known as Moore's Law that is still valid and will be within the next years.

Modern semiconductor industry uses wafer-scanners for the exposure of microstructures. In these tools a photomask made of quartz-glass with structured light absorbing and phase shifting layers is exposed die by die by a 4x reduction optic onto a siliconwafer. Today's scanners work with a wavelength of 193 nm that allow the exposure of minimal feature sizes below 30 nm. This high resolution is clearly smaller than the wavelength and becomes possible using resolution enhancement technologies (RET). The following RET were developed over the past decades:

- Phase-shift masks (PSM)
- Immersion lithography
- Off-Axis illumination (OAI)
- Double Patterning
- Optical proximity correction (OPC)
- Source mask optimization (SMO)

Especially OPC and SMO increase the complexity of photomasks due to the use of assisted features and the parting of the main structures. The manufacturing of these photomasks needs precise and fast mask writers. Currently high-end photomasks are exposed by variable shaped beam (VSB) writers exclusively. The exposure is done by shaping a broad electron-beam into square, rectangular or even triangular geometry with a side length between 20 nm and 2  $\mu\text{m}$ . The final structures are composed by these elements. Assuming areas of 100  $\text{cm}^2$  to expose and data volumes up to 1000 Gbit the resulting exposure times are very long and subsequent they are the pivotal cost factor in photomask manufacturing.

One possibility to reduce photomask writing time and therefore manufacturing costs is the use of many electron-beams in parallel. The Austrian company IMS Nanofabrication AG is the tool developer of a very promising type of multi-beam writing. Up to 262.144 electron-beams can be used for exposure in parallel. One main component of this system

is a micro electro-mechanical blanking-system that consists mainly of a beam-shaping aperture-plate and a beam-blanking plate. Each beamlet that is created by the aperture-plate has its own pair of blanking- and ground-electrodes. The electrical control of these electrodes is done by an integrated CMOS-logic.

A new approach of manufacturing buried electrodes is developed within this work. These electrodes were made of two different conductive materials: first highly doped silicon and second tungsten by using CMOS-compatible CVD- and dry-etch processes. To generate a better understanding of this work the development and theory of electron beam lithography is explained. Subsequent different multi-beam approaches are introduced and compared with focusing on the approach of IMS Nanofabrication AG.

The manufacturing of the buried electrodes is presented in detail. At first the beam-blanking with highly doped buried silicon-electrodes is verified on systems without CMOS-logic due to the temperature budget of the fabrication process. The developed process-flow for manufacturing these electrodes is described as well as the assembly process to assemble the different parts of the blanking-system with high accuracy. Motivation of this first approach was the demonstration of the blanking functionality of buried electrodes in principle. The transition to wafers with integrated CMOS-logic was performed within the second approach by using buried electrodes made by tungsten.

The main technological challenges as well as solutions are described. In a first step a process-flow is introduced that creates tungsten-electrodes with a height of 6  $\mu\text{m}$  on chips with 43.008 electrodes. Blanking-systems using these chips were analysed by electrical and electron-optical measurements and the blanking-ability of buried tungsten-electrodes has been verified. The transfer of the tungsten process-flow to the final version of the blanking-chips containing 262.144 blanking-cells is described afterwards. Within this process-transfer the height of the buried tungsten-electrodes has been increased to 30  $\mu\text{m}$  and the additional process-steps are explained in detail. The electrical and electron-optical measurement results are utilized to verify that systems using 30  $\mu\text{m}$  high tungsten-electrodes can reach the blanking-power demanded by the multi-beam writer of IMS Nanofabrication AG.

At the end a short outlook for the possible future development of this blanking-system will be given.

# 1 Einleitung

Als erster Computer der Welt gilt die Rechenmaschine Zuse Z1, die Conrad Zuse im Jahre 1938 vorgestellt hat. Dieses Gerät arbeitete mit elektro-mechanischen Relais, hatte daher eine Taktfrequenz von nur einem Hertz war ca. eine Tonne schwer [1]. Mit dem Einsatz von Röhren statt der Relais konnte die Leistungsfähigkeit verbessert werden, mit Verfügbarkeit von integrierten Halbleiterschaltungen Ende der 1950er Jahre erfolgte jedoch die technische Revolution der Rechner. Durch die kontinuierliche Verkleinerung der Bauelementestrukturen konnten komplexere Schaltungsfunktionen integriert und die Chips damit schneller, billiger und effizienter werden.

Gordon Moore analysierte im Jahr 1965 die zeitliche Abhängigkeit der Komplexität integrierter Schaltkreise. Er stellte fest, dass sich die Anzahl der Bauelemente bzw. die Integrationsdichte pro Chip jährlich verdoppelt hatte – ein Zusammenhang, der seitdem als das Moor'sche Gesetz bekannt ist. Später wurde der Verdoppelungszeitraum auf alle zwei Jahre korrigiert. Moore ging davon aus, dass diese Entwicklung für die nächsten 10 Jahre anhalten wird, da dann physikalische Grenzen eine weitere Verkleinerung der Bauelemente verhindern würden. Entgegen seiner Vorhersage ist durch weltweite Forschung der im Moor'schen Gesetz beschriebene Trend bis heute ungebrochen [2], [3], [4]. Abbildung 1 stellt diesen Trend grafisch dar.

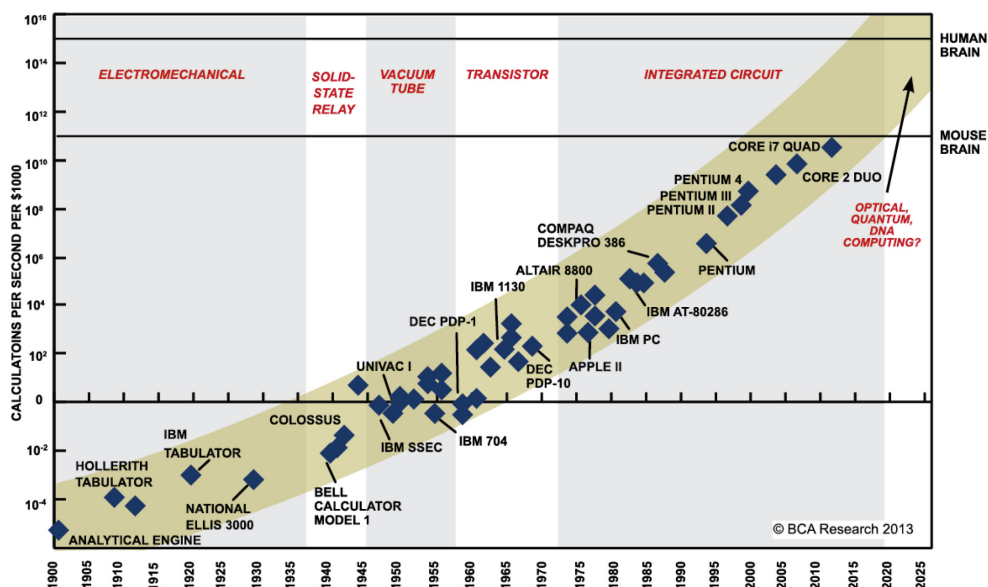


Abbildung 1: Moores Law (logarithmische Darstellung); es wird deutlich, dass die Aussage des Moor'schen Gesetzes bereits deutlich vor 1965 Gültigkeit hatte [5]

Heute wird davon ausgegangen, dass sich diese Entwicklung mindestens bis ins Jahr 2021 fortsetzen lässt, teilweise ist von einem Ende erst im Jahr 2035 die Rede [4], [6].

Die sich ständig vergrößernde Komplexität wird durch eine kontinuierliche Reduktion der Bauelementedimensionen erreicht. Ein Konsortium bestehend aus weltweit führenden Halbleiterfirmen prognostiziert in der International Technology Roadmap for Semiconductors (ITRS) den zeitlichen Verlauf der Integrationsdichte. Auch prinzipielle Lösungswege bezüglich des knotenabhängigen Lithografieverfahrens werden in der Roadmap ausgewiesen. Die Zielvorgaben werden getrennt nach Bauelementtyp ausgewiesen, wobei sich die Richtlinien am Moor'schen Gesetz orientieren. Somit wird festgelegt, in welchen Etappen, den Technologieknoten, die Verkleinerung der Strukturdimensionen erfolgen muss. Die gegenwärtig fortschrittlichsten Speicherchips werden in einer 14nm-Technologie gefertigt. Laufende Entwicklungen fokussieren sich bereits auf die zukünftigen 11nm- und 7nm-Knoten [7].

Die optische Lithografie ist die Schlüsseltechnologie zur Erhöhung der Integrationsdichte von ICs. Hierbei werden die verschiedenen Ebenen des IC-Designs mit Hilfe eines Patterngenerators auf Masken erzeugt und anschließend sukzessive durch die Belichtung eines Photolacks in die verschiedenen Schichten eines Siliziumsubstrates übertragen. In den Anfängen der IC-Fertigung erfolgte die Belichtung mit Hilfe von Kontaktbelichtern. Dabei wurde die Maske während der Patternübertragung in direkten Kontakt zum Substrat gebracht. Nachteilig waren sowohl der hohe Maskenverschleiß, bedingt durch die Berührung zwischen Maske und Substrat, als auch die schlechte Auflösung. Die nachfolgend entwickelte Projektionslithografie, bei der die Maske durch eine Optik zunächst 1:1 auf das Substrat belichtet wurde, vermeidet den Nachteil des direkten Kontakts, die Auflösung blieb jedoch unverändert. Erst mit der Einführung der verkleinerten Abbildung, zunächst 5:1, danach 4:1, zusammen mit dem Step-and-Repeat-Prinzip der Belichtung konnte die Auflösung signifikant verbessert werden [8]. Schließlich wurde das Stepper-Prinzip durch das Scanner-Prinzip abgelöst. Beim Scanner erfolgt die Belichtung des Chips nicht mit einem Shot sondern durch das Abscannen der Photomaske mit einem Spalt. Mit Hilfe dieser Methode lässt sich die numerische Apertur vergrößern und damit die Auflösung verbessern.

Die erreichbare Auflösung eines optischen Lithographiesystems wird anhand des Rayleigh-Kriteriums bestimmt, welches lautet:

$$d = k_1 \cdot \frac{\lambda}{NA} \quad 1.1$$



Es beschreibt den minimalen Abstand  $d$  zwischen zwei noch aufgelösten Punkten, wobei das erste Beugungsminimum eines Bildpunktes mit dem Beugungsmaximum des anderen Bildpunktes zusammenfällt [9]. Dabei steht  $\lambda$  für die Wellenlänge der verwendeten Strahlung und  $NA$  ist die numerische Apertur, also das Produkt aus Brechungsindex  $n$  des Mediums zwischen Objektiv und Substrat und dem Sinus des halben Öffnungswinkels  $\theta$  des Objektivs. Die Konstante  $k_1$  wird hauptsächlich durch die verwendeten RET bestimmt. Die Realisierung eines Wertes von kleiner 0,25 wird allerdings nicht für möglich gehalten [10, p. 165], [11].

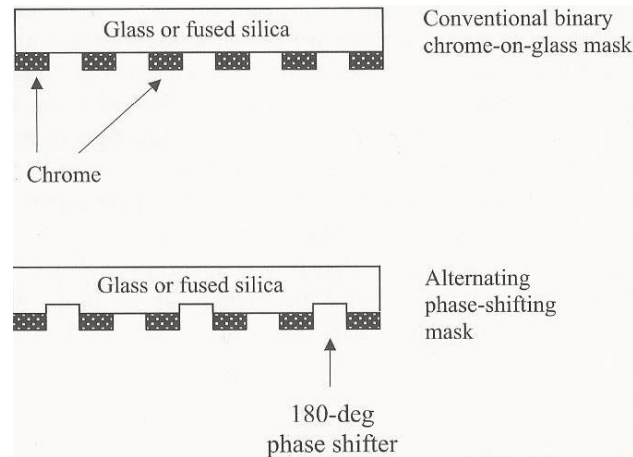
Entsprechend Formel 1.1 hängt  $d$  direkt von der Wellenlänge der verwendeten Strahlung ab. Die Reduzierung der Wellenlänge ermöglicht somit die Herstellung kleinerer Strukturen. Dieser Weg wurde über mehrere Dekaden hinweg verfolgt. So kam zunächst Licht der Wellenlänge 436 nm (g-Linie des Spektrums einer Quecksilberdampf Lampe) zum Einsatz, später wurde mit 365 nm Wellenlänge die i-Linie einer solchen Lampe genutzt. In den folgenden Technologieknoten kamen Laserquellen mit 248 nm und 193 nm zum Tragen. Die Wellenlänge von 193 nm wird seit Ende der neunziger Jahre für die moderne Chipfertigung genutzt und an der Einführung der EUV-Strahlung mit 13,5 nm wird weltweit gearbeitet [10, pp. 15-16].

Auch mit größer werdender Numerischer Apertur sinkt die kleinstmögliche Strukturgröße. Davon ausgehend, dass der Winkel  $\theta$  immer kleiner als  $90^\circ$  ist und Luft mit  $n = 1$  als Kopplungsmedium verwendet wird, ist  $NA$  immer kleiner als 1. Durch die Immersionslithografie, bei der statt Luft Wasser als Kopplungsmedium mit höherem Brechungsindex zum Einsatz kommt, kann die Numerische Apertur auf 1,35 erhöht werden [12, pp. 15-18].

Folgende RET zur Verbesserung der Auflösung und damit zur Reduzierung des  $k_1$ -Faktors sind bekannt:

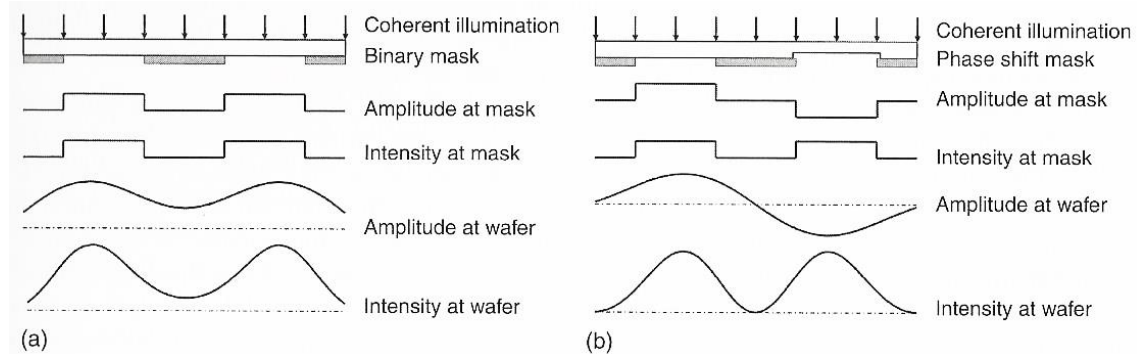
#### *Phase-Shift Masks*

Phase-Shift Masks (Phasenschiebende Masken, PSM) ermöglichen durch das Ausnutzen von Interferenzeffekten einen erhöhten Kontrast. Wie in Abbildung 2 ersichtlich, wird dazu zusätzlich zur Absorberschicht in bestimmten Bereichen der Maske ein Phasenschieber integriert, der dafür sorgt, dass die Lichtwelle nach dem Durchstrahlen durch die Maske in diesen Bereichen um  $180^\circ$  phasenverschoben ist [12, p. 295ff], [13, pp. 18-20ff].



**Abbildung 2: Konventionelle einfache Binäremaske (oben) vs. PSM (unten); durch zusätzliche Quarzätzung wird die Phasenverschiebung erreicht [12, p. 296]**

Dabei ist die Quarzschicht in diesen Bereichen um die halbe Wellenlänge der verwendeten Strahlung dicker oder, je nach Prozessierung, dünner als auf dem restlichen Maskensubstrat. Durch diese Verschiebung kommt es bei der Interferenz mit benachbarten Wellen auf dem Substrat zur Auslöschung. Dieser Effekt verbessert den Kontrast deutlich, wie die folgende Abbildung 3 durch den Vergleich der Intensitäten zeigt [12, p. 295ff], [13, pp. 18-20ff].

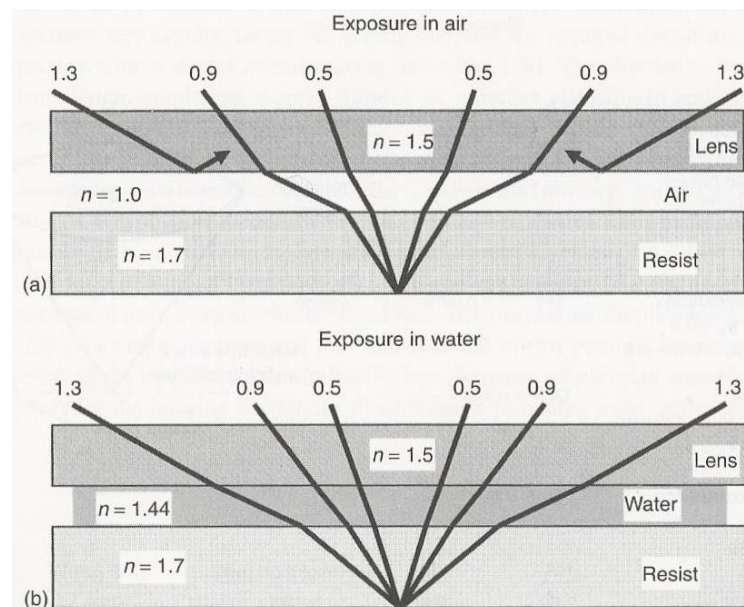


**Abbildung 3: Kontrasterhöhung durch PSM: Durch Phasenschiebung wird die Intensität zwischen zwei Bildpunkten auf Null gesenkt und damit der Kontrast deutlich verbessert [13, pp. 18-21]**

Neben der beschriebenen alternierenden Phasenschiebermaske (alternating PSM) gibt es noch weitere Arten: Bei der Halbtonphasenmaske (attenuated PSM) wird die Phasenschiebung mit Hilfe einer dünnen Absorberschicht erreicht. Dreiton-Phasenmasken entstehen durch die Kombination von alternierender und Halbtonphasenmaske [12, p. 295ff].

### Immersionolithografie

Gemäß Gleichung 1.1 führt eine größere Numerische Apertur zu einer höheren Auflösung. Diese lässt sich vergrößern, indem als Koppelmedium zwischen Maske und Siliziumsubstrat statt Luft ein Medium mit höherem Brechungsindex verwendet wird, was anhand von Abbildung 4 verdeutlicht wird.

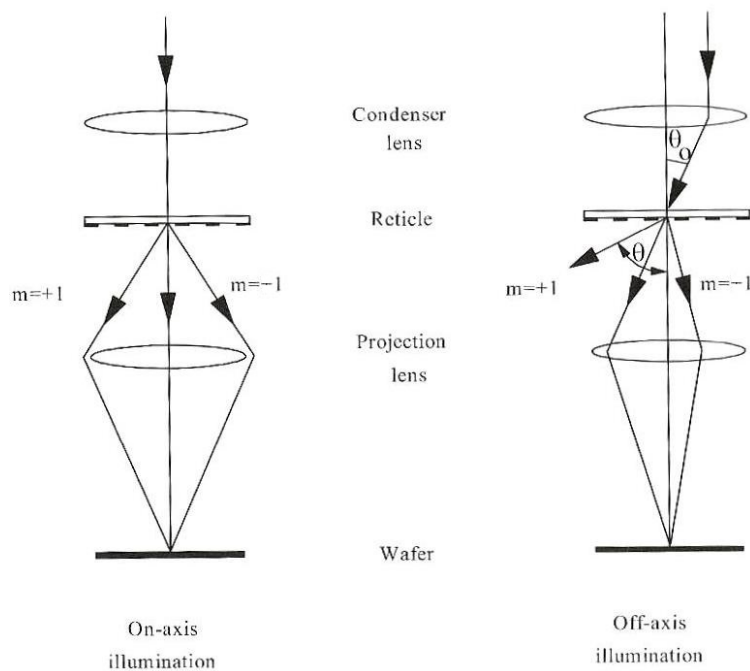


**Abbildung 4: Verdeutlichung des Prinzips der Immersionolithografie: konventionelle Waferstepper nutzen Luft als Koppelmedium zwischen Maske und Substrat (a), bei der Immersionolithografie kommt Wasser als Koppelmedium zum Einsatz (b); die Nummer über jedem Strahl zeigt die mögliche NA [13, pp. 18-39]**

Als Immersionsflüssigkeit kommt in aktuellen Systemen Wasser zum Einsatz. [13, pp. 18-38ff]

### Off-Axis Illumination

Durch die Belichtung des Substrates schräg zur optischen Achse lässt sich der Abstand zwischen Beleuchtungsachse und erster Beugungsordnung vergrößern, wie Abbildung 5 zeigt. Damit wird die Auflösung deutlich verbessert. Die technische Umsetzung der Off-Axis Illumination (OAI) erfolgt mit Blenden wie beispielsweise einer Ringblende. Der Durchsatz wird dadurch unwesentlich verringert, die Auflösungsverbesserung ist jedoch so signifikant, dass sich diese Methode bei der Herstellung fortgeschrittener Chips weitgehend durchgesetzt hat [12, p. 273ff].



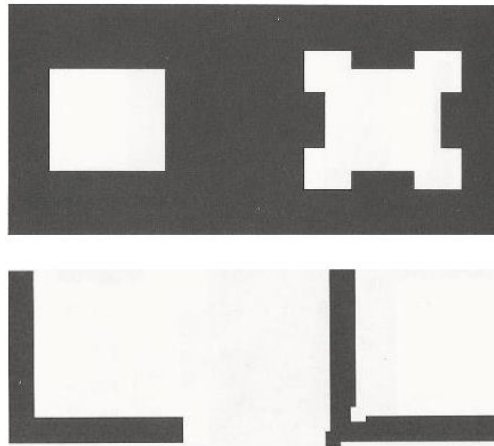
**Abbildung 5: Off-Axis Illumination: Durch die schräge Belichtung (rechts) wird der Abstand zwischen Haupt- und Nebenmaxima vergrößert [12, p. 274]**

### *Optical Proximity Correction*

Bei Strukturdimensionen in der Größenordnung der Belichtungswellenlänge gewinnt auch der Optische Proximity Effekt an Bedeutung. Vom Optischen Proximity Effekt wird gesprochen, wenn der unterschiedliche Abstand zwischen gleichen Strukturen zu unterschiedlichen Strukturgrößen nach der Belichtung führt. Aufgrund des Effekts kommt es zur Kantenverrundung, Linienverkürzung und der massiven Abhängigkeit der Linienbreite von der Strukturichte. Dabei ist der Effekt stark abhängig von der verwendeten Lithografiegeneration.

Die notwendigen Korrekturen werden als Optical Proximity Correction (OPC) bezeichnet. Hierbei werden bereits bei der Datenaufbereitung gezielte Korrekturstrukturen eingefügt und beispielsweise Linien länger gestaltet, um die späteren Änderungen während der Belichtung auszugleichen. Allerdings ist die Entwicklung und Anwendung der OPC sehr komplex, da verschiedene Designs auch verschiedener Korrekturen bedürfen.

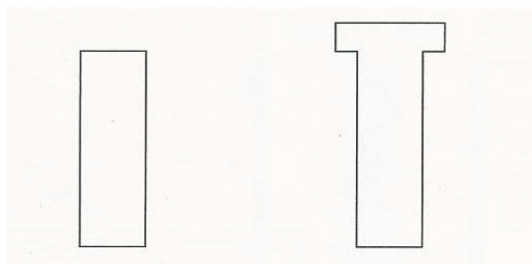
Zur Reduzierung der Eckenverrundungen zu verhindern werden diese beispielsweise mit Serifen korrigiert, was schematisch in Abbildung 6 dargestellt ist.



**Abbildung 6: Serifen bei Löchern (oben) und L-förmigen Strukturen (unten); jeweils links die unkorrigierte Struktur [12, pp. 285-286]**

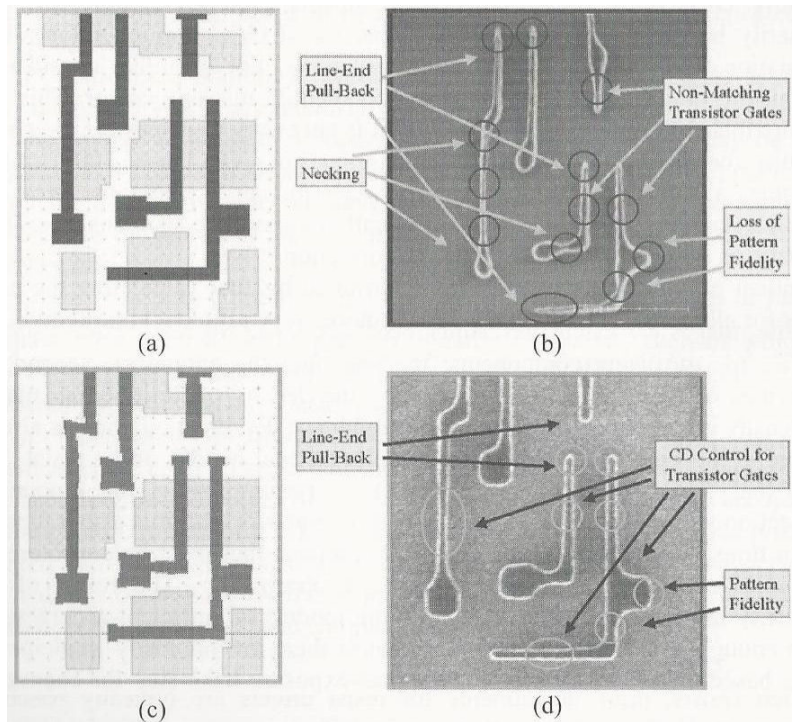
Isolierte Linien können besser aufgelöst werden, wenn im Rahmen der OPC bei der Datenaufbereitung Hilfslinien (assisted Features) unterhalb der Auflösungsgrenze eingefügt werden. Da diese Linien kleiner sind als die maximale Auflösung werden sie bei der Belichtung nicht auf dem Substrat abgebildet.

Große Rechtecke weisen oft eine Verkürzung auf, jedoch wird die Breite wie im Design vorgesehen abgebildet. Gleichzeitig tritt die bereits genannte Eckenverrundung auf. Beide Effekte werden durch einen sogenannten „hammerhead“ an den Enden des Rechtecks ausgeglichen, wie er in Abbildung 7 dargestellt ist.



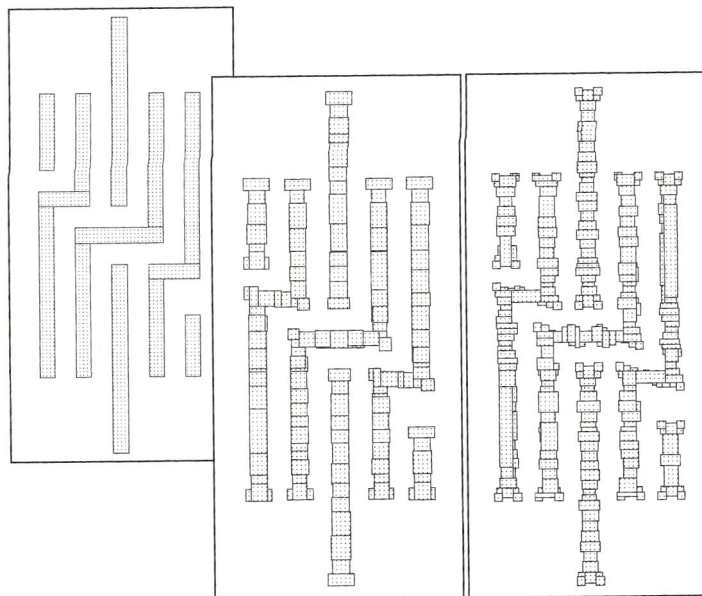
**Abbildung 7: Hammerhead (rechts): Durch die gleichzeitige Verlängerung und Verbreiterung des Linienendes wird der Verkürzung und Verrundung der Ecken gleichzeitig entgegengewirkt [12, p. 288]**

Abbildung 8 zeigt die Kombination der genannten OPC-Korrekturen und deren Auswirkung auf das Belichtungsergebnis. Ohne diese Korrekturen weichen die erzeugten Strukturen nach der Belichtung zu stark vom Design ab, so dass sich kein funktionales Gesamtsystem herstellen lässt.



**Abbildung 8: Beispiele für OPC: Design oben ohne Korrekturen, Design unten mit Korrekturen (Belichtungsergebnis jeweils rechts) [12, p. 289]**

Bis zur Einführung der 250nm-Technologie war praktisch kein OPC notwendig. Doch seit der Einführung der 130nm-Technologie stellt die Untersuchung der OPC den aufwändigsten Teil der gesamten Lithografieentwicklung dar, was auch die folgende Abbildung 9 noch einmal verdeutlicht [12, pp. 288-289].

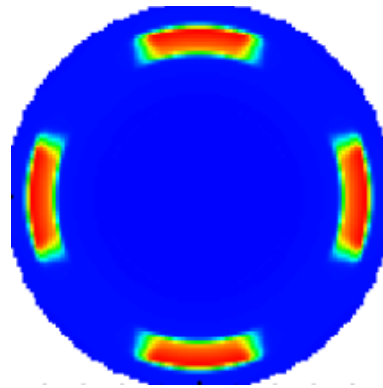


**Abbildung 9: Entwicklung der OPC (links=gewünschtes Ergebnis, Mitte=Standard OPC, rechts="aggressive" OPC) [10, p. 24]**

### *Source-Mask-Optimization*

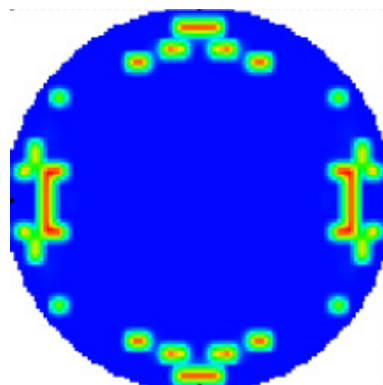
Die konsequente Weiterentwicklung der RET beinhaltet vor allem die Kombination der bisher genannten Verfahren wie OAI und OPC. Hierfür werden anhand von mathematischen Modellen Belichtungen simuliert, was als Computational Lithgraphy oder Source-Mask Optimization (SMO) bezeichnet wird. Anhand der Ergebnisse werden Photomaske und Lichtquelle optimal aufeinander abgestimmt [14].

Dazu ist die Lichtquelle in den Scannern flexibel und kann dem zu belichtenden Pattern angepasst werden. Die OAI wird dabei standardmäßig angewendet, indem die Beleuchtung aus zwei Richtungen als Dipol oder wie in Abbildung 10 in Form eines Quadrupols, also aus vier Richtungen, in einem Winkel zur optischen Achse erfolgt.



**Abbildung 10: Quadrupol-Lichtquelle: Die Beleuchtung kommt aus vier Richtungen zur besseren Ausleuchtung des Belichtungsfeldes [15]**

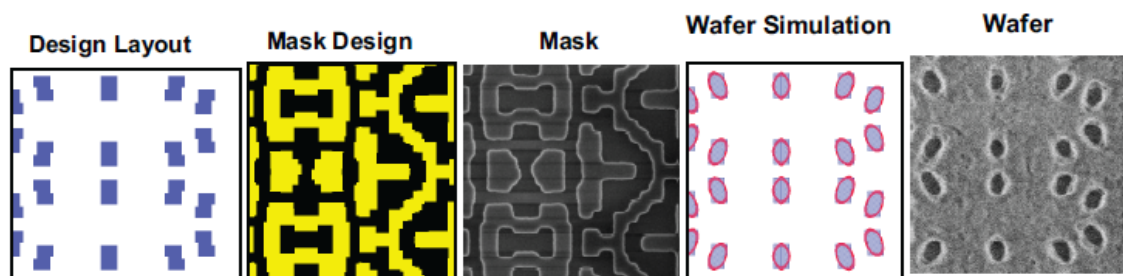
Je nach Design und Anforderungen kann die Quellenform aber auch wie in Abbildung 11 gezeigt sehr komplex gestaltet werden.



**Abbildung 11: Freiform-Quelle: Optimale Ausleuchtung des Belichtungsfeldes durch Beleuchtung aus mehreren Richtungen mit unterschiedlichen Intensitäten und Größen der Lichtpunkte [15]**

Die Belichtung erfolgt dabei aus unterschiedlichen Richtungen und in verschiedenen Intensitäten. Das erste kommerzielle System, welches diese Freiform-Quellen nutzen kann, wurde im Jahr 2009 vom Hersteller ASML unter dem Namen FlexRay eingeführt [16].

Für jedes Design muss eine Simulationen zur Bestimmung der idealen Quellenform durchgeführt werden. Im Extremfall entsteht dabei eine pixelgenaue Quelle. Die komplexen Quellenformen in Verbindung mit der entsprechenden OPC führt dazu, dass aus den Maskenstrukturen praktisch nicht mehr ersichtlich ist, was für Strukturen nach der Belichtung im Scanner auf dem Substrat entstehen. Ein Beispiel hierfür zeigt die folgende Abbildung 12, bei der durch SMO das optimale Quellen- und Maskendesign simuliert wurde [17].



**Abbildung 12: Maskenlayout durch SMO – links: gewünschtes Layout (Design Layout), rechts: Belichtungsergebnis (Wafer); Durch SMO wurde das optimale Maskendesign ermittelt (Mask Design) und die Belichtungsmaske hergestellt (Mask). Das Ergebnis der Wafersimulation (Wafer Simulation) ergibt sich aus dem Design und konnte auf dem Wafer dargestellt werden [17]**

Aktuelle Computerchips, beispielsweise Prozessoren der Intel-Kaby-Lake-Generation in 14nm-Technologie, enthalten weit über eine Milliarde Transistoren. Ein großer Anteil bedarf hier einer eigenen Korrektur, so dass einige Millionen Designs in einem langwierigen iterativen Prozess simuliert und korrigiert werden müssen. Dadurch ist SMO ein wesentlicher Bestandteil des gesamten Chipdesigns [18], [12, pp. 290-292].

### *Double Patterning*

Mit Einführung der Sub-30nm-Technologieknoten wurde das Double Patterning als Lithografieoption etabliert. Auf unterschiedlichen Wegen wird hierbei eine Strukturierungsebene durch zweifache Belichtung erzeugt. Dadurch kann die Auflösung prinzipiell verdoppelt werden. Ein dichtes Pattern wird bei der Datenaufbereitung in zwei Pattern mit geringerer Dichte zerlegt und diese Hilfsdesigns dann auf zwei Masken verteilt. Abbildung 13 zeigt verschiedene Varianten des Double Patterning [19].



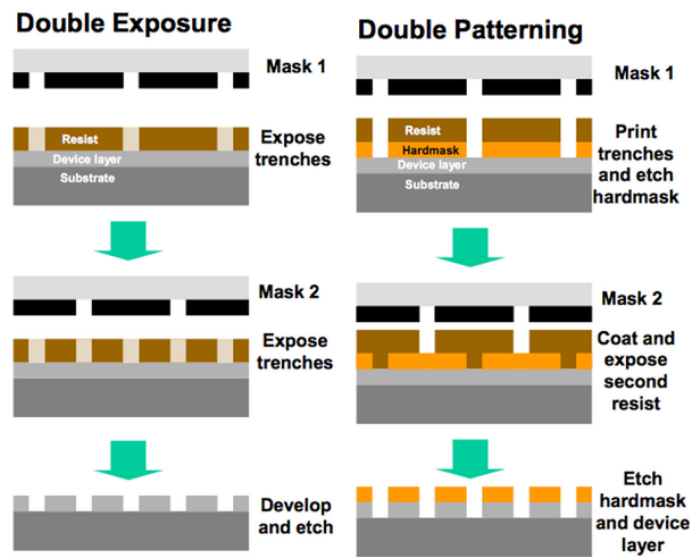


Abbildung 13: DP Varianten: Double Exposure (links) und Litho Freeze (rechts) [20]

Der große Vorteil des Verfahrens ist die Möglichkeit, das bereits vorhandene Lithografieequipment nutzen zu können. Nachteilig ist dagegen, dass zwei aufeinander justierte Belichtungsschritte notwendig sind. Dieser Gesamtprozess benötigt eine zweite Maske pro Strukturierungsebene und stellt hohe Anforderungen an Overlay und Placement. [19], [20], [21].

Aufgrund der großen Menge an Bauelementen auf einem Mikrochip und der damit verbundenen Masse an OPC-Daten vor allem durch Anwendung von SMO erhöhen sich die Datenmengen für die Maskendesigns mit jeder Technologie-Stufe enorm. Diese steigende Anzahl an Pixeln in Verbindung mit dem erhöhten Bedarf an Lithografiemasken durch das Double Patterning führt zu extrem erhöhten Schreibzeiten aufgrund der seriellen Arbeitsweise konventioneller Elektronenstrahlschreiber. Die langen Schreibzeiten resultieren in massiven Kosten für Maskensätze. Zur Verringerung der Schreibzeiten muss der Durchsatz der Maskenschreiber deutlich erhöht werden [12, pp. 273-295].

Abbildung 14 zeigt den Anstieg der Schreibdaten für Lithografiemasken in den letzten Jahren. Maximale Datenmengen von 1 TB und mehr sind üblich, was zu maximalen Schreibzeiten von 60 Stunden pro Maske führt und die Datenaufbereitung sehr aufwändig werden lässt. Datenpräparationszeiten bis zu weit über 100 Stunden sind dabei notwendig [22].

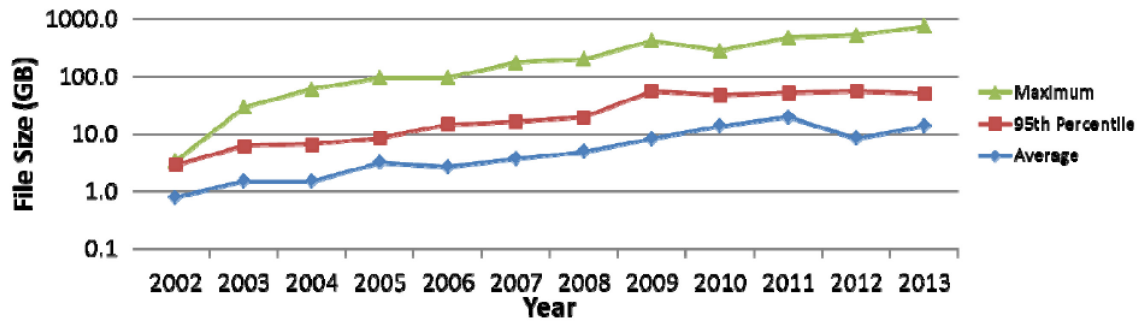


Abbildung 14: Anstieg der Schreibdatenmengen seit 2002 [22]

Da die Maskendaten für zukünftige Technologien weiter steigen werden, gilt es, die Schreibzeiten und damit die Herstellungskosten von Lithografiemasken durch geeignete Maßnahmen zu verringern. Durch den parallelen Einsatz von Elektronenstrahlen, je nach Prinzip können es mehrere hunderttausend sein, kann eine deutliche Reduzierung der Schreibzeiten erreicht werden.

Die Funktionsweise von Elektronenstrahlschreibern mit einem und mehreren Strahlen wird in den folgenden Kapiteln erläutert. Dabei erfolgt die Darstellung der Realisierung des individuellen Strahlblankings bei Multibeam-Lösungen und die Herausarbeitung des Zusammenhangs zwischen Schreibprinzip und Schreibzeit. Schließlich wird ein neuer Prozess zur Herstellung von Multibeam-Ablenkssystemen auf der Basis von CMOS-Chips detailliert vorgestellt.

## 2 Elektronenstrahlolithografie

Bereits 1960 stellten Möllenstedt und Speidel Ergebnisse vor, die sie mit einem elektronenoptischen Mikroschreiber an der Universität Tübingen erreichten. Sie konnten mit einem Elektronenstrahl von 20 nm Durchmesser unter damaligen Verhältnissen feine Linien und Strukturen von 500 nm erzeugen. Dabei diente eine Kollodiumschicht als zu strukturierendes Material. Mit diesem und ähnlichen Schreibern konnten erstmals im Labormaßstab Bauelemente im Mikrometer- und Sub-Mikrometer-Maßstab hergestellt und damit die Möglichkeiten der Strukturierung mit Hilfe eines gaußförmigen Elektronenstrahls aufgezeigt werden. Diese Technologie ermöglichte das Erzeugen komplexer Pattern durch die serielle Belichtung einzelner Bildpunkte. In den 1970er Jahren wurden hoch integrierte Schaltungen (VLSI) entwickelt und in Maskenhäusern die bisherigen langsamen opto-mechanischen Schreiber durch die neuen und schnelleren Gaußstrahl-Schreiber ersetzt, die in Abschnitt 2.3 detaillierter beschrieben werden [23].

Zu Beginn der 1970er Jahre begannen IBM und Carl Zeiss Jena unabhängig voneinander mit der Entwicklung von Elektronenstrahlschreibern, die mit Hilfe von zwei Aperturblenden einen variabel geformten Strahl erzeugten. Diese Variable Shaped Beam (VSB) Schreiber bzw. Formstrahlschreiber ermöglichen ein schnelleres Schreiben als Geräte, die mit einem Gaußstrahl arbeiten. Abbildung 15 zeigt einen Vergleich der Schreibfeldzerlegung beider Systeme.

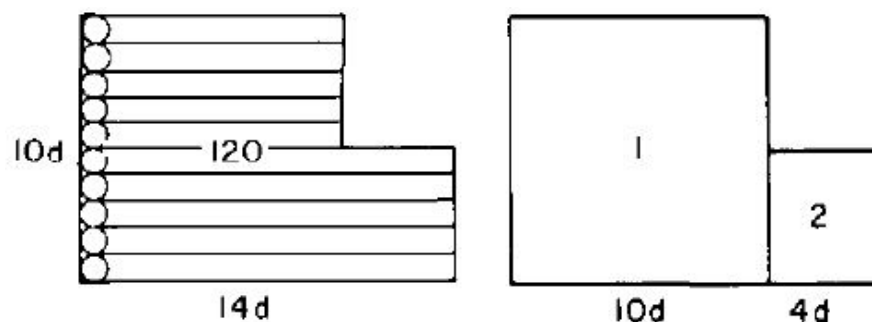
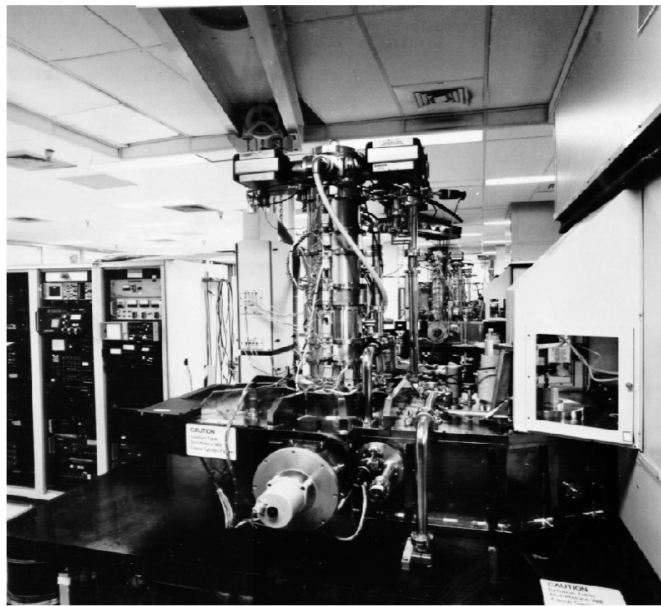


Abbildung 15: Vergleich Gaußstrahl-Schreiber (links) vs. VSB-Schreiber (rechts) [24]

Das Pattern im Beispiel kann im VSB-Schreiber mit nur zwei verschieden großen Belichtungsshots erzeugt werden. Ein Gaußstrahl-Schreiber benötigt hierfür 120 Shots und dadurch deutlich länger für die Belichtung des gleichen Designs. Aufgrund der verkürzten Schreibzeiten haben sich die Variable Shaped Beam Systeme schnell in der Halbleiterindustrie durchgesetzt, da sowohl die maximale Auflösung als auch die Schreibgeschwindigkeit sehr gut sind. VSB-Schreiber werden sowohl zum Erzeugen von

Masken als auch zum Wafer-Direktschreiben eingesetzt [24]. Auf die Besonderheiten sowie Vor- und Nachteile der VSB-Systeme wird in Kapitel 2.4 genauer eingegangen.

IBM war bei der Entwicklung und Anwendung der VSB-Systeme in den 1970er Jahren weltweit führend. Das IBM EL-1 System erreichte mit Wafern von 57 mm Durchmesser einen Rekorddurchsatz von 22 Wafern pro Stunde bei Strukturbreiten von 2  $\mu\text{m}$ . Bis in die 1980er Jahre installierte IBM in seinen Fabriken 30 weitere Elektronenstrahlschreiber vom Typ EL-3, dem in Abbildung 16 gezeigten Nachfolger des EL-1.



**Abbildung 16: IBM EL-3 [23]**

Grundlage hierfür war die Idee einer Mix-and-Match Lithografie, bei der die optische Lithografie und das Elektronenstrahldirektschreiben kombiniert werden. So können auf einem Wafer verschiedene Chip-Designs gefertigt werden. Mit Hilfe der optischen Lithografie werden alle Bauelemente wie beispielsweise Transistoren, Widerstände oder Dioden erzeugt. In den späteren Metallebenen werden diese anschließend je nach benötigter Funktionalität der Mikrochips nach Kundenwunsch verschaltet, wobei mit Hilfe der Elektronenstrahlithografie die Metalllagen belichtet werden. Mit dieser Technologie wurde das schnelle und für die damalige Zeit kostengünstige Fertigen von vielen verschiedenen Designs möglich [23].

Mit dem Übergang der Bipolar- zur CMOS-Technologie zu Beginn der 1990er Jahre verringerte sich die Variabilität der Chipdesigns. Statt die Mikrochips über die Verdrahtungsebenen zu programmieren, wurde die gewünschte Funktionalität durch universelle Mikroprozessoren und das Programmieren mit Hilfe von Software realisiert.

Damit konnten gleiche Chips für unterschiedliche Anforderungen hergestellt werden, deren Design und damit die Lithografieebenen gleich waren. So konnten die Kosten der Maskensätze pro Chip deutlich verringert werden und das Direktschreiben von Wafern war nicht mehr wirtschaftlich. Zudem stiegen Wafergröße und Auflösung deutlich an, so dass die erreichbaren Durchsätze mittels Direktschreiben massiv verringert wurden. Dieser Zusammenhang wird in Abbildung 17 dargestellt.

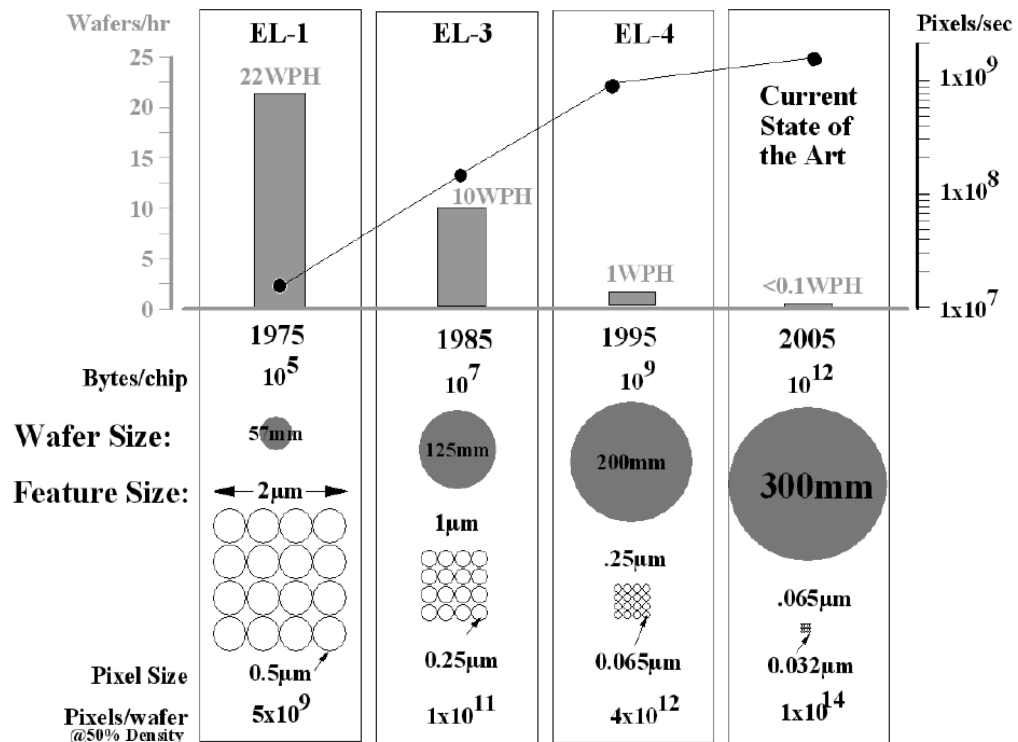


Abbildung 17: Datenmengen in Abhängigkeit von Substratgröße, CD und Shot-Anzahl seit 1975 [23]

Aus diesem Grund wird das Elektronenstrahlschreiben heute im Wesentlichen für das Herstellen von Masken und für die schnelle Prototypenfertigung verwendet [23]. Daher fokussieren sich auch die Ausführungen in dieser Arbeit auf den Einsatz der Elektronenstrahlolithografie bei der Herstellung von Belichtungsmasken für die optische Lithografie.

## 2.1 Grundlagen der Elektronenstrahlolithografie

Dem französischen Physiker Louis Victor Pierre Raymond duc de Broglie ist es zu verdanken, dass sich die Entwickler bei der Suche nach Strahlungsquellen mit kleinerer Wellenlänge als die des Lichtes auch mit Elektronen beschäftigten. Er legte für diese Untersuchungen im Jahre 1923 den Grundstein. Zuvor wurden zwei wichtige Entdeckungen in der Physik gemacht: Zum einen erkannten die Wissenschaftler zu

Beginn des 20. Jahrhunderts, dass Licht neben Wellen- auch Teilcheneigenschaften aufweist und zum anderen wurden sowohl die Ladung als auch die Ruhemasse eines Elektrons bestimmt. Auf Basis dieser Untersuchungen stellte de Broglie die Theorie auf, dass Elektronen und andere Objekte, die eine Ruhemasse größer Null haben, neben Teilchen- auch Welleneigenschaften besitzen müssen [25].

Dabei ging er von drei Gleichungen aus, die die Masse  $m$  eines Elektrons mit einer Frequenz  $f$ <sup>1</sup> verbinden:

$$m_0 \cdot c^2 = E_0 = h \cdot f_0 \text{ (ruhend Elektron)} \quad 2.1$$

$$m \cdot c^2 = E = h \cdot f \text{ (bewegtes Elektron)} \quad 2.2$$

$$m = m_0 \cdot \left(1 - \frac{v^2}{c^2}\right)^{-\frac{1}{2}} \text{ (relativistische Massezunahme)} \quad 2.3$$

Die Formeln 2.1 und 2.2 können über das Umstellen nach  $h$  gleichgesetzt werden.

$$\frac{m_0}{f_0} = \frac{m}{f} \quad 2.4$$

Mit Hilfe von Gleichung 2.3 kann die Masse  $m$  ersetzt werden. Damit wird auch eine Zunahme der Teilchenmasse berücksichtigt, wenn dieses auf sehr hohe Geschwindigkeiten nahe der Lichtgeschwindigkeit beschleunigt wurde.

$$\frac{m_0}{f_0} = \frac{m_0 \cdot \left(1 - \frac{v^2}{c^2}\right)^{-\frac{1}{2}}}{f} \quad 2.5$$

Aus dieser Gleichung kann nun auch die Masse des Teilchens  $m_0$  gestrichen werden.

Anschließend wird Formel 2.5 nach der Geschwindigkeit  $v$  umgestellt.

$$v = c \cdot \sqrt{1 - \left(\frac{f_0}{f}\right)^2} \quad 2.6$$

---

<sup>1</sup> Aus Gründen der Lesbarkeit wurde das in der Literatur in diesen Gleichungen übliche Formelzeichen  $\nu$  durch das Formelzeichen  $f$  ersetzt

De Broglie nahm weiter an, dass die Elektronen sich wie in einem Wellenpaket verhalten und ihre Geschwindigkeit gleich der Gruppengeschwindigkeit des Wellenpakets ist. Für die Geschwindigkeit gilt damit

$$v = \frac{d\omega}{dk} \quad 2.7$$

Es gelten folgende Bedingungen für  $\omega$  und  $k$  sowie den Zusammenhang zwischen der Phasengeschwindigkeit  $c_p$  und der Wellenlänge  $\lambda$  :

$$\omega = 2 \cdot \pi \cdot f \quad 2.8$$

$$k = \frac{2 \cdot \pi}{\lambda} \quad 2.9$$

$$c_p = f \cdot \lambda \quad 2.10$$

Mit Hilfe der Beziehung aus Formel 2.8 lässt sich  $d\omega$  in Gleichung 2.7 durch  $2 \cdot \pi df$  ersetzen.  $\lambda$  in Formel 2.9 wird durch Umstellen von Formel 2.10 ersetzt, so dass sich

$$k = \frac{2 \cdot \pi \cdot f}{c_p} \quad 2.11$$

ergibt. Beide Beziehungen in Formel 2.7 eingesetzt ergibt die Gleichung

$$v = 2 \cdot \pi \frac{df}{dk} = \frac{df}{d\left(\frac{f}{c_p}\right)} \quad 2.12$$

De Broglie kombinierte Formel 2.12 und Formel 2.6 um eine Gleichung zu erhalten, die Wellen- und Teilchenaspekte kombiniert und für Materiewellen gültig ist.

$$\frac{f df}{c \cdot (f^2 - f_0^2)^{\frac{1}{2}}} = d\left(\frac{f}{c_p}\right) \quad 2.13$$

Durch Integration ergibt sich

$$\int \frac{f df}{c \cdot (f^2 - f_0^2)^{\frac{1}{2}}} = \frac{f}{c_p} + const \quad 2.14$$

Durch Substitution lässt sich das Integral lösen, so dass sich

$$\frac{(f^2 - f_0^2)^{\frac{1}{2}}}{c} = \frac{f}{c_p} + const \quad 2.15$$

ergibt. Die Integrationskonstante ergibt sich aus der Annahme, dass die Geschwindigkeit der Teilchen null ist. Dann gilt  $f = f_0$  und die linke Seite von Gleichung 2.15 wird ebenfalls null. De Broglie ging davon aus, dass in diesem Fall auch gilt

$$\frac{f}{c_p} = \frac{1}{\lambda} = 0 \quad 2.16$$

Diese Annahme beruht auf der Vorstellung, dass ein ruhendes Teilchen eine unendlich große Wellenlänge besitzt. Damit gilt  $const = 0$ . Gemäß Gleichung 2.6 gilt

$$(f^2 - f_0^2)^{\frac{1}{2}} = \frac{f \cdot v}{c} \quad 2.17$$

Mit Hilfe dieser Beziehung und  $const = 0$  lässt sich Gleichung 2.15 umformen zu

$$v \cdot c_p = c^2 \quad 2.18$$

Nun kann Formel 2.2 nach  $c^2$  umgestellt und dieser Zusammenhang in Formel 2.18 eingesetzt werden. Zusammen mit der Beziehung aus Gleichung 2.10 ergibt sich dann durch Auflösen nach der Wellenlänge:

$$\lambda = \frac{h}{m \cdot v} = \frac{h}{p} \quad 2.19$$

Diese Gleichung ermöglicht die Berechnung der Wellenlänge eines Teilchens der Masse  $m$  das sich mit der Geschwindigkeit  $v$  bewegt. Dieser Zusammenhang wurde schließlich im Jahre 1927 durch Beugungsexperimente mit Elektronen von Clinton Davisson und Lester Germer experimentell bewiesen [25], [26].

Um nun die Wellenlänge eines Elektronenstrahls zu berechnen, muss die Geschwindigkeit der Teilchen bekannt sein. In einem Elektronenstrahlschreiber erhalten die Elektronen ihre kinetische Energie und damit ihre Geschwindigkeit durch eine Beschleunigungsspannung. Über diese kinetische Energie kann die Elektronengeschwindigkeit ermittelt und die zugehörige Wellenlänge des Elektronenstrahls angegeben werden. Dabei muss unterschieden werden, ob die Teilchengeschwindigkeit größer oder kleiner als 10% der Lichtgeschwindigkeit liegt.



Sind die Elektronen langsamer, so kann die Massenzunahme durch die Geschwindigkeit vernachlässigt und nach den Regeln der klassischen Physik gerechnet werden. Andernfalls ist eine relativistische Betrachtung nötig.

Im klassischen Fall lautet die Beziehung

$$E_{kin} = \frac{1}{2} \cdot m_0 \cdot v^2 \quad 2.20$$

Diese Gleichung kann einfach nach  $v$  umgestellt und in Formel 2.19 eingesetzt werden. Nach Umformen ergibt sich dann der Zusammenhang für den nicht relativistischen Fall:

$$\lambda = \frac{h}{\sqrt{2 \cdot E_{kin} \cdot m_0}} \quad 2.21$$

Die Energie der Elektronen ergibt sich aus der Beschleunigungsspannung  $V_b$  des Elektronenstrahlschreibers. Es gilt

$$E_{kin} = e \cdot V_b \quad 2.22$$

und somit auch

$$\lambda = \frac{h}{\sqrt{2 \cdot m_0 \cdot e \cdot V_b}} \quad 2.23$$

Für schnellere Teilchen muss die relativistische Energie-Impuls-Beziehung genutzt werden. Es gilt

$$p^2 \cdot c^2 = (E_0 + E_{kin})^2 - E_0^2 \quad 2.24$$

Diese Formel wird nach  $p$  umgestellt und in Formel 2.19 eingesetzt. Es ergibt sich für diesen Fall

$$\lambda = \frac{h \cdot c}{\sqrt{E_{kin} \cdot (2 \cdot E_0 + E_{kin})}} \quad 2.25$$

Dabei ist  $E_0 = m_0 \cdot c^2$  die Ruheenergie des Elektrons. [27]

Es gilt auch hier der Zusammenhang aus Gleichung 2.22 so dass sich Gleichung 2.25 umformen lässt zu

$$\lambda = \frac{h \cdot c}{\sqrt{e \cdot V_b \cdot (2 \cdot m_0 \cdot c^2 + e \cdot V_b)}} \quad 2.26$$

Ein Elektronenstrahl wird mit einer Beschleunigungsspannung im Kilovoltbereich auf die nötige Geschwindigkeit gebracht. Gemäß Gleichung 2.22 ergibt sich daraus direkt die kinetische Energie der Teilchen in Elektronenvolt (eV). So besitzen Elektronen, die mit einer Spannung von 10 kV beschleunigt werden die kinetische Energie 10 keV. Die Ruhemasse  $m_0$  eines Elektrons beträgt  $9,109 \cdot 10^{-31}$  kg, seine Ruheenergie  $8,187 \cdot 10^{-12}$  J. Davon ausgehend, dass ab einer Grenze von 10 % der Lichtgeschwindigkeit relativistisch gerechnet wird, ergibt sich mit 2,555 kV die Beschleunigungsspannung, ab der die Berechnung der Wellenlänge gemäß Gleichung 2.26 erfolgen muss.

Mit Hilfe der Formeln 2.23 und 2.26 lassen sich für verschiedene Beschleunigungsspannungen und damit Energien die Wellenlängen der entsprechenden Elektronenstrahlen berechnen. Die nachfolgende Tabelle 1 zeigt das Ergebnis für verschiedene Spannungen unter Berücksichtigung der Grenze für die relativistische Berechnung.

Beschleunigungsspannung [V]	Wellenlänge des Elektronenstrahls [m]
1	$1,23 \cdot 10^{-9}$
10	$3,88 \cdot 10^{-10}$
100	$1,23 \cdot 10^{-10}$
1.000	$3,88 \cdot 10^{-11}$
5.000	$1,73 \cdot 10^{-11}$
10.000	$1,22 \cdot 10^{-11}$
25.000	$7,66 \cdot 10^{-12}$
30.000	$6,98 \cdot 10^{-12}$
50.000	$5,36 \cdot 10^{-12}$
100.000	$3,70 \cdot 10^{-12}$

**Tabelle 1: Wellenlängen eines Elektronenstrahls in Abhängigkeit von der Beschleunigungsspannung**

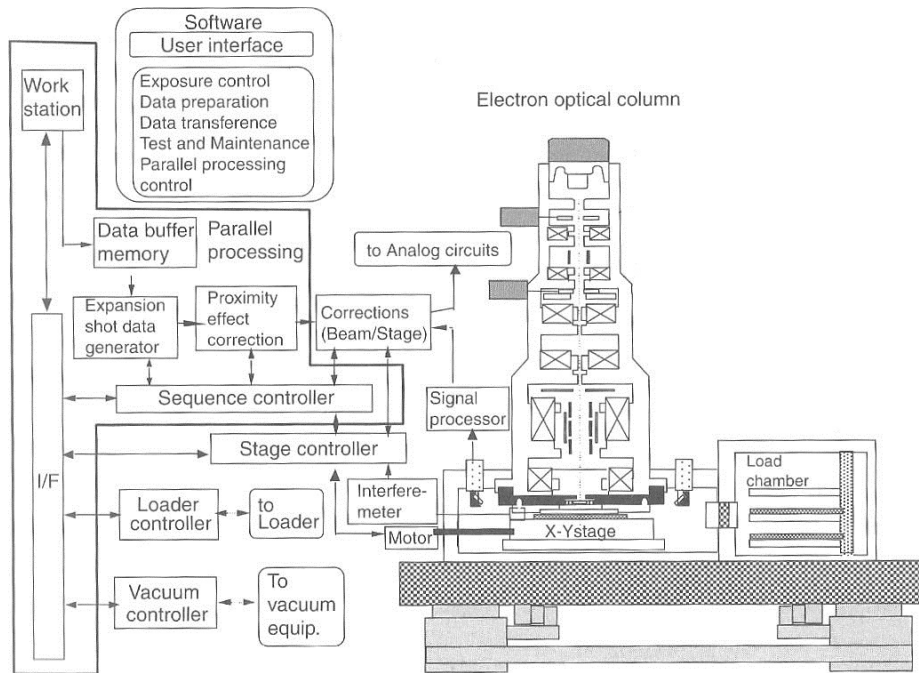
Anhand von Tabelle 1 wird deutlich, dass Elektronenstrahlen sehr kleine Wellenlängen aufweisen, die schon bei einer Beschleunigung mit nur einem Kilovolt im Bereich weniger Nanometer liegen. Bei den heute üblichen Elektronenstrahlenschreibern kommen Spannungen von 50 kV zu Einsatz, wodurch die theoretische Wellenlänge der Elektronen auf lediglich 5,36 pm gesenkt wird. Diese Werte liegen um fünf Größenordnungen unter denen, die aktuell bei der optischen 193nm-Lithografie zum Einsatz kommen und

verdeutlichen das Potential, welches die Elektronenstrahlolithografie in Bezug auf die Auflösung hat.

Die Auflösung, die mittels eines Elektronenstrahls erreicht werden kann, wird allerdings noch vom gewählten Schreibprinzip sowie von den verwendeten elektrischen und elektronenoptischen Komponenten im Elektronenstrahlschreiber beeinflusst. Daher sind die genannten Werte nur theoretischer Natur. Keines der Bauteile ist ideal, daher ist die praktische Auflösung, die ein Schreiber erreichen kann, deutlich schlechter als die genannten Werte. Durch Effekte wie Elektronenstreuung oder elektrostatische Aufladung, im Allgemeinen als Charging bezeichnet, wird die mögliche Auflösung zusätzlich verringert. Eine entsprechende Betrachtung hierzu erfolgt in Abschnitt 2.2.

### **2.1.1 Elektronensäulen**

Eine Elektronensäule enthält alle strahlerzeugenden und strahlformenden Bauelemente und ist damit eine Kernkomponente des Elektronenstrahlschreibers. Die Elektronen werden aus einer Quelle emittiert und mit Hilfe von elektromagnetischen Linsen zu einem Elektronenstrahl fokussiert. Ablenk-Elektroden (Blanker) dienen zum Ein- und Ausschalten des Strahls in der Substratebene. Mit Hilfe von Deflektoren wird der Strahl ausgelenkt, um ihn über einen definierten Bereich des Substrats zu führen. Aperturen ermöglichen die Strahlformung und Stigmatoren werden zur Korrektur von Formfehlern genutzt [28], [29]. Je nach Form, die der Elektronenstrahlquerschnitt am Ende auf dem Substrat haben soll, variiert der Aufbau für Gauß-Schreiber (siehe Abschnitt 2.3) oder Formstrahlschreiber (siehe Abschnitt 2.4). Dabei sind VSB-Schreiber komplexer aufgebaut, um die Anpassung der Strahlgeometrie (siehe Abbildung 15) vornehmen zu können. Abbildung 18 zeigt neben der Elektronensäule die weiteren Komponenten eines Elektronenstrahlschreibers.



**Abbildung 18: Aufbau eines kompletten Elektronenstrahlschreibers mit Kontroll-PC, Säule und Stage sowie Vakuumsystem [13, pp. 20-21]**

Ein schwingungsentkoppelter XY-Tisch (Stage) bewegt während des Belichtungsprozesses das Substrat. Die notwendige hochpräzise Kontrolle der Positionierung erfolgt dabei mit Hilfe von Laserinterferometern. Zusätzlich werden Be- und Entladestationen, Vakuumequipment und Computer zur Steuerung des Systems benötigt [13, pp. 20-19 ff.].

### 2.1.2 Anforderungen an Elektronenstrahlschreiber

Durch die stetige Verringerung der kleinsten Strukturdimensionen müssen auch die Systeme zur Fertigung dieser Bauelemente immer weiterentwickelt werden, um die stetig steigenden Anforderungen zu erfüllen. Die komplexen Masken für diese höchsten Auflösungen haben sehr lange Schreibzeiten von einigen zehn Stunden. Über diese sehr langen Zeiträume müssen die Maskenschreiber mechanisch und elektrisch stabil arbeiten, da kleinste Abweichungen zu Fehlbelichtungen und damit zu fehlerhaften Strukturen führen. Für die Lithografie integrierter Schaltungen werden die kleinsten Strukturen mit Hilfe von Mehrfachbelichtungen (Multi Patterning) erzeugt, so dass für die Belichtung einer Schaltungsebene mehr als eine Maske benötigt wird. Damit erhöhen sich auch die Anforderungen an die Belichtungsmasken hinsichtlich Overlay, CD-Kontrolle und Placement sehr stark [30].

Zur Sicherstellung, dass die Entwicklungen von Elektronenstrahl-Maskenschreibern abgestimmt mit der Entwicklung der gesamten Infrastruktur der IC-Herstellung erfolgt, gibt die ITRS die notwendigen Anforderungen an die Geräte für jeden Technologieknoten vor. Die aktuelle Version der Roadmap wurde 2013 veröffentlicht und 2015 aktualisiert. Dabei gibt es für einen Elektronenstrahlschreiber keine direkten Anforderungen, sondern diese ergeben sich aus den Spezifikationen für die Masken der optischen Lithografie. Die nachfolgende Tabelle 2 zeigt die maximalen Anforderungen an die Elektronenstrahlschreiber für die kommenden Jahre [30], [31].

Anforderung	Produktionsjahr		
	2015	2017	2024
Auflösung (CD) Löcher [nm]	143	102	24
Auflösung (CD) Linien [nm]	133	151	118
Mask Assist Features [nm]	93	106	82
CD-Uniformity [nm]	1,1	1,0	0,8
CD Mean to Target [nm]	1,9	1,4	0,5
Placement [nm]	2,9	2,2	0,7
Design-Grid [nm]	1	1	0,5

**Tabelle 2: Anforderungen an Maskenschreiber („Optical Patterning Mask Requirements“) gemäß ITRS 2015 [30], [31], [32], [33]**

## 2.2 Limitierende Effekte für die Auflösung

Die wellentheoretische Grenze für die Auflösung eines Elektronenstrahlschreibers liegt deutlich unter der tatsächlich erreichbaren Auflösung. Ursache hierfür sind die ladungsbedingten Wechselwirkungen (Coulombkräfte) der Elektronen untereinander, chromatische Fehler aufgrund einer Energieverteilung der Elektronen sowie Streueffekte im Lack mit der verbundenen Strahlaufweitung. Die wichtigsten Effekte, die beim Auftreffen des Elektronenstrahls auf das Substrat auftreten, werden in den folgenden Abschnitten beschrieben, wobei in Kapitel 2.2.3 auch auf die Besonderheiten und Anforderungen der Photolacke bei der Belichtung mit Elektronen eingegangen wird.

### 2.2.1 Theoretische Auflösung eines Elektronenstrahlschreibers

Die theoretische Auflösung eines Elektronenstrahlschreibers wird von der Qualität der Elektronensäule bzw. deren Komponenten bestimmt. Zunächst ist die virtuelle Quellengröße  $d_v$  sowie die Verkleinerung  $M^{-1}$  wichtig, aus der sich der Strahldurchmesser

$$d_g = \frac{d_v}{M^{-1}} \quad 2.27$$

ergibt. Da die Linsen einer Elektronensäule nie perfekt sind, kommen weitere gerätespezifische Faktoren dazu, die die Auflösung des Systems beeinflussen.

Sphärische Abberationen werden durch die unterschiedlich starke Fokussierung von Teilchen im Zentrum und im Außenbereich einer Linse hervorgerufen. Das Ergebnis ist ein Strahldurchmesser  $d_s$ , der sich gemäß

$$d_s = \frac{1}{2} C_s \cdot a^3 \quad 2.28$$

errechnet. Dabei ist  $C_s$  der Sphärische-Abberations-Koeffizient der untersten Linse der Säule und  $a$  der halbe Öffnungswinkel des Elektronenstrahls auf dem Substrat.

Chromatische Bildfehler sind das Resultat unterschiedlich starker Brechung von Elektronen mit unterschiedlich hoher Energie. Der Strahldurchmesser  $d_c$  errechnet sich hier gemäß

$$d_c = \frac{C_c \cdot a \cdot DV}{V_b} \quad 2.29$$

In dieser Gleichung ist  $C_c$  der Chromatische-Abberations-Koeffizient,  $V_b$  die Beschleunigungsspannung und  $DV$  gibt den Bereich an, in dem sich die Energien der Elektronen bewegen.

Schließlich kann der Strahl, besonders in Hochauflösungssystemen, auch durch Beugungseffekte beeinflusst werden. Der Durchmesser  $d_d$  errechnet sich in diesem Fall nach

$$d_d = \frac{0,6 \cdot \lambda}{a} \quad 2.30$$

Die nachfolgende Abbildung 19 verdeutlicht, wie sich diese Einflüsse in einer typischen Elektronenstrahlsäule verhalten.

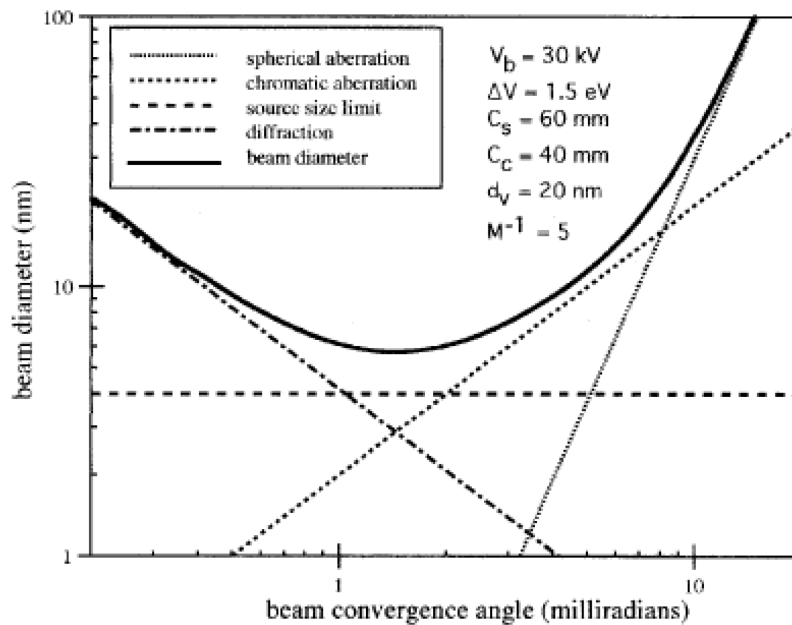


Abbildung 19: Auflösung eines Elektronenstrahlschreibers [28]

Der theoretische Strahldurchmesser  $d$  und damit die theoretische maximale Auflösung eines Elektronenstrahlschreibers ergeben sich nun durch die quadratische Addition der Durchmesservariationen:

$$d = \sqrt{d_d^2 + d_s^2 + d_c^2 + d_a^2} \quad 2.31$$

In Systemen mit thermo-ionischen Quellen sind sphärische Abberationen limitierend für die Auflösung, wohingegen mit Feldemissionsquellen im Wesentlichen chromatische Abberationen den Strahldurchmesser einschränken. Je nach Strahlstrom ergibt sich immer eine optimale Kombination aus Strahlöffnungswinkel und Verkleinerungsfaktor des Systems. Zudem kann die Auflösung mit Hilfe einer Apertur verbessert werden, allerdings immer auf Kosten des maximalen Strahlstroms und damit Dosis und Durchsatz [29].

Diese theoretische Auflösung eines Elektronenstrahlschreibers gemäß Gleichung 2.31 wird zusätzlich durch Streueffekte der Elektronen im Lack, im Substrat und an Säulenbauteilen verschlechtert.

### 2.2.2 Blur

Durch die elektrostatischen Linsen in einem Elektronenstrahlschreiber kommt es zur Überkreuzung von Elektronenbahnen im Fokuspunkt. Ein solcher Crossover von

geladenen Teilchen ist ein grundlegendes Problem in Bezug auf die Auflösung des Elektronenstrahlschreibers und soll an dieser Stelle genauer betrachtet werden:

Treffen geladene Teilchen, in diesem Fall Elektronen mit negativer Ladung, aufeinander, so interagieren sie gemäß dem Coulombschen Gesetz. Dieses beschreibt die Kraft  $F$ , die zwischen zwei Punktladungen wirkt und lautet

$$F = \frac{1}{4 \cdot \pi \cdot \epsilon_0} \cdot \frac{Q_1 \cdot Q_2}{r_{12}^2} \quad 2.32$$

Dabei stehen  $Q_1$  und  $Q_2$  für die Ladung der Teilchen und  $r_{12}$  ist deren Abstand [34]. Da es sich bei den Elektronen um Teilchen mit jeweils der Ladung  $-e$ , also der Elementarladung handelt, ändert sich die Formel durch Einsetzen zu

$$F = \frac{1}{4 \cdot \pi \cdot \epsilon_0} \cdot \left( \frac{e}{r_{12}} \right)^2 \quad 2.33$$

Im Elektronenstrahl befinden sich sehr viele Elektronen und somit wirkt auf jedes Elektron auch die Kraft von  $n$  Elektronen. Somit muss die Gleichung 2.33 erweitert werden zu

$$F_j = \frac{e^2}{4 \cdot \pi \cdot \epsilon_0} \cdot \sum_{i=1}^n \frac{1}{r_{ji}^2} \quad 2.34$$

Dabei steht der Index  $j$  für das betrachtete Elektron und  $n$  gibt die Anzahl der auf dieses Teilchen wirkenden Elektronen an.

Diese Kräfte sorgen dafür, dass der Elektronenstrahl sich aufweitet, da die gleich geladenen Teilchen sich mit eben dieser Kraft abstoßen. Durch den Einsatz verschiedener Linsen in der Elektronensäule wird dem immer wieder entgegengewirkt und der Strahl fokussiert.

Im Crossover treffen sehr viele Elektronen aufeinander. Durch die dadurch verstärkt auftretenden Abstoßungskräfte wächst der Strahldurchmesser. Dieser die Auflösung reduzierende Effekt wird Blur genannt. Um trotz dieser Unschärfe die Auflösung so hoch wie möglich zu halten, müssen technische Maßnahmen ergriffen werden. Wie stark der Blur  $\sigma$  ist, wird mit Hilfe der folgenden Gleichung beschrieben:

$$\sigma = k \cdot \frac{I^{0,7} \cdot I^{1,15}}{\alpha^{0,65} \cdot S^{0,59} \cdot V_b^{1,75}} \quad 2.35$$



Dabei steht  $l$  für die Länge der Elektronenstrahlsäule,  $I$  für die Strahlstromstärke und  $\alpha$  für den halben Öffnungswinkel des Beamlets.  $S$  ist die Schreibfeldgröße und ergibt sich aus den Geräteanforderungen.  $k$  ist ein Faktor, in den diverse weitere Geräteparameter eingehen [35].

Anhand von Formel 2.35 lässt sich ableiten, wie der Blur minimiert werden kann: Die Größe der Säule lässt sich im Regelfall nicht minimieren, da die verschiedenen Bauteile zur Strahlformung darin untergebracht werden müssen. Die Parameter  $\alpha$  und  $S$  sind je nach Anforderung an den entsprechenden Schreibdurchlauf variabel. Den deutlichsten Effekt haben die Strahlstromstärke und die verwendete Beschleunigungsspannung. Je mehr Elektronen sich im Strahl befinden, desto stärker ist die gegenseitige Beeinflussung. Die Menge der Teilchen lässt sich über den Strahlstrom einstellen, wobei der Blur mit der Verringerung des Strahlstromes ebenfalls abnimmt. Weiterhin besitzen die Elektronen eine bestimmte Geschwindigkeit, weswegen die entsprechenden Kräfte auf die Teilchen immer nur eine kurze Zeit wirken können. Je schneller die Elektronen sich aneinander vorbeibewegen, desto kürzer ist diese Zeiteinheit und damit die Ablenkung der Ladungsträger und der Blur. Somit sollte die Beschleunigungsspannung möglichst hoch gewählt werden [35]. Der Variation dieser Parameter sind allerdings Grenzen gesetzt. So beeinflusst der Strahlstrom direkt die Schreibzeit und damit den Durchsatz des Elektronenstrahlschreibers. Je geringer die Strahlstromstärke, desto länger dauert die Belichtung eines Pixels, da weniger Teilchen zur Patterngeneration zur Verfügung stehen. Die Beschleunigungsspannung beeinflusst massiv die Wechselwirkung der Elektronen mit dem Substrat und dem Photolack, auf die in Abschnitt 2.2.4 detailliert eingegangen wird. Es wird deutlich, dass die optimalen Geräte- und Schreibparameter einen Kompromiss zwischen Durchsatz und der maximalen Auflösung darstellen.

### 2.2.3 Photolack für die Elektronenstrahlolithografie

Analog zur optischen Lithografie wird bei der Elektronenstrahlolithografie ein Photolack<sup>2</sup> verwendet, der nach der Belichtung und Entwicklung eine Maske für nachfolgende Ätzprozesse bildet. Unterschieden wird zwischen positivem und negativem Tonwert im

---

<sup>2</sup> In der Literatur wird der Begriff Photolack gleichbedeutend für Lacke der optischen Lithografie und der Elektronenstrahlolithografie verwendet, weswegen dieser Begriff auch in dieser Arbeit für elektronenstrahlempfindliche Lacke verwendet wird

Lack, abhängig davon, ob durch die Belichtung die Löslichkeit im Entwickler erhöht (positiver Photolack) oder vermindert (negativer Photolack) wird.

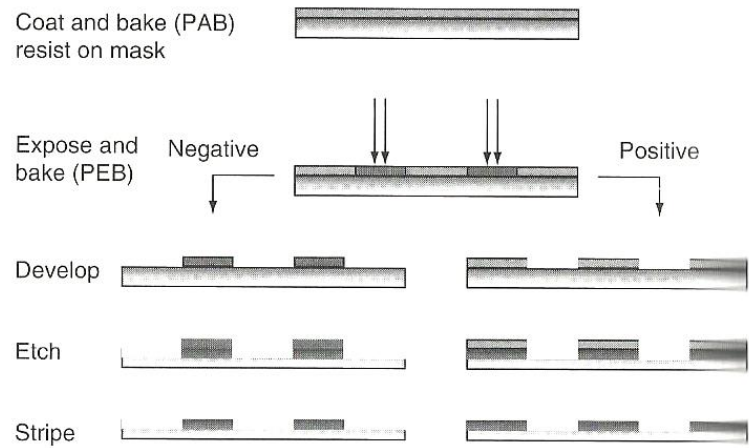
Die Lacke bestehen üblicherweise aus Polymeren, die zusammen mit einer photoaktiven Komponente<sup>3</sup> in einem Lösemittel gelöst sind. Zur Belichtung wird der Photolack auf das Substrat aufgebracht und das Lösemittel durch einen Bake-Schritt verdampft. Im Anschluss erfolgt die Belichtung mit dem Elektronenstrahl [10, pp. 332-335]. Die Elektronen lösen mit Hilfe der photoaktiven Komponente je nach Photolack eine entsprechende Reaktion hervor: Bei positivem Lack wird durch das Auftrennen von Polymerketten die Löslichkeit in der Entwicklerlösung erhöht, bei negativem Lack verursacht die Vernetzung der Polymere eine verringerte Lösbarkeit [10, pp. 325-332].

Konventionelle Photolacke für Elektronenstrahlschreiber benötigen hohe Belichtungs Dosen, was zu langen Belichtungszeiten und entsprechend verringertem Durchsatz führt. Für die Lösung dieses Problems wurden für die Elektronenstrahlithografie chemisch verstärkte Photolacke (Chemically Amplified Resist – CAR) für beide Tonwerte entwickelt. Durch die Zugabe eines Katalysators, üblicherweise eine starke Säure, und eines Ausheitzschritts nach der Belichtung, den Post Exposure Bake (PEB), wird die durch die Belichtung ausgelöste Reaktion verstärkt. Die notwendigen Belichtungs Dosen konnten damit reduziert werden. Im Anschluss an den PEB erfolgt die Entwicklung und somit die Freilegung des geschriebenen Patterns. Die so hergestellte Maske kann im Anschluss durch Ätzprozesse in das Substrat bzw. die zu strukturierende Schicht übertragen werden. Ein abschließender Veraschungsprozess entfernt die verbliebene Photolackschicht [10, pp. 332-335], [12, pp. 72-85], [13, pp. 19-1 ff.].

Die folgende Abbildung 20 verdeutlicht den Ablauf eines kompletten Belichtungsprozesses inklusive dem Übertragen der Maske in das Substrat sowie dem Entfernen der Maskierschicht.

---

<sup>3</sup> Die photoaktive Komponente ist in Photolacken für die Elektronenstrahlithografie empfindlich auf die Wellenlänge der Elektronenstrahlen; auch dieser Begriff ist in der Literatur üblich



**Abbildung 20: Prozessfolge mit positivem und negativem Photolack [10, p. 326]**

Da es sich bei Elektronen um elektrisch geladene Teilchen handelt, kommt es während des Elektronenstrahlschreibens zu einem Ladungseintrag in das Substrat und auf die Substratoberfläche, der abgeführt werden muss. Während bei elektrisch leitenden Substraten wie Siliziumwafern diese Aufladungen über eine Substratkontaktierung innerhalb des Elektronenstrahlschreibers problemlos abgeführt werden können, kommen bei nichtleitenden Materialien Hilfsschichten zum Einsatz. Eine übliche Möglichkeit ist der Einsatz von leitfähigen Polymeren. Diese können sowohl unter als auch auf dem Photolack aufgebracht und während des Entwicklungsschritts mit einer Wasserspülung entfernt werden. Eine weitere Möglichkeit ist das Beschichten des Lacks mit einer dünnen Metallschicht, beispielsweise mit Gold oder Gold/Platin. Diese Schichten sind dabei mit etwa 10 nm so dünn gewählt, dass die Elektronen sie ungehindert durchdringen können. Nach dem Belichten müssen diese Metalle allerdings entfernt werden, bevor der Photolack entwickelt werden kann. Nachteilig hierbei ist vor allem, dass mehrere zusätzliche Prozessschritte notwendig sind. Zudem kann es beim Entfernen der Schichten zu ungewollten chemischen Reaktionen mit dem belichteten Lack kommen und schon beim Aufbringen der leitenden Schichten können abhängig vom verwendeten Beschichtungsverfahren ungewünschte Effekte auftreten [29].

#### 2.2.4 Interaktionen der Elektronen mit Substrat und Photolackack

Während des Belichtungsprozesses interagieren die Elektronen sowohl mit dem Photolack als auch mit dem Substrat und den sich darauf befindenden Schichten, wie die folgende Abbildung 21 verdeutlicht.

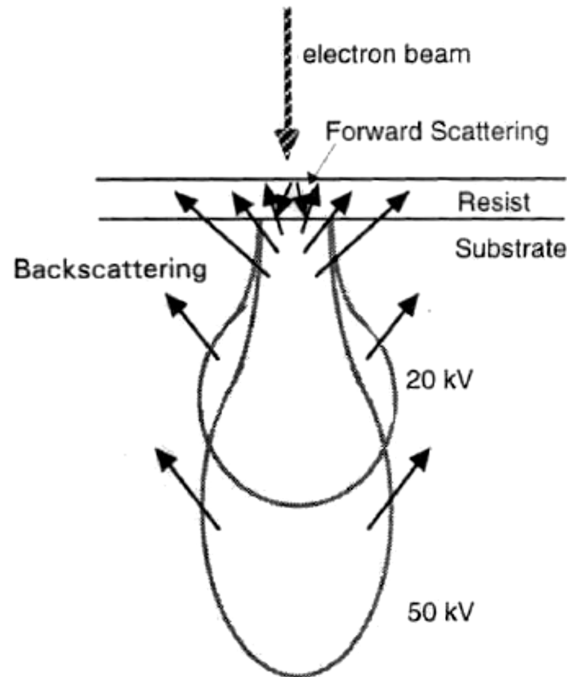


Abbildung 21: Effekte durch Interaktionen [28]

Dadurch kommt es zu unerwünschten Streueffekten, die durch parasitäre Belichtungseffekte die Ergebnisse deutlich beeinflussen. Diese Effekte werden in Vorwärtsstreuung, Rückwärtsstreuung und die Generierung von Sekundärelektronen unterschieden. Ihre Einflüsse auf das Belichtungsergebnis müssen bereits vor der Belichtung in Form einer Datenkorrektur beachtet werden [28], [29].

### ***Vorwärtsstreuung und Interaktionen mit Photolack***

Durch das Eindringen in die Lackmaske werden die Elektronen unter kleinen Winkeln gestreut. Als Folge wird der Elektronenstrahldurchmesser auf seinem Weg durch den Photolack immer größer, was zu einem Unterschnitt der Lackmaske führt. Die Aufweitung und die damit verbundene Auflösungsverschlechterung  $\Delta d$  ist abhängig von der Dicke des Photolacks  $t_R$  und der Energie der Elektronen, also der im Schreiber verwendeten Beschleunigungsspannung  $V_b$ . Sie kann mit Hilfe der Formel

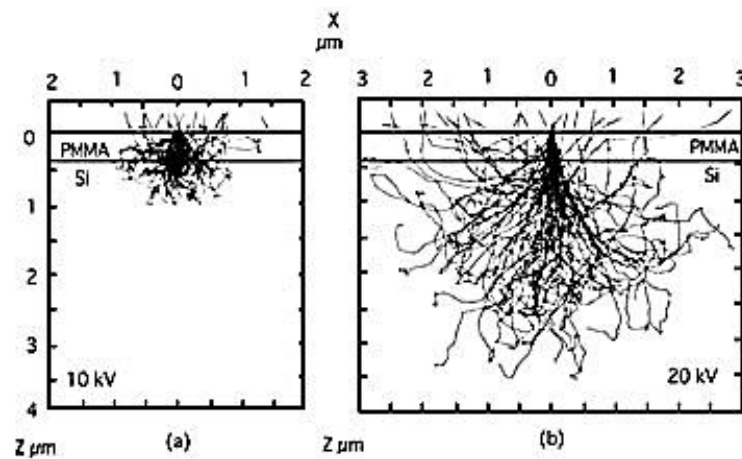
$$\Delta d = 0,9 \cdot \left( \frac{t_R}{V_b} \right)^{1,5} \quad 2.36$$

abgeschätzt werden. Für die höchste Auflösung müssen die Effekte der Vorwärtsstreuung minimiert werden. Anhand von Formel 2.36 wird deutlich, dass hierzu die Lackdicke so

klein wie möglich sein muss bei gleichzeitiger Wahl der größtmöglichen Beschleunigungsspannung [36].

### ***Rückwärtsstreuung und Proximity Effekt***

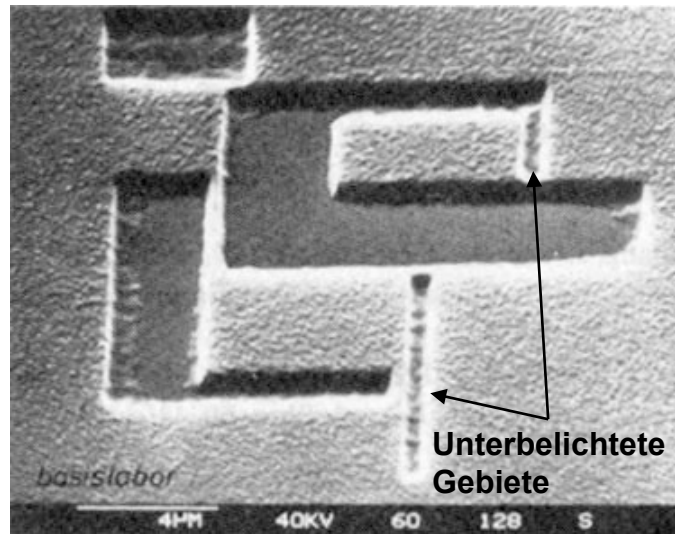
Durch das Eindringen des Elektronenstrahls in das Substrat kommt es zu einer Rückstreuung der Elektronen an den Atomen des Substratmaterials. Die Streuwinkel sind dabei sehr groß, so dass die Elektronen zum Teil sehr weit vom Eindringbereich des Elektronenstrahls in den Photolack zurückgestreut werden. Der Rückstreubereich ist stark abhängig von der Beschleunigungsspannung, was durch sogenannte Monte-Carlo-Simulationen der Elektronenstreuung wie sie in Abbildung 22 dargestellt sind verdeutlicht wird [28], [36].



**Abbildung 22: Eindringtiefe und Streuwinkel in Substrat abhängig von Beschleunigungsspannung [36]**

Diese Berechnungen zeigen, dass die Eindringtiefe in das Substrat sowie die Reichweite der gestreuten Elektronen mit der Beschleunigungsspannung zunehmen. Die Rückstreuung der Elektronen unter großen Streuwinkeln wird als Proximity Effekt bezeichnet und führt zu einer deutlichen Kontrastminimierung. Je nach Substrat können bis zu 50% der einfallenden Elektronen in den Lack zurückgestreut werden, wobei die Rückstreurrate mit der Ordnungszahl, also der Dichte des Substratmaterials, zunimmt [28].

Das Beispiel in Abbildung 23 zeigt die Auswirkungen des nicht korrigierten Effekts bei positivem Photolack.

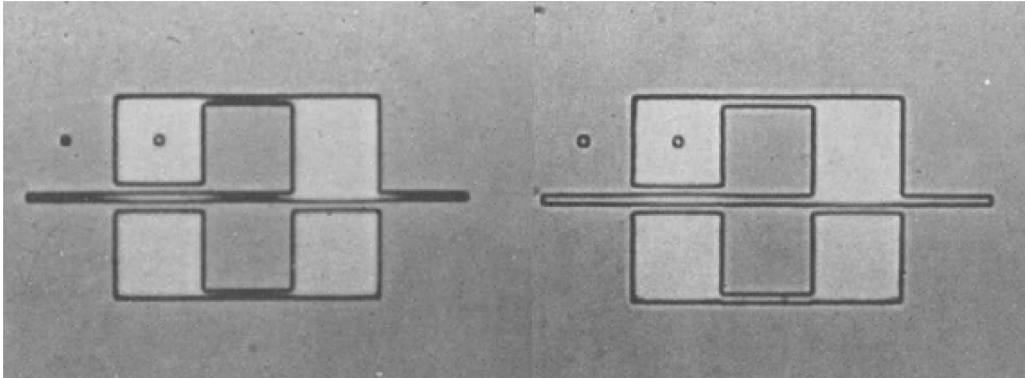


**Abbildung 23: Proximity Effekt: isolierte Linien erhalten weniger Dosis als große zu belichtende Flächen und sind daher unterbelichtet [28]**

Die kleinen isolierten Gräben erhalten im Verhältnis zu den großen Flächen weniger Dosis und sind als Resultat unterbelichtet und nicht aufgelöst [28].

Zur Korrektur des Proximity Effekts gibt es verschiedene Ansätze: Aus den Simulationen wird deutlich, dass die Verringerung der Beschleunigungsspannung die Rückstreuwinkel verringert und den Effekt somit vermindert. Eine geringere Beschleunigungsspannung steht allerdings im Gegensatz zur Vorwärtsstreuung, da hier eine möglichst hohe Spannung gewählt werden sollte. In diesem Fall muss also ein Kompromiss gefunden werden. Weiterhin kann das Aufbringen einer absorbierenden Schicht unter dem Photolack die Rückstreuung von Elektronen verringern. Diese Schicht kann beispielsweise aus Gold oder Wolfram bestehen, wobei der Einsatz solcher Schichten zu einem erhöhten Prozessaufwand führt und oft gar nicht möglich ist [28].

Heute werden zur Korrektur des Proximity Effekts Softwarelösungen eingesetzt. Dabei erfolgt eine Anpassung der Belichtungs-dosis für die verschiedenen Strukturen des Patterns. Im Bereich großer Flächen wird dabei die Dosis verringert, bei kleinen Strukturen erfolgt eine Dosiserhöhung. Zusätzlich werden Vorhalte eingeführt, die die Folgen der Rückwärtsstreuung kompensieren. Abbildung 24 zeigt das Ergebnis nach dem Belichten einer bezüglich dem Proximity Effekt unkorrigierten und einer korrigierten Struktur [28].



**Abbildung 24: Ohne (links) und mit (rechts) Proximity-Effekt-Korrektur – schmale Linien sind deutlicher ausgebildet [28]**

Die Ermittlung der korrekten Werte für Dosis und Vorhalt ist zeitaufwändig, da entsprechende Simulationen je nach Patternkomplexität sehr lange dauern und in der Regel auch durch praktische Versuche bestätigt werden müssen.

Eine weitere Belichtungsänderung ist die Möglichkeit einer Doppelbelichtung, wobei zunächst das Pattern invers und defokussiert geschrieben und erst anschließend das gewünschte Design belichtet wird (GHOST-Technologie). So wird über das gesamte Belichtungsfeld eine gleichmäßige Rückstreuung erreicht und die geforderte Linienbreite sehr gut eingehalten. Allerdings kostet bei diesem Verfahren die zusätzliche Belichtungszeit, die komplexen Berechnungen zur Dosiskorrektur fallen dafür aber weg [29].

### ***Sekundärelektronen***

Beim Eindringen in Photolack und Substrat verlieren die Elektronen zunehmend Energie, die sie in Form von niederenergetischen Sekundärelektronen abgeben. Diese Sekundärelektronen besitzen Energien im Bereich von 2 eV bis 50 eV und haben nur eine geringe Reichweite. Im Wesentlichen führen sie zu einer Aufweitung des Elektronenstrahls und verringern die mögliche Auflösung des Elektronenstrahlschreibers. Durch die Einführung eines passenden Vorhalts kann dieser Effekt sehr effektiv minimiert werden [28], [29].

## **2.3 Gaußstrahl-Scheiber**

Der Begriff Gaußstrahl-Schreiber leitet sich von der Form des Elektronenstrahlquerschnitts ab: Dieser ist kreisförmig und die Elektronenstrahlenergie gaußförmig verteilt. Der grundlegende Aufbau ist in Abbildung 25 gezeigt. Als Elektronenquelle kam früher meist ein  $\text{LaB}_6$ -Emitter zum Einsatz, da diese Quellen geringe Strahldurchmesser bei sehr gleichmäßigen Elektronenenergien ermöglichen. Aktuelle Systeme nutzen thermische

Feldemitterquellen, mit denen sich der Strahldurchmesser nochmals reduzieren lässt [29], [36]. Mit Gaußstrahl-Systemen lässt sich durch minimale Strahldurchmesser von etwa 5 nm die höchste Auflösung von Elektronenstrahlschreibern erreichen. Die Beschleunigungsspannungen für die Elektronen liegen in den meisten Systemen zwischen 20 kV und 100 kV. Die Strukturen werden wie bei allen Einzelstrahlelektronenstrahlschreibern seriell erzeugt. Aufgrund des geringen Strahldurchmessers von Gaußstrahl-Schreibern erfordern größere Strukturen längere Belichtungszeiten [36], [37]. Typischerweise arbeiten heutige Gaußstrahl-Schreiber im Vektor-Scan-Modus, d.h., der Elektronenstrahl wird jeweils nur über die zu belichteten Bereiche geführt, um so die Schreibgeschwindigkeit zu erhöhen. Die verschiedenen Schreibstrategien der Elektronenstrahlschreiber werden in Abschnitt 2.6 genauer beschrieben [36].

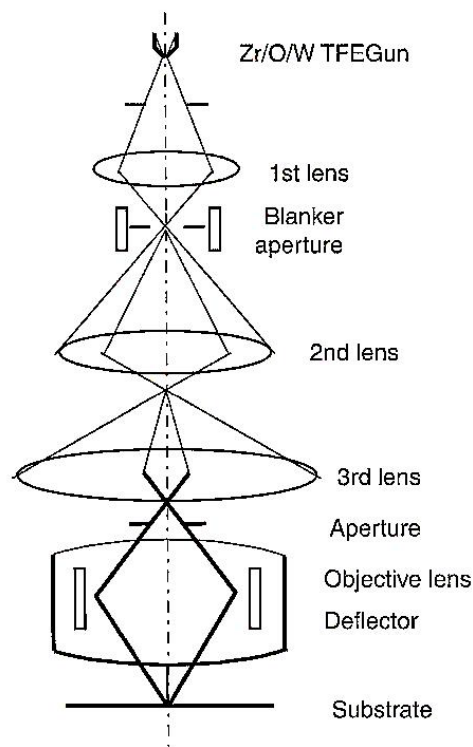


Abbildung 25: Schematischer Aufbau eines Gaußstrahl-Schreibers [13, pp. 20-23]

Durch die sehr langen Belichtungszeiten kommen die Gaußstrahl-Schreiber für die kommerzielle Herstellung fortgeschrittener Lithografiemasken nicht mehr in Betracht. Aufgrund der sehr hohen Auflösung und des im Vergleich mit VSB-Schreibern geringen Anschaffungspreises sind diese Systeme vor allem im Bereich Forschung und Entwicklung sowie teilweise in der Prototypenfertigung verbreitet. Für die kommerzielle Herstel-



lung von Masken im industriellen Maßstab kommen die nachfolgend näher beschriebenen Formstrahl-Schreiber zum Einsatz, die sich durch einen deutlich höheren Durchsatz auszeichnen.

## 2.4 Formstrahl-Schreiber

Formstrahl- bzw. VSB-Schreiber bieten die Möglichkeit, sowohl die Strahlform als auch die Größe des Elektronenstrahls bis zu einem gerätespezifischen Wert zu variieren. In Abbildung 26 ist der Aufbau der Elektronensäule eines solchen Elektronenstrahlschreibers skizziert.

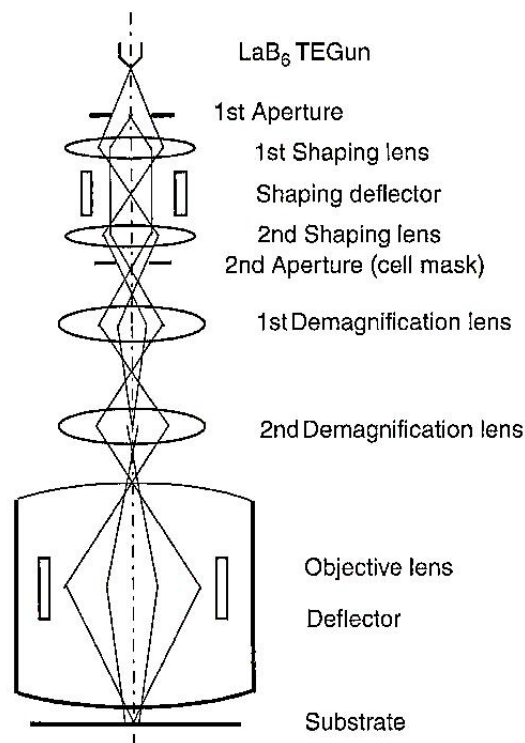


Abbildung 26: Schematischer Aufbau eines VSB-Systems [13, pp. 20-23]

Die variable Strahlform wird durch die Projektion eines durch eine erste Apertur geformten und danach auf eine zweite Apertur projizierten Strahls erreicht. Die hierfür notwendigen Aperturblenden sowie die zusätzlichen Deflektoren und Verkleinerungslinsen erhöhen die Komplexität gegenüber eines Gaußstrahl-Schreibers deutlich [24]. Auch der Steuerungsaufwand steigt, so dass VSB-Schreiber durch ihren komplexen Aufbau wesentlich teurer in der Anschaffung sind. Abbildung 27 verdeutlicht das Prinzip der Strahlformung mit Hilfe von zwei sich überlagernden Aperturen [24], [38].

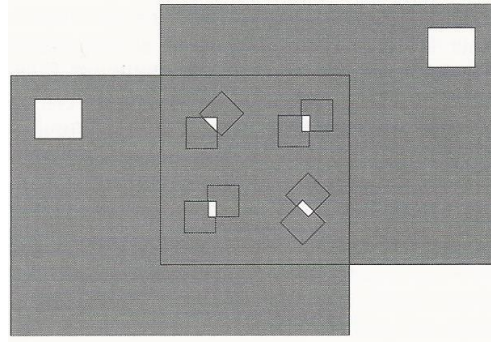


Abbildung 27: VSB - Strahlformung durch Aperturüberlagerung [12, p. 256]

Durch verschiedene Aperturen lassen sich quadratische, rechteckige und auch dreieckige Strukturen erzeugen. Runde Muster wie Kreise oder Kurven müssen entweder durch Approximationen angenähert oder durch spezielle Blenden erzeugt werden. Entsprechend bestimmt die Approximationsgenauigkeit den Schreibaufwand [38]. Ein Vergleich zwischen den Belichtungen mit einem Gaußstrahl und einem geformten Elektronenstrahl ist bereits in Abbildung 15 ersichtlich. Dabei wird deutlich, dass die Formstrahlgeräte einen wesentlichen Vorteil bei der Schreibgeschwindigkeit aufweisen [36], [39].

Die VSB-Belichtung lässt sich noch erweitern, indem die zweite Apertur eine komplexere Form, beispielsweise komplette Logikmuster, erhält. Diese Form des VSB-Schreibens wird Cell Projection genannt, da so ganze Zellen mit einer Belichtung übertragen können. Mit Hilfe eines Cell-Projection-Systems lässt sich der Durchsatz deutlich steigern, da weniger einzelne Belichtungsvorgänge nötig sind. Allerdings lohnt sich das Verfahren nur, wenn die zu erzeugenden Pattern aus nur wenigen wiederkehrenden Strukturen bestehen, beispielsweise bei RAM-Bausteinen oder ähnlichen Arrays [28]. Die Auflösung dieser Cell-Projection-Schreiber wird vor allem durch den Blur begrenzt: Durch die größeren Bildfelder befinden sich deutlich mehr Elektronen im Fokuspunkt, die entsprechend größere Kräfte aufeinander ausüben und damit die erreichbare Auflösung verringern. So kann mit Hilfe der Cell-Projection-Option zwar die Schreibzeit deutlich vermindert werden, die maximale Auflösung ist dann aber nicht erreichbar.

## 2.5 Vergleich der Systeme

Beim Gegenüberstellen des Aufbaus eines Gauß-Schreibers und eines VSB-Schreibers werden anhand von Abbildung 28 die baulichen Unterschiede und Gemeinsamkeiten deutlich, welche im nachfolgenden Abschnitt kurz erläutert werden sollen.

Beide Systeme benötigen eine Elektronenquelle, wobei beim Gauß-Schreibers meist Feldemitterquellen zum Einsatz kommen, für VSB-Geräte werden überwiegend thermionische Quellen verwendet. Zur Steuerung des Strahls müssen in beiden Systemen elektromagnetische und elektrostatische Ablenssysteme und Linsen integriert werden. Hinzu kommen Stigmatoren zur Korrektur von Strahlfehlern. Der fokussierte Strahl wird in beiden Systemen auf dem Weg zum Substrat durch eine Verkleinerungsoptik bis auf Werte von 1:100 verkleinert [40].

Abbildung 28 verdeutlicht, dass Gauß-Schreiber grundsätzlich einfacher aufgebaut sind als VSB-Schreiber, da die Strahlform nur durch die Elektronenoptik bzw. die Fokussierung bestimmt wird und somit punktförmig ist. Durch die sehr kleinen Strahlquerschnitte arbeiten Gaußstrahl-Schreiber sehr langsam. Sie sind aufgrund der geringeren Komplexität aber auch wesentlich günstiger in der Anschaffung. Aufgrund der geringen Schreibgeschwindigkeiten haben Gaußstrahl-Schreiber keine industrielle Bedeutung [40].

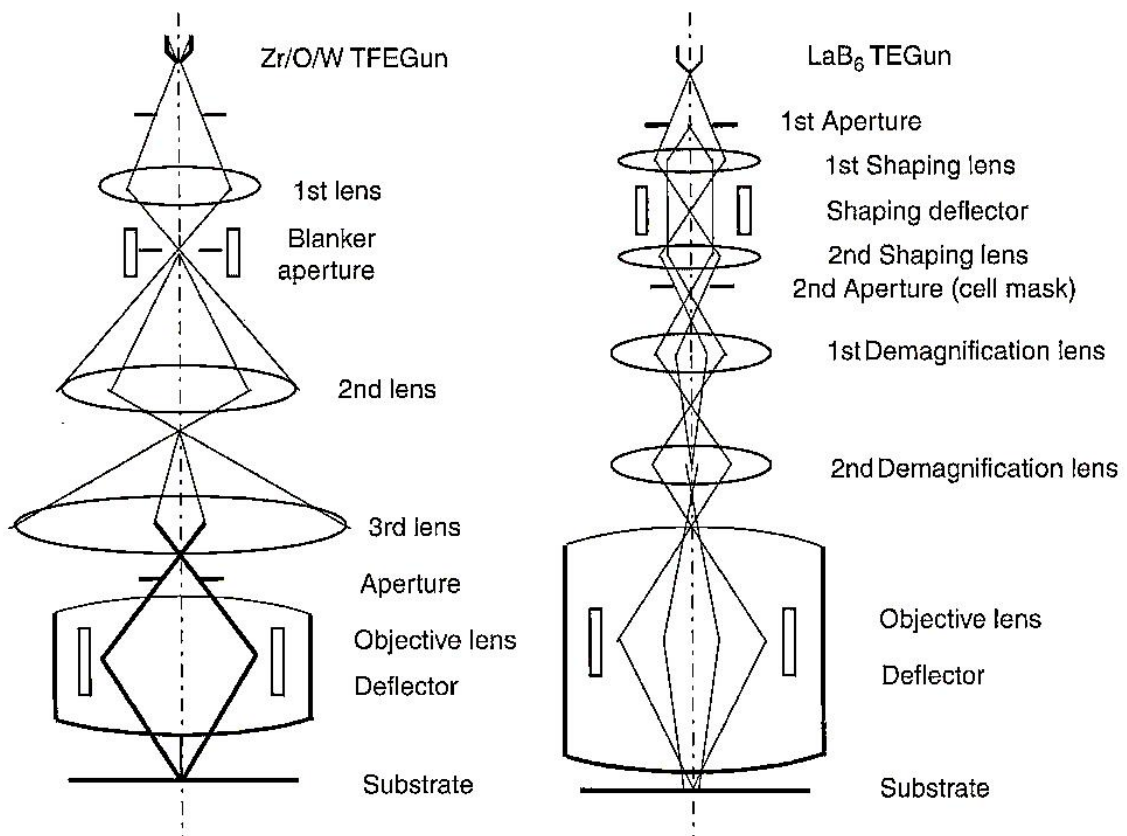


Abbildung 28: Vergleich Gaußstrahl- und Formstrahl-Schreiber [13, pp. 20-23]

Der komplexere Aufbau von VSB-Schreibern ergibt sich aus den notwendigen Aperturen und Linsen zur Strahlformung. Im Gegensatz zu Gaußstrahl-Schreibern kommt das Prinzip der Köhlerschen Beleuchtung zum Einsatz. Durch diese Beleuchtungsart entstehen

zwei verkettete Strahlengänge, der Abbildungs- und der Beleuchtungsstrahlengang. So kann die Strahlform verändert werden ohne dass ein Abbild der Elektronenquelle auf dem Substrat auftritt. Aufgrund der Einstellung der Strahlgeometrie mit Hilfe der Aperturen gelangt nur ein kleiner Teil des erzeugten Elektronenstrahls auf das Substrat, so dass die Homogenität der Energien der Elektronen, die das Substrat erreichen, sehr hoch ist. Die Stromdichte in VSB-Schreibern ist somit optimal verteilt und die Strahlunschärfe geringer als bei Gaußstrahl-Schreibern [40], [41]. Da die Schreibgeschwindigkeit bzw. der Durchsatz aufgrund des größeren Belichtungsfelds bei VSB-Schreibern deutlich größer ist als bei Gaußstrahl-Schreibern kommen diese Geräte in der Halbleiterindustrie zur Herstellung hochkomplexer Belichtungsmasken oder in einigen Fällen zur Prototypenentwicklung zum Einsatz [24], [40], [41].

Entsprechend der Einsatzgebiete beider Systeme ergeben sich auch unterschiedliche Ansprüche an die zu verwendenden Photolacke. So wird für schnelle Belichtungen mit VSB-Schreibern ein CAR zwingend benötigt, jedoch kann es durch diese empfindlichen Photolacke zu Einbußen in der Auflösung kommen. [13, pp. 20-25 ff], [42].

## 2.6 Schreibstrategien

Für das Direktschreiben mit Elektronenstrahlen gibt es zwei verschiedene Schreibstrategien, welche in Abbildung 29 skizziert werden.

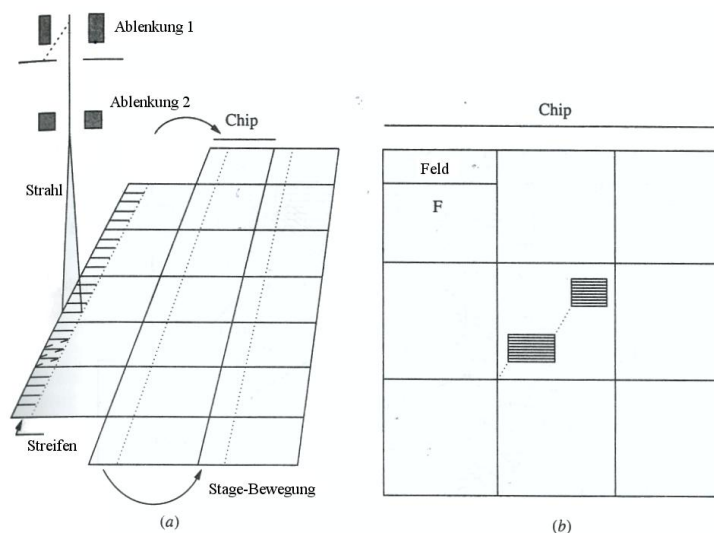


Abbildung 29: Prinzipien von (a) Raster Scan und (b) Vektor Scan [38]

Beim Raster-Scan-Verfahren wird das Pattern in Streifen zerlegt, die parallel zur Stagebewegung verlaufen. Die Streifen werden sequenziell belichtet und zusätzlich in Scan-

Linien zerlegt, deren Breite durch die kleinste Strukturgröße festgelegt ist. Die Ablenkung des Strahls selbst wird gemäß Abbildung 29 durch „Ablenkung 2“ erzeugt, „Ablenkung 1“ schaltet den Strahl während des Rasterns „Ein“ und „Aus“. Beim Vektor-Scan-Verfahren wird der Elektronenstrahl direkt zu den zu belichtenden Bereichen bewegt und vollführt nur hier eine scannende Bewegung zur Belichtung [38].

Zusätzlich kann die Betriebsart der Stage verändert werden, um den Durchsatz zu erhöhen: Beim On-the-fly-Betrieb bewegt sich die Stage mit dem Substrat kontinuierlich senkrecht zur Bewegungsrichtung des Elektronenstrahls. Beim Vektor-Scan-Verfahren kommt meist ein Step-and-Go-Verfahren zum Einsatz. Dabei wird das Pattern in Felder zerlegt. Der Tisch fährt ein Schreibfeld an, in welchem die entsprechenden Elemente sequentiell belichtet werden. Anschließend wird das nächste Feld angefahren. Nachteilig am Step-und-Repeat-Verfahren sind die vielen Beschleunigungs- und Abbremsvorgänge der Stage, in denen nicht belichtet werden kann. Diese Totzeiten während des Belichtungsvorgangs werden als Pattern-Overhead bezeichnet [13, pp. 20-19 ff], [38], [42].

Sowohl moderne Gaußstrahl-Schreiber als auch VSB-Schreiber beherrschen beide Scan-Verfahren und Stagebetriebsarten [43], [36], [38].

### 3 Multi-Elektronenstrahlithografie

Für die Herstellung von heutigen Lithografiemasken ist das direkte Schreiben mit Hilfe der Elektronenstrahlithografie aufgrund der erreichbaren Auflösung alternativlos. Durch die mit jeder Technologiegeneration immer komplexer werdenden Chipdesigns kommt der allerdings serielle Charakter dieses Lithografieverfahrens mehr und mehr zum Tragen. Höherer Durchsatz zur Reduzierung der Zykluszeiten für die Maskenherstellung und damit der Kostenminimierung war und ist in der industriellen Anwendung ein zentrales Thema. Je länger ein Elektronenstrahlschreiber zum Belichten einer Maske braucht, desto teurer wird diese. Für moderne Mikroprozessoren kommen weit mehr als zehn Lithografieebenen und somit Masken zum Einsatz, daher hat die Maskenfertigung einen immensen Anteil an den Gesamtkosten der Mikrochipherstellung [23].

Durch die immer komplexeren Strukturen aufgrund von OPC und SMO stoßen die verwendeten VSB-Schreiber mit einem Elektronenstrahl nicht nur auflösungs- sondern auch geschwindigkeitstechnisch an ihre Grenzen. Zum signifikanten Senken der Schreibzeit und damit der Kosten für die Maskenherstellung bei gleichzeitig verbessertem Auflösungsvermögen wurden Belichtungsverfahren entwickelt, die auf dem parallelen Einsatz von vielen Strahlen basieren. Je nach System werden weit über 100.000 Elektronenstrahlen genutzt, wobei jeder Strahl ein einzelnes Pixel darstellt. Aufgrund der hohen Anzahl an gleichzeitig verwendeten Elektronenstrahlen wird von einer *massiven parallelen Projektion von Pixeln* gesprochen [23].

Einige dieser Verfahren werden in den folgenden Abschnitten vorgestellt und die Vor- und Nachteile kurz erläutert. Dabei wird auf den Ansatz, der als Grundlage dieser Arbeit dient, detaillierter eingegangen.

#### 3.1 Entwicklung verschiedener Schreibverfahren

Bereits zu Beginn der 1990er Jahre wurden erste Konzepte entwickelt und vorgestellt, bei denen die Schreibzeit durch den parallelen Einsatz mehrerer Elektronenstrahlen verringert werden konnte. Prinzipiell können zwei verschiedene Ansätze unterschieden werden: Zum einen können mehrere komplette Elektronensäulen mit jeweils nur einem Strahl parallel zum Schreiben auf dem gleichen Substrat benutzt werden, zum anderen werden mehrere Elektronenstrahlen gleichzeitig in einer Elektronensäule erzeugt und zur Belichtung verwendet.

### 3.1.1 Paralleler Einsatz mehrerer Elektronensäulen

Erste Entwicklungen nutzten mehrere Elektronensäulen gleichzeitig, jeder Elektronenstrahl hat also eine eigene Quelle, eigene Linsen, usw. Daher wird bei solchen Systemen von Multi-Column-Systemen gesprochen. Jedem Elektronenstrahl wird ein bestimmter Schreibungsbereich auf dem Substrat zugeordnet, beispielsweise bei 4 Säulen jeweils ein Maskenviertel. Der am weitesten untersuchte Ansatz nach diesem Prinzip wurde von der Firma Advantest entwickelt und setzt auf den Einsatz von mehreren Elektronensäulen in Verbindung mit Cell-Projection. In einem Konzeptsystem (Proof-of-Concept bzw. POC) konnte eine signifikante Verringerung der Schreibzeit auf etwa ein Drittel im Vergleich zu einem konventionellen VSB-Schreiber bei Lithografiemasken für den 45nm-Technologieknoten nachgewiesen werden [10], [44]. Die folgende Abbildung 30 zeigt schematisch den Aufbau des verwendeten POC-Systems mit vier Elektronenstrahlen und das Schreibkonzept.

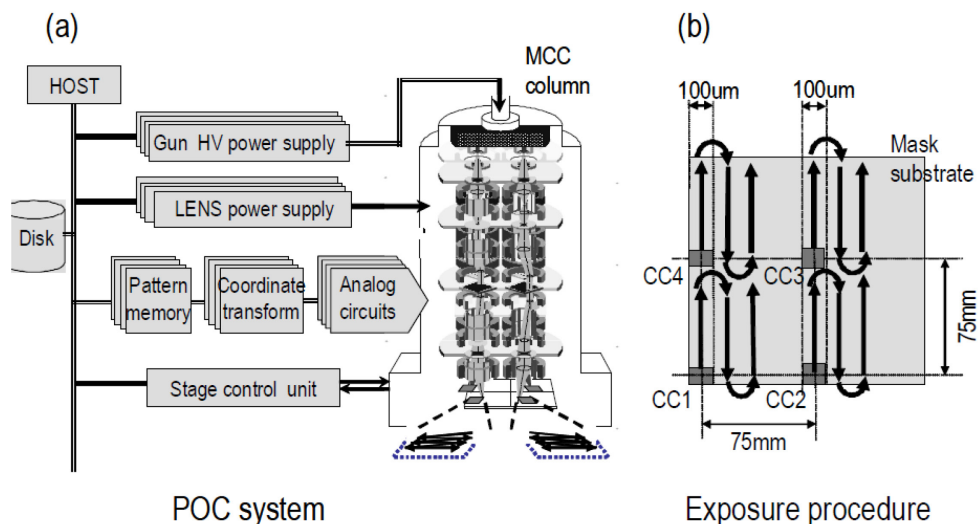
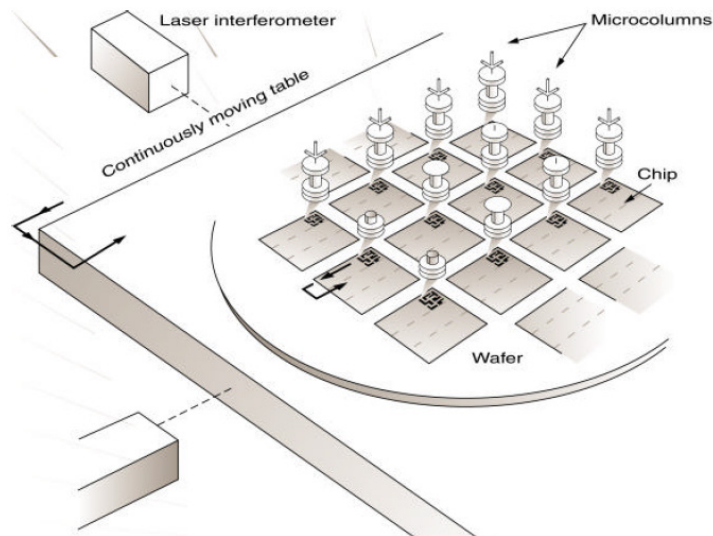


Abbildung 30: POC-Tool von Advantest [44]

Die Firma Etec Systems entwickelt einen von IBM entworfenen Ansatz weiter, bei dem jede Elektronensäule auf wenige Millimeter verkleinert wird. Diese kleinen Elektronenstrahlsäulen werden Microcolumns genannt und sind in Abbildung 31 schematisch dargestellt. Sie beinhalten ähnliche Bauelemente wie jede normale Elektronenstrahlsäule, jedoch in miniaturisierter Ausführung. Bedingt durch die Verkleinerung lassen sich allerdings keine hohen Beschleunigungsspannungen erreichen, so dass aufgrund der damit verbundenen hohen Vorwärtsstreuung nur dünne Photolacke belichtet werden können und somit möglicherweise auf komplexere Lacksysteme zurückgegriffen werden muss [45].



**Abbildung 31: Multi-Elektronenstrahlssystem mit Microcolumns [45]**

Vorteil ist, dass durch den parallelen Einsatz der Strahlen eine größere Anzahl an Pixeln zur gleichen Zeit belichtet werden können. Muss allerdings ein Strahl ein komplexeres und somit zeitaufwändigeres Pattern belichten als die übrigen Strahlen, so erhöht dieser Schreibbereich die Gesamtschreibzeit. Somit ist eine deutliche Einsparung an Schreibzeit nur möglich, wenn die Komplexität der zu belichtenden Muster auf dem gesamten Substrat in etwa gleich ist. Des Weiteren ist die hardwareseitige Komplexität eines solchen Systems sehr hoch, da jede Säule eine Quelle, passende Linsen und Blanker sowie im Fall von normalen Elektronenstrahlsäulen das entsprechende Vakuumequipment wie Pumpen und Dichtungen benötigt. Alle Strahlen müssen einzeln eingestellt und untereinander abgeglichen werden, damit ein solches System optimal arbeiten kann. Dies hat einen sehr hohen Installations- und Wartungsaufwand zur Folge. Der größte Nachteil an diesem Konzept ist die Begrenzung der Strahlanzahl durch die Abmessungen jeder einzelnen Säule. Je nach Footprint einer Säule - im Fall von einer Microcolumn liegt der Platzbedarf pro Säule bei etwa  $20 \text{ mm} \times 20 \text{ mm}$  - ist sehr schnell eine maximale Anzahl an Elektronenstrahlen erreicht [10]. Derzeit kommen solche Systeme in der Praxis nicht zum Einsatz [10], [44], [45].

### **3.1.2 Paralleler Einsatz mehrerer Elektronenstrahlen in einer Säule**

Zur Erhöhung der Anzahl der parallel schreibenden Strahlen wurden Ansätze entwickelt, bei denen aus einem breiten Elektronenstrahl mit Hilfe einer den Strahl formenden Aperturplatte viele tausend Einzelstrahlen, die Beamlets, erzeugt werden. Je nach System



können in aktuellen Entwicklungsstufen zwischen 13.000 und etwa 1.000.000 solcher Beamlets erzeugt und individuell gesteuert werden [46], [47].

Ein System dieser Art wird derzeit von der niederländischen Firma MAPPER Technologies entwickelt und ist in Abbildung 32 dargestellt. MAPPER steht dabei für Multi Aperture Pixel-by-Pixel Enhancement of Resolution, also ein System, das mit vielen Strahlen arbeitet und eine sehr hohe Auflösung ermöglicht [10]. Dabei liegt der Fokus vor allem auf der Maximierung des Durchsatzes. Innerhalb der Elektronensäule wird aus der Elektronenquelle ein breiter Elektronenstrahl erzeugt, der mit Hilfe eines Aperturfeldes in bis zu 13.000 Einzelstrahlen mit nochmals  $7 \times 7$  Substrahlen aufgeteilt wird. Diese Beamlets werden im weiteren Verlauf durch die Säule auf ein Strahlblinker-Array fokussiert, wo sie je nach Bedarf ein- und ausgeschaltet werden können. Dieses Array ist ein großer CMOS-Chip mit Öffnungen für jedes Beamlet. An den Öffnungen befinden sich Ablenk-Elektroden, mit deren Hilfe die Strahlen durch Auslenken deaktiviert werden können. Durch ein Deflektorfeld im weiteren Strahlverlauf wird das Bildfeld jedes Beamlets zusätzlich vergrößert [46], [48].

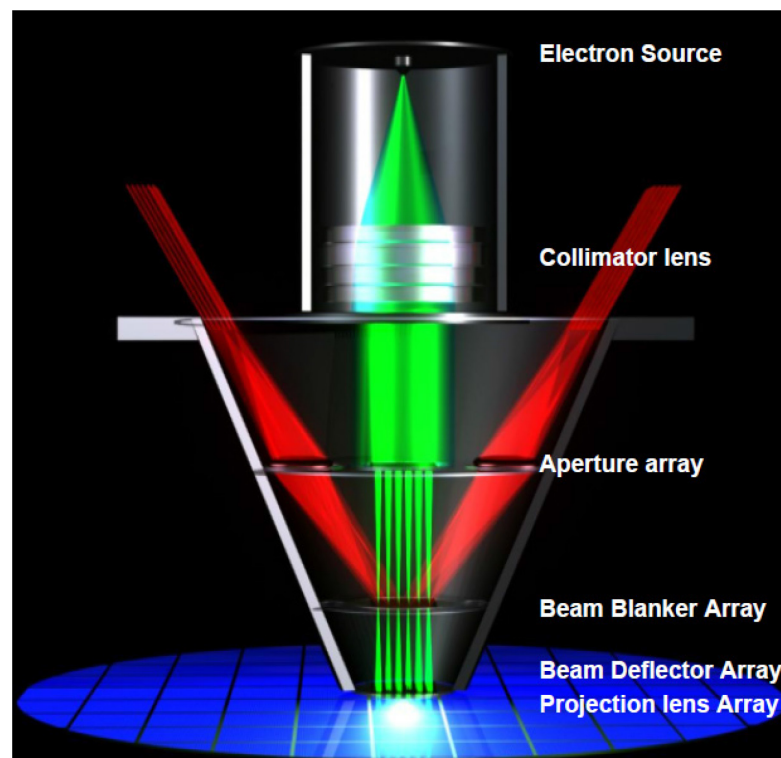


Abbildung 32: MAPPER [46]

Die Elektronen werden im MAPPER-System auf 5 kV beschleunigt. Hieraus ergibt sich ein ähnlicher Nachteil wie bei dem bereits genannten Mikrocolumn-System - die Belichtung dicker Lackschichten ist aufgrund der auflösungsbegrenzenden Vorwärtsstreuung

im Photolack nicht möglich. Daher muss auch hier auf dünne Lacke bzw. komplexere Lacksysteme zurückgegriffen werden. Ein weiterer Nachteil ergibt sich aus dem Aufbau der Ablenkeinheit des Systems: Die strahlformenden Teile, also die Arrays aus Aperturen, Blankern, Deflektoren und Projektionslinsen, müssen genau zueinander ausgerichtet und fixiert werden. Die Fixierung erfolgt praktisch untrennbar über einen speziellen Klebprozess [49]. Mit der Einsatzzeit wird vor allem die erste strahlformende Aperturplatte durch den ständigen Beschuss mit Elektronen kontaminiert, so dass ein Austausch des Komplettpaketes unumgänglich ist. Dieser Austausch der kompletten Ablenkeinheit ist verglichen mit dem alleinigen Tausch der strahlformenden Aperturplatte sehr teuer und ein großer Kostennachteil dieser Technologie. Derzeit befindet sich ein Testsystem in der Erprobung, bei dem mit rund 1.300 Einzelstrahlen lediglich 10 % der maximal möglichen Beamlets zum Einsatz kommen. Ob das Gesamtkonzept zielführend ist, muss noch gezeigt werden [50], [51].

Eine weitere Variante wurde von der Firma KLA-Tencor entwickelt. Hierbei kamen reflektierte Elektronenstrahlen zum Einsatz, was sich im Systemnamen REBL, also Reflective Electron Beam Lithography, widerspiegelte. Innerhalb des Systems wurde der breite Elektronenstrahl über ein magnetisches Prisma auf einen CMOS-Chip, den digitalen Patterngenerator, gelenkt und traf dort auf Metallplatten. Hier wurden die Elektronen durch entsprechende positive oder negative Ladung der Metallplatten entweder absorbiert oder reflektiert, wobei die reflektierten Strahlen die Beamlets bildeten. Diese wurden dann im magnetischen Prisma umgelenkt und in Richtung Substrat beschleunigt. Durch eine Verkleinerungsoptik wurden die Beamlets auf dem Weg zum Substrat gleichzeitig um den Faktor 50 verkleinert um die entsprechende Auflösung zu erreichen. Das REBL-System ist in Abbildung 33 skizziert [47], [52].

Mit diesem System konnten knapp über eine Million Beamlets zum Direktschreiben verwendet werden. Im Vergleich zu konkurrierenden Systemen besaß das REBL-System keine separate Apertur-Einheit, die den Elektronenstrahl in Beamlets teilt. Damit entfiel der nötige Justageprozess, allerdings war der CMOS-Chip dadurch dem ständigen Beschuss durch Elektronenstrahlen ausgesetzt.

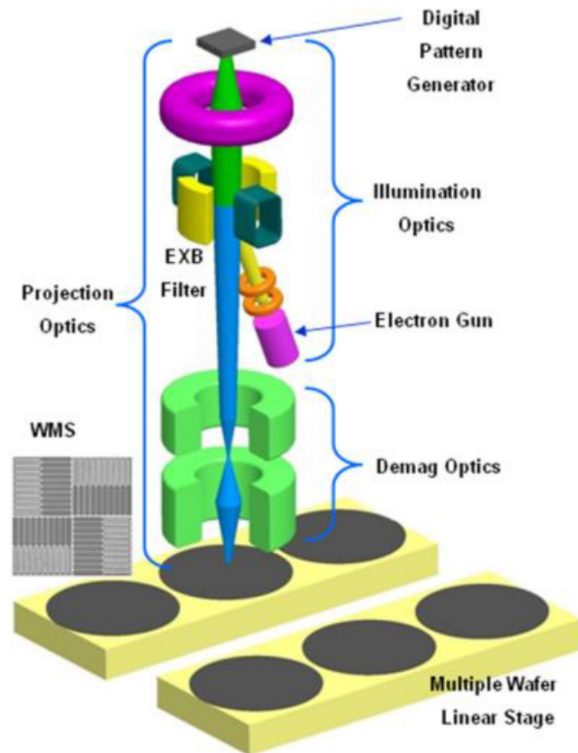


Abbildung 33: Schematischer Aufbau des REBL-Systems von KLA [53]

Durch mögliche Kontaminationen auf dem Chip musste dieses teure Bauelement daher von Zeit zu Zeit ausgetauscht werden. Durch eine nur wenige Atomlagen dünne elektrisch leitende Schicht innerhalb der einzelnen Ablenkzellen, deren Querschnitt in Abbildung 34 zu sehen ist, sowie einer speziellen Aperturätzung wurde das Charging erfolgreich verhindert.

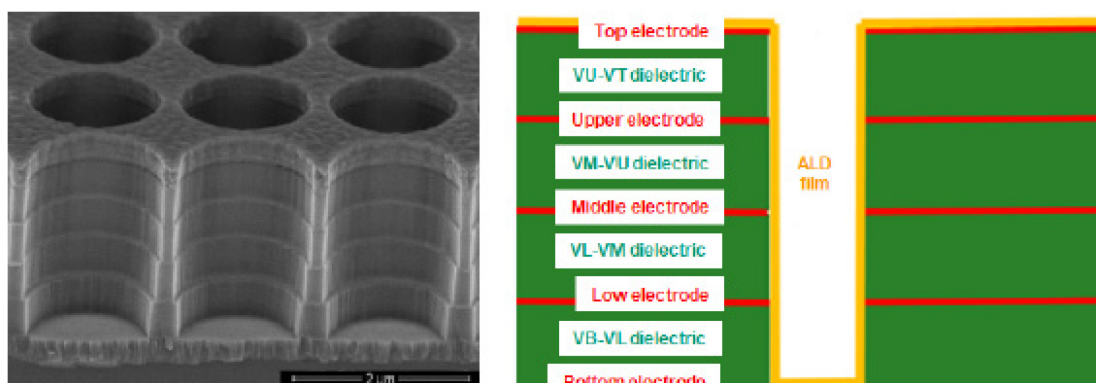


Abbildung 34: Querschnitt durch Ablenkzelle - links SEM-Bild, rechts – Skizze [54]

Optimierungsbedarf bestand im Erreichen der maximalen Auflösung. Problematisch war dabei der Ätzprozess zur Freilegung der Elektrodenstruktur (Abbildung 34 links) sowie der Cross-Talk, also das elektrische Übersprechen von einer Ablenkzelle zu einer anderen

[52], [54], [55]. Bereits Anfang des Jahres 2014 wurde die Arbeit am Projekt REBL eingestellt [56].

Im Jahr 2010 stellte die Firma Vistec Electron Beam GmbH einen Multi-Shaped-Beam-Ansatz (MSB) vor, der auf der eigenen VSB-Technologie basierte. Ein großer Vorteil dieses Systems war die mögliche Verwendung von bereits vorhandenen Einzelstrahl-VSB-Säulen. Der MSB-Schreiber arbeitete mit lediglich 64 Einzelstrahlen, welche aber individuell form-, schalt- und auf dem Substrat positionierbar waren. Durch das VSB-Prinzip konnten trotz der geringen Anzahl an Einzelstrahlen im Vergleich zu anderen Ansätzen die Schreibzeiten deutlich verringert werden [57]. Abbildung 35 stellt die Prinzipien von VSB und MSB schematisch gegenüber.

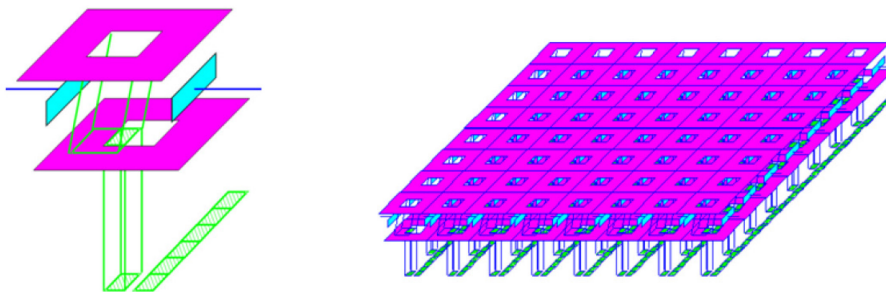


Abbildung 35: Prinzip von VSB (links) vs. MSB (rechts) [57]

Maximale Flexibilität konnte erreicht werden, indem das System neben MSB-Schreiben auch den konventionellen VSB-Betrieb und Cell Projection ermöglichte [57]. Die folgende Abbildung 36 stellt die entwickelte Elektronenstrahlsäule dar.

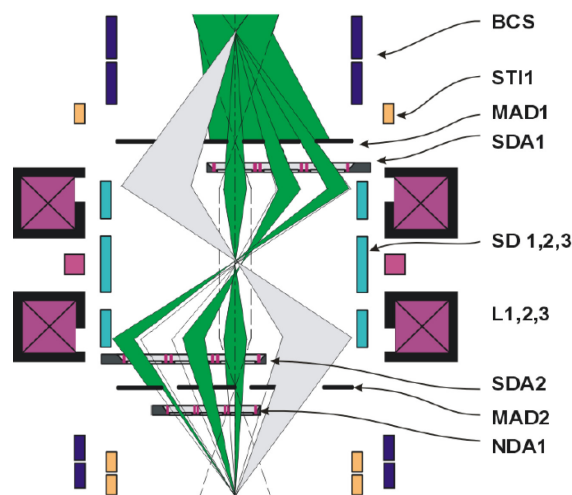


Abbildung 36: MSB-Säule mit VSB-Pfad (grau) und MSB-Pfad (grün) [57]

In der Säule wurde ein breiter Elektronenstrahl durch eine strahlformende Aperturmembran (MAD1; Multi Aperture Diaphragm) vorgeformt. Über ein Ablenkensystem (BCS;

Beam Centering System) konnte der VSB oder der MSB-Modus gewählt werden. Durch die Kondensorenlinse L1 und L2 sowie die elektrostatischen Deflektoren (SD1-3; Shape Deflectors) wurden die Strahlen mit Hilfe der strahlformenden Arrays (SDA1 und SDA2; Shape Deflector Array) in die benötigte Größe und Strahlform gebracht. Die geformten Elektronenstrahlen wurden im weiteren Verlauf durch die Elektronensäule verkleinert und mit Hilfe eines Ablenkarrays (NDA1; Nano Deflection Array) auf dem Substrat platziert. Die Ablenkung der einzelnen Elektronenstrahlen erfolgte durch ansteuerbare Elektroden aus Gold oder Polysilizium, welche sich auf den Deflektoren befanden. Geplant war ein MSB-Schreiber, der mit 64 individuell form- und ablenkbaren Elektronenstrahlen arbeiten sollte. Durch Simulationen wurden abhängig von der minimalen Strukturgröße mögliche Schreibzeitersparnisse um den Faktor 10 bis 55 ermittelt [57]. Da es aber keine aktuellen Veröffentlichungen zu diesem MSB-Schreiber gibt und auch Vistec selbst kein entsprechendes System anbietet, muss davon ausgegangen werden, dass auch diese Entwicklung eingestellt wurde.

Einer der vielversprechendsten Ansätze zum parallelen Einsatz von Elektronenstrahlen wurde von der österreichischen Firma IMS Nanofabrication AG entwickelt [58]. Dieses Konzept bildet die Grundlage der vorliegenden Arbeit und soll daher nach der folgenden kurzen Beschreibung in Abschnitt 3.2 detailliert beschrieben werden. Dieses Multi-Elektronenstrahl-System ist eine Variante, bei der mehrere Tausend Strahlen in einer Säule erzeugt und gesteuert werden. Innerhalb verschiedener Entwicklungsphasen wurden zunächst Systeme mit 43.008 Beamlets aus einem Gitter von  $192 \times 224$  Strahlen aufgebaut, aktuell können 262.144 Einzelstrahlen in einem Array aus  $512 \times 512$  Beamlets individuell zum Direktschreiben genutzt werden. Innerhalb der Elektronensäule wird aus der Quelle ein breiter Elektronenstrahl erzeugt und die Elektronen auf 5 keV beschleunigt. Durch das *programmierbare Aperturplatten-System* wird einerseits dieser Strahl in 262.144 Beamlets aufgeteilt und andererseits das zu erzeugende Pattern durch Ein- und Ausschalten der entsprechenden Beamlets erzeugt. Beim weiteren Durchlauf durch die Elektronensäule werden die Beamlets um den Faktor 200 verkleinert und anschließend auf 50 keV beschleunigt. Mit dieser Energie treffen die Elektronen auf das zu belichtende Substrat mit dem Photolack. Abbildung 37 zeigt schematisch den Aufbau des Multi-Elektronenstrahlschreibers, der von IMS Nano entwickelt wurde.

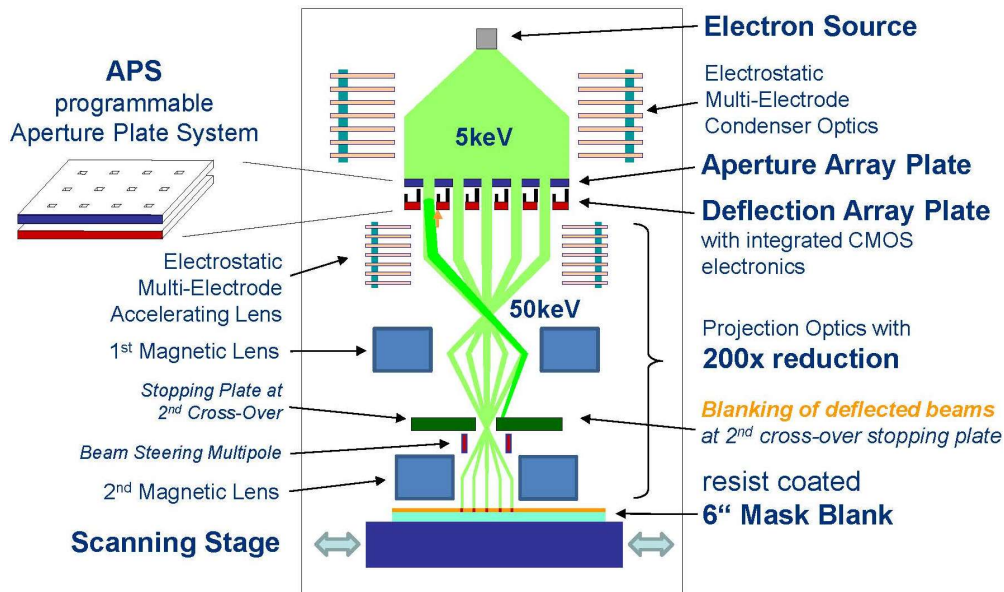


Abbildung 37: IMS Nano Ansatz [59]

Anfang 2016 stellte das japanische Unternehmen Nuflare seinen Multi-Elektronenstrahl-schreiber MBM-1000 vor [60], [61]. Dieses System ähnelt in vielen wesentlichen Punkten dem System der IMS Nanofabrication AG. Auch der MBM-1000 erzeugt aus einem Elektronenstrahl über ein Array aus  $512 \times 512$  strahlformenden Aperturen (SAA) insgesamt 262.144 Einzelstrahlen [61], [62]. Diese Strahlen besitzen auf dem Substrat eine Kantenlänge von 10 nm. Mit Hilfe eines Ablenkarrays (BAA) können alle Einzelstrahlen individuell gesteuert werden [63]. Den grundsätzlichen Aufbau dieses Maskenschreibers zeigt Abbildung 38.

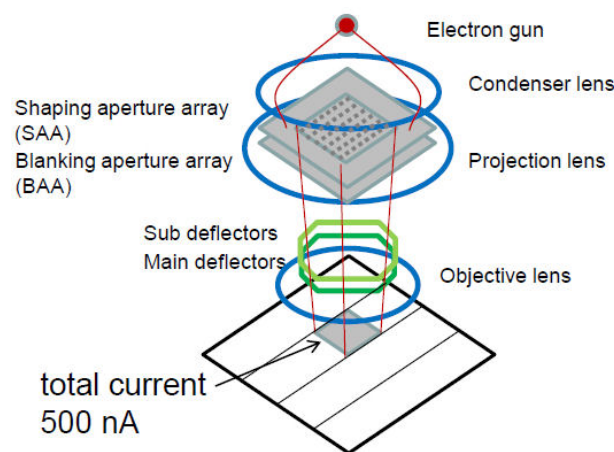


Abbildung 38: Prinzipieller Aufbau Nuflare MBM-1000 [63]

Durch optimierte elektronenoptische Komponenten und eine längere Elektronensäule konnte der Blur im Vergleich zu konventionellen VSB-Schreibern, welche auch mit einer

Beschleunigungsspannung von 50 kV arbeiten, minimiert werden. Dabei ist die Schreibgeschwindigkeit unabhängig von der Patterndichte, weshalb die Vorteile in dieser Technologie erst bei sehr dichten Strukturen und hohen Belichtungsdosen deutlich werden. Dieser Zusammenhang wird anhand der folgenden Abbildung 39 deutlich. Die Belichtungszeit steigt massiv mit der Shotzahl und in etwa linear mit der Belichtungsdosis [61].

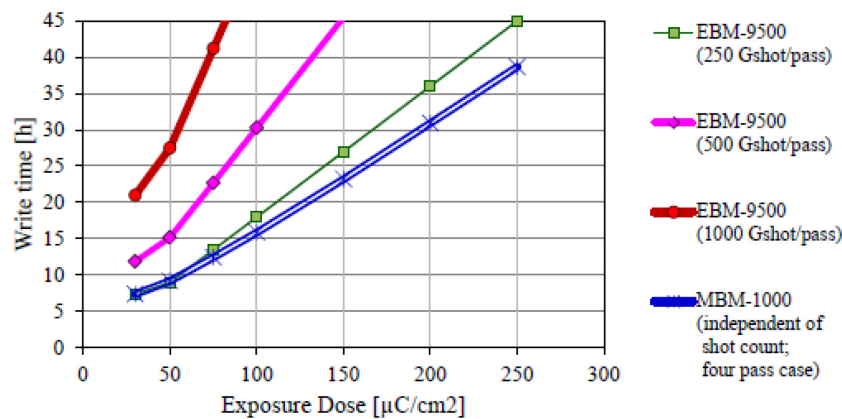


Abbildung 39: Schreibzeit für eine Fläche von 100mm x 130mm mit MBM-1000 und EBM-9500 (VSB-Schreiber) bei verschiedenen Patterndichten und Belichtungs Dosen [61]

Deutliche Vorteile bringt der Multi-Elektronenstrahlenschreiber ab einer Belichtungsdosis von  $75 \mu\text{C}/\text{cm}^2$  und einer Shotzahl von 200 Gshot [61]. Durch die hohe Beschleunigungsspannung ist der Schreiber weniger anfällig gegen äußere Störungen. Das Substrat befindet sich auf einem luftgelagerten und sich kontinuierlich bewegenden Substrattisch [63]. Derzeit werden kundenspezifische Testmuster mit diesem Gerät belichtet und ausgewertet. Ende 2017 sollen erste Multi-Elektronenstrahlenschreiber dieses Typs an Kunden geliefert werden [63].

### 3.2 Multi-Elektronenstrahl-System der IMS Nanofabrication AG

Der Multi-Elektronenstrahlenschreiber nach dem Ansatz der IMS Nanofabrication AG bildet die Grundlage für die vorliegende Arbeit. Daher wird dieser Ansatz nach der kurzen Beschreibung in Abschnitt 3.1.2 in den folgenden Abschnitten detailliert vorgestellt. Zunächst werden dazu die wesentlichen Parameter des Systems erläutert. Im Anschluss wird eine Kernkomponente, das *programmierbare Aperturplatten System*, dargestellt. Zum Abschluss werden einige bisher mit diesem Multi-Elektronenstrahlenschreiber erreichte Belichtungsergebnisse aufgezeigt.

### 3.2.1 Aufbau und Parameter des Systems

Die wichtigsten Parameter des Multi-Elektronenstrahlschreibers wie Anzahl und Größe der Beamlets sowie die Strahlstromstärke sind von verschiedenen Faktoren und vor allem den geforderten Einsatzmöglichkeiten abhängig. Je länger die Schreibzeit für ein Substrat ist, desto höher sind am Ende die Herstellungskosten. Daher sollte der Durchsatz hoch und die damit verbundene Schreibzeit pro Substrat entsprechend niedrig sein [64].

Die entsprechenden Zusammenhänge zwischen Durchsatz und den Geräteparametern ergeben sich wie folgt:

Die Dauer  $t_{Sub}$  der Belichtung eines Substrats lässt sich mit Hilfe der folgenden Gleichung bestimmen:

$$t_{Sub} = SC \cdot t_{Shot} \quad 3.1$$

Dabei steht  $SC$  für die Anzahl der zur Belichtung nötigen Pixelbelichtungen (Shot Count) und  $t_{Shot}$  gibt an, wie lange das Belichten eines Pixels, also ein Belichtungsshot oder kurz Shot, dauert. Über die zur Belichtung nötige Dosis  $D$ , die Strahlstromstärke und die Größe eines Pixels  $A_{Shot}$  lässt sich  $t_{Shot}$  durch die Formel

$$t_{Shot} = \frac{D \cdot A_{Shot}}{I} \quad 3.2$$

ausdrücken. Damit ändert sich Gleichung 3.1 zu

$$t_{Sub} = \frac{SC \cdot D \cdot A_{Shot}}{I} \quad 3.3$$

Das Produkt aus der Anzahl der nötigen Shots und der bei jedem Shot belichteten Fläche ergibt die Gesamtfläche  $A$ , die auf dem Substrat zu belichten ist und es ergibt sich die folgende Gleichung zur Berechnung der Schreibzeit für ein Substrat:

$$t_{Sub} = \frac{D \cdot A}{I} \quad 3.4$$

Zur reinen Schreibzeit addieren sich noch die systembedingten Overheadzeiten wie Substrathandling und Temperprozesse. Der gewählte Photolack bzw. das Lacksystem bestimmt die notwendige Dosis. Entsprechend der Vorgaben für die Auflösung und dem damit tolerierbaren Blur sowie dem geforderten Durchsatz ist auch die Strahlstromstärke



ein fixer Wert. Damit hängt die Schreibzeit praktisch nur von der Größe der zu belichtenden Fläche ab. Dieser Wert wird oft auch in Prozent als Verhältnis von zu belichtender Fläche und der Gesamtfläche des Substrats angegeben, der Patterndichte [65].

Mit fester Dosis und fixem Strahlstrom lässt sich die Schreibzeit bei gleicher Patterndichte praktisch nur minimieren, wenn es möglich ist, mehr als einen Elektronenstrahl mit gleichen Eigenschaften parallel zur Belichtung eines Substrates einzusetzen [65].

Werden mehrere Elektronensäulen zum Erzeugen des Patterns genutzt (Multi-Column), so ergibt sich die Schreibzeit in erster Näherung aus dem Quotienten von  $t_{Sub}$  und der Anzahl der Strahlen  $BC$  (Beam Count) und es ergibt sich für die Schreibzeit die Gleichung

$$t_{Sub} = \frac{D \cdot A}{I \cdot BC} \quad 3.5 [65]$$

Konkret bedeutet das, dass bei zwei Säulen bzw. Strahlen die Schreibzeit halbiert wird, mit vier Strahlen geviertelt und so weiter.

Für ein System, bei dem viele Beamlets in einer einzigen Säule zum Einsatz kommen, ist dieser Zusammenhang allerdings nicht gültig. Die Abschätzung von  $t_{Sub}$  muss in diesem Fall über die Strahlstromstärke  $I_{ges}$  erfolgen, die sich aus der Gesamtstromdichte, der Anzahl der Beamlets und deren Größe ergibt. Je größer die Strahlstromstärke auf dem Substrat ist, desto schneller kann die Belichtung erfolgen. Über die Beamletgröße ergibt sich aus der Gesamtstromdichte die Stromstärke pro Beamlet. Aktuelle VSB-Maskenschreiber erreichen Stromdichten  $J$  von  $400 \text{ A/cm}^2$  [66]. Bei einem quadratischen Querschnitt mit  $20 \text{ nm}$  Kantenlänge ergibt sich so eine Stromstärke von

$$I_{beam} = J_{ges} \cdot A_{beam} = 400 \frac{\text{A}}{\text{cm}^2} \cdot (20 \text{ nm})^2 = 400 \frac{\text{A}}{\text{cm}^2} \cdot 4 \cdot 10^{-12} \text{ cm}^2 = 1,6 \cdot 10^{-9} \text{ A} \quad 3.6$$

Zudem werden Maskenschreiber entwickelt, die  $800 \text{ A/cm}^2$  und damit  $3,2 \text{ nA}$ , also die doppelte Stromstärke erreichen können. Im Multi-Elektronenstrahlenschreiber erreicht die Strahlstromdichte lediglich  $1 \text{ A/cm}^2$ . Damit ergibt sich bei gleicher Beamletgröße nach Formel 3.6 eine Stromstärke von  $4 \text{ pA}$ , durch die große Anzahl an Beamlets, in diesem Fall  $262.144$ , erhöht sich aber bei Nutzung aller Beamlets gleichzeitig die Gesamtstromstärke auf rund  $1 \text{ }\mu\text{A}$  [67].

In erster Näherung ergibt sich die Schreibzeitersparnis aus dem Verhältnis der Stromstärken, die zum Schreiben genutzt werden können. Das bedeutet, dass der Multi-Elektronenstrahlschreiber theoretisch im Vergleich zu einem VSB-Schreiber um bis zu über  $300\times$  schneller das gleiche Pattern belichten kann, wenn alle Beamlets genutzt werden. Bei einer realistischen Annahme, dass gleichzeitig nur etwa die Hälfte aller Beamlets gleichzeitig zum Einsatz kommt, liegt dieser Faktor noch immer bei 150. Allerdings hängt die reale Schreibzeitersparnis nicht allein von der Anzahl der möglichen Beamlets, sondern auch von der Komplexität des zu belichtenden Musters ab. Das Multi-Beamsystem ist davon komplett unabhängig, aber für einen konventionellen Elektronenstrahlschreiber erhöht sich die Schreibzeit mit kleiner werden Strukturen und komplexeren Pattern. Je komplexer die Maske also ist, desto größer wird der Geschwindigkeitsvorteil des Multi-Elektronenstrahlschreibers [67].

Die minimale Größe eines Elektronenstrahls richtet sich nach der geforderten Auflösung des Elektronenstrahlschreibers. Diese kann letztendlich nicht kleiner werden als die Seitenlänge des quadratischen Querschnitts eines Beamlets. Die aktuelle Vorgabe, dass der 32nm-Technologieknoten und später sogar der 22nm-Knoten erreicht werden können bedeutet für die Spotgröße, dass diese nicht größer sein darf als 32 nm oder 22 nm. Sie ist momentan auf 20 nm beim Schreiber der IMS Nanofabrication AG festgelegt, was einer Strahlgröße von  $4\ \mu\text{m}$  vor der  $200\times$ -Verkleinerung in der Säule entspricht. Auf diese Weise lassen sich auch bei erhöhtem Blur die Strukturen mit Abmessungen von 32 nm herstellen [64], [68].

Durch Anpassung der Beamletgröße auf unter  $2\ \mu\text{m}$  lässt sich die Spotgröße auf dem Substrat entsprechend auf unter 10 nm senken, wodurch deutlich höhere Auflösungen möglich werden [68].

Die Anzahl der Strahlen richtet sich nach dem allgemeinen Zusammenhang, dass die Schreibzeit abnimmt, je mehr Beamlets zum Elektronenstrahlschreiben genutzt werden können. In mehreren Stufen werden dabei verschiedene Systeme mit unterschiedlich vielen Beamlets gefertigt. Diese Zwischenschritte sind auch abhängig von der verfügbaren Technologie zur Erzeugung der Beamlets. Die aktuelle Stufe ermöglicht die Nutzung von 262.144 Einzelstrahlen [64].

Die 262.144 Ablenkzellen belegen auf dem Ablenkchip eine Fläche von etwa  $16,4\ \text{mm} \times 16,4\ \text{mm}$ . Durch die Verkleinerungsoptik ergibt sich so ein maximales Bildfeld von  $82\ \mu\text{m} \times 82\ \mu\text{m}$  [68]. Diese Bildfeldgröße resultiert in einem großen Strahlstrom.

Damit verbunden ist nach Formel 2.35 auch ein großer Blur, welcher einen großen Einfluss auf das Auflösungsvermögen des Systems hat. Auch zur Minimierung der Strahlaufweitung werden die Belichtungen bei einer Beschleunigungsspannung von 50 kV durchgeführt.

### 3.2.2 Die Kernkomponente – Das Programmierbare Aperturplatten System (APS)

Das zentrale Bauteil dieses Systems ist das programmierbare Aperturplatten-System (APS). Diese Einheit besteht aus insgesamt vier Komponenten, die zueinander ausgerichtet und miteinander fest verbunden werden. Der grundlegende Aufbau des APS ist in Abbildung 40 ersichtlich.

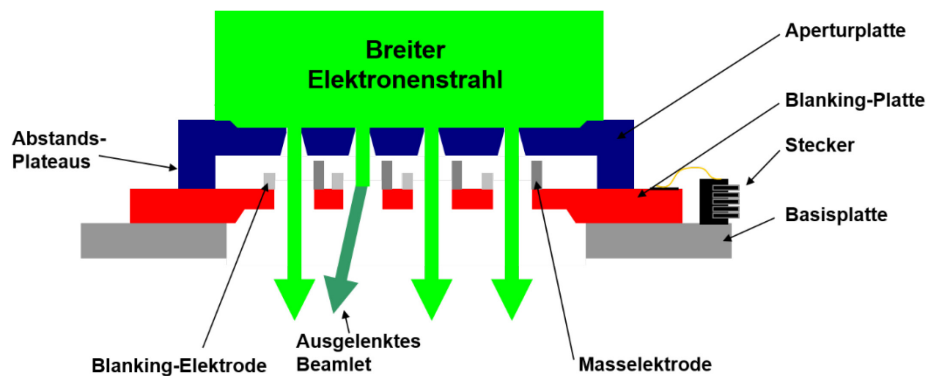


Abbildung 40: APS

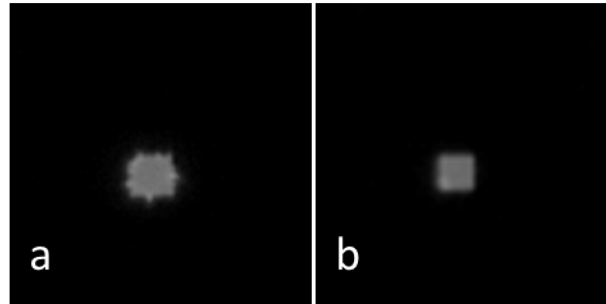
Die *Aperturplatte* ist wie in Abbildung 41 zu sehen eine dünne Siliziummembran, in die Löcher (Aperturen) entsprechend der Vorgaben zur Beamlet-Anzahl und -Größe geätzt werden. Die Herstellung dieses Bauteils entspricht dem Herstellungsprozess einer typischen Stencilmaske. Eine solche Maske besteht aus einer dünnen Siliziummembran mit Löchern. Dabei dient ein SOI-Wafer (Silicon on Insulator) als Ausgangssubstrat. Durch einen Trockenätzprozess werden die Aperturen in die SOI-Schicht übertragen, und mit Hilfe einer nasschemischen Ätzung mittels Kaliumhydroxid wird die Membran erzeugt [69]. Bei einem System aus 43.008 Beamlets sind die Öffnungen quadratisch und mit einer Seitenlänge von  $2,5 \mu\text{m}$  ausgeführt. Aus dem breiten Elektronenstrahl werden durch diese Aperturen die einzelnen Beamlets erzeugt und geformt. Die absorbierten Elektronen werden über die elektrisch leitende Membran abgeführt, so dass es zu keiner elektrostatischen Aufladung kommen kann.



**Abbildung 41: Aperturplatte**

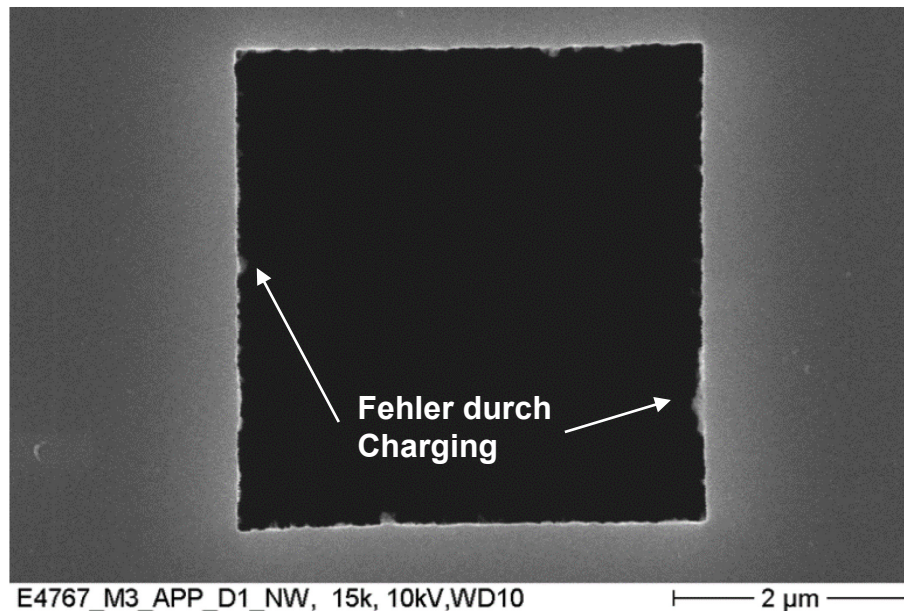
Da die Qualität der Aperturen direkten Einfluss auf die Form der Beamlets hat muss bei der Herstellung der Aperturplatte genau darauf geachtet werden, dass die Strukturkanten eine sehr geringe Rauheit aufweisen. Zudem ist die Einhaltung der geforderten Abmessungen zwingend erforderlich. Sind die Löcher zu groß oder die Kanten zu rau kann die geforderte Auflösung nicht erreicht werden. Neben dem Einhalten der Abmessungen der einzelnen Aperturen ist auch eine defektfreie Fertigung der Aperturplatte wichtig. Nicht komplett geöffnete oder verätzte Aperturen können in einem bestimmten Maß toleriert und softwareseitig durch eine spezielle Schreibstrategie korrigiert werden. Dadurch kann bei dieser Platte pro Aperturzeile, welche aus 224 Aperturen besteht, eine defekte Öffnung akzeptiert werden. Weiterhin dürfen keine größeren Bereiche des Aperturfeldes der Membran Verätzungen, welche im Rahmen der nasschemischen Ätzung auftreten können, aufweisen.

Bei einzelnen Fertigungsschritten der Aperturplatte werden prozessbedingt isolierende Polymere innerhalb der Aperturen erzeugt. Sie müssen durch gezielte Reinigungen entfernt werden. Andernfalls können sich diese Bereiche durch den Beschuss mit Elektronen aufladen und durch die so entstehenden elektrostatischen Kräfte die Beamlets deformieren. Der Verzerrungseffekt durch die polymerbedingten Aufladungen und die Verbesserung durch eine gezielte Reinigung wird anhand der folgenden Abbildung 42 deutlich.



**Abbildung 42: Aperturen durchstrahlt - vor (a) und nach (b) Reinigung**

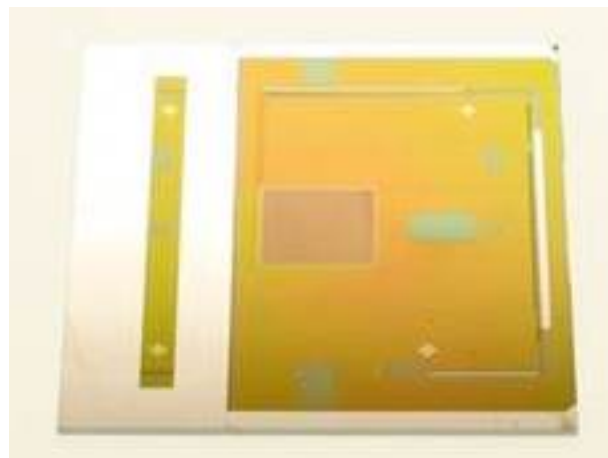
Dazu werden die Aperturplatten in einem Teststand mit einem Elektronenstrahl durchstrahlt und das Ergebnis auf einem Szintillatorschirm dargestellt. Mit Hilfe eines REM können die Ablagerungen sichtbar gemacht werden, was in Abbildung 43 ersichtlich ist.



**Abbildung 43: REM-Aufnahme Apertur mit Rückständen – Charging deutlich erkennbar**

Durch den permanenten Beschuss der Aperturplatte mit Elektronen im Schreibbetrieb kommt es mit zunehmender Einsatzdauer zu Verunreinigungen der Siliziumoberfläche dieses Bauteils. Sie führen ähnlich wie die Ätzrückstände zu Veränderungen der Beamletform. Zur Lösung dieses Problems soll die Aperturplatte austauschbar sein. Auf den ersten Aperturplattensystemen wurden allerdings alle Einzelteile fest miteinander verklebt, so dass nur ein Austausch des kompletten Systems möglich war. In aktuellen Geräten ist die Aperturplatte nicht mehr fest mit den anderen APS-Komponenten verbunden und kann somit unabhängig davon getauscht werden.

Die *Blanking-Platte* bzw. der *Blanking-Chip* ist die Kernkomponente des APS, die durch die Steuerung der Beamlets das Pattern erzeugt. Dieser in Abbildung 44 gezeigte Chip enthält verschiedene Bauelemente, die zur Signalverarbeitung genutzt werden. Hierzu gehören bspw. Speicherelemente, Treiberbausteine und Levelshifter. Die Herausforderung besteht in der Verarbeitung großer Datenmengen in kürzester Zeit. Je nach Design können mehr als 3 TB Daten anfallen. Die Lösung besteht in der Datenaufbereitung durch ein Cluster-System und die optische Übertragung zum Blanking-Chip über ein Netzwerk aus Bufferspeichern und programmierbare Schaltungen (Field Programmable Gate Array – FPGA). Zusätzliche Rückkanäle werden zur Prüfung und Sicherung der Daten eingesetzt. Insgesamt können mit diesem Übertragungskonzept die Daten mit bis zu 14 GBit/s auf das Substrat übertragen werden [64].



**Abbildung 44: Blanking-Chip; Generation für 43.008 Beamlets**

Hergestellt wird der Blanking-Chip von der Foundry United Microelectronics Corporation (UMC) in 250nm-Technologie [70]. Für den Einsatz im Multielektronenstrahlenschreiber muss dieses Bauteil nach der CMOS-Fertigung zu einer Membran gedünnt und mit entsprechenden Löchern versehen werden. Das Ausschalten der Beamlets wird durch gezieltes Ablenken der Elektronen in einem elektrischen Feld erreicht. Zu diesem Zweck werden an den Löchern des Ablenkchips Elektroden hergestellt und mit der CMOS-Logik des Chips verbunden. Dabei entsteht aus einer Ablenk-Elektrode und einer Masse-Elektrode ein Plattenkondensator, durch dessen elektrostatische Kraft das Ablenken der Elektronen erreicht werden kann. Soll ein Beamlet angeschaltet sein, wird keine Spannung an die entsprechende Ablenk-Elektrode gelegt. Sie besitzt dann das gleiche Potential wie die Masse-Elektrode, also 0 V. In diesem Zustand wirkt keine Kraft auf das Beamlet, so dass

es den Chip ungehindert passieren kann. Soll ein Beamlet abgeschaltet werden, so wird eine Spannung von 3,3 V an die Elektrode angelegt, die dafür sorgt, dass sich die Bewegungsrichtung der Elektronen durch elektrostatische Kräfte geringfügig verändert. Diese Auslenkung führt in der Elektronensäule dazu, dass beim Verkleinern und Fokussieren der Beamlets die Strahlen von einer Stopp-Platte vor dem Substrat abgefangen werden, die den Blanking-Chip nicht geradlinig durchlaufen haben.

Die Öffnungen im Blanking-Chip, die die Transmission der Beamlets ermöglichen, sind ebenso wie die Löcher in der Aperturplatte quadratisch ausgeführt, die Seitenlänge beträgt allerdings mit etwa 10  $\mu\text{m}$  das Vierfache. Sie befindet sich zentrisch zwischen den Elektroden. Diese Dimensionierung hat zwei wesentliche Gründe: Einerseits muss zum Ausrichten der Löcher von Aperturplatte und Blanking-Chip eine bestimmte Toleranz gegeben sein, um eventuelle Ungenauigkeiten ausgleichen zu können. Aktuell kann das Justieren mit Abweichungen unter 1  $\mu\text{m}$  erfolgen. Andererseits muss gewährleistet sein, dass der Elektronenstrahl bzw. das Beamlet möglichst weit von isolierenden Materialien entfernt geführt werden kann. Innerhalb der Aperturen des Blanking-Chips befinden sich aus fertigungstechnischen Gründen Schichtsysteme aus Siliziumoxiden. Die Verteilung der Elektronenbewegungsrichtung im Beamlet ist nicht ideal parallel, so dass einzelne Ladungen auch die isolierenden Schichten erreichen. Hier können sie nicht abgeleitet werden, wodurch es nach und nach zu elektrostatischen Aufladungen und damit zu ähnlich verzerrenden Effekten wie bei den ungereinigten Aperturplatten kommt. Bei genügend großem Abstand zwischen Beamlet und Aperturwand können diese aufladungsbedingten Störungen deutlich minimiert werden.

Zum Einbau der Einzelkomponenten in das Gesamtsystem werden diese auf einer *Silizium-Basisplatte*, also einer Grundplatte aus Silizium fixiert. Sie besitzt eine große Öffnung für die Beamlets und verschiedene Löcher für die Fixierung im Elektronenstrahlenschreiber mit Hilfe von Schrauben. Eine solche Baseplate ist in Abbildung 45 abgebildet.



Abbildung 45: Silizium-Basisplatte

Auf dieser Basisplatte wird zusammen mit dem Blanking-Chip und der Aperturplatte ein spezieller *Stecker* montiert, über den die elektrische Verbindung des fertigen APS, wie in Abbildung 46 gezeigt, zum Gesamtsystem realisiert wird. Hierzu wird er mit Hilfe von Bonddrähten mit dem Blanking-Chip und über ein Flachbandkabel mit dem Multielektronenstrahl-System verbunden.

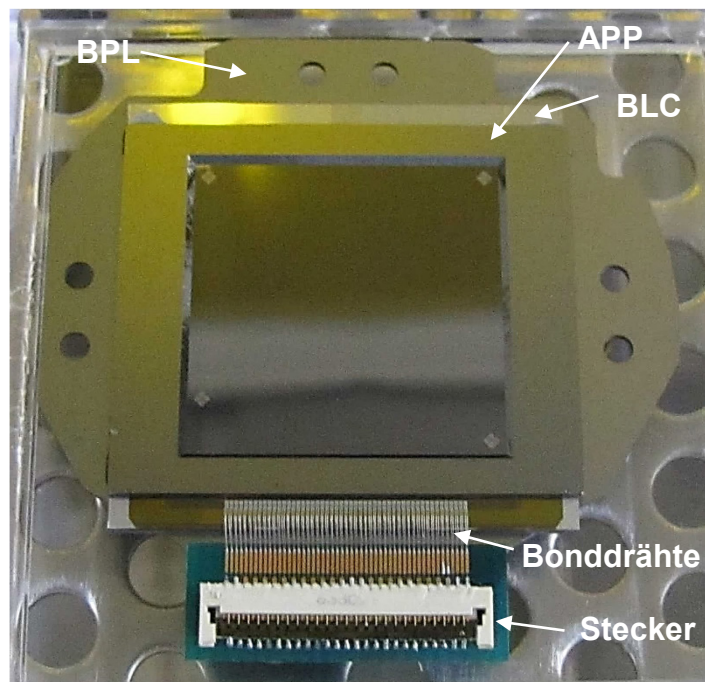
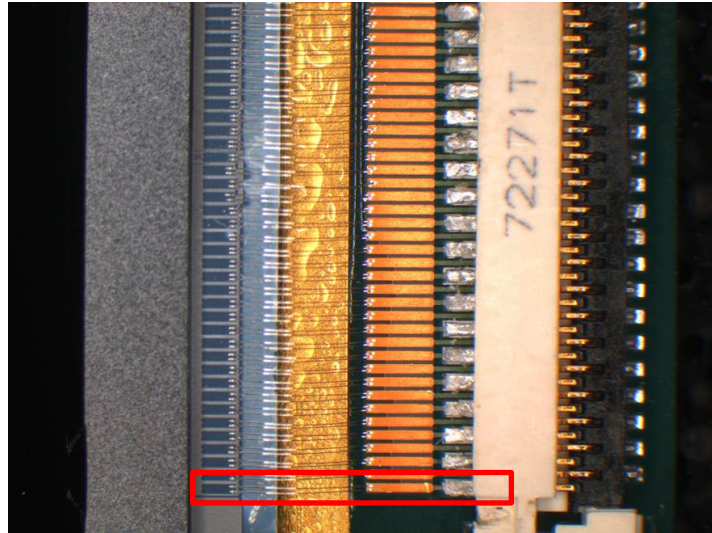


Abbildung 46: Fertig zusammengesetztes APS bestehend aus Basisplatte (BPL), Aperturplatte (APP), Blanking-Chip (BLC) und Stecker

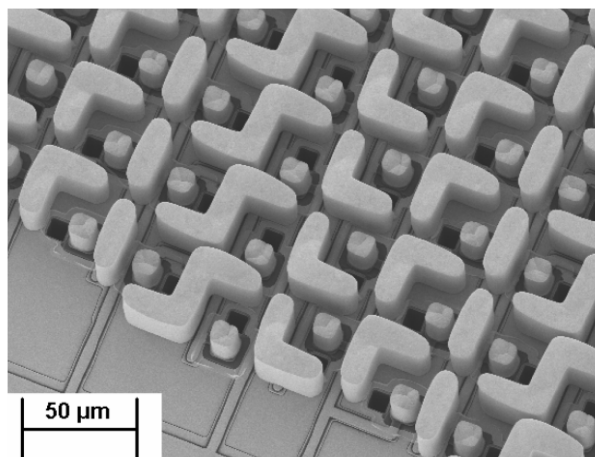
Zur Gewährleistung einer sicheren elektrischen Verbindung zwischen dem Chip und dem Stecker und damit dem Gesamtsystem, werden die Bondverbindungen für jeden Pin doppelt ausgeführt, was auf der folgenden Abbildung 47 ersichtlich wird.





**Abbildung 47: Zwei Bonddrähte pro Verbindung**

In der aktuellen Entwicklungsstufe bestehen die Ablenk-Elektroden aus galvanisch abgeschiedenem Gold. Die folgende Abbildung 48 zeigt einen Ausschnitt aus dem Rand des Aperturfeldes mit Goldelektroden.



**Abbildung 48: Ausschnitt aus BLC-Elektroden-Array (Au) [68]**

Dieser Galvanikprozess ist aufgrund der Herstellung notwendiger Hilfsschichten sehr komplex und benötigt eine entsprechend lange Bearbeitungszeit. Zudem lassen sich die galvanischen Strukturen nur sehr begrenzt weiter verkleinern, was ein großes Problem für zukünftige APS-Ausbaustufen darstellt. Die größten Probleme des Galvanikprozesses sind die CMOS-Inkompatibilität, die Gefahr von lokalen Aufladungen (Zerstörung der Elektronik in Form von elektrischer Überspannung [ESD]) und mögliche Ausfälle des Galvanikprozesses (kein Wachstum der Metallschicht oder unkontrolliertes Wachstum) [71] [72].

Zur Lösung der Probleme des Galvanikprozesses wurden im Rahmen dieser Dissertation technologische Alternativprozesse entwickelt und charakterisiert, die zum einen CMOS-kompatibel und zum anderen im Hinblick auf zukünftige Entwicklungen skalierbar zu kleineren Strukturdimensionen sind. Diese Lösungen sind im Einzelnen:

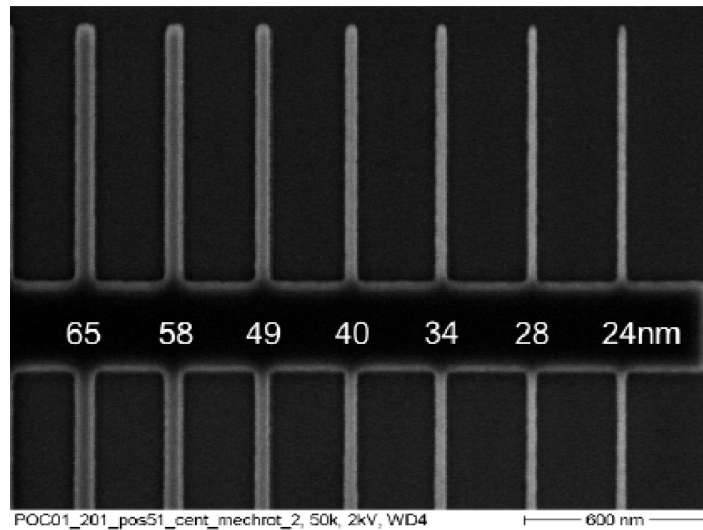
- Hartverdrahtete Ablenkplatte mit Siliziumelektroden (Kapitel 4)
- Ablenkplatte mit vergrabenen Elektroden aus Wolfram (Kapitel 5)

Die entwickelten Lösungen sind hinsichtlich des Prozessablaufs weniger komplex als die Elektrodenherstellung mittels Gold-Galvanik. Zudem ist es mit Hilfe der verwendeten CMOS-kompatiblen Prozesse möglich, wesentlich kleinere Elektrodengeometrien zu erreichen. Ein weiterer Vorteil ist die Übertragbarkeit der weit verbreiteten Bearbeitungsschritte in andere Einrichtungen zum möglichen Aufbau einer alternativen Herstellungsquelle.

### **3.2.3 Performance und Belichtungsergebnisse**

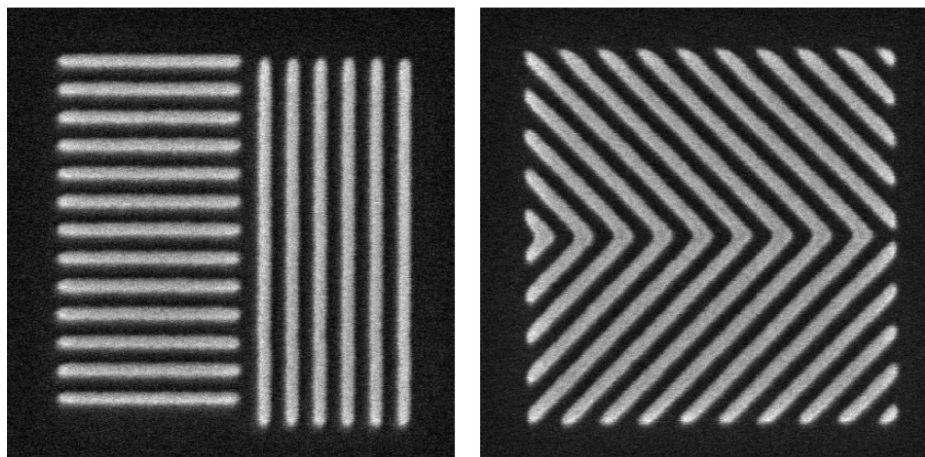
Mit einem Proof-of-Concept-System wurde das Auflösungsvermögen und die Platziergenauigkeit dieses Multielektronenstrahlkonzept demonstriert. Das POC-Gerät besitzt eine voll funktionale Elektronenstrahlsäule mit der Möglichkeit, die Elektronen mit 50 kV zu beschleunigen. In die Säule wurde das APS eingefügt. Lediglich die Stage, also die Baugruppe, welches für die Aufnahme und Bewegung des Substrates verantwortlich ist, besitzt nicht die volle Funktion, so dass die Substrate nicht in der final angestrebten Geschwindigkeit bewegt werden konnten [73].

Das POC-System ermöglicht Auflösungen bis etwa 24 nm, was die folgende Abbildung 49 von einer Teststruktur mit isolierten Linien verdeutlicht.



**Abbildung 49: POC – Testdesign zur Demonstration der möglichen Auflösung [73]**

Auch Testpattern mit dichter gepackten Linien in verschiedenen Winkeln ( $0^\circ$ ,  $45^\circ$ ,  $90^\circ$  und  $135^\circ$ ) konnten hergestellt werden. Die kleinsten Linien in Abbildung 50 hatten dabei eine Breite von etwa 30 nm.



**Abbildung 50: 30nm Linien können in verschiedenen Winkeln aufgelöst werden [73]**

Anhand eines Testmusters konnte mit dem POC-System eine Platziergenauigkeit (Placement) von 0,1 nm demonstriert werden. Dieses Testdesign bestand aus Linien mit einer Breite von 50 nm, deren Pitch sich von 100 nm in Schritten von 0,1 nm bis auf 109,9 nm erhöhte. Durch anschließendes Vermessen der Strukturen mit Hilfe eines REM konnte dann die Platziergenauigkeit wie in Abbildung 51 verifiziert werden.

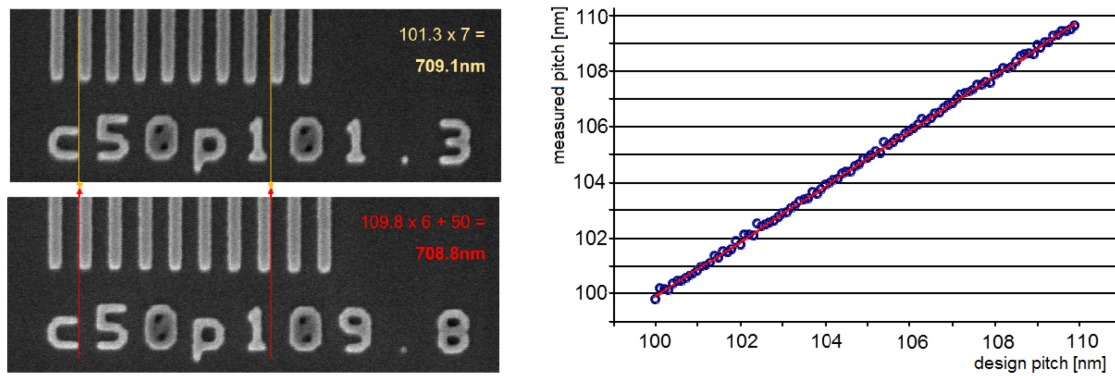


Abbildung 51: Adressierung/Platzierung Genauigkeit [73] (Beschriftung der Achsen angepasst)

Zudem wurden neben den genannten Testmustern auch reale Strukturen geschrieben, deren kleinste Linien eine Größe von lediglich 24 nm hatten. Dabei wurden Strukturen erstellt, die bereits sehr komplexe OPC-Strukturen aufwiesen. Abbildung 52 zeigt einen Ausschnitt dieses Musters im Design (links) und nach der Belichtung (rechts).

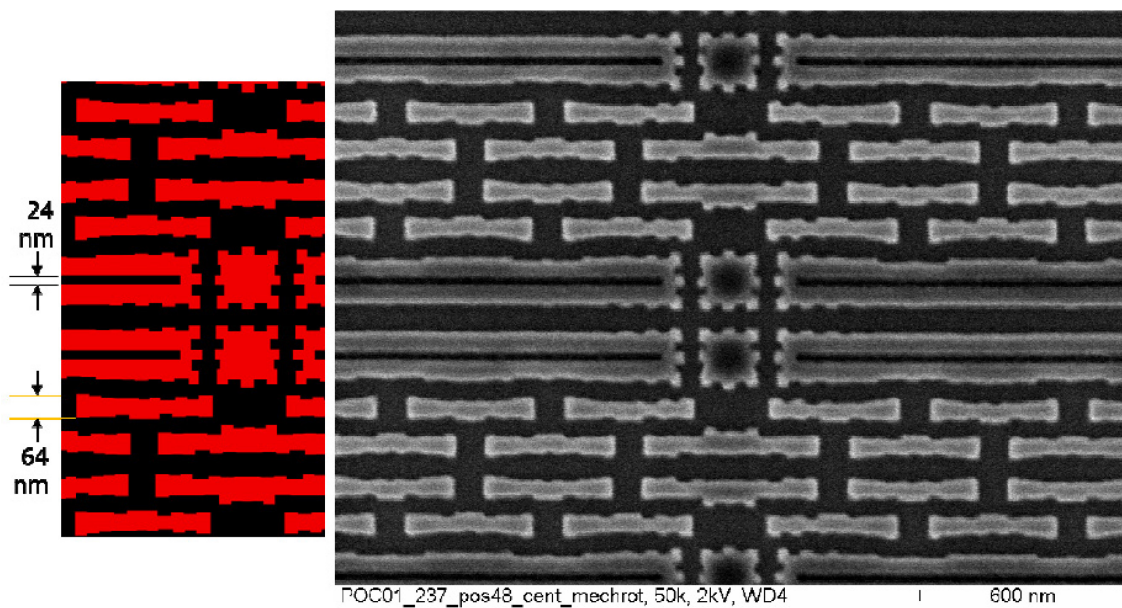


Abbildung 52: Linien mit OPC; Design (rot) vs. REM-Aufnahme des belichteten Designs; sehr gute Wiedergabe des vorgegebenen Designs [73]

Das Ergebnis des Direktschreibens spiegelt das vorgegebene Design sehr gut wieder [73].

## 4 Ablenkchip mit hartverdrahteten Siliziumelektroden

Die nachträgliche Bearbeitung der CMOS-Chips durch einen Galvanikprozess ermöglicht einerseits die Herstellung von hohen Goldelektroden, birgt andererseits aber vor allem aufgrund der nicht CMOS-kompatiblen Prozesse und Materialien einige Risiken und Nachteile. Die Herstellung von Elektroden mittels CMOS-kompatiblen Prozessschritten ist allerdings nur möglich, wenn die Elektroden in der Tiefe des Chips entstehen und somit vergraben sind. Die Herstellung von Elektroden mit Hilfe CMOS-kompatibler Prozesse bietet einige wichtige Vorteile im Vergleich zu galvanisch abgeschiedenen Goldelektroden:

- Die Prozessschritte und Materialien sind in ihren Parametern so eingestellt, dass die CMOS-Elektronik nicht zerstört wird (CMOS-kompatibel).
- CMOS-Einzelprozesse sind gut bekannt und kontrollierbar. Sie erreichen eine hohe Ausbeute und sind in der Regel kostengünstig.
- CMOS-Bauelemente sind deutlich kleiner als die herzustellenden Elektrodengeometrien. Somit ist für zukünftige Entwicklungen die Skalierbarkeit hin zu kleineren Strukturen gegeben.
- Die verwendeten Einzelprozesse sind Standardschritte in der CMOS-Fertigung und somit in vielen Fertigungslinien verfügbar. Somit wäre ein Prozesstransfer in eine andere Fabrik ohne massive Probleme möglich.

Zur ersten Untersuchung der Eigenschaften vergrabener Elektroden wurde ein Chip entworfen, der ohne CMOS-Elektronik arbeitet und dessen Herstellung schnell und kostengünstig realisierbar war. Die Elektroden bestehen aus hochdotiertem Silizium, welches sich hinsichtlich der elektrischen Leitfähigkeit metallähnlich verhält. Die Elektroden wurden mittels einer Verdrahtungsebene und späterer Bonddrähte direkt an eine externe Steuerelektronik angeschlossen und sind damit hartverdrahtet. Dieser Ablenkchip wurde mit den weiteren Bauteilen wie Aperturplatte, Basisplatte und Stecker zu einem fertigen Ablenkssystem mit hartverdrahteten Siliziumelektroden (Silicon Wired Apertue Plate System bzw. SWAPS) zusammengesetzt.

Die Ergebnisse aus der elektronenoptischen Untersuchung dieses SWAPS hinsichtlich elektrostatischen Aufladungen, Ablenkstärke bzw. Ablenkwinkel und Übersprechen auf benachbarte Elektroden (Cross-Talk) sollten direkt für die Entwicklung eines

Prozessablaufs genutzt werden, bei dem in einen bestehenden CMOS-Chip vergrabene Elektroden aus Wolfram hergestellt werden.

In einem weiteren Ansatz sollte die Membran mit den vergrabenen und hochdotieren Siliziumelektroden als zusätzliches Bauteil durch vertikale Integration mit Hilfe eutektischer Bondverbindungen mit dem in Abschnitt 3.2.2 beschriebenen CMOS-Ablenk-Chip verbunden werden. Eine kurze Betrachtung zu dieser Überlegung erfolgt am Ende von Abschnitt 4.4.

Zu diesem Zweck wurden die Ablenkzellen hinsichtlich Elektrodenabstand und Elektrodenhöhe ähnlich dimensioniert wie es auch bei dem CMOS-Chip möglich ist. Anhand von Simulationen wurde die Elektrodenhöhe auf 30  $\mu\text{m}$  festgelegt. Der folgende Abschnitt 4.1 zeigt eine ähnliche Simulation für Elektroden aus Wolfram, die notwendige Elektrodenhöhe gilt aber in erster Näherung auch für Elektroden aus Silizium. Sowohl die Anzahl als auch Anordnung der Ablenkzellen entsprechen dem CMOS-Design. Der verwendete Stecker besitzt lediglich 51 Anschlüsse und aufgrund der fehlenden CMOS-Elektronik ist es somit nicht möglich, alle 43.008 Elektroden des Chips individuell anzusteuern. Daher können nur 25 Ablenkzellen im Chipzentrum einzeln geschaltet werden, die übrigen Elektroden werden in Gruppen angesteuert.

Die zur Herstellung der Elektroden aus Silizium nötigen Prozesse wie Siliziumtrockenätzen oder die Herstellung von dünnen Siliziummembranen waren am Institut für Mikroelektronik Stuttgart verfügbar und gut charakterisiert. Zur Realisierung der Elektrodenmembran wurde ein Prozess-Ablauf entwickelt, bei dem die Ablenk-Elektroden vom Rest des auf Massepotential liegenden Siliziums zuverlässig isoliert werden. Die Elektroden werden im weiteren Prozess mit Hilfe von Metallisierungsebenen mit entsprechenden Anschlüssen zum Drahtbonden verbunden. Zudem muss sichergestellt werden, dass die Aperturätzung homogen ist und keine Rückstände in der Öffnung hinterlässt. Hinzu kommt, dass die abschließende Membranätzung die Elektroden und Metallstrukturen nicht zerstören durfte. Der entwickelte Prozessablauf wird in Abschnitt 4.2 vorgestellt. Neben der Entwicklung und Fertigung des Ablenkchips mit Siliziumelektroden musste parallel auch ein Ablauf entwickelt werden, der die verschiedenen Einzelteile zum APS zusammenfügt. Die Genauigkeit musste dabei im Submikrometer-Bereich liegen. Weiterhin ist es wichtig, dass die Teile fest und gleichzeitig frei von mechanischen Verspannungen verbunden sind. Der gesamte Assembly-Prozess wird in Abschnitt 4.3 erläutert. Im Anschluss werden in Abschnitt 4.4

die Ergebnisse der elektronenoptischen Untersuchungen vorgestellt, die mit Hilfe des SWAPS erzielt werden konnten.

#### 4.1 Abschätzung der Ablenkstärke anhand einer Simulation

Damit die Beamlets ausreichend stark ausgelenkt werden können, muss die entsprechende Ablenk-Elektrode entsprechend dimensioniert sein. Diese Dimensionierung erfolgt anhand der Vorgaben für den notwendigen Ablenkwinkel den Beamlets. Die Kraft  $F$ , die dafür nötig ist, ermöglicht eine Abschätzung der geometrischen Parameter entsprechend der Formel 3.14, die nachfolgend kurz hergeleitet werden soll. Abbildung 53 stellt die geometrischen Verhältnisse für diese Herleitung dar.

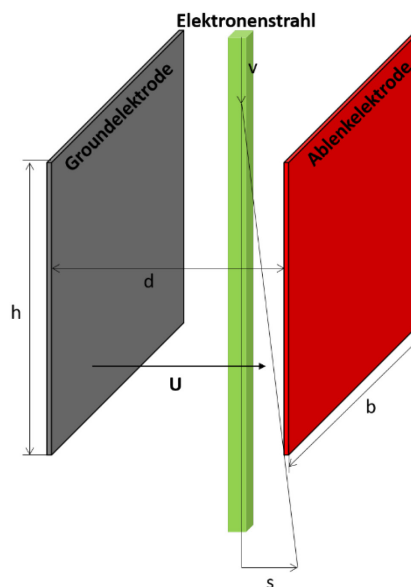


Abbildung 53: Darstellung des Plattenkondensators zur Strahlauslenkung

Ausgegangen wird vereinfacht davon, dass durch die gegenüberliegenden Elektroden ein Plattenkondensator entsteht, in dessen Inneren durch die Aufladung mit der Ladung  $Q$  ein homogenes elektrisches Feld  $E$  entsteht:

$$F = Q \cdot E \quad 3.7 [34]$$

Durch Ersetzen von  $Q$  und  $E$  lässt sich die auf das Beamlet wirkende Kraft mit Hilfe von Naturkonstanten und den gesuchten geometrischen Größen ausdrücken.

$$Q = C \cdot U = \epsilon_0 \cdot \frac{A}{d} \cdot U \quad 3.8 [34]$$

$$E = \frac{U}{d} \quad 3.9 [34]$$

Damit lassen sich die Fläche  $A$  der Kondensatorplatten, in diesem Fall der Elektroden, und der Elektrodenabstand  $d$  einfügen. So ergibt sich

$$F = \varepsilon_0 \cdot \frac{A \cdot U^2}{d^2} \quad 3.10$$

Die Spannung  $U$  ist durch die Vorgaben des Chipdesigns auf 3,3 V festgelegt und somit konstant. Auch der Abstand ist durch den Chip beziehungsweise die Designregeln der Foundry vorgegeben und nur wenig änderbar. Unter diesen Randbedingungen ist die Blanking-Kraft effektiv nur über die Fläche der Elektroden beeinflussbar. Diese ergibt sich aus der Elektrodenhöhe  $h$  und der Elektrodenbreite  $b$ . Dabei ist die Elektrodenbreite durch das Design der Ablenkzelle auf einen maximalen Wert beschränkt und soll somit als konstant angenommen werden. Somit wird die Blanking-Kraft nur durch Veränderung der Elektrodenhöhe beeinflusst. Anhand der Vorgaben für den minimalen Ablenkwinkel lässt sich die nötige Höhe in erster Näherung über die Weg-Zeit-Gesetze ermitteln. Für die Kraft  $F$  gilt neben Gleichung 3.10 auch der Zusammenhang

$$F = m_e \cdot a \quad 3.11 [34]$$

Dabei ist  $a$  die Beschleunigung des Beamlets, welche zur Auslenkung führt. Über den bekannten Zusammenhang zwischen der Beschleunigung, dem Weg, in diesem Fall die Strecke  $s$ , die die Elektronen nach dem Passieren der Elektrodenhöhe senkrecht zu diesen zurückgelegt hat, und der dafür nötigen Zeit  $t$  lässt sich diese Gleichung umformen zu

$$F = \frac{2 \cdot m_e \cdot s}{t^2} \quad 3.12$$

Über die konstante Geschwindigkeit  $v$  der Elektronen des Beamlets ergibt sich der Zusammenhang zwischen der Zeit  $t$  und der Elektrodenhöhe  $h$ , der in die Formel 3.12 eingesetzt wird, so dass sich

$$F = \frac{2 \cdot m_e \cdot s \cdot v^2}{h^2} \quad 3.13$$

ergibt. Durch Gleichsetzen der Gleichungen 3.10 und 3.13 und Auflösen nach der gesuchten Höhe  $h$  der Elektroden ergibt sich

$$h = \sqrt[3]{\frac{2 \cdot m_e \cdot s \cdot v^2 \cdot d^2}{\varepsilon_0 \cdot U^2 \cdot b}} \quad 3.14$$



Mit Hilfe dieser Gleichung lässt sich nun die nötige Höhe der Ablenk-Elektroden abschätzen.

Dieser errechnete Wert kann dann anhand von Simulationen geprüft und korrigiert werden. Diese Simulationen ermöglichen zudem die Optimierung der Elektrodenform. Vor allem die Form der Ground-Elektrode kann unerwünschte Effekte wie Übersprechen der Einzelzellen minimieren. Zusätzlich kann der Einfluss weiterer Schichten auf die Ablenkstärke ermittelt werden.

Im Folgenden wird eine Simulation für die Herstellung von vergrabenen Wolframelektroden dargestellt, deren Ergebnis hinsichtlich der Elektrodenhöhe und -form auch für andere Elektrodenmaterialien gilt.

Für die Simulation wurde ein Modell des Chips bzw. einer Ablenkzelle erstellt und anhand der geometrischen Gegebenheiten die Größe und Form der Elektroden festgelegt. Zu beachten war dabei auch, dass zur CMOS-Elektronik ein Sicherheitsabstand eingehalten werden sollte. Zusammen mit der aus Machbarkeitsgründen festgelegten Breite der Elektroden von 2  $\mu\text{m}$  ergaben sich der Abstand der Elektroden zueinander sowie der Abstand zwischen Beamlet und Ablenk-Elektrode. Diese Parameter waren wichtig für eine möglichst korrekte Simulation. Die folgende Abbildung 54 zeigt den Querschnitt einer Blankerzelle, anhand dessen die Simulation durchgeführt wurde.

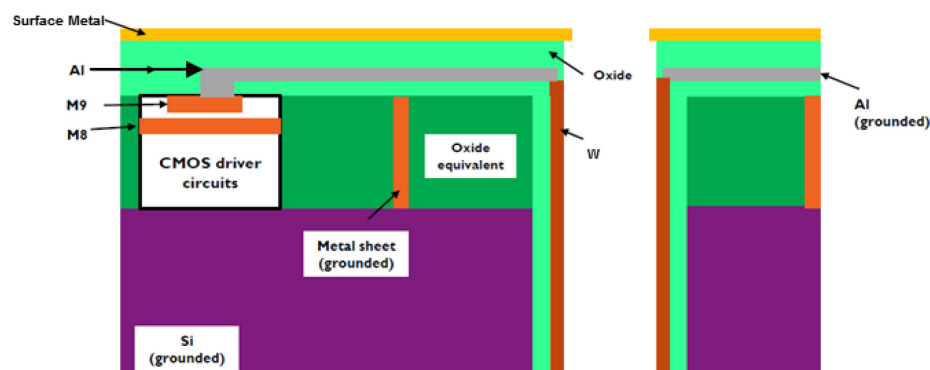


Abbildung 54: Simulationsmodell für vergrabene Wolfram-Elektroden [74]

Zu den geometrischen Parametern sind auch folgende physikalischen Größen in die Ermittlung der Ablenkstärken in die Berechnung eingeflossen:

Material	Bemerkung	Physikalische Größen
Oxide	während Prozessierung mehrfach abgeschieden	$\varepsilon = 7,5$
Oxide equivalent	aus Foundry-Prozess	$\varepsilon = 4,1$
Si	Siliziumgrundmaterial (Wafer)	$\varepsilon = 11,7$

Tabelle 3: Modellparameter Simulation [74]

Entsprechend der Funktionalität des Systems werden während der Simulation das „Surface Metal“ (Metall 2) sowie das auf Ground liegende Aluminium und Wolfram auf das Potential 0 V gelegt. Die Ablenk-Elektrode sowie die Aluminiumanschlüsse und der zugehörige CMOS-Treiber erhalten das Potential 3,3 V. Die nachfolgende Abbildung 55 verdeutlicht, an welcher Stelle der Ablenkzelle welche Potentiale angenommen werden.

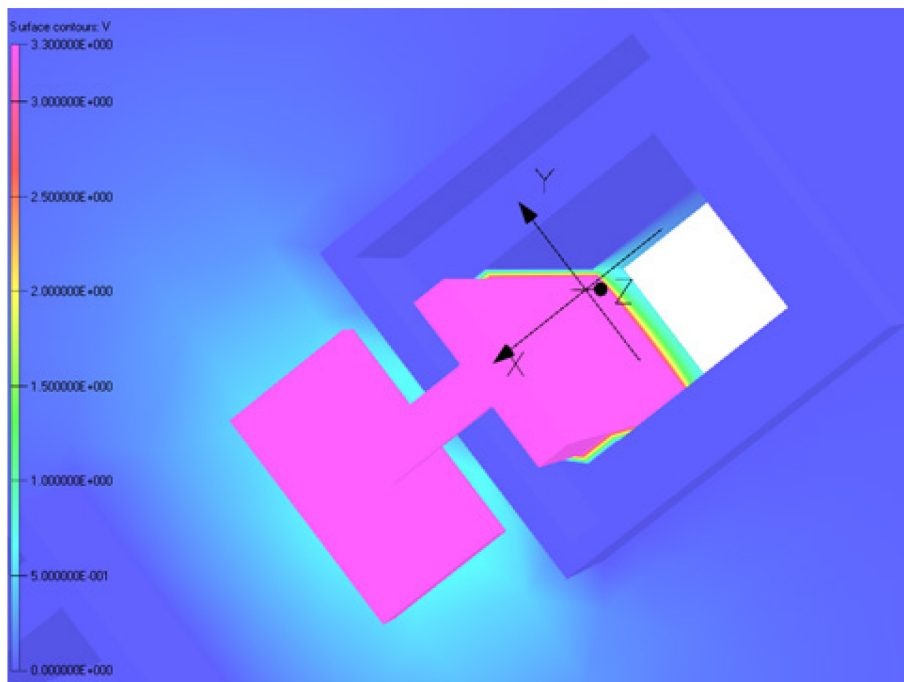
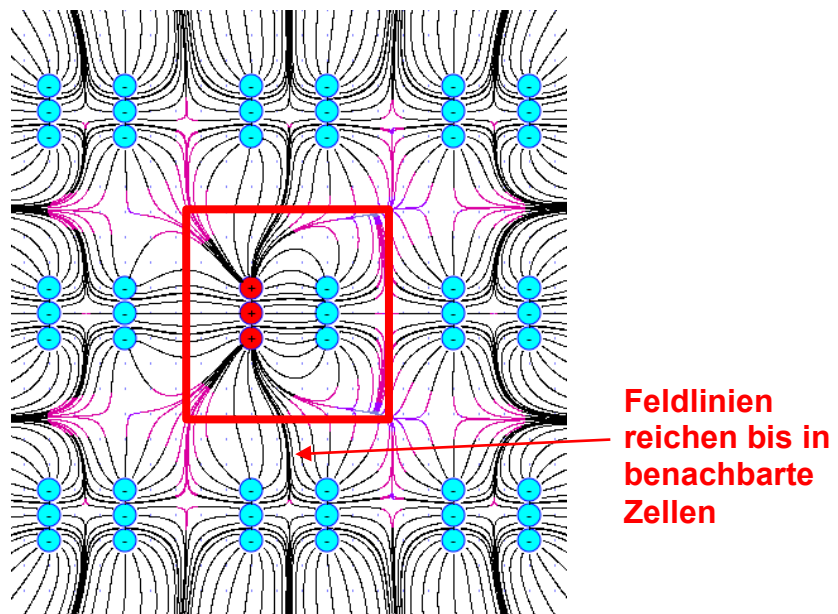


Abbildung 55: Potentiale an Einheitszelle (blau = 0 V, rosa = 3,3 V) [74]

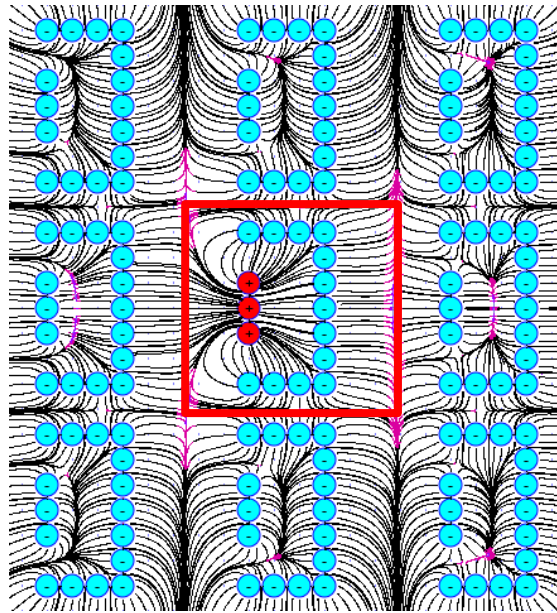
Es wird dabei auch deutlich, dass alle Seitenwände der Apertur auf dem Massepotential liegen. Diese Maßnahme ist zusammen mit der zweiten Metallebene nötig, um die Zellen optimal gegeneinander abzuschirmen und somit ein Übersprechen von einer Ablenkzelle in eine benachbarte Zelle, den Cross-Talk, bestmöglich zu vermeiden. Um diese Voraussetzung bestmöglich zu erfüllen wurde die Masse-Elektrode in U-Form ausgeführt, so dass die gesamte Aperturöffnung nach dem Anschluss der Elektroden an die CMOS-Elektronik auf einem Potential liegt. Die nachfolgenden Abbildungen verdeutlichen an-

hand des Feldlinienverlaufs, dass mit Hilfe dieser U-förmigen Masse-Elektrode das Übersprechen der Ablenkzellen unterbunden werden kann. Die Elektroden werden in Form von aneinandergesetzten Punktladungen verdeutlicht, wobei die roten positiven Ladungen eine aktive Ablenk-Elektrode darstellen und die blauen Ladungen die Masse-Elektroden sowie die nicht aktiven Ablenk-Elektroden simulieren. Abbildung 56 zeigt den Feldlinienverlauf für den Fall, dass alle Ablenkzellen mit einfachen Plattenkondensatorpaaren realisiert werden. Dabei haben Ablenk- und Masse-Elektrode die gleiche Form. Die Feldlinien zeigen, dass ein deutlicher Einfluss der aktiven Ablenk-Elektrode in die umliegenden Ablenkzellen besteht (Simulation anhand von Applet auf [75]).



**Abbildung 56:** Feldlinienverlauf, einfacher Plattenkondensator; rot markiert ist der Bereich einer Ablenkzelle mit aktivierter Ablenk-Elektrode. Der Einfluss des elektrischen Feldes bis in benachbarte Ablenkzellen wird anhand der Feldlinien deutlich

Dieser Einfluss wird durch die U-Form der Masse-Elektrode unterbunden, wie Abbildung 57 zeigt (Simulation anhand von Applet auf [75]).



**Abbildung 57: Feldlinienverlauf, Masse-Elektrode in U-Form; rot markiert ist der Bereich einer Ablenkzelle mit aktivierter Ablenk-Elektrode. Es wird ersichtlich, dass das elektrische Feld nicht mehr bis ins Innere der benachbarten Ablenkzellen reicht**

Anhand der Feldlinien wird klar, dass durch die geänderte Elektrodenform ein Übersprechen wirksam verhindert werden kann. Diese Vorüberlegung war auch Basis der dargestellten Simulationsergebnisse, bei der die Ablenkstärken bereits für den Fall einer die Ablenk-Elektrode umschließenden Masse-Elektrode ermittelt wurden.

Die Simulationen wurden unter verschiedenen Voraussetzungen bezüglich der Beamlet-Positionierung zwischen den Elektroden vorgenommen. Zunächst galt die ideale Ausrichtung der Apertur-Platte zum Ablenkchip, bei der das Beamlet genau im Zentrum der Elektroden verläuft. In einem zweiten Ansatz wurde eine Fehlausrichtung von  $1\ \mu\text{m}$  angenommen, so dass je nach Richtung des Fehlers die Ablenkstärke deutlich erhöht oder erniedrigt wird. Zudem wurde die Elektrodenhöhe variiert, um herauszufinden, ab welchem Wert die nötige Ablenkkraft erreicht werden kann. In allen Fällen konnte dann die minimale und maximale Ablenkstärke sowie der mittlere Ablenkwinkel errechnet werden. Die nötige Elektrodenhöhe gilt dann als erreicht, wenn der minimale Ablenkwinkel bei idealem Zusammenbau der Einzelplatten mindestens  $500\ \mu\text{rad}$  erreichen kann.

Eine graphische Darstellung der Simulationsergebnisse für die Ablenkkräfte innerhalb der Apertur zeigt Abbildung 58. Die Pfeile zeigen in Richtung der Ablenk-Elektrode und damit in die Richtung, in die der Elektronenstrahl abgelenkt wird. Die Länge des Pfeils ermöglicht Rückschlüsse auf die Ablenkstärke. Diese ist umso stärker, je länger der Pfeil ist.

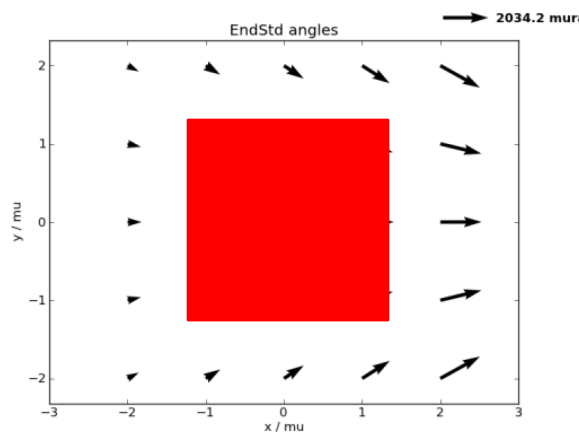


Abbildung 58: Verteilung der Ablenkstärke innerhalb der Apertur; Markiert ist Beamletfläche bei idealer Ausrichtung der Bauteile; Ablenk-Elektrode auf rechter Seite [74]

Auf den Seiten, die der Ablenk-Elektrode zugewandt beziehungsweise abgewandt sind befinden sich die Punkte mit der maximalen und minimalen Ablenkkraft. Für die beiden Fälle „ideale Ausrichtung“ und „Fehlausrichtung nach links 1  $\mu\text{m}$ “ (die Abkenkkraft wird minimiert) ergeben sich die in Tabelle 4 gezeigten Ablenkwinkel bei einer Elektrodenhöhe von 30  $\mu\text{m}$ . Diese Simulationsergebnisse zeigen, dass die Gesamthöhe der Ablenk-Elektroden mindestens diese 30  $\mu\text{m}$  betragen muss, daher wurde dieser Wert auch für die Höhe der Siliziumelektroden festgelegt.

	Minimaler Winkel [ $\mu\text{rad}$ ]	Maximaler Winkel [ $\mu\text{rad}$ ]	Mittlerer Winkel [ $\mu\text{rad}$ ]
<b>Ideale Ausrichtung</b>	505	1857	1089
<b>Fehlausrichtung 1<math>\mu\text{m}</math></b>	416	1426	819

Tabelle 4: Simulierte Ablenkwinkel je nach Situation [74]

## 4.2 Herstellung des Ablenkchips mit Siliziumelektroden

Der entwickelte Herstellungsprozess für den Ablenk-Chip des SWAPS basiert auf der Herstellung einer Stencilmaske und ist in Abbildung 59 schematisch dargestellt.

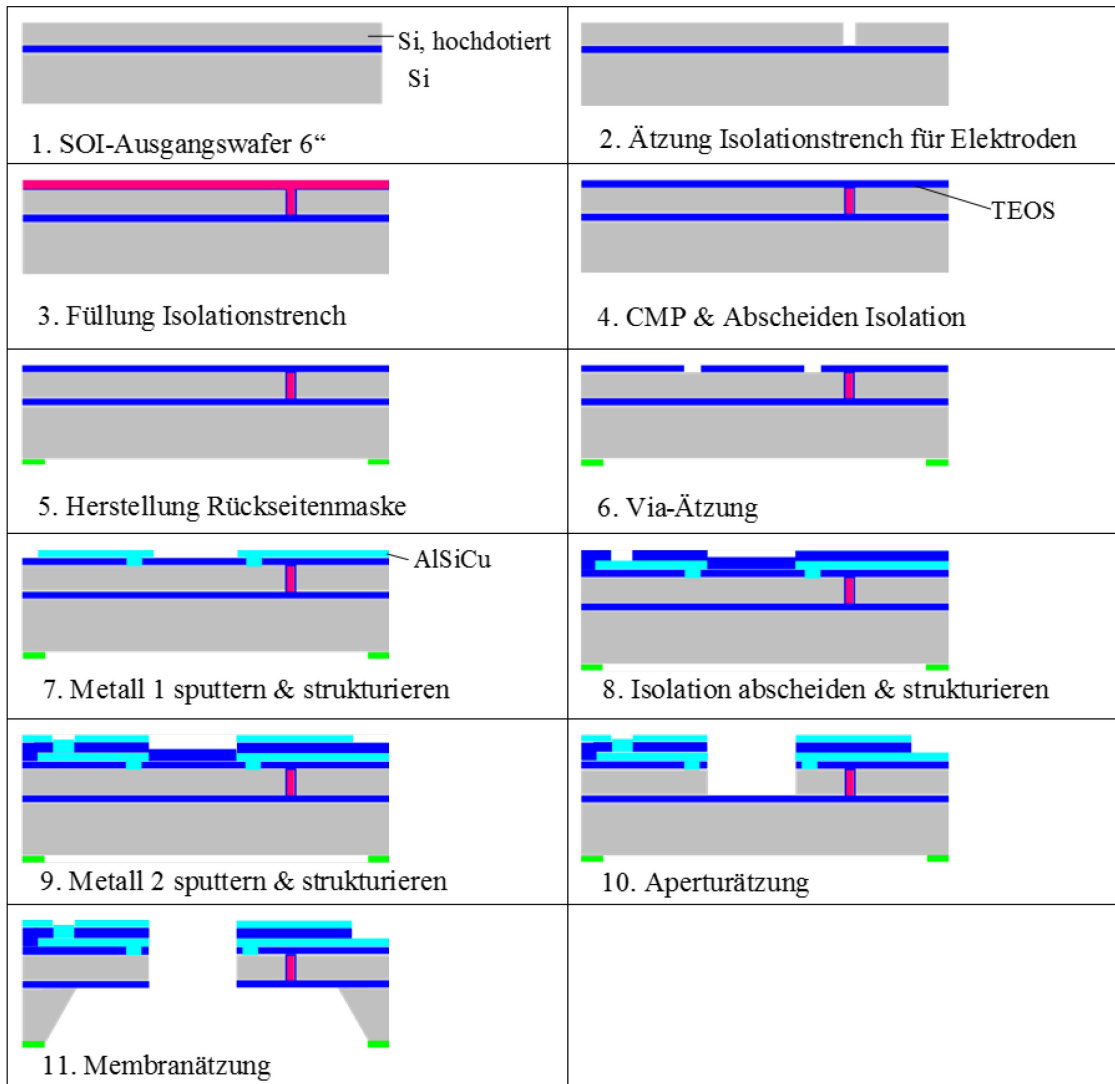


Abbildung 59: Prozess-Ablauf SWAPS

Das Grundmaterial für den SWAPS-Ablenkchip war ein SOI-Wafer (Silicon on Insulator), dessen 200 nm dicke SOI-Ausgangsschicht epitaktisch auf eine Dicke von 30  $\mu\text{m}$  vergrößert wurde. Durch eine entsprechende Dotierung mit Bor während der Epitaxie wurde eine Leitfähigkeit von etwa 6  $\text{m}\Omega\cdot\text{cm}$  in dieser 30  $\mu\text{m}$  dicken Schicht erreicht. Dies war wichtig, um die aus dieser Schicht entstandenen Silizium-Ablenk-Elektroden im späteren Betrieb gut ansteuern zu können und kurze Schaltzeiten zu ermöglichen.

#### 4.2.1 Erstellung der Elektrodenisolation

Im ersten Strukturierungsschritt wurden bereits die finalen Bereiche der Ablenk-Elektroden definiert, indem diese durch einen Isolationsgraben vom Rest der SOI-Schicht

abgetrennt wurden. Dieser U-förmige Graben war 1,5  $\mu\text{m}$  breit und wurde durch Silizium-Trockenätzen mittels des BOSCH-Prozesses bis zur vergrabenen Oxidschicht des SOI-Wafers geätzt [69]. Der hierfür verwendete Prozess bestand aus zwei Schritten: Zunächst wurde das obere Drittel des Isolationsgrabens senkrecht geätzt, im Anschluss erfolgte die zweite Ätzung mit leicht V-förmigen Profil bis zur Stoppschicht. Dieser zweite Schritt ermöglichte später ein einfacheres und hohlraumfreies Verfüllen des Grabens mit dem Isolationsmaterial. Zudem sorgte er dafür, dass das Notching an der Stoppschicht, also das laterale Weiterätzen entlang des Oxids aufgrund von Aufladungseffekten an der elektrisch nicht leitenden Oberfläche, minimiert wird. Das Ergebnis dieser Grabenätzung verdeutlicht die folgende Abbildung 60. Um die mechanische Stabilität der Elektroden nach der späteren Membranätzung zu gewährleisten mussten die Gräben mit einem elektrisch isolierenden Material komplett gefüllt werden. Für ausreichende Stabilität war es enorm wichtig, dass die Gräben ohne Fehlstellen, wie beispielsweise Hohlräume (Lunker), gefüllt sind. Verschiedene Materialien und Materialkombinationen wurden für diesen Auffüllprozess untersucht und charakterisiert.

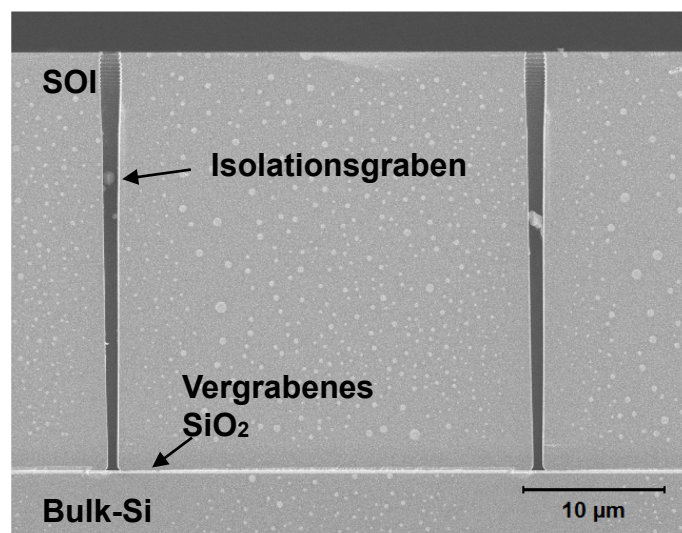
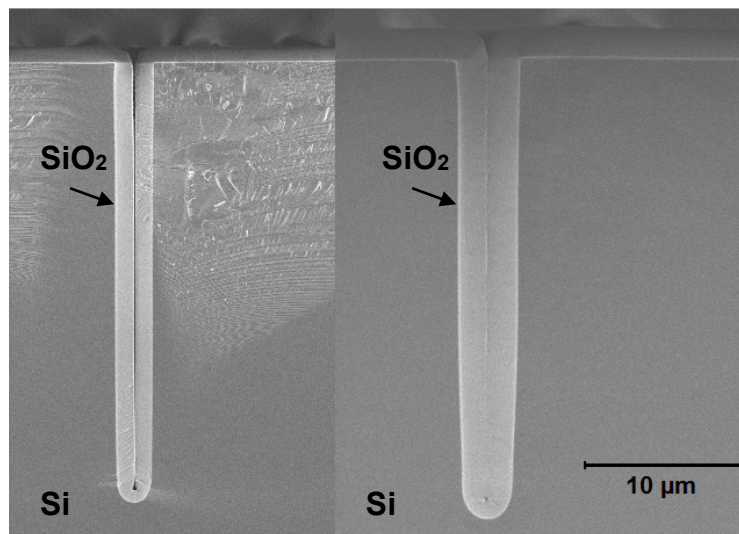


Abbildung 60: SWAPS isolationsgraben

### ***Grabenfüllung mit thermischem Oxid***

Zunächst sollten die Gräben komplett mit thermischem Oxid gefüllt werden, welches in einem Oxidationsofen durch Umwandlung von Silizium an der Waferoberfläche unter Zugabe von Sauerstoff bei sehr hohen Temperaturen entstand. Dieses Oxid wuchs sehr homogen und vor allem lunkerfrei auch in den Isolationsgräben. Allerdings sorgte die

Entstehung von Siliziumoxid auch dafür, dass die Grabenbreite zunahm. Die Ursache war, dass das Oxid zu etwa 45 % seiner Solldicke in der Siliziumschicht entstand und zu 55 % auf der Oberfläche wuchs. Je nach Oxiddicke konnte der so gefüllte Graben nach der Oxidation deutlich breiter sein als nach dem Ätzprozess. Während der Versuche zeigte sich, dass die Isolationsgräben erst bei einer Oxidschichtdicke von etwa 2  $\mu\text{m}$  komplett und fehlerfrei gefüllt waren. Dabei verdoppelte sich die Grabenbreite allerdings auf etwa 3  $\mu\text{m}$ . Abbildung 61 zeigt die Ergebnisse der Füllung mit verschiedenen Oxidschichtdicken. Dabei wird auch die massive Aufweitung des Grabens mit zunehmender Oxiddicke deutlich.



**Abbildung 61:** verschiedene Oxidschichtdicken aus thermisch abgeschiedenem Siliziumdioxid; links ~ 1  $\mu\text{m}$  Schichtdicke, rechts ~2  $\mu\text{m}$  Schichtdicke

Somit war es zwar möglich, die Gräben mittels thermischer Oxidation zu füllen, die Aufweitung der Isolationsgräben wäre mit Hilfe eines entsprechenden Designvorhalts minimierbar. Aufgrund dieses notwendigen Vorhalts wären allerdings die Möglichkeiten der zukünftigen Strukturverkleinerung deutlich eingeschränkt worden. Zudem wird durch die thermische Oxidation mechanischer Stress erzeugt, der mit höheren Schichtdicken zunimmt und der im späteren Verlauf der Ablenkchipherstellung zu Stabilitätsproblemen führen kann [69]. Daher wurden auch alternativen Isolationsschichten untersucht.

### **Grabenfüllung mit Ozon-TEOS**

Als Alternative für die Oxidation wurde das Abscheiden von Siliziumoxid aus der Gasphase, die Chemical Vapour Deposition (CVD), untersucht. Zum Einsatz kam ein SACVD-Verfahren (Subatmosperic CVD), bei dem die Abscheidung des Oxids durch Ozon unterstützt wurde. Als Gas, mit dessen Hilfe das Siliziumoxid abgeschieden wurde,



kam Tetraethylorthosilicat, kurz TEOS, zum Einsatz. Aus der Gasphase wurde daraus Siliziumdioxid auf der gesamten Oberfläche abgeschieden. Durch die Unterstützung des Ozons gelang es besser in die tiefen und schmalen Gräben. Prozessbedingt wuchs die Oxidschicht allerdings an den Kanten des Isolationsgrabens schneller als an den Grabenwänden oder auf der Waferoberfläche. Das führte dazu, dass die Grabenöffnung mit Oxid verschlossen wurde, bevor er komplett gefüllt war. Dies wird in der folgenden Abbildung 62 ersichtlich.

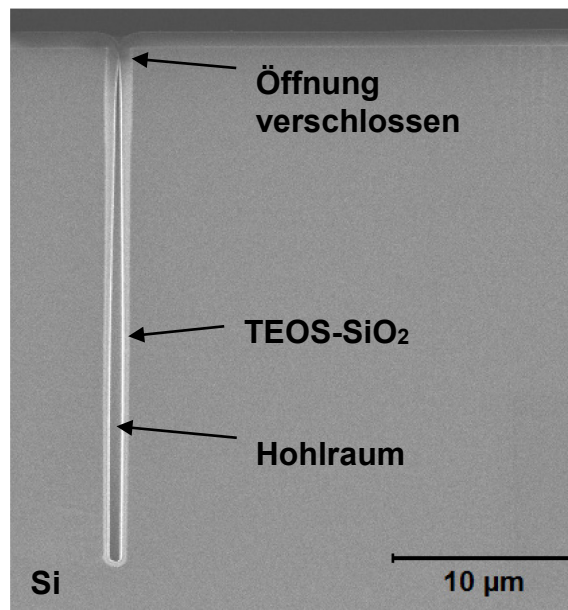


Abbildung 62: Graben mit TEOS, nicht gefüllt – Öffnung verschlossen

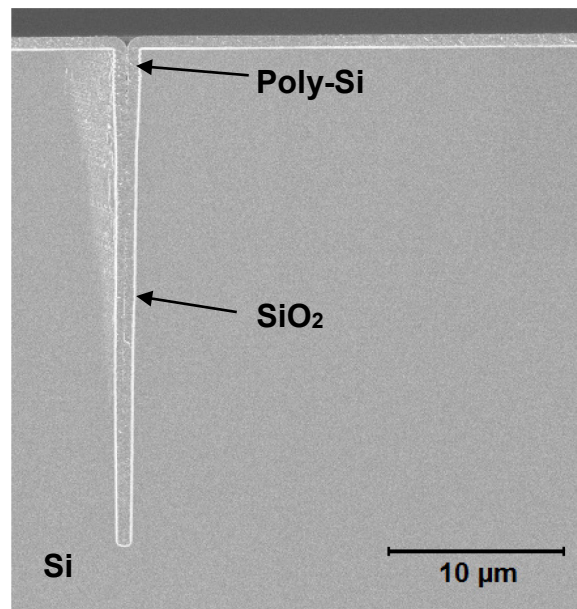
Somit war die mechanische Stabilität nicht gewährleistet. In verschiedenen Versuchen wurde die Prozessparameter wie Druck und Gasflüsse variiert, das Ergebnis konnte allerdings nicht verbessert werden. Daher führte das CVD-Verfahren nicht zum Ziel, die Isolationsgräben hohlraumfrei zu füllen.

### ***Grabenfüllung durch Kombination aus Oxidation und Polysiliziumabscheidung***

Da das Füllen nur mit Siliziumoxid nicht erfolgreich durchgeführt werden konnte, wurde ein zweistufiger Füllprozess entwickelt, der als Füllmaterial thermisches Oxid und Polysilizium kombiniert. Mit diesem Kombinationsprozess war es bei richtiger Wahl der beiden Schichtdicken möglich, die Isolationsgräben lunkerfrei und nahezu ohne Aufweitung zu füllen.

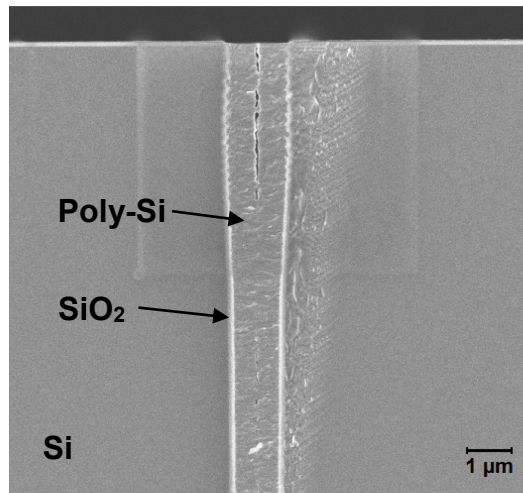
Im ersten Schritt dieses Füllprozesses wurde die isolierende thermische Oxidschicht 50 nm dick abgeschieden, was als elektrische Isolation ausreichend war. Gleichzeitig

wurde durch die geringe Dicke der Schicht die Aufweitung des Isolationgrabens minimiert. Im zweiten Füllschritt wurde eine 800 nm dicke Schicht aus Polysilizium abgeschieden, die den Graben hohlraumfrei füllte. Das Ergebnis wird in Abbildung 63 ersichtlich.



**Abbildung 63: Isolationgrabens nach kombiniertem Füllprozess**

Die beiden Schichten wurden allerdings wie in Abbildung 63 ersichtlich nicht nur in dem Graben abgeschieden sondern prozessbedingt auch auf der gesamten Oberfläche des Wafers. Für die weiteren Prozessschritte musste die Polysiliziumschicht dort wieder entfernt werden, so dass sie nur noch in den Gräben vorhanden war. Dieser Schritt wurde mittels chemisch-mechanischem Polieren (CMP) realisiert, wobei das Polysilizium selektiv von der Oberfläche entfernt und gezielt auf der thermischen Oxidschicht gestoppt wurde. Abbildung 64 zeigt den oberen Teil des gefüllten Grabens nach dem CMP.

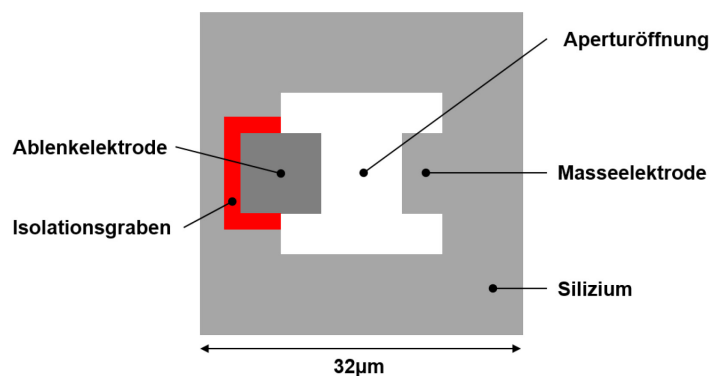


**Abbildung 64: Gefüllter Graben nach CMP**

Um die in den bisherigen Schritten definierten Elektroden aus hochdotiertem Silizium später elektrisch anschließen zu können, mussten diese über Metallbahnen individuell angeschlossen und diese Metallanschlüsse zu Bondpads im Randbereich des Ablenkchips weitergeführt werden. Um eine sichere Isolation der Metallbahnen voneinander und von der SOI-Schicht zu gewährleisten wurde zunächst eine 1.000 nm dicke Siliziumdioxid-schicht mittels CVD auf dem bereits vorhandenen thermischen Oxid abgeschieden. In diesen Oxidschichtstapel wurden im Anschluss im Bereich der Elektroden Via-Öffnungen geätzt. Für die Metalleiterbahnen wurde dann eine 500 nm dicke Aluminiumschicht gesputtert und mittels optischer Lithografie maskiert. Über einen chlorbasierten Trockenätzprozesses erfolgte die Übertragung des Patterns in die Metallschicht. Die Vias wurden so groß gestaltet, dass die Öffnungen gut durch das gesputterte Aluminium gefüllt wurden und für den nötigen Kontakt zum Silizium kein zusätzlicher Füllprozess für die Via-Metallisierung notwendig war. Zur Verbesserung der Performance und zur Vermeidung von Aufladungen im Einsatz des Chips war es nötig, eine möglichst geschlossene Metallschicht auf der gesamten Chipoberfläche zu haben. Um diese oberste Metallschicht sicher von den Leiterbahnen zu isolieren, wurden diese im Anschluss durch eine 1.000 nm dicke TEOS-Schicht abgedeckt. Auch in diese Schicht wurden danach Via-Öffnungen geätzt. Diese befanden sich dann aber nur an den Massekontakten und den Bondpads des Chips, so dass es möglich war, die zweite Metallebene auf ein definiertes Massepotential zu legen. Auch die zweite Metallebene wurde durch das Sputtern und Strukturieren einer 500 nm dicken Aluminiumschicht erzeugt.

Danach konnte die Strahlöffnung in die 30  $\mu\text{m}$  dicke SOI-Schicht geätzt werden. Hierfür wurde wie beim Ätzen der Isolationsgräben ein Silizium-Trockenätzprozess verwendet.

Die wichtigste Anforderung war hierbei, dass die entstehende Öffnung ein senkrechtes oder leicht unterschrittenes Profil aufwies, um Streuungen der Elektronen an den Lochseitenwänden und damit Aufladungseffekte im Lochkanal zu vermeiden. Durch diese Ätzung wurde auch die Ablenk-Elektrode vollständig vom restlichen SOI freigestellt und damit elektrisch isoliert. Dabei musste sichergestellt werden, dass vor allem im Bereich der Isolationsgräben keine Siliziumbrücken zurückblieben, die die Elektrode mit dem restlichen Silizium verbunden hätten. Diese Brücken hätten sonst wie Kurzschlüsse funktioniert und die entsprechenden Elektroden wären funktionslos. Um diese Freistellung der Elektrode zu gewährleisten, wurde das Design des Loches so gewählt, dass eine H-förmige Öffnung entstand und die Isolation nach dem Ätzen leicht sichtbar wurde. Anhand von Abbildung 65 wird die Lochform sowie die Anordnung der Elektroden der Ablenkzelle ersichtlich.



**Abbildung 65: Skizze Einheitszelle SWAPS, Top-View; Metallebenen nicht gezeigt**

Die Vergrabene Oxidschicht des verwendeten SOI-Wafers wurde als Ätzstopp verwendet, so dass die Tiefe von  $30\mu\text{m}$  sehr genau eingestellt werden konnte. Das Ergebnis der Vorderseitenbehandlung wird in Abbildung 66 und Abbildung 67 ersichtlich.

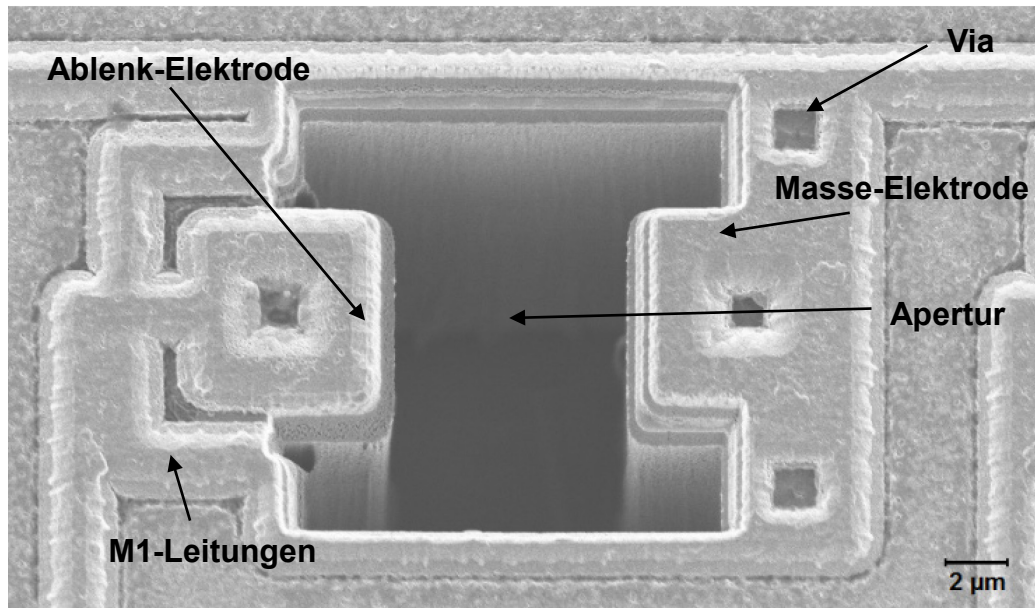


Abbildung 66: H-Apertur mit Elektroden, Metall 1, Metall 2 (über allen Bereichen) und Vias

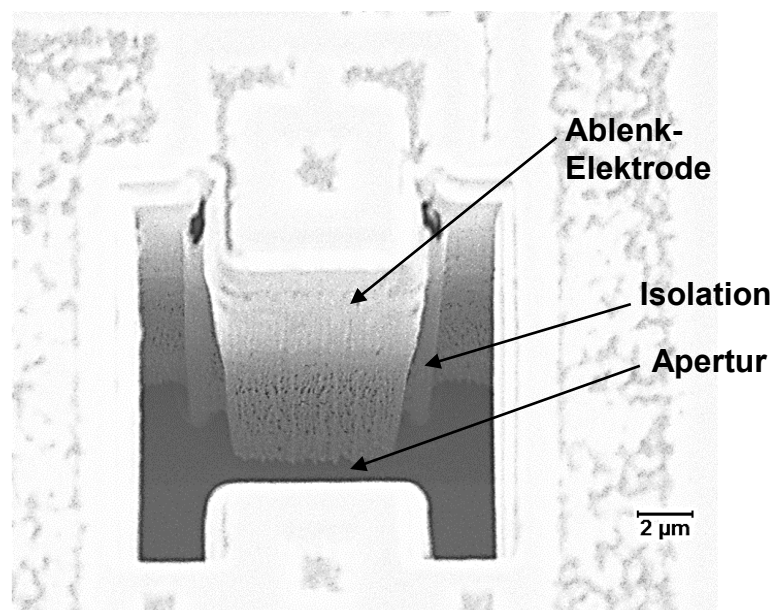


Abbildung 67: Apertur mit deutlich sichtbaren Isolationen

#### 4.2.2 Membranätzung und Vereinzelung der Chips

Nachdem die Vorderseite der späteren SWAPS-Chips fertig prozessiert wurde, konnte die rückseitige Siliziummembranätzung erfolgen. Die hierzu nötige Maskierschicht, ein 700 nm dickes Siliziumnitrid, wurde nach den Hochtemperaturprozessen der Vorderseitenbearbeitung, also nach der thermischen Oxidation und der Polysiliziumabscheidung,

abgeschieden und in Form der finalen Membranbereiche mit einer Größe von jeweils  $20\text{ mm} \times 20\text{ mm}$  strukturiert.

Die Ätzung der Siliziummembran erfolgte nasschemisch mit einer 30 wt%-igen KOH-Lösung. Dabei wurde die Vorderseite des Wafers durch eine spezielle Ätzzelle geschützt, damit nur die in der Nitridschicht geöffneten Membranfenster geätzt werden konnten. Um eine gute Selektivität zwischen der Maskierschicht und dem zu ätzenden Silizium zu erreichen, wurde die Temperatur der KOH-Lösung auf  $70\text{ }^{\circ}\text{C}$  eingestellt, so dass die Ätzrate des Siliziums etwa  $30\text{ }\mu\text{m/h}$  betrug [69]. Mit dieser Ätzung wurde die Siliziumschicht so tief geätzt, dass eine Siliziumrestdicke von  $60\text{ }\mu\text{m}$  übrig blieb. Durch die relativ geringe Ätzrate dauerte dieser Prozess ungefähr 19 Stunden. Die verbleibende Siliziumschicht wurde im Anschluss durch einen Trockenätzprozess entfernt, der selektiv auf der vergrabenen Siliziumdioxidschicht stoppte. Dieser zweistufige Membranätzschritt sollte eine mögliche Zerstörung der Ablenkchips durch die KOH-Lösung umgehen. Bei der vollständig nasschemischen Entfernung der Siliziumschicht bestand die Gefahr, dass bei einem möglichen Durchbruch durch die Ätzstoppschicht, vergrabenes Siliziumdioxid des SOI-Ausgangswafers, die Flüssigkeit auf die Wafervorderseite gelangt und die Aluminiumleiterbahnen und Siliziumelektroden angreift und zerstört. Durch den Trockenätzschritt wurde dieses Problem umgangen. In einem weiteren finalen Plasmaätzprozess wurde auch diese vergrabene Siliziumdioxidschicht entfernt, so dass die SWAPS-Chips praktisch fertiggestellt waren.

Abschließend erfolgte das Vereinzeln der Chips mit Hilfe eines Sägeprozesses. Dabei wurden die Chips auf ihr Endmaß von  $30\text{ mm} \times 30\text{ mm}$  gesägt. Nach einem abschließenden Reinigungsschritt war die Herstellung der SWAPS-Chips abgeschlossen und es konnten die weiteren Schritte wie die finale Charakterisierung und der Zusammenbau mit den weiteren Komponenten erfolgen.

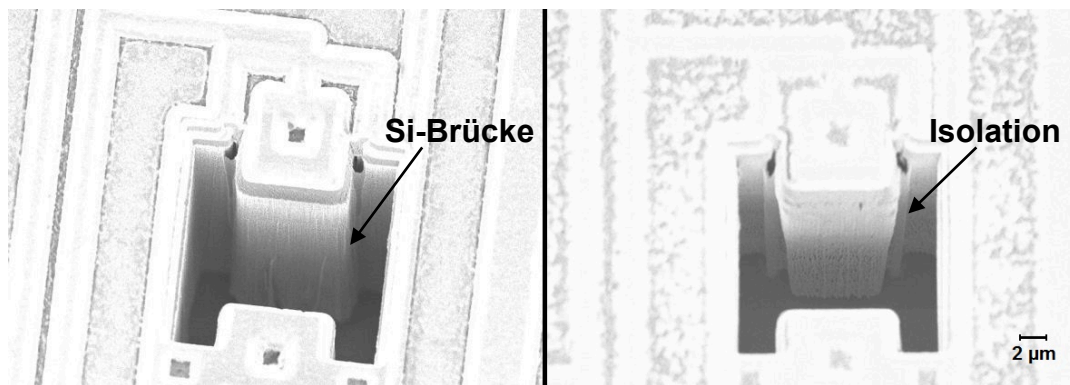
### **4.3 Zusammenbau zum Ablenkssystem**

Bevor die Chips mit den weiteren in Kapitel 3.2 genannten Komponenten zu einem Ablenkssystem zusammengefügt werden konnten, wurden sie zunächst optisch und anschließend elektrisch charakterisiert.

Die optische Kontrolle erfolgte mit Hilfe von Licht- und Rasterelektronenmikroskopen. So konnten beispielsweise Verunreinigungen oder Partikel ebenso gefunden werden wie eventuelle Defekte, die Aperturen verschließen oder verformen konnten. Partikel und

Verunreinigungen konnten in den meisten Fällen durch eine zusätzliche Reinigung des entsprechenden Chips entfernt werden. Anätzungen oder ähnliche Defekte ließen sich nicht korrigieren, entsprechende Chips konnten nicht verwendet werden.

Während der elektrischen Charakterisierung wurde geprüft, ob die Blanking-Elektroden sicher vom Bulk-Silizium und somit vom Masseanschluss der Chips isoliert waren. Dazu wurden die einzelnen Kontaktpads und der Masseanschluss manuell mit einem Handnadelprober kontaktiert und der entsprechende Widerstand gemessen. Im Idealfall war dieser unendlich hoch. Diese Messung erfolgte bereits als Kontrolle nach bestimmten Prozessabschnitten und half dabei, den Aperturätzprozess zu optimieren. Vor der Aperturätzung waren alle Blanking-Elektroden noch mit dem Bulk-Silizium kurzgeschlossen, da deren Isolierung erst durch die Lochätzung vervollständigt wurde. Nach der standardmäßigen Lochätzung wurde erwartet, dass bei erfolgreicher Trennung der Elektroden vom Bulk-Silizium keine Widerstände mehr messbar waren. Doch diese Widerstandswerte blieben praktisch unverändert. Die Ursache der Probleme wird anhand von Abbildung 68 deutlich.



**Abbildung 68: Aperturätzung vor (links) und nach (rechts) Überätzung; Isolationsgebiete deutlich freigelegt**

Die auf der linken Seite noch deutlich sichtbaren Siliziumreste auf den Isolationsbereichen führten zu den ermittelten Werten. Mit Hilfe eines zusätzlichen und sehr isotropen Siliziumätzschritts ließen sich diese Siliziumbrücken aber effektiv entfernen. Die Bestätigung hierfür erfolgte durch erneute elektrische Messungen. In Abbildung 69 wird eine entsprechende Messfolge dargestellt, die verdeutlicht, wie sich die Widerstände zwischen den Kontaktpads und elektrischen Masse des Chips durch das Prozessieren veränderten.

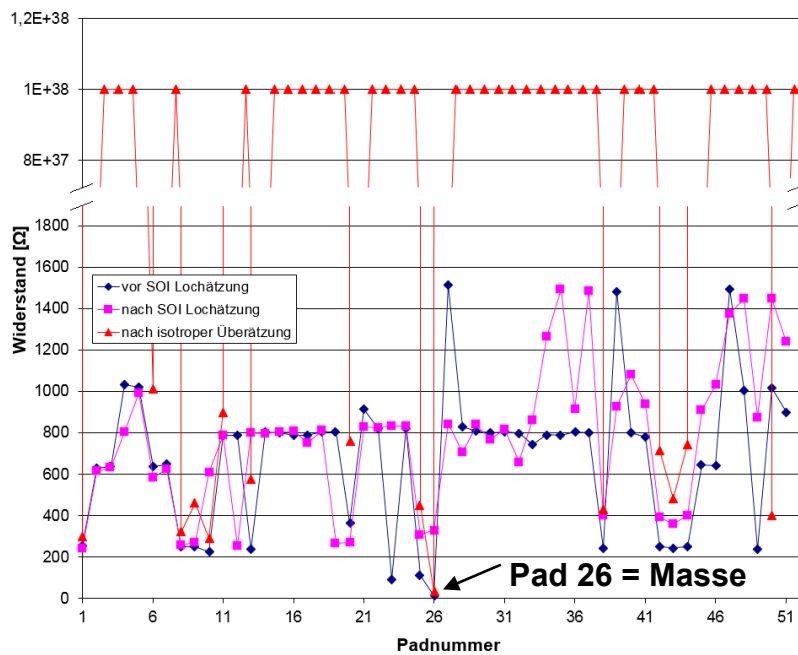
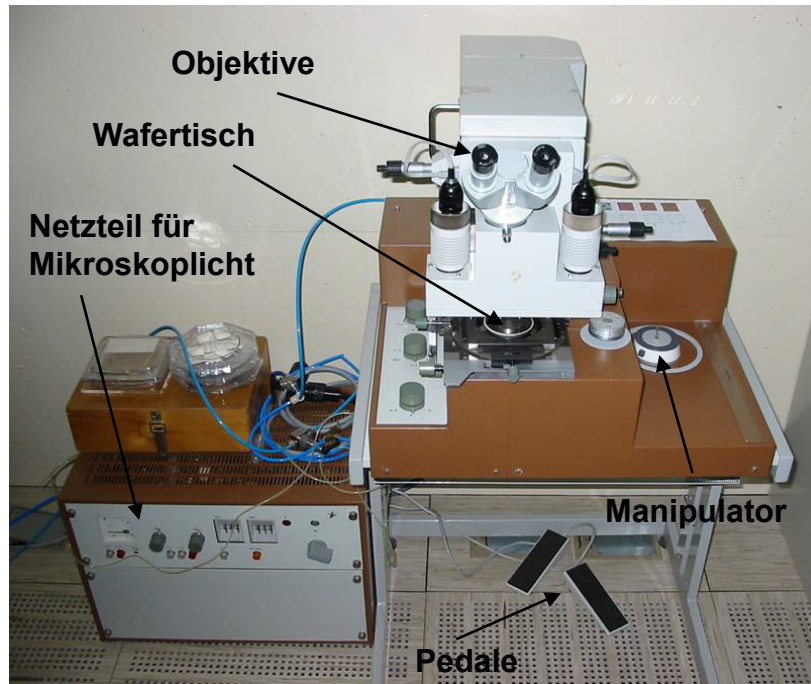


Abbildung 69: Ergebnisse der elektrischen Charakterisierung nach verschiedenen Prozessschritten

Es wird auch deutlich, dass nicht alle Elektroden komplett isoliert werden konnten. Die Nachätzung führte auch zu Anätzungen der Blanking-Elektroden, so dass dieser Prozessschritt nicht beliebig oft wiederholt werden konnte und somit einige Kurzschlüsse blieben. Abhilfe hätte durch eine Designänderung oder einen komplett neu entwickelten Ätzprozess erfolgen können. Die Ausbeute an isolierten Blanking-Elektroden war aber ausreichend hoch, so dass einige der hergestellten und geprüften SWAPS-Chips für den Aufbau von Testsystemen verwendet werden konnten.

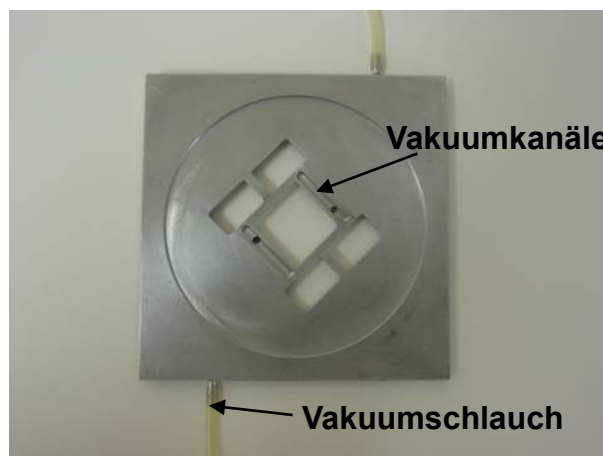
Der erste Schritt des Zusammenbaus des SWAPS-Chips zu einem Ablenkssystem war das justierte Verkleben des Chips mit einer Aperturplatte. Zu diesem Zweck wurde eine in Abbildung 70 gezeigte Justier- und Belichtungseinheit 2104 (JuB) der Firma VEB Elektromat leicht modifiziert. Diese Belichtungseinheit wurde ursprünglich zur Belichtung von 3“-Wafern mit 4“-Masken entwickelt und ermöglichte das Ausrichten von Substrat und Maske mit Genauigkeiten im Sub-Mikrometer-Bereich.





**Abbildung 70: JuB 2104: Objektive zur optischen Kontrolle, Manipulator zum Bewegen des Wafertischs, Pedale zur Auswahl der Mikroskopseite (links oder rechts), Wafertisch zum Einladen der Einzelteile**

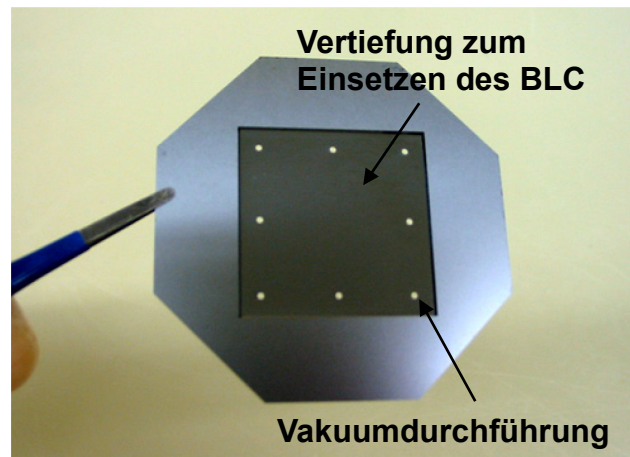
Um das System für den Zusammenbau nutzen zu können, wurden zwei Adapter entworfen und hergestellt. Diese ermöglichten das Laden der Aperturplatte als Belichtungsmaske und des SWAPS-Chips als Substrat. Der Adapter für die Aperturplatte bestand aus Aluminium und wurde mit Sichtöffnungen für die Justage und Vakuumkanälen zur Halterung des Bauteils versehen. Abbildung 71 zeigt den fertigen Adapter.



**Abbildung 71: Adapter zum Einladen der APP**

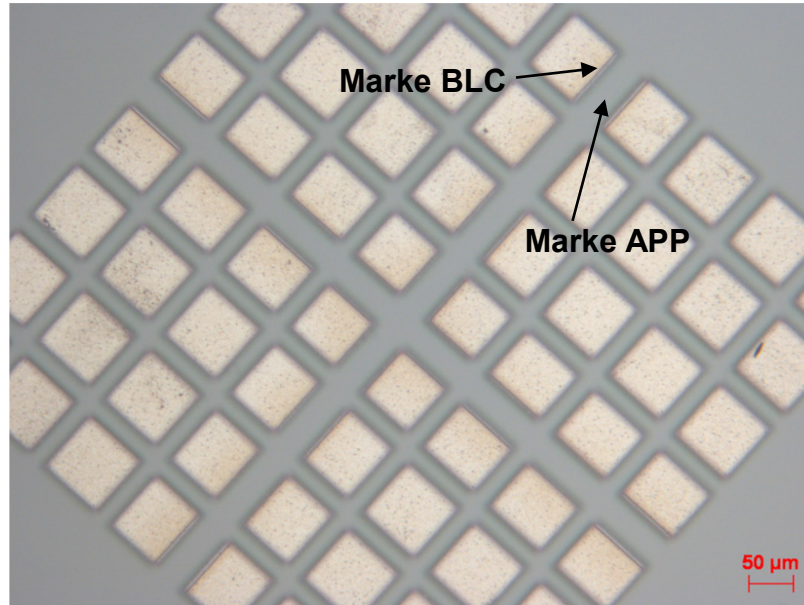
Der Adapter für den Ablenkchip wurde aus einem Siliziumwafer hergestellt. Durch Ätzen mit Kalilauge wurde eine Kavität erzeugt, in die der Chip als grobe Justage gelegt werden

konnte. In einem Trockenätzschritt wurden Löcher im Randbereich der Kavität erzeugt, um die Vakuumhalterung des Substrattisches der JuB als Fixierung des Chips nutzen zu können. Der Adapter wurde mit Hilfe einer Wafersäge auf eine Außengeometrie gesägt, die das Einlegen ähnlich wie einen 3“-Wafer ermöglichte. Dieser zweite Adapter ist in Abbildung 72 gezeigt.



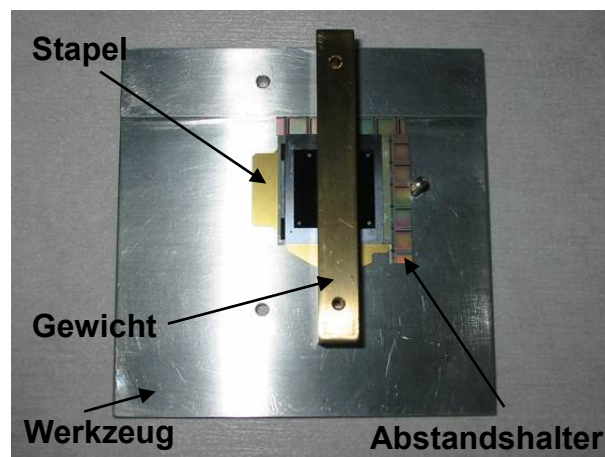
**Abbildung 72: Adapter zum Einladen des BLC**

Zum exakten Ausrichten mit Hilfe von Justiermikroskopen wurden passende Marken in Chip und Aperturplatte benötigt. Diese wurden einfach gehalten und bestehen aus Kreuzen mit unterschiedlich breiten Stegen, die anhand der Mikroskope mit Hilfe eines mechanischen Manipulators exakt übereinandergelegt werden mussten. Dazu war die Verschiebung in x- und y-Richtung sowie eine Rotationskorrektur möglich. Die laterale Verschiebung war dabei zunächst grob und im Anschluss fein möglich. Waren die Bauteile korrekt ausgerichtet, erfolgte die Fixierung mittels eines Epoxyd-Harz Klebers des Herstellers Epoxy Technology mit der Bezeichnung EPO-TEK 301. Dieser Kleber härtete bei Zimmertemperatur innerhalb von 24 Stunden ohne zu schrumpfen aus. Dadurch konnten mechanische Spannungen des Stapels aus Ablenkchip und Aperturplatte vermieden werden. Während der Aushärtezeit verblieben die Teile in der JuB, die die korrekte Justierung in dieser Zeit gewährleistete. Das Ergebnis zeigt beispielhaft die folgende Abbildung 73 anhand von zwei sehr gut zueinander ausgerichteten Ausrichtemarken.



**Abbildung 73: JuB Alignmentmarken nach Ausrichten von APP und BLC; die Marke des BLC erscheint gleichmäßig unter der Marke der APP**

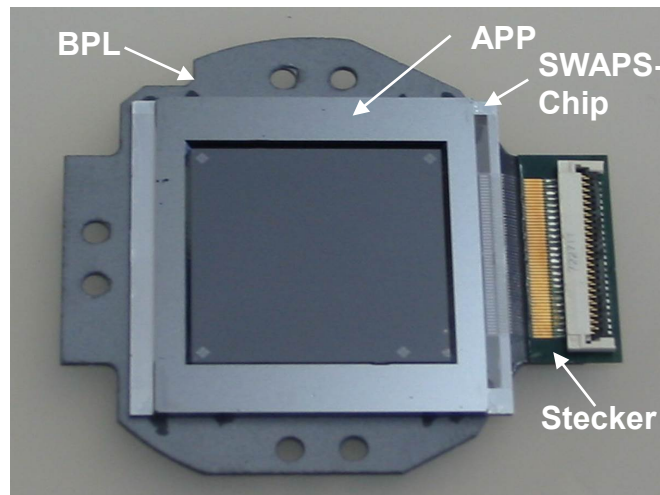
Nach dem Aushärteprozess waren die Teile fest und dauerhaft verbunden. Dieser Verbund von Bauteilen wurde in weiteren Schritten mit einer Basisplatte und einem Stecker kombiniert. Hierzu wurde ein Werkzeug hergestellt, welches auch diese Schritte justiert durchführbar machte. Durch den Einsatz von Anschlägen und Abstandshaltern konnten alle Teile mit einer Genauigkeit von etwa 25 µm zusammengesetzt werden. Zur Fixierung kam der gleiche Klebstoff wie zuvor zum Einsatz, die Fixierung während des Aushärtens erfolgte mit kleinen Gewichten. Abbildung 74 zeigt, wie der Ablenkchip mit Hilfe des Werkzeugs ausgerichtet und fixiert wurde.



**Abbildung 74: Alignment Schritt 1; Tool mit Haltegewicht, Abstandshaltern und Stapel aus BPL, BLC und APP**

Wenn alle Teile fest miteinander verbunden waren, konnte als letzter Schritt die Herstellung der elektrischen Verbindung zwischen SWAPS-Chip und Stecker mit Hilfe

von Drahtbonden erfolgen. Dazu kam ein typischer Drahtbonder der Firma Delvotec und Aluminiumdraht mit einem Durchmesser von 25  $\mu\text{m}$  zu Einsatz. Zum Gewährleisten einer sicheren Verbindung wurden pro Kontaktpad zwei Drähte gebondet, wie es bereits in Abbildung 47 gezeigt ist. Nachdem auf diese Weise alle 52 Kontaktpads mit dem Stecker verbunden wurden, war das SWAPS fertig gestellt und einsatzbereit [70]. Dieses fertige System ist in Abbildung 75 ersichtlich.

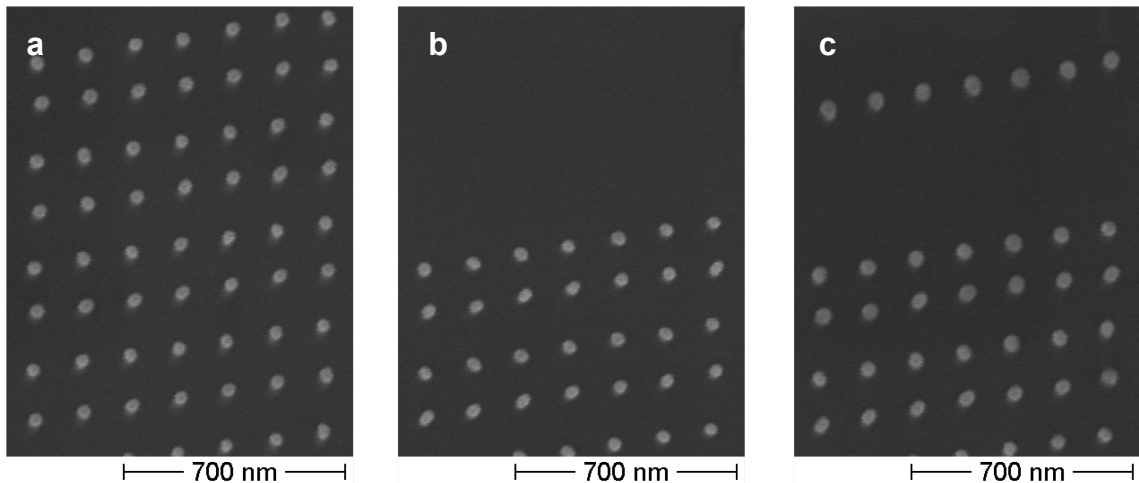


**Abbildung 75:** Fertig zusammengesetztes SWAPS bestehend aus Basisplatte (BPL), Aperturplatte (APP), Blanking-Chip (BLC) und Stecker

#### 4.4 Schreibergebnisse und Ausblick

Zum Prüfen der Funktionalität des SW APS wurde es in ein Testsystem eingesetzt. Dieses stellte alle wesentlichen Elemente des Direktschreibsystems zur Verfügung, also neben der Elektronensäule mit der Verkleinerungsoptik um den Faktor 200 auch die elektrischen Anschlüsse für die Steuerung des SWAPS. Für die Tests wurden Wafer mit 60 nm dickem PMMA-Lack als zu belichtende Schicht beschichtet.

Da mit diesem System im Wesentlichen der Nachweis erbracht werden sollte, dass das Scheibkonzept funktioniert, wurden sehr einfache Testmuster für die Belichtung gewählt. Zudem fehlte dem Testaufbau eine bewegliche Stage, so dass komplexe Designs nicht übertragen werden konnten. So erfolgten lediglich Belichtungen von Punkten. Um die Funktionalität des Bauteils zeigen zu können, wurden zunächst alle Beamlets zur Belichtung eingeschaltet und das Ergebnis analysiert. Im Anschluss wurden dann einzelne Linien oder größere Bereiche von Elektronenstrahlen ausgelenkt und somit abgeschaltet. Anschließend wurde jeweils das Belichtungsergebnis ausgewertet. Ein Beispiel für eine solche Untersuchung zeigt die folgende Abbildung 76.



**Abbildung 76: Ergebnisse Belichtung SWAPS; a: alle Beamlets aktiviert, b: vier Beamlet-Linien deaktiviert (ausgelenkt), c: eine Beamlet-Linie wieder aktiviert**

Zunächst wurden alle Beamlets eingeschaltet. Anschließend wurden vier Linien von Beamlets deaktiviert, indem die Ablenk-Elektroden aktiviert und die Strahlen somit ausgelenkt wurden. Das funktionierte sehr gut, ebenso wie das erneute Einschalten einer einzelnen Linie durch deaktivieren der entsprechenden Ablenk-Elektroden.

Die PMMA-Schicht wurde im Image-Reversal-Mode belichtet, was eine starke Überbelichtung zur Folge hat. Dadurch wiederrum kam es zu einer Aufweitung der Punkte, weswegen die theoretische Auflösung von deutlich unter 20 nm nicht erreicht werden konnte. Mit einem anderen Photolack wäre dies aber möglich. Die PMMA-Punkte hatten einen Durchmesser von etwa 60 nm.

Es konnte erfolgreich gezeigt werden, dass das Schreibkonzept funktioniert und die einzelnen Beamlets gezielt und individuell ein- und ausgeschaltet werden konnten. In zwei Punkten war das System allerdings auffällig:

- Die Punkte im Photolack wurden sehr rund abgebildet, obwohl die Aperturen in der Aperturplatte quadratisch ausgeführt waren. Dies deutete einerseits auf Aufladungseffekte hin, die beispielsweise durch elektrisch nicht leitfähige Reste in den Öffnungen verursacht wurden. Andererseits konnte dieser Effekt auch auf die deutliche Überbelichtung zurückzuführen sein. Allgemein gäbe es hier noch Optimierungsbedarf.
- Während der Versuche wurde festgestellt, dass die Schaltzeiten der Ablenk-Elektroden sehr lang sind, so dass die gewünschte Schreibfrequenz nicht erreicht werden konnte. Die genaue Ursache hierfür konnte nicht abschließend geklärt

werden. Sehr wahrscheinlich war aber, dass die Leitfähigkeit des Siliziums, aus dem die Elektroden bestanden, trotz sehr hoher Dotierung nicht hoch genug war, um das Potential, das zum Ablenken der Elektronenstrahlen angelegt wurde, schnell wieder abzubauen.

Untersuchungsergebnisse hinsichtlich Ablenkstärke und Übersprechen zwischen den Ablenzellen liegen nicht vor. Für die Weiterentwicklung des SWAPS-Systems war geplant, durch vertikale Integration die Membran mit den Siliziumelektroden mit der Elektronik des CMOS-Chips zu verbinden. Der Anschluss der Siliziumelektroden an die CMOS-Elektronik sollte mit Hilfe eutektischer Bondverbindungen realisiert werden, die gleichzeitig die elektrische und die mechanische Verbindung herstellen können. Durch geeignete Materialauswahl könnte die Temperaturbelastung, die zum Ausbilden der eutektischen Bonds nötig ist, unter einen Grenzwert von 475 °C gesenkt werden. Allerdings gab es zum Zeitpunkt der Entwicklungen keine geeigneten Möglichkeiten, die zum eutektischen Bonden benötigten Schichten aus beispielsweise Gold oder Nickel zu strukturieren ohne andere Prozesse negativ zu beeinflussen oder Maschinen zu kontaminieren. Wie zu Beginn von Kapitel 4 erwähnt, wurden parallel zum SWAPS auch andere Konzepte zur Herstellung vergrabener Elektroden entwickelt, unter anderem die Herstellung von vergrabenen Wolframelektroden, auf die in Kapitel 5 eingegangen wird. Diese wurden im Verlauf der Entwicklung als zielführender eingestuft, da beispielsweise die vertikale Integration und somit ein umfangreicher Prozessschritt entfällt und keine kritischen Materialien wie Gold zum Einsatz kommen. Das SWAPS konnte aber genutzt werden, um zu zeigen, dass das von IMS Nanofabrication AG entwickelte Schreibkonzept auch mit vergrabenen Elektroden funktioniert und war somit ein wichtiger Schritt zum Ablenkensystem mit vergrabenen Wolframelektroden.

## 5 Ablenkchip mit vergrabenen Wolfram-Elektroden

Bei der bisherigen Herstellung der Ablenk-Elektroden des Chips mit Goldgalvanik entstehen die Elektroden auf der Oberfläche des Ablenkchips. Hierbei kommen Prozesse zum Einsatz, die typisch für die Herstellung von Mechanischen und Elektrischen Mikrosystemen (MEMS) sind, jedoch nicht bei der Herstellung von CMOS-Chips verwendet werden. Bei diesen Prozessen besteht das Risiko, dass die CMOS-Logik im Chip aufgrund nicht kompatibler Prozessschritte, beispielsweise durch zu hohe Prozesstemperaturen oder schlechte Ätzselektivitäten, geschädigt wird und dieser dann nicht mehr wie gewünscht funktioniert.

Daher wurde im Verlauf dieser Arbeit ein Prozessablauf entwickelt, der die Nutzung von reinen MEMS-Herstellungsprozessen auf ein Minimum reduziert. Lediglich für die Aperturätzung in das Silizium und die Membranätzung kommen noch typische MEMS-Prozesse zum Einsatz, da es hierfür keine äquivalenten Ersatzprozesse aus dem Bereich der Mikrochipherstellung gibt. Statt die nötigen Elektroden auf der Chipoberfläche wachsen zu lassen, sollen diese im Ablenkchip „vergraben“ werden. Mit Hilfe des in Kapitel 4 vorgestellten SWAPS konnte nachgewiesen werden, dass das Konzept vergrabener Ablenk-Elektroden funktioniert und ausreichend große Ablenkwinkel realisierbar sind. Dieses Konzept soll nun auf den in Abschnitt 3.2.2 vorgestellten Ablenkchip mit integrierter CMOS-Elektronik übertragen werden. Die Herstellung von vergrabenen Elektroden aus Silizium ist auf diesem Chip nicht möglich. Daher sollen die vergrabenen Elektroden aus Wolfram entstehen, welches in der CMOS-Fertigung als Kontaktlochfüllung standardmäßig verwendet wird. Ein Prozessablauf mit Wolfram als Elektrodenmaterial hat einige wichtige Vorteile für die Nachbearbeitung des CMOS-Chips:

- CMOS-kompatibel
- Temperaturbudget von etwa 475 °C wird auch von den notwendigen Zusatzprozessen eingehalten
- Strukturdimensionen gut skalierbar und damit auch für zukünftiges Nodes geeignet

Neben der besseren Kompatibilität zwischen dem Ablenkchip und den verwendeten Prozessen bietet der neu entwickelte Prozessablauf weitere Vorteile: Er besteht aus wesentlich weniger Einzelprozessen und ist damit deutlich weniger komplex. Damit

können die Durchlaufzeiten für die Bearbeitung eines Wafers minimiert werden, im Idealfall auf etwa ein Drittel des Prozessablaufs mit Elektroden aus Goldgalvanik [72]. Zudem lässt sich dieser Prozessablauf einfacher zu einem anderen Hersteller transferieren, beispielsweise um eine Second Source aufbauen zu können. Hinzu kommt, dass die Strukturen von MEMS deutlich größer sind als die eines Mikrochips. Die Elektroden aus Gold können durch die Verwendung des Galvanikprozesses nicht mehr deutlich verkleinert werden. Die Reduzierung der Strukturgröße wird aber zukünftig nötig werden, so dass durch die Elektrodenherstellung mittels CMOS-Prozessen eine wesentlich bessere Skalierbarkeit gegeben ist und kleinere Strukturen einfacher realisierbar werden.

Im Rahmen dieser Dissertation wurden zwei Prozessvarianten für die Herstellung von vergrabenen Wolframelektroden entwickelt:

- Elektrodenhöhe 6  $\mu\text{m}$  (siehe Abschnitt 5.2)
- Elektrodenhöhe 30  $\mu\text{m}$  (siehe Abschnitt 5.3)

Diese Doppelstrategie hatte mehrere Gründe:

- Zunächst einfacherer Gesamtprozess bei den 6  $\mu\text{m}$  hohen Elektroden dient dem schnellen Nachweis der Realisierbarkeit eines Ablenksystems mit Wolframelektroden
- Entwicklung eines grundsätzlichen Prozessablaufs für die Herstellung eines Ablenkchips mit Wolframelektroden
- Nachweis, dass die nachträgliche Bearbeitung des CMOS-Chips dessen Funktionalität nicht beeinflusst
- Parallele Entwicklung zusätzlicher Prozessschritte zur Realisierung von Elektroden mit einer Höhe von 30  $\mu\text{m}$

Die 6  $\mu\text{m}$  hohen Elektroden entstehen nur in den Oxidschichten des CMOS-Ablenkchips. Damit ergibt sich zunächst der Nachteil, dass durch die geringe Elektrodenhöhe auch die maximal mögliche Ablenkkraft der Elektroden reduziert ist. Der zur Deaktivierung eines Beamlets notwendige Ablenkwinkel kann also nicht erreicht werden. Der prinzipielle Nachweis, ob diese Elektroden für die Ablenkung genutzt werden können, kann aber auch mit den kurzen Elektroden geführt werden. Im weiteren Verlauf der Untersuchungen wurde durch zusätzliche Ätzungen in das Bulksilizium des Ablenkchips und das



Herstellen und Strukturieren von Isolationsschichten die Elektrodenhöhe auf insgesamt 30  $\mu\text{m}$  erhöht.

## **5.1 Herausforderungen und Vorüberlegungen**

Für die Herstellung der vergrabenen Wolframelektroden wurde in dieser Dissertation ein Prozessablauf entwickelt, welcher in Abschnitt 5.2 detailliert erläutert wird. Während der theoretischen Entwicklung des Prozessflusses kristallisierten sich insgesamt drei kritische Prozessschritte heraus, die in Vorversuchen gesondert entwickelt werden mussten.

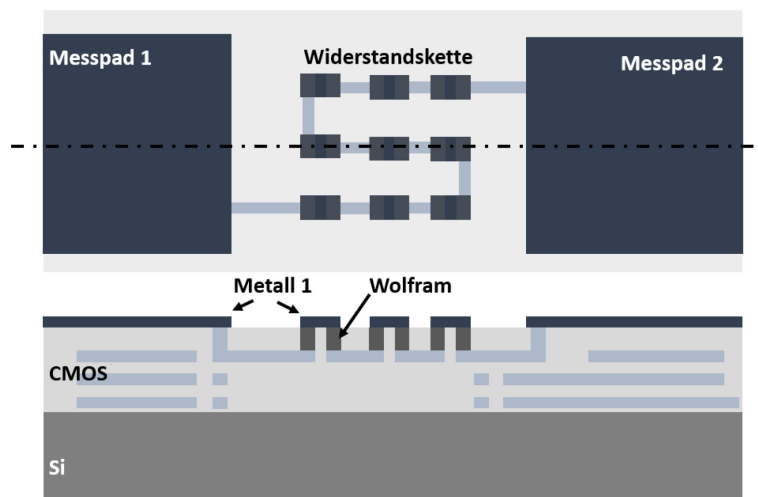
### **5.1.1 Ätzen und Füllen der Löcher für die Elektroden**

Die verwendeten CMOS-Prozesse wurden für die Herstellung von Bauelementen in einem 0,5 $\mu\text{m}$ -Gesamtprozess entwickelt. Somit sind sie prinzipiell sehr gut geeignet für die Erzeugung von Strukturen auf dem Ablenkchip, die je nach Prozessabschnitt minimale Abmessungen von 1,0  $\mu\text{m}$  aufweisen. Allerdings sind die Aspektverhältnisse im Vergleich zur CMOS-Herstellung deutlich verändert. So werden im 0,5 $\mu\text{m}$ -CMOS-Prozess Via-Löcher mit 0,5  $\mu\text{m}$  Seitenlänge etwa 1  $\mu\text{m}$  tief in isolierende Oxidschichten geätzt. Somit ergibt sich zwischen der minimalen lateralen Ausdehnung und der Tiefe der Löcher ein Aspektverhältnis von 1:2. Dieses gilt sowohl für die Lochätzung als auch für die spätere Füllung dieser Vias mit Wolfram. Auf diese Bedingungen sind diese CMOS-Prozesse optimiert. Auf dem Ablenkchip gelten aber andere Verhältnisse. So sind die zu ätzenden Löcher mit minimalen Strukturbreiten von 1,5  $\mu\text{m}$  nicht nur deutlich größer sondern mit Tiefen von etwa 6  $\mu\text{m}$  wesentlich tiefer und es ergibt sich ein maximales Aspektverhältnis von 1:4. Diese Löcher müssen geätzt und lunkerfrei mit Wolfram gefüllt werden. Für diese Anforderungen müssen die bereits vorhandenen Strukturierungsprozesse angepasst und entwickelt werden. Das Ergebnis dieser Entwicklungen wird im Rahmen der Prozessbeschreibung in Abschnitt 5.2 detailliert dargestellt.

### **5.1.2 Kontaktierung der Elektroden**

Damit die vergrabenen Elektroden zum Ablenken der Beamlets genutzt werden können, müssen sie über Metallleiterbahnen an die Kontaktpads der CMOS-Elektronik des Chips angeschlossen werden. Dieser Anschluss muss sicher und sehr niederohmig erfolgen, um die spätere Funktion zu gewährleisten. Durch ein geeignetes Schichtsystem lässt sich diese Anforderung theoretisch sehr gut erfüllen, doch lässt sich die Kontaktierung nicht

elektrisch an den eigentlichen Ablenk-Elektroden prüfen. Ein Kurzschluss zwischen den Blankeranschlüssen und der elektrischen Masse, beispielweise durch Designfehler oder einen nicht angepassten Ätzprozess, ist sehr deutlich durch das starke Ansteigen der Standby-Stromaufnahme erkennbar. In einem solchen Fall kommt es zu unerwünschten Stromflüssen, die auch bei ausgeschalteten Ablenk-Elektroden, also im Standby-Fall, vorhanden sind. Die Elektroden selbst sind praktisch lediglich Verlängerungen der bereits auf dem Chip vorhandenen Kontaktpads. Im Normalfall erhöhen sie die Stromaufnahme nicht. Sollten sie aber gar nicht kontaktiert sein, beispielsweise, weil die Kontaktbereiche nicht korrekt freigelegt oder durch Prozessrückstände isoliert sind, kann dies nicht durch eine elektrische Messung festgestellt werden. Der entsprechende elektrische Test wäre in diesem Fall erfolgreich, obwohl die gewünschte Funktion, also das Auslenken der Beamlets, nicht gegeben ist. Die Kontrolle der elektrischen Kontaktierung kann in diesem Fall nur über eine extra Teststruktur erfolgen, die zusätzlich zu den Elektroden und Anschlussleiterbahnen erzeugt wird. Diese Struktur wurde in Form einer einfachen Kontaktkette mit zwei Anschlusspads implementiert. Mit Hilfe einer vergrabenen Metallisierungsebene der Foundry-Wafer kann im Verlauf der Weiterprozessierung eine leitende Verbindung entstehen, die anhand entsprechender Messpads kontrolliert werden kann. Die folgende Abbildung 77 zeigt eine Skizze dieser Teststruktur.



**Abbildung 77: Skizze Messtruktur; oben Draufsicht, unten Querschnitt**

Ohne die Anschlussmetallisierung für die Wolframelektroden ist kein Kontakt zwischen den Prüf pads messbar. Sollte nach Erzeugen der Metallebene für Elektrodenkontaktierung keine elektrische Verbindung zwischen den Messpads feststellbar sein, so ist davon auszugehen, dass auch die Elektroden nicht ausreichend kontaktiert sind. Bei erfolgreicher Kontaktierung der Metallebene besteht eine niederohmige Verbindung zwischen den

Messpads. Mit Hilfe dieser in Abbildung 78 gezeigten Kontrollstruktur konnte eine passende Metallisierung zum Anschluss der Elektroden entwickelt und geprüft werden.

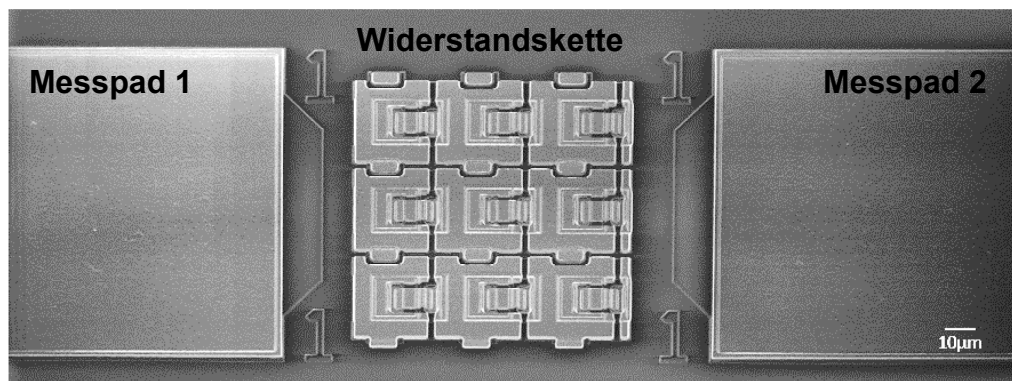


Abbildung 78: Teststruktur zur Prüfung der Kontaktierung

### 5.1.3 Ätzen der Aperturöffnungen

Damit die Elektronenstrahlen den Ablenkchip durchdringen können, muss zwischen den Elektrodenpaaren ein Loch, die Aperturöffnung, in die Siliziumdioxidschicht und in das Silizium geätzt werden. Die bestehenden Oxidätzprozesse müssen hierfür an die große Ätztiefe und die deutlich größere Strukturdimension der Löcher angepasst werden. Zudem muss mit der gleichen Photolackmaske sowohl die  $\text{SiO}_2$ -Schicht als auch das Silizium strukturiert werden. Damit sind hohe Anforderungen an die Selektivität der Ätzprozesse an die Maskierung verbunden, da die Dicke der Photolackschicht nicht beliebig erhöht werden kann. Wichtig ist bei diesem Schritt vor allem das Entfernen jeglicher Oxidreste und Ätzrückstände, da diese sonst im Betrieb Aufladungen verursachen und damit die Funktionalität des Ablenksystems stark beeinträchtigen würden. In Absatz 5.2 wird auf die Entwicklung dieses Prozesses detailliert eingegangen.

### 5.1.4 Ätzen einer Membran

Wichtig für die spätere Anwendung ist das Rückdünnen des Chips im Aperturbereich zu einer Membran mit einer Dicke von etwa  $40 \mu\text{m}$ . Andernfalls passt das Bauteil später nicht in das Gesamtsystem, da eine Feldabschlussplatte im Schreibtool so ausgelegt ist, dass sie möglichst nah an die Elektroden herangeführt wird. Die Ätzung der Chiprückseite zu einer Membran erfolgt üblicherweise nasschemisch mit Kalilauge (KOH). Dieser Prozess ist generell gut entwickelt und kontrollierbar, allerdings wird im Normalfall eine Ätzstoppschicht integriert, um sicherzustellen, dass die Ätzung homogen und nicht zu tief erfolgt. Eine solche Schicht ist bei dem vorliegenden Chip nicht verfügbar. Bei zu tiefer

nasschemischer Ätzung ohne die Stoppschicht gelangt die Lauge auf die Vorderseite des CMOS-Chips, welche dadurch angeätzt und der Ablenkchip zerstört wird. Üblicherweise wird die Vorderseite einer Membran durch eine Siliziumdioxidschicht während der Ätzung geschützt. Diese Maßnahme ist bei diesen CMOS-Ablenkchips nicht möglich, da die Schutzschicht nicht entfernt werden kann, ohne den Ablenkchip zu schädigen. Aus diesen Gründen musste die Prozessführung zur Membranätzung stark geändert werden. Das Ergebnis dieser Untersuchungen ist ein kombinierter Membranätzprozess, bei dem der Großteil der Membran konventionell und zeitgesteuert nasschemisch mit Kalilauge geätzt und die endgültige Membrandicke durch einen Trockenätzprozess erreicht wird. Auf diesen kombinierten Membranätzprozess wird am Ende von Abschnitt 5.2 genau eingegangen.

### **5.2 Herstellung von Wolframelektroden mit 6 $\mu$ m-Höhe**

Ausgangsmaterial für die Herstellung der Ablenkchips waren Foundry-Wafer, auf denen sich bereits die nötige CMOS-Elektronik befand, die den späteren Chip steuert und beispielsweise Speicherelemente oder Schieberegister zur Verfügung stellte. Diese Wafer hatten einen Durchmesser von acht Zoll und mussten für die weitere Bearbeitung zunächst auf eine Größe von sechs Zoll gesägt werden, da am Institut für Mikroelektronik Stuttgart nur diese Wafergröße durchgängig an allen Fertigungsanlagen prozessiert werden können. Nach einer anschließenden Reinigung konnte die eigentliche Weiterbearbeitung gestartet werden. Abbildung 79 zeigt den während dieser Dissertation entwickelten Prozessablauf zur Herstellung von 6  $\mu$ m hohen vergrabenen Wolframelektroden.

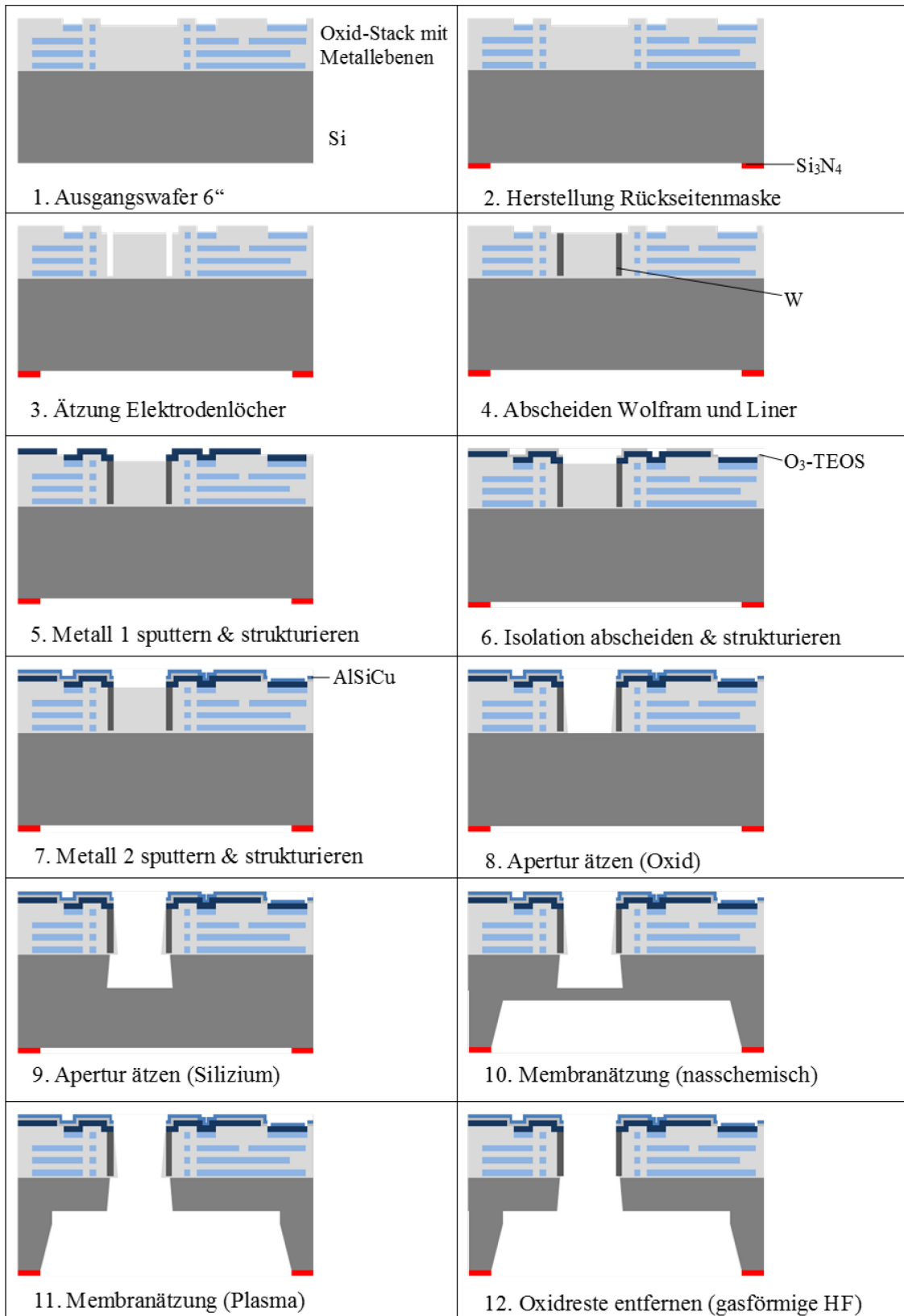


Abbildung 79: Prozess-Ablauf 6 µm Wolfram-Elektrode

Im ersten Schritt erfolgte Abscheidung und Strukturierung einer Rückseitenmaskierung aus Siliziumnitrit ( $\text{Si}_3\text{N}_4$ ), welche für die spätere Silizium-Membranätzung in einer wässrigen KOH-Lösung zwingend erforderlich war. Diese Schicht wurde mittels PECVD 1200 nm dick auf der Waferrückseite abgeschieden. Mit Hilfe eines optischen Proximitybelichters wurden die Membranfenster mit einer Größe von  $20 \text{ mm} \times 20 \text{ mm}$  in einen  $1 \text{ }\mu\text{m}$  dicken Photolack belichtet. Im Anschluss an die Entwicklung des belichteten Lacks erfolgte die Ätzung der Siliziumnitritschicht über einen Trockenätzprozess. Danach wurde der verbliebene Photolack mit Hilfe eines Plasmas entfernt (gestippt) und es erfolgte eine abschließende nasschemische Reinigung mit den Lösemitteln EKC®265 und N-Methyl-2-pyrrolidon (NMP). Die Einzelschritte der Photolackentfernung mittels Plasma sowie EKC®265 und NMP werden in den nachfolgenden Beschreibungen nicht mehr aufgeführt, waren aber Teil jedes Prozessschritts, der eine Lithografieebene und einen entsprechenden Ätzprozess beinhaltete.

Beim ersten Bearbeitungsschritt auf der Wafervorderseite wurden bereits die späteren Elektroden definiert. Mit Hilfe einer optischen i-Line Stepperbelichtung wurden die späteren Masse- und Ablenk-Elektroden in eine etwa  $3,5 \text{ }\mu\text{m}$  dicke Photolackschicht belichtet. Diese Maske wurde im Anschluss etwa  $6 \text{ }\mu\text{m}$  tief in die verschiedenen Isolationsebenen des CMOS-Wafers übertragen. Der dafür nötige  $\text{SiO}_2$ -Ätzprozess musste speziell für diese Geometrien und Ätztiefe entwickelt werden. Ziel war es, über das gesamte Aperturfeld eine einheitliche Strukturtiefe und ein leicht V-förmiges Ätzprofil der Strukturen zu erreichen, um die Gräben später besser mit Wolfram füllen zu können. Ein geeigneter Trockenätzprozess arbeitete mit den Gasen Argon (Ar), Tetrafluormethan ( $\text{CF}_4$ ) und Trifluormethan ( $\text{CHF}_3$ ). Durch eine passende Zusammensetzung der Gasmengen war es möglich, sowohl das gewünschte Ätzprofil als auch die nötige Ätztiefe zu erreichen. Die folgende Tabelle 5 zeigt die optimalen Einstellungen zum Ätzen der Elektrodengräben mit einer Applied Materials Etch-Centura 5200.

Parameter	Prozess
Ar-Fluss [sccm]	150
CF <sub>4</sub> -Fluss [sccm]	30
CHF <sub>3</sub> -Fluss [sccm]	30
Leistung [W]	800
Druck [mTorr]	200
Ätzzeit [s]	240

Tabelle 5: Prozessparameter für Elektrodenätzung

Während der Oxidätzung erhitze sich der Wafer massiv, so dass dieser nach einer bestimmten Zeit abgekühlt werden musste. Hierzu wird die Ätzung nach 240 s unterbrochen und der Wafer in einer extra Prozesskammer abgekühlt. Um die Zielteife von 6  $\mu\text{m}$  zu erreichen musste der Prozess wie er in Tabelle 5 gezeigt ist dreimal wiederholt werden. Somit ergab sich eine Gesamtätzzeit von 720 s. Abbildung 80 zeigt das Ergebnis der Elektrodenätzung auf einem Testsubstrat. Auf diesem Wafer wurde die Gesamttiefe von 6  $\mu\text{m}$  noch nicht erreicht, da die Ätzung gemäß Tabelle 5 nur zweimal ausgeführt wurde. Auf dem CMOS-Wafer wurde durch einen zusätzlichen Ätzzyklus die Zieltiefe bei gleichbleibendem Ätzprofil erreicht.

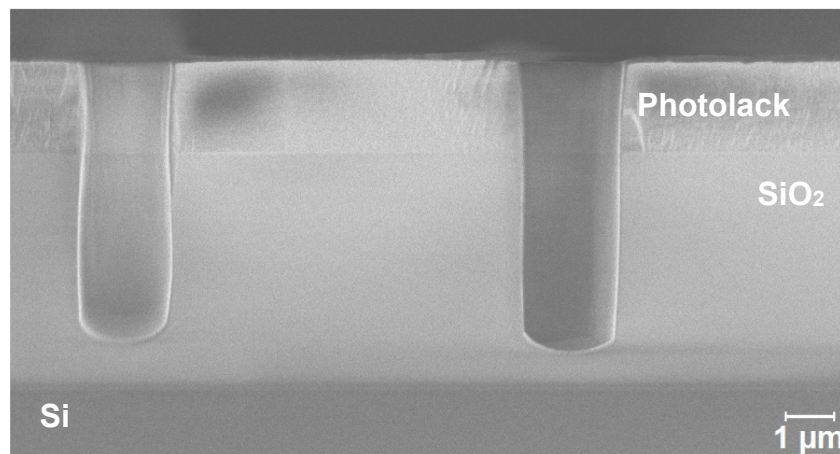
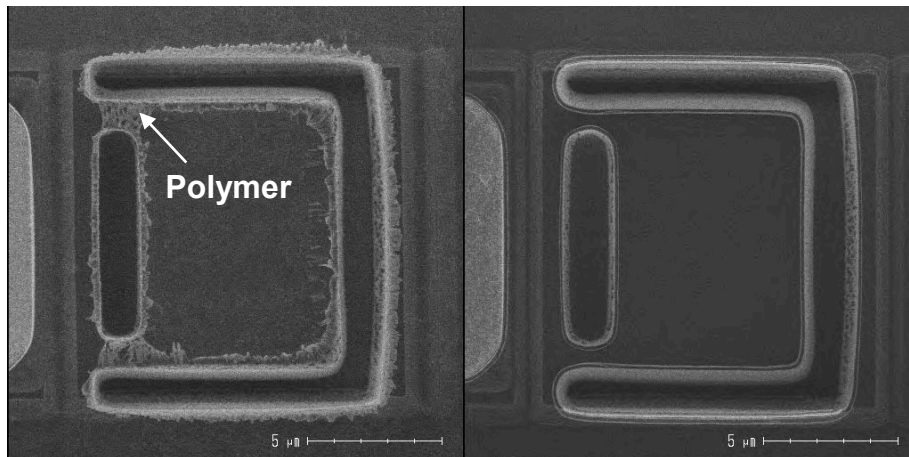


Abbildung 80: Geätzter Elektroden-Trench auf Testsubstrat

Essentiell war nach diesem Schritt die Entfernung der Polymerschichten, die nach der Ätzung dem Entfernen der Photolackschicht zurückblieben. Andernfalls kam es in nachfolgenden Schritten zu Abschattungen durch diese Rückstände und daraus resultierend zu nicht korrigierbaren Kurzschlüssen zwischen den Ablenk-Elektroden und Ground, die die Chips unbrauchbar werden ließen. Die vollständige Entfernung dieser Polymere erfolgte durch gezieltes Aufspalten (Cracken) der Polymermoleküle mit Hilfe

eines geeigneten  $\text{CF}_4$ -Plasmaprozesses und dem anschließenden Entfernen der geackten Polymerreste während einer nasschemischen Reinigung mittels EKC®265. Der Unterschied zwischen einer unzureichenden und einer optimierten Polymerentfernung wird in Abbildung 81 deutlich.



**Abbildung 81: Plugätzung; links - unangepasste Polymerentfernung, rechts - optimierter Prozess**

Waren die Elektroden definiert, mussten die entstandenen Gräben mit dem eigentlichen Elektrodenmaterial Wolfram gefüllt werden. Hierzu wurde zunächst eine 150nm dünne Doppelschicht aus 50 nm Titan und 100 nm Titannitrid, im Folgenden als Ti/TiN bezeichnet, mit Hilfe eines Sputterprozesses abgeschieden. Diese Doppelschicht war notwendig, um die Haftung der Wolframschicht auf dem Substrat zu verbessern und sorgte gleichzeitig für ein gleichmäßigeres und feinkörnigeres Wachstum der Wolframschicht.

Durch einen abschließenden Tempersschritt wurde bei 400 °C unter Stickstoffatmosphäre innerhalb von 30 min die Ti/TiN-Doppelschicht stabilisiert und so mechanische Spannungen abgebaut. Erfolgte keine Temperung, so kam es nach Abscheiden der ersten Metallebene zur Delamination des gesamten Schichtstapels, was in Abbildung 82 gezeigt ist.



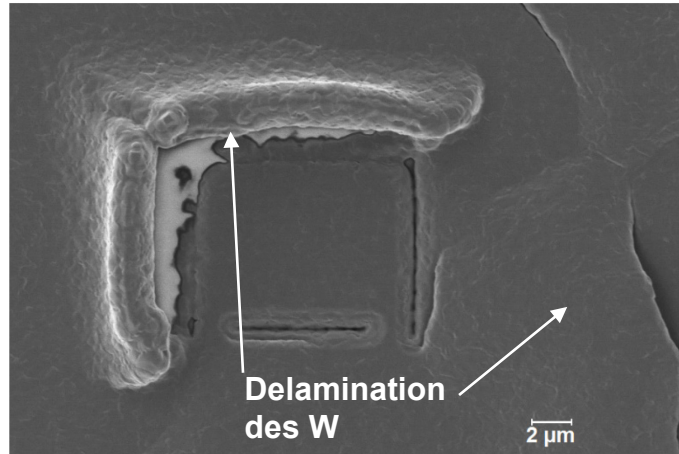


Abbildung 82: Delamination der des Ti/TiN-Liners nach Alu-Sputtern

Die Wolframschicht wurde in einem CVD-Prozess aus der Gasphase mit Wolframhexafluorid ( $\text{WF}_6$ ) als Ausgangsmaterial abgeschieden. Als Reduktionsmittel fungierte in diesem Prozess Wasserstoff ( $\text{H}_2$ ). Damit das  $\text{WF}_6$  in einer chemischen Reaktion auf der Waferoberfläche zu Wolfram umgewandelt werden konnte, musste das Substrat auf  $475\text{ °C}$  geheizt werden. Zusätzlich wurden die Gase Argon und Stickstoff zugegeben. Die folgende Tabelle 6 zeigt die Prozessparameter zur Abscheidung einer  $1200\text{ nm}$  dicken Wolframschicht auf der Waferoberfläche.

Parameter	Einstellung
$\text{WF}_6$ -Fluss [sccm]	95
$\text{H}_2$ -Fluss [sccm]	700
Ar-Fluss [sccm]	1000
$\text{N}_2$ -Fluss [sccm]	300
Druck [mTorr]	90
Temperatur [ $^{\circ}\text{C}$ ]	475
Abscheidezeit [s]	90

Tabelle 6: Parameter Wolframabscheidung für  $1200\text{ nm}$  Schichtdicke

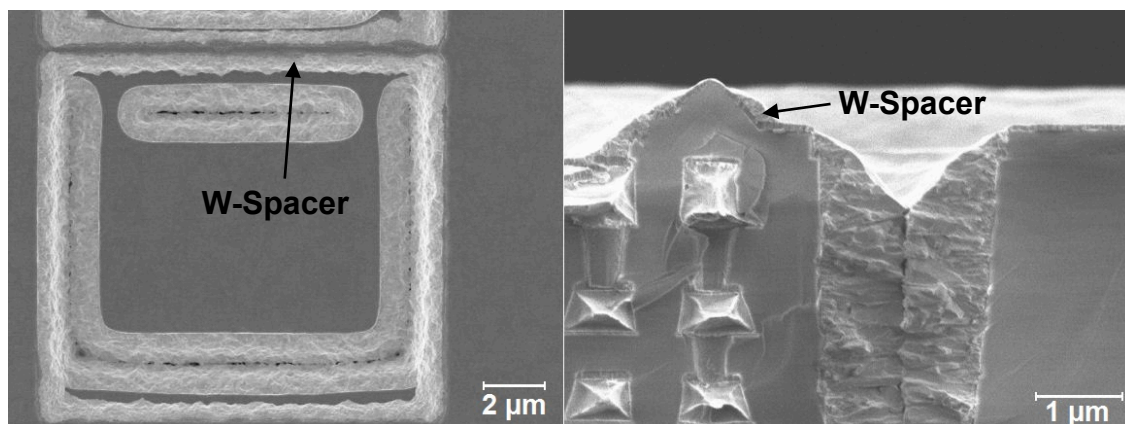
Die Abscheideparameter wurden so angepasst, dass die tiefen und großen Elektrodengraben vollständig und ohne Hohlräume gefüllt waren. Die Wolframschicht entstand auf der gesamten Wafervorderseite. Daher musste sie im Anschluss auf der Oberfläche mit einem Trockenätzprozess so zurückgeätzt werden, dass nur noch in den Gräben Wolfram zu finden war und der Ätzprozess ausreichend selektiv auf der Ti/TiN-Schicht stoppte. Dieser Rückätzprozess arbeitete mit Schwefelhexafluorid als Ätzgas und bestand aus mehreren Teilschritten, wobei zunächst mit aggressiven Ätzparametern der

größte Teil der Wolframschicht entfernt wurde. Dieser erste Schritt stoppte anhand eines Endpunkts, wenn die Ti/TiN-Doppelschicht großflächig freigelegt war. Im Anschluss wurden Reste mit einem sanfteren Überätzschritt entfernt. Tabelle 7 zeigt die typischen Parameter dieses Rückätzprozesses.

Parameter	Bulk	Endpunkt	Überätzen
SF <sub>6</sub> -Fluss [sccm]	150	80	80
Ar-Fluss [sccm]	50	40	40
Leistung [W]	550	200	150
Druck [mTorr]	240	180	160
Ätzzeit [s]	70	Endpunkt	60

**Tabelle 7: Parameter Standard-Rückätzprozess Wolfram**

Dabei kam es aufgrund der Topografie der Waferoberfläche zur Bildung von Wolframrückständen an Seitenwänden, wie sie in Abbildung 83 gezeigt sind. Diese Rückstände, sogenannte Spacer, erhöhten die Gefahr von Kurzschlüssen zwischen der Ablenk-Elektrode und der Masse-Elektrode.



**Abbildung 83: Wolfram-Spacer aufgrund zu kurzer Rückätzung**

Zur Vermeidung dieser ungewollten Wolframspacer wurde der Rückätzprozess im Überätzschritt angepasst. Zur Entfernung der verblieben Wolframreste auf dem CMOS-Wafer wurde dieser Schritt deutlich verlängert und zudem die Parameter aus dem vorherigen Schritt übernommen, so dass er einen chemischeren Ätzcharakter erhält und so einen isotroperen Ätzangriff ermöglichte. Dadurch lassen sich Spacer gut vermeiden. Die finalen Rückätzparameter sind in Tabelle 8 aufgezeigt.

Parameter	Bulk	Endpunkt	Überätzen
SF <sub>6</sub> -Fluss [sccm]	150	80	80
Ar-Fluss [sccm]	50	40	40
Leistung [W]	550	200	<b>200</b>
Druck [mTorr]	240	180	<b>180</b>
Ätzeit [s]	70	Endpunkt	<b>180</b>

Tabelle 8: Finale Rückätzparameter

Abbildung 84 zeigt das Ergebnis der Wolframrückätzung mit den finalen Parametern gemäß Tabelle 8.

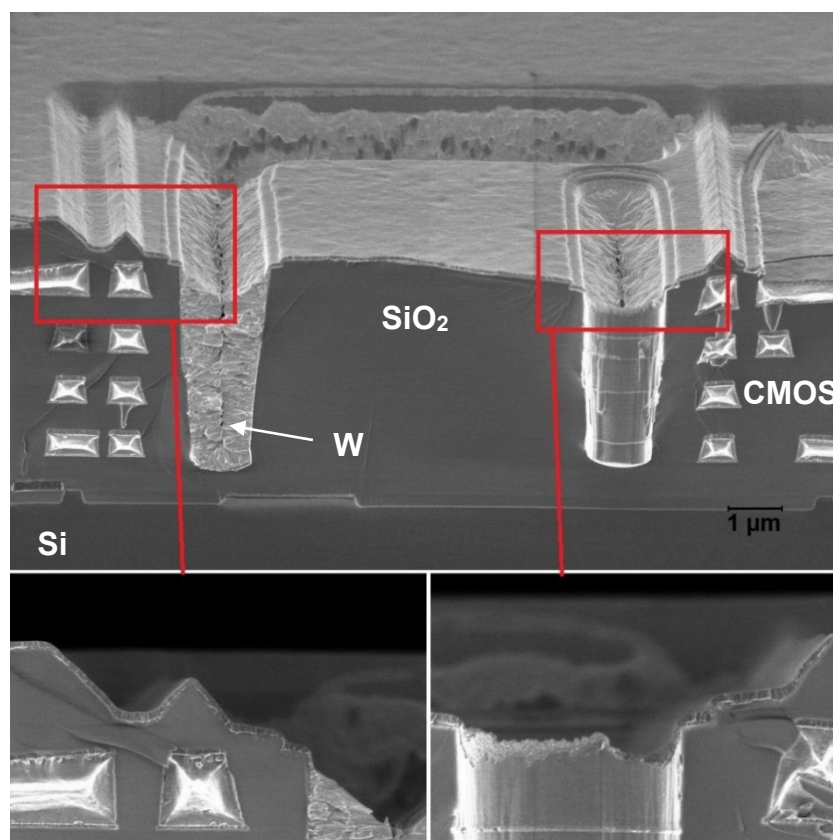
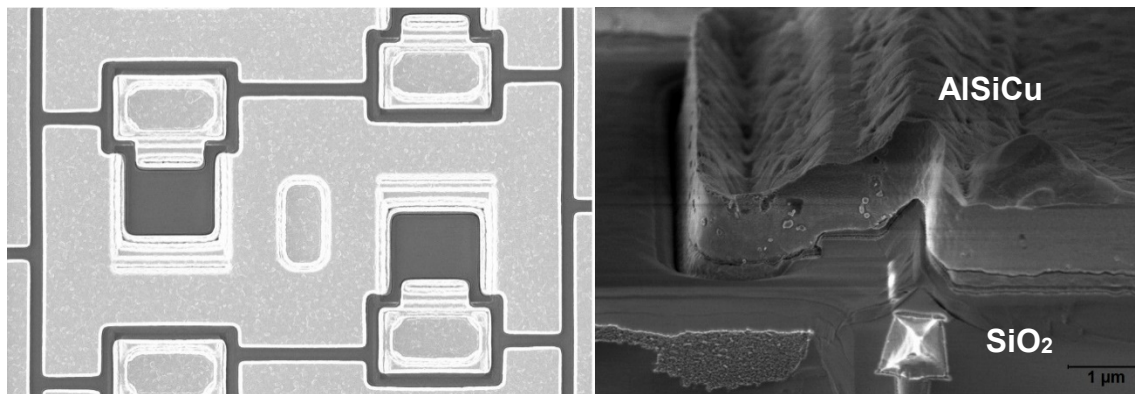


Abbildung 84: W-gefüllte Plugs – Elektroden

Die verbleibende Ti/TiN-Doppelschicht wurde während der Strukturierung der folgenden Metallisierungsebene entfernt. Die eigentliche Elektrodenherstellung war damit bereits abgeschlossen. In den folgenden Schritten mussten diese nun an die CMOS-Elektronik des Ablenkchips angeschlossen werden.

Diese Kontaktierung erfolgte mit Hilfe einer Metallschicht. Sie bestand aus der Legierung von Aluminium mit Silizium und Kupfer, nachfolgend AlSiCu genannt. Das Material ist in der CMOS-Herstellung des Instituts für Mikroelektronik Stuttgart Standard und kam

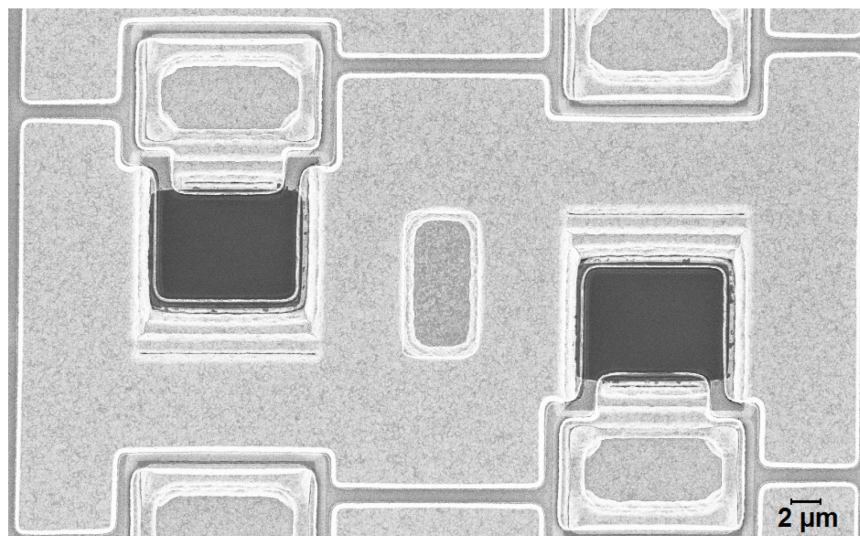
daher auch bei der Nachbearbeitung der Ablenkchips zum Einsatz. Für die Verbindung zwischen den Kontakten der Elektronik und den Elektroden wurde die AlSiCu-Schicht 1  $\mu\text{m}$  dick gesputtert und anschließend durch einen Trockenätzprozess strukturiert. Eine unter die AlSiCu gesputterte Schicht aus 10 nm dünnem Titan sorgte zudem für einen besseren Kontakt zwischen dem Wolfram und der AlSiCu-Schicht [76], [77]. Die kleinsten Strukturen bzw. Abstände waren dabei etwa 1  $\mu\text{m}$  groß, so dass die in der CMOS-Fertigung genutzten Metall-Ätzprozesse für ähnlich dicke Schichten ohne Änderungen genutzt werden konnten. Lediglich die Ätzzeit musste auf den spezifischen Belegungsgrad angepasst werden. Die folgende Abbildung 85 zeigt die fertig strukturierte erste Metallschicht.



**Abbildung 85: Metall nach Sputtern und Strukturierung**

Die Prüfung des Kontaktes zwischen der Metallebene und den Wolframelektroden erfolgte mit Hilfe der in Abschnitt 5.1.2 vorgestellten Teststruktur. Die Ergebnisse der Messungen zeigten, dass nach der Strukturierung der AlSiCu-Schicht eine sehr gut elektrisch leitende Verbindung zwischen den Messpads entstanden ist. Daher konnte davon ausgegangen werden, dass auch die Ablenk- und Masse-Elektroden sehr gut mit den Metallleiterbahnen und damit der CMOS-Elektronik verbunden sind. Nach diesem Schritt hätten die Wafer bereits die Apertur- und Membranätzung erhalten können und die grundlegende Ablenkfunktionalität der Chips wäre hergestellt. Allerdings waren durch parasitäre elektrostatische Felder Effekte wie das Übersprechen zwischen benachbarten Ablenkzellen, der Cross-Talk, zu erwarten. Zudem sollte die Oberfläche möglichst gut elektrisch leitend sein, um Aufladungen und damit Einflüsse durch gestreute Elektronen minimal zu halten. Beide Probleme konnten durch eine komplett elektrisch leitende und auf einem definierten Potential liegende Oberfläche minimal gehalten werden.

Hierfür war zunächst das Abscheiden einer zusätzlichen dünnen TEOS-SiO<sub>2</sub>-Schicht als Isolation nötig. Diese war 200 nm dünn und wurde mittels PECVD abgeschieden. Die im Anschluss entstehende Metallschicht sollte auf das definierte elektrische Potential null Volt bzw. Ground gelegt werden. Hierzu wurden an entsprechenden Stellen Via-Öffnungen in die SiO<sub>2</sub>-Schicht geätzt. Anschließend wurde die zweite dünne AlSiCu-Schicht gesputtert, die ebenso wie die Isolation 200 nm dick war. Die Strukturierung erfolgte ähnlich wie bei der ersten Metallschicht, allerdings mit angepassten Photolackdicken und Ätzzeiten. In Abbildung 86 ist die fertig strukturierte zweite Metallebene zu erkennen, welche nur im Bereich der Aperturen entfernt wurde.



**Abbildung 86: Metal2 nach Sputtern und Ätzung**

Nachdem alle Zusatzschichten abgeschieden und strukturiert waren, konnten die Aperturen, also die Löcher für die Beamlets, geätzt werden. Wie im Prozess-Ablauf in Abbildung 79 ersichtlich ist, war diese Ätzung in zwei Schritte unterteilt. Es wurde ein sehr dicker Photolack für die Lithografie benötigt, da mit einer Maske sowohl durch den etwa 7 μm dicken Oxidstapel der CMOS-Elektronik als auch 40 μm tief in das Silizium des Wafers geätzt werden musste. Eine zweite Photolackmaske hätte zu Problemen geführt, da es sehr schwer ist, mit den stark auf geringe Topographie optimierten optischen Geräten in einem 7 μm tiefen Loch Belichtungen durchzuführen. Zudem konnte es bei einer zweiten Belichtung zu Ungenauigkeiten kommen, die mit dem gewählten Lithografie- und Ätzablauf vermieden wurden.

Nach der Lithografie erfolgte zunächst die Ätzung des Aperturlochs in die Siliziumoxidschicht des Substrats. Bei diesem Schritt sollte eine Öffnung entstehen, die bis zum darunterliegenden Silizium reicht und an allen Seiten vom Wolfram der Ablenk-

und Masse-Elektroden umgeben ist. Aus diesem Grund wurde die Öffnung in der Maske etwas größer gestaltet als der Bereich zwischen den Wolframelektroden war. So konnte die Ätzung in die Tiefe entlang der Wolframschicht erfolgen. Wie auch bei der Ätzung der Elektrodengräben kam die Etch-Centura 5200 von Applied Materials zum Einsatz, wobei ein Prozess für große und tiefe Löcher als Ausgangsprozess genutzt und für den auf Testsubstraten die Ätzrate bestimmt wurde. Auch bei dieser Ätzung musste der Wafer aufgrund der hohen eingekoppelten Leistung immer wieder abgekühlt werden. Somit wurden die Parameter gemäß der folgenden Tabelle 9 eingestellt und der Prozess für die Zieltiefe von 7  $\mu\text{m}$  fünfmal ausgeführt.

Parameter	Prozess
Ar-Fluss [sccm]	100
CF <sub>4</sub> -Fluss [sccm]	50
CHF <sub>3</sub> -Fluss [sccm]	5
Leistung [W]	800
Druck [mTorr]	50
Ätzzeit [s]	280

Tabelle 9: Parameter Oxidätzprozess für Apertur

Bei diesem Ätzprozess waren vor allem die Gase CF<sub>4</sub> und CHF<sub>3</sub> wichtig für das Profil des späteren Lochs. CF<sub>4</sub> sorgte hierbei für den Ätzangriff und CHF<sub>3</sub> schützte durch die Abscheidung von fluorhaltigen Polymeren die Seitenwand und ermöglichte damit eine anisotrope Ätzung. Zudem verbesserte es die Selektivität zwischen Photolack und Oxid. Das Ergebnis dieses Prozesses zeigt die folgende Abbildung 87.

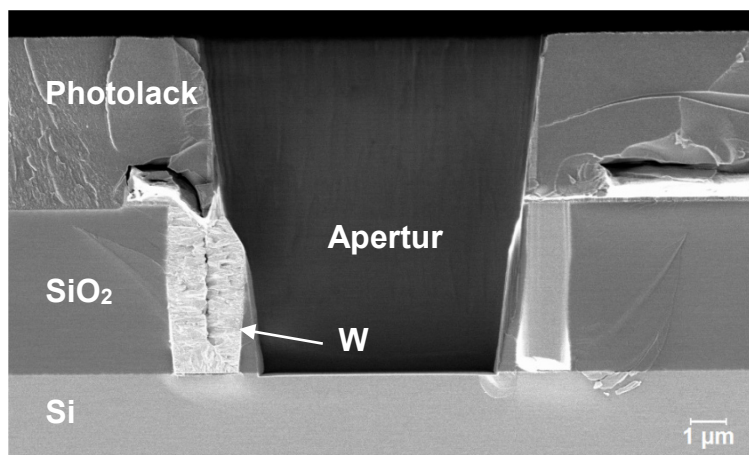


Abbildung 87: Aperturätzung in Oxid auf Testsubstrat, Run 1

Es ist deutlich zu erkennen, dass das Ätzprofil nicht senkrecht war und auf der Elektrodenoberfläche eine Oxidschicht zurückblieb. Diese würde im späteren Einsatz aber zu massiven Charging und damit zu Verzerrungen der Einzelstrahlen führen und musste daher entfernt werden. Daher wurden die Parameter nach und nach so variiert, dass die Passivierung der Seitenwände verringert und gleichzeitig der Ätzangriff verstärkt wurde. Durch das Verringern des Anteils an  $\text{CHF}_3$  konnte die Seitenwandpassivierung minimiert oder durch Weglassen dieses Gases ganz vermieden werden. Durch Erhöhung des Prozessdrucks sollte der Ätzangriff isotroper werden, so dass der Ätzangriff auch seitlich erfolgte und somit die auch die Oxidseitenwände geätzt wurden. Die Zugabe von Sauerstoff ( $\text{O}_2$ ) ließ sich die Ätzung zusätzlich verstärken, was allerdings den Photolackabtrag erhöhte.

So entstand nach mehreren Durchläufen der in Tabelle 10 dargestellte Prozess, der gemäß aller Vorüberlegungen keine Seitenwände generieren sollte.

Parameter	Prozess
Ar-Fluss [sccm]	100
CF <sub>4</sub> -Fluss [sccm]	50
O <sub>2</sub> -Fluss [sccm]	10
Leistung [W]	800
Druck [mTorr]	2
Ätzzeit [s]	280

**Tabelle 10: Aggressiverer Oxidätzprozess**

Dieser Prozess wies zwar eine höhere Ätzrate auf, hat dabei aber eine deutlich schlechtere Selektivität zur Maskierschicht und ließ die Seitenwände praktisch unverändert zum Ausgangsprozess entstehen. Das Ergebnis der Ätzung zeigt Abbildung 88.

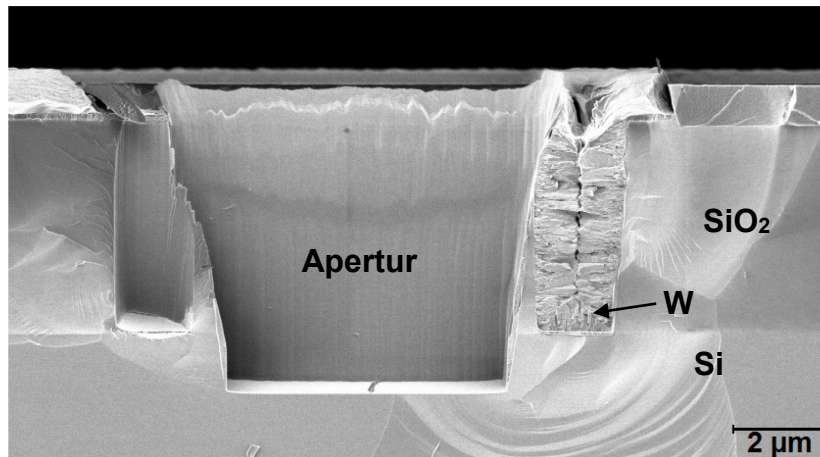


Abbildung 88: Ergebnis der Oxidätzung mit Ätzprozess gemäß Tabelle 10

Somit war die Aperturätzung ohne das Ausbilden einer oxidischen Seitenwand nicht möglich. Unter Berücksichtigung aller Eigenschaften wie Selektivität, Ätzrate und Flankensteilheit bildete der in Tabelle 9 dargestellte Siliziumoxidätzprozess die beste Basis für die Herstellung der Aperturöffnung im Siliziumoxid. Zur Vermeidung der Siliziumdioxidspacer wurden diese nachträglich entfernt. Diese Resteentfernung erfolgte im letzten Prozessschritt gemäß des Prozess-Ablaufs in Abbildung 79 mit Hilfe von gasförmiger Flusssäure. Auf diese Weise war die maximale Materialelektivität gegeben und aufgrund des isotropen Ätzangriffs konnten Reste auch in abgeschatteten Bereichen entfernt werden. Diese Entwicklung wird am Ende dieses Abschnitts detailliert beschrieben.

Nachdem die Aperturöffnung in die Siliziumdioxidschicht geätzt wurde erfolgte die weitere Ätzung in das Silizium des Ausgangswafers. Diese erfolgte in einem Trockenätzschritt mit in einem STS ICP Cluster Tool [69, p. 40]. Das Ätzprofil sollte senkrecht sein und zum Ende des Loches leicht unterschritten auslaufen. Als Maskierung diente die bereits vor der Siliziumoxidätzung aufgebrauchte dicke Photolackschicht. Der Ätzprozess bestand aus drei Einzelschritten, deren Parameter in Tabelle 11 dargestellt sind.



Parameter	Schritt 1	Schritt 2		Schritt 3	
		Ätzen	Passivieren	Ätzen	Passivieren
SF <sub>6</sub> -Fluss [sccm]	170	130		130	
C <sub>4</sub> F <sub>8</sub> -Fluss [sccm]			85		85
O <sub>2</sub> -Fluss [sccm]	10	13		13	
Druck [mTorr]	18	35	20	38	21
Leistung ICP [W]	1000	600	600	600	600
Leistung Elektrode [W]	3	25	0	12	0
Temperatur [°C]	20				
Zeit Ätzen [s]		15		15	
Zeit Passivieren [s]			8		8
Gesamtzeit Schritt [s]	20	176		920	

Tabelle 11: Aperturätzprozess für Siliziumtiefenätzung

Da die bei der vorangegangenen Siliziumoxidätzung verbliebenen Spacer als zusätzliche Maskierschicht für die Siliziumätzung wirken und somit die Lochabmessungen verkleinern wurden diese im ersten Schritt der Siliziumätzung mit einer isotropen Ätzung unterätzt. Die beiden nun folgenden Ätzschritte erfolgten als BOSCH-Ätzungen und ermöglichen durch den schnellen Wechsel von ätzenden und die Seitenwand schützenden passivierenden Zyklen die anisotrope Ätzung in die Tiefe [69, pp. 37-39], [78]. Die folgende Abbildung 89 zeigt das Ergebnis der Siliziumätzung.

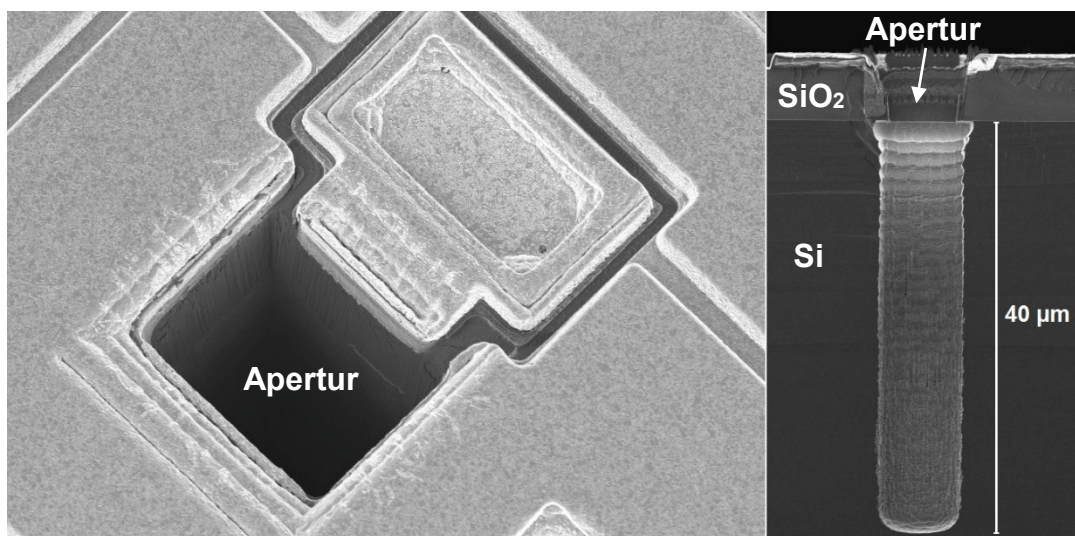
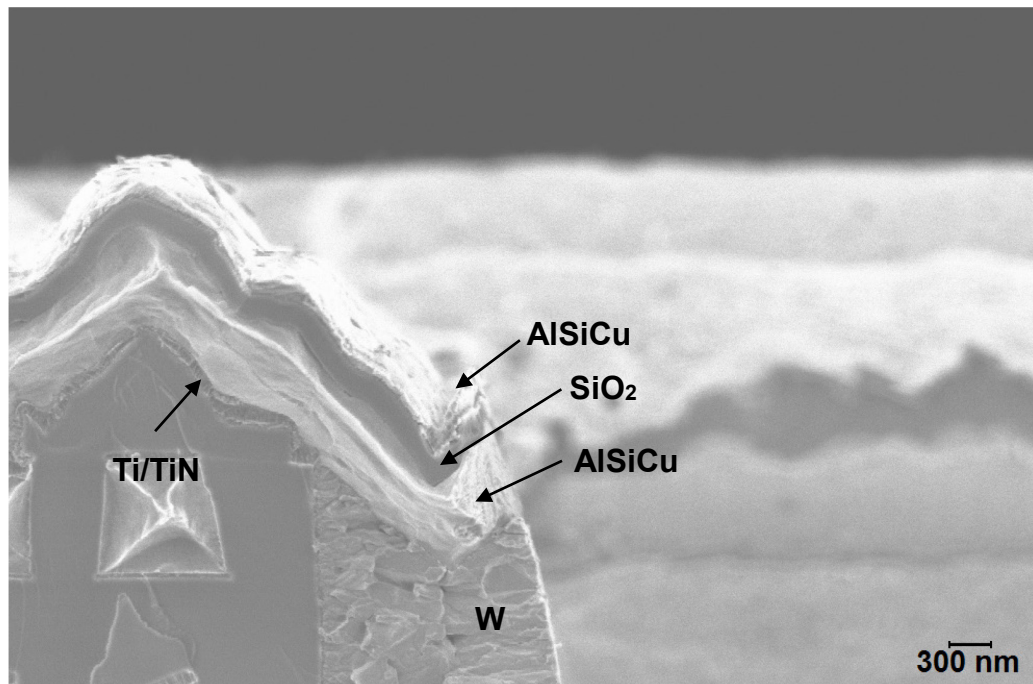


Abbildung 89: Apertur; links Draufsicht von schräg oben, rechts Querbruch durch Monitorsubstrat

Die Zieltiefe dieses Ätzprozesses betrug  $42\ \mu\text{m}$ , was etwas mehr als der späteren Membrandicke entsprach. Mit der Aperturätzung war die Vorderseitenprozessierung des in Abbildung 79 dargestellten Gesamtprozesses abgeschlossen. Die folgende Abbildung 90 zeigt den während der Bearbeitung entstandenen Schichtaufbau aus den Materialien Wolfram, AlSiCu und Siliziumdioxid.



**Abbildung 90: Schichtaufbau Vorderseite nach Prozessierung**

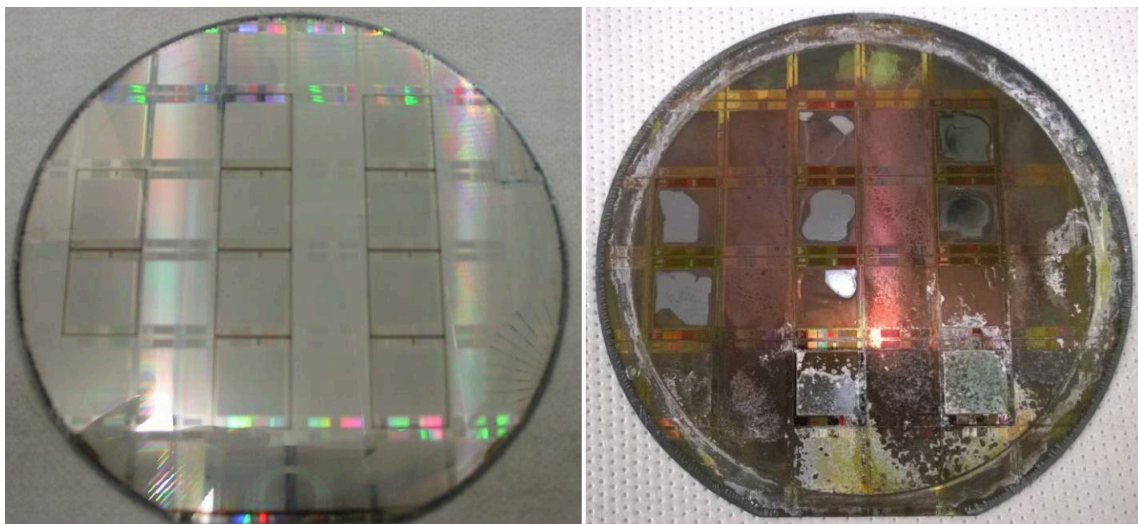
Im Anschluss an die Vorderseitenbearbeitung konnte die Membran hergestellt werden. Dieser Prozess erfolgte ähnlich wie beim SWAPS-Chip in zwei Schritten, wobei zunächst mit KOH das Silizium so tief geätzt wurde, dass eine etwa  $150\ \mu\text{m}$  dicke Membran entstand. Im Anschluss wurde durch einen Trockenätzprozess die verbleibende Siliziumschicht geätzt, so dass eine Endmembrandicke von  $40\ \mu\text{m}$  erreicht wurde.

Die standardmäßige Membranätzung erfolgt komplett nasschemisch mit KOH und Tetramethylammoniumhydroxid (TMAH). Dabei ist die Vorderseite des Ausgangswafers durch eine spezielle Ätzzelle gegen den Angriff der Ätzlösungen geschützt. Die folgende Abbildung 91 zeigt das Prinzip einer solchen Zelle, bei der der Wafer fest eingebaut wird und dessen Vorderseite durch Dichtungen geschützt wird.



**Abbildung 91: Ätzzelle für KOH-Ätzung**

Dieser Prozess wird sehr selektiv auf einer vergrabenen Siliziumdioxidschicht gestoppt [69, p. 73 ff.]. Eine solche Stoppschicht war auf den CMOS-Foundry-Wafern nicht vorhanden. Somit konnte die Ätzlösung beim Erreichen der bereits geätzten Aperturen auf die Vorderseite des Wafers gelangen und diese stark verätzen, was die Zerstörung aller Chips zur Folge hatte. Die folgende Abbildung 92 zeigt die Folgen einer solchen Verätzung der Wafervorderseite.



**Abbildung 92: Wafer mit intakter (links) und durch KOH verätzter Vorderseite (rechts)**

Durch das Stoppen der nasschemischen KOH-Ätzung bei einer Membrandicke von etwa 150  $\mu\text{m}$  war die Gefahr der Zerstörung der Wafervorderseite stark minimiert. Tabelle 12

zeigt die wesentlichen Parameter der KOH-Ätzlösung, die für diesen Prozess verwendet wurde.

<b>Parameter</b>	<b>Prozess</b>
KOH Konzentration [%]	30
Temperatur [°C]	70
Ätzzeit [h]	18

**Tabelle 12: Parameter KOH-Ätzung**

Das bis zur Membrandicke von etwa 40 µm verbleibende Silizium wurde mittels Siliziumtrockenätzen entfernt. Hierzu musste der nicht zu ätzende Bereich der Waferrückseite mit Photolack geschützt werden. Dieser wurde manuell auftragen und auf einer Heizplatte ausgeheizt. Zusätzlich wurde der Wafer mit der Vorderseite auf einen Trägerwafer mit Hilfe des Materials Crystalbond der Firma Aremco geklebt. Dieses wasserlösliche Wachs schmolz bei etwa 70 °C und verband nach dem Abkühlen Substrat- und Trägerwafer fest und sicher. Für die Präparation wurde der Trägerwafer auf diese Temperatur erwärmt und das Wachs dünn aufgetragen. Im Anschluss konnte der zu ätzende Wafer vorsichtig mit seiner bereits fertig strukturierten Vorderseite auf diese Wachsschicht gelegt werden. Nach dem Abkühlen waren dann beide Wafer fest miteinander verbunden. Durch diese Präparation blieb die Vorderseite beim Handling des zu ätzenden Wafers vor Schäden geschützt. Nach Abschluss der Trockenätzung konnten beide Wafer mit DI-Wasser schonend voneinander getrennt werden [69, p. 95].

Zunächst wurde der größte Teil des zu entfernenden Siliziums mit dem in der folgenden Tabelle 13 beschriebenen isotropen Ätzprozess mit vergleichsmäßig hoher Ätzrate geätzt.

Parameter	Ätzprozess
SF <sub>6</sub> -Fluss [sccm]	170
C <sub>4</sub> F <sub>8</sub> -Fluss [sccm]	0
O <sub>2</sub> -Fluss [sccm]	2
Druck [mTorr]	15
Leistung ICP [W]	1000
Leistung Elektrode [W]	5
Temperatur [°C]	20
Gesamtzeit [s]	Abhängig von genauer Si-Restdicke

Tabelle 13: Parameter isotroper Silizium-Membranätzprozess

Dieser isotrope Siliziumätzprozess wurde nach jeder Minute gestoppt und die Membranen im optischen Mikroskop untersucht. Sobald die ersten Öffnungen sichtbar waren erfolgte die weitere Membranätzung mit einem deutlich sanfteren BOSCH-Ätzprozess wie er in Tabelle 14 dargestellt ist.

Parameter	Prozess	
	Ätzen	Passivieren
SF <sub>6</sub> -Fluss [sccm]	130	
C <sub>4</sub> F <sub>8</sub> -Fluss [sccm]		85
O <sub>2</sub> -Fluss [sccm]	13	
Druck [mTorr]	35	20
Leistung ICP [W]	600	600
Leistung Elektrode [W]	12	0
Temperatur [°C]	20	
Zeit Ätzen [s]	12	
Zeit Passivieren [s]		6,5
Gesamtzeit Schritt [s]	Abhängig von genauer Si-Restdicke	

Tabelle 14: Finaler Silizium-Membranätzprozess

Auch dieser Ätzprozess wurde nach etwa jeder Minute gestoppt, um das Ergebnis am Mikroskop zu überprüfen. Sobald alle 43.008 Aperturöffnungen sichtbar waren konnte die Ätzung beendet werden. Eine fertige Ablenkzelle ist in der folgenden Abbildung 93 exemplarisch gezeigt.

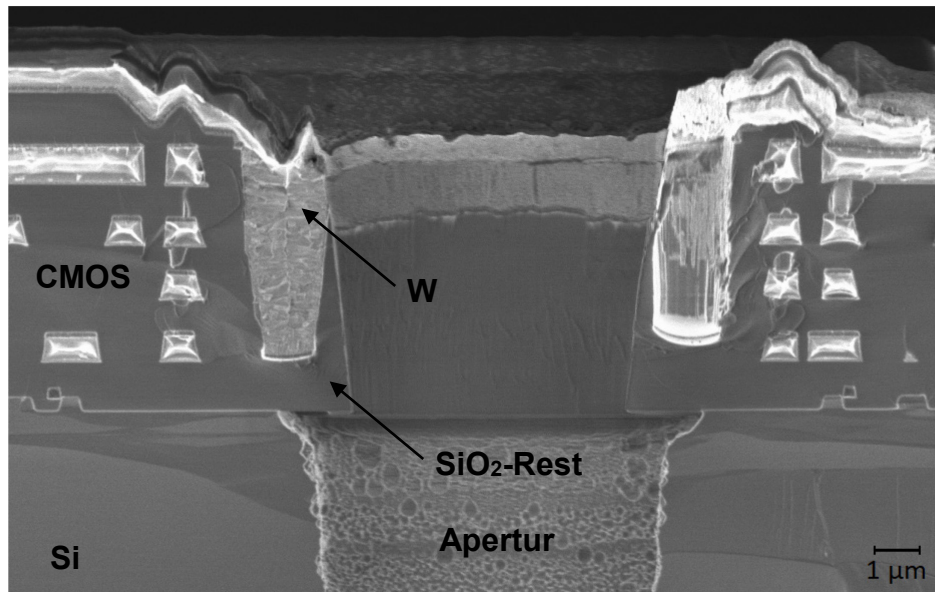


Abbildung 93: Fertige Ablenkzelle; Oxidreste deutlich erkennbar

Im Anschluss konnte der Wafer durch einen Sägeprozess in die einzelnen Ablenkchips unterteilt werden.

Im letzten Schritt der Chipfertigung mussten die nach der Aperturätzung verbliebenen Siliziumdioxidreste von den Oberflächen der Elektroden entfernt werden. Dieser Prozessschritt erfolgte chipweise. Zur Siliziumoxidentfernung wurde gasförmige Fluorwasserstoffsäure (Flusssäure bzw. HF) genutzt, um eine maximale Selektivität zwischen dem zu entfernenden Oxid und den restlichen Materialien wie Silizium und den Metallen auf dem Ablenkchip zu gewährleisten. Flusssäure in flüssigem Zustand, also in Wasser gelöster Fluorwasserstoff, hatte eine sehr gute Selektivität zu Silizium, griff allerdings auch die Metalle wie Aluminium und dessen entsprechende Legierungen an. Bei der Verwendung von gasförmiger Flusssäure wurden keine Metalle angegriffen, da bei diesem Prozess jegliche Feuchtigkeit vermieden wurde. Diese Entfeuchtung wurde im Wesentlichen durch drei Maßnahmen erreicht:

- Entnahme der Flusssäure in gasförmigem Zustand aus einer Gasflasche
- Aufheizen der Prozesskammer und damit des Substrates, so dass mögliche Restfeuchtigkeit nicht kondensieren und zu Anätzungen führen konnte
- Zugabe von Alkohol, hier Ethanol, diente ebenfalls der Vermeidung von Kondensation eventueller Restfeuchte

Der Ätzprozess mit gasförmiger Flusssäure griff alle offenliegenden Siliziumdioxidschichten an und konnte dadurch auch deutlich hinter die Elektroden ätzen.

Wichtig war dabei, die Ätzzeit so zu wählen, dass alle Reste auf den Wolframelektroden entfernt wurden, die Hinterätzung aber vor Erreichen der CMOS-Elektronik gestoppt wurde. Die folgende Tabelle 15 zeigt die ermittelten Parameter bei einem Ätzer des Herstellers Primaxx, mit denen die Siliziumdioxidreste optimal entfernt werden konnten.

Parameter	Ätzprozess
HF-Gas-Fluss [sccm]	300
Alkohol-Fluss [sccm]	338
N <sub>2</sub> -Fluss [sccm]	1200
Druck [Torr]	75
Kammertemperatur [°C]	65
Ätzzeit [s]	60

Tabelle 15: Parameter HF-Ätzung

Der in Tabelle 15 aufgeführte Prozess wurde zweimal gestartet, so dass sich eine Gesamtätzzeit von 120 s ergab. Zwischen diesen Schritten wurden durch einen Pump- und Spülschritt mögliche Ätzprodukte auf der Siliziumoxidoberfläche entfernt, so dass der Ätzangriff nicht durch mögliche Ablagerungen gestoppt wurde. Das Ergebnis dieses Ätzschrittes zeigt Abbildung 94.

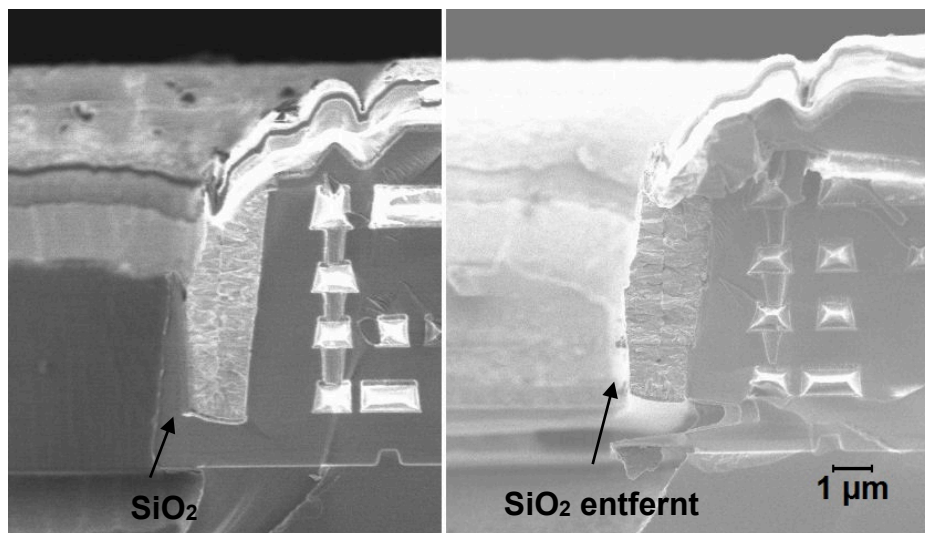


Abbildung 94: Oxidrestentfernung mit gasförmiger Flußsäure, links vorher - rechts nach 120 s HF

Am Ende der Prozessierung war ein Ablenkchip entstanden, dessen Elektronik sich auf einer dünnen Membran befand und der mit vergrabenen Elektroden die Ablenkung der Beamlets realisierte.

### 5.2.1 Zusammenbau des Chips zum Ablenksystem und Charakterisierung

Der Zusammenbau des fertigen Ablenkchips erfolgte analog zu dem eines SWAPS-Chips wie unter Kapitel 4.3 beschrieben. Da die Außengeometrie sowie Anzahl und Anordnung der Aperturen gleichgeblieben ist und auch die Anzahl der elektrischen Kontakte im Vergleich zum SWAPS-Chips nicht verändert wurde, konnten alle weiteren Einzelteile wie Aperturplatte und Basisplatte ohne Anpassungen übernommen werden. Der Zusammenbau der Einzelteile erfolgte allerdings aus messtechnischen Gründen (siehe Abschnitt 5.2.2) in einer veränderten Reihenfolge: Als erstes wurden Ablenkchip und Stecker auf der Basisplatte fixiert. Hierfür konnte das bereits in Kapitel 4.3 beschriebene Werkzeug ohne Anpassungen verwendet werden. Danach erfolgte das Drahtbonden des Chips auf die Anschlüsse des Steckers, so dass im Anschluss die elektrische Überprüfung des Ablenkchips ohne Aperturplatte erfolgen konnte. Erst wenn dieser elektrische Test bestanden war erfolgte die Justage und Fixierung der Aperturplatte auf dem Ablenkchip. Zum Einsetzen Basisplatte mit dem Chip und dem Stecker wurde dieses Assembly auf einem Wafer mit drei Zoll Durchmesser fixiert und so in die JuB 2104 eingesetzt. Abbildung 95 zeigt ein fertig zusammengesetztes APS mit einem Ablenkchip mit Wolframelektroden.

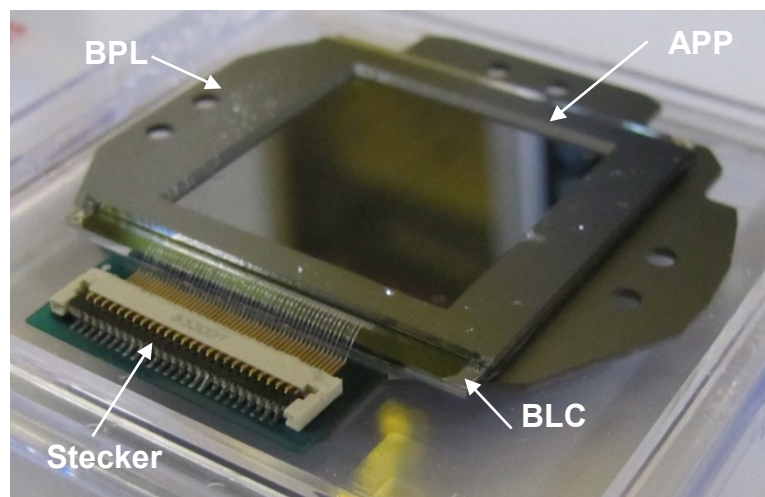


Abbildung 95: W-APS

Abschließend erfolgte eine finale elektrische Messung des Gesamtsystems, welche im folgenden Abschnitt 5.2.2 detaillierter beschrieben wird.



### 5.2.2 Elektrische Charakterisierung

Beim in Kapitel 4 beschriebenen SWAPS basierte die elektrische Charakterisierung auf der Widerstandsmessung zwischen den Ablenk-Elektroden und dem übrigen, auf Ground-Potential liegenden Silizium. Als Messgerät konnte in diesem Fall ein Nadelprober mit zwei Nadeln und einem Widerstandsmessgerät genutzt werden, um zu prüfen, ob die Elektroden ausreichend gegen das Massepotential isoliert waren. Diese simple Messung konnte aufgrund der CMOS-Elektronik an dem nun vorliegenden Ablenk-System mit vergrabenen Wolframelektroden nicht durchgeführt werden. Kurzschlüsse an den kritischen Bereichen zwischen den Ablenk-Elektroden und dem Ground-Potential ließen sich nicht direkt messen, da die einzelnen Elektroden nicht an die Anschlusspads geführt waren, sondern dazwischen eine komplexe CMOS-Schaltung die Steuerung übernahm. Somit war eine Messung mit Hilfe eines Probers und einer dafür angefertigten Messkarte notwendig. Diese Messvorrichtung ermöglichte dabei nicht nur die Messung der Stromaufnahme, sondern sie übernahm auch die notwendige Spannungsversorgung des Systems, ohne die generell keine Messung möglich war.

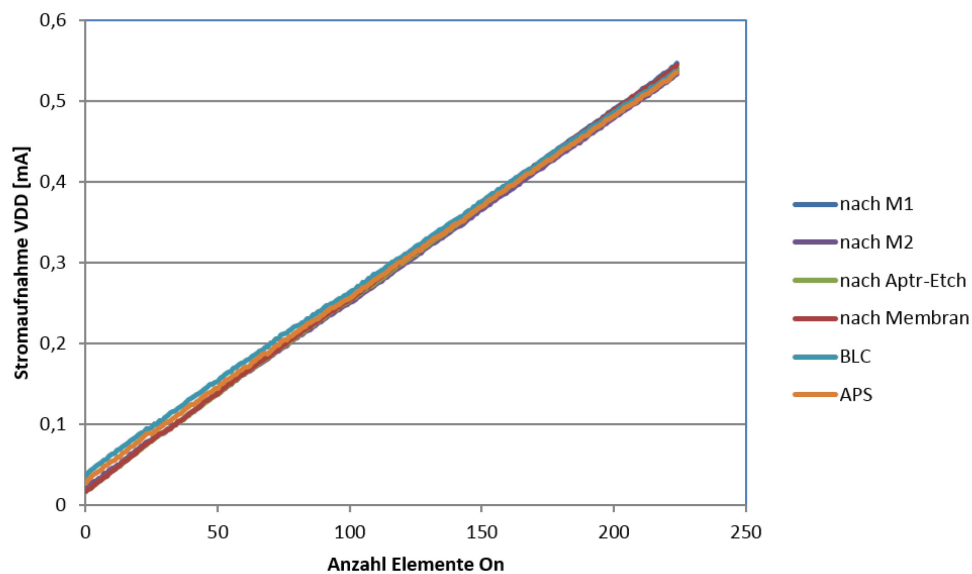
Die elektrische Charakterisierung erfolgte nach einem festen Ablaufplan, bei dem verschiedene Prüfungen und Tests durchgeführt wurden. Bei einem negativen Ergebnis wurde dem entsprechenden Chip eine Fehlerklasse zugeteilt, die Rückschlüsse auf den Ausfallgrund ermöglichte. Zunächst wurde anhand von in den Chip integrierten ESD-Schutzdioden überprüft, ob alle Anschlusspads kontaktiert waren. War diese Prüfung erfolgreich, das heißt, alle Pads des Chips hatten Kontakt zum Messsystem, so wurde zum nächsten Abschnitt der elektrischen Messung übergegangen. Im Anschluss wurde zunächst die CMOS-Funktionalität des Ablenkchips geprüft. Hierzu wurden Testdaten in den Speicher des Chips geladen und im Anschluss wieder ausgelesen. Waren die ausgelesenen Daten gleich denen, die in den Chip geschrieben wurden, galt dieser Funktionaltest als bestanden. Anschließend wurde ermittelt, wie hoch die Stromaufnahme des Chips ist, ohne dass Ablenk-Elektroden aktiviert waren. Um diesen Zustand sicherzustellen, wurden zuvor alle Elektroden aktiv ausgeschaltet. Lag die ermittelte Standby-Stromaufnahme innerhalb von festgelegten Toleranzen, so wurde im Anschluss die Stromaufnahme ermittelt, die im Betrieb auftrat. Ähnlich wie beim Funktionaltest wurden hierfür Testdaten in den Chip geladen. Dabei erhöhte sich der Strombedarf, so dass eine entsprechende Betriebsstromaufnahme gemessen werden konnte. Auch diese musste innerhalb eines bestimmten Bereichs liegen, damit diese Messung als erfolgreich

gewertet wurde. In einem zweiten Teil des Testablaufs wurde gezielt geprüft, ob innerhalb des Elektrodenfeldes unerwünschte Kurzschlüsse zwischen Ablenk-Elektroden und Ground-Anschlüssen bestanden. Für diese Messung wurden nach und nach einzelne Elektroden und später ganze Elektrodenzeilen angeschaltet und jeweils die Stromaufnahme des Chips gemessen. Im Idealfall ergab sich zwischen der Menge der angeschalteten Elektroden und der benötigten Stromstärke eine lineare Abhängigkeit, wobei die Stromaufnahme mit steigender Anzahl an aktiven Elektroden anstieg. Entsprechend der Messergebnisse wurden die getesteten Chips in folgende Fehlerklassen eingeteilt:

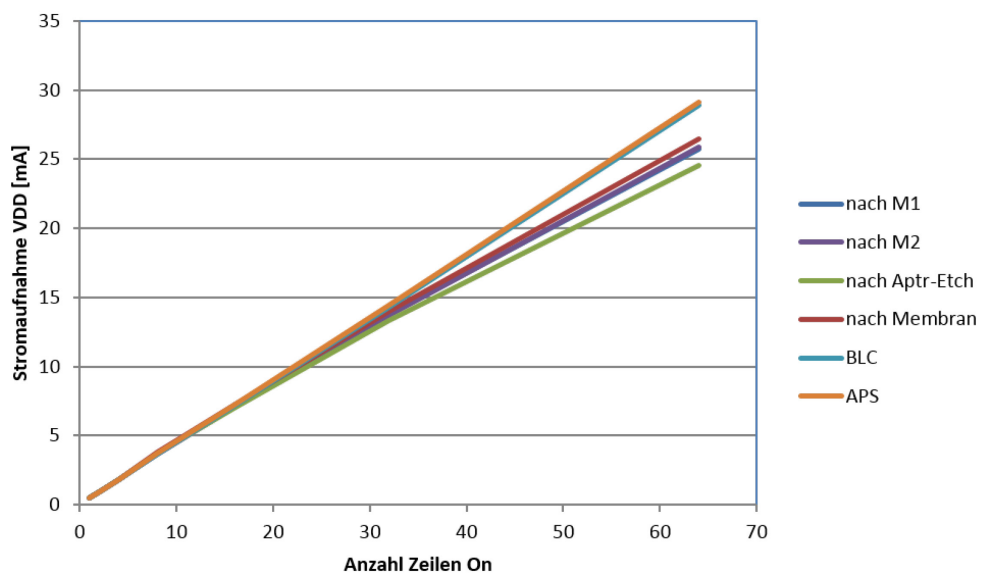
- Bin0: kein Fehler, alle Messwerte liegen innerhalb der vorgegebenen Limits und die CMOS-Elektronik arbeitet korrekt
- Bin1: kein Kontakt zum Anschlusspad hergestellt (nichtleitende Schichten auf den Anschlusspads oder unterbrochene Leiterbahnen)
- Bin2: Stromaufnahme für Spannung 3,3 V im Standby-Betrieb zu hoch (massive Kurzschlüsse im Bereich der Elektroden)
- Bin3: Stromaufnahme für Spannung 2,5 V im Standby-Betrieb zu hoch (Defekte CMOS-Elektronik)
- Bin4: Stromaufnahme für Spannung 3,3 V im Betrieb zu hoch, beim sequentiellen Einschalten der Ablenk-Elektroden erreicht die Stromaufnahme die Strombegrenzung von 300 mA (Kurzschlüsse im Bereich der Elektroden)
- Bin5: Stromaufnahme für Spannung 2,5 V im Betrieb zu hoch, beim Schalten der CMOS-Elektronik überschreitet die Stromaufnahme den Grenzwert von 5 mA (Defekte in CMOS-Elektronik)
- Bin10: CMOS-Elektronik nicht funktional, die an den Chip gesendeten Daten stimmen nicht mit denen, die ausgelesen werden nicht überein (einzelne Teile der CMOS-Elektronik nicht mehr funktional)

Das gesamte Messprogramm wurde nach verschiedenen kritischen Prozessschritten durchgeführt: Nach der Wolframabscheidung waren zunächst alle Elektroden und Anschlüsse kurzgeschlossen, da die elektrisch leitende Ti/TiN-Schicht auf der gesamten Waferoberfläche abgeschieden wurde. Erst mit der Strukturierung der ersten Metallschicht, also Schritt 5 des in Abbildung 79 dargestellten Prozessablaufs, wurden

diese Kurzschlüsse wieder getrennt und die Funktionalität der Ablenkchips konnte geprüft werden. Daher wurde nach diesem Schritt die erste Messung durchgeführt (in den folgenden Graphen bezeichnet mit „nach M1“), um zu erkennen, ob die Metallätzung erfolgreich war und die Elektrodenanschlüsse korrekt voneinander getrennt wurden. Nach der anschließenden Isolation und Strukturierung der zweiten Metallebene erfolgte die nächste elektrische Überprüfung („nach M2“), bei der vor allem kontrolliert wurde, ob die Isolierschicht defektfrei war oder ob diese beispielweise aufgrund kleiner Löcher (Pinholes) zu Kurzschlüssen zwischen den Ablenk-Elektroden und dem Massepotential führte. Die Ätzung der Aperturen war der nächste kritische Schritt, da bei der Ätzung ins Bulk-Silizium des Chips die Gefahr bestand, Transistoren der CMOS-Elektronik zu beschädigen. Somit erfolgte auch nach Schritt 9 des Prozess-Ablauf aus Abbildung 79 eine elektrische Messung („nach Aptr-Etch“). Nach der Membranherstellung war der Chip mechanisch sehr empfindlich, so dass die Elektronik des Chips möglicherweise auch durch eine zu starke Membranverspannung beschädigt werden konnte. Daher erfolgte eine letzte Messung vor dem Vereinzeln der Chips („nach Membran“) und nach Prozessschritt 11 des Prozessablaufs. Nach dem Sägen in Einzelchips konnten die Chips erst wieder getestet werden, wenn sie auf der Basis-Patte mit dem Stecker verbunden waren. Um auszuschließen, dass ein Chip durch die erhöhte mechanische Belastung während des Assembly-Prozesses zerstört wurde, erfolgte eine erste Prüfung, nachdem er auf der Basis-Plate fixiert wurde und die elektrische Verbindung zum Stecker über die Bondverbindungen hergestellt war („BLC“). Nachdem die Apertur-Platte das Ablenkssystem komplettierte, erfolgte die abschließende elektrische Messung des Gesamtsystems („APS“). Im Idealfall zeigten sich keine Fehler bei der Prüfung der CMOS-Elektronik und alle Messkurven sahen wie in Abbildung 96 und Abbildung 97 nahezu identisch aus.



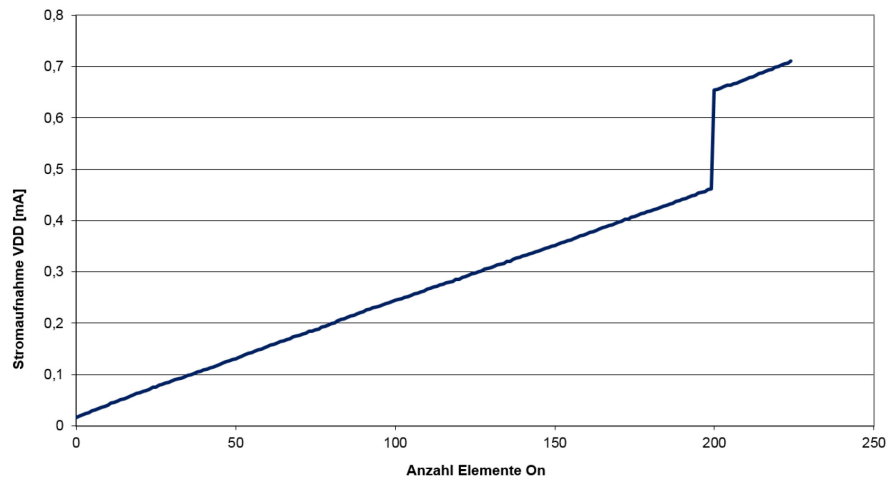
**Abbildung 96: Anschalten von einzelnen Zellen nacheinander, gleicher Chip nach verschiedenen Prozessschritten**



**Abbildung 97: Anschalten kompletter Zeilen nacheinander, gleicher Chip nach verschiedenen Prozessschritten; nicht perfekt linear aber insgesamt gut**

Sollten innerhalb des Aperturfeldes Kurzschlüsse zwischen den Elektroden entstanden sein, so waren diese schnell erkennbar, wenn die Messwerte in einem Diagramm dargestellt wurden. Waren Ablenk- und Ground-Elektroden gut voneinander isoliert, zeigte sich als Ergebnis Geraden gemäß Abbildung 96. Waren allerdings Sprünge in dieser Gerade zu finden, so deuteten diese darauf hin, dass zwischen einer oder mehreren Ablenk-Elektroden und dem Ground-Potential unerwünschte elektrische Kurzschlüsse

entstanden waren. Dadurch könnten parasitäre Ströme fließen, die die Stromaufnahme sprunghaft wie in Abbildung 98 gezeigt ansteigen ließen.



**Abbildung 98: Anschalten von einzelnen Zellen nacheinander, Sprung in Kurve durch Kurzschluss zwischen Ablenk-Elektrode und Ground-Potential**

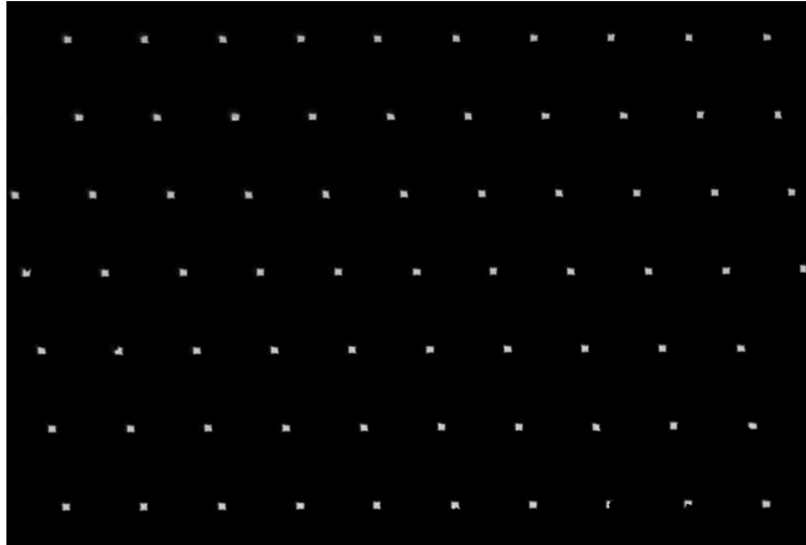
Durch die wiederholte elektrische Messung der prozessierten Wafer ließen sich Prozessprobleme wie zur kurze Ätzzeiten oder nicht intakte Isolationsschichten schnell und einfach erkennen. Zudem konnten mögliche Signaturen der Prozesse bestimmt werden, d.h., ob beispielsweise nach einem bestimmten Prozess immer die gleichen Ablenkchips oder Elektrodenbereiche defekt waren. Ein Vergleich der Anzahl an funktionalen und nicht funktionalen Ablenkchips nach den einzelnen Schritten deutete allerdings nicht auf eine bestimmte Signatur hin. Einzig auffällig war, dass die meisten Ausfälle direkt nach der Abscheidung des Wolframs entstanden, wobei kein spezielles Ausfallmuster erkennbar war. Ursache für diese Defekte war vor allem die sehr hohe Temperaturbelastung der Chips während dieses Prozesses. Die Temperatur lag dabei mit 475 °C am Limit der maximal erlaubten Temperatur. Im Abscheidetool konnte es allerdings lokal zu leicht höheren Temperaturen kommen, was eine Zerstörung der entsprechenden CMOS-Schaltung zur Folge hat. Abhilfe in Form eines Prozesses mit geringerer thermischer Belastung ist nur mit der Änderung der Gerätehardware und damit nicht ohne Beeinflussung anderer Prozesse möglich. Zudem konnte bei diesem Abscheidetool zu lokalen elektrischen Überschlüssen kommen, welche ebenso den entsprechenden Ablenkchip zerstörten. Im weiteren Verlauf der Waferbearbeitung kam es nur in wenigen Fällen zu weiteren defekten Chips. Die Verteilung der Defekte war dabei zufällig, so dass kein Prozess als besonders kritisch eingestuft werden musste.

### 5.2.3 Elektronenoptische Charakterisierung

Hatte das Ablenkssystem die elektrische Charakterisierung erfolgreich absolviert, konnte im Anschluss die elektronenoptische Überprüfung stattfinden. Zu diesem Zweck wurde das System in einen dafür erstellten Teststand eingebaut. In einer Hochvakuumumgebung wurde es mit einem Elektronenstrahl durchstrahlt und das Ergebnis anhand eines Szintillatorbildschirms aufgenommen und analysiert. Dem Teststand fehlte die Verkleinerungsoptik des Schreibtools, so dass alle Aperturen 1:1 auf dem Bildschirm abgebildet wurden. Dabei ließen sich verschiedene Eigenschaften der Ablenkeinheit prüfen. Ähnlich wie im realen Schreibsystem wurde das Ablenkssystem elektrisch kontaktiert, so dass spezielle Testdaten in den Chip geladen und die Funktion der Elektroden geprüft werden konnten. Unter anderem war es möglich, die Ablenkstärke in Form des Ablenkwinkels zu ermitteln oder die Qualität der Beamlets zu analysieren.

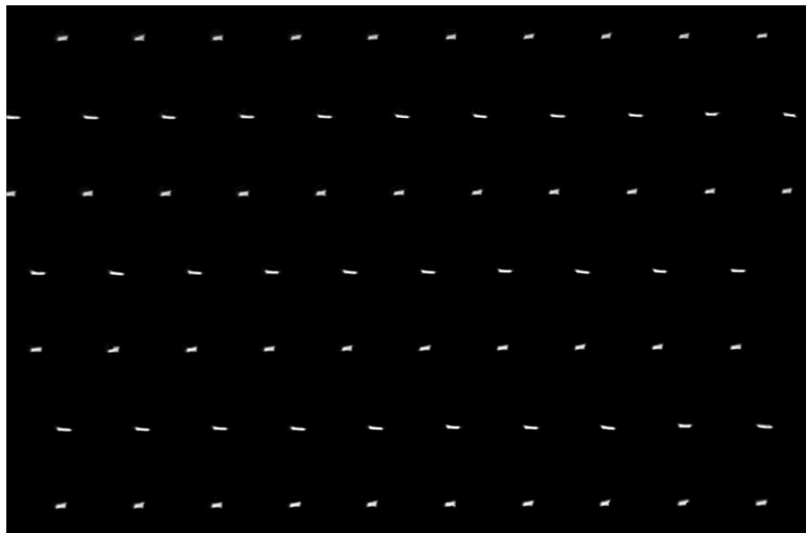
#### *Bestimmen der Funktionalität der Beamlets*

Zunächst konnte durch die Möglichkeit, das gesamte Aperturfeld automatisch abzuscannen, eine Karte erstellt werden, die zeigte, ob alle Aperturen geöffnet oder einige teilweise verschlossen waren. So war es einfach möglich, Problemstellen, beispielsweise Ecken des Aperturfeldes, zu identifizieren. Nach diesem Testschritt war bekannt, ob und wie viele Aperturen verschlossen waren und somit als Always-Closed Fehler eingestuft werden mussten. Einen Ausschnitt aus der erstellten Übersicht zeigt Abbildung 99. Es ist gut erkennbar, dass im Bildfeld alle Aperturen geöffnet waren und nahezu identisch erschienen. Lediglich am unteren rechten Bildrand waren Defekte in Form von Schatten im Loch sichtbar.



**Abbildung 99: Beamlets im Chip-Zentrum, Zustand „All Open“;**

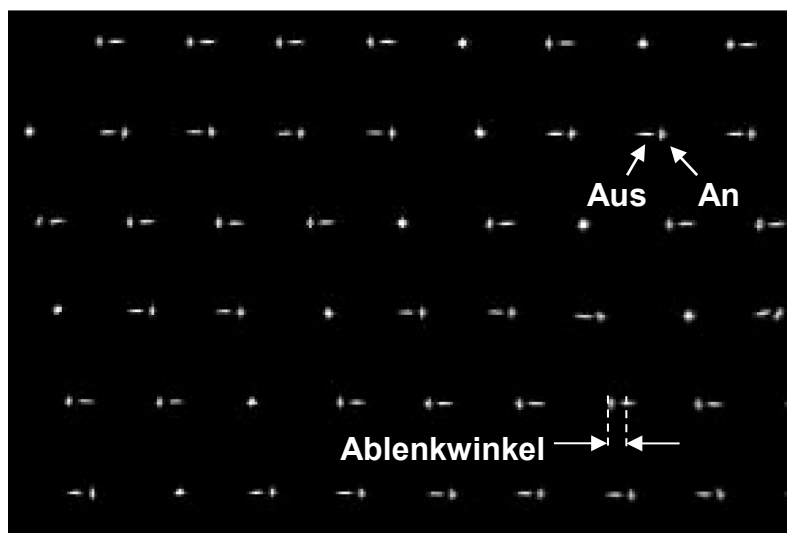
Durch den elektrischen Anschluss an den Teststand konnten die Beamlets ausgelenkt werden. Im realen System würden sie dann auf dem Substrat nicht mehr ankommen, im Teststand allerdings erschienen die Beamlets an einer anderen Stelle und in einer verzerrten Form auf dem Bildschirm. Auch in diesem Strahlzustand ließ sich eine Karte der Aperturen aufnehmen. Abbildung 100 zeigt die Beamlets aus Abbildung 99 im ausgelenkten Zustand.



**Abbildung 100: Beamlets im Chip-Zentrum, Zustand „All Closed“**

Durch die stark verzerrte Strahlform im ausgelenkten Zustand war es möglich, Beamlets zu identifizieren, die nicht ausgelenkt wurden. Diese wurden dann als Always-Open Fehler klassifiziert, da sie im Schreibsystem nicht abschaltbar wären.

Durch die Überlagerung der Bilder von ausgelenkten und nicht ausgelenkten Elektroden wie in Abbildung 101 konnten Ablenkwinkel und damit die Ablenkkraft des Systems bestimmt werden. Hierzu wurde der Abstand zwischen dem abgelenkten und dem nicht abgelenkten Strahl ermittelt. Aufgrund der deutlich unterschiedlichen Außengeometrien der Strahlzustände wurde hierzu der Strahlschwerpunkt des jeweiligen Zustands bestimmt und der Abstand zwischen diesen Punkten gemessen. Zusammen mit den geometrischen Bedingungen im Testsystem, also dem Abstand zwischen Ablenksystem und dem Bildschirm, ließen sich mit diesem Wert der maximale Ablenkwinkel und damit auch die Ablenkstärke des Systems berechnen.



**Abbildung 101:** Überlagerung „All Open“ und „All Closed“ zur Ermittlung des Ablenkwinkels; zur Orientierung sind einige Aperturen immer im Zustand „Open“

Anhand von Aufnahmen wie in Abbildung 101 wurde die Ablenkkraft an vielen Aperturen des Chips in Form des möglichen Ablenkwinkels gemessen. Die Ergebnisse konnten im Anschluss grafisch wie in der folgenden Abbildung dargestellt und die mittlere Ablenkstärke des Systems errechnet werden.



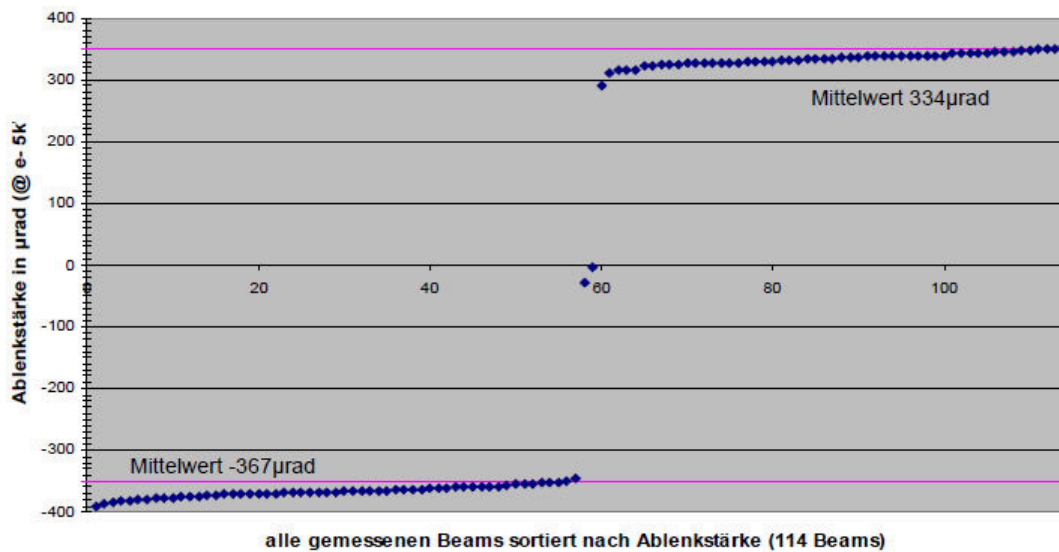


Abbildung 102: Grafische Darstellung der Ablenkwinkel eines APS [79]

Im Mittel wurde ein Ablenkwinkel von etwa 350  $\mu\text{rad}$  erreicht. Dieser Wert lag zumindest in der Größenordnung des geforderten Sollwerts von 500  $\mu\text{rad}$ , erreichte diesen aber nicht. Allerdings wurde verifiziert, dass die Ablenkung mit den vergrabenen Elektroden funktionierte. Unter der Annahme, dass zwischen dem Ablenkwinkel und der Elektrodenhöhe in erster Näherung ein linearer Zusammenhang angenommen werden konnte, entspricht der ermittelte Ablenkwinkel in etwa dem, was in der Simulation aus Abschnitt 4.1 ermittelt wurde: Die Elektrodenhöhe betrug nur etwa 20 % der simulierten Höhe, somit waren auch die Ablenkwinkel um etwa 80 % verringert. Gemäß Tabelle 4 müssten diese kleineren Ablenkwinkel im Fall der idealen Ausrichtung aller Einzelplatten zwischen 100  $\mu\text{rad}$  und 370  $\mu\text{rad}$  liegen, bei Fehlausrichtung der Teile etwas darunter. Diese theoretischen Werte passten sehr gut zu den real ermittelten Werten, die zwar etwas unter denen der Abschätzung lagen, bei denen aber auch von einem leichten Ausrichtungsfehler ausgegangen werden konnte.

### *Analyse der Qualität der Beamlets und Charging*

Im Teststand ließen sich auch gezielt bestimmte Bereiche des Aperturfelds ansteuern, um exemplarisch einzelne Aperturen oder Aperturbereiche bezüglich ihrer Katenqualität zu analysieren. Die Öffnungen in der formgebenden Aperturplatte waren quadratisch ausgeführt. Im Idealfall sollte diese Form ohne Störungen oder Verzerrungen auch auf dem Analysebildschirm wiedergegeben werden. Allerdings konnten die Beamlets kissenförmig erscheinen oder teilweise abgeschottet sein. Diese Abweichungen vom idealen Zustand zeigten Probleme durch Charging oder Verunreinigungen. Je nach

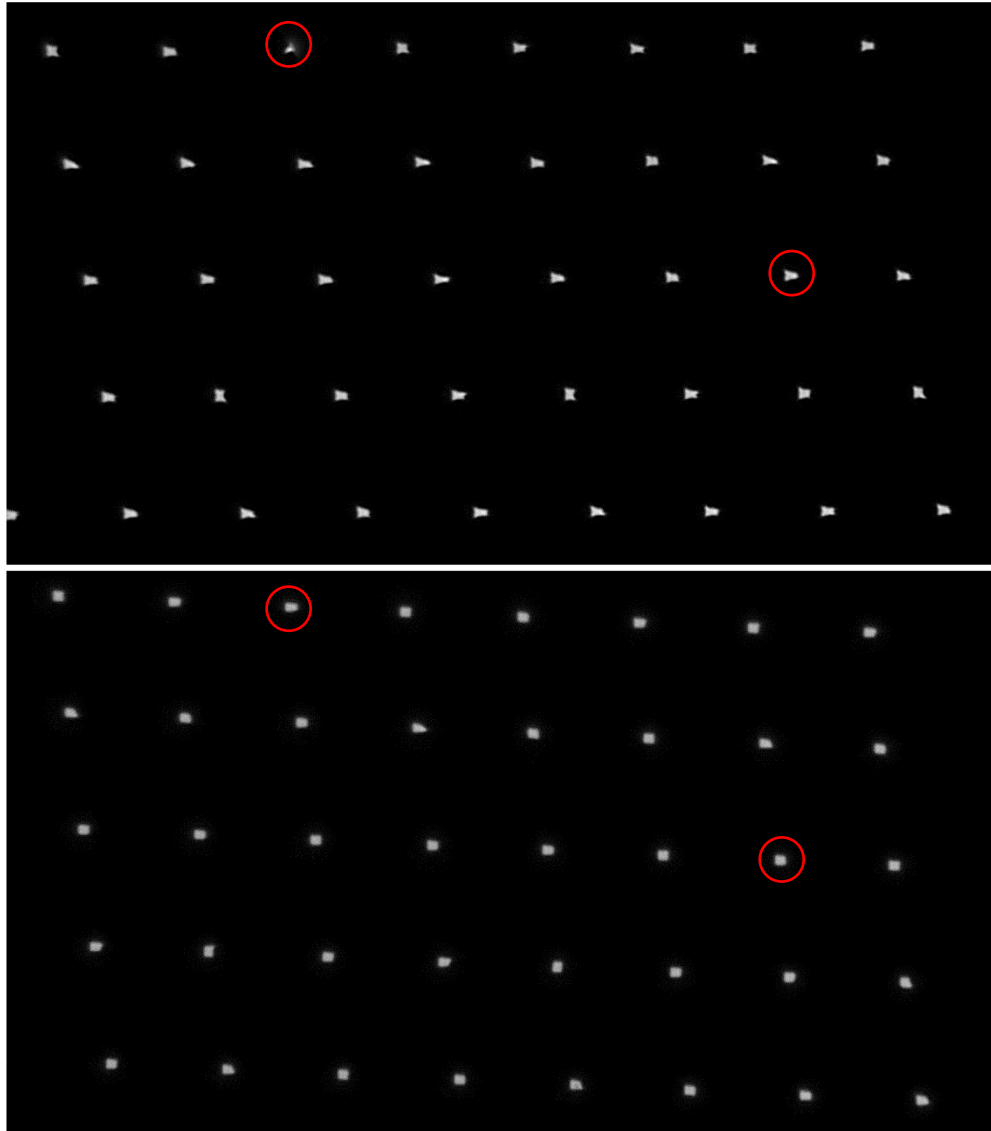
Ursache konnte durch eine nachträgliche Optimierung eine deutliche Verbesserung erreicht werden. Abschattungen beispielsweise durch Partikel oder andere Rückstände konnten jedoch nicht mehr korrigiert werden, da eine Reinigung des zusammengesetzten Ablenksystems nicht mehr möglich war. Von Partikeln oder ähnlichen Fehlern betroffene Aperturen mussten daher ähnlich wie Always-Open und Always-Closed Fehler als defekt eingestuft werden.

### ***Charging-Verbesserung durch Sputtern der Rückseite***

Im Teststand als verzerrt dargestellte Aperturen des Ablenksystems konnten durchaus geometrisch in Ordnung sein. Ihre fehlerhafte Abbildung wurde in diesem Fall durch sehr dünne isolierende Schichten tief in der Apertur hervorgerufen, die sich elektrisch aufladen und dadurch die Strahlgeometrie durch elektrostatische Effekte verzerrten. Dieser unerwünschte Effekt wird als Charging bezeichnet und musste minimiert werden. Die sich aufladenden Schichten konnten dabei wenige Nanometer dünn sein. Ihre elektrische Aufladung konnte durch das Abdecken mit einer dünnen aber elektrisch leitfähigen Schicht aus Metall oder einer Metalllegierung vermieden werden, da auf diese Weise parasitäre Ladungen abgeleitet werden und die Aufladungseffekte verringert werden konnten.

In einem Sputtertool mit einem Platin-Palladium-Target ließ sich eine solche Metallschicht dünn abscheiden. Das Ablenksystem wurde so in das Gerät eingebaut, dass das Material auf die Rückseite des Ablenkchips abgeschieden wurde. Dadurch entstand eine elektrische leitende Verbindung mit dem Massepotential des Systems, wodurch die unerwünschten Ladungen abgeführt werden konnten. Das Ablenksystem wurde in dem Sputtergerät leicht schräg eingebaut, so dass das Metall tiefer in die Aperturen und damit teilweise auch auf deren Seitenwände gelangen konnte. So wurden isolierende Schichten auch auf den Lochwänden bedeckt und konnten nicht mehr zum unerwünschten Charging führen. Die Schicht wurde in vier Schritten abgeschieden, wobei sie pro Schritt etwa 60 nm Platin-Palladium wuchs. Nach jedem Schritt wurde das System um 90 ° gedreht, um sicher die vier Seitenwände der Aperturen zu beschichten. Somit entstand nach vier Sputterruns eine etwa 240 nm dicke Schicht auf der Rückseite des Ablenksystems und eine etwa 60 nm dicke Schicht auf jeder Seitenwand der Aperturen. Diese Dicken waren ausreichend, um das Charging deutlich zu verringern und damit die Aperturqualität stark zu verbessern.

Abbildung 103 zeigt exemplarisch die Verbesserung der Aperturqualität vor und nach insgesamt vier Sputtervorgängen. Anhand der markierten Aperturen wird dies besonders deutlich.



**Abbildung 103: vor (oben) und nach (unten) 4x Sputtern, jeweils gleiche Ecke; bei den markierten Aperturen wird die Verbesserung durch die Sputterprozesse besonders deutlich**

Zwischen den Sputterruns wurde das System jedes Mal elektrisch geprüft, um sicherzugehen, dass die durch den Prozess abgeschiedene Metallschicht keine Kurzschlüsse zwischen den Ablenk-Elektroden und Ground-Potential verursachte. Diese Messungen zeigten allerdings keine Veränderungen in den elektrischen Eigenschaften, somit war auch nicht von Kurzschlüssen im Aperturfeld auszugehen.

### ***Bestimmen von Cross-Talk Effekten***

Zum Abschalten eines Beamlets wurde wie bereits in Abschnitt 3.2.2 erläutert eine elektrische Spannung an die entsprechende Ablenk-Elektrode angelegt. Durch das resultierende elektrostatische Feld und die damit entstehenden Kräfte wurde eine Auslenkung des Beamlets erreicht.

Allerdings kommt es wie in Abschnitt 4.1 beschrieben beim Ausbilden des elektrischen Feldes auch zur Bildung von parasitären Feldern außerhalb des Plattenkondensators. Zur Minimierung dieses Problems wurde zum Einen die Masse-Elektrode U-förmig ausgeführt und zum Anderen die zweite Metallebene eingefügt. Diese zweite Metallebene über dem gesamten Ablenkchip wurde mit Hilfe entsprechender Via-Kontakte auf ein definiertes Potential, in diesem Fall das Ground-Potential 0 V, gelegt. Nur um die Apertur-Öffnungen und zwischen den Anschlusspads erfolgte die Öffnung dieser Schicht. Sie bildete so eine große Ground-Elektrode, die das elektrische Feld auf das innere der Ablenkzelle begrenzte. Durch den Anschluss an das Massepotential des Chips konnte sie auch genutzt werden, um Ladungen von der Chipvorderseite abzuleiten und so zur Chargingminimierung beitragen.

Die Wirksamkeit beider Maßnahmen wurde anhand von speziellen Untersuchungen überprüft. Zur Bestimmung der Stärke des Cross-Talks wurden einzelne Beamlets in unterschiedlichen Situationen und in mehreren Bereichen des Chips untersucht. So wurde beispielsweise ein Beamlet nicht ausgelenkt, während alle umliegenden Ablenk-Elektroden aktiviert wurden. Anschließend konnte die Auslenkung des Beamlets von seiner Ruhelage bestimmt werden, wobei diese Messung sowohl in x- als auch in y-Richtung erfolgte. Abbildung 104 zeigt exemplarisch die Untersuchung und die Ergebnisse für das Cross-Talk Verhalten eines Beamlets.

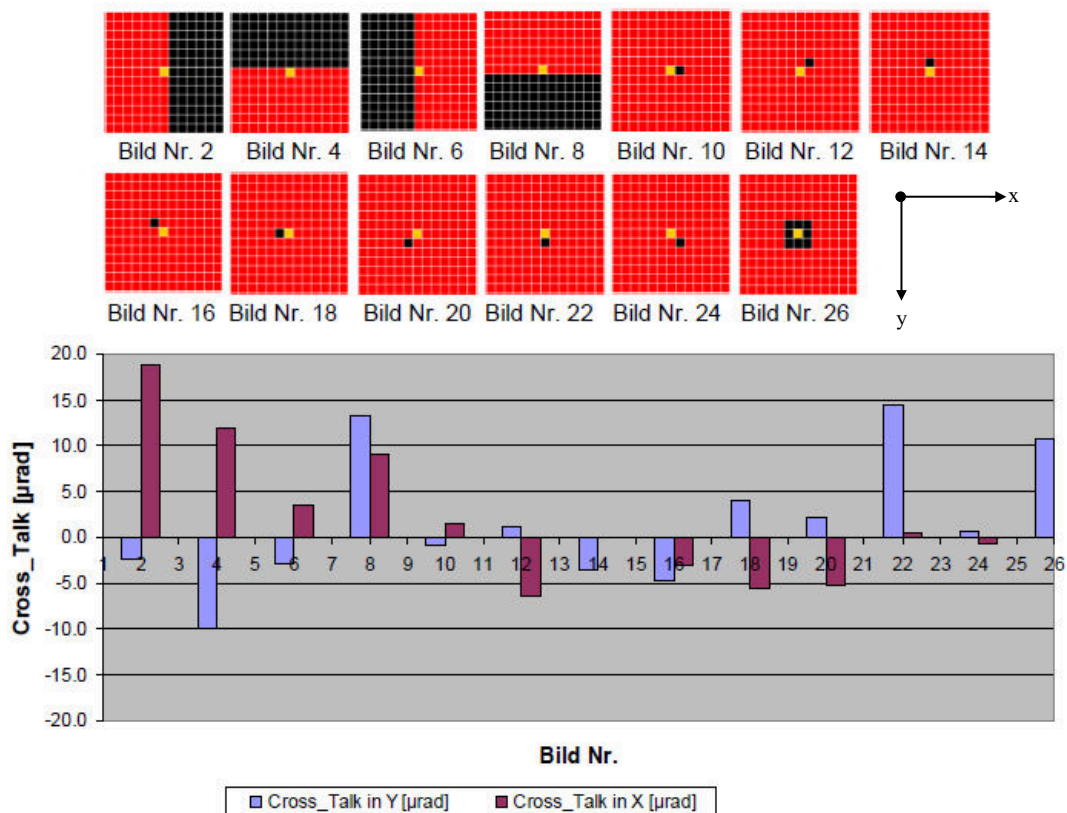


Abbildung 104: Ergebnis Cross-Talk; gelb – untersuchtes Beamlet, schwarz – ungeblancte Beamlets, rot – geblancte Beamlets [79]

Für den Cross-Talk galt ein Limit von  $5 \mu\text{rad}$  pro Richtung. Aus Abbildung 104 wird deutlich, dass in der Mehrzahl der untersuchten Fälle die Grenze von  $5 \mu\text{rad}$  eingehalten werden konnte. Vor allem beim Aktivieren vieler Ablenk-Elektroden rund um das analysierte Beamlet war der Cross-Talk allerdings deutlich zu hoch. Eine mögliche Ursache hierfür war eine Unterbrechung der Abschirmschicht, die durch die nachfolgenden Prozessschritte verursacht wurde. Durch Anpassungen Schichtdicke oder des Designs der Strukturierungsebenen ließe sich der Cross-Talk allerdings weiter minimieren.

#### 5.2.4 Schreibergebnisse

Die Qualität der Beamlets hinsichtlich Charging wäre bereits ausreichend, um sie zum Direktschreiben in einem entsprechenden Multielektronenstrahlssystem einsetzen zu können. Auch die Cross-Talk Messungen zeigten, dass mit nach einiger Optimierung die geforderten Limits erreicht und eingehalten werden könnten. Allerdings wurde nicht die nötige Ablenkstärke von mindestens  $500 \mu\text{rad}$  erreicht, so dass reale Belichtungsversuche ähnlich wie beim SWAPS nicht durchgeführt werden konnten. Zudem war der Einbau

einer Ablenkeinheit in das Gesamtsystem mit erheblichem Aufwand verbunden, so dass auch eine experimentelle Belichtung mit Hilfe dieses Systems nicht durchführbar war. Allerdings waren bereits die Ergebnisse des Teststands vielversprechend und zeigten das Potential dieser vergrabenen Variante der Ablenk-Elektroden.

### **5.3 Herstellung von Elektroden mit 30 $\mu$ m-Höhe**

In Kapitel 5.2 wurde gezeigt, dass das Konzept der vergrabenen Elektrode funktioniert, für die Verwendung als Ablenkeinheit die Elektrodenhöhe von nur 6  $\mu$ m jedoch nicht ausreichend ist. In Abschnitt 4.1 wurde dargestellt, dass hierfür eine Elektrodenhöhe von mindestens 30  $\mu$ m erforderlich war.

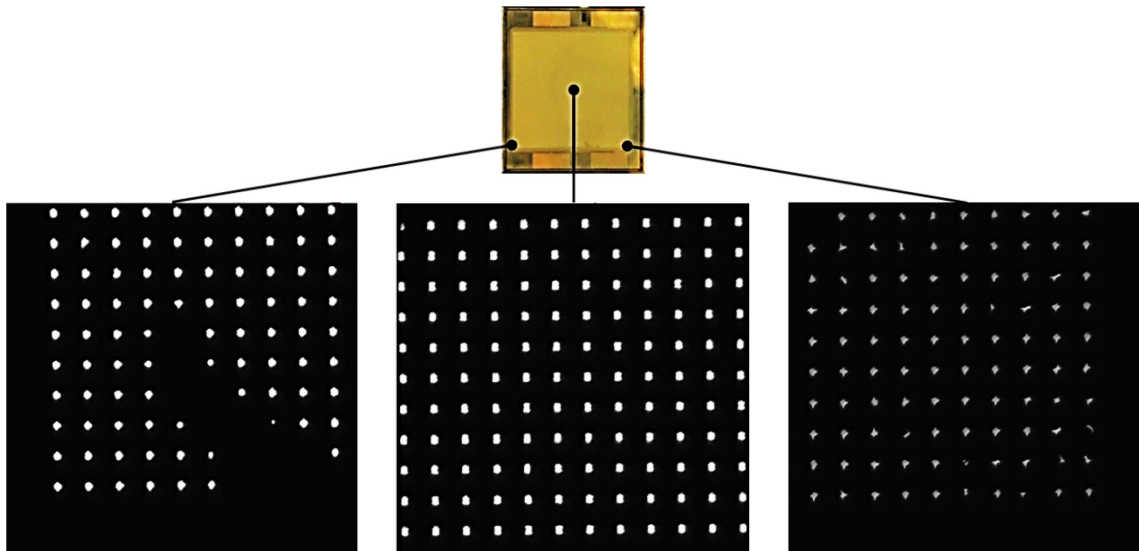
Um diese zu erreichen, waren zusätzliche Prozessschritte erforderlich, was den in Abbildung 79 skizzierten Prozess-Ablauf komplexer werden ließ. Zudem erfolgte im Zuge der Prozessentwicklung für diese größeren Elektroden ein Wechsel des Chipdesigns auf Ablenkchips mit 262.144 schaltbaren Beamlets. Da der Prozessablauf für die flachere Wolframelektrode auf Chips entwickelt wurde, die lediglich 43.008 Aperturen zum Schreiben nutzen konnten, erfolgte zunächst der Transfer dieses Prozess-Ablaufs auf das neue Chipdesign. So konnte gezeigt werden, dass die Nutzung der vergrabenen Elektroden auch auf dem größeren Chip funktionierte. Im Anschluss erfolgte die Weiterentwicklung dieses Gesamtprozesses auf die Herstellung einer vergrabenen Wolframelektrode mit einer Höhe von 30  $\mu$ m.

#### **5.3.1 Prozesstransfer von 43.008 auf 262.144 Ablenzellen**

Um den Prozess auf das neue Design mit deutlich mehr Ablenkeinheiten zu übertragen wurden zunächst neue Maskensätze gefertigt. Während der Bearbeitung der Wafer erfolgte anhand von elektrischen Messungen und mit Hilfe von Mikroskopen eine regelmäßige Zustandskontrolle der Chips analog zur Beschreibung in Abschnitt 5.2. Die eigentliche Ablenzelle wurde in ihren Dimensionen nicht verändert, so dass auch das Design der Wolframelektroden und der elektrischen Anschlüsse nahezu unverändert von den Chips mit 43.008 Ablenzellen übernommen werden konnte. Am Prozessablauf, wie er in Abbildung 79 dargestellt ist, mussten keine Änderungen vorgenommen werden. Die verschiedenen Ätz- und Abscheideprozesse mussten für die größeren Chips hinsichtlich ihrer Parameter nicht angepasst werden, lediglich die Prozesszeiten mussten teilweise

aufgrund leicht gesunkener Ätzraten verlängert werden. Die geringeren Ätzraten resultieren aus der größeren offenen Fläche, die sich aufgrund der erhöhten Anzahl an Ablenkzellen ergibt.

Als problematisch erwies sich die Verteilung der Aperturen auf die komplette Membranfläche. Bei den in Kapitel 5.2 beschriebenen Chips belegten die Ablenkzellen lediglich eine Fläche von etwa  $5\text{ mm} \times 6\text{ mm}$  im Zentrum der Membran von  $20\text{ mm} \times 20\text{ mm}$ . Bei den nun verwendeten Ablenkchips belegten die Ablenkzellen eine Fläche von etwa  $16,5\text{ mm} \times 16,5\text{ mm}$  und damit einen deutlich größeren Anteil der Membranfläche. Die Membran wurde allerdings nicht auf ihrer gesamten Fläche homogen geätzt: Im Zentrum war die Ätzrate im Vergleich zu den Randbereichen höher. Damit sind die Aperturen im Zentrum bereits freigelegt, während die Aperturen am Rand noch nicht sichtbar sind. Durch längere Ätzzeiten ließen sich alle Aperturen freilegen, jedoch bestand die Gefahr, dass die Ablenkzellen bereits geöffneter Aperturen durch die Überätzung zerstört werden. Daher wurde die Ätzung beim Sichtbarwerden der Zentrumsaperturen gestoppt, um zumindest mit diesen Ablenkzellen elektronenoptische Untersuchungen durchführen zu können. Die Aperturöffnungen im äußeren Bereich des Feldes waren zu diesem Zeitpunkt nur teilweise oder gar nicht geöffnet. Das Problem wird durch die folgende Abbildung 105 verdeutlicht.

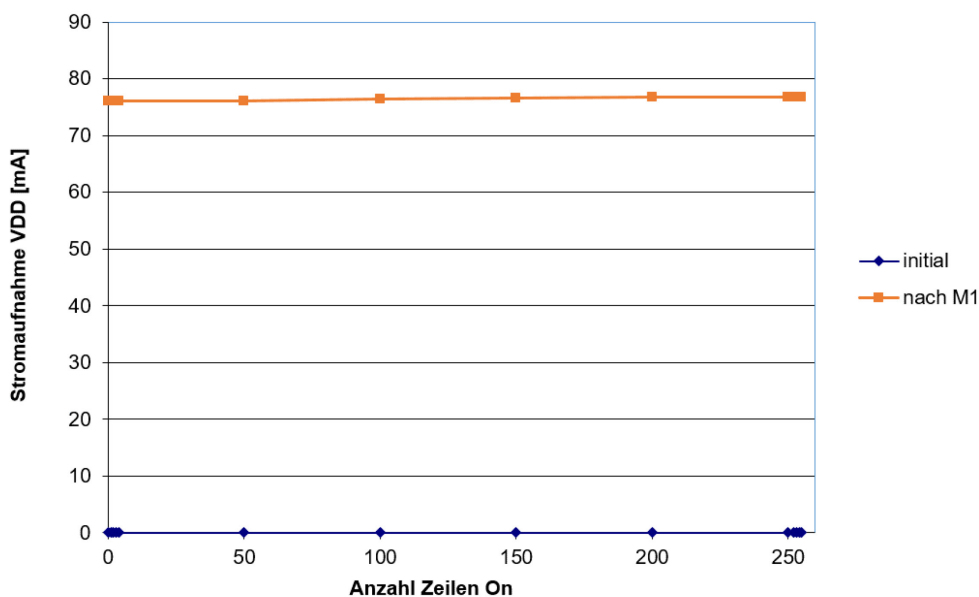


**Abbildung 105:** Transmission des Elektronenstrahls durch Ablenkchip - es wird deutlich, dass im Vergleich zum Zentrum (unten Mitte) in den Ecken bzw. Randbereichen die Aperturen nicht (unten links) oder nur teilweise (unten rechts) geöffnet sind

Im Zentrum erscheinen alle Aperturen deutlich im Transmissionssbild des Elektronenstrahls, in den Ecken jedoch ist die Abbildung nur schlecht zu sehen oder der Strahl kann

die Apertur gar nicht durchdringen. Da für diesen Prozesstransfer nur sehr wenige Wafer zur Verfügung standen, konnte an dieser Stelle keine Optimierung des Membranätzprozesses erfolgen.

Die bereits erläuterten elektrischen Messungen zeigten, dass die Prozessabfolge auch diese Ablenkchips nicht zerstörte. Es zeigte sich allerdings eine erhöhte Stromaufnahme der Chips bereits nach der Strukturierung der ersten Metallebene (Schritt 5 gemäß Abbildung 79). Zunächst wurden ungeeignete Prozessbedingungen wie zu hohe thermische Belastungen als Ursache vermutet. Durch Experimente an Testsubstraten konnte als Fehlerquelle allerdings ein Designfehler in der ersten Metallebene gefunden werden. Abbildung 106 zeigt das Ergebnis einer entsprechenden elektrischen Messung, bei der die Stromaufnahme nach Anschluss der Wolframelektroden an die CMOS-Elektronik vier Größenordnungen ansteigt.



**Abbildung 106: Anschalten von kompletter Zeilen nacheinander; initiale Eingangsmessung vs. Messung nach erster Metallebene mit fehlerhaftem Design**

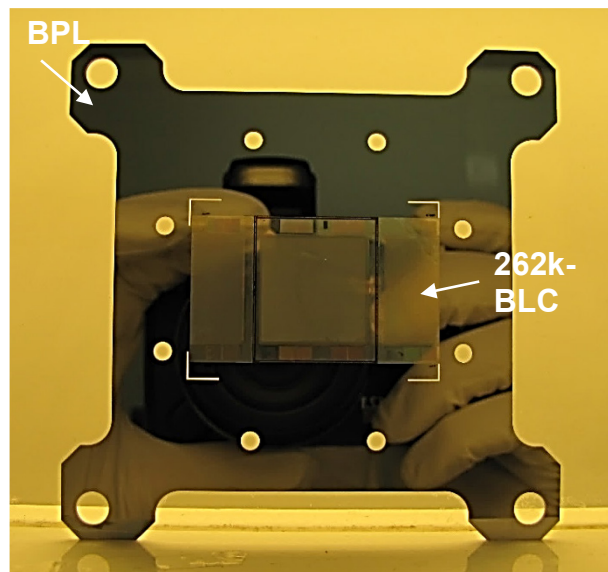
Durch Anpassung der Messgrenzen konnte aber gezeigt werden, dass die Chips trotz dieses Fehlers funktional waren und bis auf den massiven Offset das erwartete Verhalten zeigen, also eine ansteigende Stromaufnahme mit steigender Anzahl an aktivierten Ablenk-Elektroden. Die Ergebnisse der elektrischen Messungen wurden auch in den nachfolgenden Prozessschritten nicht mehr verändert, so dass trotz der zu hohen Stromauf-



nahme Chips zu Ablenkssystemen für Experimente im Teststand zusammengesetzt wurden. Für Schreibversuche waren diese Systeme aber nicht geeignet, da einerseits die zu erwartende Wärmeentwicklung aufgrund des hohen Stromverbrauchs zu stark wäre und andererseits aufgrund der geringen Elektrodenhöhe die notwendigen Ablenkwinkel nicht erreichbar sein würden.

Der genannte Designfehler konnte durch entsprechende Änderungen korrigiert werden. Diese Korrektur wurde aber erst im nächsten Schritt der Prozessentwicklung in Abschnitt 5.3.2 angewendet, nachdem sie auf Testwafern geprüft wurde.

Der Aufbau zum Ablenkssystem war im Vergleich zu den vorherigen Chips mit weniger Aufwand verbunden: Das Design der Basisplatte wurde stark verändert, wie Abbildung 107 zeigt. Auf dieser musste lediglich der Ablenkchip an einer definierten Position mit Kleber fixiert werden.



**Abbildung 107: 262k-BLC fixiert auf BPL**

Die Basisplatte mit dem Chip konnte anschließend in einen speziellen Halterahmen mit einem eigens für die neuen Ablenkchips gefertigten PCB geschraubt werden. Dieses Board ersetzte den Stecker und ermöglichte damit den Anschluss des Ablenksystems an die Schreiberelektronik. Die Verbindung zwischen Ablenkchip und PCB erfolgte wie zuvor durch Drahtbondverbindungen. Die Anzahl der Bondverbindungen stieg auf 256 Drähte, welche um das gesamte Aperturfeld verteilt waren. Ein fertig zusammengesetztes System zeigt die folgende Abbildung 108.

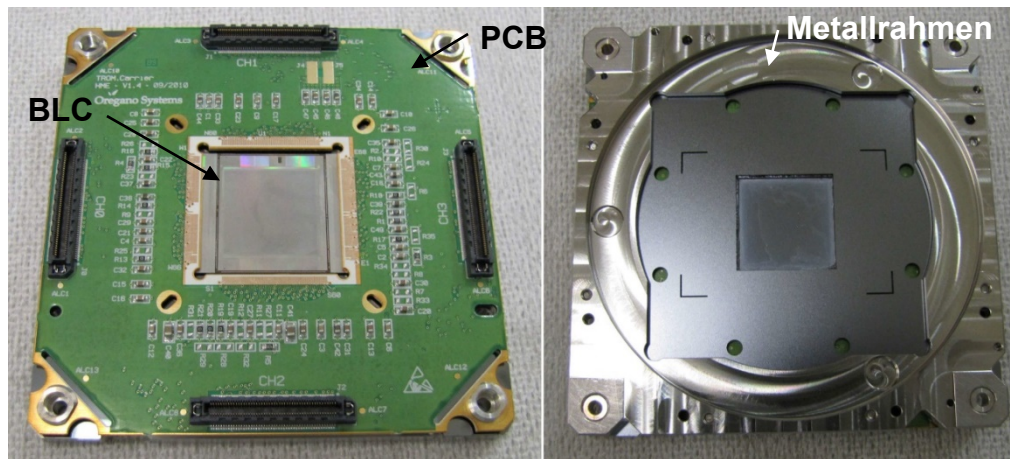


Abbildung 108: 262k APS (links Vorderseite, rechts Rückseite)

Die strahlformende Aperturplatte wird in diesem System nicht mehr direkt auf dem Ablenkchip fixiert sondern getrennt von diesem in das Schreibtool eingebaut und hier exakt zum Ablenksystem ausgerichtet. So wurde es möglich, die Aperturplatte einzeln von Zeit zu Zeit auszutauschen und gegebenenfalls zu reinigen.

Die elektrische Messung eines einzelnen Ablenkchips bzw. des Ablenksystems erfolgte bei diesen Systemen mit 262.144 Aperturen im Rahmen der elektronenoptischen Untersuchung und zeigte keine Auffälligkeiten. Die elektronenoptische Analyse erfolgte ähnlich wie bei den früheren Systemen mit Hilfe des Teststandes. Während der Tests erfolgte ebenso wie zuvor das Besputtern der Rückseite mit Platin-Palladium in mehreren Schritten um das Aufladungsverhalten zu verbessern. Abbildung 109 zeigt das Ergebnis dieser Untersuchungen.

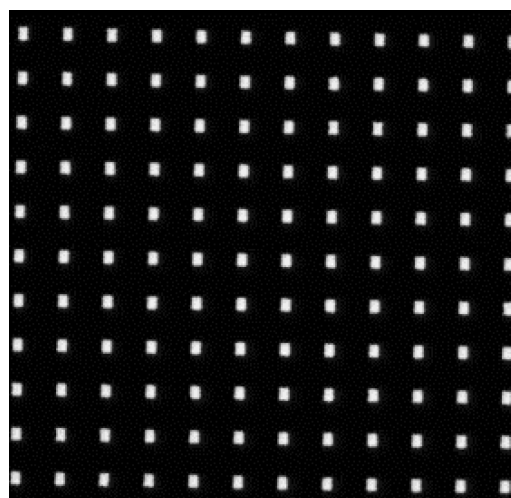
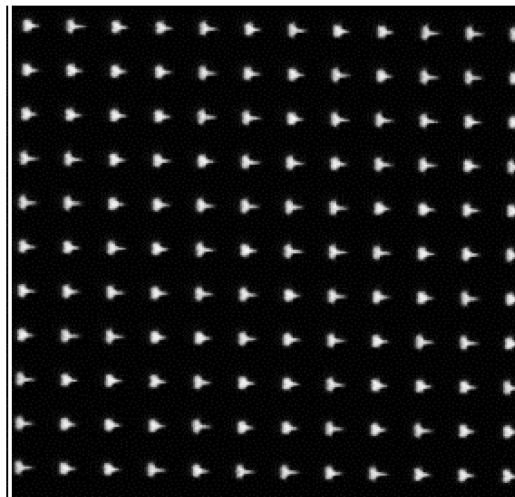


Abbildung 109: Teststandergebnis - Aperturqualität nach Besputtern der Chiprückseite sehr gut

Die Qualität der Aperturen ist nach mehreren Sputtergängen ähnlich den Systemen mit nur 43.008 Beamlets, das Charging konnte beinahe komplett eliminiert werden.

Der Test zur Bestimmung des Ablenkwinkels wurde mit dem Übergang auf den Chip mit 262.144 Einzelstrahlen verändert: Statt zwei getrennte Bilder aufzunehmen und anschließend zu überlagern wurden nun die Zustände „An“ und „Aus“ durch hochfrequentes Umschalten (Toggling) in einem Bild dargestellt. Die so ermittelten Ablenkwinkel waren tendenziell etwas kleiner als die durch das Ausmessen der Intensitätsschwerpunkte nach der Überlagerung der Einzelzustände, dafür aber realitätsgetreuer [80]. Abbildung 110 zeigt das durch den Toggling-Modus entstehende Bild im Teststand.



**Abbildung 110: Teststandergebnis - Toggling-Modus zeigt, dass Ablenkung funktioniert**

So konnte gezeigt werden, dass auch bei diesen Chips eine Ablenkung des Strahls möglich ist, wenn auch wie erwartet mit zu geringem Ablenkwinkel.

Der Prozesstransfer von Chips mit 43.008 auf solche mit 262.144 Ablenkzellen wurde abschließend trotz der hohen Stromaufnahme und der inhomogenen Membranätzung als erfolgreich gewertet. Durch eine Korrektur im Design der ersten Metallebene wurde die Stromaufnahme bei Testsubstraten gesenkt und dieser Fehler war somit bereits behoben. Die Membranätzung sollte im Rahmen der Entwicklung der 30  $\mu\text{m}$  hohen Wolframelektroden verbessert werden.

### **5.3.2 Gesamtprozess 30 $\mu\text{m}$ tiefe Wolframelektrode**

Abbildung 111 zeigt den im Rahmen dieser Arbeit entwickelten Prozessablauf zur Herstellung von 30  $\mu\text{m}$  tiefen vergrabenen Wolframelektroden.

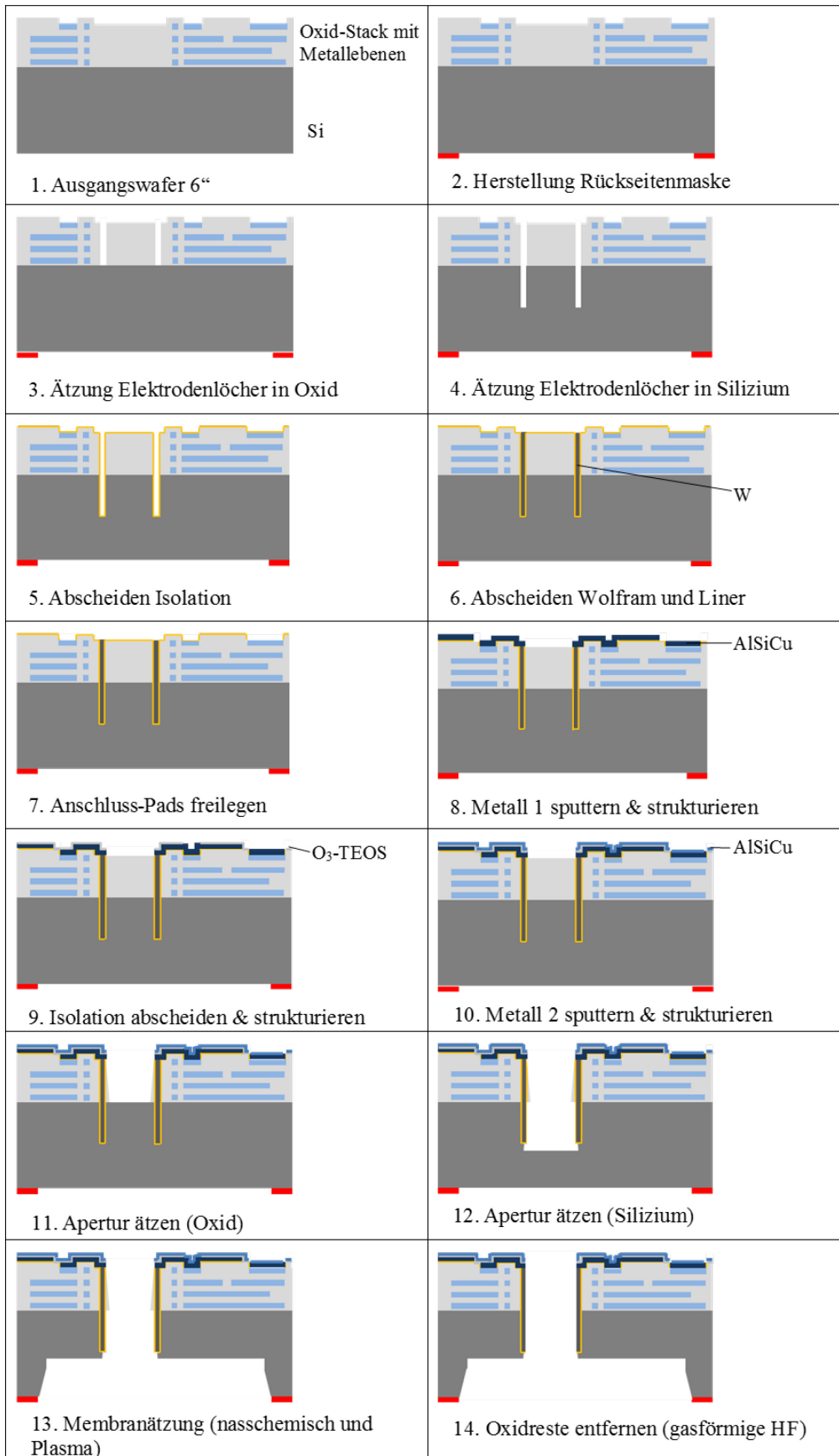


Abbildung 111: Prozess-Ablauf für 30 µm tiefe Elektrode

Der Prozess-Ablauf startete auch bei der 30  $\mu\text{m}$  tiefen Wolframelektrode mit dem Verkleinern der Foundry-Wafer auf sechs Zoll Durchmesser, gefolgt von einer Reinigung und der Definition der Membranen auf der Waferrückseite. Die Vorderseitenprozessierung war allerdings aufwändiger als bei der flachen Elektrode. Zur Herstellung von 30  $\mu\text{m}$  tiefen vergrabenen Wolframelektroden mussten zunächst entsprechend tiefe Gräben in die Ablenkchips geätzt werden, die im Anschluss mit Wolfram gefüllt werden konnten. Bisher erfolgte die Ätzung lediglich rund 6  $\mu\text{m}$  tief in die Oxidschichten der CMOS-Elektronik. Für den neuen Gesamtprozess mussten diese Oxidschichten in Schritt 3 des Prozess-Ablaufs in Abbildung 111 komplett bis auf das Bulk-Silizium geätzt werden. Hierzu wurde der in Tabelle 5 gezeigte Oxidätzprozess geringfügig verändert und die Gesamtätzzeit verlängert, so dass die Ätzung insgesamt 1400 s dauerte und der Graben im Oxid etwa 7  $\mu\text{m}$  tief war. Um die Zieltiefe von 7  $\mu\text{m}$  zu erreichen wurde dieser Prozess also fünfmal für jeweils 280 s gestartet und die Wafer dazwischen abgekühlt.

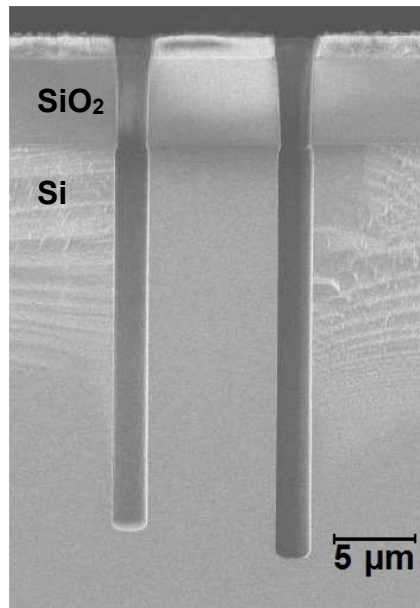
In Schritt 4 des dargestellten Gesamtprozesses konnten dann die Gräben mit der gleichen Photolackmaske weiter in das Silizium geätzt werden, so dass die Grabentiefe insgesamt 30  $\mu\text{m}$  beträgt. Für diese Ätzung kam ein Silizium-Trockenätzter (STS Pegasus) zum Einsatz. Die Gräben sollten möglichst senkrechte Seitenwände aufweisen und über den gesamten Wafer gleichmäßig tief geätzt werden. Aufgrund eines sehr gut für diese Anforderungen geeigneten Basisprozesses war hierfür nur sehr wenig Prozessentwicklung notwendig. Nach einer ersten Ätzung auf Testsubstraten musste die Ätzzeit zum Erreichen der nötigen Tiefe der Gräben angepasst werden. Gleichzeitig erfolgte die Anpassung des Verhältnisses von Ätz- und Passivierzeiten für ein ideales Ätzprofil. Tabelle 16 zeigt die eingestellten Prozessparameter. Der verwendete Ätzprozess bestand aus zwei Schritten, wobei mit Schritt 1 das Hinterätzen des Oxids vermieden werden soll und Schritt 2 die eigentliche Tiefenätzung darstellt.

Parameter	Schritt 1		Schritt 2	
	Ätzen	Passivieren	Ätzen	Passivieren
SF <sub>6</sub> -Fluss [sccm]	250		250	
C <sub>4</sub> F <sub>8</sub> -Fluss [sccm]		200		200
Druck [mTorr]	22	20	16	14
Leistung Coil [W]	2500	2000	2500	2000
Leistung Platen 380 kHz [W]	45 → 47,3	0	47,3 →60,3	0
Temperatur [°C]	30			
Zeit Ätzen [s]	1,9 → 2,2		2,2 → 3,5	
Zeit Passivieren [s]		2		2
Gesamtzeit Schritt [s]	68,7		538,4	

Tabelle 16: Ätzprozess für Ätzung der Elektrodengräben ins Silizium

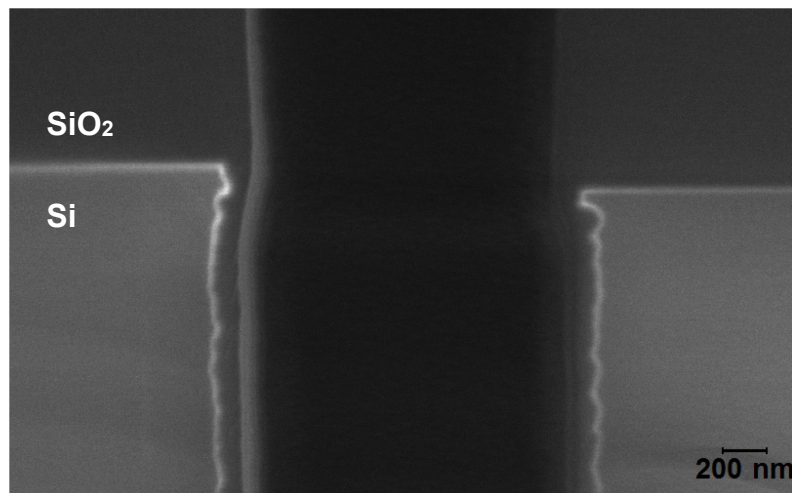
Das Ergebnis dieser Gesamtätzung in den Oxidstapel und das darunterliegende Silizium zeigt Abbildung 112 an einem Testsubstrat. Der Graben für die Ground-Elektrode wurde prozessbedingt etwa 1 µm tiefer geätzt als der für die Ablenk-Elektrode. Die Ursache hierfür war eine etwas höhere Ätzrate bei der Siliziumätzung aufgrund der größeren Fläche, die die Ground-Elektrode einnimmt. Diese strukturgrößenabhängige Ätzrate ist charakteristisch für Trockenätzprozesse und wird RIE-Lag genannt [69, pp. 55-59]. Die etwas tiefere Masse-Elektrode war für die Funktionalität des Ablenkchips aber tolerierbar und der Ätzprozess wurde daher nicht weiter optimiert.

Würden diese Gräben ohne vorherige elektrische Isolation mit Wolfram gefüllt werden, wäre die späteren Elektroden direkt mit dem auf Ground-Potential liegenden Bulksilizium kurzgeschlossen. Somit würden auch die Ablenk-Elektroden direkt mit der elektrischen Masse des Systems kurzgeschlossen und nicht funktional sein. Zur Vermeidung dieser Kurzschlüsse wurden daher die Gräben für die Elektroden in Schritt 5 des in Abbildung 111 dargestellten Prozess-Ablaufs durch eine Schicht aus Siliziumdioxid isoliert. Dabei musste sichergestellt sein, dass auch am Boden der Gräben Oxid abgeschieden wird. Daher kam hierfür ein ähnlicher SACVD-Prozess zum Einsatz wie er bereits in Abschnitt 4.2.1 (Grabenfüllung mit Ozon-TEOS) beschrieben wurde.

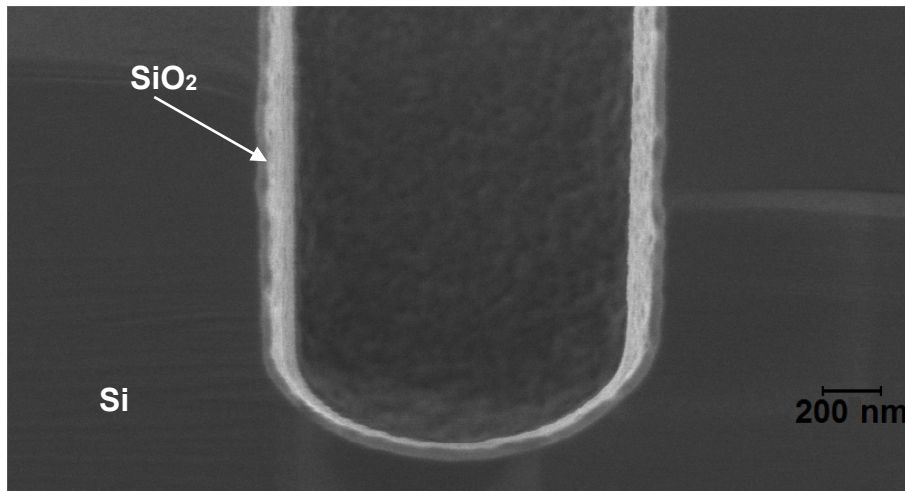


**Abbildung 112: Elektrodenätzung in Oxid und Silizium (Testsubstrat); links Ablenk-Elektrode, rechts Ground-Elektrode**

Die abgeschiedene Schichtdicke nahm dabei mit zunehmender Grabentiefe immer weiter ab: Bei einer nominalen Schichtdicke von etwa 300 nm TEOS-Oxid an der Waferoberfläche waren die entstandenen Schichtdicken an den Seitenwänden und am Boden der Gräben deutlich geringer. Dieser Effekt wird aus Abbildung 113 und Abbildung 114 ersichtlich.



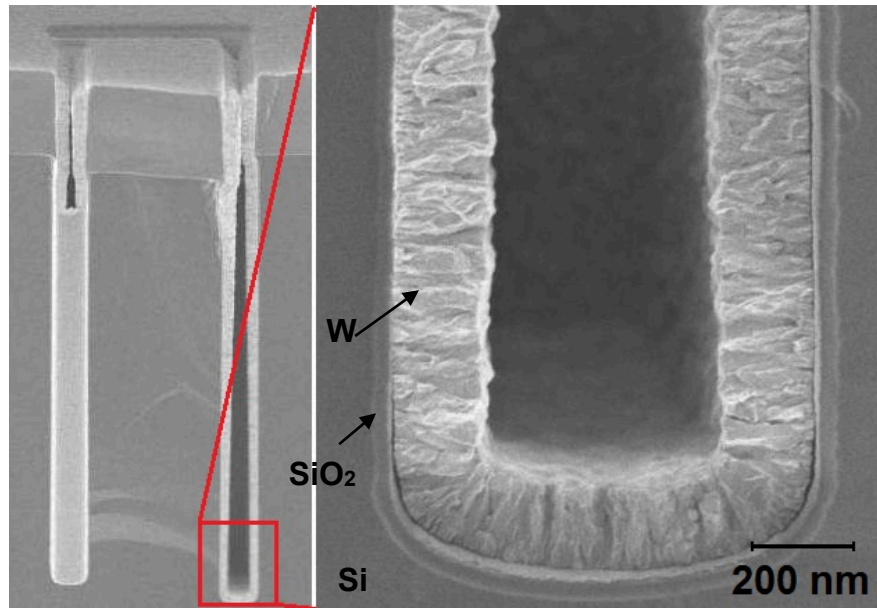
**Abbildung 113: TEOS-Dicke Seitenwand (Monitorsubstrat)**



**Abbildung 114: TEOS-Dicke am Boden der Elektrodengräben (Monitorsubstrat)**

So entstand auf der Seitenwand eine Schicht mit einer Dicke von etwa 150 nm, die bis zum Boden der Gräben immer dünner wurde und dort nur noch etwa 50 nm dünn war. Diese dünne Oxidschicht reichte aber aus, um effektiv Kurzschlüsse zwischen den Wolfram-Ablenk-Elektroden und dem Massepotential zu vermeiden, was durch spätere elektrische Messungen und elektronenoptische Untersuchungen bestätigt werden konnte. Die Wolframabscheidung in Schritt 6 des Prozessablaufs in Abbildung 111 erfolgte mit den gleichen Parametern wie bei der Wolframelektrode von nur 6  $\mu\text{m}$  Höhe. Allerdings konnten die Gräben vor allem in der Tiefe nicht frei von Hohlräumen gefüllt werden wie die folgende Abbildung 115 zeigt. Es wurde deutlich, dass die Gräben nur im oberen Bereich vollständig gefüllt sind. Somit konnte ab einem bestimmten Zeitpunkt im Abscheidungsprozess kein Wolfram mehr in die Tiefe der Elektrodengräben gelangen, so dass die dargestellten Lunker entstanden. Diese Hohlräume störten aber die Grundfunktion des Ablenkchips nicht, auch an eine solche Elektrode konnte das entsprechende Potential von 3,3 V bzw. 0 V angelegt werden.





**Abbildung 115: Gräben gefüllt mit Wolfram, Liner und Oxid (Testsubstrat)**

Die Isolationsschicht für die Elektroden wurde nicht nur in Gräben, sondern auf der gesamten Waferoberfläche abgeschieden. Dadurch wurden auch die bereits geöffneten Anschluss pads der CMOS-Elektronik abgedeckt und mussten vor der Metallisierung wieder freigelegt werden. Hierzu wird in Schritt 7 des Gesamtprozesses eine weitere Lithografieebene eingefügt, bei der alle Anschluss- und Bondpads freibelichtet und anschließend freigeätzt wurden. Das Freiätzen erfolgte in zwei Schritten, da zunächst die Barriere-schicht aus Ti/TiN und im Anschluss das Oxid geätzt werden mussten. Die Siliziumdi-oxidätzung, als Via-Ätzung in einem CMOS-Gesamtprozess üblich, erforderte keine Pro-zessentwicklung. Die Ätzung der Ti/TiN-Schicht mit einer Maske aus Photolack war al-lerdings neu und erforderte die Entwicklung eines passenden Ätzprozesses. Hierfür wurde ein Metalltrockenätzter verwendet, wobei die Basisparameter ähnlich einem nor-malen Metallätzschritt gewählt wurden. Der daraus entwickelte Ätzprozess auf einem LAM Rainbow 9600 Trockenätzter ist in der folgenden Tabelle 17 dargestellt. Dabei war Schritt 2 der eigentliche Ätzschritt. Schritt 1 stellte sicher, dass alle Gasflüsse stabil waren und Schritt 3 diente zum Spülen der Ätzkammer und Entfernung von Rückständen der Ätzgase Chlor ( $\text{Cl}_2$ ) und Bortrichlorid ( $\text{BCl}_3$ ), die ansonsten zu Korrosion der Metall-schichten unter Atmosphäre führen könnten.

Parameter	Schritt 1	Schritt 2	Schritt 3
Cl <sub>2</sub> -Fluss [sccm]	40	40	0
BCl <sub>3</sub> -Fluss [sccm]	30	30	0
Ar-Fluss [sccm]	0	0	80
Druck [mTorr]	12	12	90
Leistung ICP [W]	0	375	0
Leistung Bias [W]	0	190	0
Ätzzeit [s]	30	15	30

Tabelle 17: Parameter Ti/TiN-Ätzung

Abbildung 116 zeigt die nach der Ti/TiN-Ätzung und der folgenden Siliziumdioxid-Ätzung freigelegten Anschlusspads für das Ground-Potential und die Ablenk-Elektroden.

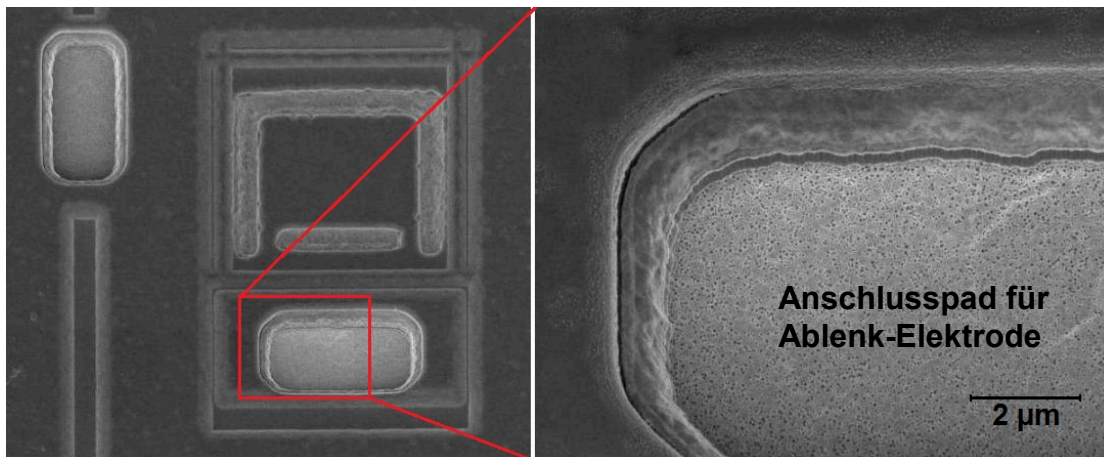


Abbildung 116: Geöffnete Kontaktpads (Testsubstrat)

Die weitere Prozessabfolge ab Schritt 8 gemäß des Prozess-Ablaufs in Abbildung 111 war grundsätzlich identisch zu der für die flachen Wolframelektroden, die in Abschnitt 5.2 und 5.3.1 beschrieben wird: Mit Hilfe einer ersten Metallebene wurden die Elektroden an die CMOS-Elektronik angeschlossen. Eine zweite Metalllage, die gegen die erste isoliert war, sollte Übersprechen von einer Ablenkzelle zur nächsten verhindern. Waren diese beiden Metallebenen gefertigt, mussten die Aperturöffnungen hergestellt und im Anschluss die Membran geätzt werden.

Um alle Prozesse auch zukünftig nutzen zu können wurden für die Metall- und Siliziumätzprozesse neue und modernere Ätzgeräte verwendet als bei den bisherigen Entwicklungen. Diese Geräte wurden für deutlich höhere Anforderungen als die bisherigen entwickelt und hatten somit auch bessere Spezifikationen hinsichtlich Prozessstabilität und

Homogenität der Prozesse. Dabei war es vor allem beim Ätzen der Metallschichten notwendig, den Ätzprozess an die CMOS-Wafer mit den Ablenkchips anzupassen. Diese Entwicklung wird nachfolgend genauer beschrieben.

Statt dem bisherigen Metalltrockenätzter, einer Electrotech Omega 201, kam für diesen Prozessablauf die bereits genannte LAM Rainbow 9600 zum Einsatz. Auf diesem Gerät war bereits ein Ätzprozess installiert, der die notwendigen Anforderungen für die Metallätzung hinsichtlich kleinste Dimensionen, Belegungsgrad und Ätztiefe gut erfüllte. Daher wurde bei den ersten Wafern mit Ablenkchips dieser Ätzprozess verwendet, nachdem er auf Testsubstraten gute Ergebnisse zeigte. Die Parameter dieses Prozesses sind in Tabelle 18 ersichtlich.

Parameter	Schritt 1	Schritt 2	Schritt 3	Schritt 4	Schritt 5
Cl <sub>2</sub> -Fluss [sccm]	40	40	30	40	0
BCl <sub>3</sub> -Fluss [sccm]	30	30	40	10	0
Ar-Fluss [sccm]	0	0	0	0	80
Druck [mTorr]	12	12	12	7	90
Leistung ICP [W]	0	375	375	290	0
Leistung Bias [W]	0	190	225	240	0
Ätzzeit [s]	30	30	Endpunkt	40	30

**Tabelle 18: Parameter Standard-Metallätzprozess für 1 µm Schichtdicke LAM**

Auch bei diesem Prozess sorgte Schritt 1 für stabile Gasflüsse und Schritt 5 spülte die Ätzgase und Ätzprodukte aus der Ätzkammer. In Schritt zwei wurden native Oxidschichten auf der Metallschicht sowie mögliche antireflektive Schichten entfernt. Schritt 3 war in diesem Ätzprozess der eigentliche Ätzschritt. Nach diesem Schritt waren die größten Strukturen freigeätzt. In feineren Gebieten, beispielsweise schmalen Gräben, befand sich aber noch Metall. Diese Reste wurden im vierten Schritt, dem Überätzschritt, entfernt. Das Ergebnis der Strukturierung der ersten Metallebene zeigt Abbildung 117.

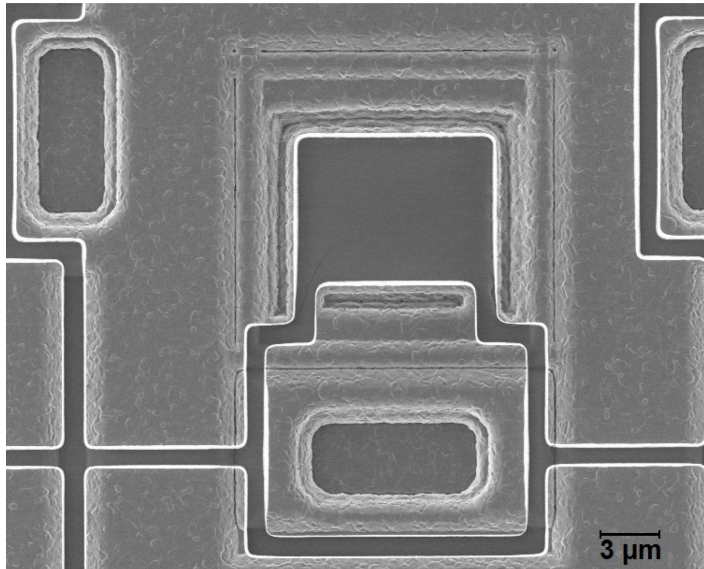


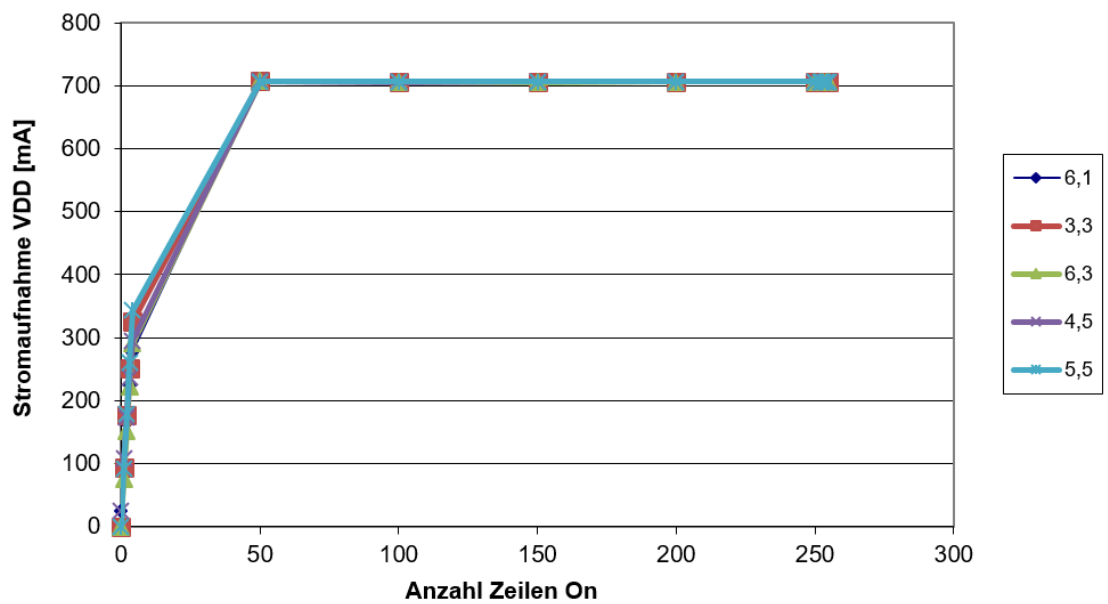
Abbildung 117: Ätzung erste Metallebene auf LAM

Die anschließende Prüfung der Funktionalität der Ablenkchips zeigte keine Auffälligkeiten, daher wurde der Prozessablauf weitergeführt. Auch für die Ätzung der zweiten Metallebene war bereits ein geeigneter Ätzprozess vorhanden. Tabelle 19 zeigt die verwendeten Parameter für diesen Ätzprozess.

Parameter	Schritt 1	Schritt 2	Schritt 3	Schritt 4
Cl <sub>2</sub> -Fluss [sccm]	30	30	40	0
BCl <sub>3</sub> -Fluss [sccm]	40	40	10	0
Ar-Fluss [sccm]	0	0	0	80
Druck [mTorr]	12	12	7	90
Leistung ICP [W]	0	375	290	0
Leistung Bias [W]	0	225	240	0
Ätzzeit [s]	30	80	30	30

Tabelle 19: Parameter Standard-Metallätzprozess für 200 nm Schichtdicke LAM

Wie schon zuvor dienten Schritt 1 und Schritt 4 der Gasstabilisierung bzw. dem Ausspülen von Restgasen. Schritt 2 war der eigentliche Ätzschritt und Schritt 3 sollte eventuelle Metallreste entfernen. Auf den ersten Blick zeigte der in Tabelle 19 dargestellte Ätzprozess auch auf den Foundry-Wafern gute Ergebnisse. Die anschließende elektrische Überprüfung der Ablenkchips zeigte allerdings massive Kurzschlüsse im Bereich des Aperturfeldes, welche durch einen schnellen Anstieg der Stromaufnahme beim sequentiellen Anschalten der Ablenk-Elektroden deutlich wurden. Die folgende Abbildung 118 zeigt diesen Anstieg der Stromaufnahme beispielhaft.



**Abbildung 118: Stromaufnahme nach Strukturierung M2; Kurzschlüsse werden durch schnellen Anstieg der Stromaufnahme bis in Strombegrenzung deutlich**

Bei der Fehlersuche für diese Kurzschlüsse wurde zunächst die zweite Metallebene ganzflächig mit einem Trockenätzprozess entfernt und die Chips erneut elektrisch geprüft. Dadurch sollten mögliche Maskenfehler der Metall2-Belichtungsmaske nicht zum Tragen kommen und die Chips wieder elektrisch funktional sein. Die anschließende Wiederholung der elektrischen Funktionsprüfung zeigte aber, dass die Kurzschlüsse noch immer vorhanden waren. Es folgte die gezielte Untersuchung der Ablenkchips im Elektronenmikroskop. Als einzige Auffälligkeit fielen dabei deutliche Risse in der Oxidschicht der Ablenkchips auf, welche entlang der Elektrodenkanten verlaufen. Die folgende Abbildung 119 zeigt diese Risse sehr deutlich. Diese Risse schienen nicht nur oberflächlich zu sein, sondern auch in die Tiefe des Oxidstapels zu reichen, wie Abbildung 120 im Detail zeigt.

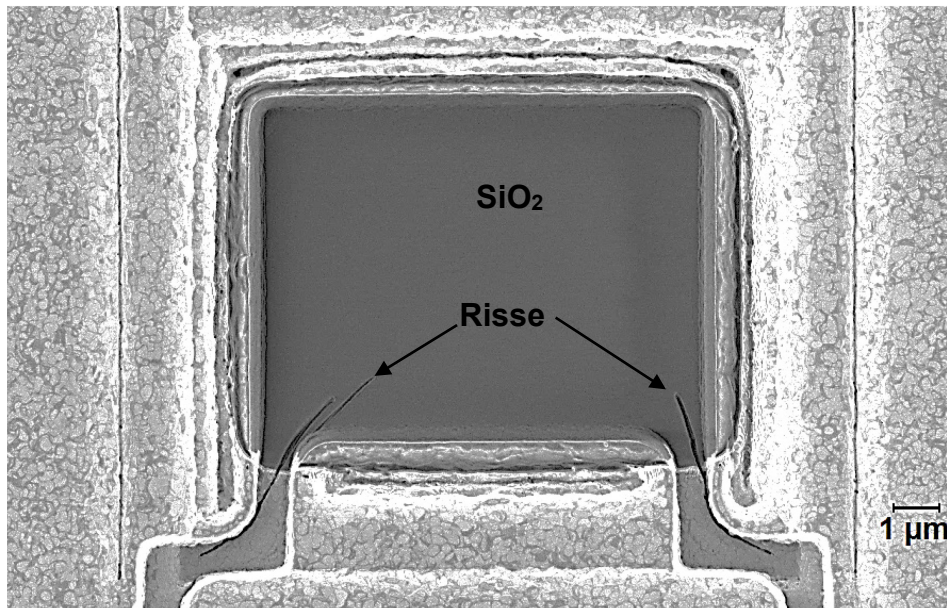


Abbildung 119: Risse in Oberfläche

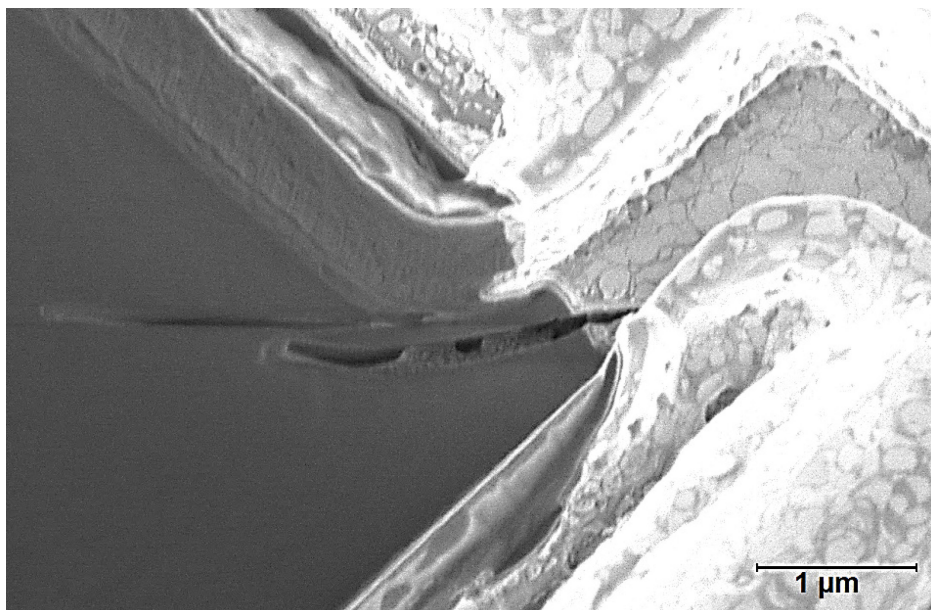


Abbildung 120: Risse - Detailaufnahme zur Verdeutlichung des Tiefgangs der Risse

Es wird ersichtlich, dass die Risse eine Verbindung zwischen der Ablenk-Elektrode und der Masse-Elektrode herstellen. Eine genauere Analyse der Wafer zeigte, dass diese Risse bereits nach der Ätzung der ersten Metallebene vorhanden waren und auch in Abbildung 117 erkennbar sind, allerdings erschienen sie noch nicht so deutlich wie in Abbildung 119. Gelangte trotz der Isolierung beim Sputtern der zweiten Metallebene AlSiCu in diesen Graben konnte eine elektrisch leitende Verbindung zwischen Ablenk- und Masse-Elektrode entstehen, welche die beschriebene Erhöhung der Stromaufnahme ver-

ursacht. Durch das ganzflächige Entfernen der Metallschicht blieben aufgrund der Charakteristik des verwendeten Trockenätzprozesses elektrisch leitende Reste an den Seitenwänden des Grabens zurück, so dass die Kurzschlüsse bestehen blieben.

Beim Ätzen der ersten Metallebene mit dem alten Electrotech-Ätztool waren diese Risse nicht vorhanden, weshalb sich als eigentliche Fehlerursache der Wechsel des Ätztools und damit der verwendete Ätzprozess herausstellte. Beim Vergleich der Ätzparameter zeigte sich, dass in der LAM Rainbow 9600 die verwendeten Leistungen zur Beschleunigung der Teilchen, die Bias-Leistung in den dargestellten Ätzprozessen, beim Ätzen deutlich höher (Electrotech 120 W vs. LAM 225 W) sind. Diese eingestellte Leistung führte neben dem gewollten Ätzen des Metalls auch zu einer deutlichen Aufheizung der Waferoberfläche. Mit höherer Leistung stieg somit die thermische Belastung der Wafer während des Ätzens, was zu mechanischen Spannungen in den Schichten führt. Diese mechanischen Spannungen waren die Ursache der problematischen Risse. Daher musste der Prozess so angepasst werden, dass die Wafer weniger thermisch belastet wurden. Durch Versuche auf Testsubstraten wurde festgestellt, dass vor allem der Überätzschritt (Schritt 4 in Tabelle 18 bzw. Schritt 3 in Tabelle 19) die Oxidschicht stark angriff. Dieser war aber nötig, um die Minimalstrukturen rückstandsfrei zu öffnen. Zudem waren die Ergebnisse durch Variation der Gaszusammensetzung und Verringern der Leistungen nicht zufriedenstellend, so dass eine Variation dieser Parameter nicht zu einem brauchbaren Ergebnis führte. In einer Versuchsreihe wurde die Überätzzeit in kleinen Schritten verringert. Durch Reduzierung um lediglich 10 s konnte ein guter Kompromiss gefunden werden, bei dem sicher keine Rückstände zurückblieben und keine defektverursachenden Risse entstanden. Der Hauptätzschritt wurde mittels einer Endpunkterkennung nach durchschnittlich 75 s beendet. Zur Unterstützung der Restentfernung wurde in Schritt 5 ein kurzer Ätzschritt mit den Parametern des Hauptätzschrittes eingefügt, der den Wafer deutlich weniger thermisch belastete. Für die vollständige Entfernung von Rückständen in kleinen Strukturen waren diese Parameter allerdings nicht geeignet, so dass der aggressive Überätzschritt nicht vermieden werden konnte. Den optimierten Ätzprozess zeigt Tabelle 20. Zwischen den Hauptätzschritt und den Überätzschritt (Schritt 3 und 5 in Tabelle 20) wurde ein sehr kurzer Zwischenschritt mit den Parametern des Hauptätzschrittes eingefügt, um den nun verkürzten Überätzschritt mit einem isotroperen Ätzangriff zu unterstützen.

Parameter	Schritt 1	Schritt 2	Schritt 3	Schritt 4	Schritt 5	Schritt 6
Cl <sub>2</sub> -Fluss [sccm]	40	40	30	30	40	0
BCl <sub>3</sub> -Fluss [sccm]	30	30	40	40	10	0
Ar-Fluss [sccm]	0	0	0	0	0	80
Druck [mTorr]	12	12	12	12	7	90
Leistung ICP [W]	0	375	375	375	290	0
Leistung Bias [W]	0	190	225	225	240	0
Ätzzeit [s]	30	30	Endpunkt	3	30	30

Tabelle 20: Parameter neuer M1-Prozess LAM

Das Ergebnis dieser Ätzung zeigt die folgende Abbildung 121.

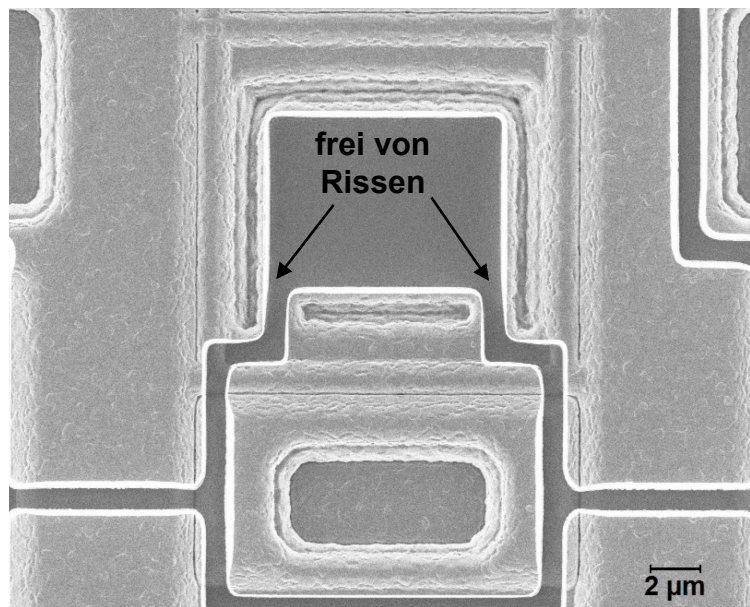


Abbildung 121: neuer Metallätzprozess für M1, frei von Rissen

Die Ergebnisse der elektrischen Funktionsprüfung bestätigten, dass die Ätzung korrekt funktionierte und die Bereiche für den Anschluss der Ablenk-Elektroden vom Massepotential getrennt waren.

Auch für die Ätzung der zweiten Metallebene wurde der Ätzprozess gemäß den Versuchsergebnissen angepasst: Erzeugte einen deutlich isotroperen Ätzangriff und war damit auch geeignet, um Metallschichten auf Seitenwänden zu entfernen. Die Ätzparameter dieses Prozesses sind in Tabelle 21 dargestellt.



Parameter	Schritt 1	Schritt 2	Schritt 3	Schritt 4
Cl <sub>2</sub> -Fluss [sccm]	70	70	70	0
BCl <sub>3</sub> -Fluss [sccm]	30	30	0	0
Ar-Fluss [sccm]	0	0	80	80
Druck [mTorr]	50	50	30	90
Leistung ICP [W]	0	375	290	0
Leistung Bias [W]	0	150	150	0
Ätzzeit [s]	20	180	30	30

Tabelle 21: Parameter neu entwickelter M2-Ätzprozess

Wie auch bei den vorherigen Ätzrezepten des LAM-Metalläzters diene Schritt 1 der Gasstabilisierung und Schritt 4 dem Spülen der Ätzkammer mit Argon. Die Schritte 2 und 3 waren die eigentlichen Ätzschritte, wobei Schritt 3 als Überätzschritt zur Resteentfernung in feinen Strukturbereichen diene. Das Ergebnis der Ätzung der zweiten Metallebene zeigt Abbildung 122.

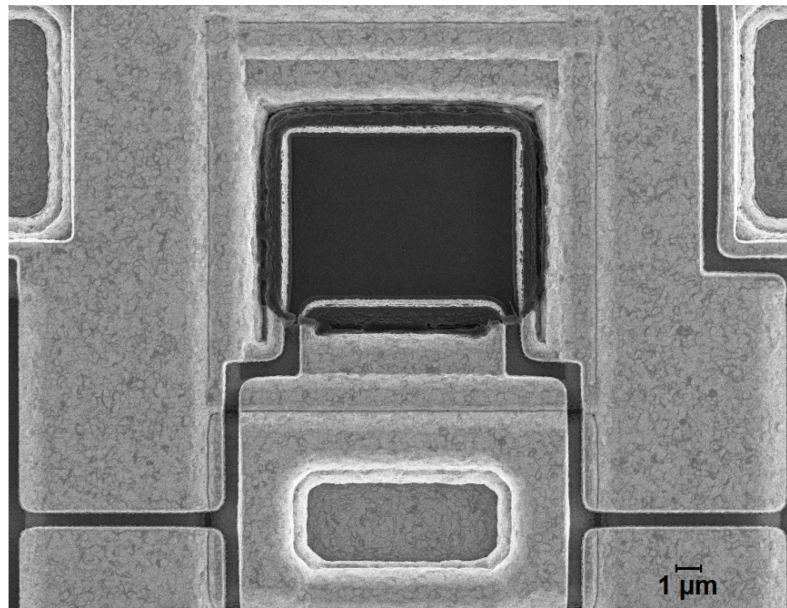


Abbildung 122: Ätzergebnis angepasster M2-Ätzprozess

Das Ätzergebnis konnte erneut durch elektrische Messungen verifiziert werden. Aus Abbildung 123 wird ersichtlich, dass keiner der funktionalen Chips während der Messung in die Strombegrenzung läuft.

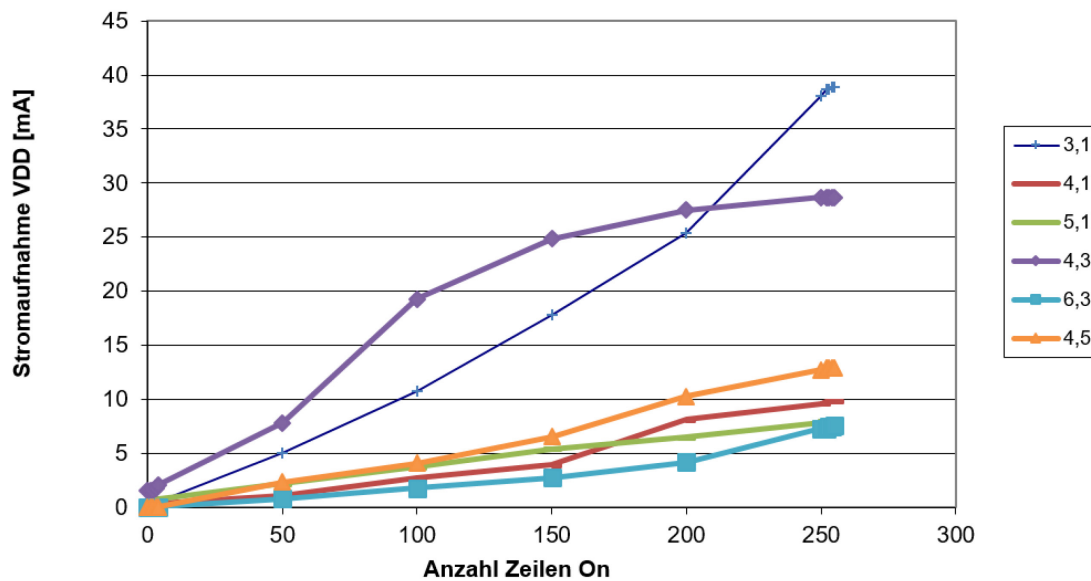


Abbildung 123: Elektrische Messung nach M2, neuer Ätzprozess (dargestellt sind nur intakte Ablenkchips)

Die Stromkurven verliefen nicht ideal linear, was auf eine nicht vollständig intakte Isolierschicht hindeutete. Die maximale Stromaufnahme der meisten funktionalen Ablenkchips lag unterhalb von 15 mA. Zwischen der Strukturierung der ersten und zweiten Metallebene kam es zu keinen zusätzlichen Ausfällen von Ablenkchips.

Nach der Strukturierung der zweiten Metallebene erfolgte in den Schritten 11 und 12 gemäß des Prozess-Ablaufs aus Abbildung 111 die Ätzung der Aperturöffnungen. Dabei wurde zunächst der Oxidschichtstapel geätzt. Dieser Schritt war identisch mit dem in Tabelle 9 vorgestellten Ätzprozess, so dass auch in diesem Prozessablauf der Oxidrest auf den Elektroden zurückbleibt. Der nachfolgende Siliziumätzprozess erfolgte auf dem STS Pegasus Siliziumätzer. Die Parameter dieses Ätzprozess sind in Tabelle 22 aufgeführt.

Parameter	Schritt 1	Schritt 2	
		Ätzen	Passivieren
SF <sub>6</sub> -Fluss [sccm]	450	40	
C <sub>4</sub> F <sub>8</sub> -Fluss [sccm]			250
O <sub>2</sub> -Fluss [sccm]	45		
Druck [mTorr]	100	18	30
Leistung Coil [W]	2800	2200	2000
Leistung Platen [W]	15 (13,56 MHz)	25 (380 kHz)	
Temperatur [°C]	30		
Zeit Ätzen [s]		7 → 10	
Zeit Passivieren [s]			3
Gesamtzeit Schritt [s]	15	447	

Tabelle 22: Parameter für Si-Aperturätzprozess in STS Pegasus

Der Ätzprozess bestand aus zwei Teilen: Zunächst wurde in einem kurzen isotropen Ätzschritt dafür gesorgt, dass auch direkt unterhalb des Oxidrests das Silizium vollständig bis zur Elektrodenoberfläche entfernt wurde. Im Anschluss wurde mit Hilfe eines BOSCH-Ätzprozesses die Aperturöffnung entlang der Elektroden geätzt [69], [78]. Der Ätzzyklus war dabei deutlich länger gewählt als der Passivierzyklus, damit keine Siliziumrückstände auf den Elektroden verbleiben konnten. Zudem wurde der Ätzzyklus während des zweiten Schrittes immer länger, so dass sich die Öffnung unterhalb der Elektroden aufweitete. Das Ergebnis zeigt die folgende Abbildung 124.

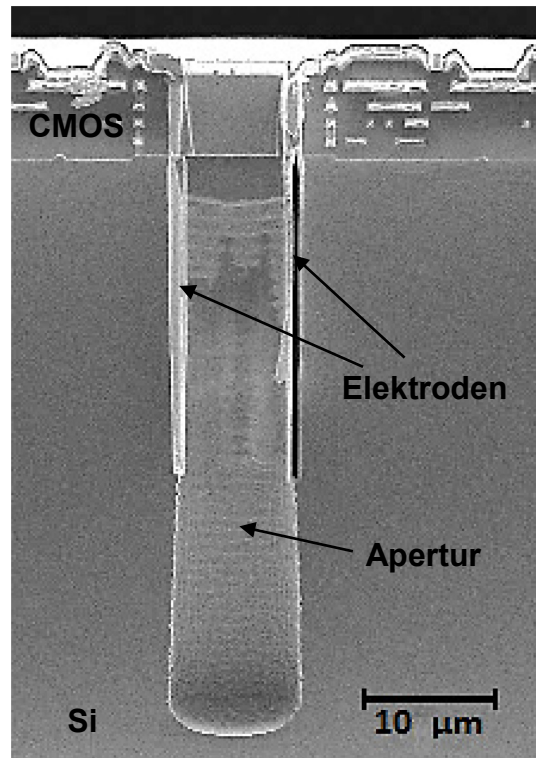


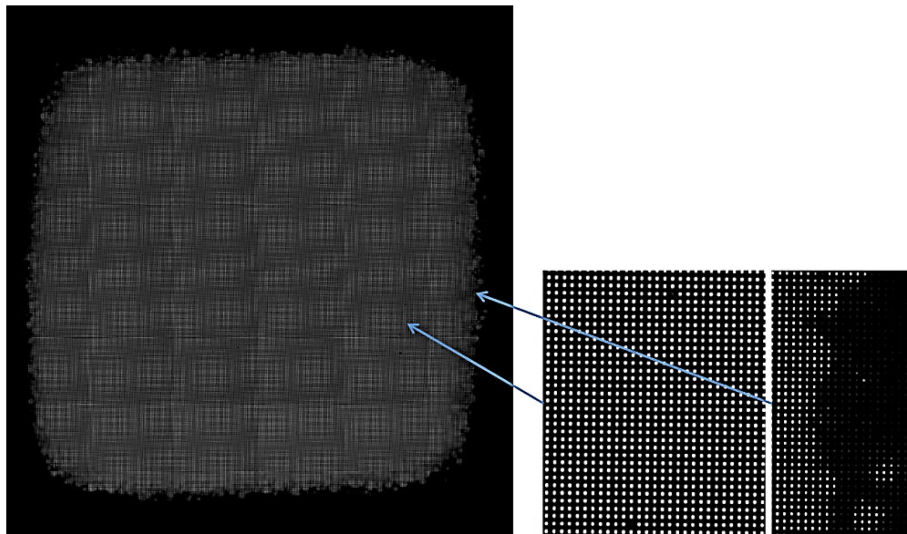
Abbildung 124: Aperturätzung STS Pegasus

Mit der Ätzung der Apertur waren in diesem Prozess-Ablauf alle Vorderseitenprozesse abgeschlossen und die Herstellung der Membran konnte erfolgen.

Ab diesem Punkt wurde die Prozessfolge im Vergleich zur Prozessierung gemäß Abbildung 79 umgestellt, um die Membranätzung zu optimieren: Bisher erfolgte die gesamte Membranätzung inklusive dem Trockenätzschritt auf Waferlevel. Die Trockenätzprozesse wiesen allerdings inhomogene Ätzraten innerhalb jeder einzelnen Membran auf (Ätzung erfolgte in Membranmitte langsamer als am Rand). Zusätzlich erhöhte sich die Ätzrate von der Wafermitte zum Waferrand, was eine zusätzliche Inhomogenität darstellte. Beide Effekte konnten nicht durch Parametervariationen ausgeglichen werden.

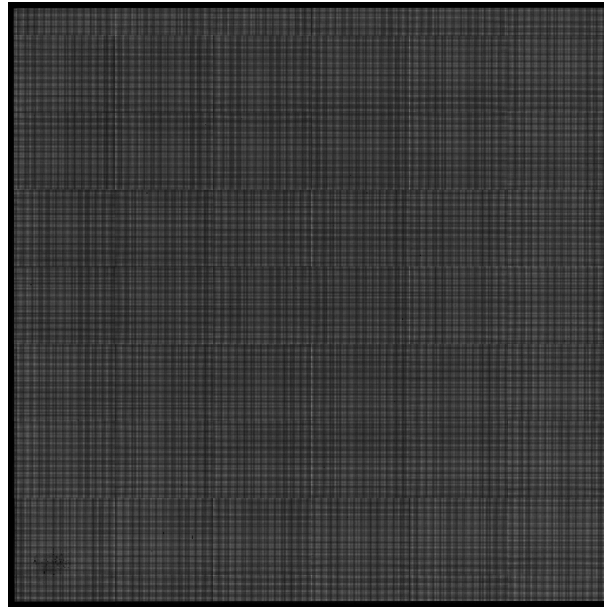
Daher wurden die Wafer nach der Nassätzung mit KOH in die Einzelchips gesägt. Im Anschluss erfolgte die Trockenätzung nicht mehr im Waferverbund sondern chipweise, was eine deutlich homogenere Ätzung der Membran ermöglichte. Hierzu wurde der einzelne Ablenkchip mit der Membranseite nach oben in der Mitte eines oxidierten Trägerwafers mittels Kaptonklebeband fixiert. Wichtig beim Membranätzprozess war, dass die Nassätzung bei einer Siliziumdicke von etwa 100 µm bis 130 µm gestoppt wird, so dass Schwankungen der Membranstärke von der Mitte zum Rand hin beim Trockenätzschritt ausgeglichen werden konnten. Bei der KOH-Ätzung entstand eine Membran, die in der Mitte etwas dünner war als am Rand, wobei der Unterschied bis zu 10 µm betragen

konnte. Der Trockenätzschritt wies durch die Präparation des Chips genau die entgegengesetzte Charakteristik auf und konnte den Unterschied somit ausgleichen. War die Membran aber nach der KOH-Ätzung bereits zu dünn, war der Ausgleich nicht mehr möglich. Dann waren die Ablenkzellen in der Mitte bereits zerstört, wenn die Randaperturen geöffnet sind. Wurde der Trockenätzprozess gestoppt, wenn die Aperturen in der Chipmitte geöffnet waren, waren die Löcher am Rand noch geschlossen. Dieses Problem verdeutlicht Abbildung 125, bei dem die Aperturen im Zentrum der Membran gut geöffnet, im Randbereich aber noch in großen Bereichen geschlossen sind.



**Abbildung 125: Transmissionsbild der Membran mit inhomogen geöffneten Aperturen aufgrund zu langer KOH-Ätzung**

War die Membran noch dick genug, um die Inhomogenität der nasschemischen Ätzung auszugleichen, so konnte das Aperturfeld vollständig durch den Trockenätzschritt geöffnet werden. Das Ergebnis zeigt die folgende Abbildung 126.



**Abbildung 126: Transmissionsergebnis - Aperturfeld vollständig geöffnet**

Der für die Membrantrockenätzung verwendete Siliziumätzprozess war ein isotroper Trockenätzprozess, der minutenweise gestartet wird.

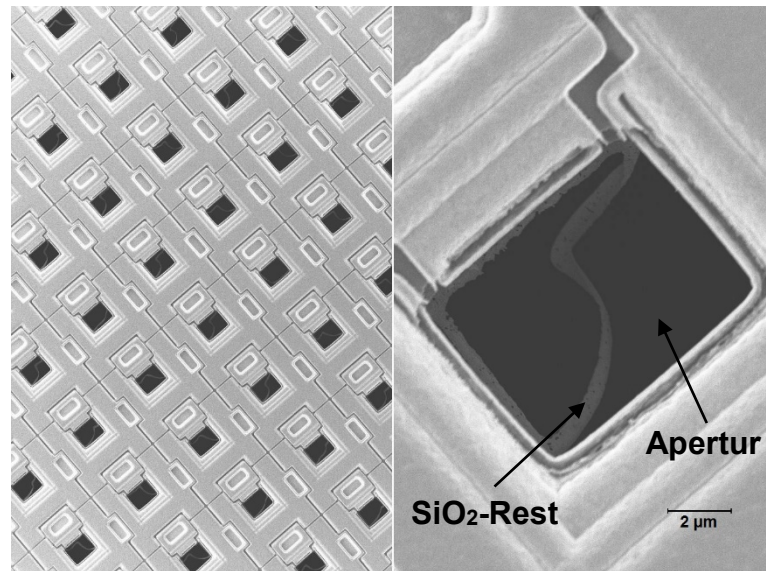
Parameter	Wert
SF <sub>6</sub> -Fluss [sccm]	225
O <sub>2</sub> -Fluss [sccm]	20
Druck [mTorr]	30
Leistung Coil [W]	2800
Leistung Elektrode [W]	0
Temperatur [°C]	10 oder 30
Gesamtzeit Schritt [s]	60

**Tabelle 23: Siliziummembranätzprozess Schritt 1 STS Pegasus**

Nach jeder Minute wurde das Ergebnis mit dem Mikroskop kontrolliert. Sobald die ersten Aperturöffnungen sichtbar wurden, kam ein etwas weniger aggressiver Prozess zum Einsatz, bei dem das Plasma nur mit einer Leistung von 1800 W erzeugt wurde. Dadurch sank die Ätzrate und die Gefahr, dass bereits freiliegende Aperturen verätzt wurden. So konnten nach und nach die noch nicht komplett offenen Aperturen freigelegt werden.

Im abschließenden Schritt 14 des Prozess-Ablaufs aus Abbildung 111 erfolgte wie zuvor die Entfernung der Oxidreste, was sich als problematischer als bei der Elektrode mit 6 µm Höhe erwies. Aufgrund der verschiedenen Oxidarten (mittels CVD oder thermisch

abgeschieden), die im CMOS-Prozess zum Einsatz kamen und des Designs der Ablenk-Elektroden verblieben nach der Ätzung mit gasförmiger Flusssäure dünne Ringe aus thermischen Oxid im Loch. Diese Rückstände verblieben völlig ungeordnet im Trench, wie die folgende Abbildung 127 verdeutlicht.



**Abbildung 127: Reste von thermischen Oxid nach HF-Ätzung; Reste sehr unregelmäßig in den Öffnungen verteilt (links: Übersicht, rechts: Detail)**

Diese Ringe wurden von verbliebenem Feldoxid aus der CMOS-Fertigung gebildet. Diese Art von Oxid hatte im Vergleich zum planarisierenden BPSG und der Isolation aus TEOS-Oxid zwischen den Metalllagen die geringste Ätzrate in Verbindung mit Flusssäure. Alle drei Arten von Oxid bildeten die zu entfernenden Reste. Dabei waren die Ätzraten so unterschiedlich, dass nach Entfernung der TEOS- und BPSG-Schichten noch immer die sichtbaren Ringe aus thermischen Oxid zurückblieben. Da diese Reste wie in Abbildung 128 nur noch an zwei Punkten, dem Spalt links und rechts der Ablenk-Elektrode, mit der übrigen Oxidschicht verbunden waren, konnten sie ungeordnet im Loch hängen und damit den Elektronenstrahl stören.

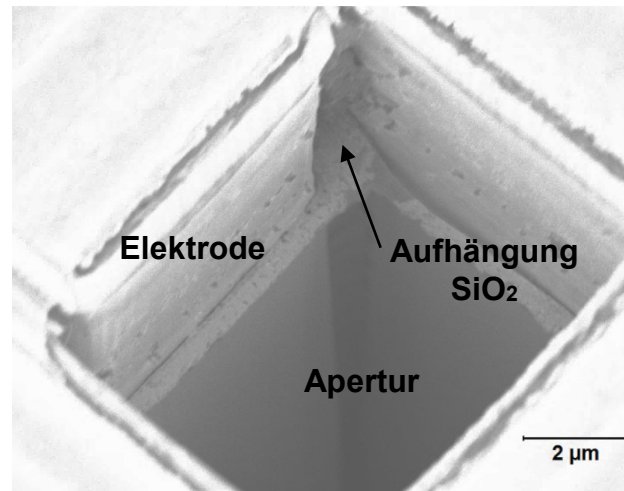


Abbildung 128: "Aufhängung" des Ringes aus thermischen Oxid

Längeres Ätzen mit HF konnte diese Ringe entfernen, führte dann aber zu einer deutlichen Hinterätzung der Elektroden bis hinein in die CMOS-Bereiche, was in Abbildung 129 ersichtlich wird. Das wiederum konnte die elektrische Funktionalität des Chips einschränken und musste daher vermieden werden.

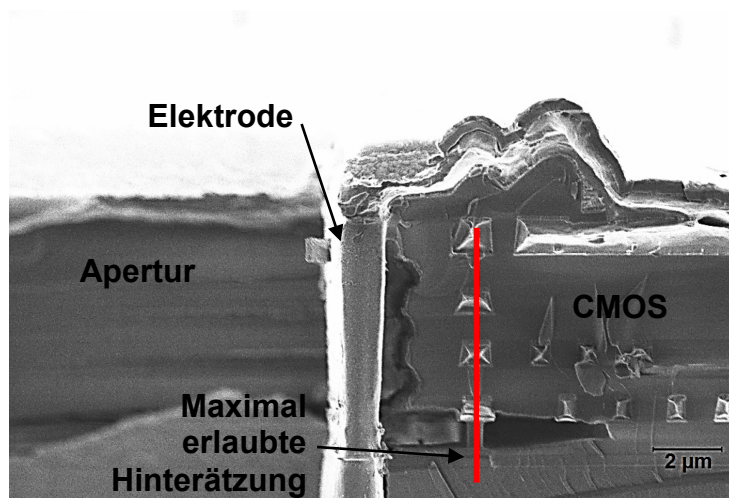


Abbildung 129: starke Hinterätzung der Elektroden nach HF-Ätzung

Abhilfe schaffte hier ein zusätzlicher Trockenätzschritt auf dem älteren STS ICP Cluster Tool. Hierfür wurde der Ablenkchip mit der Vorderseite nach oben auf einen oxidierten Trägerwafer fixiert. Zur Fixierung kam erneut Kaptonklebeband zum Einsatz. Die Ätzparameter wurden so eingestellt, dass die vorhandene zweite Metallebene als Maskierung verwendet werden konnte und lediglich die freiliegenden Oxidringe angegriffen wurden. Erreicht wurde dieses Ätzverhalten durch das Erstellen eines sehr physikalischen Prozesses wie er in der nachfolgenden Tabelle 24 dargestellt ist.

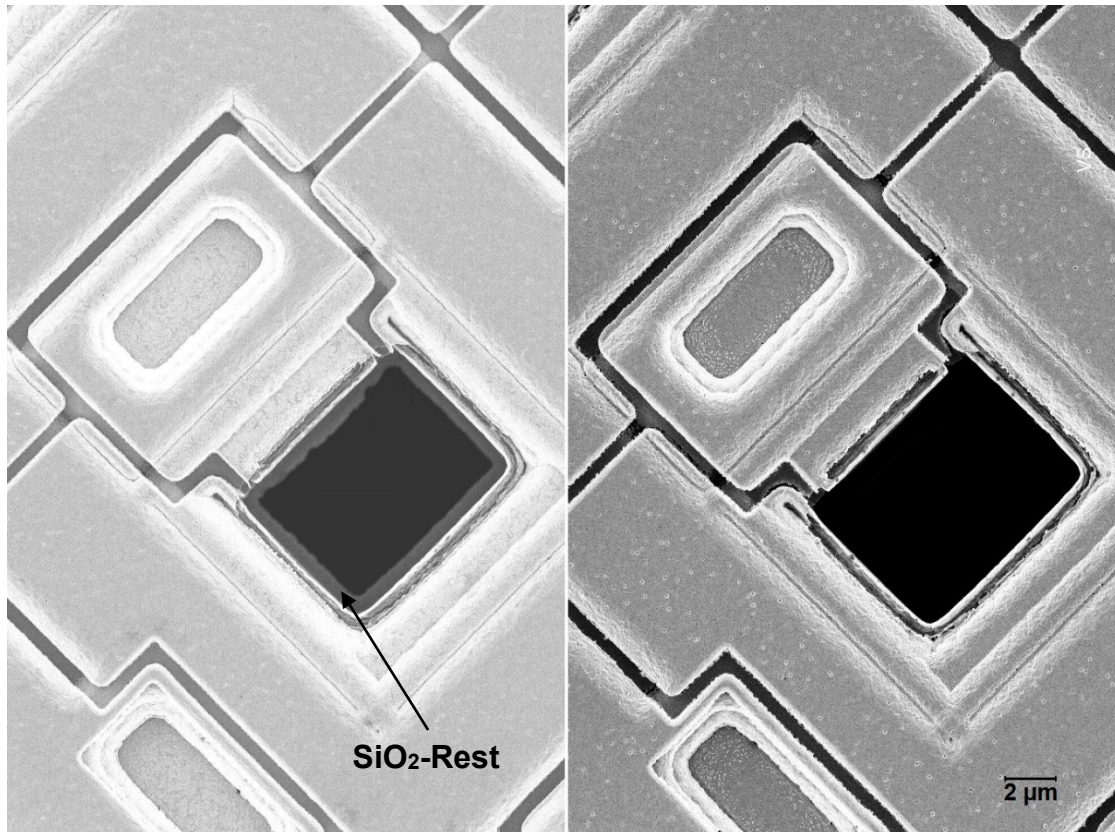


<b>Parameter</b>	<b>Wert</b>
Ar-Fluss [sccm]	50
O <sub>2</sub> -Fluss [sccm]	5
Druck [mTorr]	7
Leistung Coil [W]	850
Leistung Platen [W]	75
Temperatur [°C]	20
Gesamtzeit Schritt [s]	60

**Tabelle 24: Ätzparameter STS ICP für Oxiätzung**

Durch das Vermeiden von Schwefelhexafluorid und Octafluorocyclobutan entstand kein fluorhaltiges Plasma, so dass das offenliegende Silizium nicht angegriffen wurde. Die obenliegende zweite Metallebene wurde als Ätzmaskierung verwendet und durch die verhältnismäßig geringe Bias-Leistung des Ätzprozesses („Leistung Platen“ in Tabelle 24) deutlich weniger angegriffen als das zu entfernende Siliziumdioxid innerhalb der Apertur. Dieser Prozess wurde ähnlich wie bei der Membrantrockenätzung minutenweise gestartet und das Ergebnis im Anschluss geprüft. Bei den meisten so geätzten Ablenkchips waren die Oxidreste nach maximal 5 min entfernt. Das Resultat war die komplette von den Siliziumdioxidringen und ein leichtes Aufräuen der Metallschicht. Die Funktion der Metallschicht wurde dadurch aber nicht eingeschränkt.

Das Ergebnis dieser Ätzung zeigt Abbildung 130 in einem Vorher-Nachher-Vergleich.



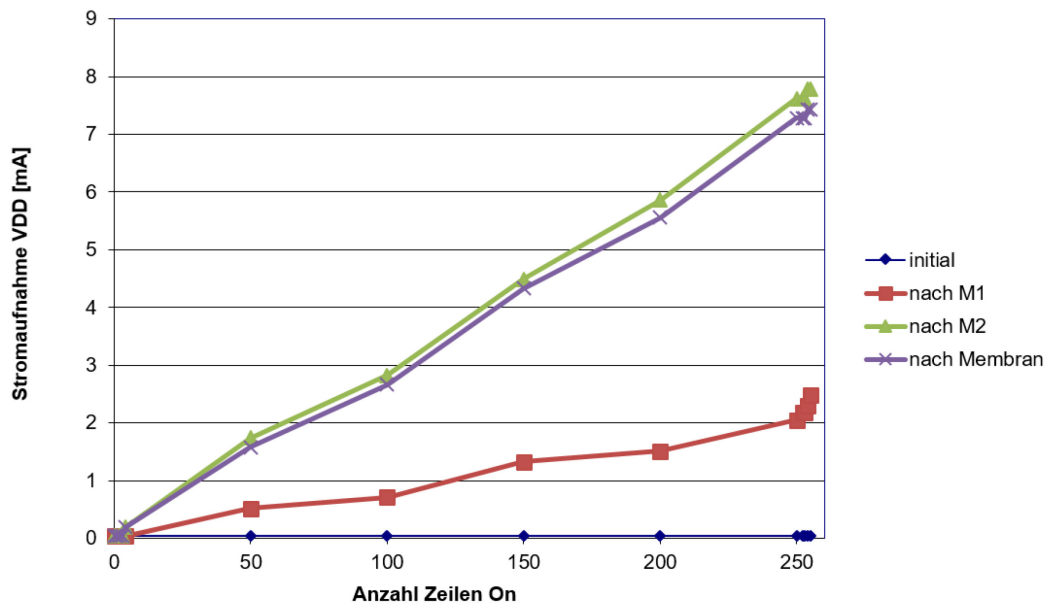
**Abbildung 130: Oxidreste entfernt durch Trockenätzschritt (links: vorher, rechts: nachher)**

Die Chips wurden dann analog zu Abschnitt 5.3.1 zu einem Ablenkssystem zusammengesetzt und konnten anschließend elektrisch und elektronenoptisch getestet werden.

### 5.3.3 Charakterisierung

Wie bei den Chips mit der flachen Wolframelektrode bestand die Charakterisierung des APS aus der Überprüfung der elektrischen Funktion und Stromaufnahme sowie der anschließenden Bewertung der elektronenoptischen Eigenschaften.

Die elektrischen Werte bestätigten, dass die in Abschnitt 5.3.1 beschriebene erhöhte Stromaufnahme auf den Fehler im Design der ersten Metallebene zurückzuführen war und durch eine entsprechende Anpassung behoben wurde. So konnte bei funktionalen Chips bis zur letzten elektrischen Prüfung nach der Membranätzung eine maximale Stromaufnahme von deutlich unter 10 mA ermittelt werden. Die folgende Abbildung 131 zeigt die Ergebnisse der Messung der Stromaufnahme nach verschiedenen Prozessschritten exemplarisch an einem Ablenkchip.

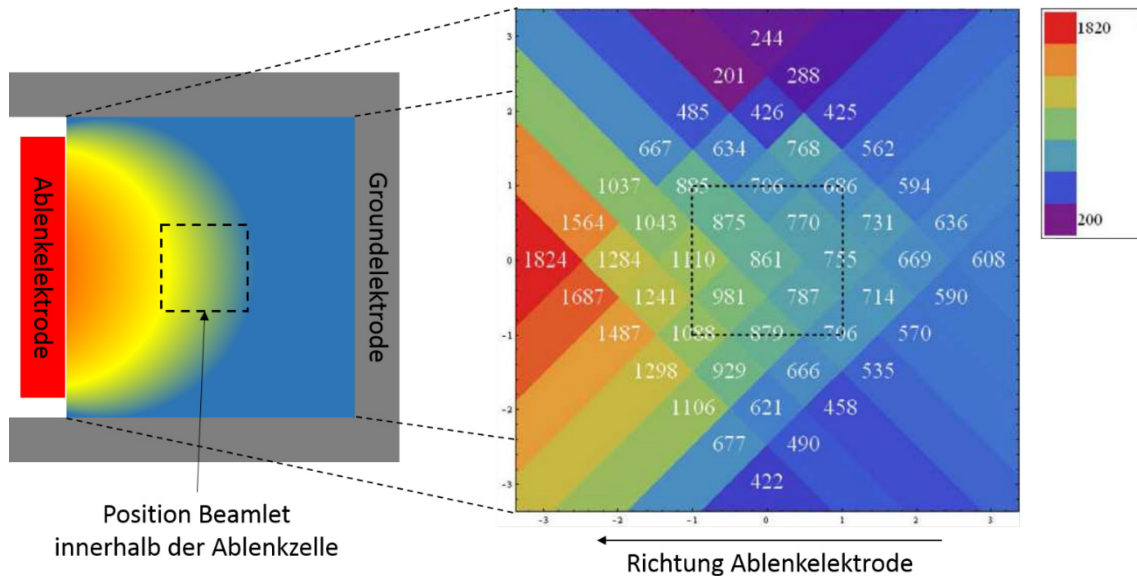


**Abbildung 131: Ermittelte Stromaufnahme bei einem Chip mit hohen Elektroden nach verschiedenen Prozessschritten**

Aus den Messwerten in Abbildung 131 ist erkennbar, dass sich die Stromaufnahme nach der Strukturierung der zweiten Metallebene in etwa verdreifacht. Der Maximalwert von ca. 7,5 mA war zwar ca. 25 % höher als spezifiziert, für die Funktion des Testsystems aber noch tolerabel. Eine mögliche Ursache für die erhöhte Stromaufnahme könnten Defekte in der Isolationsschicht zwischen der ersten und zweiten Metallebene sein, wodurch es zu Kriechströmen zwischen diesen Metallagen kommt. Weitere Untersuchungen für diese Problematik wurden im Rahmen dieser Dissertation nicht durchgeführt.

Die elektronenoptische Charakterisierung bestand analog zu den bisher untersuchten Ablenkchips im Wesentlichen aus der Bestimmung des Ablenkwinkels bzw. der Ablenkstärke. Zudem wurden die Chiprückseiten zur Vermeidung elektrostatischer Aufladung im Betrieb mit einer elektrisch leitenden Schicht besputtert. Zur Bestimmung der Ablenkraft wurde bei diesen Chips eine Aperturplatte zu den Chips ausgerichtet, um möglichst reale Bedingungen zu schaffen. Die Platte wurde dabei so eingesetzt, dass die Beamlets genau zentrisch durch die Öffnungen im Ablenkchip treffen. Durch gezieltes Kippen des Elektronenstrahls konnte im Teststand auch ein Missalignment der Aperturen simuliert und der Einfluss auf die Ablenkstärke simuliert werden. Dabei wurde von einer zulässigen Fehlaustrichtung von  $\pm 1 \mu\text{m}$  zum Aperturzentrum ausgegangen. Innerhalb dieser Grenzen musste die minimale Ablenkstärke von  $500 \mu\text{rad}$  erreicht werden. Durch die Untersuchungen konnte nachgewiesen werden, dass diese Voraussetzung mit den  $30 \mu\text{m}$

hohen vergrabenen Wolframelektroden erfüllt werden konnten. Abbildung 132 zeigt beispielhaft das Ergebnis einer solchen Messung für eine Apertur im Zentrum des Ablenkchips.



**Abbildung 132: Ermittelte Ablenkstärken; links: Lage des Beamlets innerhalb der Ablenkzelle; rechts: Verteilung der Ablenkstärken innerhalb der Ablenkzelle; gestricheltes Quadrat zeigt jeweils die zulässigen Positionen des Beamlets)**

Wie zu erwarten war stieg die Ablenkkraft bei einer Fehlausrichtung in Richtung der Ablenk-Elektrode deutlich an, wohingegen sie bei einem Fehler in die andere Richtung stark abfällt. Der mittlere Ablenkwinkel im Zentrum betrug etwa 907  $\mu$ rad und erreichte damit den simulierten Wert von 1089  $\mu$ rad aus Abschnitt 4.1 nicht ganz. Der wahrscheinlichste Grund der Abweichung war, dass nicht alle realen Materialparameter vollständig mit denen der Simulation übereinstimmten. Dennoch zeigte der Wert von 907  $\mu$ rad, dass die 30  $\mu$ m hohe Elektrode aus vergrabener Wolfram die nötige Ablenkstärke erreichen konnte.

Ein neu zu untersuchende Eigenschaft der tieferen Elektrode war das Frequenzverhalten der Ablenk-Elektroden: Da die Elektrodenzustände während des Direktschreibens schnell und häufig geändert werden müssen, ist deren Verhalten bei hohen Frequenzen wichtig für die Funktion des Gesamtsystems. Aufgrund der entstehenden Schichtfolge bildet sich zwischen der Ablenk-Elektrode und dem umgebenden Silizium ein Plattenkondensator aus. Die Kapazität eines solchen Kondensators  $C$  berechnet sich gemäß der Gleichung

$$C = \epsilon_0 \cdot \epsilon_r \cdot \frac{A}{d} \quad 5.1 [34]$$

wobei  $A$  die Fläche der Kondensatorplatten darstellt und  $d$  deren Abstand zueinander. Anhand von Formel 5.1 wird klar, dass die Kapazität umso größer wird, je kleiner der Plattenabstand ist. Im Fall der Ablenk-Elektroden ist die Kapazität durch die Verlängerung der Elektroden bis in das Silizium deutlich größer als zuvor. Der aus der Ablenk-Elektrode und dem Silizium entstandene Kondensator  $C$  bildet zusammen mit den Zuleitungen mit dem elektrischen Widerstand  $R$  ein RC-Glied mit dem in Abbildung 133 gezeigten Ersatzschaltbild:

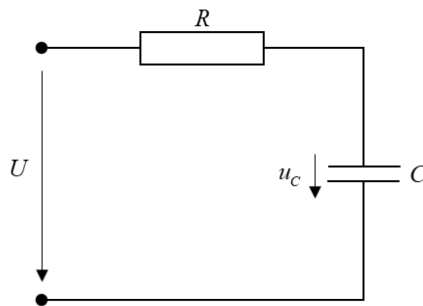


Abbildung 133: Ersatzschaltbild für RC-Glied

Dieses RC-Glied besitzt Zeitkonstante

$$\tau = R \cdot C \quad 5.2 \text{ [81]}$$

Diese Zeitkonstante ermöglicht eine Abschätzung, wie schnell der Kondensator geladen werden kann. Der Anstieg der Kondensatorspannung  $u_c$  erfolgt in diesem Fall gemäß der Gleichung

$$u_c = U \cdot \left(1 - e^{-\frac{t}{\tau}}\right) \quad 5.3 \text{ [81]}$$

Nach der Zeit  $\tau$  ist der Kondensator zu 63 % geladen. Theoretisch dauert dieser Ladevorgang unendlich lange, allerdings gilt er in der Praxis nach der Zeit  $5 \cdot \tau$  als beendet. Ohne Ablenk-Elektroden gilt praktisch  $C = 0$  und damit auch  $\tau = 0$ . Daher sind die Ausgänge für die Ablenk-Elektroden mit sehr hoher Frequenz umschaltbar. Aus Gleichung 5.2 folgt, dass die Zeitkonstante  $\tau$  mit der Kapazität  $C$  ansteigt und somit die mögliche Schaltfrequenz sinkt. [34] [81] [82]

Mit steigender Zeitkonstante kann der Elektronenstrahl langsamer ein- und ausgeschaltet werden, was zu einer Reduktion der Schreibgeschwindigkeit führt und damit auch zur Verringerung der Schreiberperformance. Die Simulationen wiesen allerdings auf keine

derartigen Probleme hin. Der praktische Nachweis, dass auch mit der 30  $\mu\text{m}$  tiefen Ablenk-Elektrode eine ausreichend hohe Schreibfrequenz erreicht werden kann, erfolgte während der Ermittlung des Ablenkwinkels. Hierzu wurde die Ablenk-Elektrode mit hoher Frequenz ein- und ausgeschaltet, um den Toggling-Modus (siehe Abschnitt 5.3.1) zu erreichen. Bei diesen Untersuchungen trat allerdings kein problematisches Verhalten auf und die Elektroden konnten ebenso hochfrequent wie die flacheren Varianten geschaltet werden. Eine Erklärung hierfür erfolgt nachfolgend anhand einer Abschätzung der Zeitkonstanten und der damit verbundenen maximalen Schaltfrequenz und dem Vergleich mit der notwendigen Umschaltgeschwindigkeit der Ablenkelektroden:

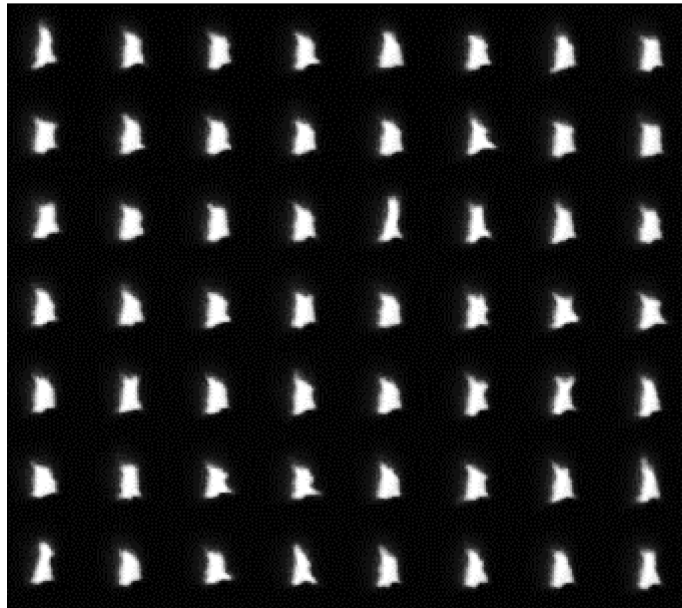
Die Kapazität des gebildeten Plattenkondensators errechnet sich gemäß Gleichung 5.1. Zwischen den Kondensatorplatten befindet sich ein dünnes Oxid. Für  $\epsilon_r$  gilt daher der für die Simulationen angenommene Wert 7,5 (siehe Tabelle 3: Oxide). Die Kondensatorplattenfläche ergibt sich aus der Elektrodenbreite von etwa 8  $\mu\text{m}$  sowie der Elektrodenhöhe im Silizium, in diesem Fall etwa 25  $\mu\text{m}$ . Die Oxiddicke verringert sich bis zum Boden des Elektrodengrabens immer mehr (siehe Abschnitt 5.3.2), daher wurde ein mittlerer Elektrodenabstand  $d$  von 100 nm angenommen. Für die Kapazität  $C$  ergibt sich also ein Wert von rund 133 pF. Der Zuleitungswiderstand  $R$  lässt sich mit Hilfe des spezifischen Widerstands  $\rho$  abschätzen. Es gilt

$$R = \rho \cdot \frac{l_R}{A_R} \quad 5.4 \text{ [34]}$$

Dabei ist  $l_R$  die Länge der Leiterbahn und  $A_R$  der Leiterbahnquerschnitt.  $A_R$  ist rechteckig und ergibt sich aus der Leiterbahndicke von 1  $\mu\text{m}$  und der Leiterbahnbreite von 8  $\mu\text{m}$  (siehe Elektrodenbreite). Die Länge der Zuleitung vom Anschlusspad bis zur Ablenkelektrode beträgt 11  $\mu\text{m}$ . Der spezifische Widerstand von Aluminium beträgt etwa 0,03  $\Omega\text{m}$  [83] und gilt näherungsweise auch für die eingesetzte Legierung AlSiCu. Somit beträgt der der Zuleitungswiderstand rund 41 m $\Omega$ . Nach Gleichung 5.2 beträgt die Zeitkonstante  $\tau$  dieses Systems rund 5,5 fs und ein Lade- oder Entladevorgang dauert somit 27,5 fs. Jede Zustandsänderung der Ablenkelektrode dauert also 27,5 fs, was einer maximalen Umschaltfrequenz von etwa 5,8 THz entspricht. Der Datenpfad des Systems kann maximal 120 Gbit pro Sekunde liefern. [84] Das bedeutet, dass jede der 262.144 Elektroden pro Sekunde maximal 458.000x ihren Zustand ändern kann. Das entspricht einer notwendigen Umschaltfrequenz von 458 kHz. Diese Frequenz ist deutlich kleiner als die

theoretisch erreichbare Schaltfrequenz von 5,8 THz und es wird klar, dass der entstandene Kondensator das Umschaltverhalten der Ablenkelektroden nicht negativ beeinflusst.

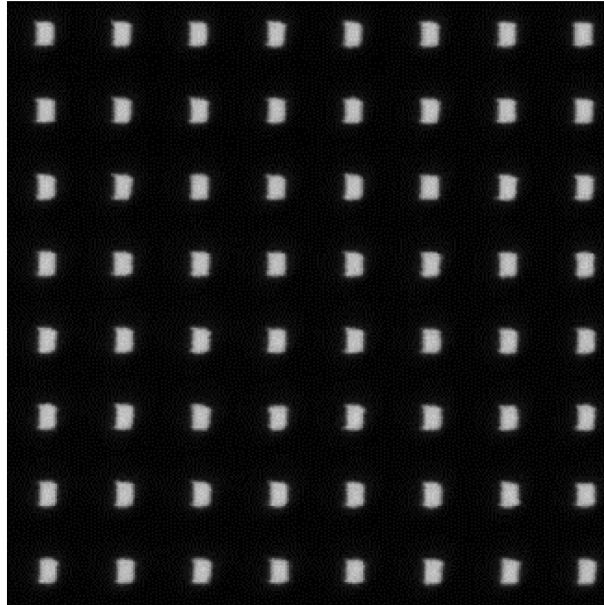
Neben der Ablenkstärke wurde auch bei diesen Chips das Aufladungsverhalten untersucht. Die Aufnahmen zeigten deutlich, dass ohne Besputtern der Rückseite deutliches Charging auftrat, was Abbildung 134 der eigentlich rechteckigen Aperturen verdeutlicht.



**Abbildung 134: Transmissionsbild ohne Sputtern; massive Verzerrungen des Beamlets aufgrund von Aufladungen**

Der Elektronenstrahl wurde dabei nicht durch eine Aperturplatte geformt sondern traf direkt auf die Rückseite der Membran des Ablenkchips. Auch mit Aperturplatte war das Charging allerdings deutlich sichtbar. Da die Aperturplatte für die Sputterversuche entfernt werden musste, wurden der Einfachheit halber die Aufnahmen ohne dieses Bauteil für die Untersuchungen verglichen.

Ursache der Aufladungen konnten unvollständig entfernte Oxidschichten auf den Elektroden oder Rückstände auf dem Silizium unterhalb der Elektroden sein, die nach dem Ätzen nicht vollständig entfernt wurden. Die Lage der problematischen Schichten war aus den Untersuchungen nicht erkennbar. Durch das Beschichten der Rückseite mit Platin-Palladium ähnlich wie bei den bisherigen Systemen konnten diese Aufladungen deutlich verringert werden, was Abbildung 135 zeigt.



**Abbildung 135: Transmissionsbild nach Besputtern der Rückseite mit 4x 45 nm PtPd; Verzerrungen minimiert, Aperturform deutlich sichtbar**

Die Formen der einzelnen Aperturen wurden nach dem Besputtern der Rückseite beinahe exakt abgebildet, so dass beispielsweise die Position der Ablenk-Elektrode und die Spalte zwischen Ablenk-Elektrode und Masse-Elektrode erkennbar waren.

Durch das Sputtern wurden allerdings die Ablenkzellen kurzgeschlossen. Hierbei entstanden elektrisch leitende Brücken zwischen der Ablenk-Elektrode selbst und den Masse-Elektroden oder dem Bulksilizium, welches auf Massepotential lag. Diese Kurzschlüsse führten zu einer deutlich erhöhten Stromaufnahme, verhinderten das Auslenken des Beamlets und zerstörten so den Ablenkchip. Zwischen den Ablenk-Elektroden und dem Silizium befand sich durch die Oxidisolierung ein Spalt, der das Ausbilden dieser Kurzschlüsse verhindern sollte. Offensichtlich war der Abstand aber nicht groß genug, um die Metallbrücken wirkungsvoll zu unterbinden.



## 6 Zusammenfassung und Ausblick

Innerhalb dieser Arbeit wurde die Entwicklung eines Ablenksystems vorgestellt, welches insgesamt 262.144 Beamlets mit Hilfe vergrabener Elektroden aus Wolfram individuell steuern kann. Diese Elektroden können durch Anlegen einer Spannung die einzelnen Beamlets aus ihrer Nullposition auslenken und so deaktivieren, wenn sie nicht benötigt werden. Die Ablenk-Elektroden werden im Rahmen einer zusätzlichen Prozessfolge nachträglich auf den CMOS-Ablenkchips hergestellt und sind im Gegensatz zu bisherigen Lösungen vergraben ausgeführt. Diese eingelassenen Elektroden werden mit Hilfe einer entsprechend strukturierten Metallebene an die Elektronik des Chips angeschlossen.

Die Entwicklung des finalen Prozess-Ablaufs erfolgte in mehreren Stufen. Zunächst wurde der prinzipielle Nachweis erbracht, dass die Strahlauslenkung mit vergrabenen Elektroden möglich ist. Hierfür diente ein Ablenksystem, bei dem ein Ablenkchip ohne CMOS-Logik und mit hochdotierten Siliziumelektroden zum Einsatz kam. Zusammen mit einem geeigneten Prozess-Ablauf für die Herstellung dieser Ablenkchips wurde auch ein Assembly-Prozess entwickelt, mit dem die Einzelteile des Ablenksystems mit einer Genauigkeit besser als 1  $\mu\text{m}$  zusammengesetzt werden können. Nachdem die Ablenkfunktionalität anhand dieser Systeme erfolgreich gezeigt werden konnte, erfolgte die Entwicklung eines Prozess-Ablaufs für die Herstellung vergrabener Wolframelektroden.

Für den Nachweis, dass auch vergrabene Elektroden aus Wolfram zur Auslenkung der Elektronenstrahlen genutzt werden können, wurde im ersten Schritt ein Prozess-Ablauf für die Herstellung von 6  $\mu\text{m}$  tiefen Wolframelektroden auf CMOS-Foundry Wafern entwickelt. Die Elektrodentiefe durfte dabei nicht größer werden als der Schichtstapel aus den Isolationsschichten der CMOS-Logik. Diese Ablenkchips enthielten lediglich 43.008 Ablenzellen. Während der Prozessentwicklung wurde auf eine hohe Ausbeute an funktionierenden Elektroden und die Kantenqualität der entsprechenden Beamlets geachtet. Durch gezieltes Nachbehandeln der Chips wurde dabei die Qualität der einzelnen Strahlen deutlich verbessert. Die Auslenkung der Elektronenstrahlen konnte auch bei Ablenkssystemen mit diesen Ablenkchips mit Hilfe eines Teststands gezeigt werden, allerdings war die Ablenkstärke erwartungsgemäß zu gering für den Einsatz im realen Multi-Elektronenstrahlschreiber.

In einem Zwischenschritt wurde der entwickelte Prozess-Ablauf auf die finale Version der Ablenkchips mit 262.144 Ablenkzellen übertragen. Hierfür mussten Belichtungsmasken abgeändert und Prozessparameter angepasst werden. Aufgrund der größeren Fläche, die die 262.144 Ablenkzellen auf der Membran des Ablenkchips einnehmen, erwies sich die Homogenität der Membranätzung der Ablenkchips als problematisch. Diese erfolgt zunächst nasschemisch im Waferverbund. Bei der Trockenätzung, dem zweiten Schritt der Membranätzung, ist diese Gleichmäßigkeit über den Wafer prozessbedingt nicht mehr gegeben, so dass die Chips am Wafertrand deutlich eher die notwendige Zieldicke erreichen als die Chips in der Mitte des Wafers. Abhilfe schaffte hier nur die Vereinzelung der Chips nach dem nasschemischen Ätzschritt und dem weiteren Bearbeiten jedes Chips einzeln. Dabei musste vor allem darauf geachtet werden, dass die Membranen nach der KOH-Ätzung noch etwa 100  $\mu\text{m}$  Restdicke aufweisen, um alle Aperturen beim Trockenätzen gleichmäßig öffnen zu können.

Der erfolgreich transferierte Herstellprozess der 6  $\mu\text{m}$  tiefen Wolframelektroden auf die Ablenkchips mit 262.144 Ablenkzellen bildete die Basis für den final entwickelten Prozess-Ablauf zur Herstellung von 30  $\mu\text{m}$  tiefen vergrabenen Elektroden aus Wolfram. Zusätzliche Ätzschritte bis in das Silizium der CMOS-Wafer sowie die Einführung einer Isolationsschicht ermöglichten die Herstellung von vergrabenen Wolframelektroden mit einer Tiefe von 30  $\mu\text{m}$ . Es konnte nachgewiesen werden, dass die Ablenkkraft bei dieser Elektrodenhöhe den Anforderungen des Multi-Elektronenstrahlschreibers hinsichtlich der notwendigen Ablenkstärke genügt.

Aufladungen und die damit verbundenen Verzerrungen der Beamlets waren und sind ein massives Problem der Ablenkchips. Die Aufladungen konnten durch das Besputtern der Rückseite mit Platin-Palladium deutlich minimiert werden. Dadurch entstanden aber bei den Ablenkchips mit 30  $\mu\text{m}$  tiefen Elektroden Kurzschlüsse, die den Chip zerstörten.

Das Verhindern der Aufladungen bei gleichzeitiger Erhaltung der Funktionalität der Ablenkchips muss in zukünftigen Entwicklungen die Hauptaufgabe sein. Hierzu ist es denkbar, die Elektroden durch veränderte Ätzprozesse mehr freizustellen und damit das kurzschlussfreie Besputtern der Chiprückseiten mit elektrisch leitfähigen Materialien zu ermöglichen. Eine weitere Möglichkeit ist es, mit Hilfe von Schattenmasken bestimmte Bereiche der Aperturen vor der Metallabscheidung beim Sputtern zu schützen und auf diese Weise das Charging zu verbessern und gleichzeitig die Kurzschlüsse zu vermeiden.

Das dieser Dissertation zugrundeliegende Vorhaben wurde im Rahmen der europäischen Projekte CHARPAN (European Community's Sixth Framework Programme, contract 515803) und MAGIC (European Community's Seventh Framework Programme, grant agreement 214945) gefördert. Die Verantwortung für den Inhalt liegt beim Autor.

## **Danksagung**

Ich danke den Kolleginnen und Kollegen des Instituts für Mikroelektronik Stuttgart und den Mitarbeitern der IMS Nanofabrication AG, die zum Gelingen dieser Arbeit beigetragen haben. Insbesondere:

Herrn Prof. Dr. J. N. Burghartz für die Ermöglichung meiner Promotion und zusammen mit Herrn Prof. Dr. H. Sandmaier für die Begutachtung und Vertretung meiner Arbeit an der Fakultät für Konstruktions-, Produktions- und Fahrzeugtechnik (Maschinenbau) der Universität Stuttgart.

Florian und Mathias - vielen Dank für die vielen Diskussionen, die hilfreichen Informationen und die konstruktive Kritik. Danke, dass ihr die Geduld hattet, meine zu Beginn noch schwer zu lesenden Entwürfe zu lektorieren.

Meinen Eltern, ohne deren Unterstützung mein Studium und damit diese Arbeit nicht möglich gewesen wären.

Vor allem danke ich meiner Frau Susann. Vielen Dank für dein Verständnis und deine Geduld in den vielen Abenden und Wochenenden, die ich allein vor dem PC verbrachte.

---

**Literaturverzeichnis**

- [1] [Online]. Available: <http://www.horst-zuse.homepage.t-online.de/z1.html>. [Zugriff am 02 01 2013].
- [2] [Online]. Available: [ftp://download.intel.com/museum/Moores\\_Law/Articles-press\\_Releases/Gordon\\_Moore\\_1965\\_Article.pdf](ftp://download.intel.com/museum/Moores_Law/Articles-press_Releases/Gordon_Moore_1965_Article.pdf). [Zugriff am 03 01 2013].
- [3] [Online]. Available: <http://www.pcgameshardware.de/Intel-Firma-15502/News/Prozessoren-2007-Interview-mit-Intel-537161/>. [Zugriff am 04 01 2013].
- [4] [Online]. Available: <http://www.golem.de/news/moore-s-law-totgesagte-schrumpfen-laenger-1410-110075-2.html>. [Zugriff am 31 01 2015].
- [5] [Online]. Available: <https://www.extremetech.com/extreme/210872-extremetech-explains-what-is-moores-law>. [Zugriff am 04 12 2016].
- [6] [Online]. Available: <http://www.cnet.com/news/end-of-moores-law-its-not-just-about-physics/>. [Zugriff am 31 01 2015].
- [7] [Online]. Available: <http://public.itrs.net/about.html>. [Zugriff am 30 03 2014].
- [8] [Online]. Available: <http://www.halbleiter.org/lithografie/belichtungsverfahren/>. [Zugriff am 30 03 2014].
- [9] [Online]. Available: <http://lp.uni-goettingen.de/get/text/5616>. [Zugriff am 30 03 2014].
- [10] S. Rizvi, *Handbook of Photomask Manufacturing Technology*, Boca Raton: CRC Press by Tylor & Francis Group, LLC, 2005.
- [11] C. A. Mack, „The Natural Resolution,“ in *Microlithography World*, 1998.
- [12] H. J. Levinson, *Principles of Lithography – Second Edition*, Washington, USA: SPIE – The International Society for Optical Engineering, 2005.
- [13] R. Doering und Y. Nishi, *Handbook of Semiconductor Manufacturing Technology*, Boca Raton, FL (USA): CRC Press (Taylor & Francis Group LLC), 2008, pp. 20-01 ff..
- [14] [Online]. Available: [http://www.opticsinfobase.org/view\\_article.cfm?gotourl=http%3A%2F%2Fwww.opticsinfobase.org%2FDirectPDFAccess%2F5C2ADED-0662-9631-0E9496CA62110B1B\\_183464%2Foe-17-15-12259.pdf%3Fda%3D1%26id%3D183464%26seq%3D0%26mobile%3Dno&org](http://www.opticsinfobase.org/view_article.cfm?gotourl=http%3A%2F%2Fwww.opticsinfobase.org%2FDirectPDFAccess%2F5C2ADED-0662-9631-0E9496CA62110B1B_183464%2Foe-17-15-12259.pdf%3Fda%3D1%26id%3D183464%26seq%3D0%26mobile%3Dno&org). [Zugriff am 23 03 2014].
- [15] [Online]. Available: [http://www.sematech.org/meetings/archives/litho/8715/pres/O-ILO-03\\_Bekaert\\_IMEC.pdf](http://www.sematech.org/meetings/archives/litho/8715/pres/O-ILO-03_Bekaert_IMEC.pdf). [Zugriff am 16 03 2014].
- [16] [Online]. Available: <http://www.asml.com/asml/show.do?ctx=5869&rid=40289>. [Zugriff am 16 03 2014].
- [17] K. Lai, „Experimental result and simulation analysis for the use of pixelated illumination from source mask optimization for 22nm logic lithography process,“ in *Photomask and Next-Generation Lithography Mask Technology XVI*, Tokyo, Japan, 2009.
- [18] [Online]. Available: <http://www.anandtech.com/show/7003/the-haswell-review-intel-core-i74770k-i54560k-tested/5>. [Zugriff am 16 12 2015].

- [19] [Online]. Available: <http://www.techdesignforums.com/practice/guides/double-patterning/>. [Zugriff am 01 02 2015].
- [20] [Online]. Available: <http://www.techdesignforums.com/practice/guides/triple-patterning-self-aligned-double-patterning-sadp/>. [Zugriff am 01 02 2015].
- [21] [Online]. Available: <http://spie.org/x35993.xml>. [Zugriff am 01 02 2015].
- [22] M. Malloy, „2013 Mask Industry Survey,“ in *SPIE Photomask Technology*, Monterey, USA, 2013.
- [23] H. C. Pfeiffer, „Direct Write Electron Beam Lithography: A Historical Overview,“ *Proc. of SPIE Vol. 7823*, pp. 782316 1-6, 2010.
- [24] H. C. Pfeiffer, „Variable spot shaping for electronbeam lithography,“ in *Journal of Vacuum Science & Technology 15*, 1978.
- [25] [Online]. Available: [http://www.uni-ulm.de/fileadmin/website\\_uni\\_ulm/nawi.inst.251/Didactics/quantenchemie/html/e-Welle.html](http://www.uni-ulm.de/fileadmin/website_uni_ulm/nawi.inst.251/Didactics/quantenchemie/html/e-Welle.html). [Zugriff am 20 01 2013].
- [26] [Online]. Available: [http://www.chemgapedia.de/vsengine/vlu/vsc/de/ch/1/pc/pc\\_11/pc\\_11\\_01/pc\\_11\\_01\\_02.vlu/Page/vsc/de/ch/1/pc/pc\\_11/pc\\_11\\_01/pc\\_11\\_01\\_12.vscml.html](http://www.chemgapedia.de/vsengine/vlu/vsc/de/ch/1/pc/pc_11/pc_11_01/pc_11_01_02.vlu/Page/vsc/de/ch/1/pc/pc_11/pc_11_01/pc_11_01_12.vscml.html). [Zugriff am 20 01 2013].
- [27] [Online]. Available: [http://www.leifiphysik.de/web\\_ph12/grundwissen/09debroglie/debroglie.htm](http://www.leifiphysik.de/web_ph12/grundwissen/09debroglie/debroglie.htm). [Zugriff am 20 01 2013].
- [28] [Online]. Available: [http://www.davidgrant.ca/electron\\_beam\\_lithography\\_past\\_and\\_present](http://www.davidgrant.ca/electron_beam_lithography_past_and_present). [Zugriff am 03 01 2013].
- [29] [Online]. Available: [http://www.ipfdd.de/uploads/media/Lithohbmain\\_02.pdf](http://www.ipfdd.de/uploads/media/Lithohbmain_02.pdf). [Zugriff am 03 01 2013].
- [30] T. I. T. R. F. SEMICONDUCTORS, „INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS - 2013 Edition - Lithography,“ 2013.
- [31] „ITRS 2.0 PUBLICATION - 2015 ITRS 2.0 Lithography.pdf,“ [Online]. Available: <http://www.itrs2.net/itrs-reports.html>. [Zugriff am 07 08 2016].
- [32] „ITRS 2013 EDITION,“ [Online]. Available: [http://www.itrs.net/ITRS%201999-2014%20Mtg,%20Presentations%20&%20Links/2013ITRS/2013Tables/Litho\\_2013Tables.xlsx](http://www.itrs.net/ITRS%201999-2014%20Mtg,%20Presentations%20&%20Links/2013ITRS/2013Tables/Litho_2013Tables.xlsx). [Zugriff am 24 05 2015].
- [33] „ITRS 2.0 PUBLICATION - 2015 ITRS 2.0 Litho\_Tables.xlsx,“ [Online]. Available: <http://www.itrs2.net/itrs-reports.html>. [Zugriff am 07 08 2016].
- [34] P. D. H. S. (Hrsg.), Taschenbuch der Physik, Frankfurt am Main: Wissenschaftlicher Verlag Harry Deutsch, 2004.
- [35] [Online]. Available: [http://www.sematech.org/meetings/archives/litho/8940/pres/M\\_04\\_Nobuo%20Imaoka.pdf](http://www.sematech.org/meetings/archives/litho/8940/pres/M_04_Nobuo%20Imaoka.pdf). [Zugriff am 08 07 2013].
- [36] „SPIE Handbook of Microlithography, Micromachining and Microfabrication,“ [Online]. Available: [http://www.cnf.cornell.edu/cnf\\_spietoc.html](http://www.cnf.cornell.edu/cnf_spietoc.html). [Zugriff am 01 05 2014].
- [37] [Online]. Available: [http://cmi.epfl.ch/ebeam/VistecEBPG5000\\_introduction.php](http://cmi.epfl.ch/ebeam/VistecEBPG5000_introduction.php). [Zugriff am 18 05 2014].
- [38] C. C. a. S. Sze, ULSI Technology, McGraw-Hill Book Co., 1996.

- [39] [Online]. Available: <http://www.vistec-semi.com/products-applications/products/>. [Zugriff am 18 05 2014].
- [40] K. Steidel, Untersuchung der Auflösungsgrenzen eines Variablen Formstrahlelektronenschreibers mit Hilfe chemisch verstärkter und nicht verstärkter Negativlacke, Dresden: Fakultät Elektrotechnik und Informationstechnik der Technischen Universität Dresden, 2010.
- [41] H. C. P. Manfred Essig, „Critical Koehler illumination for shaped beam lithography,“ in *J. Vac. Sci. Technol. B* 4, 1985.
- [42] [Online]. Available: [http://www.lira.dist.unige.it/iit\\_school/cicloxxiii/presentazioni/salerno\\_ebl.pdf](http://www.lira.dist.unige.it/iit_school/cicloxxiii/presentazioni/salerno_ebl.pdf). [Zugriff am 01 06 2014].
- [43] [Online]. Available: [http://140.120.11.121/~denda/Upload/paper/\[11\]Introduction%20to%20Electron%20Beam%20Lithography.pdf](http://140.120.11.121/~denda/Upload/paper/[11]Introduction%20to%20Electron%20Beam%20Lithography.pdf). [Zugriff am 29 06 2016].
- [44] A. e. a. Yamada, „Evaluation of Throughput Improvement and Character Projection,“ in *Photomask and Next-Generation Lithography Mask Technology XVII*, Tokyo, Japan, 2010.
- [45] [Online]. Available: <http://www.sematech.org/meetings/archives/litho/ngl/20010806/Pres11%20EETEC.pdf>. [Zugriff am 16 06 2013].
- [46] [Online]. Available: <http://www.sematech.org/meetings/archives/litho/7482/03-MAPPER%20Technology.pdf>. [Zugriff am 02 06 2013].
- [47] [Online]. Available: [http://www.sematech.org/meetings/archives/litho/8551/pres/ML2\\_McCord\\_KLA\\_12-14-08.pdf](http://www.sematech.org/meetings/archives/litho/8551/pres/ML2_McCord_KLA_12-14-08.pdf). [Zugriff am 30 06 2013].
- [48] M. Wieland, „Throughput enhancement technique for,“ in *Proc. of SPIE Vol. 7637*, 2010.
- [49] *Führung durch MAPPER-Headquarter während MAGIC-Projekt-Treffen*. [Performance]. MAPPER, 2010.
- [50] J. Pradelles, L. Lattard, N. Vergeer, E. Slot, L. Pain, E. de Jong, G. Torriani und C. Pieczulewski, „Handling, clamping and alignment evaluation for Multi-beam technology on Matrix1.1 platform,“ in *Proc. of SPIE Vol. 9050, 90502E*, 2014.
- [51] M. Wieland, „MAPPER: Progress towards a High Volume Manufacturing system,“ in *Proc. of SPIE Vol. 8680, 86800O*, 2013.
- [52] B. Vereecke, „Mikrolinsen-Array für ein vielstrahliges REBL Lithographie-Tool,“ *AT-Fachverlag GmbH*, 04 2013.
- [53] [Online]. Available: [http://nanocad.ee.ucla.edu/pub/Main/SnippetTutorial/MultipleEbeam\\_YB.pdf](http://nanocad.ee.ucla.edu/pub/Main/SnippetTutorial/MultipleEbeam_YB.pdf). [Zugriff am 06 01 2016].
- [54] S.-J. Lin, „REBL DPG Lenslet Structure: Design for Charging Prevention,“ in *Proc. of SPIE Vol. 9049, 90491X*, 2014.
- [55] A. Carroll, „The REBL DPG: Recent Innovations and Remaining Challenges,“ in *Proc. of SPIE Vol. 9049, 904917*, 2014.
- [56] [Online]. Available: <http://thomasdalejay.blogspot.de/2013/04/direct-write-e-beam-lithography.html>. [Zugriff am 1 11 2016].
- [57] M. Slodowski, H.-J. Döring, W. Dorl und I. A. Stolberg, „Multi Shaped Beam

- Proof of Lithography,“ in *Alternative Lithographic Technologies II (SPIE Vol. 7637)*, San Jose, California, 2010.
- [58] [Online]. Available: <http://semiengineering.com/multi-beam-sees-the-light/> . [Zugriff am 06 01 2016].
- [59] J. Klikovits, „Progress of Electron Multi-Beam Mask Writing,“ in *13th Beams-and-More Workshop*, Stuttgart, Germany, 2015.
- [60] [Online]. Available: <http://semimd.com/blog/2016/02/24/canon-toshiba-join-ebeam-initiative-group/>. [Zugriff am 08 05 2016].
- [61] H. Matsumoto, „Multi-Beam Mask Writer MBM-1000 and its Application Field,“ in *PMJ*, Tokyo, Japan, 2016.
- [62] [Online]. Available: <http://semiengineering.com/multi-beam-market-heats-up/>. [Zugriff am 08 05 2016].
- [63] [Online]. Available: [http://www.ebeam.org/docs/ebeam\\_initiative\\_spie\\_2016\\_nuflare.pdf](http://www.ebeam.org/docs/ebeam_initiative_spie_2016_nuflare.pdf). [Zugriff am 08 05 2016].
- [64] [Online]. Available: [http://www.sematech.org/meetings/archives/litho/8551/pres/ML2\\_Klein\\_IMS\\_12-14-08.pdf](http://www.sematech.org/meetings/archives/litho/8551/pres/ML2_Klein_IMS_12-14-08.pdf). [Zugriff am 21 07 2013].
- [65] E. D. Liu, „Multiple Columns for High Throughput Complementary E-Beam Lithography (CEBL),“ in *SPIE Advanced Lithography*, San Jose (CA), USA, 2012.
- [66] [Online]. Available: <http://www.nuflare.co.jp/english/product/ebm.html>. [Zugriff am 02 01 2013].
- [67] C. Klein, Interviewee, *E-Mail mit Anhang "eMET Multibeam Vorteil Schreibzeit"*. [Interview]. 20 12 2013.
- [68] *EU FP7 Projekt: MAGIC (Mask-less lithoGraphy for IC manufacturing)*, 2007.
- [69] F. Letzkus, *Membran- und Struktur-Ätzprozesse für großflächige Projektionsmasken in der Nanolithografie*, 2003.
- [70] M. Jurisch, M. Irmscher, F. Letzkus, S. Eder-Kapl, C. Klein, H. Loeschner, W. Piller und E. Platzgummer, „W-CMOS Blanking Device for Projection Multi-Beam Lithography,“ in *Photomask Japan*, Yokohama, 2010.
- [71] *Diskussionen während der Projektmeetings der Projekte CHARPAN und MAGIC*. [Interview]. 2008-2010.
- [72] M. Witt, Interviewee, *Technisches Meeting CHARPAN Wien*. [Interview]. 16 04 2008.
- [73] E. K. C. L. H. Platzgummer, „Printing results of proof-of-concept 50keV electron multi-beam mask exposure tool (eMET POC),“ in *SPIE Photomask Technology 2012*, Monterey, CA, USA, 2012.
- [74] C. Klein, Interviewee, *E-Mail "APS Ablenkstärken"*. [Interview]. 10 02 2014.
- [75] [Online]. Available: [http://www.didaktikonline.physik.uni-muenchen.de/programme/e\\_feld/E\\_Feld.html#](http://www.didaktikonline.physik.uni-muenchen.de/programme/e_feld/E_Feld.html#). [Zugriff am 31 07 2016].
- [76] [Online]. Available: <https://www.unibw.de/inf2/pub-en/getFILE?fid=8334929&tid=pub-en>. [Zugriff am 16 12 2014].
- [77] [Online]. Available: [http://www2.isu.edu.tw/upload/341/7/files/dept\\_7\\_lv\\_2\\_31755.pdf](http://www2.isu.edu.tw/upload/341/7/files/dept_7_lv_2_31755.pdf). [Zugriff am 03 02 2016].



- [78] F. Lärmer und A. Schilp, „Verfahren zum anisotropen Ätzen von Silicium“. Deutschland Patent DE 4241045 C1, 05 12 1192.
- [79] „Erste Daten zur Charakterisierung der W-APS - CMOS\_W\_APS\_P5QW1\_Wafer\_24\_A3\_Chip\_2\_2\_E4825+E3983\_W\_3,“ IMS Nanofabrication AG, Wien, Österreich, 2012.
- [80] A. Parge, Interviewee, *Telefonat*. [Interview]. 10 09 2015.
- [81] E. Hering und K.-H. Modler, Hrsg., Grundwissen des Ingenieurs (14. Auflage), Carl Hanser Verlag München, 2007.
- [82] [Online]. Available: [http://elektroniktutor.de/analogtechnik/c\\_gleich.html](http://elektroniktutor.de/analogtechnik/c_gleich.html). [Zugriff am 02 07 2017].
- [83] [Online]. Available: <http://www.traphagen.ch/emanuel/elektro/elektrotabellen.pdf>. [Zugriff am 02 07 2017].
- [84] H. Löschner, Interviewee, *E-Mail "Fragen zum aktuellen Stand eures Multibeamschreibers"*. [Interview]. 28 06 2017.
- [85] [Online]. Available: [http://upload.wikimedia.org/wikipedia/commons/0/00/Transistor\\_Count\\_and\\_More%27s\\_Law\\_-\\_2011.svg](http://upload.wikimedia.org/wikipedia/commons/0/00/Transistor_Count_and_More%27s_Law_-_2011.svg). [Zugriff am 2013 01 02].
- [86] M. Madou, Fundamentals of Microfabrication – The Science of Miniaturization – Second Edition, CRC Press LLC, 2002.
- [87] [Online]. Available: <http://beforeitsnews.com/science-and-technology/2011/01/darpa-maskless-nanowriter-is-to-be-100-times-faster-than-single-electron-beam-lithography-tools-351729.html>. [Zugriff am 23 03 2014].
- [88] J. P. C. K. K. J. G. J. D. Hunga, „Generating Well-Behaved OASIS Files for Mask Data Processing,“ in *Photomask Technology 2012*, Monterey, CA, USA, 2012.
- [89] [Online]. Available: [http://www.sematech.org/meetings/archives/litho/7810/pres/21\\_pierrat\\_amtc.pdf](http://www.sematech.org/meetings/archives/litho/7810/pres/21_pierrat_amtc.pdf). [Zugriff am 27 04 2014].
- [90] [Online]. Available: <http://www.utdallas.edu/research/cleanroom/documents/EBM14writingTime.pdf>. [Zugriff am 01 06 2014].
- [91] D. F. S. J. H. R. R. C. C. a. M. M. G.L. Varnell, „Highspeed, lowoverhead electron beam direct slice writing system,“ in *Journal of Vacuum Science & Technology 16*, 1979.
- [92] „ITRS 2013 EDITION,“ [Online]. Available: <http://www.itrs.net/ITRS%201999-2014%20Mtgs,%20Presentations%20&%20Links/2013ITRS/2013Chapters/2013Litho.pdf>. [Zugriff am 24 05 2015].
- [93] J. D. Schulze Spüntrup, Interviewee, *Gespräch zum Thema Kapazität der Elektroden und Frequenzverhalten*. [Interview]. 27 10 2015.
- [94] [Online]. Available: [http://www.physics.louisville.edu/cldavis/phys299/notes/elec\\_cap\\_fig1.jpg](http://www.physics.louisville.edu/cldavis/phys299/notes/elec_cap_fig1.jpg). [Zugriff am 22 03 2016].

## Lebenslauf

Name	Michael Jurisch
geboren	25. August 1982 in Lauchhammer
Familienstand	verheiratet
1989 - 1995	Grundschule Großkmehlen
1995 - 2002	Emil-Fischer Gymnasium Schwarzheide
28.06.2002	Allgemeine Hochschulreife
2002 - 2003	Grundwehrdienst
2003 - 2007	Studium der Mikrosystemtechnik an der Fachhochschule Kaiserslautern, Standort Zweibrücken
2007	Diplomarbeit bei der Robert Bosch GmbH (Schillerhöhe) Thema: Entwicklung eutektischer Waferbondverfahren
08.2007	Diplom (FH)
seit 12.2007	Wissenschaftlicher Angestellter am Institut für Mikroelektronik Stuttgart, Abteilung Lithografie/Nanoprozesse/Ätzen
05.2017	Promotion am Institut für Mikroelektronik Stuttgart Thema: Ablenk-Systeme für die Multi-Elektronenstrahlolithografie auf Basis CMOS-kompatibler Fertigungsprozesse

## Veröffentlichungen

1. Jurisch, M.; Irmscher, M.; Letzkus, F. “Ablenkeinheit mit vergrabenen Wolframelektroden für die Multi-Elektronenstrahlolithografie“ in *Proceedings of MikroSystemTechnik 2015 - MikroSystemTechnik Kongress 2015*, Karlsruhe/Germany, 2015
2. Bartolf, H.; Mihaila, A.; Nistor, I.; Jurisch, M.; Leibold, B.; Zimmermann, M. “Development of a 60  $\mu\text{m}$  Deep Trench and Refill Process for Manufacturing Si-Based High-Voltage Super-Junction Structures” in *Proceedings of IEEE Transactions on Semiconductor Manufacturing (Volume:26, Issue: 4)*, 2013
3. Eder Kapl, S.; Loeschner, H.; Piller, W.; Witt, M.; Pilz, W.; Letzkus, F.; Jurisch, M.; Irmscher, M.; Platzgummer, E. “Characterization of CMOS programmable multi-beam blanking arrays as used for programmable multi-beam projection lithography and resistless nanopatterning” in *Journal of micromechanics and microengineering 21*, 2011
4. Jurisch, M.; Irmscher, M.; Letzkus, F.; Platzgummer, E.; Klein, C.; Loeschner H. “W-CMOS Blanking Device for Projection Multi-Beam Lithography” in *Proceedings of SPIE 7748*, Tokyo/Japan, 2010
5. Platzgummer, E.; Klein, C.; Joechl, P.; Loeschner, H.; Witt, M.; Pilz, W.; Butschke, J.; Jurisch, M.; Letzkus, F.; Sailer, H.; Irmscher, M. “Charged particle multi-beam lithography evaluations for sub-16nm hp mask node fabrication and wafer direct write” in *Proceedings of SPIE 7488*, Monterey/ USA, 2009
6. Invited Talk: Letzkus, F.; Butschke, J.; Irmscher, M.; Jurisch, M.; Klein, C.; Klingler, W.; Löschner, H.; Platzgummer, E.; Springer, R. “Deflection Unit for Multi-Beam Mask Making“ in *Proceedings of EMLC 2009*, Dresden/Germany, 2009
7. Letzkus, F.; Irmscher, M.; Jurisch, M.; Platzgummer, E.; Klein, C.; Loeschner, H. “3D Si aperture-plates combined with programmable blanking-plates for multi-beam mask writing” in *Proceedings of SPIE 7488*, Monterey/ USA, 2009
8. First Place - Best Poster Award: Letzkus, F.; Butschke, J.; Irmscher, M.; Jurisch, M.; Klein, C.; Klingler, W.; Löschner, H.; Platzgummer, E.; Springer, R. “Deflection Unit for Multi-Beam Mask Making“ in *Proceedings of SPIE 7122*, Monterey/ USA, 2008

### **Eidesstattliche Erklärung**

Ich erkläre hiermit, dass ich die vorliegende Arbeit selbständig und nur unter Benutzung der angegebenen Literatur und Hilfsmittel angefertigt habe. Wörtlich übernommene Sätze oder Satzteile sind als Zitat belegt, andere Anlehnungen hinsichtlich Aussage und Umfang unter Quellenangabe kenntlich gemacht. Die Arbeit hat in gleicher oder ähnlicher Form noch keiner Prüfungsbehörde vorgelegen und ist nicht veröffentlicht.

Gerlingen, 22.07.2017    *gez. Michael Jurisch*