

Analog-Digital-Umsetzer für die hochbitratige Datenübertragung

Von der Fakultät Informatik, Elektrotechnik und Informationstechnik
der Universität Stuttgart
zur Erlangung der Würde eines Doktor-Ingenieurs (Dr.-Ing.)
genehmigte Abhandlung

Vorgelegt von
Felix Lang
aus Darmstadt

Hauptberichter : Prof. Dr.-Ing. Manfred Berroth
Mitberichter : Prof. Dr.-Ing. Joachim Speidel

Tag der mündlichen Prüfung : 16. Juli 2014

Institut für Elektrische und Optische Nachrichtentechnik
der Universität Stuttgart

2014

Inhaltsverzeichnis

Abkürzungen und Fachbegriffe	IX
Symbolverzeichnis	XIII
Abstract	XVII
1 Einleitung	1
1.1 Anwendungsgebiete schneller Analog-Digital-Umsetzer	1
1.2 Ziele der Arbeit	5
2 Theoretische Grundlagen	6
2.1 Schnelle A-D-Umsetzer	6
2.1.1 Parallel-A-D-Umsetzer	6
2.1.2 Mehrschritt-A-D-Umsetzer	8
2.1.3 Hybrid-A-D-Umsetzer	10
2.1.4 Zeitverschachtelte A-D-Umsetzer	13
2.2 Eigenschaften von A-D-Umsetzern	14
2.2.1 Statische Eigenschaften	14
2.2.2 Dynamische Eigenschaften	20
2.2.3 Gütefaktor	27
2.3 Störeinflüsse bei CMOS-A-D-Umsetzern	27
2.3.1 Prozessabweichungen und Fehlpassungen	28
2.3.2 Abweichungen durch Eingangsströme	30
2.3.3 Abweichungen durch Temperaturunterschiede	35
2.3.4 Alterungseinflüsse	36
3 Schnelle Parallel-A-D-Umsetzer	38
3.1 Architektur	38
3.1.1 Zeitverschachtelung	38
3.1.2 Eingangs-Baumstruktur	40
3.1.3 Interpolation	41
3.1.4 Kalibrierung	44
3.1.5 Thermometer-zu-Binär-Kodierer	49
3.2 Realisierte Parallel-A-D-Umsetzer	52
3.2.1 Zweifach zeitverschachtelter Parallel-A-D-Umsetzer	52
3.2.2 Vierfach zeitverschachtelter Parallel-A-D-Umsetzer	63
4 Charakterisierung der realisierten Testschaltungen	69

4.1	Messumgebung	69
4.1.1	Aufbau	69
4.1.2	Synchronisierung	79
4.2	Messungen und Messergebnisse	86
4.2.1	A-D-Umsetzer-Testchip	86
4.2.2	A-D-Umsetzer Entwurf 1	90
4.2.3	A-D-Umsetzer Entwurf 2	94
5	Vergleich und Bewertung der Ergebnisse	103
5.1	Zusammenfassung und Bewertung der Simulations- und Messergebnisse . . .	103
5.1.1	Optimierungsmöglichkeiten	107
5.2	Vergleich zum Stand der Technik	109
6	Zusammenfassung	113
A	Anhang	117
A.1	Zusammenfassung der wichtigsten Eigenschaften von MOSFETs	117
A.2	Stromschalterlogik und Linearisierung	122
A.3	Kontrollprogramm chIMP	128
A.4	Datenblatt A-D-Umsetzer Entwurf 1	132
A.5	Datenblatt A-D-Umsetzer Entwurf 2	137
A.6	Datenblatt Demultiplexer	145
	Literaturverzeichnis	149
	Eigene Veröffentlichungen	156
	Danksagung	158

Abbildungsverzeichnis

1.1	Blockdiagramm OFDM-Empfangssystem	2
1.2	Blockdiagramme eines herkömmlichen Radar-Empfangssystems mit Abwärtsmischung und eines mit direkter Abtastung [1]	3
1.3	Blockdiagramm-Beispiel für ein digitales Echtzeit-Oszilloskop mit vier analogen Eingängen [2]	4
2.1	3 bit Parallel-Analog-Digital-Umsetzer	7
2.2	Mehrschritt-A-D-Wandler mit drei Stufen	9
2.3	Stufe eines Mehrschritt-A-D-Wandlers	10
2.4	Hybrid-A-D-Wandler mit Faltungsstufe	11
2.5	Signalverarbeitung in einer 2 bit Faltungsstufe	12
2.6	Zeitverschachtelung von zwei 6 bit Umsetzern	13
2.7	Ideale statische Übertragungskennlinie eines 3 bit A-D-Wandlers	15
2.8	Globaler Offsetfehler bei einem 3 bit A-D-Wandler	16
2.9	Verstärkungsfehler bei einem 3 bit A-D-Wandler	17
2.10	Beispiel zu differentieller und integraler Nichtlinearität (DNL & INL) bei A-D-Wandlern	19
2.11	Differenz von Aus- und Eingangssignal für eine Rampenfunktion an einem 3 bit A-D-Umsetzer zur Bestimmung des Quantisierungsrauschens	25
2.12	Kennlinienschar eines 28 nm CMOS nFET ohne Fehlpassungen	28
2.13	Kennlinienschar eines 28 nm CMOS nFET mit Fehlpassungen (5x Monte-Carlo-Simulation)	29
2.14	Referenzspannungsleiter mit statischen Komparatoreingangsströmen	32
2.15	Referenzspannungsleiter mit statischen Komparatoreingangsströmen und den sich ergebenden Spannungsdifferenzen für $I_{K, \text{ein}} > 0 \text{ A}$	33
2.16	Bestimmung der maximalen Spannungsabweichung der Referenzspannungsleiter mit statischen Komparatoreingangsströmen $I_{K, \text{ein}} > 0 \text{ A}$	34
3.1	Zeitverschachtelung von zwei und vier 6 bit Parallelumsetzern	39
3.2	Eingangsbaumstruktur mit linearen Verstärkern und Beispiel zur Versorgung von neun Komparatoren K_{1-9}	40
3.3	Prinzip der Interpolation - a) regulärer Verlauf der Nulldurchgänge eines 2 bit Umsetzers, b) Erweiterung des 2 bit Umsetzers um Randkomparatoren und Erzeugung der zusätzlichen Nulldurchgänge mithilfe von Interpolation, c) Ausgangssignale von b) nach einer weiteren Verstärkerstufe, d) fehlerhafte Interpolation mit falschen Linearitätsvorraussetzungen	41
3.4	Resistive Interpolation - a) ohne und b) mit Anpassung der Impedanz zu allen Knoten	43

3.5 Aktiver Interpolationsverstärker AIA	44
3.6 Umsetzung der Kalibrierung der differentiellen Referenzspannungsleiter	46
3.7 Kalibrierung der Referenzspannungsleiter	47
3.8 Kalibrierung der Eingangsbaumstruktur	48
3.9 Beispielverläufe zur Kalibrierung der Eingangsbaumstruktur	49
3.10 Thermometer-Binär-Kodierer (T2B) basierend auf Multiplexern. Oben 2 bit T2B, unten 3 bit T2B aus zwei 2 bit T2Bs	50
3.11 Blockschaltbild des zweifach zeitverschachtelten Parallel-A-D-Umsetzers Ent- wurf 1	53
3.12 Blockschaltbild eines Einzelwandlers des zweifach zeitverschachtelten Parallel- A-D-Umsetzers Entwurf 1	54
3.13 Schaltplan der Folge-Halte-Schaltung	55
3.14 Schaltplan des differentiellen Komparators und der differentiellen Referenz- spannungsleiter	58
3.15 Schaltplan des Pseudozufallszahlengenerators	59
3.16 Maskenentwurf und Foto des A-D-Umsetzers Entwurf 1 (ADU V1)	60
3.17 Simulationsergebnisse ENOB und SNDR von ADU V1	61
3.18 Blockschaltbild des vierfach zeitverschachtelten Parallel-A-D-Umsetzers Ent- wurf 2 (ADU V2)	63
3.19 Schaltplan des Halbraten-Pseudozufallszahlengenerators	66
3.20 Maskenentwurf und Foto des A-D-Umsetzers Version 2	67
3.21 Simulationsergebnisse ENOB bzw. SNDR und SFDR von ADU V2 mit parasi- tären Elementen bei einer Abtastrate von 25 GS/s	68
4.1 Blockschaltbild des Messsystems	70
4.2 Darstellung des kleinen Messaufbaus - links: Draufsicht von oben, rechts: Ver- tikaler Aufbau	72
4.3 Verlauf der Leitungsimpedanz Z_0 nach Gleichung 4.1 und Gleichung 4.2 für das Taconic Substrat nach Tabelle 4.1 und $\varepsilon_{r,e} = \varepsilon_r$	73
4.4 Darstellung des großen Messaufbaus - links: Draufsicht von oben auf das Taconic-Board, rechts: Vertikaler Aufbau	74
4.5 Blockschaltbild des 3x 1:2 Demultiplexer-Chips	75
4.6 3D-Darstellung des Dünnschichtsubstrat-Maskenentwurfs (hier: Skalierung der Dicken 9x)	76
4.7 Gekoppelte differentielle Mikrostreifenleitungen (engl.: Microstrip Coupled Li- nes, MCLIN) [47], links: Ausschnitt dreier differentieller Leitungen aus Abbil- dung 4.6, rechts oben: Simulierte differentielle Transmissionsdämpfung, rechts unten: Simuliertes differentielles Übersprechen	77
4.8 Foto des großen Messaufbaus	78
4.9 Synchronisierungsablauf	80
4.10 Eigenschaften einer PRBS bei Unterabtastung - oben: Eingang, unten Ausgang 1 und 2 für doppelte Unterabtastung mit Demultiplexer	81
4.11 PRBS an einem Demultiplexer	82
4.12 Blockschaltbild der ursprünglichen Messumgebung GIMP	83
4.13 Empfangsteil der Messumgebung GIMP	84

4.14 Bitverschiebeeinheit der Messumgebung GIMP	85
4.15 Kommunikation der Kontrollsoftware chIMP mit dem FPGA-Design GIMP	86
4.16 a) Chipfoto und b) Maskenentwurf mit Verteilung der Teststrukturen auf dem 90 nm CMOS Testchip	87
4.17 Transmissions- und Reflexionsparameter der $50\ \Omega$ -Testleitung auf dem Testchip in 90 nm CMOS-Technologie	88
4.18 Testaufbau Pseudozufallszahlengenerator PRBS	89
4.19 Kennlinie und DNL A-D-Umsetzer Version 1 mit neun Messdurchläufen	91
4.20 Messung der Augendiagramme der Ausgangssignale des ADU V1 auf dem Wafer-Kontaktierungstestgerät bei verschiedenen Abtastraten	93
4.21 Ausgangscode vs. Eingangscode für zwei Kanäle von ADU V2 ohne Kalibrierung - Ausgabe der Messsoftware chIMP	95
4.22 Ausgangscode vs. Eingangscode für zwei Kanäle von ADU V2 mit Kalibrierung - Ausgabe der Messsoftware chIMP	96
4.23 DNL und INL für die beiden Kanäle von ADU V2 mit Kalibrierung aus Abbildung 4.22	97
4.24 Temperaturverteilung im Zentrum des kleinen Aufbaus bei Betrieb des Wandlers der Version 2 mit ausgeschalteter Kühlung (oben) und eingeschalteter Kühlung (unten)	98
4.25 Messung eines Ausgangsaugendiagramms des ADU V2 auf dem Wafer-Kontaktierungstestgerät bei 10 GS/s (oberer und unterer Teilwandler je 5 Gbit/s) mit einer PRBS am analogen Eingang	99
4.26 Signalverlauf, DFT und effektive Auflösung des Wandlers Version 2 bei 2,0 GS/s (0,5 GS/s pro Kanal) und bei niedriger Eingangssignalfrequenz ($k=11$) - ohne Kalibrierung, Ausgabe der Messsoftware chIMP	100
4.27 Signalverlauf, DFT und effektive Auflösung des Wandlers Version 2 bei 2,0 GS/s (0,5 GS/s pro Kanal) und bei niedriger Eingangssignalfrequenz ($k=11$) - mit Kalibrierung, Ausgabe der Messsoftware chIMP	101
4.28 Signalverlauf, DFT und effektive Auflösung des Wandlers bei 18,0 GS/s (4,5 GS/s pro Kanal) und bei niedriger Eingangssignalfrequenz ($k=2$) - mit Kalibrierung, Ausgabe der Messsoftware chIMP	102
5.1 ENOB von ADU V1 & V2 im Vergleich - Simulationsergebnisse auf Schaltplanebene und mit extrahierten RC-Elementen und Kopplungskapazitäten	104
5.2 FOM-Werte vs. Abtastrate für Tabelle 5.1	111
A.1 Schaltbilder von n- bzw. p-Kanal-Anreicherungs-MOSFETs	117
A.2 Querschnitt eines n-Kanal-MOSFET	118
A.3 Herleitung des Kleinsignalersatzschaltbildes anhand des Querschnitts eines n-Kanal-MOSFET	120
A.4 Stromschalterlogik/CML-Pufferverstärker	122
A.5 CML-Pufferverstärker mit Linearisierung durch Widerstandsdegeneration	125
A.6 Prinzip der Widerstandsdegeneration	126
A.7 Beispielfunktion aus chIMP zur Berechnung der DFT-Koeffizienten	131

Tabellenverzeichnis

2.1	Verschiedene Alterungseinflüsse bei CMOS-Schaltungen	37
3.1	Spannungswerte am F&H-Glied	56
3.2	Übersicht der Kenndaten und Simulationsergebnisse des A-D-Umsetzer Version 1	62
3.3	Übersicht der Kenndaten und Simulationsergebnisse des A-D-Umsetzers Ver- sion 2	68
4.1	Eigenschaften des genutzten Taconic RF60A-Laminats [44] und des genutzten Dünnschicht-Substrats von RHe [45]	71
4.2	Vergleich Simulations- und Messergebnisse PRBS-Generator	90
5.1	Stand der Technik von Parallel-A-D-Umsetzern	110
A.1	Oben: Stromgleichungen MOSFETs, Mitte: Parameter g_0 , g_m und g_{mb} des Kleinsignal-ESB, Unten: Wirksame Kapazitäten zwischen den verschiedenen Knoten	119
A.2	Beschreibung der Befehle im Hauptmodul von chIMP	128

Abkürzungen und Fachbegriffe

Abkürzung	Beschreibung
100GET	Projektname, Abkürzung für “100 Gbit Ethernet”
A&H	A btast &H alte-Glied
A-D	A nalog- D igital
ADS	A dvanced D esign S ystem
ADU	A nalog- D igital- U msetzer, A-D-Wandler (engl.: Analog-to-digital converter)
ADU V1	Erster ADU-Entwurf in dieser Arbeit
ADU V2	Zweiter ADU-Entwurf in dieser Arbeit
AIA	Aktiver Interpolationsverstärker (engl.: A ctive I nterpolation A mplifier)
Amp	Verstärker (engl.: A mplifier)
ASK	Amplitudenumtastung (engl.: A mplitude S hift K eying)
AT	A usgangst r eiber
B	B ulk-Anschluss/Kontakt MOSFET
BER	Bitfehlerrate (engl.: B it E rror R ate)
BERT	Bitfehlerraten-Messgerät (engl.: B it E rror R ate T ester)
BMBF	B undes m inisterium für B ildung und F orschung
BNC	Konnektortyp, benannt nach B ayonet N eill C oncelman
BSIM	MOSFET-Modell-Familie der University of California (engl.: B erkeley S hort-channel I GFET M odel)
C	Kapazität (engl.: C apacity)
clk/CLK	Takteingang (engl.: c lock)
CHC	C hannel- H ot- C arrier-Effekt
chIMP	Kontrollsoftware für das Messsystem (engl.: c ontrol h elper I NT M easurement P latform)
CML	Stromschalterlogik (engl.: C urrent- M ode L ogic)
CMOS	Komplementärer Metall-Oxid-Halbleiter (engl.: C omplementary M etal O xide S emiconductor)
D	D rain-Anschluss/Kontakt MOSFET
D-A	D igital- A nalog

Abkürzung	Beschreibung
DATA	Dateneingang Dreidrahtschnittstelle
DAU	D igital- A nalog- U msetzer (engl.: Digital-to-analog converter)
dB	D ezi b el
DC	Gleichstrom (engl.: D irect C urrent)
DDC	Digitaler Abwärtsmischer (engl.: D igital D own C onverter)
DEMUX	D emultiplex e r
DFT	D iskrete F ourier- T ransformation
DFE	Entscheidungsrückgekoppelter Equalizer (engl.: D ecision F eedback E qualizer)
DK	Entwurfsbaukasten CMOS-Technologie (engl.: D esign K it)
DNL	D ifferentielle N icht l inearität
dnw	Tiefe N-Wanne (engl.: d eep n -well)
DP-RAM	Von zwei Taktdomänen les- und beschreibbarer Speicher (engl.: D ual P ort- R andom- A ccess M emory)
DPC	Digitale Pulskompression (engl.: D igital P ulse C ompression)
DSP	Digitale Signalverarbeitung (engl.: D igital S ignal P rocessing)
DUT	Messobjekt (engl.: D evice U nder T est)
ENA	Übernahmeeingang Dreidrahtschnittstelle (engl.: E nable)
ENOB	Effektive Anzahl von Bits / effektive Auflösung (engl.: E ffective N umber O f B its)
ESB	E rsatzschalt b ild
ESD	Elektrostatische Entladung (engl.: E lectro s tatic D ischarge)
F&H	F olge & H alte-Glied
FF	F lip f lop
FFT	Schnelle Fourier-Transformation (engl.: F ast F ourier T ransform)
FOM	Gütezahl (engl.: F igure O f M erit)
FPGA	Im Feld programmierbare Logik-Gatter-Anordnung (engl.: F ield P rogrammable G ate A rray)
Frontend	Vorderer eingangsseitiger (Analog-)Teil einer Schaltung
G	Massekontakt (engl.: G round pad)
G	G ate-Anschluss/Kontakt MOSFET
GIMP	Messsystem (engl.: G igabit I NT M easurement P latform)
H	Wasserstoff
HF	H och f requenz
I	I nphasen-Komponente
INL	I ntegrale N icht l inearität
INT	I nstitut für Elektrische und Optische N achricht e nt e chnik

Abkürzung	Beschreibung
ISSCC	I nternational S olid- S tate C ircuits C onference
K	K omparator
KLM	K anal l ängen m odulation
Komp	K omparator
LAN	Lokales Netzwerk (engl.: L ocal A rea N etwork)
LFSR	Rückgekoppeltes Schieberegister (engl.: L inear F eedback S hift R egister)
LO	L okal- O szillator
LSB	Niederwertigstes Bit (engl.: L east S ignificant B it)
M3	Metalllage 3 des verwendeten Prozesses
M7	Metalllage 7 des verwendeten Prozesses
MCLIN	Gekoppelte Mikrostreifenleitung (engl.: M icrostrip C oupled L ines)
MOSFET	Metall-Oxid-Halbleiter-Feldeffekttransistor (engl.: M etal- O xide- S emiconductor F ield- E ffect T ransistor)
MSB	Höchstwertigstes Bit (engl.: M ost S ignificant B it)
MUX	M ultiplex e r
NBTI	N egative- B ias- T emperature- I nstability-Effekt
nFET	n -Kanal-MOS FET
OFDM	Orthogonales Frequenzmultiplexverfahren (engl.: O rthogonal F requency- D ivision M ultiplexing)
OOK	Binäre Amplitudenmodulation, einfachste Form von ASK (engl.: O n- O ff K eying)
OR	Überschreiten des maximalen Eingangsspannungsbereichs (engl.: O ver R ange)
P	Versorgungsspannungskontakt (engl.: P ower pad)
PBTI	P ositive- B ias- T emperature- I nstability-Effekt
PC	P ersonal- C omputer
pFET	p -Kanal-MOS FET
Poly	P olysilizium, polykristalines Silizium
PRBS	Pseudozufallszahlengenerator bzw. Pseudozufallszahlen-Sequenz (engl.: P seudo- R andom B inary- S equen c e(r))
Q	Q uadratur-Komponente
R	Widerstand (engl.: R esistor)
R2/3	Referenzmarker thermografische Messung
RIO	R ocket- I O-Schnittstelle/Interface
RL	R eferenzspannungs l eiter
RMS	Effektivwert / quadratischer Mittelwert (engl.: R oot M ean S quare)
RS232	Seriell e s Bussystem

Abkürzung	Beschreibung
rV	regulärer V erlauf
S	S ignalkontakt
S	S ource-Anschluss/Kontakt MOSFET
SAR	S ukzessive- A pproximations- R egister
Seq.	S equenz
SFDR	Störungsfreier dynamischer Bereich (engl.: S purious F ree D ynamic R ange)
Si	S ilizium
SINAD	siehe SNDR (engl.: S ignal-to- N oise and D istortion R atio)
SIO2	S ilizium d ioxid
SMA	Hochfrequenz-Steckverbinder (S ub- M iniature- A)
SMP	Hochfrequenz-Steckverbinder (S ub- M iniature- P)
SNDR	Signal-zu-Rausch-und-Störverhältnis (engl.: S ignal-to- N oise and D istortion R atio)
SNR	Signal-zu-Rausch-Verhältnis (engl.: S ignal-to- N oise R atio)
SNR _{Quant}	Signal-zu-Quantisierungsrausch-Verhältnis (engl.: S ignal-to-quantization- N oise R atio)
T2B	Thermometer-zu-Binär-Umsetzer (engl.: T hermometer- to - B inary-Converter)
TDDB	T ime- D ependent- D ielectric- B reakdown-Effekt
TI	Zeitverschachtelung / Parallelisierung (engl.: T ime- I nterleaving)
TT	T akt t eiler
ÜKL	Ü bertragungs k enn l inie
USB	Serielles Bussystem (engl.: U niversal S erial B us)
Vb.net	Programmiersprache V isual B asic .NET
XOR	Exklusives Oder-Gatter (engl.: e xclusive O R)

Symbolverzeichnis

<i>Variable/Symbol</i>	<i>Einheit</i>	<i>Beschreibung</i>
$\wedge$		Logisches UND
$\vee$		Logisches ODER
$*$		Faltungsfunktion
A	m^2	Fläche eines Bauelements / Querschnittsfläche
A_{DC}		Gleichspannungsverstärkung
B_i		Binärer Wert an der Stelle i
C_{CB}	F	Kanal-Bulk-Kapazität MOSFET
C_{GB}	F	Gate-Bulk-Kapazität MOSFET
C_{GC}	F	Gate-Kanal-Kapazität MOSFET
C_{GD}	F	Gate-Drain-Kapazität MOSFET
C_{GS}	F	Gate-Source-Kapazität MOSFET
C_{jD}	F	Übergangskapazität am Drain-Anschluss eines MOSFET
C_{jS}	F	Übergangskapazität am Source-Anschluss eines MOSFET
C_{OV}	F	Überlapp-Kapazität MOSFET (engl.: Overlap Capacity)
D		Digitaler Ausgangscode in dezimaler Form
e_g		Verstärkungsfehler
$f_{3\,dB}$	Hz	3 dB-Grenzfrequenz
f_e	Hz	Frequenz eines Eingangssignals
f_{LO}	Hz	Frequenz Lokal-Oszillator
f_{Nq}	Hz	Nyquist-Frequenz
f_S	$Sample/s$	Abtastrate (engl.: Sampling Frequency)
$f_{S_{TI}}$	$Sample/s$	Abtastrate zeitverschachtelte Wandler / TI-ADU
f_T	Hz	Trägerfrequenz
g		Verstärkungsfaktor (engl.: Gain)
g_0	S	Ausgangsadmittanz MOSFET
g_m	S	Transkonduktanz MOSFET
g_{mb}	S	Bulk-/Backgate-Transkonduktanz MOSFET

Variable/Symbol	Einheit	Beschreibung
G_s	S	Ersatztranskonduktanz in Serienschaltung
I_D	A	Drain-Strom MOSFET
$I_{K, \text{ein}}$	A	Eingangsstrom Komparator
I_{Kal}	A	Kalibrationsstrom
I_L	A	Querstrom Referenzspannungsleiter
J_D	$\frac{A}{m^2}$	Diffusionsstromdichte
k		Frequenzindex bei einer DFT
m		Anzahl der Komparatoren bei einem Parallel-A-D-Wandler
n	bit	Nominale Auflösung A-D-Wandler
N		Anzahl der Abtastwerte für eine DFT
n_{eff}	bit	Effektive Auflösung A-D-Wandler
n_s	bit	Auflösung A-D-Wandler-Stufe
o		Anzahl der Referenzspannungsleiter-Widerstände
p		Parallelisierungsgrad
P	W	Verlustleistung
P_R	W	Rauschleistung
P_S	W	Signalleistung
P_V	W	Leistung der Verzerrungen
q		Anzahl der Widerstände bis zur Mitte einer Referenzspannungsleiter
Q	C	Elektrische Ladung
r	$1/s$	Anzahl der Rechenschritte pro Sekunde
R	Ω	Widerstand (allgemein)
R_{lin}	Ω	Linearisierungswiderstand
s		Stufenanzahl bei Mehrschritt-A-D-Wandlern
T	K	Temperatur
t_c	s	Wandlungszeit
$T[i]$		Tatsächlicher Codewechsel (engl.: Transition)
T_i		Idealer Codewechsel (engl.: Transition)
t_r	s	Anstiegszeit (engl.: Rise Time)
$\hat{u}$	V	Spannungsamplitude
U_a	V	Ausgangsspannung
U_B	V	Spannung am Bulk-Kontakt
U_{BS}	V	Bulk-Source-Spannung MOSFET
U_{clk}	V	Spannung am Takt-Eingang

Variable/Symbol	Einheit	Beschreibung
U_D	V	D-A-gewandelte Ausgangssignale eines ADU
U_{DD}	V	Positiver Anschluss Versorgungsspannung
U_{DS}	V	Drain-Source-Spannung MOSFET
U_e	V	Eingangsspannung
$U_{e,FS}$	V	Eingangsspannungswert, für den ein A-D-Wandler bei niedrigen Eingangsfrequenzen die volle digitale Amplitude ausgibt (engl.: Full-Scale)
u_{eff}	V	Effektivwert einer Spannung
U_F	V	Fehlerspannung
U_{GS}	V	Gate-Source-Spannung MOSFET
U_{hub}	V	Spannungshub ($= U_{max} - U_{min}$)
U_k	V	Konstanter Spannungswert
U_{LSB}	V	Spannungswert eines LSB
U_N	V	Spannung am Anschluss der tiefen N-Wanne
U_{os}	V	Versatzspannung (engl.: Offset Voltage)
U_{ref}	V	Referenzspannung A-D-Wandler, in der Regel $U_{ref} = U_{e,max}$
U_{SS}	V	Negativer Anschluss Versorgungsspannung
U_{th}	V	Schwellenspannung allgemein (engl.: Threshold Voltage)
U_{tn}	V	Schwellenspannung U_{th} nFET
U_{tp}	V	Schwellenspannung U_{th} pFET
X		Fouriertransformierte bzw. deren Koeffizienten
Z_0	Ω	Systemimpedanz

Griechische Buchstaben

Variable	Einheit	Beschreibung
β	$\frac{A}{V^2}$	Stromverstärkungsfaktor
β_n	$\frac{A}{V^2}$	Stromverstärkungsfaktor nFET
β_p	$\frac{A}{V^2}$	Stromverstärkungsfaktor pFET
γ	$\sqrt{V}$	Body-Effekt-Parameter / Substratsteuerfaktor
δ		Diracimpuls
ε		Integrale Nichtlinearität, auf LSB normiert
ε_r		Relative Permittivität
$\varepsilon_{r,e}$		Effektive relative Permittivität

Variable	Einheit	Beschreibung
λ	$\frac{1}{V}$	Kanallängenmodulationsfaktor
λ_n	$\frac{1}{V}$	Kanallängenmodulationsfaktor nFET
λ_p	$\frac{1}{V}$	Kanallängenmodulationsfaktor pFET
μ	$\frac{m^2}{Vs}$	Beweglichkeit / Ladungsträgermobilität
Φ_F	V	Fermi-Potential - $2 \cdot \Phi_F =$ Oberflächenspannung
ω_e	Hz	Kreisfrequenz eines Eingangssignals

Konstanten

$\alpha = 1,5..2$	Technologieabhängige Konstante zur Temperaturabhängigkeit der Beweglichkeit μ
$\kappa = 0,5..4$	Technologieabhängige Konstante zur Temperaturabhängigkeit der Schwellenspannung U_{th}
$T_0 = 293\ K$	Raumtemperatur in Kelvin

Abstract

This thesis covers the theory, the development and the measurement of analog-to-digital-converters (ADCs) for the application in high speed data communication systems. Based on project requirements, which demanded very high sampling rates of 25 GS/s with relatively low nominal resolutions of 6 bit, there is a special focus on flash ADCs. The underlying idea is to develop reusable structures and concepts for CMOS-ADCs, which may be integrated together with large digital cores in a one chip solution at relatively low cost. Another benefit of the one chip solution is the low complexity of the interconnection between the ADC and the digital signal processor. Two ADC-chips with real-time interfaces are implemented for testing of a data transmission system and for measurement purposes. These high bitrate interfaces require a proprietary development of an FPGA-based measurement system. This measurement system can handle 20 parallel transceivers, each with a data rate of up to 6.5 Gbit/s.

The thesis starts with a short overview on the fields of application of high speed ADCs. These are basically optoelectronic transmission systems, radar systems and sampling oscilloscopes. As a consequence of the relocation of more and more functionalities from the analog to the digital domain, ADCs as interfaces become more and more important.

Following the overview the targets of the underlying project are explained. These are summed up by the desired building block below:

A 25 GS/s 6 bit flash ADC with a bandwidth above the Nyquist frequency, real time interfaces and a power consumption below 3 W in 90 nm CMOS technology.

In the second chapter, the basics of analog-to-digital-conversion are explained and several applicable architectures are introduced. These are - besides highly interleaved structures with rather slow architectures like ADCs with a successive approximation register (SAR) - the flash-, the pipeline- and the folding/hybrid-ADC-concept. Furthermore, the relevant characteristics of ADCs, like the differential and integral nonlinearity (DNL and INL), the signal-to-noise and distortion

ratio (SNDR) and the effective number of bits (ENOB), are explained. This is accompanied by an introduction of the most common effects that may influence these factors, e.g. threshold voltage variations of the transistors with temperature.

In the third chapter, the two developed time-interleaved 6 bit flash ADCs are explained. Therefore, the chapter starts with the explanation of the circuit techniques and ideas that have been used to overcome effects like mismatch or high input- and interconnect-capacities. The resulting ADCs are a twofold and a fourfold time-interleaved 25 GS/s 6 bit flash ADC.

The twofold interleaved ADC implies an active interpolation structure from 3 to 6 bit. The resistor-ladders of the sub-ADCs may be calibrated with small digital-to-analog converters (DACs). With this there is no direct impact on the analog path of the ADC. Additionally a bubble error tolerant thermometer-to-binary converter, which is based on a simple MUX-structure, is placed at the outputs of the interpolation stage. Due to the high sampling rate of the sub-ADCs of this ADC design, the ADC performance suffers under bandwidth limitations. Therefore in the second ADC the speed requirements of the sub-ADCs are reduced by a factor of 2. This is achieved by a slightly higher interleaving factor of 4, which fortunately allows reducing the sub-ADC size. The fourfold interleaved ADC utilizes the known structures of the twofold interleaved ADC. Furthermore it implies preamplifier-trees in front of the comparators of the sub-ADCs to reduce the capacitive load at the analog input of the entire ADC. The preamplifiers are linearized by source degeneration of the differential pair. With the two linearization resistors and small DACs, the source-voltage of the differential pair can be shifted at each side individually. This new calibration methodology allows shifting the zero crossings of the preamplifiers using a single ended calibration. Furthermore it allows reducing the gain by a calibration at both sides of the differential structure. This calibration possibility has also no direct influence on the analog path of the ADC.

Both ADCs are shown as block-diagrams, layouts and die-photographs. Additionally the implemented analog sub-circuits, like the calibrated amplifier tree, and the implemented purely digital circuits, a regular and a half-rate PRBS and the thermometer-to-binary-converter, are presented in detail.

Finally, this chapter also deals with the simulation results. They show an effective resolution of more than 5 bit for low frequencies and more than 4 bit up to the Nyquist frequency for the twofold interleaved ADC on schematic level including the noise effects. The parasitic effects of the extracted layout yield to a drop of

the effective resolution down to 3.4 bit for higher frequencies around half of the Nyquist frequency. The improved fourfold interleaved ADC shows a resolution of more than 5 bit up to the Nyquist frequency with extracted parasitic elements of the layout.

The fourth chapter goes into detail with the measurements and the underlying real time measurement setup. Due to high costs of commercial solutions, a Xilinx Virtex-4 FPGA-measurement system has been developed at the INT. The FPGA evaluation board ML423 features 20 high bitrate Rocket-IO transceivers, which may send and receive signals with data rates of up to 6.5 Gbit/s each. The extended VHDL-design GIMP with the implemented synchronization routine is described together with the corresponding control elements.

Furthermore the developed test board designs are presented. For simple functionality tests, which do not require the maximum data rates, there is a rather simple Taconic-board with cooling possibility. The ADC-chip is mounted in a cavity directly on a peltier cooling element. The connection to the board is done by gold wire bonding. The second measurement board is a thin-film ceramic board with one ADC and four additional demultiplexer-chips to reduce the data rates of the single lanes at the output of the board. The chips are also mounted in cavities and connected to the board by gold wire bonding. The signals are guided in coplanar or coupled microstrip lines. The thin-film board is mounted on a large Taconic-board, where the signals are spread in a starlike layout and can be connected with SMP-plugs. The control of the measurement can be done from a PC by the developed Visual-Basic.Net-program chIMP. It has several control functionalities, e.g. it starts the synchronization in the FPGA-design or executes a simple brute-force calibration algorithm.

The measurement setup leads to the measurement results that are shown at the end of this chapter. Despite several problems, resulting from the complex real time measurement setup, an effective resolution per channel of more than 4.5 bit for low sampling rates is measured for the fourfold interleaved ADC. This is achieved by using the brute-force calibration algorithm controlling the on-chip digital-to-analog converters in the reference ladders and the preamplifier-trees. Sampling rates of 24 GS/s for the twofold and 18 GS/s for the fourfold interleaved flash ADC are verified, while there are still optimization possibilities to improve the results. The fourfold interleaved ADC, when operating at 18 GS/s, achieves a resolution of 4.3 bits per channel at low signal frequencies while consuming a power of 2.5 W. This results in a FOM-value of 7.05 pJ per conversion step.

Finally the simulation and measurement results of the two developed flash ADCs

are summarized in the fifth chapter. In order to set this work in relation to other developed ADCs, a comparison with the state of the art of flash ADCs is performed. The results of this work and the comparison show the necessity and usefulness of the explained interleaving-, bandwidth-enhancement- and calibration-concepts. The usability of the improvements for the flash concept is proven for high bit rate CMOS-ADCs at present time. The two developed converters do not reach the performance of the best state-of-the-art converter. Nevertheless, they demonstrate the functionality of the developed concepts. A big step towards or beyond these optimum values can be done with the same structures with a smaller technology node, smaller logic elements and an increased usage of the developed calibration methods.

1 Einleitung

1.1 Anwendungsgebiete schneller Analog-Digital-Umsetzer

In der Signalverarbeitung spielen seit den frühen 1990er-Jahren Analog-Digital- und Digital-Analog-Umsetzer (engl.: Analog-to-Digital-/Digital-to-Analog-Converter, ADU & DAU) eine immer wichtigere Rolle. Die eigentliche Verarbeitung empfangener Signale findet spätestens seit diesem Zeitraum immer mehr auf der digitalen Ebene statt. Große digitale Rechenkerne übernehmen die Aufgaben, die früher durch komplexe analoge Schaltungen realisiert wurden. Mithilfe der in den komplementären Metall-Oxid-Halbleiter-Technologien (engl.: Complementary Metal Oxide Semiconductor, CMOS) verfügbaren billigen digitalen Rechenleistung können Signalverarbeitungsaufgaben schneller und einfacher umgesetzt werden. Der anspruchsvollste Teil der Signalverarbeitung wandert daher immer mehr direkt zu den Schnittstellen zwischen der analogen und der digitalen Welt. Durch eine hohe Parallelisierung lassen sich fast beliebig hohe Geschwindigkeiten auf der digitalen Ebene erreichen.

Der Flaschenhals vieler Systeme ist daher die Umsetzung vom Analogen ins Digitale für empfangene Daten (A-D) und vom Digitalen ins Analoge für zu sendende Daten (D-A). In diesem Kapitel werden dazu verschiedene Anwendungsgebiete für sehr schnelle Analog-Digital-Umsetzer gezeigt.

Kommunikationssysteme

Es gibt eine Vielzahl von Kommunikationssystemen in der heutigen modernen Welt. Beispiele sind das Telefonsystem, das Internet oder Funkssysteme.

Die einfachste digitale Übertragungsmöglichkeit ist die so genannte Amplitudenuntastung (engl.: Amplitude-Shift Keying, ASK). Im einfachsten Fall ähnelt es

einer Taschenlampe mit einem Ein- und Ausschalter (Binäre Amplitudenmodulation, engl.: On-Off-Keying, OOK). Leuchtet das Licht, bzw. ist das Übertragungssignal auf einem logischen High-Pegel, wird eine logische Eins übertragen. Umgekehrt wird eine logische Null übertragen, wenn kein Signal anliegt.

Um mehr Daten bzw. Signale über eine einzelne Verbindungsleitung zu befördern, werden so genannte höhere Modulationsverfahren verwendet. Ein Beispiel für eine mögliche Empfangsschaltung mit ADU zeigt Abbildung 1.1.

Bei dem hier gezeigten orthogonalen Frequenzmultiplexverfahren (engl.: Orthogonal Frequency-Division Multiplexing, OFDM) werden die zu sendenden Informationen in mehrere langsamere Datenströme aufgeteilt und z.B. per On-Off-Keying oder Amplitudenumtastung moduliert. Anschließend werden diese schmalbandigen Signalströme im Frequenzbereich auf zueinander orthogonale Träger aufmoduliert.

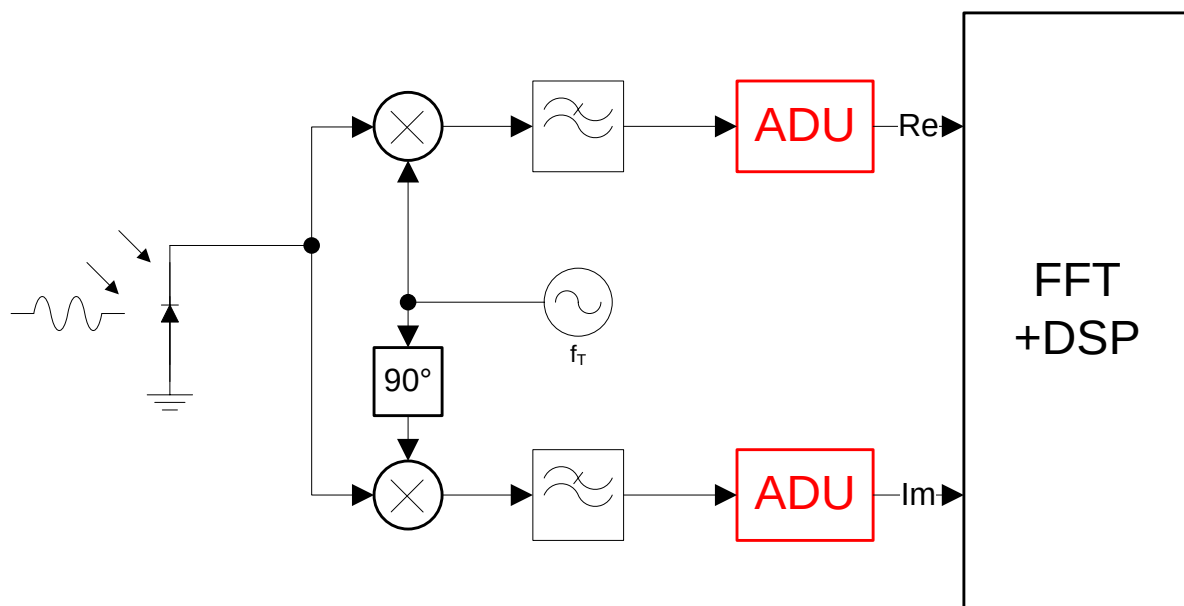


Abbildung 1.1: Blockdiagramm OFDM-Empfangssystem

Durch die Orthogonalität können die Signale im Empfänger (vgl. Abbildung 1.1) über einfache Multiplikationen mit der Trägerfrequenz f_T wieder getrennt werden. Mithilfe eines Tief- oder Bandpassfilters werden die Signale außerhalb des demodulierten schmalbandigen Datensignals abgeschnitten. Der Rest wird mithilfe eines Analog-Digital-Umsetzers umgesetzt und kann in einem digitalen Rechenwerk (engl.: Digital Signal Processor, DSP) zusammengefügt und weiter verarbeitet werden. Dieses Verfahren zeigt beispielhaft die Datenübertragung mehrerer Datenströme über einen Übertragungskanal.

Radarsysteme

Für die Positionsbestimmung und Abstandsmessung werden in der Zukunft immer mehr kleine und integrierte Systeme gefragt sein. Ein einfaches Beispiel sind automatische Lenksysteme in Automobilen, die die Umgebung des Autos genau abbilden müssen. Abbildung 1.2 zeigt zwei Blockdiagramm-Beispiele für Radarempfänger [1]. Im herkömmlichen Blockdiagramm oben muss das Eingangssignal mit zwei Mixern zunächst auf eine vom ADU wandelbare Datenrate heruntergemischt werden. Dazu sind ebenfalls zwei Lokal-Oszillatoren (LO) und zwei Filter nötig.

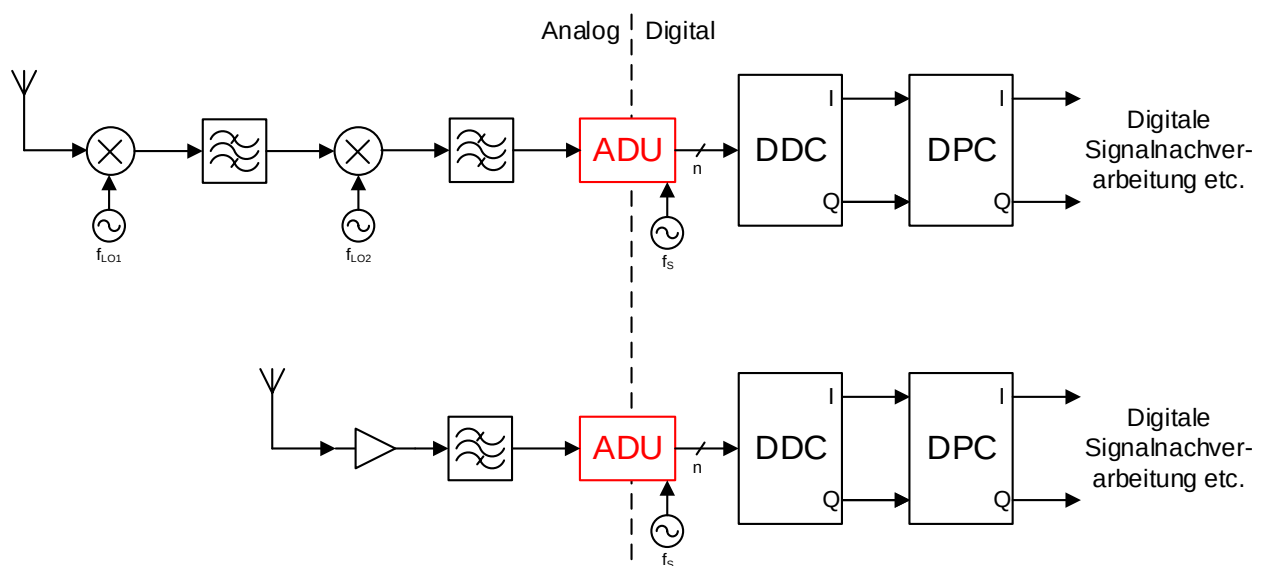


Abbildung 1.2: Blockdiagramme eines herkömmlichen Radar-Empfangssystems mit Abwärtsmischung und eines mit direkter Abtastung [1]

Durch die Steigerung der Wandlerraten ist jedoch auch das Konzept unten mit direkter Abtastung für immer mehr Anwendungen umsetzbar. Der vordere Analogteil (engl.: Frontend) besteht in diesem Fall im Wesentlichen nur noch aus der Antenne und dem Analog-Digital-Umsetzer. Meistens ist noch ein Vorverstärker nötig, um das Signal auf den Eingangsspannungsbereich des Wandlers anzupassen. Die digitale Verarbeitung erfolgt in beiden Fällen im Anschluss an einen oder mehrere digitale Mischer (engl.: Digital Down Converter, DDC), die das abgetastete Signal in das Basisband mischen, und eine ggf. erforderliche digitale Pulskompression (engl.: Digital Pulse Compression, DPC).

Messsysteme

Ein weiteres Anwendungsgebiet für sehr schnelle ADUs sind Echtzeit-Messsysteme und Messgeräte wie beispielsweise Echtzeit-Oszilloskope. Ähnlich zu den Radarsystemen wird der analoge Empfangsteil immer stärker verkleinert und im Wesentlichen komplett durch einen ADU und einen angeschlossenen schnellen Speicher ersetzt. Ein Beispiel für ein digitales Echtzeitoszilloskop [2] zeigt Abbildung 1.3.

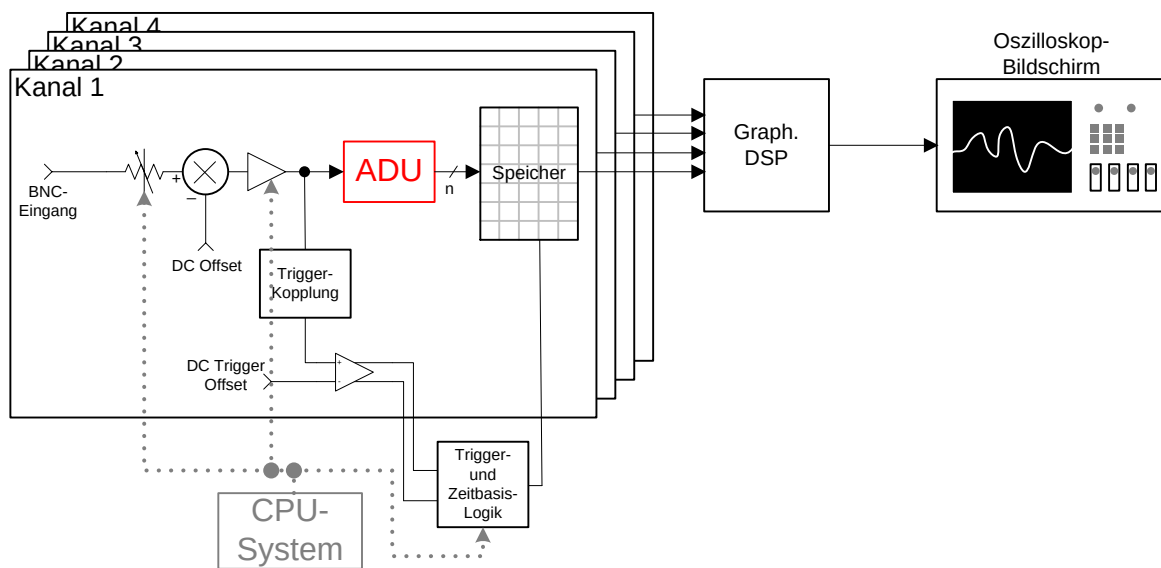


Abbildung 1.3: Blockdiagramm-Beispiel für ein digitales Echtzeit-Oszilloskop mit vier analogen Eingängen [2]

Über die vier BNC-Eingänge werden die Signale in jedem Kanal über je ein einstellbares Dämpfungsglied, einen Mischer und einen steuerbaren Verstärker dem Analog-Digital-Umsetzer zugeführt. Die drei Bauteile dienen im Wesentlichen der Anpassung des Eingangssignals an den ADU-Spannungsbereich und lassen eine Skalierung und Verschiebung des Signals um einen Gleichspannungsversatz (engl.: DC-Offset) zu. Die Analog-Digital-Umsetzer arbeiten unabhängig vom Eingang bei einer festen hohen Abtastrate und schreiben ihre Ausgangssignale in den Speicher. Die Triggerung findet dann mithilfe der Triggerlogik durch eine passende Auswahl der Speicherzellen im Speicher statt. Abschließend werden die Signale seriell von allen Kanälen an die digitale graphische Signalverarbeitung (engl.: Digital Signal Processing, DSP) gegeben und können auf dem Bildschirm dargestellt werden.

1.2 Ziele der Arbeit

Die vorliegende Arbeit befasst sich mit der Erforschung und Entwicklung von Parallel-A-D-Umsetzern. Ziel sind die Realisierung und die Demonstration von zwei A-D-Wandler-Prototypen, welche bitratenflexibel von niedrigen Abtastraten bis zu 25 GS/s durchgängig einsetzbar sind. Dabei liegt durch die hohen Geschwindigkeits-, Bandbreite- und Genauigkeitsanforderungen ein besonderer Fokus auf der Erforschung von Strukturen zur Erweiterung der Parallel-A-D-Umsetzer-Architektur. Diese sollen architektur- und technologiebedingte Nachteile relativieren bzw. negative Effekte reduzieren.

Die Anforderungen an die Wandler sind dabei weitestgehend durch das Projekt 100GET [3][4][5] vorgegeben. Ziel dieses Projekts ist die Realisierung von Prototypen für 100 Gbit/s Datenübertragungsstrecken. Dabei sollen, abhängig von der Modulationsart, zwei bis vier sehr schnelle A-D-Wandler eingesetzt werden.

Die Anforderungen an die Wandlerstrukturen im Teilprojekt, welches durch das Institut für Elektrische und Optische Nachrichtentechnik (INT) bearbeitet wird, lassen sich wie folgt zusammenfassen:

- Variable Abtastrate bis 25 GS/s
- Eingangsbandbreite möglichst hoch $\Rightarrow$ optimal: $f_{3\text{ dB}} \geq f_{Nq}$
- Nominale Auflösung von 6 bit, effektive Auflösung größer 4 bit im ersten Nyquist-Band
- Echtzeitschnittstellen für die direkte Einbindung in weitere Testaufbauten
- Verlustleistung möglichst gering $\Rightarrow$ unter 3 W
- Flächenbedarf möglichst gering $\Rightarrow$ unter 1 mm²

Daraus ergeben sich direkt die Ziele dieser Arbeit bzw. die Anforderungen an die beiden ADU-Prototypen. Als Zieltechnologie wird eine 90 nm CMOS-Technologie gewählt. Diese ist in großen Stückzahlen kostengünstig und ermöglicht die direkte Integration mit den für 100 Gbit/s-Systeme erforderlichen großen digitalen Rechenkernen. Weiterhin soll die Umsetzung mit dem Parallel-A-D-Wandlungsverfahren durchgeführt werden, da dieses hohe Abtastraten und somit einen niedrigen Zeitverschachtelungs- bzw. Parallelisierungsgrad ermöglicht.

2 Theoretische Grundlagen

2.1 Schnelle A-D-Umsetzer

In diesem Kapitel werden verschiedene schnelle A-D-Umsetzer vorgestellt. Schnell bedeutet in diesem Fall, dass eine möglichst geringe Wandlungszeit $t_{c,s}$ pro Wandlungsschritt verstreichen soll und möglichst wenige Wandlungs- bzw. Rechenschritte r pro analogem Eingangswert benötigt werden sollen.

Es folgt für die Gesamtwandlungszeit:

$$t_c = t_{c,s} \cdot r \quad (2.1)$$

Folglich werden zur Minimierung von Gleichung (2.1) im Folgenden zunächst verschiedene Wandler vorgestellt, die jeweils umgerechnet ein Wandlungsergebnis pro Taktperiode ausgeben ($r = 1$). Danach wird die Möglichkeit der Parallelisierung verschiedener "langsamer" Wandler vorgestellt, wodurch gemäß dem Parallelisierungsgrad eine Vervielfachung der Geschwindigkeit möglich ist. Für parallelisierte (engl.: Time-Interleaving, TI) Wandler gilt:

$$t_c = t_{c,s} \cdot \frac{r}{p} \quad (2.2)$$

Hierbei gibt p den Parallelisierungsgrad (engl.: Interleaving Factor) an.

2.1.1 Parallel-A-D-Umsetzer

Der Parallel-A-D-Wandler, auch Direktwandler genannt, ist wohl der allgemein geläufigste A-D-Wandlertyp. Abbildung 2.1 zeigt das Blockschaltbild eines 3 bit Parallelwandlers. Die Referenzspannung U_{ref} entspricht dem maximal zu erwartenden Wert des Eingangssignals U_e . Mithilfe der Referenzspannungsleiter, welche hier aus gleich großen Widerständen R aufgebaut ist, wird diese Spannung

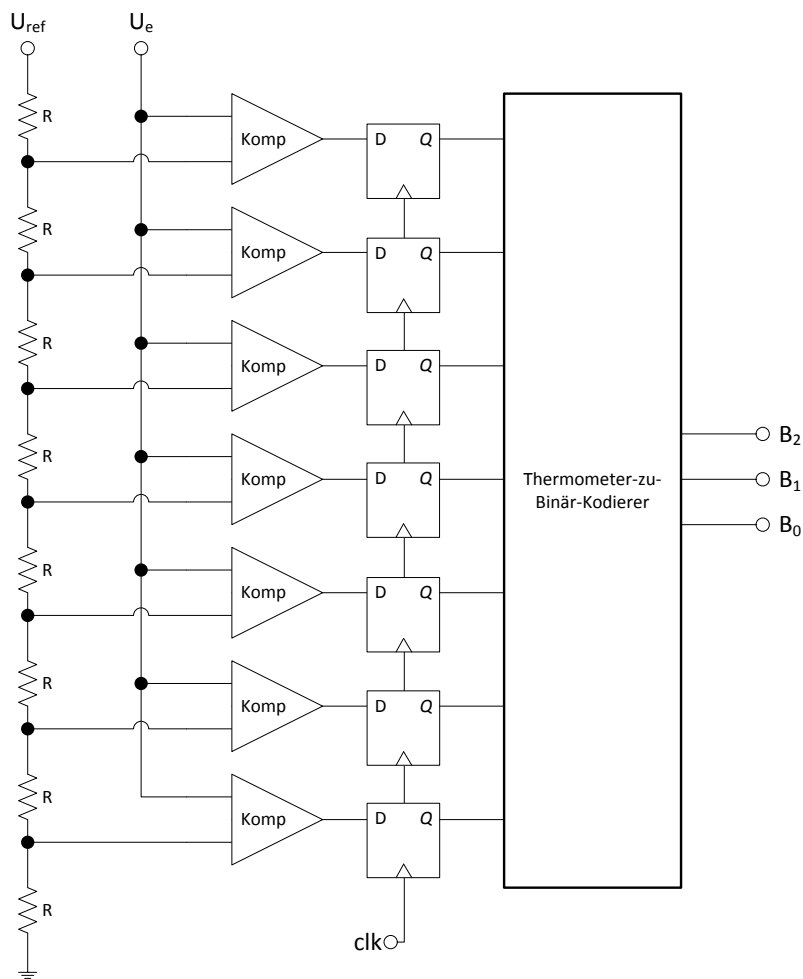


Abbildung 2.1: 3 bit Parallel-Analog-Digital-Umsetzer

in gleich große Teilspannungen

$$U_{ref,i} = i \cdot \frac{U_{ref}}{2^n} \quad (2.3)$$

aufgeteilt. n steht dabei für die nominale Auflösung des Wandlers und i ist die Laufvariable, welche den jeweiligen Komparator am Ausgang angibt. Für normale Parallel-Strukturen gilt in der Regel $i \in [1; 2^n - 1]$.

Das Eingangssignal wird an den Komparatoren (Komp) parallel, daher auch der Name Parallelwandler, mit den Referenzspannungen verglichen. Ist die Spannung größer als die Referenzspannung, gibt der jeweilige Komparator eine positive Spannung aus, ist sie kleiner, ergibt sich im Umkehrschluss eine negative Spannung am Ausgang. Anschließend werden die Ausgangssignale der Komparatoren durch Entscheider, in Abbildung 2.1 einfache Flipflops, in die binäre Form

umgesetzt. Ist die Eingangsspannung größer $U_{ref,i}$ ergibt sich eine logische 1, ist sie kleiner ergibt sich eine logische 0 am Ausgang. Dadurch entsteht der so genannte Thermometer-Code, da bis zur jeweils anliegenden Eingangsspannung, für die mit ihrer Referenzspannung darunter liegenden Komparatoren, eine logische 1 ausgegeben wird. Die Komparatoren mit den Referenzspannungen über U_e geben eine logische 0 aus. Die Grenze der 1'er zu den 0'ern gibt dann, ähnlich zur Höhe der Quecksilbersäule bei einem herkömmlichen Thermometer, den quantisierten Eingangsspannungswert wieder.

Prinzipiell ist das Ausgangssignal nach den Entscheidern schon digital gewandelt. Damit es jedoch einfacher übertragen werden kann, das heißt mit einer geringen Schnittstellenanzahl und in einer effektiveren Kodierung, werden die Signale noch von der Thermometer- in die Binärform gewandelt. Dies erfolgt mit einem sogenannten Thermometer-zu-Binär-Umsetzer (engl.: Thermometer-to-Binary-Converter, T2B). Anschließend liegt das digitale 3 bit Ausgangssignal am Ausgang des Wandlers an und kann digital weiterverarbeitet werden.

Die maximal erzielbare Abtastrate f_S des Parallel-ADU ist umgekehrt proportional zur Verarbeitungszeit über die parallelen Komparatorstränge, es folgt:

$$f_{S_{max}} = \frac{1}{t_{c,s_{min}}} \quad (2.4)$$

Daher lässt sich durch Einfügen zusätzlicher Haltestufen in den Signalpfad von links nach rechts die Geschwindigkeit weiter erhöhen. Nachteilig ist beim Parallel-ADU der hohe Bauteil Aufwand, welcher sich proportional mit dem Faktor 2^n bzw. $2^n - 1$ in Bezug auf eine Steigerung der Auflösung erhöht. Damit steigt auch die Leistungsaufnahme bei höheren Auflösungen stark an.

2.1.2 Mehrschritt-A-D-Umsetzer

Der Mehrschritt-A-D-Umsetzer ist ein stufenweiser Wandler. Das heißt die Wandlung findet nicht in einem Schritt wie beim Parallelwandler statt, sondern in mehreren aufeinanderfolgenden Teilschritten mit geringerer Auflösung. Abbildung 2.2 zeigt beispielhaft einen dreistufigen Mehrschritt-A-D-Wandler, wobei die drei Stufen hier allgemein die Teilauflösungen n_1 , n_2 und n_3 besitzen.

Allgemein ergibt sich damit für einen Mehrschritt-A-D-Wandler mit s Stufen eine

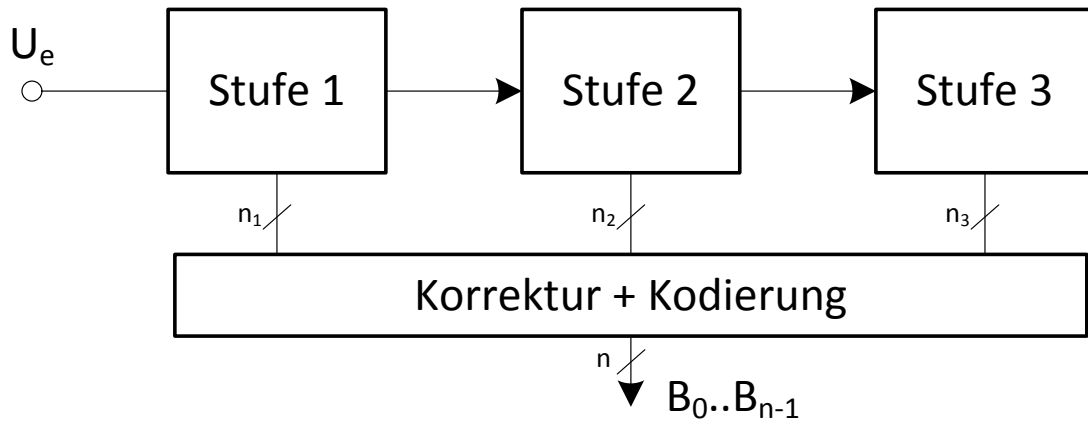


Abbildung 2.2: Mehrschritt-A-D-Wandler mit drei Stufen

maximal erzielbare Auflösung von n bit. Es gilt:

$$n = \sum_{i=1}^s n_i \quad (2.5)$$

Die Einzelstufen des Wandlers bestehen in der Regel aus den Grundbausteinen gemäß Abbildung 2.3. Zunächst wird dabei mit einem schnellen A-D-Wandler mit geringer Auflösung, meist ein Parallelwandler, das Eingangssignal U_e grob quantisiert. Die Ausgangssignale des Grobwandlers B_0 bis B_{n_s-1} werden an einen Digital-Analog-Wandler übergeben, der gemäß den quantisierten Werten ein entsprechendes analoges Signal an seinen Ausgängen erzeugt. Dieses Signal wird vom ursprünglichen Eingangssignal subtrahiert, wodurch nur der analoge nicht-quantisierte Signalanteil zwischen den Grobquantisierungsstufen am Ausgang übrig bleibt. Im Anschluss wird das Ausgangssignal meist noch linear verstärkt. Im Beispiel nach Abbildung 2.3 wird mit 2 bit quantisiert und mit dem Faktor $g = 2$ verstärkt, um einen ähnlich großen Signalhub für die Folgestufe zu garantieren. Erhält man durch die Verstärkung den gleichen Ausgangs- wie den Eingangsspannungsbereich, ist eine Aneinanderreihung identischer Stufen möglich. Für das Ausgangssignal einer einzelnen Stufe gilt allgemein, d.h. mit variablen Auflösungen und Verstärkungen, Gleichung 2.6.

$$U_a = g \cdot \left(U_e - \sum_{i=0}^{n_s-1} B_i \cdot 2^i \cdot \frac{U_{e_{max}}}{2^{n_s}} \right), \quad B_i \in \{0, 1\} \quad (2.6)$$

Die Geschwindigkeit des Mehrschrittwandlers ist wie beim Parallelwandler abhängig von der Geschwindigkeit der Einzelstufen. Dies liegt daran, dass je Zeitschritt in jeder Stufe ein Signal gewandelt wird.

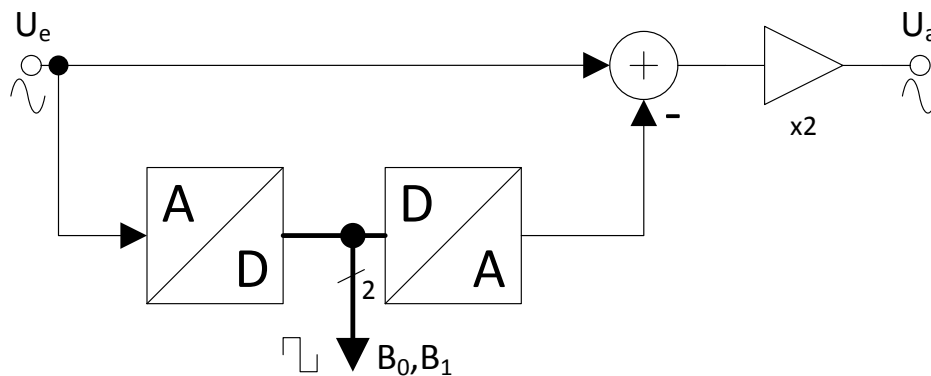


Abbildung 2.3: Stufe eines Mehrschritt-A-D-Wandlers

Im abschließenden Korrektur- und Kodierungsblock werden die digitalen Ausgangsdaten der Einzelstufen zueinander passend verzögert. Dies ist notwendig, da beispielsweise zum Zeitpunkt der Wandlung eines Signals in der zweiten Stufe, der digitale Wert der ersten Stufe für diesen speziellen Eingangswert schon feststeht. Die maximale Abtastrate ist also begrenzt durch die langsamste Mehrschritt-ADU-Stufe, da hier generell von einer gleichen Taktung aller Stufen ausgegangen wird. Dies lässt sich gemäß Gleichung 2.7 ebenfalls mathematisch formulieren.

$$f_{S_{max}} = \min \left(\frac{1}{t_{c,s1_{min}}}, \frac{1}{t_{c,s2_{min}}}, \dots \right) \quad (2.7)$$

Der Bauteilaufwand steigt beim Mehrschrittwandler mit steigender Auflösung näherungsweise linear an, da lediglich weitere Mehrschritt-ADU-Stufen an das Ende der Kette angehängt werden müssen und die Auswerte-Logik entsprechend erweitert werden muss.

2.1.3 Hybrid-A-D-Umsetzer

In den beiden vorherigen Teilkapiteln werden zwei verschiedene Wandlungsverfahren erläutert. Die Parallelwandlung quantisiert das Eingangssignal jeweils direkt in einem Zeitschritt, das Mehrschritt-Konzept wandelt die analogen Werte hingegen weitestgehend seriell bzw. stufenweise nacheinander. Durch Aufteilen und Kombinieren des Signalpfads lassen sich viele unterschiedliche Wandlerstrukturen realisieren, die hier allgemein als Hybridwandler bezeichnet werden. Beispielsweise kann ein Parallelwandler mit geringer Auflösung das Ein-

gangssignal grob quantisieren. Parallel dazu können ein oder mehrere Feinwandler die nicht genauer untersuchten Unterbereiche seriell oder parallel quantisieren. Vorteil dabei ist, dass die Nachteile der jeweiligen Wandlertypen, z.B. der hohe Bauteil- und Leistungsaufwand beim hochauflösenden Parallelwandler, durch andere Strukturen kompensiert werden können. Da es eine Vielzahl von Hybridwandler-Strukturen gibt, wird hier nur das Prinzip anhand eines Beispiels dargestellt. Abbildung 2.4 zeigt einen Hybridwandler mit zwei Signalpfaden, wobei beide Pfade mit einem 2 bit Parallelwandler quantisiert werden. Im unteren Pfad ist zusätzlich eine Faltungsstufe vorgesehen. Sie faltet das Eingangssignal gemäß der Auflösung des Grobwandlers und verstärkt es für den Feinwandler unten.

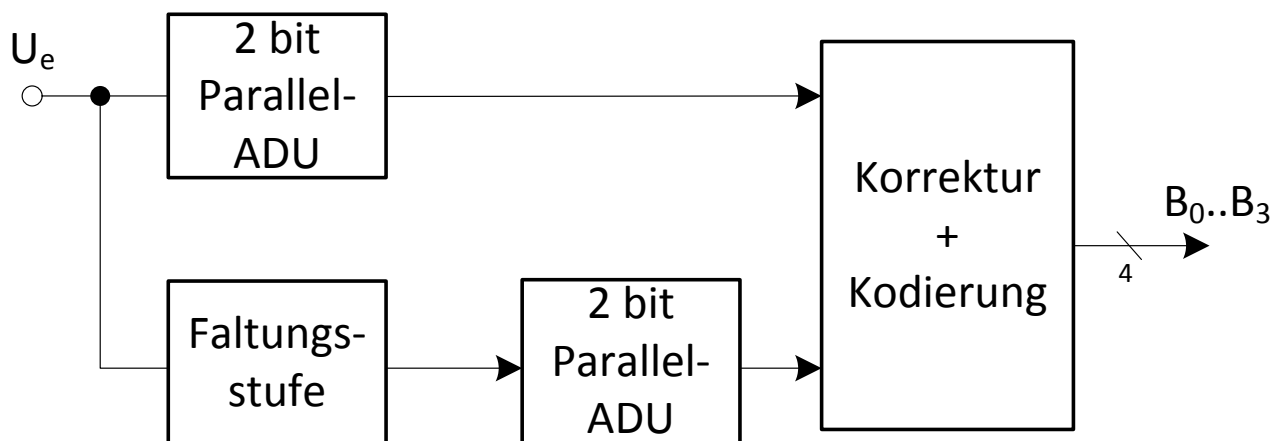


Abbildung 2.4: Hybrid-A-D-Wandler mit Faltungsstufe

Die Funktionsweise der 2 bit Faltungsstufe wird in Abbildung 2.5 verdeutlicht. Das Eingangssignal wird in Schritt 1 zunächst bei der Hälfte des Spannungsbereichs gefaltet. Das heißt, durch eine analoge Schaltungsfunktion wird sichergestellt, dass am Ausgang die erste Hälfte des Spannungsbereichs ab der Mitte des Eingangsspannungsbereichs erneut umgekehrt durchlaufen wird. Damit der Feinwandler die gleichen Voraussetzungen wie der Grobwandler hinsichtlich möglicher Genauigkeit hat, wird das gefaltete Signal in Schritt 2 zusätzlich verstärkt. Werden Schritt 1 und 2 wiederholt, ergibt sich ein gefaltetes Ausgangssignal (Schritt 3 und 4) gemäß der Grobquantisierung von 2 bit. Der somit realisierte Wandler hat eine Auflösung von $2 \cdot 2 \text{ bit} = 4 \text{ bit}$. Dabei benötigt er lediglich sechs Komparatoren. Der reine Parallelwandler benötigt für diese Auflösung schon $2^4 - 1 = 15$ Komparatoren, was den zusätzlichen Aufwand durch die Faltungsstufe relativiert. Die Ausgangssignale der beiden Teilwandler müssen am Ende der Wandlung noch passend korrigiert, zeitlich aufeinander angepasst und kodiert werden.

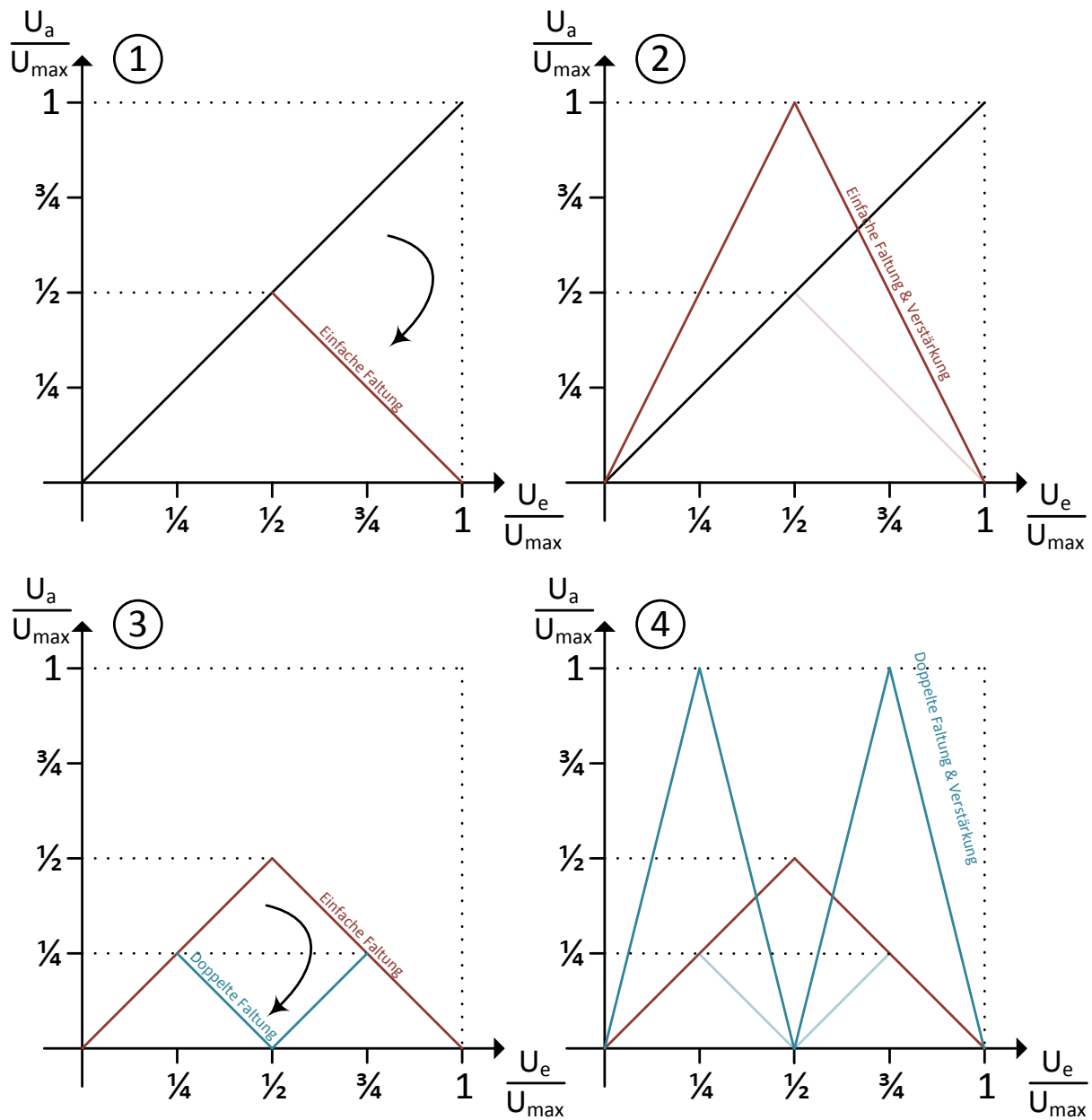


Abbildung 2.5: Signalverarbeitung in einer 2 bit Faltungsstufe

Zeitlich verhalten sich Faltungswandler in der Regel ähnlich wie Mehrschritt-wandler, die jeweils langsamste Stufe bzw. der langsamste Teilzweig legt die maximale Geschwindigkeit analog zu Gleichung 2.7 fest.

2.1.4 Zeitverschachtelte A-D-Umsetzer

Neben den bis hier vorgestellten drei Wandlertypen, die pro Taktzyklus jeweils eine komplette Wandlung durchführen können, existieren viele Wandlertypen, die mehrere Taktzyklen für ein Wandlungsergebnis benötigen. Die bekanntesten dieser aufgrund ihrer Architektur eher langsamen Umsetzer sind A-D-Wandler nach dem Sukzessiven-Approximations-Register-Verfahren (SAR) oder verschiedenen Rampenverfahren. Sie können in Anwendungsgebieten, welche hohe Datenraten erfordern, nur mit den eher schnellen Wandlern konkurrieren, wenn ihre Wandlerrate durch Parallelisierung mehrerer Wandler vervielfacht wird. Das Zeitverschachtelungsverfahren (engl.: Time-Interleaving, TI), welches auch in vielen anderen Gebieten gern eingesetzt wird, ist für zwei Einzel-A-D-Wandler in Abbildung 2.6 dargestellt.

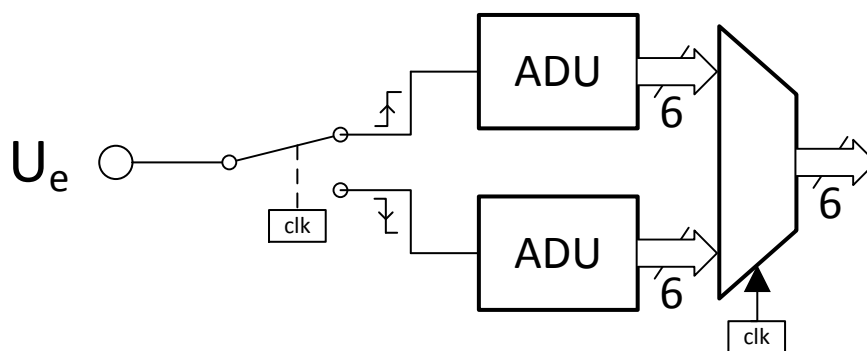


Abbildung 2.6: Zeitverschachtelung von zwei 6 bit Umsetzern

Der Schalter legt das analoge Eingangssignal jeweils nur für eine halbe Taktperiode des schnellen Wandlertaktes am Takteingang clk an einen der beiden Wandler an. Dort wird das Signal abgetastet und mit der Hälfte der Gesamtwandlerrate umgesetzt. Die Anforderungen an das Einschwingverhalten werden für jeden der beiden Teilwandler erheblich reduziert. Schwierig wird es vor allem hinsichtlich der Linearität und zeitlichen Genauigkeit im vorderen analogen Teil der Schaltung (Frontend), welches hier um den Schalter bzw. eine analoge Demultiplex-Schaltung (DEMUX) ergänzt werden muss. In Abbildung 2.6 werden die digitalen Ausgangssignale durch einen Multiplexer (MUX) wieder zusammengeführt. Der Gesamtwandler wirkt dadurch von außen wie ein Einzelwandler, da sich die Schnittstellen eingangs- und ausgangsseitig nicht unterscheiden.

Die Wandlerrate der zeitverschachtelten Struktur vervielfacht sich im besten Fall mit dem Parallelisierungsgrad p .

Es folgt analog zu Gleichung 2.2:

$$f_{STI} = p \cdot f_{S_{singleADU}} \quad (2.8)$$

Umsetzer mit sehr hohen Abtastraten lassen sich daher mit den eher langsamen Umsetzungsverfahren wie SAR nur durch einen hohen Parallelisierungsgrad p erzeugen.

2.2 Eigenschaften von A-D-Umsetzern

Analog-Digital-Umsetzer weisen unterschiedliche Eigenschaften hinsichtlich ihrer Nutzbarkeit für gewisse Anwendungsfälle auf. Neben einfach zu bestimmenden Kennzahlen wie Leistungsaufnahme, Größe des Wandlers oder nominaler Auflösung, sind vor allem die Linearität und die Störanfälligkeit von großem Interesse. Diese Eigenschaften können unterschiedlich bestimmt bzw. klassifiziert werden und werden im Folgenden nach statischen und dynamischen Eigenschaften unterschieden.

2.2.1 Statische Eigenschaften

Die statischen Eigenschaften von A-D-Wandlern reichen, von einfachen Kenndaten wie Leistungsaufnahme oder Schaltungsgröße, bis zu Übertragungskennlinien, die die Linearität eines Wandlers wiedergeben. Eine ideale Übertragungskennlinie für einen 3 bit Wandler gemäß Abbildung 2.1 zeigt Abbildung 2.7. Die Achse der Eingangsspannung U_e ist hier entsprechend den an den Komparatoren eines Parallelwandlers anliegenden Referenzspannungen unterteilt. Auf der vertikalen Achse ist die logische Ausgangssignalfolge des Wandlers in binärer Form aufgeführt. Ein Überschreiten des Eingangsspannungsbereichs resultiert bei einfachen Wandlern in einer abgeschnittenen Kennlinie. Manche Wandler haben deshalb eine Möglichkeit zur Überspannungsdetektion implementiert, welche bei Überschreitung des Wertebereichs (engl.: Over Range, OR) ein Signal ausgibt. Der digitale Ausgangscode verläuft daher hier allgemein zwischen $D = 000$, über $D = 111$, bis OR. Wird die binäre Ausgangsfolge einem idealen D-A-Wandler zugeführt, lässt sich ein Vergleichswert U_D zum analogen Eingangsspannungswert U_e des A-D-Wandlers berechnen.

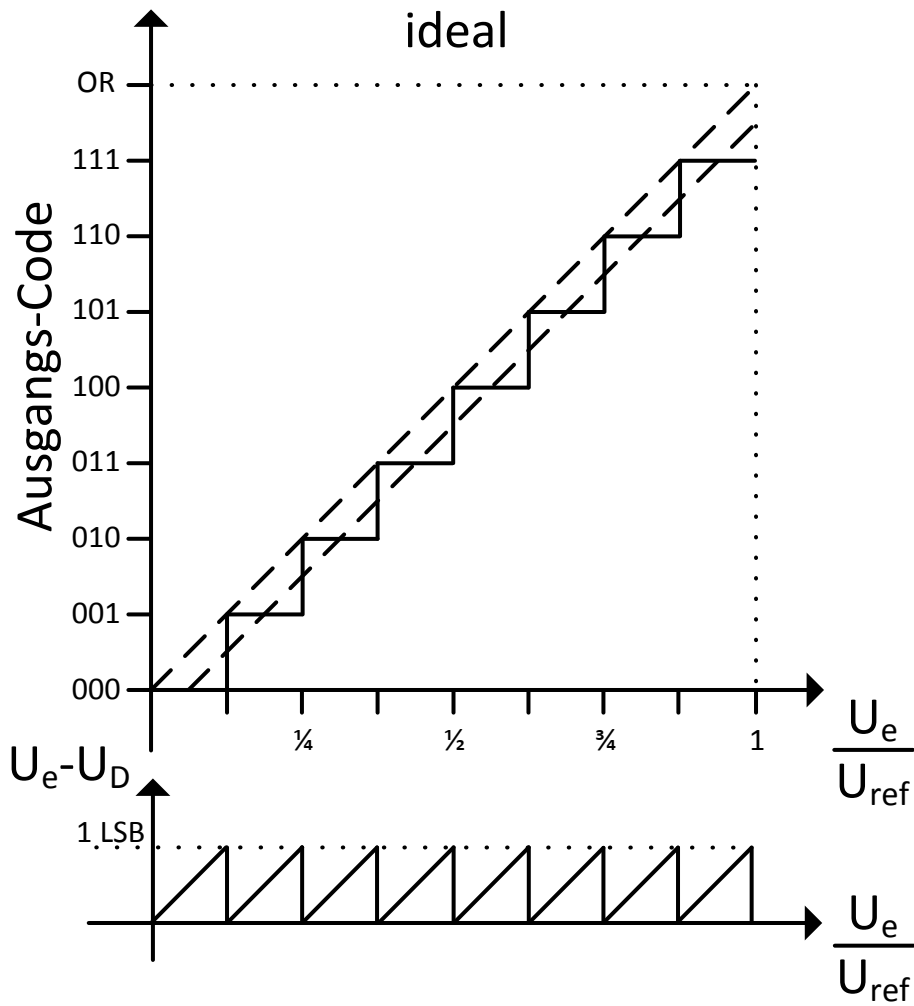


Abbildung 2.7: Ideale statische Übertragungskennlinie eines 3 bit A-D-Wandlers

Es folgt ähnlich zu Gleichung 2.6:

$$U_D = U_{LSB} \cdot \sum_{i=0}^{n-1} B_i \cdot 2^i = \frac{U_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} B_i \cdot 2^i \quad (2.9)$$

Gleichzeitig lässt sich die Wandlerkennlinie als Durchschnittsgerade, in Abbildung 2.7 gestrichelt dargestellt, abstrahieren. Sie entspricht einer Vergleichskennlinie mit unendlich großer Auflösung und kann durch Gleichung 2.10 beschrieben werden.

$$U_{D\infty} = U_e \cdot g - U_{LSB/2} \stackrel{g=1}{=} U_e \cdot 1 - U_{LSB/2} \quad (2.10)$$

Von der Ursprungsgeraden $U_a = U_e$ weicht diese Gerade unabhängig von der Auflösung immer um $\frac{LSB}{2}$ ab.

Durch diverse Störungen, schaltungstechnisch bedingte Nichtlinearitäten oder beispielsweise eine falsche Spannungsversorgung kann es zu Abweichungen von dieser idealen Kennlinie in der Realität kommen. Abbildung 2.8 zeigt dazu die um eine globale Versatzspannung U_{os} (engl.: Offset Voltage) verschobene Kennlinie. Sie gibt die Abweichung des tatsächlichen ersten Codewechsels $T[1]$ (engl.: Transition) vom idealen Wert T_1 an. Die idealen Codewechsel T_i , mit $i \in [1, 7]$ bei einem 3 bit Parallelwandler, liegen direkt auf den Spannungswerten $U_{ref,i}$ gemäß Gleichung 2.3.

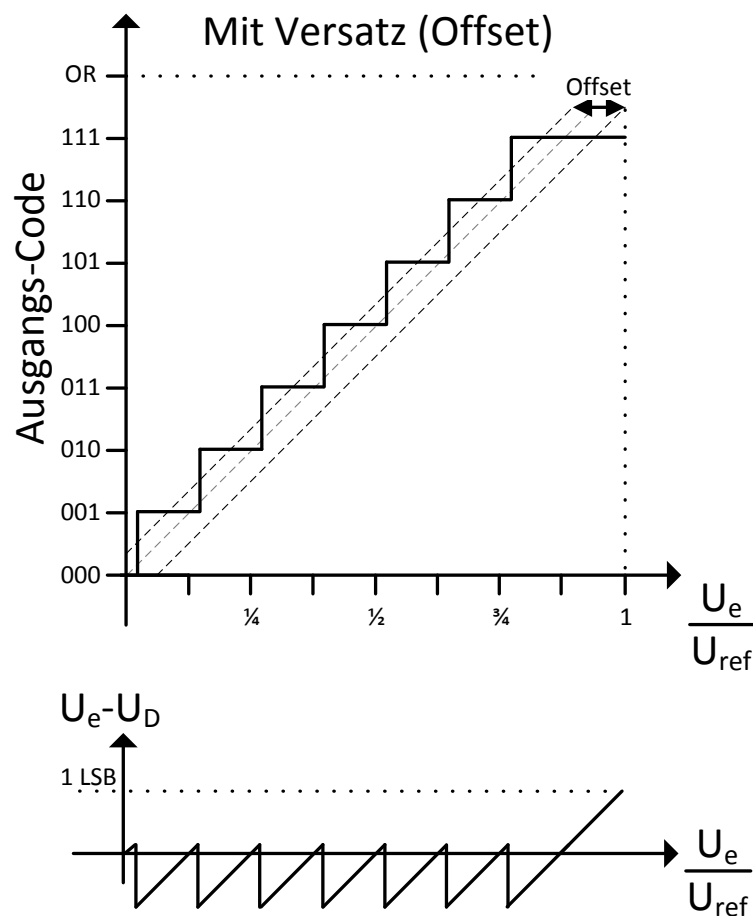


Abbildung 2.8: Globaler Offsetfehler bei einem 3 bit A-D-Wandler

Neben der allgemeinen Verschiebung um einen globalen Versatz, bei einem Parallelwandler beispielsweise bedingt durch falsche Referenzspannungen, kann es auch zu Verstärkungsfehlern kommen. Abbildung 2.9 zeigt dazu zwei verschiedene Beispiele mit dem jeweiligen Verlauf der Differenz zum idealen Signal. Der Verstärkungsfehler (engl.: Gain Error) lässt sich dabei durch Gleichung 2.11 beschreiben. Es wird in diesem Schaubild eine möglichst passende Durchschnittsgerade durch die Wandlerkennlinie gezogen, um die Nichtlinearität unter Ver-

nachlässigung von anpassbaren Größen zu beschreiben.

$$e_g = \frac{(2^n - 2) \cdot T_1}{T[2^n - 1] - T[1]} \quad (2.11)$$

Es folgt für den globalen Versatz U_{os} unter Berücksichtigung der Verstärkung bzw. deren Fehlers:

$$U_{os} = T_1 - e_g \cdot T[1] \quad (2.12)$$

Durch verschiedene Kompensations- bzw. Korrekturmechanismen lassen sich diese Fehler minimieren. Erkennbar und messbar sind sie beim A-D-Wandler anhand des digitalen Ausgangssignals und einer korrekten Interpretation dessen. Allgemein werden statische Fehler wie Verstärkungsfehler oder lokale und globale Offsetspannungen bei A-D-Wandlern mit Hilfe der differentiellen Nichtlinearität (DNL) und der integralen Nichtlinearität (INL) quantifiziert, wobei verschiedene Definitionen geläufig sind. Die DNL betrachtet die Differenz zwischen der idealen Schrittlänge von einem LSB und der tatsächlichen Schrittlänge.

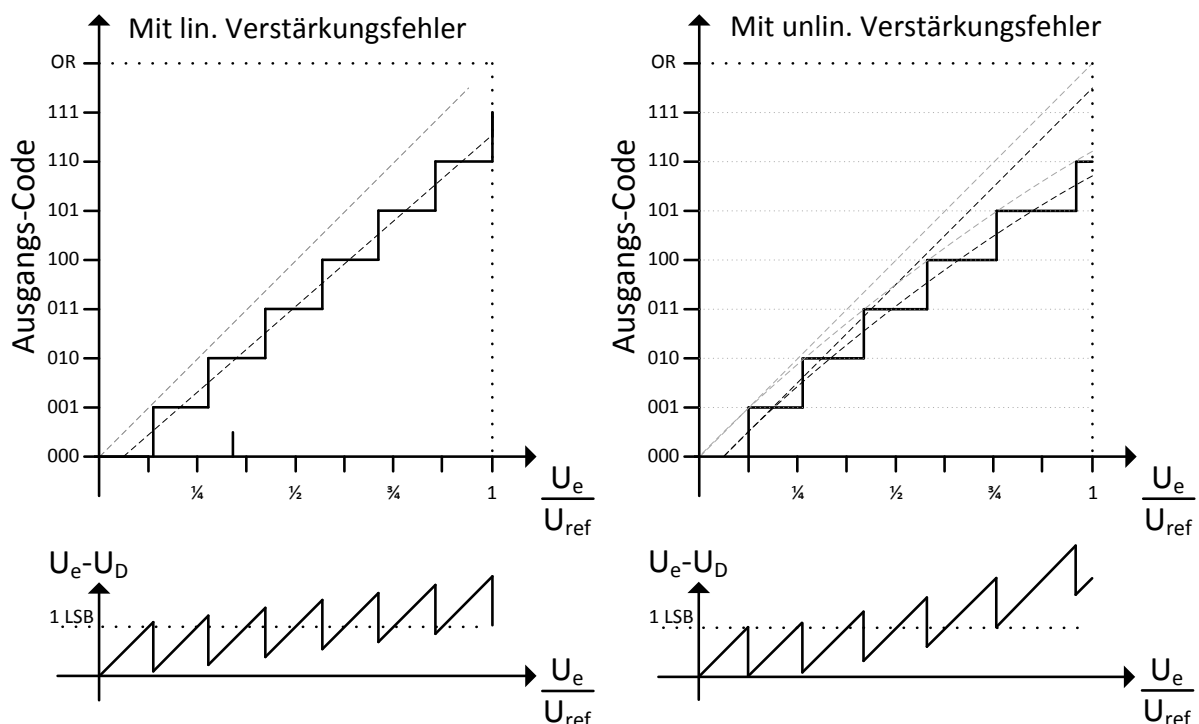


Abbildung 2.9: Verstärkungsfehler bei einem 3 bit A-D-Wandler

Gleichung 2.13 für die DNL gibt für einen idealen Verlauf daher den Wert Null

aus.

$$DNL = \frac{U_{D+1} - U_D}{U_{LSB}} - 1 \quad \text{mit } 0 \leq D \leq 2^n - 2 \quad (2.13)$$

Der Wert D im Dezimalsystem ergibt sich dabei aus dem binären Ausgangscode gemäß Gleichung 2.14.

$$D = \sum_{i=0}^{n-1} B_i \cdot 2^i \quad (2.14)$$

U_D ist der Spannungswert, der dem Wert D bezogen auf einen vorgegebenen Spannungsbereich (s. Gleichung 2.9) entspricht.

Im Gegensatz dazu gibt die INL die Abweichung von einer idealen Kennliniengeraden an. Um die reine Linearität unter Vernachlässigung einstellbarer Parameter, wie beispielsweise der Spannungsversorgung, zu betrachten, wird für die INL eine möglichst passende Gerade über bzw. in die Kennlinie gelegt (engl.: Best Straight-Line INL)[6][7]. Daraus folgt für die INL Gleichung 2.15, wobei je nach Anwendungsfall entweder die auf LSB normierte Form oder die prozentuale Angabe geläufig ist.

$$\begin{aligned} \text{in LSB:} \quad INL[k] &= \varepsilon[k] = \frac{e_g \cdot T[k] + U_{os} - T_k}{U_{LSB}} \\ \text{in \%:} \quad INL[k] &= 100\% \cdot \frac{\varepsilon[k]}{U_{e,FS}} = 100\% \cdot \frac{\frac{e_g \cdot T[k] + U_{os} - T_k}{U_{LSB}}}{U_{e,FS}} \end{aligned} \quad (2.15)$$

$U_{e,FS}$ (engl.: Full-Scale) ist dabei die Differenz der beiden äußersten Eingangsspannungswerte, für die der volle Wertebereich am Ausgang durchlaufen wird.

Werden der Offset- und Verstärkungsfehler zu Beginn der Messung zu Null ausgeregelt, ergibt sich die wesentlich einfachere Form nach Gleichung 2.16. T_0 steht dabei für den Startwert am Rand der Messung.

$$\begin{aligned} INL[k] &= \frac{T[k] - T_k}{U_{LSB}} = \frac{T[k] - T_0 - (T_k - T_0)}{U_{LSB}} \\ &= \frac{T[k] - T_0}{U_{LSB}} - D \quad \text{mit } 0 < D < 2^n - 1 \end{aligned} \quad (2.16)$$

Zur Veranschaulichung von DNL und INL ist in Abbildung 2.10 eine nichtideale

Übertragungskennlinie (ÜKL) dargestellt. Die Kennlinie ist im äußeren Bereich auf den idealen Verlauf ausgeregelt, das heißt der globale Offset- und der Verstärkungsfehler sind eliminiert. Entsprechend kann zur Berechnung der DNL Gleichung 2.13 und zur Berechnung der INL Gleichung 2.16 genutzt werden. Die Werte für die Codewechsel, welche die maximalen und minimalen Werte mit einem Bit Genauigkeit definieren, sind im unteren Teil der Abbildung dargestellt. In den Zwischenbereichen sind INL und DNL ebenfalls definiert, allerdings ergibt sich ihr Verlauf meist nur durch einfaches Verbinden der dargestellten Punkte. Einzig beim letzten Codewechsel erreicht die INL kurz vor dem Wechsel einen Wert von -2, wohingegen sie nach dem Wechsel nur einen Wert von 0 aufweist.

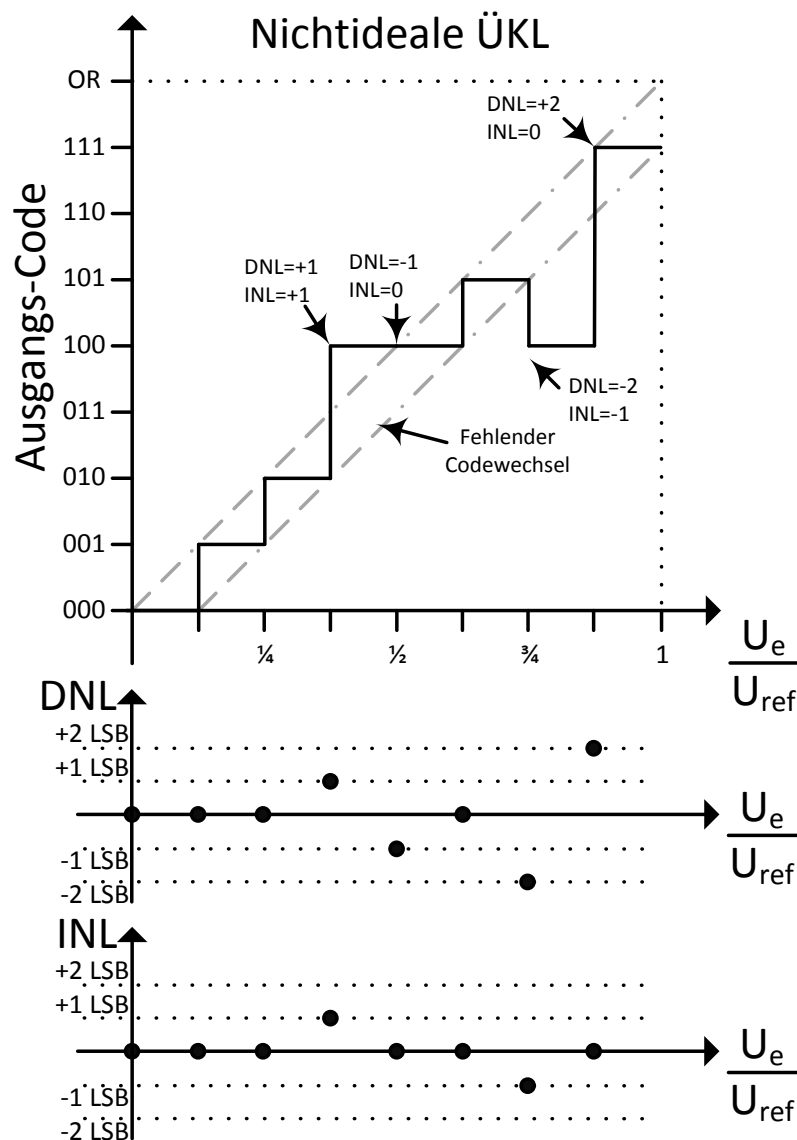


Abbildung 2.10: Beispiel zu differentieller und integraler Nichtlinearität (DNL & INL) bei A-D-Wandlern

Ein weiterer Effekt bei A-D-Umsetzern sind fehlende Codewechsel (engl.: Missing Codes). Sie treten vor allem bei großen Fehlpassungen auf und sind durch nachgeschaltete digitale Kalibrierungsalgorithmen, ohne Eingriff in den Analogteil des Wandlers, nicht mehr korrigier- bzw. eliminierbar. Grund dafür ist das Fehlen der Informationen für diesen Bereich.

2.2.2 Dynamische Eigenschaften

Neben den statischen Eigenschaften im vorherigen Kapitel ist die Charakterisierung der Auswirkungen der dynamischen Effekte in einem A-D-Umsetzer von großem Interesse. Unter dynamischen Effekten versteht man dabei Umschaltverluste, Störungen durch Umschaltvorgänge, Spannungsversorgungseinbrüche, Bauteilrauschen oder zum Beispiel die Einkopplung von hochfrequenten Signalen.

Zur Betrachtung der Effekte wird in der Regel ein schnell veränderliches Signal an den Eingang des Wandlers angelegt. Die digitalen Ausgangssignale können zurückgerechnet und mit dem Eingangssignal hinsichtlich der Genauigkeit verglichen werden.

Für A-D-Wandler wird zunächst meist ein sinusförmiges Eingangssignal mit einer festen Frequenz angelegt (engl.: Single-Tone-Measurement). Mithilfe einer Diskreten Fourier-Transformation (DFT) werden dann das analoge Eingangs- und das digitale Ausgangssignal in den Frequenzbereich umgesetzt. Bei korrekter Wahl der Frequenzen sollte dann im Eingangs- und Ausgangsspektrum die Signalfrequenz klar erkennbar sein. Allgemein wird für das Eingangssignal die Form nach Gleichung 2.17 angenommen.

$$u_e(t) = \hat{u} \cdot \sin(2 \cdot \pi \cdot f_e \cdot t) \quad (2.17)$$

In den Frequenzbereich lässt sich dies mit der Fourier-Transformation überführen:

$$U_e(\omega) = \int_{-\infty}^{\infty} \hat{u} \cdot \sin(2 \cdot \pi \cdot f_e \cdot t) \cdot e^{-j\omega t} dt \quad (2.18)$$

Einsetzen von $\sin(x) = \frac{1}{2j}(e^{jx} - e^{-jx})$ und $\omega_e = 2 \cdot \pi \cdot f_e$ führt zu:

$$\begin{aligned} U_e(\omega) &= \frac{\hat{u}}{2j} \int_{-\infty}^{\infty} (e^{j\omega_e t} \cdot e^{-j\omega t} - e^{-j\omega_e t} \cdot e^{-j\omega t}) dt \\ &= \frac{\hat{u}}{2j} \int_{-\infty}^{\infty} (e^{j(\omega_e - \omega)t} - e^{-j(\omega_e + \omega)t}) dt \end{aligned} \quad (2.19)$$

Mit $\delta(\omega) = \frac{1}{2\pi} \int e^{-j\omega t} dt$ folgt:

$$U_e(\omega) = \hat{u} \pi j (\delta(\omega - \omega_e) - \delta(\omega + \omega_e)) \quad (2.20)$$

Wird nur der positive Frequenzbereich betrachtet, so ist die Sinusschwingung am Eingang also ein einzelner Dirac-Impuls bei einem festen Frequenzwert. In der digitalen Signalverarbeitung stehen jedoch nur N diskrete Werte zur Verfügung und kein zeitkontinuierliches Signal. Daher wird zur Charakterisierung von Wandlern meist die DFT genutzt. Analog zu [8] lässt sich die Fouriertransformation in die DFT überführen und schließlich durch diese ersetzen.

Allgemein kann die Fouriertransformation

$$X(\omega) = \int_{-\infty}^{\infty} x(t) \cdot e^{-j\omega t} dt \quad (2.21)$$

mit Hilfe des Rechteckverfahrens [9] (s.a. Rechteckformel) durch eine unendliche Reihe mit n Abtastschritten im Abstand T approximiert werden. Der Abstand T wird in diesem Fall infinitesimal klein.

Es folgt:

$$X_s(\omega) = \sum_{n=-\infty}^{\infty} x(nT) \cdot e^{-j\omega nT} \cdot T \quad (2.22)$$

Ist nur eine bestimmte Anzahl N an Abtastwerten verfügbar, entspricht das im Zeitbereich einer Multiplikation mit einer Fensterfunktion (engl.: Windowing). Im Frequenzbereich entspricht dies der Faltung mit der Fourier-Transformierten der Fensterfunktion. Dabei entfällt auch der Faktor T in der Summenfunktion.

Es folgt:

$$\begin{aligned} X_{sw}(\omega) &= X_s(\omega) * w(\omega) = \sum_{n=0}^{N-1} x(nT) \cdot e^{-j\omega nT} \\ &= \sum_{n=0}^{N-1} x(nT) \cdot e^{-j2\pi n \frac{f_e}{f_s}} \end{aligned} \quad (2.23)$$

Durch die Anzahl N an Abtastwerten ist die Menge der darstellbaren Ausgangsfrequenzen ebenfalls beschränkt auf N . Daher wird, um möglichst einen großen Frequenzanteil abbilden zu können, das Verhältnis von Eingangsfrequenz f_e zu Abtastfrequenz f_s zu

$$\frac{f_e}{f_s} = \frac{k}{N} \quad (2.24)$$

gewählt.

Es folgt die allgemeine Form der DFT:

$$X(k) = \sum_{n=0}^{N-1} x(n) \cdot e^{-j2\pi n \frac{k}{N}} \quad (2.25)$$

Somit lassen sich, aus einer fixen Anzahl N an Abtastwerten, sowohl die Eingangs- als auch die Ausgangsfrequenzen des zu untersuchenden Wandlers in den Frequenzbereich transformieren und dort hinsichtlich der Genauigkeit vergleichen.

Für rein reelle Eingangssignale, wie im vorliegenden Fall für abgetastete ADU-Ausgangssignale, wird das Signal im Frequenzraum hermitesch. Das heißt die Koeffizienten $X(k)$ wiederholen sich bei einer geraden Anzahl an Abtastpunkten nach der Hälfte des Frequenzraumes N spiegelbildlich zu $N/2$. Sinnvoll ist daher nur eine Auswertung bis zur Nyquist-Frequenz f_{Nq} , die $N/2$ entspricht.

Zur normierten Betragsdarstellung über der Frequenz als Spektrum müssen die

DFT-Koeffizienten $X(k)$ noch umgeformt werden:

$$\begin{aligned}
 X_{norm}(0) &= \frac{|X(0)|}{N} \\
 X_{norm}(k) &= \frac{|X(k)|}{N/2} & \text{für } k \in [1; N/2 - 1] \\
 X_{norm}(N/2) &= \frac{|X(N/2)|}{N}
 \end{aligned} \tag{2.26}$$

Die Gewichtung der einzelnen Faktoren ergibt sich aus der Überlagerung des sich spiegelbildlich im Abstand $N/2$ wiederholenden Frequenzbereiches. Die Null-Frequenz ($k = 0$) und die Nyquist-Frequenz treten ebenfalls in den gespiegelten Nachbarbereichen auf. Die Signalenergie der anderen Anteile von $k = 1$ bis $k = N/2 - 1$ muss daher doppelt gewichtet werden, da sie sich nicht überlagert und auf die beiden Bereiche unter und über der Nyquist-Frequenz aufteilt.

Neben der Darstellung als normierte Spannungen im Frequenzbereich ist auch eine Darstellung in Dezibel (dB) üblich.

Es folgt für alle normierten Koeffizienten:

$$X_{norm,dB}(k) = 20 \log(X_{norm}(k)) \quad \text{für } k \in [0; N/2] \tag{2.27}$$

Für ein ideales sinusförmiges Eingangssignal wird in Gleichung 2.20 gezeigt, dass nur ein Diracimpuls bei der Signalfrequenz auftritt. Durch die Quantisierung des Wandlers, Rauschen von Bauelementen und Nichtlinearitäten der Schaltung kommt es beim Ausgangssignal zu zusätzlichen Frequenzanteilen neben der Signalfrequenz.

Als Verhältnis zwischen dem Signalanteil und den Störern in Form von Nichtlinearitäten bzw. Verzerrungen und Rauschen wird meist das Signal-zu-Rausch- und-Störverhältnis (engl.: Signal-to-Noise and Distortion Ratio, SNDR bzw. SINAD) gebildet.

Es folgt Gleichung 2.28:

$$SNDR = \frac{P_S}{P_R + P_V} \tag{2.28}$$

Gebräuchlich ist in den allermeisten Anwendungsfällen jedoch eher die Angabe

in Dezibel nach Gleichung 2.29.

$$\begin{aligned}
 SNDR_{dB} &= 10 \log \left(\frac{P_S}{P_R + P_V} \right) = 20 \log \left(\frac{u_{eff,S}}{u_{eff,R+V}} \right) \\
 &= 20 \log \left(\frac{X_{norm}(k_S)}{-X_{norm}(k_S) + \sum_{k=1}^{N/2} X_{norm}(k)} \right) \quad (2.29)
 \end{aligned}$$

Neben den in jeder reellen Schaltung auftretenden Rauscheffekten, wie beispielsweise thermisches Rauschen oder Funkelrauschen, tritt bei Analog-Digital-Wandlern ebenfalls das so genannte Quantisierungsrauschen auf. Durch die festgelegte Auflösung des A-D-Wandlers weicht das Ausgangssignal, wie in Abbildung 2.7 zu erkennen, bis zu 1 LSB vom idealen Eingangssignal ab. Ist das Eingangssignal gleichverteilt - es kommen also alle Werte gleich oft vor wie z.B. in der in Abbildung 2.7 dargestellten Rampe - dann ist die mittlere Spannungsabweichung genau $U_{LSB}/2$.

Der Begriff Rauschen ist in diesem Fall etwas irreführend, da die Abweichung nicht zufällig auftritt, sondern deterministisch. Dennoch wird durch diese Ungenauigkeit das Signal-zu-Rausch-Verhältnis nach oben hin begrenzt, da sich aus einem digitalen Ausgangswert nicht exakt der analoge Eingangswert rekonstruieren lässt und sich dieses wie ein Verwischen oder Rauschen auswirkt.

Das Signal-zu-Quantisierungsrauschen-Verhältnis SNR_{Quant} lässt sich mithilfe der in Abbildung 2.11 dargestellten Eingangs-Ausgangs-Signaldifferenz einer Rampenfunktion herleiten. Dazu muss der Quotient aus dem Effektivwert $U_{e,RMS}$ der Eingangsspannung und dem der Fehlerspannung $U_{F,RMS}$ gebildet werden.

Wird nur ein Teilbereich von $x \cdot T$ bis $(x + 1) \cdot T$ betrachtet, lässt sich die Fehlerfunktion $U_F(t)$ durch Gleichung 2.30 bzw. Gleichung 2.31 beschreiben.

$$\begin{aligned}
 U_F(t) &= U_e(t) - U_D(t) && \text{allgemein} \\
 U_F(t) &= \frac{U_{LSB} \cdot t}{T} && \text{für } 0 \leq t \leq T \quad (2.30)
 \end{aligned}$$

$$U_F(t) = \frac{U_{LSB} \cdot (t - x \cdot T)}{T} \quad \text{für } x \cdot T \leq t \leq (x + 1) \cdot T \quad (2.31)$$

Da sich die Funktion für eine Gleichverteilung entsprechend den Quantisierungsstufen wiederholt, reicht eine Betrachtung des ersten Intervalls T .

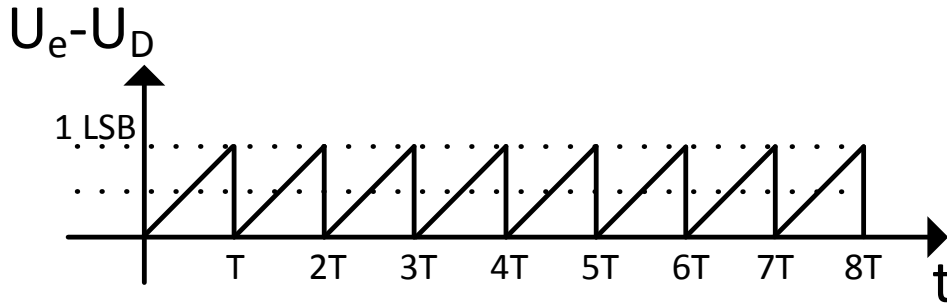


Abbildung 2.11: Differenz von Aus- und Eingangssignal für eine Rampenfunktion an einem 3 bit A-D-Umsetzer zur Bestimmung des Quantisierungsrauschens

Es folgt per Integration und Mittelwertbildung über den Teilbereich:

$$\overline{U_F^2(t)} = \frac{1}{T} \int_0^T U_F^2 dt \quad (2.32)$$

$$\stackrel{2.30}{=} \frac{1}{T} \int_0^T \frac{U_{LSB}^2 \cdot t^2}{T^2} dt = \frac{U_{LSB}^2}{3 \cdot T^3} [t^3]_0^T = \frac{U_{LSB}^2}{3} \quad (2.33)$$

Der Effektivwert $U_{F,RMS}$ folgt durch Abzug des Gleichanteils, der durch die Definition der idealen Kennlinie in dieser Arbeit bei $U_{LSB}/2$ liegt.

$$\begin{aligned} U_{F,RMS} &= \sqrt{U_{F,RMS}^2} = \sqrt{\overline{U_F^2(t)} - \left(\frac{U_{LSB}}{2}\right)^2} = \sqrt{\frac{U_{LSB}^2}{3} - \frac{U_{LSB}^2}{4}} \\ &= \frac{U_{LSB}}{\sqrt{12}} \end{aligned} \quad (2.34)$$

Für den Vergleich mit dem mit der DFT bestimmten SNDR in Gleichung 2.29 wird hier ebenfalls auf ein sinusförmiges Eingangssignal nach Gleichung 2.17 zurückgegriffen.

Es folgt:

$$\begin{aligned}
 U_{e,RMS} &= \sqrt{\overline{U_e(t)^2}} = \sqrt{\hat{u}^2 \cdot (\sin(\omega t))^2} \\
 &= \sqrt{\hat{u}^2 \cdot \frac{1}{2}(1 - \cos(2\omega t))} \\
 &= \hat{u} \sqrt{\frac{1}{2}(1 - 0)} \\
 &= U_{LSB} \cdot 2^{n-1} \sqrt{\frac{1}{2}(1 - 0)} \\
 &= U_{LSB} \cdot 2^{n-1} \sqrt{\frac{1}{2}}
 \end{aligned} \tag{2.35}$$

Das Verhältnis von Gleichung 2.35 und Gleichung 2.34 ergibt dann das Signal-zu-Quantisierungsrauschen-Verhältnis SNR_{Quant} :

$$\begin{aligned}
 SNR_{Quant,dB} &= 20 \log \left(\frac{U_{e,RMS}}{U_{F,RMS}} \right) \\
 &\approx 20 \log \left(\frac{U_{LSB} \cdot 2^{n-1} \sqrt{\frac{1}{2}}}{\frac{U_{LSB}}{\sqrt{12}}} \right) \\
 &= 20 \log(2^n) + 20 \log \left(\sqrt{\frac{3}{2}} \right) \\
 &\approx 6,02 \cdot n + 1,76
 \end{aligned} \tag{2.36}$$

Hierbei wird eine Gleichverteilung des Quantisierungsrauschens für ein Sinussignal angenommen, da sich so die Näherungsformel wesentlich leichter ableiten lässt und der auftretende Fehler im Allgemeinfall, unter anderem im Verhältnis zu Messungenauigkeiten, vernachlässigbar ist.

Zwischen Quantisierungsrauschen und nominaler Auflösung besteht damit eine direkte Beziehung. Wird der Faktor SNR_{Quant} durch den Faktor $SNDR$, welcher zusätzlich echtes Rauschen der Bauteile und deren Nichtlinearitäten beinhaltet, aus Gleichung 2.29 ersetzt, ergibt sich die effektive Auflösung n_{eff} .

$$n_{eff} = \frac{SNDR - 1,76}{6,02} \tag{2.37}$$

Mithilfe der effektiven Auflösung nach Gleichung 2.37 in Bit (engl.: Effective Number of Bits - ENOB) über der Frequenz lässt sich das Frequenzverhalten eines Wandlers leicht und anschaulich interpretieren und bewerten.

2.2.3 Gütefaktor

Um verschiedene A-D-Wandler-Strukturen hinsichtlich ihrer Leistungsfähigkeit klassifizieren zu können, werden in der Elektrotechnik so genannte Gütefaktoren (engl.: Figure of Merit, FOM) eingeführt. Sie setzen verschiedene bereits zuvor eingeführte Kenngrößen ins Verhältnis. Anhand der FOM-Werte von vorangegangenen ähnlichen Veröffentlichungen lässt sich dann der entwickelte Wandler einordnen und der Aufwand zur Verbesserung des FOM-Wertes abschätzen.

Für verschiedene Wandlertypen werden unterschiedlichste Gewichtungen der FOM-Parameter bevorzugt, am geläufigsten und am allgemeinsten anwendbar ist die FOM nach Gleichung 2.38 [10] in ihrer invertierten Form nach beispielsweise [11].

$$FOM = \frac{P}{f_S \cdot 2^{ENOB_{DC}}} \left[\frac{J}{conv} \right] \quad (2.38)$$

Je niedriger die Verlustleistung P ist, desto niedriger ist der FOM-Faktor, was hier wiederum einer höheren Güte entspricht. Entsprechend umgekehrt werden Abtastrate f_S und effektive Auflösung gewertet. Je höher diese beiden Werte, desto niedriger die FOM. Dies entspricht ebenfalls einer Erhöhung der Güte, wobei die Verdoppelung der Abtastrate gleich gewertet wird wie die Erhöhung der effektiven Auflösung um ein Bit. Allgemein wird diese FOM wegen ihrer Herkunft auch „Walden“- oder „ISSCC“-FOM genannt.

2.3 Störeinflüsse bei CMOS-A-D-Umsetzern

Um möglichst gute Werte bei den in den vorherigen Kapiteln angesprochenen Linearitäts- und Gütekriterien zu erzielen, ist ein Grundwissen über die ausschlaggebenden Fehlerursachen bei A-D-Wandlern von Vorteil. Dazu werden in den folgenden Unterkapiteln die wichtigsten Ursachen erklärt und Möglichkeiten zur Vermeidung bzw. Minimierung der Störungen gegeben.

2.3.1 Prozessabweichungen und Fehlpassungen

Bei der Prozessierung - d.h. der Herstellung - von CMOS-Schaltungen kommt es durch die sehr kleinen und hoch integrierten Strukturen zu leichten Abweichungen bzw. Fehlpassungen (engl.: Mismatch). Sowohl geometrische wie auch elektrische Abweichungen können bei Metall-Oxid-Halbleiter-Feldeffekttransistoren (engl.: Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) auftreten. Dies ist vor allem im analogen Teil eines A-D-Wandlers von großem Nachteil, da dadurch unter anderem die Ausbeute (engl.: Yield) an verwendbaren A-D-Wandlern sinken kann [12]. Abbildung 2.12 zeigt das reguläre Ausgangskennlinienfeld eines minimalen n-Kanal-MOSFET (nFET) ohne Prozessabweichungen und Fehlpassungen in einer 28 nm CMOS Technologie.

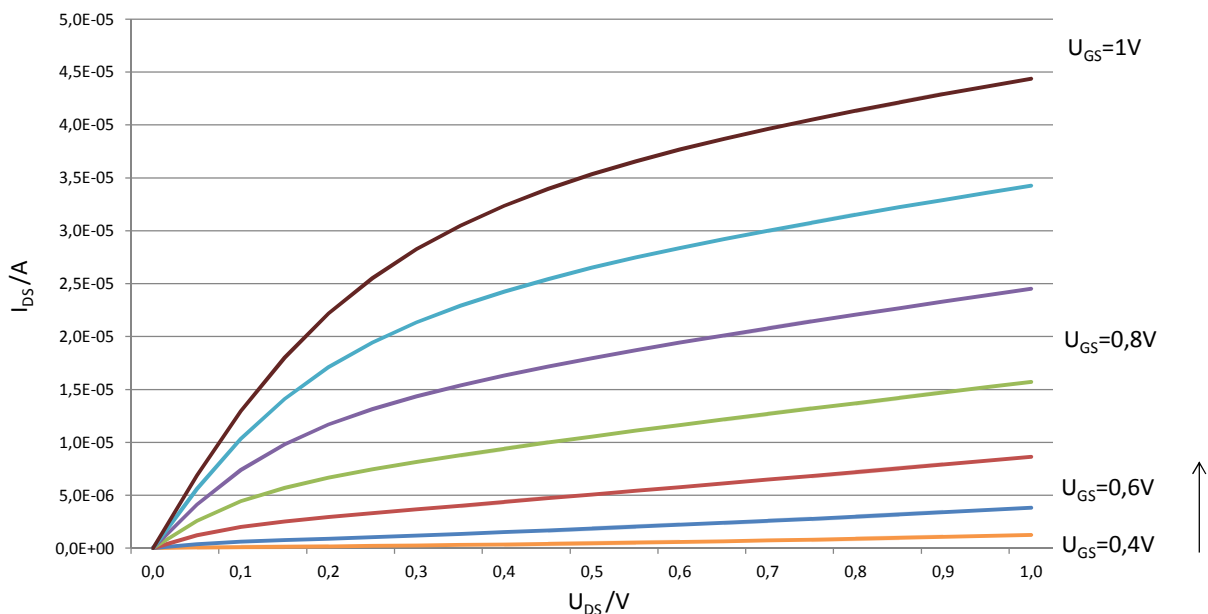


Abbildung 2.12: Kennlinienschar eines 28 nm CMOS nFET ohne Fehlpassungen

Zwar sind diverse Effekte zweiter Ordnung wie Kanallängenmodulation (KLM) (s. Anhang A.1) [13] leicht zu erkennen, für die Auflösung in einem differentiellen Aufbau mit zwei identischen Transistoren spielen diese Effekte jedoch eine wesentlich kleinere Rolle. Bei einem differentiellen Aufbau (s.a. Anhang A.2) heben sich solche Nichtlinearitäten bei gleichen Transistoren und unter Beachtung der Betriebsbereiche der Transistoren beim Schaltplanentwurf weitestgehend auf.

Im Gegensatz dazu haben Fehlpassungen, welche für jeden Transistor individuell auftreten, einen größeren Einfluss. Abbildung 2.13 zeigt dazu das Kenn-

linienfeld des gleichen Minimaltransistors mit Berücksichtigung der möglichen Abweichungen in Form von fünf Monte-Carlo-Simulationen.

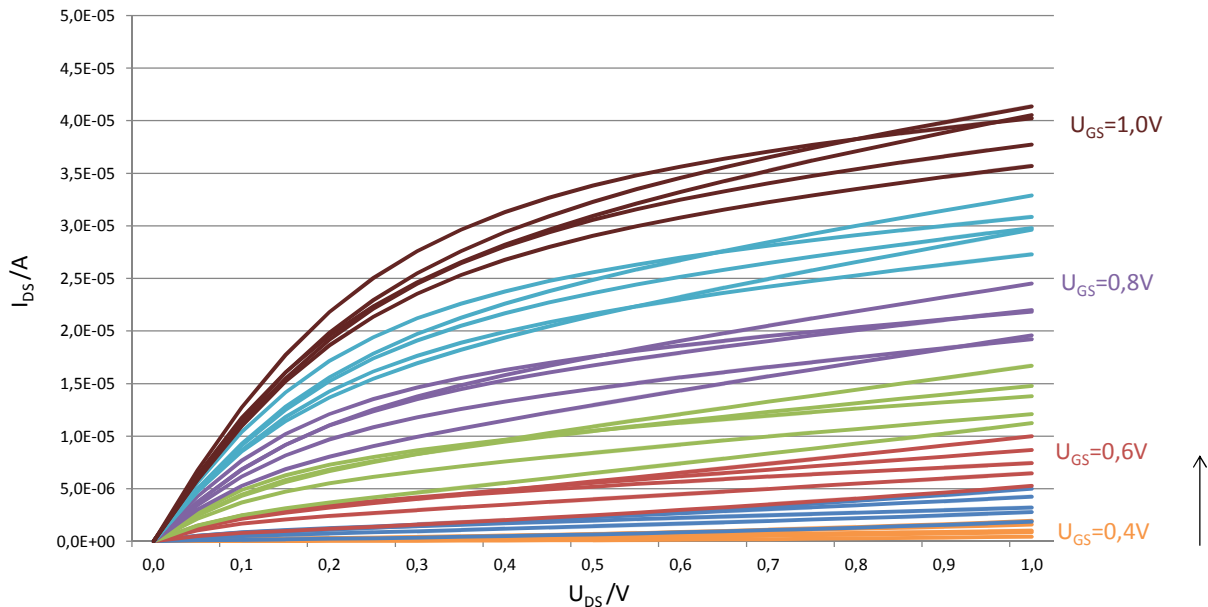


Abbildung 2.13: Kennlinienschar eines 28 nm CMOS nFET mit Fehlpassungen (5x Monte-Carlo-Simulation)

Bei Monte-Carlo-Simulationen werden die möglichen Prozess- und Fehlpassungsvarianzen der Bauteile, welche in den entsprechenden Bauteilmodellen des Prozessbaukastens (engl.: Design Kit, DK) hinterlegt sind, zufällig auf diese verteilt. Das heißt jedes Element der Schaltung unterscheidet sich in seinem Verhalten. Weiterhin werden die Zufallsparameter für jeden neuen Monte-Carlo-Durchlauf neu verteilt.

Die Bauteil-Schwankungen haben auch bei einem differentiellen Aufbau eine Auswirkung, da dann beispielsweise einer der mindestens zwei beteiligten Transistoren schon bei einer niedrigeren Spannung in den leitenden Zustand übergeht. Dies führt bei differentiellen Verstärkern zu Verschiebungen der Nulldurchgänge und gegebenenfalls zu einer unsymmetrischen Verstärkung. Daher müssen, vor allem im analogen Bereich, Bauteilschwankungen bereits in der Entwurfsphase berücksichtigt werden.

Bei der Erstellung des Schaltplans müssen somit alle, oder zumindest besonders kritische, Elemente einer Schaltung hinsichtlich ihres Fehlpassverhaltens untersucht und entsprechend angepasst werden. Eine durch den Prozess maximal gegebene geometrische Abweichung von zum Beispiel 5 nm hat bei einem

Transistor mit 90 nm ($5/90 = 5,6\%$) Gatelänge eine wesentlich größere Auswirkung als bei einem Transistor mit 180 nm Gatelänge ($5/180 = 2,8\%$). Durch entsprechende Vergrößerung der kritischen Schaltungskomponenten können daher Fehlpassungseffekte minimiert werden. Weiterhin kann eine überlegte geometrische Anordnung der verschiedenen Komponenten das Verhalten positiv beeinflussen. Wird eine Abweichung durch die Prozessierung verursacht, so tritt sie auf der Halbleiterscheibe meist in gewissen geometrischen Mustern und in einer bestimmten Richtung verlaufend auf. Eine parallele Ausrichtung von Widerständen in enger räumlicher Nachbarschaft führt so zu einem ähnlichen Fehlverhalten der Strukturen [14]. Dadurch weichen beispielsweise zwei benachbarte parallele Widerstände in die gleiche Richtung ab. Für differentielle Schaltungen in Stromschalterlogik (engl.: Current-Mode Logic, CML, s.a. Anhang A.2) [13][15] ist ein ähnliches Fehlverhalten nicht so ausschlaggebend, da lediglich eine leichte Erhöhung bzw. Reduzierung der Verstärkung erfolgt. Bei einer unterschiedlichen Abweichung der Bauteile kommt es jedoch zur Verschiebung des Schaltpunktes und so gegebenenfalls zu einem völlig anderen Schaltverhalten.

2.3.2 Abweichungen durch Eingangsströme

Abweichungen durch Eingangsströme sind bei CMOS-Schaltungen statisch gesehen, also im eingeschwungenen Zustand ohne wechselnde Eingangssignale, zu vernachlässigen. Dies liegt an der Technologie selbst, da ab dem Moment des vollständigen Umladens eines Gate-Anschlusses nahezu kein Strom mehr in diesen fließt. Lediglich Leckströme von einigen wenigen Femtoampere treten bei aktuellen Technologien auf.

Dynamisch mit veränderlichen Signalen gesehen, spielen die Eingangsströme bei CMOS dennoch eine Rolle.

Die Eingangskapazität (C) einer Schaltung muss immer wieder umgeladen werden, wobei sich, durch die Ansteuerfähigkeit der vorhergehenden Schaltung und dem Widerstandsbelag der Zuleitungen (R), maximale Einschwingzeiten bzw. eine Bandbreite ergeben. Dies begrenzt im ungünstigsten Fall die maximale Taktfrequenz einer Schaltung. Besonders starke Auswirkungen haben die Eingangsströme bei Strukturen mit Widerständen, wie beispielsweise einer resistiven Interpolationsleiter [6][16]. Durch zusätzliche Widerstände vor den umzuladenden Knoten entstehen eigene RC-Glieder mit einem exponentiellen RC-Einschwingverhalten. Im Normalfall wird die Anstiegszeit für RC-Tiefpässe durch

eine Näherung der Zeitdifferenz des Übergangs von 0 % auf 90 % der Spannungsdifferenz angegeben. Mit der Sprungantwort gemäß Gleichung 2.39 lässt sich, durch Umformen und Auflösen der Gleichung, die Zeitdifferenz ermitteln.

$$u_a(t) = \hat{u} \cdot \left(1 - e^{-\frac{t}{RC}}\right) \quad (2.39)$$

Es folgt allgemein für die Anstiegszeit t_r :

$$t_r = t(u_{a,2}) - t(u_{a,1}) = RC \cdot \left(\ln\left(\frac{\hat{u} - u_{a1}}{\hat{u}}\right) - \ln\left(\frac{\hat{u} - u_{a2}}{\hat{u}}\right) \right) \quad (2.40)$$

Damit lässt sich bei bekannten Genauigkeitsanforderungen die ungefähre Anstiegszeit bis zum Erreichen des End- bzw. Sollwertes berechnen. Sind bei einem A-D-Wandler durch die Auflösung mindestens 90 % des Endwertes erforderlich, folgt von 0 % auf 90 % näherungsweise $t_r = 2,3 \cdot RC$. Für eine Genauigkeit von 99 % des Endwertes verdoppelt sich die Zeit bereits auf $t_r = 4,6 \cdot RC$.

2.3.2.1 Abweichungen durch Komparatoreingangsströme in einer Referenzspannungsleiter

Fließen Eingangsströme in die an die Referenzspannungsleiter angeschlossenen Komparatoren, so erzeugt dies Abweichungen der Referenzspannungen von den Sollwerten. Abbildung 2.14 zeigt eine einfache Referenzspannungsleiter mit konstanten Strömen $I_{K, \text{ein}}$ in die $m = 2^n - 1$ Komparatoren. Für sehr kleine Eingangsströme ($I_{K, \text{ein}} \approx 0 \text{ A}$) ergibt sich ein Querstrom durch die Leiter gemäß Gleichung 2.41.

$$I_L(I_{K, \text{ein}} = 0 \text{ A}) = \frac{U_{\text{ref}}}{m \cdot R} = \frac{\Delta U}{R} \quad (2.41)$$

Werden die Komparatorströme als reell größer Null angenommen, verändern sich die effektiv wirksamen Teilimpedanzen. Durch die Reduzierung des Spannungsabfalls über den Widerständen sind die wirksamen Werte im Bereich von

$$R' = \alpha \cdot R \quad \alpha \in [0, 1] \quad (2.42)$$

Von links nach rechts (vgl. Abbildung 2.14) nehmen die effektiv wirksamen Widerstände durch die Reduzierung des fließenden Stromes linear ab. Damit trotz-

dem der als fest angenommene Gesamtspannungsabfall von U_{ref} über der Leiter entsteht, muss sich der Querstrom I_L um $\frac{1}{2} (2^n - 1) I_{K,ein}$ erhöhen. Grund ist, dass sich der zusätzliche Spannungsabfall im linken Teil mit dem geringeren Spannungsabfall im rechten Teil ausgleichen muss. Dies findet spiegelbildlich zur Mittelachse statt.

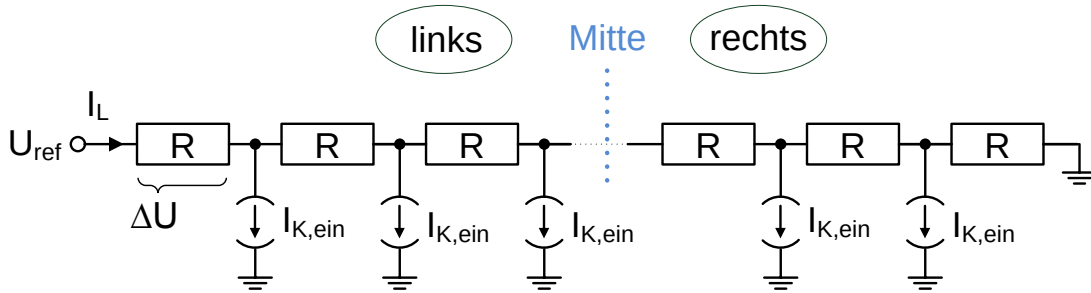


Abbildung 2.14: Referenzspannungsleiter mit statischen Komparatoreingangsströmen

Es ergibt sich ein Spannungsverlauf gemäß Abbildung 2.15. Der Fehler im linken Teil der Leiter entspricht dem negativen Fehler im rechten Teil:

$$\Delta U_{links} = -\Delta U_{rechts} \quad (2.43)$$

Vereinfacht folgt Abbildung 2.16 für einen der beiden Teile. Der Strom, der den konstanten Spannungsabfall von ΔU über allen Widerständen R in Abbildung 2.15 verursacht, lässt sich gemäß Gleichung 2.41 vernachlässigen. Es wird dann hier nur der Differenzanteil durch die Komparatoreingangsströme berücksichtigt.

Für die ungerade Reihe $1 + 3 + 5 + \dots + (2q - 1)$ gilt [9]:

$$1 + 3 + 5 + \dots + (2q - 1) = q^2 \quad (2.44)$$

Damit folgt mit der Anzahl der Widerstände $o = m + 1 = 2^n$ für eine Hälfte der Leiter und die Summe der Teilspannungen in Abbildung 2.16:

$$q = \frac{o}{2} = \frac{m + 1}{2} = \frac{2^n}{2} \quad (2.45)$$

Die Fehlerspannung U_F ergibt sich aus Abbildung 2.16:

$$U_F = \Delta U_{max} = \frac{1}{2} R \cdot I_{K,ein} \cdot q^2 \stackrel{2.45}{=} \frac{1}{2} R \cdot I_{K,ein} \cdot \left(\frac{o}{2}\right)^2 = (m + 1)^2 \frac{R \cdot I_{K,ein}}{8} \quad (2.46)$$

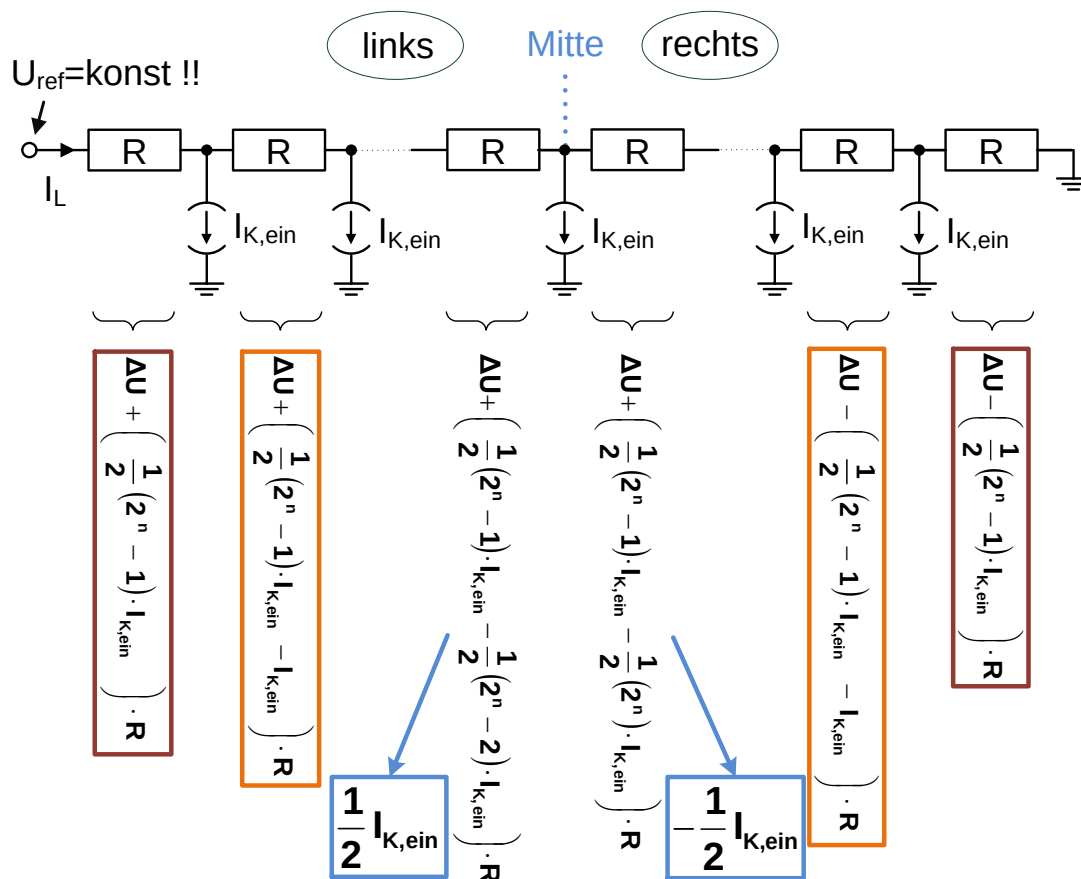


Abbildung 2.15: Referenzspannungsleiter mit statischen Komparatoreingangsströmen und den sich ergebenden Spannungsdifferenzen für $I_{K,ein} > 0 A$

Der Fehler für konstante Eingangsströme steigt also mehr als quadratisch mit der Auflösung und linear mit R und $I_{K,ein}$.

Die hier gezeigte Rechnung gilt für den Fall konstanter Eingangsströme. Diese sind bei aktuellen CMOS-Schaltungen zwar minimal vorhanden, spielen aber im Vergleich zu Bipolartransistorschaltungen eine sehr kleine Rolle. Da es fast nur dynamische Umladeverluste an den Gates der MOSFETs gibt, ist bei statischer Betrachtung auch die Fehlerspannung nach Gleichung 2.46 bei CMOS-Schaltungen zu vernachlässigen.

Anders sieht es bei Betrachtung der dynamischen Effekte aus. Bei großen Spannungssprüngen am analogen Eingangssignal eines CMOS-Parallel-A-D-Umsetzers schalten im ungünstigsten Fall (engl.: Worst Case) alle Komparatoren um. Entsprechend den Spannungsverhältnissen verschieben sich dadurch alle Spannungen in der Referenzspannungsleiter über die Koppelkapazitäten von Ein- und Ausgang der Komparatoren. Dieser Effekt wird Rückschlag bzw., in seiner geläufigeren Form auf Englisch, Kickback genannt. Nach und

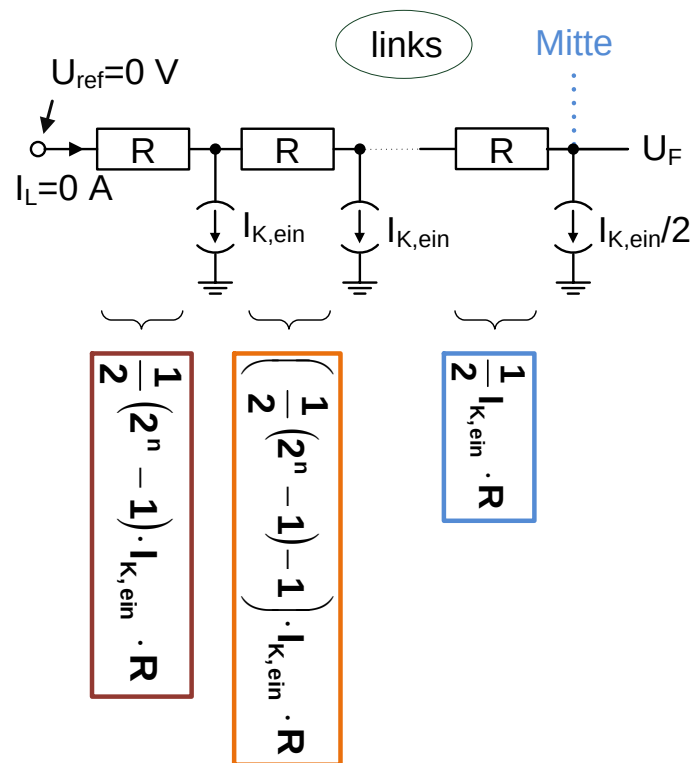


Abbildung 2.16: Bestimmung der maximalen Spannungsabweichung der Referenzspannungsleiter mit statischen Komparatoreingangsströmen $I_{K,ein} > 0 \text{ A}$

nach werden die Knoten danach wieder über die jeweiligen RC-Glieder auf ihren unverfälschten Wert zurückgeladen. Dieser Umladevorgang begrenzt maßgeblich die maximale Abtastrate, wenn die Knoten nur sehr langsam auf ihren ursprünglichen Wert zurückkehren.

Zwar sind alle Ströme signalabhängig und im ständigen Wechsel, die qualitative Aussage von Gleichung 2.46 bleibt jedoch erhalten. Bei steigender Auflösung und Abtastrate müssen die Koppelkapazitäten der Komparatoren und somit die dynamischen Ströme in die Leiter minimiert werden. Gleichzeitig sind ebenfalls die Widerstandswerte der Referenzspannungsleiter zu minimieren. Dies reduziert sowohl die Spannungsdifferenzen als auch die Umladezeiten der RC-Glieder.

Eine weitere Möglichkeit zur Reduzierung des Kickback-Einflusses ist der Einbau von zusätzlichen Kapazitäten an den Referenzspannungsknoten. Durch die Erhöhung der Gesamtkapazität an den Knoten verringert sich die relative Menge der überkoppelnden Ladungsträger im Verhältnis zu der Ladungsträgermenge am Knoten selbst.

2.3.3 Abweichungen durch Temperaturunterschiede

Zum Betrieb von elektronischen Schaltungen wird Energie benötigt. Wird nur ein bestimmter Zeitpunkt oder eine Zeitspanne betrachtet, so folgt aus der benötigten Energie bezogen auf die Zeit die Verlustleistung der Schaltung für diesen Zeitraum. Diese lässt sich, je nach Logik und Technologie, durch dynamische Umladeverluste und bzw. oder durch statische Querströme beschreiben. Unabhängig davon wird die in der Schaltung verlorene Leistung zum Großteil in Wärme umgesetzt, welche sich wiederum auf die elektrischen Eigenschaften der Transistoren auswirkt. Nach [13] verändert sich unter anderem die Schwellenspannung U_{th} und die Beweglichkeit der Ladungsträger μ :

$$U_{th}(T) = U_{th}(T_0) - \kappa(T - T_0) \quad (2.47)$$

$$\mu(T) = \mu(T_0) \left(\frac{T}{T_0} \right)^{-\alpha} \quad (2.48)$$

Dabei steht κ für eine technologieabhängige Konstante zwischen 0,5 und 4 mV/K, T_0 für die Raumtemperatur in Kelvin und α für eine technologieabhängige Konstante zwischen 1,5 und 2.

Zwei identische Gatter mit unterschiedlicher Verlustleistungsdichte in ihrer jeweiligen direkten Nachbarschaft können daher starke Unterschiede durch die unterschiedliche Beweglichkeit der Ladungsträger aufweisen. Auch die Schwellenspannungen können sich unterscheiden, was vor allem für analoge Funktionen nachteilig ist. Dies muss vor allem in der Maskenentwurfsphase durch symmetrische Strukturen und die Vermeidung von zu hohen Verlustleistungsdichten pro Fläche kompensiert bzw. vermieden werden. Entsprechend Gleichung 2.47 steigt der Drainstrom I_{DS} eines MOSFET bei steigender Temperatur durch die sinkende Schwellenspannung (vgl. Anhang A.1). Gleichzeitig reduziert sich jedoch die Beweglichkeit, wobei hier ein exponentielles Verhalten zugrunde liegt. Daher dominiert dieser Effekt gegenüber der linearen Steigerung durch die Reduktion der Schwellenspannung. Somit ist mit steigender Temperatur mit sinkenden Drainströmen zu rechnen [17], was wiederum bei einfachen CML-Strukturen ohne Kompensationsmechanismen zur Reduktion der Verstärkung führt. Dies folgt vereinfacht aus der Gleichspannungsverstärkung A_{DC} eines differentiellen

CML-Verstärkers (vgl. Anhang A.2):

$$\begin{aligned}
 A_{DC} &= \frac{\delta U_a}{\delta U_e} = \frac{\delta I_{D,N1} + \delta I_{D,N2}}{\delta U_{GS,N1} - \delta U_{GS,N2}} R = \frac{\delta I_{D,N1} + \delta I_{D,N2}}{2\delta U_{GS}} R \\
 &= \frac{1}{2}(g_{m,N1} + g_{m,N2}) R \stackrel{N1=N2}{=} g_m \cdot R
 \end{aligned} \tag{2.49}$$

Der Stromverstärkungsfaktor g_m ist dabei für Kurzkanal-MOSFETS ($< 130 \text{ nm}$) nach [17][18] umformbar zu Gleichung 2.50. Vor allem der Wert im Nenner des ersten Faktors steigt dabei mit fallendem μ stark an, was zur Degradation von g_m führt.

$$g_m = \left(\frac{1}{\mu_e \cdot C_{ox} \cdot W \cdot E_{sat}} + \frac{\frac{I_D}{(\mu_e \cdot C_{ox} \cdot E_{sat})^2} + \frac{L}{W \cdot \mu_e \cdot C_{ox}}}{\sqrt{\frac{I_D^2}{(\mu_e \cdot C_{ox} \cdot E_{sat})^2} + \frac{2 \cdot I_D \cdot L}{W \cdot \mu_e \cdot C_{ox}}}} \right)^{-1} \tag{2.50}$$

Soll eine Schaltung unabhängig von ihrer Umgebungstemperatur sicher funktionieren, ist daher eine ausreichend hohe Verstärkung vorzusehen. Diese ist so hoch zu wählen, dass auch eine starke Verstärkungsdegradation durch hohe Temperaturen nicht zum Ausfall von Funktionalität führt. Vor allem für sehr viele serielle Verstärker, wie sie beispielsweise in einem Taktbaum vorkommen, sind daher Simulationen bei verschiedenen Temperaturen ratsam bzw. die Verstärkungen durch zusätzliche Regelschaltungen sicherzustellen.

2.3.4 Alterungseinflüsse

In aktuellen CMOS-Technologien verursachen die immer kleineren Strukturen immer größere lokale elektrische Felder. Gleichzeitig führt die Skalierung auch zu einer größeren Anzahl an Gattern pro Fläche und somit durch die höhere Stromdichte auch zu höheren Temperaturen. In der Literatur [19][20] werden verschiedene physikalische Effekte wie der “Channel-Hot-Carrier“-Effekt (CHC), der “Negative-Bias-Temperature-Instability“-Effekt (NBTI) oder der “Time-Dependent-Dielectric-Breakdown“-Effekt (TDDB) genannt. Analog zum NBTI wird für aktuelle CMOS-Technologien auch ein “Positive-Bias-Temperature-Instability“-Effekt (PBTI) für NMOS-Transistoren beschrieben. Die drei verschiedenen Effekte werden in Tabelle 2.1 mit ihren Auswirkungen kurz beschrieben.

Tabelle 2.1: Verschiedene Alterungseinflüsse bei CMOS-Schaltungen

	CHC	NBTI / PBTI	TDDB
Ursachen/ Einflussfak- toren	Hohes elektrisches Feld durch hohe Drain-Source- Spannung U_{DS}	Temperatur T , Betriebsspannung U_{DD} und Betriebsdauer t	Temperatur T , Betriebsspannung U_{DD} und Betriebsdauer t
Beschreibung	Hohe kinetische Energie der Ladungsträger kann durch vertikale Ablenkung in Gate-Richtung zum Durchdringen der sehr schnellen Ladungsträger durch die Potentialbarrie- re führen	Aufbrechen der Si-H-Ver- bindung im Halbleiter durch hohe Temperatu- ren und hohe Felder	Ladungsträger werden durch Stromfluss in Teilen des Oxids "gefangen", dies kann zum Durchtunneln weiterer Ladungsträger führen, wo- durch es dann ggf. in einem sich aufschaukelnden Ef- fekt zur Kurzschlussbildung kommt
Schädigung	Grenzfläche Oxid-Kanal, dadurch unter anderem Verminderung der Beweg- lichkeit der Ladungsträger	Schwellenspannungsver- schiebung durch Verän- derung der Materialstruk- tur, z.T. reversibel	Zerstörung des Transistors durch Kurzschluss bzw. Durchbruch

Allgemein lässt sich zeigen, dass NBTI bzw. PBTI die dominierenden Effekte in aktuellen CMOS-Technologien sind [21]. Durch sorgfältige Dimensionierung der Gatter, eine möglichst niedrige Versorgungsspannung und eine passende Wahl der Eingangsspannungen der gefährdeten MOSFETs, lässt sich jedoch der Einfluss der Effekte massiv verringern. Eine wichtige Rolle spielt hier auch das Einhalten der Regeln des DK der jeweils genutzten Technologie.

3 Schnelle Parallel-A-D-Umsetzer

In diesem Kapitel werden zunächst die verwendeten Architekturgrundlagen eingeführt und in ihrer Funktionsweise beschrieben. Anschließend wird deren Implementierung bzw. Umsetzung in zwei entwickelten A-D-Umsetzern dargestellt.

3.1 Architektur

Ein einfaches Beispiel für einen Parallelumsetzer wird bereits in Kapitel 2 anhand einer direkten 3 bit-Struktur beschrieben. Entsprechend den gewünschten bzw. gewählten Anforderungen reicht jedoch die einfache Struktur nicht aus. Beispielsweise spricht eine hohe gewünschte Bandbreite gegen diese einfache Struktur, da sie durch die vielen parallelen Komparatoren am Eingang stark bandbegrenzend wäre. Sie muss durch zusätzliche Maßnahmen, die im Folgenden beschrieben werden, erweitert werden.

3.1.1 Zeitverschachtelung

Prinzipbedingt wandelt ein einfacher Parallel-A-D-Umsetzer in jedem Zeitschritt einen analogen Eingangswert in einen digitalen Ausgangswert. Die Geschwindigkeit wird dabei durch die physikalischen Grenzen des verwendeten Prozesses und durch den Entwurf bestimmt. In Kapitel 2 ist die Möglichkeit zur Erzielung sehr hoher Abtastraten durch massive Zeitverschachtelung von langsamen Wandlern dargestellt. Bei Parallelumsetzern reicht meist eine Parallelisierung von wenigen Wandlern aus. Da die in dieser Arbeit angestrebten Abtastraten von 25 GS/s nicht durch einfache Einzelumsetzer realisiert werden können, wird

daher auf eine Zeitverschachtelung von zwei bis vier Parallel-A-D-Umsetzern gesetzt. Bei zwei Wandlern kann bei einer differentiellen Struktur der zweite Wandler einfach durch Vertauschen des nichtinvertierten und des invertierten Takteinganges realisiert werden. Eine weitere Zeitverschachtelung geht im Normalfall mit dem Faktor 2 vonstatten. Dies liegt daran, dass sich die nötigen Takte und Phasenverschiebungen durch einfache Taktteiler (engl.: Clock /Frequency Divider, TT - z.B. [22]) gut realisieren lassen.

Abbildung 3.1 zeigt die in dieser Arbeit verwendeten Parallelisierungen. Die beiden Umsetzer in der zweifach zeitverschachtelten Struktur arbeiten jeweils bei der vollen Taktrate von 12,5 GHz. Bei Verwendung des invertierten Taktes für den zweiten Wandler ergibt sich eine Phasenverschiebung von 180° . Die Ausgangsdaten werden hier im Gegensatz zu der in Kapitel 2 vorgestellten Struktur nicht wieder durch einen Multiplexer zusammengefügt. Grund dafür ist die Datenrate der Ausgangsschnittstellen, welche sich mit der verfügbaren Messtechnik [23][24][25] aufnehmen lassen können muss. Sie beträgt bei den mit 12,5 GHz getakteten Wandlern jeweils 12,5 Gbit/s, lässt sich jedoch mit ebenfalls entwickelten Demultiplexern halbieren und somit noch detektieren. Weiterhin ist mit dieser Struktur ohne Multiplexer ein weitestgehend symmetrischer und zentrischer Maskenentwurf möglich.

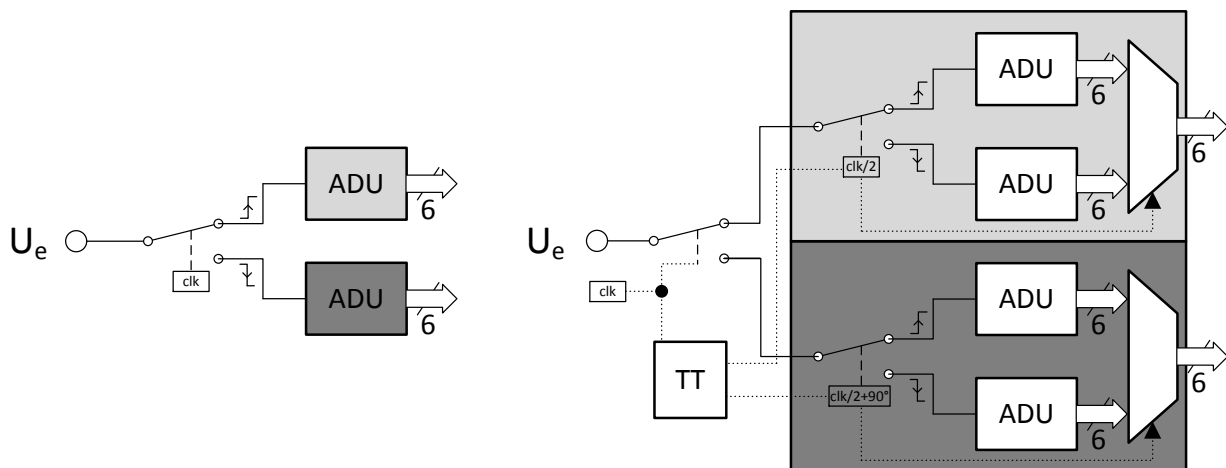


Abbildung 3.1: Zeitverschachtelung von zwei und vier 6 bit Parallelumsetzern

Bei der Verschachtelung von vier Wandlern wird zusätzlich ein Taktteiler, zum Beispiel bestehend aus zwei D-Flipflops, benötigt. Der geteilte Takt kann an den beiden um 180° phasenverschobenen differentiellen Knoten des Taktteilers abgegriffen werden. Sie werden wiederum je einem Umschalter zugeführt, welcher identisch zur Version mit zwei Teilwandlern beschaltet wird. Dadurch arbeiten die

Umsetzer jeweils bei einer Abtastrate von 6,25 GHz mit den Phasenverschiebungen 0° , 90° , 180° und 270° . Damit der vierfach verschachtelte Umsetzer mit der selben Messtechnik wie der zweifach verschachtelte Umsetzer vermessen und aufgebaut werden kann, wird hier ein Multiplexer für jedes der beiden Umsetzer-Paare eingesetzt.

3.1.2 Eingangs-Baumstruktur

Ein großes Problem bei der Erhöhung der Auflösung von Parallelumsetzern ist die Eingangskapazität. Wird die Auflösung um ein Bit erhöht, vergrößert sich die Anzahl der Komparatoren am Eingang mit $2^n - 1$ um etwas mehr als den Faktor 2. Unter Beibehaltung der Dimensionierungen der Komparatoren, z.B. aus Fehlpassungsgründen, verdoppelt sich so auch die Eingangskapazität. Dadurch ist zwar eine Erhöhung der Auflösung möglich, gleichzeitig reduziert sich jedoch die Eingangsbandbreite massiv, da zusätzlich zu den Eingangskapazitäten auch die Verdrahtungsverluste stark ansteigen. Eine Möglichkeit dieses Problem zumindest teilweise zu relaxieren, ist die Verwendung einer Verstärkerstruktur vor den parallelen Komparatoren ähnlich einem Taktbaum. Eine sich langsam vergrößernde kaskadierte Verstärkerstruktur [13] in Baumform zeigt Abbildung 3.2. Voraussetzung für die Nutzung für analoge Eingangssignale ist eine möglichst hohe Linearität der Verstärker im Eingangssignalbereich, eine begrenzte Gesamtverstärkung, welche das Ausgangssignal nicht in die Sättigungsbereiche der Verstärker führt, und ein möglichst geringer Rauscheinfluss auf das "verstärkte" Signal. Prinzipiell wäre auch die Verwendung einer einfachen Verstärker-

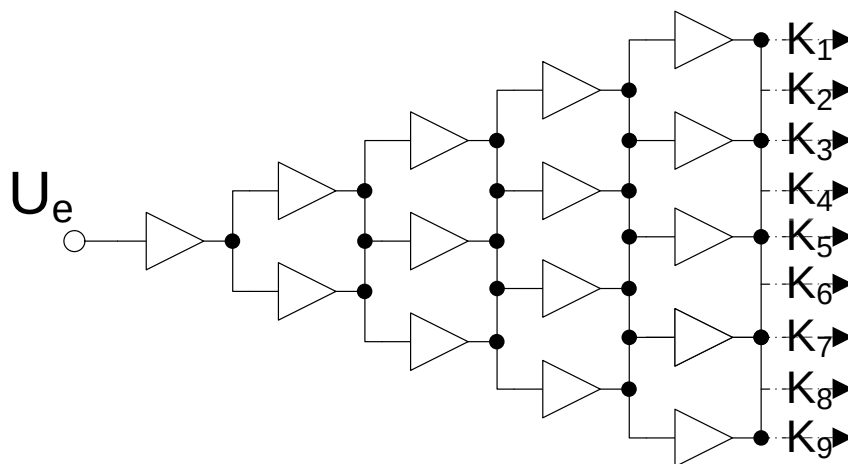


Abbildung 3.2: Eingangsbaumstruktur mit linearen Verstärkern und Beispiel zur Versorgung von neun Komparatoren K_{1-9}

kette möglich, gleiche Bausteine in einer kurzgeschlossenen Baumform erleichtern jedoch die Verdrahtung mit den parallelen Komparatoren und verringern die Komplexität, wenn diese Struktur zusätzlich kalibriert werden soll.

3.1.3 Interpolation

Mithilfe der sogenannten Interpolation lässt sich bei Parallelumsetzern, basierend auf einer ersten Grobquantisierung und durch zusätzliche Schaltungsteile, die Auflösung nachträglich erhöhen. Dies bietet die Möglichkeit, die Anzahl der Komparatoren am Eingang gering und somit die Eingangsbandbreite hoch zu halten. Abbildung 3.3 a) zeigt zur Erläuterung die Information, die eine reine 2 bit Parallelumsetzer-Komparatorstufe ausgibt.

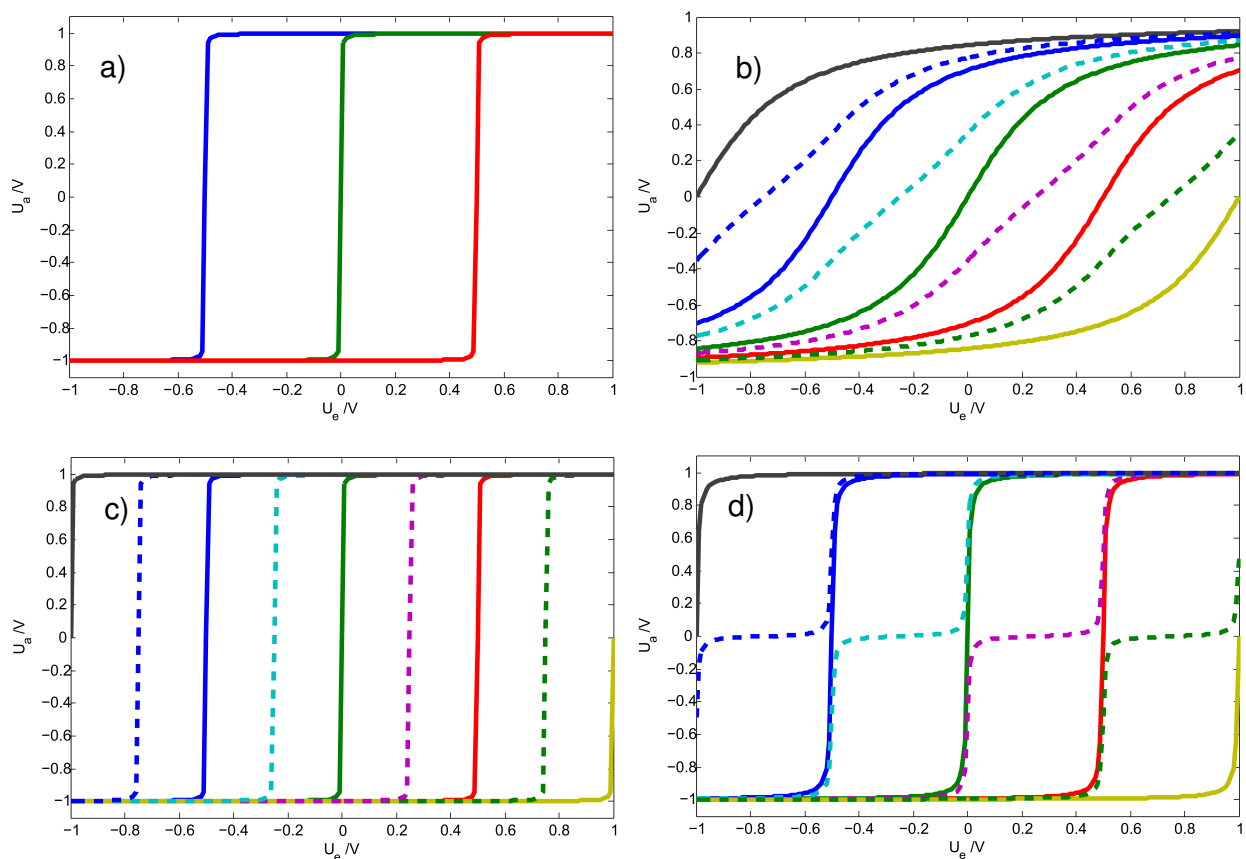


Abbildung 3.3: Prinzip der Interpolation - a) regulärer Verlauf der Nulldurchgänge eines 2 bit Umsetzers, b) Erweiterung des 2 bit Umsetzers um Randkomparatoren und Erzeugung der zusätzlichen Nulldurchgänge mithilfe von Interpolation, c) Ausgangssignale von b) nach einer weiteren Verstärkerstufe, d) fehlerhafte Interpolation mit falschen Linearitätsvoraussetzungen

Im Abstand der Referenzspannungen wechseln die Komparatoren nacheinander in den jeweils anderen Logikzustand am Ausgang. Die Information die später als Digitalwert ausgegeben wird, ist dabei letztlich nur der Wechsel von -1 nach 1 bzw. der sogenannte "Nulldurchgang". Werden weniger steile Übergänge durch eine niedrigere Verstärkung der ersten Komparatoren gewählt, lässt sich die Anzahl der Nulldurchgänge durch Mittelwertbildung jeweils zwei benachbarter Komparatorausgänge erhöhen. Abbildung 3.3 b) zeigt dazu die Erhöhung der Auflösung auf 3 bit unter Zuhilfenahme zweier weiterer Randkomparatoren, welche zur Interpolation in den Randbereichen benötigt werden. Eine Verstärkung der interpolierten Signale und der Interpolationssignale der Vorstufe führt zu einem regulären 3 bit Verlauf wie in Abbildung 3.3 c) mit zusätzlicher Information zum Über- und Unterschreiten des Spannungsbereichs (engl.: Overflow-/Ovrange-Detection). Werden gewisse Linearitätsbedingungen, welche in Abbildung 3.3 b) eingehalten werden, nicht eingehalten bzw. eine zu große Verstärkung bei den Komparatoren gewählt, führt die Interpolation zu unklaren Nulldurchgängen wie in Abbildung 3.3 d). Zwei in der Literatur [26][6] vor allem für schnelle A-D-Umsetzer geeignete Verfahren zur Interpolation werden im Folgenden dargestellt.

3.1.3.1 Resistive Interpolation

Die resistive Interpolation wird mit einfachen Widerständen umgesetzt. Die Eingangssignale werden an eine Widerstandsleiter, wie in Abbildung 3.4 a) dargestellt, angeschlossen und zusammen mit den Zwischenwerten an Verstärker weitergegeben. Diese verstärken die Signale für die nächste Interpolationsstufe oder Entscheidungs-Flipflops. Die Interpolationswerte werden somit durch einfache Spannungsteiler generiert und lassen sich im Zeitbereich vereinfacht gemäß Gleichung 3.1 für $u_{a,1}$ beschreiben.

$$u_{a,1}(t) = \frac{1}{2} \cdot (u_{e,1}(t) + u_{e,0}(t)) \quad (3.1)$$

Auch ein höherer Interpolationsgrad ist möglich, die Anzahl der Zwischenwiderstände in der Mitte muss dann entsprechend erhöht werden. Abbildung 3.4 b) zeigt eine zweite Variante der Schaltung, bei der die Impedanzen zwischen allen Ein- und Ausgängen gleich sind. Dies hat den Vorteil, dass so gleiche Verzögerungszeiten durch ein gleiches RC-Einschwingverhalten entstehen.

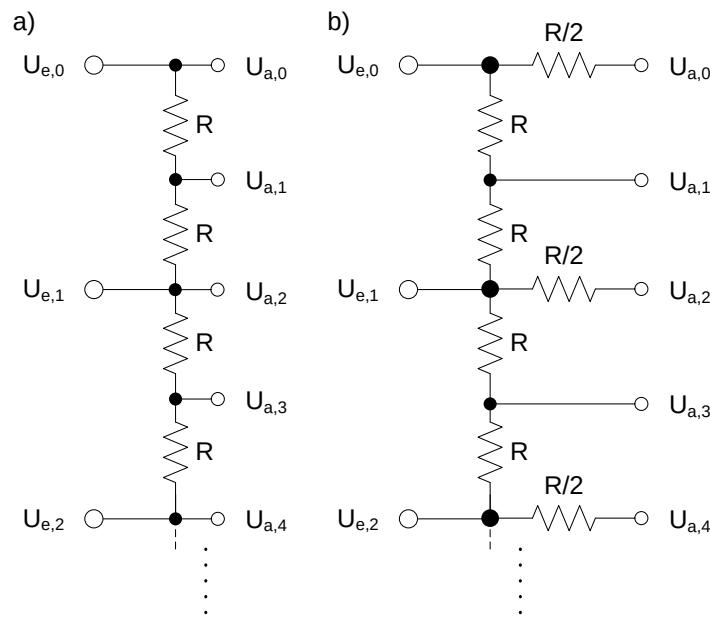


Abbildung 3.4: Resistive Interpolation - a) ohne und b) mit Anpassung der Impedanz zu allen Knoten

3.1.3.2 Aktive Interpolation

Die aktive Interpolation generiert die zusätzlichen Nulldurchgänge mithilfe von aktiven Interpolationsverstärkern (engl.: Active Interpolation Amplifier, AIA). Abbildung 3.5 zeigt einen AIA zur Interpolation von einem zusätzlichen Bit pro Stufe. Dies wird im AIA durch eine Aufteilung des nFET-Paares der Stromschalterlogik-Grundzelle (engl.: Current Mode Logic, CML, Anhang A.2) in zwei gleich große Paare realisiert. Diese werden mit zwei benachbarten Ausgangssignalen der Vorstufe verbunden, wodurch sich durch das entgegengesetzte Aussteuern im Zwischenbereich ($\Delta U_{e,1} > 0$ und $\Delta U_{e,2} < 0$) der neu generierte Nulldurchgang genau in der Mitte ergibt ($\Delta U_{e,1} + \Delta U_{e,2} = 0$).

Neben der Aufteilung in zwei gleich große Transistorpaare ist zur Generierung von mehr als einem zusätzlichen Nulldurchgang pro Interpolationsstufe auch ein Aufteilen in unterschiedlich dimensionierte Paare möglich (z.B. $\frac{w_{N0}}{w_{N1}} : \frac{1}{2}$ und $\frac{w_{N2}}{w_{N3}} : \frac{2}{1}$). In diesem Fall generieren im Zwischenbereich zwei invertiert angesteuerte AIAs zwei zusätzliche Nulldurchgänge. Von Nachteil ist dabei, dass die AIAs durch die unterschiedliche Dimensionierung dann ein weniger lineares Verhalten aufweisen. Auch der große Vorteil der aktiven gegenüber der resistiven Interpolation, dass die Zwischenverstärker gleichzeitig der Interpolation dienen und große Einschwingzeiten durch das Fehlen der Spannungsteiler und eine Minimierung

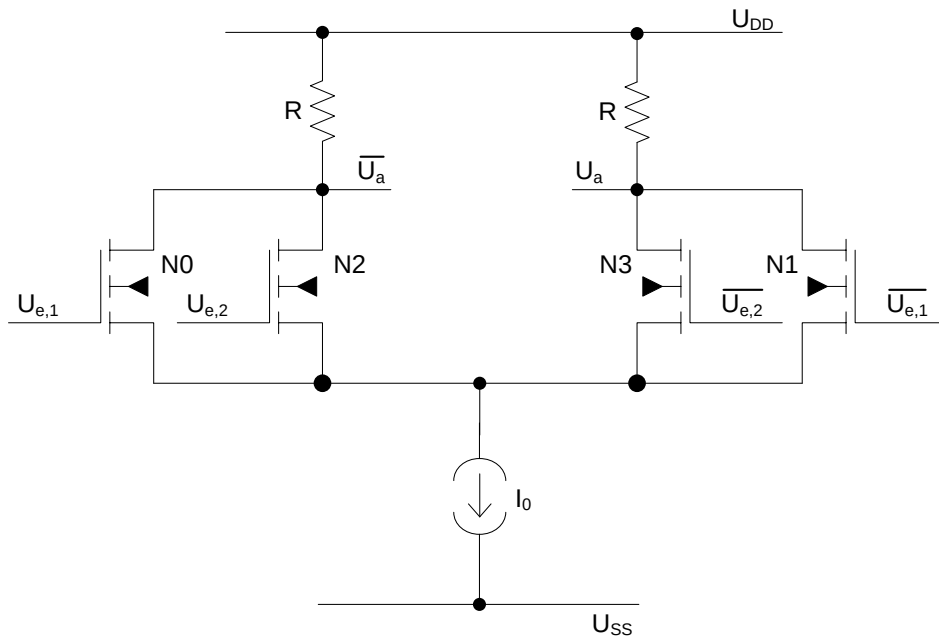


Abbildung 3.5: Aktiver Interpolationsverstärker AIA

der Lastkapazität vermieden werden, geht verloren.

Für sehr schnelle A-D-Umsetzer ist daher eine stufenweise Interpolation mit niedrigem Interpolationsgrad, am besten 1 bit pro Stufe, von Vorteil. Dies führt zu einer durchgängigen Struktur mit immer gleichen Lastkapazitäten und ähnlichen Linearitätsanforderungen.

3.1.4 Kalibrierung

Halbleiterschaltungselemente haben in der Realität zum Teil massive Abweichungen von ihren in der Theorie geplanten Größen und Dotierungen. Abweichungen der Schwellenspannungen bei kleinen Transistoren von bis zu zehn Prozent sind daher in aktuellen Technologien die Regel [27]. Gleichzeitig ist der Eingangsspannungsbereich begrenzt. Bei Parallelwandlern mit vielen parallelen Komparatoren führt dies direkt zu falschen Vergleichsergebnissen, wenn die Abweichungen der Komparatoren größer sind als eine Referenzspannungsstufe und somit zum Entscheidungswert des Nachbarkomparators. Daher werden im Folgenden zwei verschiedene direkte Eingriffsmöglichkeiten zur Korrektur solcher Abweichungen vorgestellt.

3.1.4.1 Kalibrierung der Referenzspannungsleiter

Ein differentieller Komparator vergleicht die differentielle Eingangsspannung ΔU_e mit der differentiellen Referenzspannung ΔU_{ref} und gibt das Ergebnis als ΔU_a aus. Ein solcher Komparator ist in Abbildung 3.6 a) dargestellt.

Unabhängig davon, welche der vier Schalttransistoren vom vorgegebenen Verhalten abweichen, bietet der Komparator auf der Referenzspannungsseite eine elegante Möglichkeit zum Eingriff in das Schaltverhalten. Werden nur die konstanten Referenzspannungen verschoben, erfolgt kein direkter Eingriff in den Analogpfad. Somit kommt es auch nicht zu einer Veränderung der Kapazität an den Eingängen U_e und $\overline{U}_e$. Das Ausgangssignal des Komparators ΔU_a wechselt sein Vorzeichen im abweichungsfreien Fall bei $\Delta U_{ref} = \Delta U_e$. Abweichungen der beiden differentiellen Transistorpaare lassen sich zu einem konstanten Faktor U_k gemäß Gleichung 3.2 zusammenfassen.

$$\begin{aligned}\Delta U_{ref} - \Delta U_e &= U_k \\ \Delta U_e &= \Delta U_{ref} - U_k\end{aligned}\tag{3.2}$$

Folglich muss die differentielle Referenzspannung ΔU_{ref} um U_k verschoben werden, um den Komparator zurück zu seinem ursprünglich angedachten Schaltverhalten zurückzuführen. Dies ist beim Parallelumsetzer durch Einbringen von Verschiebungsströmen an den Referenzspannungsknoten möglich. Zu beachten ist, dass, für die Verschiebung eines einzelnen Knotens, der eingebrachte Strom je zur Hälfte an den beiden benachbarten Knoten abgezogen werden muss. Dies dient dazu, dass der Querstrom durch die Leiter konstant bleibt und nicht alle Knoten zusammen verschoben werden. Wie in Abbildung 3.7 dargestellt, entspricht die Spannung zwischen den beiden benachbarten Knoten dann dem Wert ohne Kalibrierung $U_{ref,3} - U_{ref,1} = 2 \cdot I_L \cdot R$. Die Spannungswerte an den anderen Knoten der Leiter werden somit nicht verschoben.

Um eine möglichst genaue Annäherung der durch den zusätzlichen Strom erzeugten Verschiebung an den Wert U_k zu erreichen, werden die Stromquellen, wie in Abbildung 3.6 b) dargestellt, binär gewichtet für jeden Knoten der differentiellen Leiter in Abbildung 3.6 c) einzeln aufgebaut. Dabei kann auf eine Verschiebung der Knoten in beide Richtungen verzichtet werden, da dies bereits durch die differentielle Leiterstruktur gegeben ist.

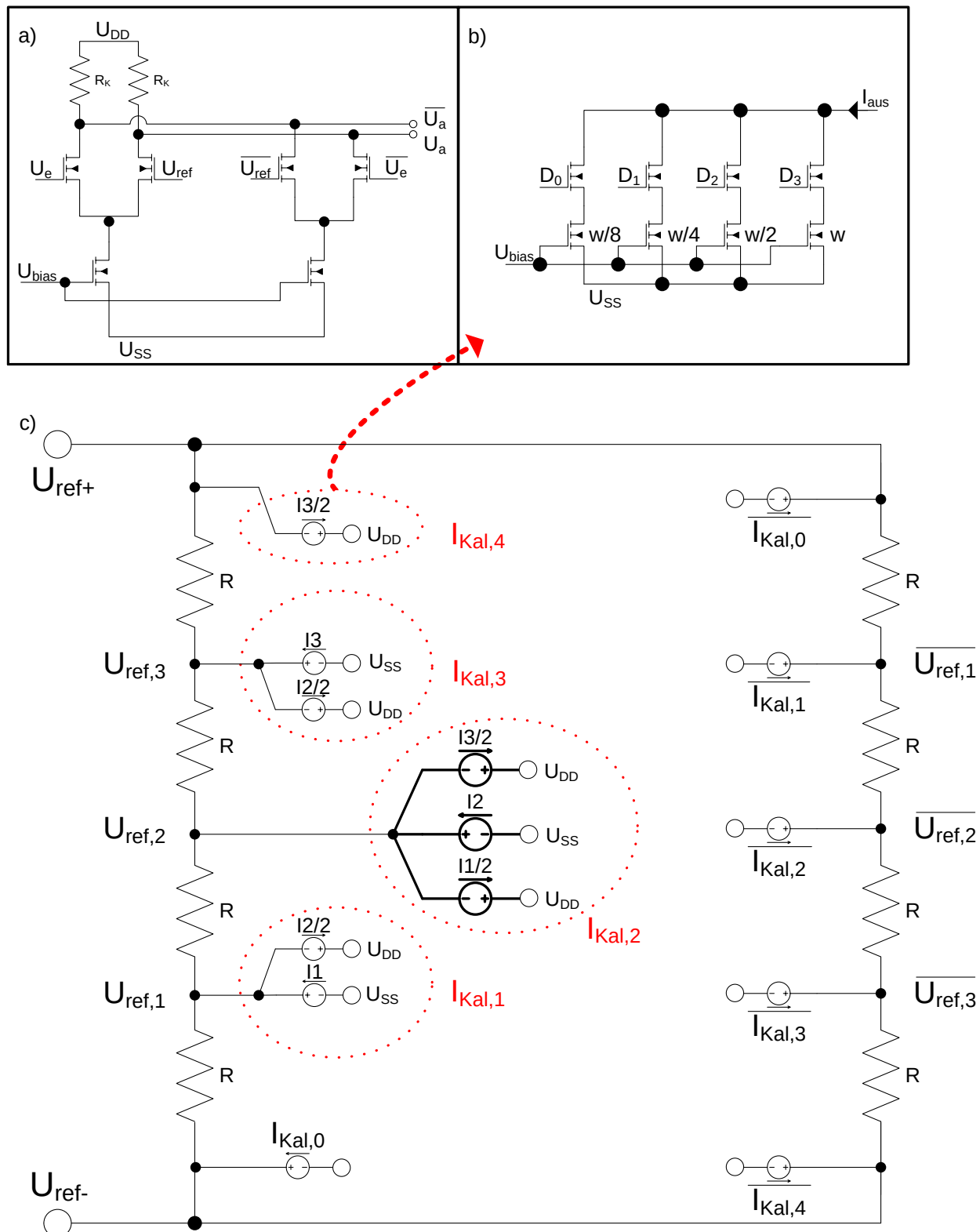


Abbildung 3.6: Umsetzung der Kalibrierung der differentiellen Referenzspannungsleiter

Um alle möglichen Abweichungen von U_k abzudecken, muss gelten:

$$U_{k,max} = \frac{I_{Kal,max}}{2} \cdot R \quad (3.3)$$

Bei einer Auflösung der Kalibrierungsstromquellen von n bit, bzw. 4 bit gemäß Abbildung 3.6 b), folgt:

$$U_{k,max} = (2^n - 1) \cdot \frac{I_{Kal,D0}}{2} \cdot R \stackrel{n=4}{=} 15 \cdot \frac{I_{Kal,D0}}{2} \cdot R \quad (3.4)$$

Somit lassen sich die Dimensionierungen der Kalibrierungsstromquellen in Abbildung 3.6 b) unter Kenntnis der maximal zu erwartenden Fehlpassung des Komparators direkt ableiten. Die Stromquellen können einzeln mithilfe eines großen Speichers, eines Registers oder einer digitalen Steuereinheit programmiert werden.

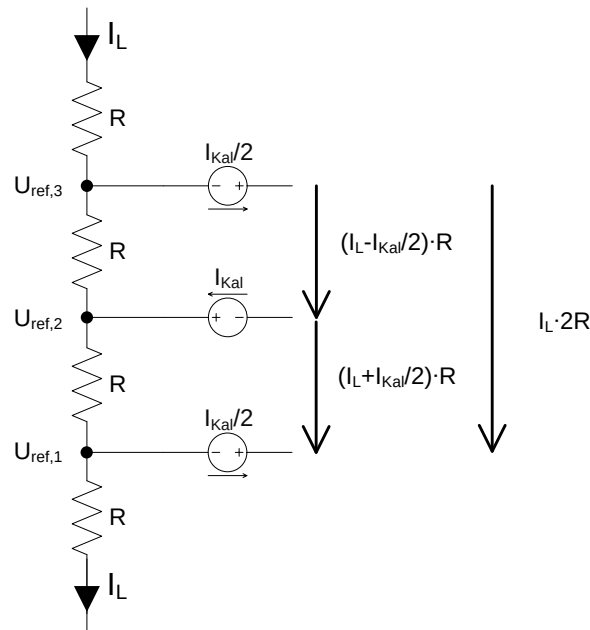


Abbildung 3.7: Kalibrierung der Referenzspannungsleiter

3.1.4.2 Kalibrierung der Eingangsbaumstruktur

Für die in Kapitel 3.1.2 vorgestellte Baumstruktur sind lineare Verstärker nötig. Abbildung 3.8 zeigt einen CML-Verstärker mit Source-Degeneration [28] am differentiellen Eingangstransistorpaar. Diese Struktur bietet dadurch einen sehr li-

nearen Spannungsverlauf (vgl. Anhang A.2). Im Gegensatz zu anderen Linearisierungsoptionen bietet die Source-Degeneration mit zwei Widerständen jedoch zusätzlich die Möglichkeit des Eingreifens in den Signalpfad, ohne dessen dynamisches Verhalten nachteilig zu beeinflussen. Das Vorgehen ist ähnlich zu dem bei der Referenzspannungsleiterkalibrierung in Kapitel 3.1.4.1.

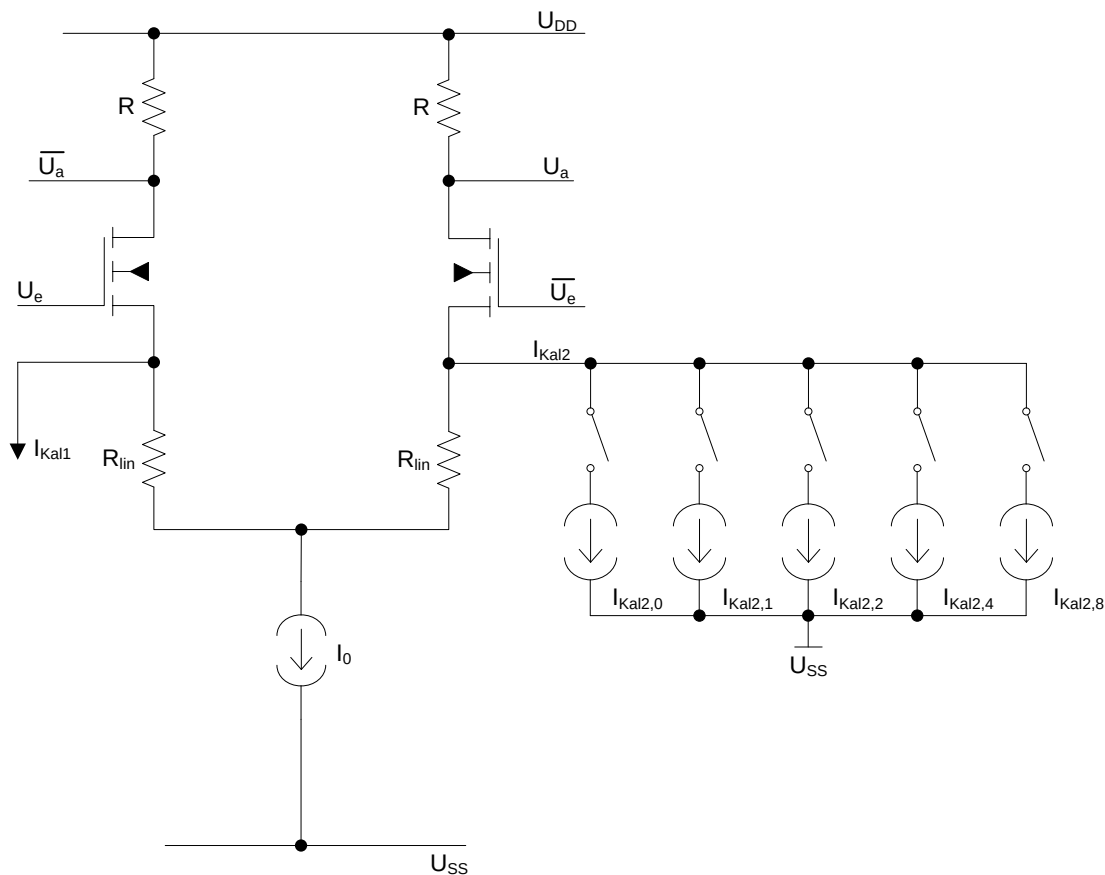


Abbildung 3.8: Kalibrierung der Eingangsbaumstruktur

Durch binär gewichtete Stromquellen können die Pegel unter den beiden n-Kanal-MOSFETs stufenweise verschoben werden. Somit kann die Gate-Source-Spannung direkt beeinflusst werden und so der Stromfluss durch die Transistoren gesteuert werden (vgl. MOSFET-Gleichungen Anhang A.1).

Wird der Stromfluss nur auf einer der beiden Seiten erhöht, führt dies zu einer Verschiebung des Nulldurchgangs der Ausgangskennlinie. Weiterhin kann durch beidseitige gleiche Erhöhung der Sourcespannung die Verstärkung des CML-Verstärkers erhöht und somit für die in Kapitel 3.1.2 vorgestellte Baumstruktur genau auf eine Verstärkung von 1 ausgeregelt werden. Eventuelle Fehlpassungen können so ausgeglichen werden. Die Kalibrierungsmöglichkeiten sind in Abbildung 3.9 dargestellt.

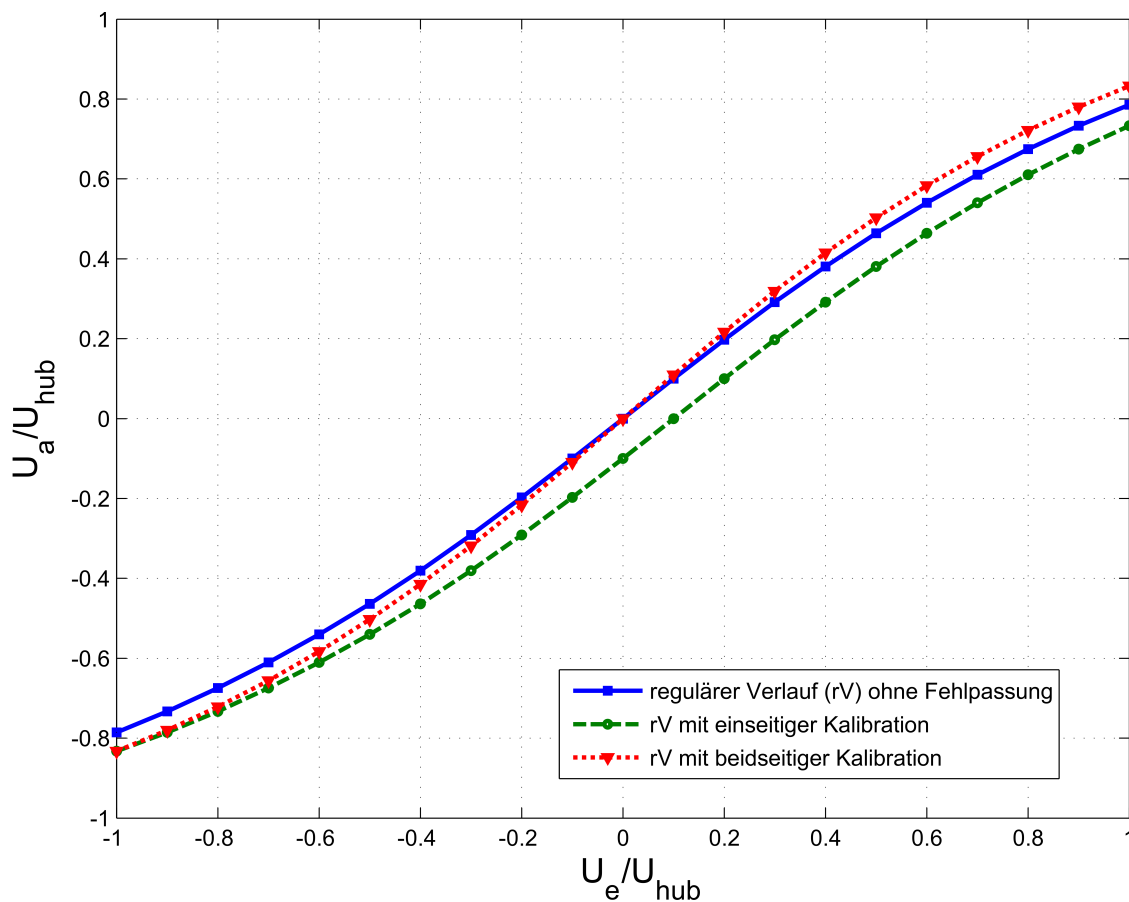


Abbildung 3.9: Beispielverläufe zur Kalibrierung der Eingangsbaumstruktur

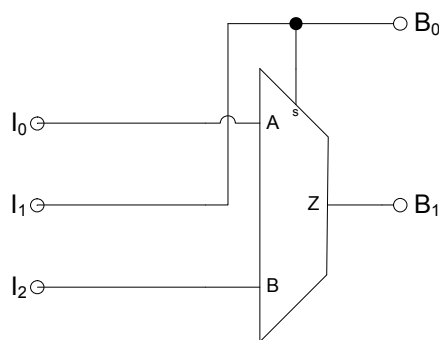
Analog zu Kapitel 3.1.4.1 können auch in diesem Fall die binären Stromquellen durch Speicher gesteuert werden, eine Programmierung der Speicher muss dann von extern, unter Analyse der Ausgangssignale des A-D-Umsetzers, erfolgen.

3.1.5 Thermometer-zu-Binär-Kodierer

Zur einfacheren Verarbeitung und Speicherung müssen die Signale am Ausgang des A-D-Umsetzers binär vorliegen, dazu wird ein wie in Kapitel 2 vorgestellter Thermometer-zu-Binär-Kodierer (T2B) benötigt. In schnellen und höher auflösenden Wandlern können unter anderem durch Fehlpassungen in den Komponenten des Umsetzers sogenannte Blasenfehler (engl.: Bubble-Errors) auftreten. Sie werden aus Verlustleistungsgründen und zur Erhaltung einer gewissen Bandbreite zum Teil in Kauf genommen. Der T2B muss dann entsprechend resistent gegen Fehler im Thermometercode sein.

Dazu werden, in einer diese Arbeit begleitenden Diplomarbeit [29][30], verschiedene für Parallelumsetzer geeignete Konzepte verglichen. Basierend auf dem Vergleich wird ein fehlerunanfälliges und auf Multiplexern basierendes Konzept entwickelt und umgesetzt.

Abbildung 3.10 zeigt oben die Umsetzung der 2 bit Grundzelle. Auf Basis der Wahrheitstabelle werden dabei die Logikfunktionen so umgeformt, dass sich die Beschaltung des Multiplexers links ergibt.

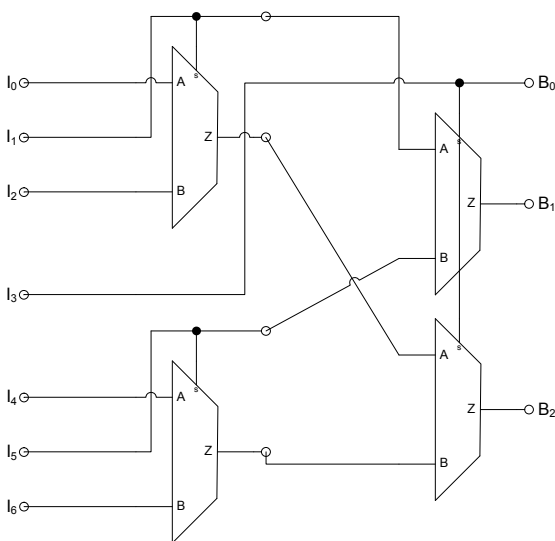


Thermometercode			Binärcode	
I_0	I_1	I_2	B_0	B_1
0	0	0	0	0
0	0	1	0	1
0	1	1	1	0
1	1	1	1	1

Logikfunktionen:

$$B_0 = I_1$$

$$B_1 = (\overline{I_1} \wedge I_2) \vee (I_0 \wedge I_1)$$



Thermometercode							Binärcode		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	B_0	B_1	B_2
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	0	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

Logikfunktionen:

$$B_0 = I_3$$

$$B_1 = (\overline{I_3} \wedge I_5) \vee (I_1 \wedge I_3)$$

$$B_2 = (\overline{I_3} \wedge ((\overline{I_5} \wedge I_6) \vee (I_4 \wedge I_5))) \vee (I_3 \wedge ((\overline{I_1} \wedge I_2) \vee (I_0 \wedge I_1)))$$

Abbildung 3.10: Thermometer-Binär-Kodierer (T2B) basierend auf Multiplexern. Oben 2 bit T2B, unten 3 bit T2B aus zwei 2 bit T2Bs

Wird der mittlere Pfad zusätzlich verstärkt bzw. gepuffert, ergeben sich nahezu gleiche Verzögerungszeiten von links nach rechts. Aus der Grundzelle lassen sich dann rekursiv mit demselben Vorgehen Strukturen mit höheren Auflösungen generieren. Aus zwei 2 bit Stufen wird mithilfe von zwei weiteren Multiplexern die

3 bit Stufe aufgebaut, welche sich wiederum mit einer zweiten 3 bit Stufe und Multiplexern zu einer 4 bit Stufe zusammensetzen lässt.

Großer Vorteil dieser Struktur sind die Wiederverwendbarkeit von Schaltungsstrukturen, der geringe Bauteilaufwand und die Anpassbarkeit auf gleiche Verzögerungszeiten. Weiterhin wird in [29] gezeigt, dass die maximale Abweichung am Ausgang durch einen Blasenfehler im Thermometercode 2 LSB beträgt.

3.2 Realisierte Parallel-A-D-Umsetzer

Im Zuge des vom Bundesministerium für Bildung und Forschung (BMBF) geförderten Projektes 100GET [3], bei dem unter anderem Prototypen für 100 Gbit/s Übertragungssysteme aufgebaut werden sollten, bestand am INT die Möglichkeit, ein aussichtsreiches Wandlerkonzept näher zu untersuchen. Aufgrund diverser Vorarbeiten [31][32][33][34] am Institut für Elektrische und Optische Nachrichtentechnik wird dabei das Parallelumsetzer-Verfahren ausgewählt und untersucht. Als Technologie wird ein leistungsfähiger und weit verbreiteter 90 nm CMOS-Prozess von STMicroelectronics bzw. TSMC ausgewählt. Die beiden Wandlerversionen (ADU V1 & V2), welche als prozessierte Mikrochips vorliegen, werden im Folgenden näher dargestellt.

3.2.1 Zweifach zeitverschachtelter Parallel-A-D-Umsetzer

3.2.1.1 Blockschaltbild

Der Wandler ADU V1 [35] ist als zweifach zeitverschachtelte Struktur (vgl. Abbildung 3.1), wie in Abbildung 3.11 dargestellt, konzipiert. Das Blockschaltbild entspricht im Wesentlichen dem späteren Maskenentwurfskonzept, d.h. das analoge Eingangssignal und das Taktsignal werden zentral über kurze Leitungen, welche auf $50\ \Omega$ angepasst sind, direkt in die Mitte der beiden Wandler geführt. Dort wird das analoge Signal über das Folge-Halte-Glied (F&H) abwechselnd in die beiden Umsetzer geschaltet. Dies führt zu einer hohen Bandbreite am analogen Eingang und gleichzeitig zu einer fast vollständig symmetrischen Struktur.

Die eigentlichen Parallelumsetzer bestehen aus einer Grobquantisierungsstufe und drei Interpolationsstufen. Sie werden genauer im folgenden Unterkapitel beschrieben. Am Ausgang der Interpolationsstufen wird das dann gewandelte Signal als Thermometercode an den Thermometer-zu-Binär-Kodierer gegeben. Dieser wandelt die Signale in ein binäres Ausgangssignal um, welches schließlich oben und unten, nach einer kleinen Logikstufe und über Ausgangstreiber, auf separate Ausgänge bzw. Ausgangspads gegeben wird.

Die Parallelumsetzer werden von zwei separaten Referenzspannungsleitern (RL) mit der Möglichkeit zur Kalibrierung mit den benötigten neun Referenzspan-

nungen versorgt. Die Kalibrierung wird über ein serielles 87 bit breites Kontrollregister gesteuert, welches von extern über einen einfachen Dreidrahtbus programmiert werden kann. Zur Synchronisierung der Echtzeitschnittstellen ist ein Pseudozufallszahlengenerator (engl.: Pseudo-Random Binary Sequencer, PRBS) vorgesehen. Dessen Signal kann über die Ausgangslogik einzeln oder vermisch mit dem gewandelten Eingangssignal auf allen Ausgängen ausgegeben werden. Die Signalführung in den Wandlern erfolgt differentiell und alle Bauteile, mit Ausnahme der Register, sind in CML aufgebaut.

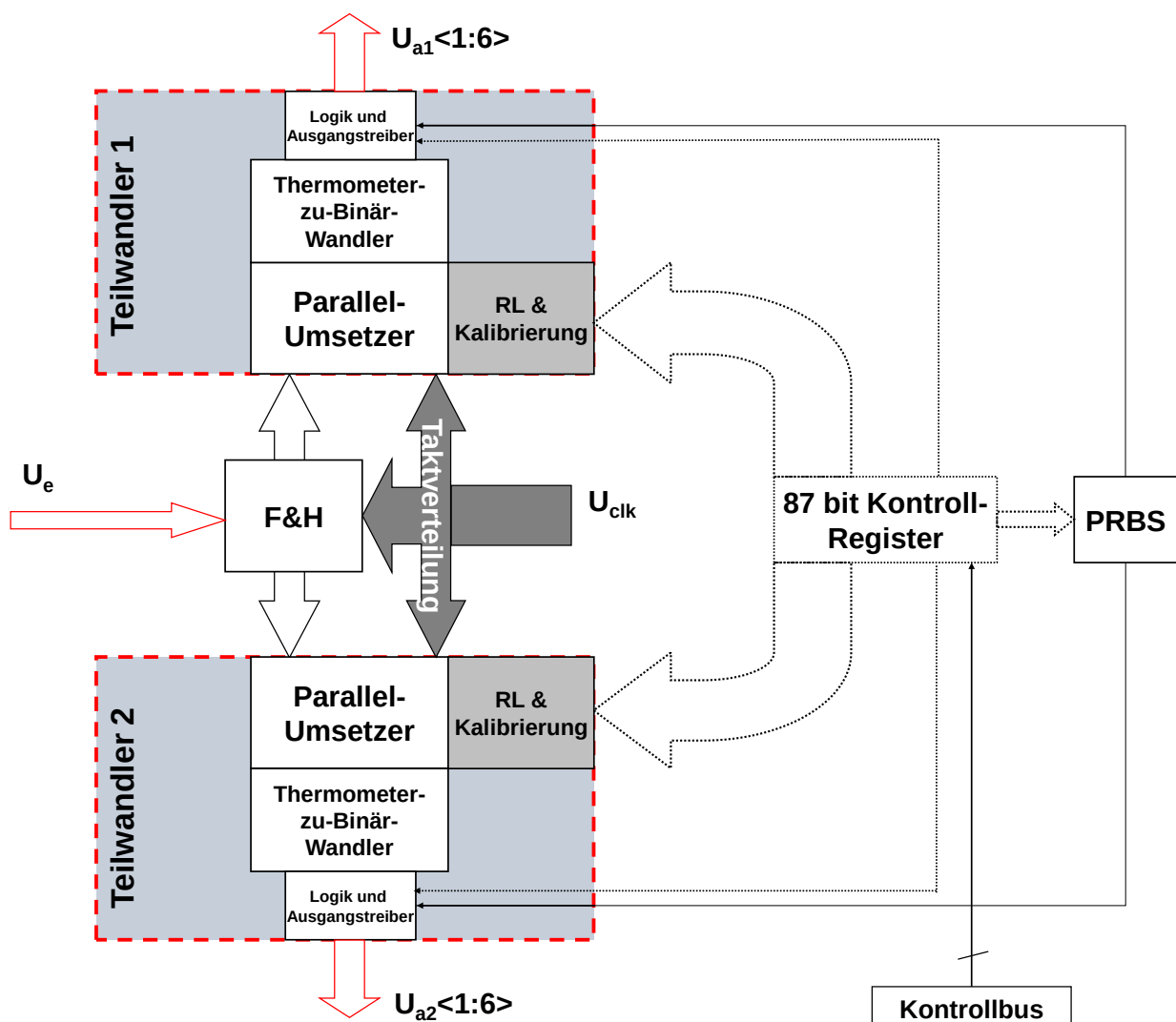


Abbildung 3.11: Blockschaltbild des zweifach zeitverschachtelten Parallel-A-D-Umsetzers Entwurf 1

3.2.1.2 Einzelwandler und Komponenten

Ein Einzelwandler des zweifach zeitverschachtelten A-D-Umsetzers ist in Abbildung 3.12 dargestellt. Um die erwünschte Abtastrate von 25 GS/s zu erreichen, werden die beiden Wandler direkt mit dem regulären bzw. invertierten 12,5 GHz Taktsignal angesteuert. Die zweite F&H-Operation findet dann nach der Grobquantisierungsstufe, bestehend aus neun Komparatoren (Komp), statt. Dadurch fungieren die Komparatoren als Zwischenverstärker zwischen zwei seriell verschalteten F&Hs. Anschließend werden die Signale mit Verstärkern (engl.: Amplifier, Amp) an die Last der ersten Interpolationsstufe angepasst. Die drei seriell verschalteten Interpolationsstufen erhöhen jeweils die Auflösung um ein Bit, wobei sich auch die Anzahl der benötigten Gatter von Stufe zu Stufe verdoppelt. Anschließend werden die interpolierten Signale erneut verstärkt und an die Flip-flops (FF) übergeben, welche die endgültige Entscheidung herbeiführen. Die entschiedenen digitalen Ausgangssignale werden dann vom T2B in die Binärform gewandelt.

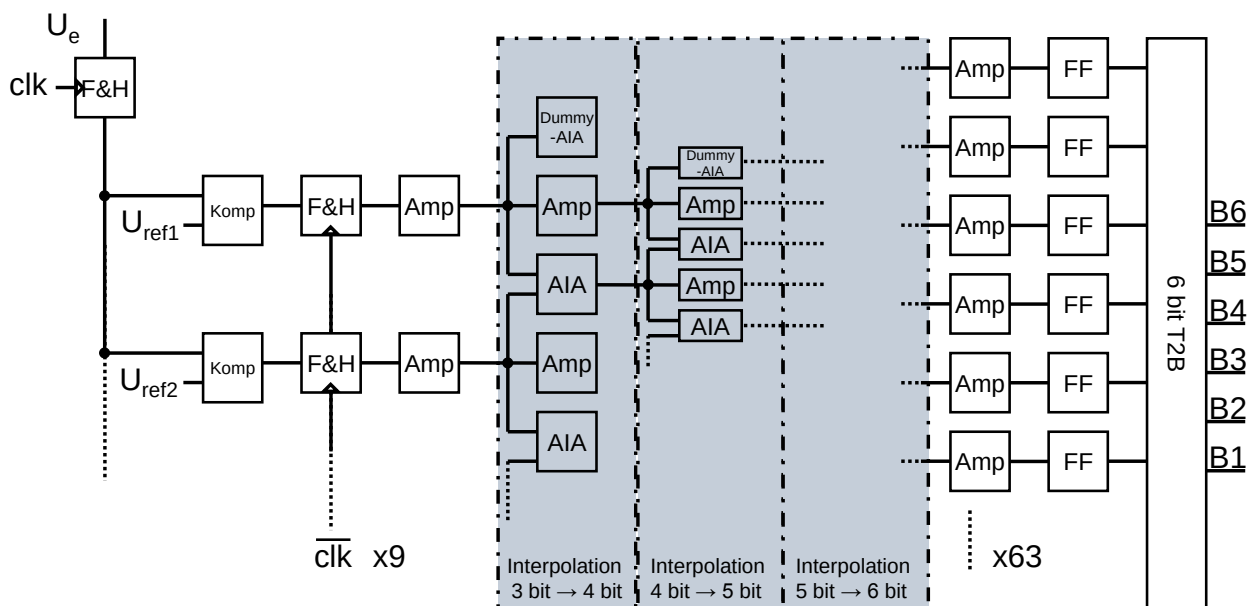


Abbildung 3.12: Blockschaltbild eines Einzelwandlers des zweifach zeitverschachtelten Parallel-A-D-Umsetzers Entwurf 1

Folge-Halte-Schaltung

Die Folge-Halte-Schaltung ist eine der wesentlichen Komponenten eines A-D-Umsetzers. Ihre Eigenschaften, vor allem hinsichtlich Geschwindigkeit des Um-

ladevorgangs und der Linearität, beeinflussen maßgeblich die späteren Kennzahlen des A-D-Umsetzers. Abbildung 3.13 zeigt die in dieser Arbeit genutzte differentielle F&H-Struktur. Sie besteht im Wesentlichen aus zwei nFETs, welche für einen High-Pegel am Takteingang im leitenden Zustand und für einen Low-Pegel am Takteingang im sperrenden Zustand sind.

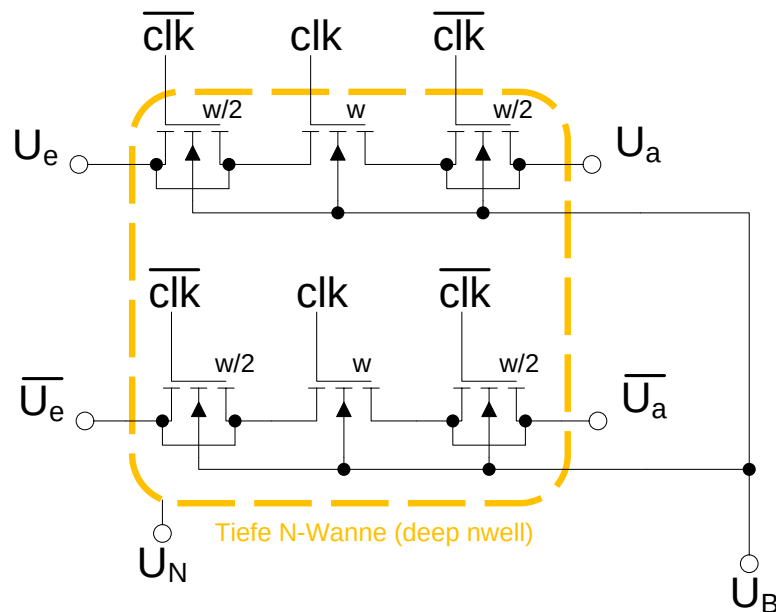


Abbildung 3.13: Schaltplan der Folge-Halte-Schaltung

Die Ausgangskapazität des F&H-Gliedes, welche bei schnellen A-D-Umsetzern durch die nachfolgende Schaltungsstufe und die Eigenkapazität gebildet wird, wird im leitenden Zustand auf den am Eingang anliegenden Spannungswert aufgeladen. Zur Kompensation des Taktdurchgriffs werden am Ein- und Ausgang jeweils halb so weite Transistoren eingefügt und kurzgeschlossen. Dies führt zu nahezu der gleichen Koppelkapazität im Vergleich zum Schalttransistor, wobei durch die invertierte Taktung deren Koppelladung kompensiert wird.

Vereinfacht lässt sich dies anhand eines Spannungssprungs am Takteingang clk des Transfertransistors nachvollziehen. Sind die Knoten am Ein- und Ausgang konstant, koppelt die Ladung $Q_1 = C_{GS/GD} \cdot (\Delta U_{clk} - U_{S/D})$ auf den jeweiligen Knoten über. Durch die invertierte Taktung - und die halb so weiten kurzgeschlossenen MOSFETs an den beiden Knoten - koppelt auf diese ebenfalls die Ladung $Q_2 = 2 \cdot \frac{1}{2} C_{GS/GD} \cdot (-\Delta U_{clk} + U_{S/D})$. Sind Ein- und Ausgang weitestgehend konstant und durch den Abtastvorgang auf dem gleichen Wert, folgt $Q_1 = -Q_2$. Die durch den Umschaltvorgang eingekoppelte Ladung wird also komplett kompensiert.

Zur Optimierung der Geschwindigkeit wird der Spannungsbereich der Taktsignale so weit angehoben, dass für die minimale Eingangsspannung der Transfertransistor gerade sicher sperrt. Im verwendeten 90 nm CMOS-Prozess, für einen gegebenen Eingangsspannungsbereich und vom Prozess vorgegebene Maximalspannungswerte ergeben sich Werte gemäß Tabelle 3.1.

Tabelle 3.1: Spannungswerte am F&H-Glied

gegeben:	
U_e	-0,5..0 V
U_{th}	0,2 V
$U_{GB/GS/GD_{max}}$	1 V
daraus folgt:	
U_{clk}	-0,5..0,5 V
U_B	-0,5 V
U_N	-0,5 V

Eine einfache Möglichkeit zur Verschiebung der Taktsignale sind sogenannte Bootstrap-Schaltungen [36]. Dabei wird im einfachsten Fall durch schlagartiges Umladen einer an einem isolierten Knoten angeschlossenen Kapazität die Spannung nach oben oder unten verschoben. Bei großen umzuladenden Transistoren mit hoher Eigenkapazität steigt jedoch auch die Größe der Bootstrap-Kapazität stark an, was zu einer Bandbreitenbegrenzung der Bootstrap-Schaltung führt. Dies wiederum führt zu langsamem Ansteigen bzw. Abfallen der Taktsignale. Die effektiv verfügbare Umladezeit zwischen Ein- und Ausgang der Transfertransistoren sinkt, wodurch auch der Ausgang bei hohen Abtast- und Signalfrequenzen nicht mehr vollständig umgeladen wird. Alternativ dazu werden, für die in dieser Arbeit vorgestellten Wandler, induktiv spannungsüberhöhte CML-Zwischenverstärker (engl.: Inductive Peaking, Inductive Peaked Buffer [37]) mit einem differentiellen Ausgangsspannungshub von 2 V und mit einer zusätzlichen Versorgungsspannungsebene verwendet. Ein Ausgang der CML-Zwischenverstärker hat somit einen Spannungshub von 1 V.

Die Substratkontakte der MOSFETs müssen in diesem Fall ebenfalls auf ein höheres Potential verlagert werden, da ansonsten die maximal zulässigen Werte der Technologie überschritten würden. Zusätzlich wird dabei eine Isolierung des p-dotierten Substrats im Umkreis des F&H-Gliedes notwendig, da der Bulk-Kontakt auf einem anderen Spannungspegel liegt als die umgebenden Blöcke. Durch eine tiefe N-Wanne (engl.: Deep n-Well, dnw) wird eine lokale P-Wannen-Insel unter dem F&H geschaffen, welche auf dem Niveau des Bulk-Kontaktes liegt. Weiterer Vorteil der dnw ist die Isolierung gegen Substratrauschen des Ge-

samtchips, welches durch die dnw aus dem Gebiet um das F&H ausgesperrt wird.

Komparatoren und Referenzspannungsleiter

Neben dem F&H sind die Komparatoren sehr kritische Bausteine des interpolierenden Umsetzers. Ihre Verstärkung darf nicht zu hoch sein, da sonst die in Kapitel 3.1.3 angesprochenen Anforderungen hinsichtlich Interpolierbarkeit nicht mehr erfüllt sind. Die Ausgangssignale zweier benachbarter Komparatoren müssen jeweils im Übergangsbereich möglichst parallel verlaufen. Weiterhin darf keine der beiden Kennlinien im Interpolationsbereich in Sättigung gehen (vgl. Abbildung 3.3). Für das Beispiel in Abbildung 3.3 d) folgt, dass die maximale Verstärkung zwischen zwei und drei liegen muss. Bei höheren Werten knicken die Kennlinien schon stark ab und verzerren das Ergebnis der Interpolation. Gleichzeitig soll die Verstärkung möglichst groß sein, um Rauscheffekte möglichst gering zu halten. Weiterhin hat auch die Anzahl der Interpolationsstufen in Serie einen Einfluss auf die zulässige Maximalverstärkung, da kleine Verschiebungen der Nulldurchgänge in der ersten Interpolationsstufe sich durch die Struktur multiplizieren und so gegebenenfalls zu stark verfälschten Interpolationssignalen in den Folgestufen führen. Daher wird für die Komparatoren in dieser Arbeit eine geringe Gleichspannungsverstärkung von 1,05 gewählt.

Dementsprechend müssen die Komparatoren hinsichtlich ihrer Ansteuerfähigkeit, ihrem Fehlpassungsverhalten und ihrer Verstärkung auf die Folgestufen angepasst werden. Gleichzeitig beeinflusst die Größe der Transistoren am Eingang die Eingangskapazität und somit auch die Eingangsbandbreite des Umsetzers. Abbildung 3.14 zeigt vereinfacht für eine 2 bit Grobquantisierungsstufe einen der fünf notwendigen voll-differentiellen Komparatoren. Er besteht aus einem einfachen CML-Verstärker, welcher durch Änderung der Anschlüsse als Vergleich genutzt werden kann, und einem zum ersten Transistorpaar gekoppelten zweiten identischen unteren Zweig für den invertierten Teil der differentiellen Signale. Die Erzeugung der Referenzspannungen findet ebenfalls mithilfe einer voll-differentiellen Referenzspannungsleiter statt. Dynamische Effekte, welche in die Leiter einkoppeln können, werden durch Koppelkapazitäten weitgehend kompensiert. Weiterhin werden dadurch Überkoppeleffekte zwischen den Knoten geglättet. Die Werte der Bauteile werden entsprechend den Überlegungen in Kapitel 2 gewählt und optimiert. Zur Vermeidung von Überkopplungen zwischen den

Wandlern über die Referenzspannungsknoten und zur Ermöglichung einer individuellen Kalibrierung erhält jeder Subwandler eine eigene Referenzspannungsleiter.

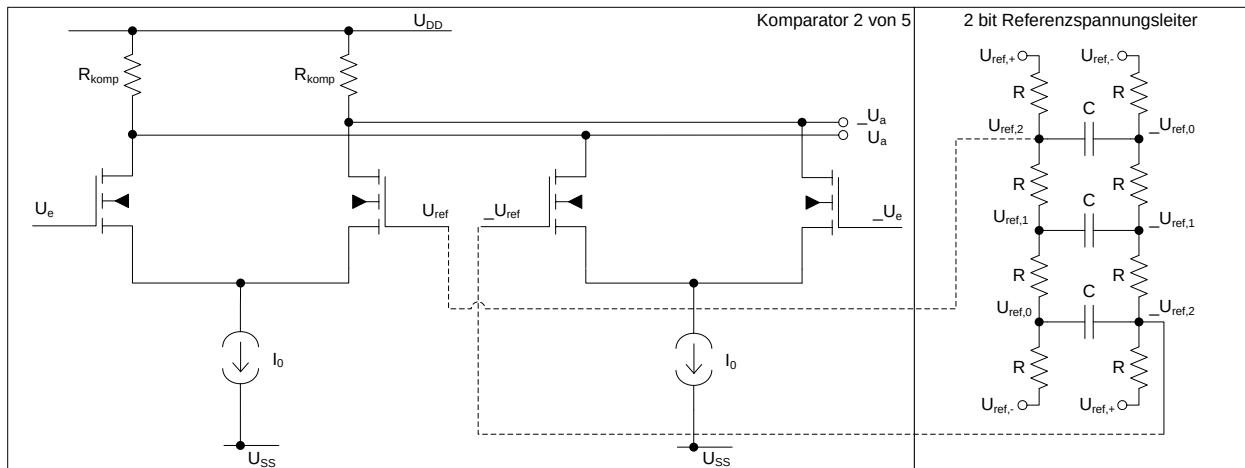


Abbildung 3.14: Schaltplan des differentiellen Komparators und der differentiellen Referenzspannungsleiter

Interpolationsstufe

Die Interpolation von 3 auf 6 bit Auflösung findet seriell in drei Schritten statt. Die Grobquantisierungsstufe muss, neben den für 3 bit Auflösung notwendigen sieben Komparatorsignalen, aus Vergleichen mit den Referenzspannungen der Leiter, zwei weitere Signale aus Vergleichen mit dem maximalen und minimalen Aussteuerbereich ausgeben. Diese würden im Normalfall nur zur Ausgabe einer Spannungsüberschreitung oder -unterschreitung (engl.: Overflow/Underflow Detection) benötigt. Im Falle der Interpolation werden sie zur Generation der Interpolationssignale in den Randbereichen benötigt. Die stufenweise Interpolation ist in Abbildung 3.12 dargestellt. Die AIA werden gemäß Abbildung 3.5 mit einer Verstärkung von $v \approx 2$ entworfen. Dadurch wird der verfügbare lineare Bereich durch die Verstärkung zusammengestaucht, wobei sich der notwendige lineare Bereich von Stufe zu Stufe ebenfalls halbiert, da jeweils ein weiterer Durchgang zwischen zwei Durchgängen erzeugt wird. Die Verstärker Amp werden durch Verbinden der beiden AIA-Eingänge $U_{e,1} = U_{e,2}$ realisiert. Dadurch sind alle Gatter identisch und zusammen mit den Dummy-AIAs an den äußeren Enden jeder Stufe ergibt sich ein durchgängiger Aufbau mit gleichen kapazitiven Belastungen und Verstärkungen.

Pseudozufallszahlengenerator

Zur Synchronisierung der Echtzeit-Schnittstellen mit der Testumgebung soll der Wandler eine bekannte Sequenz mit fester Reihenfolge und konstanter Länge wiederholt ausgeben können. Ein Vergleich der an den digitalen Schnittstellen des Wandlers ausgegebenen Sequenzen im Messsystem mit einer Referenzfolge ermöglicht die Berechnung einer Verschiebung für jede einzelne Schnittstelle. Unter Kenntnis der Kanalverschiebungen können die empfangenen Signale in einem Speicher durch bitweises Verschieben nach und nach korrigiert werden. Ein geeigneter Ansatz ist die Verwendung eines PRBS, welcher sich auf Basis von primitiven Polynomen als rückgekoppeltes Schieberegister (engl.: Linear Feedback Shift Register, LSFR) umsetzen lässt. Primitive Polynome bieten den Vorteil, dass sie eine pseudozufällige Folge maximaler Länge in Bezug auf den Grad des Polynoms bzw. auch der Größe des daraus gebildeten Schieberegisters ausgeben. Ein Polynom vom Grad m erzeugt in einem LSFR eine Sequenz der Länge $2^m - 1$, anschließend wiederholt sich die Sequenz. Abbildung 3.15 zeigt einen einfachen PRBS, welcher auf dem Polynom $x^7 + x^6 + 1$ basiert. Dieses wird ebenfalls in vielen kommerziellen Bitfehlerhäufigkeits-Testern (engl.: Bit Error Rate Tester, BERT) verwendet und ermöglicht somit auch kleinere Tests mit vom Messsystem unabhängigen Geräten.

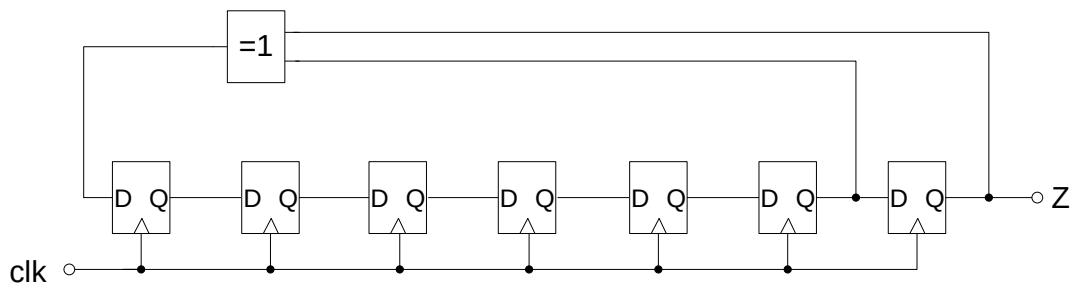


Abbildung 3.15: Schaltplan des Pseudozufallszahlengenerators

In Wandler-Version 1 wird ein einfacher zentraler PRBS gemäß Abbildung 3.15 umgesetzt. Das Signal wird anschließend über gleich lange Leitungen und CML-Zwischenverstärker zu den Ausgängen geführt und kann dort, gesteuert über das Kontrollregister, ausgegeben werden.

3.2.1.3 Maskenentwurf

Der Maskenentwurf orientiert sich stark an den digitalen Ausgangsschnittstellen der zweifach zeitverschachtelten Struktur. Durch die Vorgabe, dass diese echtzeitfähig und differentiell sein sollen, ist eine hohe Anzahl an digitalen Ausgangspads vorzusehen. Abbildung 3.16 zeigt den Wandlerentwurf 1 einmal als Maskenentwurf mit Kennzeichnung der wesentlichen Komponenten (vgl. Abbildung 3.11) und einmal als Chipfoto des fertig prozessierten 90 nm CMOS-Designs.

Die zeitverschachtelte Struktur wird von der Anordnung her symmetrisch und gemäß dem vorgestellten Blockschaltbild umgesetzt. Dabei wird das Abtast&Halte-Glied (A&H), bestehend aus den beiden F&Hs, im Zentrum platziert. Das analoge Eingangssignal und die Taktsignale werden von rechts und links über auf $50\ \Omega$ angepasste Mikrostreifenleitungen zugeführt. Die größten Strukturen sind die Ausgangstreiber, welche durch Leitungslängen Anpassungen und Zwischenverstärker viel Platz benötigen. Weiterhin ist links bzw. rechts jeweils die Hälfte der Kontrollregister untergebracht.

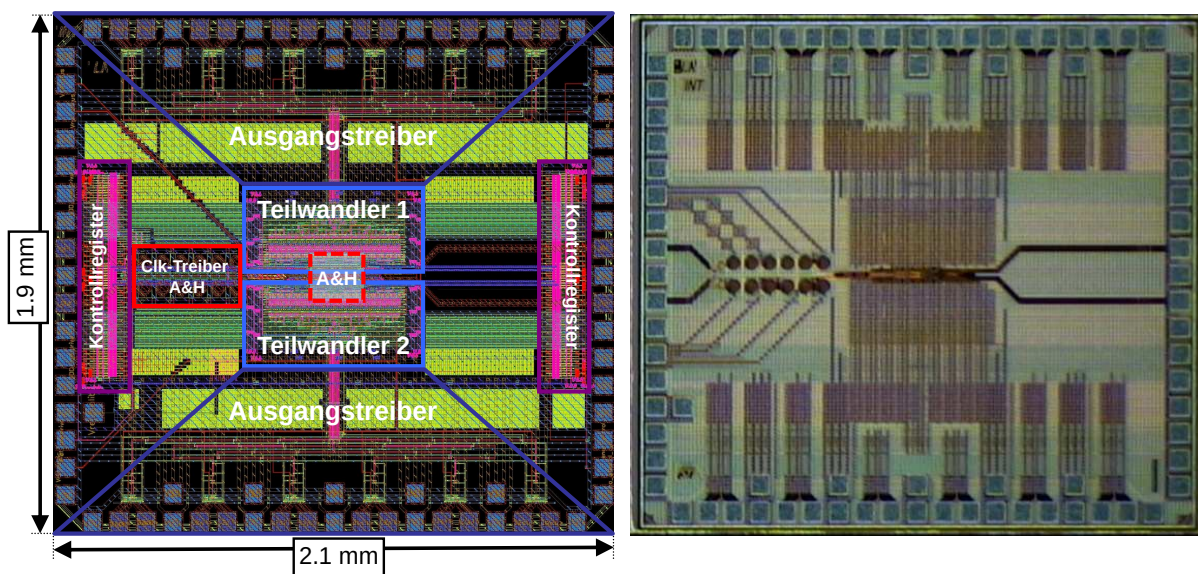


Abbildung 3.16: Maskenentwurf und Foto des A-D-Umsetzers Entwurf 1 (ADU V1)

3.2.1.4 Simulationsumgebung, -parameter und -ergebnisse

Der in Abbildung 3.11 vorgestellte A-D-Umsetzer ADU V1 ist im Rahmen dieser Arbeit komplett in Cadence Virtuoso als Schaltplan aufgebaut und in einen Maskenentwurf umgesetzt worden. Zur Charakterisierung können dann mithilfe eines Testschaltplans (engl.: Testbench, TB) verschiedene Tests durchlaufen werden. Wesentliche dynamische Eigenschaften sind, wie in Kapitel 2 vorgestellt, die SNDR- und die daraus abgeleiteten ENOB-Werte. Diese beiden Kennzahlen können nach [7] mit verschiedenen Mess- bzw. Simulationstechniken gewonnen werden. Hier wird die geläufigste, die Anregung des Eingangs mit einem einzelnen Sinuston (engl.: Single-Tone-Measurement), gewählt. Dabei werden auch Rauscheffekte im Simulator aktiviert und mit ausgewertet. Mithilfe mehrerer Simulationen bei verschiedenen Eingangssignalfrequenzen kommt ein Verlauf der effektiven Auflösung als SNDR oder ENOB über dem kompletten Frequenzbereich zustande. Abbildung 3.17 zeigt den Verlauf von ENOB bzw. SNDR über der Frequenz des Eingangssignals bis zur Nyquist-Frequenz $\frac{f_S}{2}$.

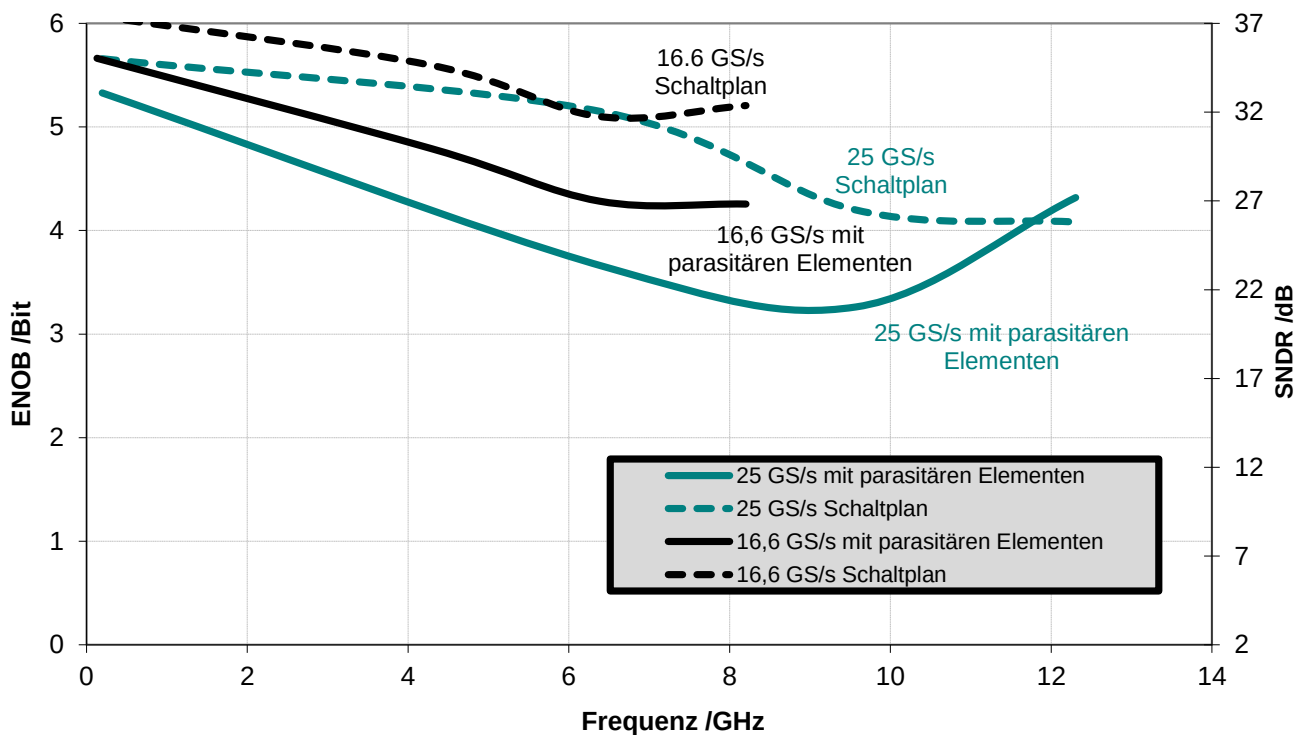


Abbildung 3.17: Simulationsergebnisse ENOB und SNDR von ADU V1

Es werden zwei reguläre Schaltplansimulationsergebnisse bei 25 GS/s und 16,6 GS/s ($= \frac{2}{3} \cdot f_{S,max}$) gezeigt. Weiterhin sind die gleichen Simulationen für die extrahierte Netzliste aus dem Maskenentwurf dargestellt. Diese basiert auf dem

physikalischen Maskenentwurf und beinhaltet die parasitären Kapazitäten und Widerstände der Verbindungsstrukturen bzw. -leitungen. Abschließend fasst Tabelle 3.2 die wesentlichen Simulationsergebnisse mit den aus der Architektur und der Technologie vorgegebenen Kenndaten zusammen.

Tabelle 3.2: Übersicht der Kenndaten und Simulationsergebnisse des A-D-Umsetzer Version 1

Technologie	90 nm CMOS GP von STMicroelectronics
Konzept	2x TI-Parallel-ADU, Kalibrierung der Referenzspannungsleiter und aktive Interpolation
Chip-Größe	2,1 x 1,9 mm ²
Kern-Größe	0,6 x 0,5 mm ²
Nominale Auflösung	6 bit
Leistungsaufnahme Chip	2,7 W
Leistungsaufnahme Kern	2,0 W
Abtastrate	0 - 25 GS/s
ENOB 25 GS/s @ 0,19 GHz	5,3 bit
ENOB 25 GS/s @ 6,4 GHz	3,7 bit
ENOB 16,6 GS/s @ 0,13 GHz	5,6 bit
ENOB 16,6 GS/s @ 6,4 GHz	4,3 bit
Versorgungsspannungen	+0,5 V, 0 V, -1,25 V

3.2.2 Vierfach zeitverschachtelter Parallel-A-D-Umsetzer

3.2.2.1 Blockschaltbild

Der A-D-Wandler Version 2 (ADU V2) [38] ist dem der ersten Version in vielem sehr ähnlich, erhält jedoch in seinem Aufbau zusätzliche Schaltungselemente um eine höhere Bandbreite zu ermöglichen. Der Aufbau erfolgt ebenfalls in einer zweifach zeitverschachtelten Konfiguration mit einem zentralen Folge-Halte-Glied. Aus Abbildung 3.18 ist jedoch ersichtlich, dass die weitere Verarbeitung der analogen Signale dann unterschiedlich erfolgt.

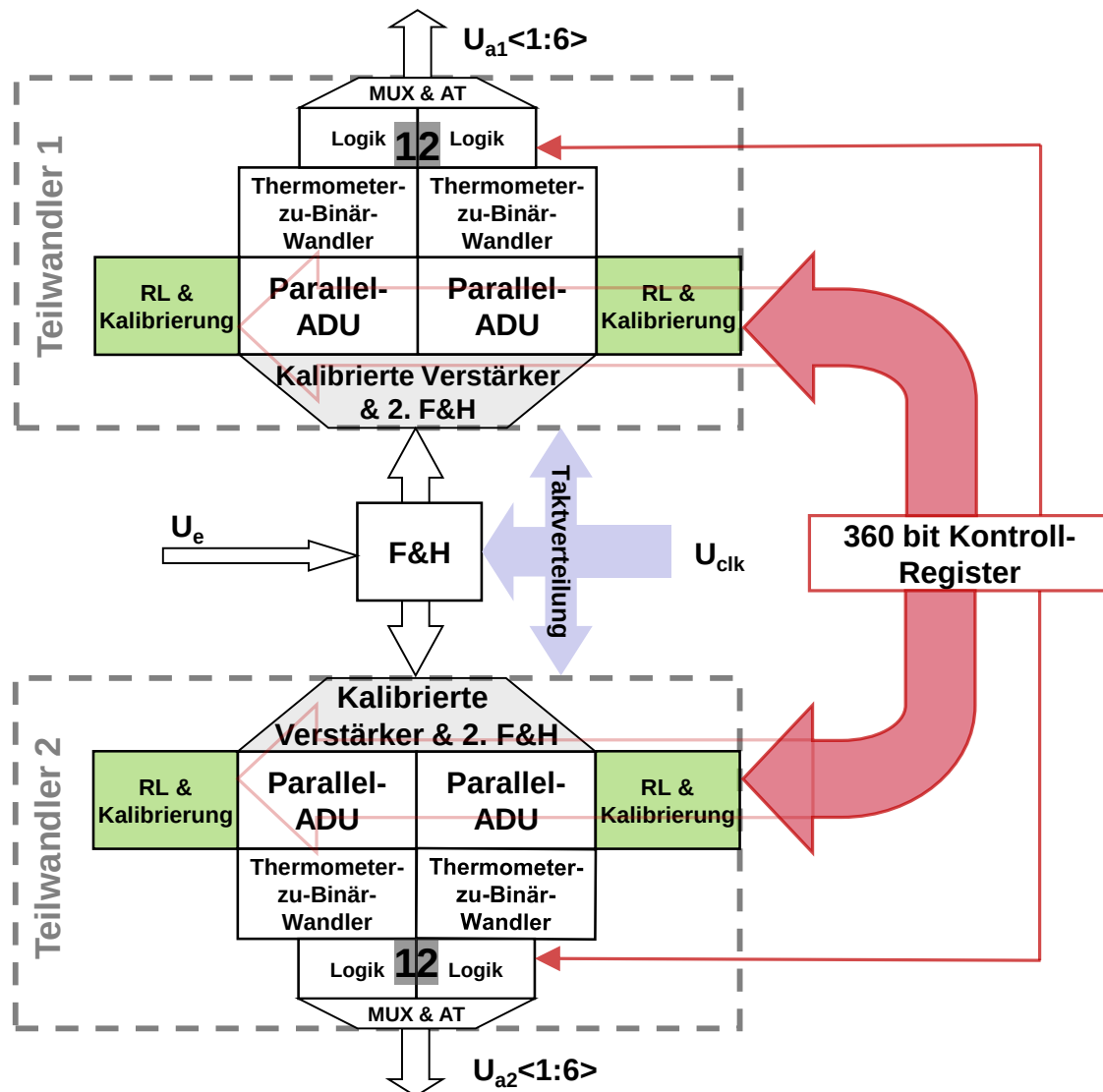


Abbildung 3.18: Blockschaltbild des vierfach zeitverschachtelten Parallel-A-D-Umsetzers Entwurf 2 (ADU V2)

Das zweite Folge-Halte-Glied arbeitet ebenfalls im Wechselbetrieb, jedoch bei halber Taktfrequenz. Das Signal wird dadurch abwechselnd an einen der beiden folgenden Subwandler angelegt. Die zweite Zeitverschachtelung des vierfach zeitverschachtelten Wandlers findet also innerhalb der Grundstruktur von ADU V1 statt. Dadurch reduzieren sich die Anforderungen an die Bandbreite in den Einzelwandlern selbst und somit ist auch mit einer Reduktion der Leistungsaufnahme zu rechnen. Dies ist bedingt durch die Halbierung der Einzelwandler-rate im Vergleich zu Entwurf 1, welche direkt die Verkleinerung der Gatter anhand von Überlegungen zur Ansteuerfähigkeit (engl.: Fan-Out) ermöglicht. Das zweite F&H ist eingebettet in einen Verstärkerbaum gemäß Kapitel 3.1.2. Dadurch erfolgt eine Anpassung der Ansteuerfähigkeit stufenweise bis zu den Einzelwandlern. Durch die Baumstruktur bleibt ebenfalls Bandbreite erhalten [13]. Der weitere Aufbau - u.a. mit Interpolation, kalibrierbarer Referenzspannungsleiter RL und Thermometer-zu-Binär-Wandler T2B - der zweiten Version ist weitgehend identisch zur ersten Wandlerversion.

Um die Abweichungen der einzelnen Baumstrukturen zu kompensieren, beinhalten diese kalibrierbare Verstärker gemäß Kapitel 3.1.4.2. Die Kalibrierung, sowohl der vier Referenzspannungsleitern als auch der Verstärkerbaumstruktur, erfolgt durch ein 360 bit breites Register, welches ebenfalls statisch von außen über einen Dreidrahtbus programmiert werden kann.

Die PRBS-Folge kann in Version 2 nicht mehr zentral erzeugt und an den Ausgängen ausgegeben werden. Grund dafür ist die langsamere Datenrate der Einzelwandler, welche bei nur 6,25 Gbit/s arbeiten. Nur dieser langsamere Takt wird durch die Struktur mitgeführt. Dadurch ist es nicht oder nur schwer möglich, das PRBS-Signal passend zu synchronisieren und gleichzeitig auf alle zwölf differentiellen Ausgänge zu schalten. Daher wird eine alternative Halbraten-PRBS-Struktur (1 & 2 in Abbildung 3.18), welche jeweils im oberen und unteren Wandlerteil implementiert werden kann, umgesetzt.

Die Ausgabe der Daten erfolgt über einen Multiplexer, welcher jeweils für eine halbe Taktperiode die Signale von einem der beiden Teilwandler im oberen und unteren Teilwandler über die Ausgangstreiber (AT) ausgibt. Dadurch wird wie für Version 1 eine Datenrate von bis zu 12,5 Gbit/s an den digitalen Ausgängen ausgegeben.

3.2.2.2 Wichtige Komponenten

Die zweite A-D-Umsetzer-Version setzt die aus Version 1 bekannten Strukturen - F&H, kalibrierte Referenzspannungsleiter an 3 bit Grobquantisierungsstufe, Interpolation von 3 auf 6 bit und blasenfehlertoleranter T2B - in einer vierfach zeitverschachtelten Struktur um. Hinzu kommt die kalibrierte Verstärkerstruktur aus Kapitel 3.1.2. Die vierfache Zeitverschachtelung mit veränderter Taktung führt weiterhin zu einer Veränderung der PRBS-Architektur.

Kalibrierbarer Verstärkerbaum

Um eine hohe Bandbreite am Eingang des Gesamtwandlers zu erreichen, wird die Last der 3 bit Grobquantisierungsstufen der Sub-Wandler mithilfe der Verstärkerbaumstruktur aus Kapitel 3.1.2 zum Eingang hin reduziert.

Der erste kalibrierbare Verstärker ist dabei für Teilwandler 1 und Teilwandler 2 jeweils zwischen dem ersten und dem zweiten F&H untergebracht. Anschließend folgen je Sub-Wandler drei weitere Verstärkerstufen. Die Verstärkerstufen erhöhen ebenfalls stufenweise ihre Ansteuerfähigkeit. Dies wird durch eine sich steigernde Anzahl von identischen parallelen Verstärkern realisiert. Der sich so ergebende Verstärkerbaum ist an den Zwischenknoten kurzgeschlossen, um Laufzeit- und Fehlpassungsunterschiede auszugleichen. Die sich so verbreiternde Struktur wird im Maskenentwurf direkt an die neun parallelen Komparatoren der Sub-Wandler angeschlossen. Die Verstärkung der Einzelstufen wird auf einen Wert von ca. 0,9-1,0 eingestellt. Durch die in den Verstärkerstufen implementierte Kalibrierung nach Kapitel 3.1.4.2 kann die Verstärkung erhöht und somit der lineare Bereich ausgeregelt werden.

Pseudozufallszahlengenerator

Im Gegensatz zum A-D-Wandler-Entwurf 1 werden bei Entwurf 2 die Ausgangssignale mit einer Datenrate von 6,25 Gbit/s für jeden Sub-ADU der beiden Teilwandler ausgegeben. Mithilfe von sechs Multiplexern werden die Ausgangssignale von jeweils zwei Subwandler abwechselnd auf die Teilwandler-Ausgänge geschaltet. Abbildung 3.19 zeigt dazu eine leichte Abwandlung eines Halbraten-Pseudozufallszahlengenerators nach [39][40]. Nach Anpassung der Taktstruktur kann der Generator direkt in die beiden Teilwandler eingebaut werden, der

Multiplexer an den Ausgängen ist dabei für den oberen und unteren Teilwandler jeweils schon vorhanden und kann so für den PRBS wiederverwendet werden.

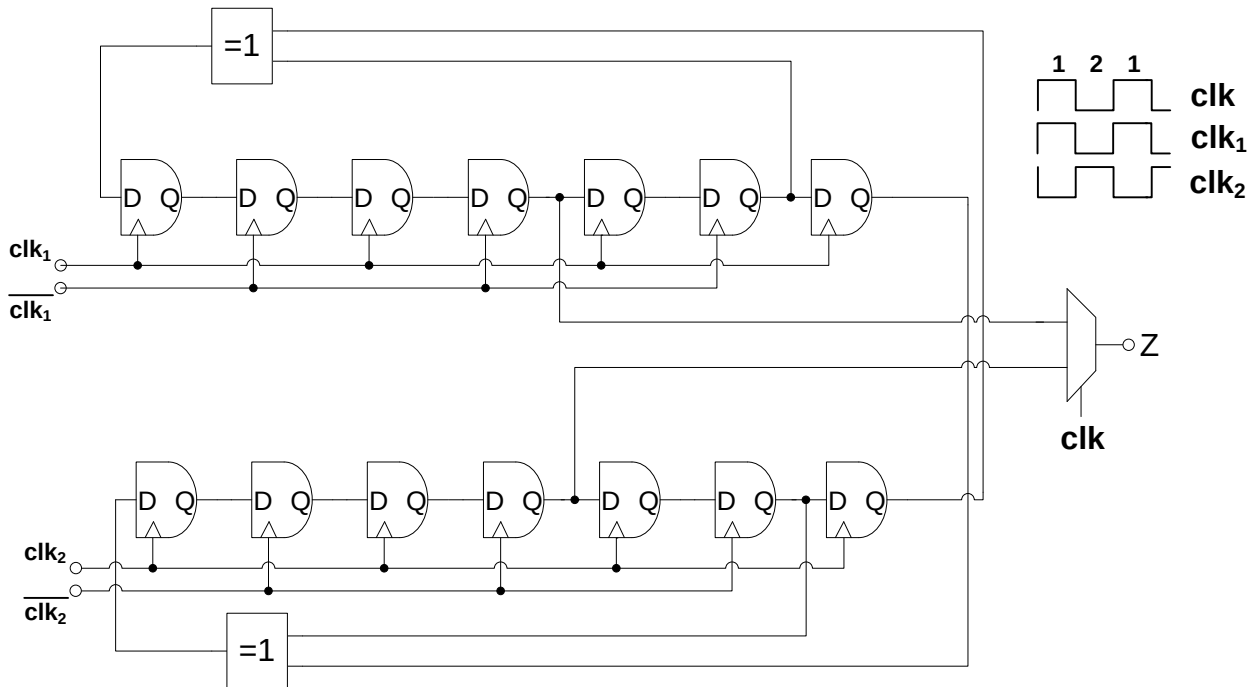


Abbildung 3.19: Schaltplan des Halbraten-Pseudozufallszahlengenerators

Der Halbraten-PRBS erfüllt in der abgebildeten Struktur das gleiche primitive Polynom wie der in Abbildung 3.15 dargestellte einfache PRBS. Die sieben Flipflops aus Abbildung 3.15, welche jeweils aus zwei Latches bestehen, werden dazu aufgetrennt und auf zwei Subzweige verteilt. Die Verschaltung der Latches erfolgt fast identisch zur Struktur aus Flipflops, lediglich eine Kreuzkoppelung der letzten beiden Latches ist nötig, um das gleiche primitive Polynom zu erfüllen. Die Logik dieser Struktur basiert auf einer Separierung der ungeraden und geraden Teile des primitiven Polynoms [41], wodurch sich zunächst ein reduzierter Bauteilaufwand von nur sechs Flipflops ergibt. Zur Synchronisierung der hier zeitverschachtelt arbeitenden Subzweige sind jedoch wiederum zwei zusätzliche Latches nötig, wodurch der Bauteilaufwand im Vergleich zum einfachen PRBS konstant bleibt.

3.2.2.3 Maskenentwurf

Der Maskenentwurf von ADU V2 in Abbildung 3.20 richtet sich nach den Gegebenheiten des ersten Wandlerentwurfs. Die Padverteilung, die zweifach zeitverschachtelte Grundstruktur und die Verteilung der weiteren Komponenten werden

weitgehend beibehalten. Die Signale werden wiederum vom Zentrum des Chips aus nach oben und unten verteilt. Hinzu kommen hier die den Grobquantisierungsstufen vorgeschalteten Verstärkerbaumstrukturen. Weiterhin hat sich die Anzahl der Steuer- bzw. Kontrollregister stark erhöht, sie sind jetzt in vier Blöcken um den Wandlerkern platziert.

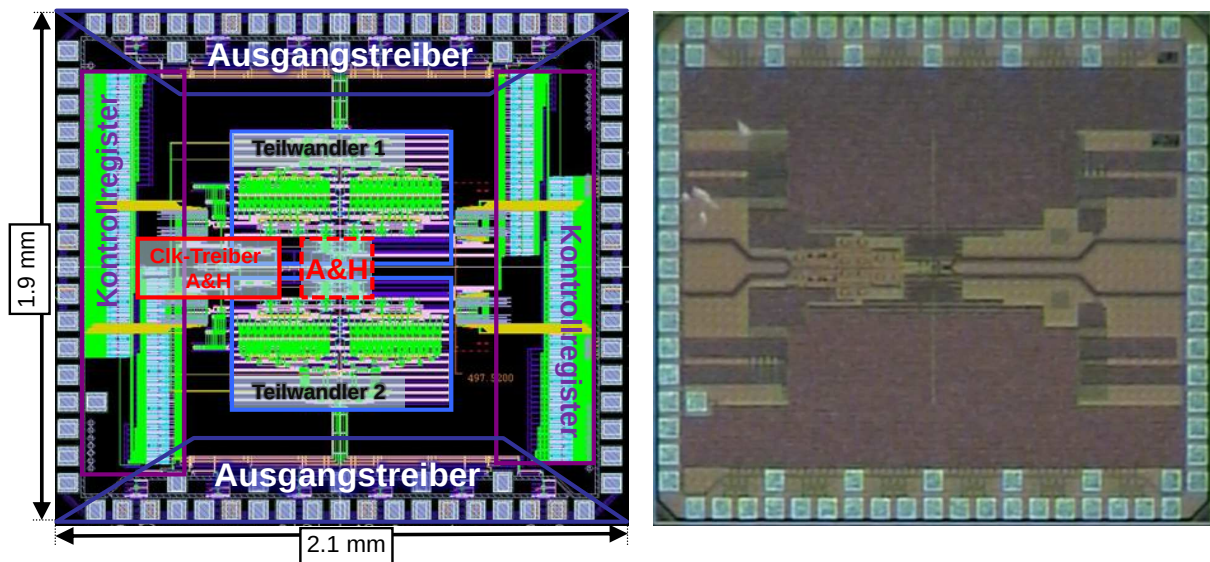


Abbildung 3.20: Maskenentwurf und Foto des A-D-Umsetzers Version 2

3.2.2.4 Simulationsumgebung, -parameter und -ergebnisse

Die Simulation und Verifikation des zweiten Wandlerentwurfs erfolgt mit der gleichen Vorgehensweise wie für den ersten Entwurf in Kapitel 3.2.1. Mithilfe mehrerer einzelner Sinustonanregungen in Zeitbereichssimulationen mit Berücksichtigung von Rauscheffekten der Bauteile entsteht der Verlauf der Kenngrößen SNDR, ENOB und des störungsfreien dynamischen Bereichs (engl.: Spurious Free Dynamic Range, SFDR) über der Eingangssignalfrequenz in Abbildung 3.21. Diese basieren auf der extrahierten Netzliste. Der SFDR-Wert gibt den Abstand der Grundschwingung zum größten Störsignal an.

Die weiteren Ergebnisse für diese Wandlerversion sind in Tabelle 3.3 zusammengefasst.

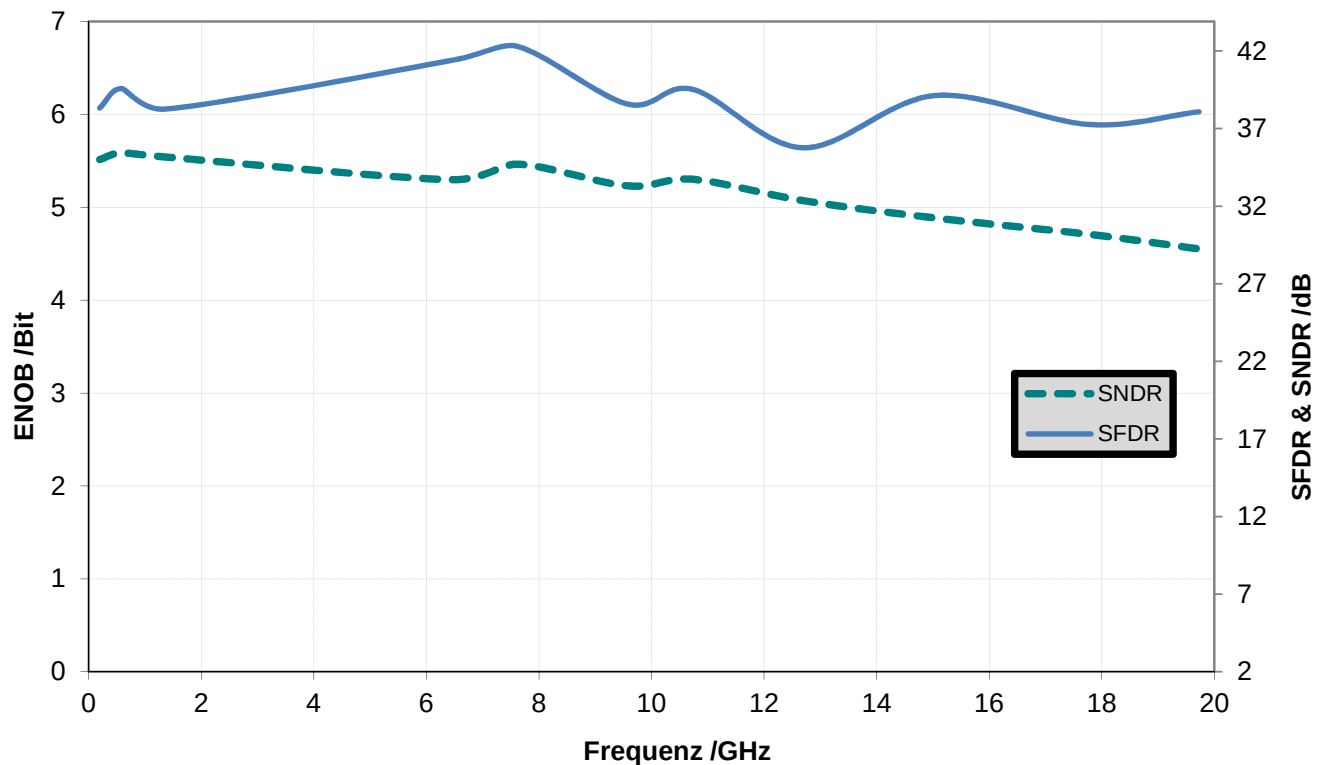


Abbildung 3.21: Simulationsergebnisse ENOB bzw. SNDR und SFDR von ADU V2 mit parasitären Elementen bei einer Abtastrate von 25 GS/s

Tabelle 3.3: Übersicht der Kenndaten und Simulationsergebnisse des A-D-Umsetzers Version 2

Technologie	90 nm CMOS GP von TSMC
Konzept	4x TI-Parallel-ADU, kal. Baumstruktur + Referenzspannungsleiter und aktive Interpolation
Chip-Größe	2,1 x 1,9 mm ²
Kern-Größe	0,75 mm ²
Nominale Auflösung	6 bit
Leistungsaufnahme Chip	2,3 W
Abtastrate	0 - 25 GS/s
ENOB 25 GS/s @ DC	5,5 bit
ENOB 25 GS/s @ 12,5 GHz	5,0 bit
Versorgungsspannungen	+0,5 V, 0 V, -1,25 V

4 Charakterisierung der realisierten Testschaltungen

4.1 Messumgebung

Die im Folgenden beschriebene Messumgebung dient zur Charakterisierung der entwickelten A-D-Umsetzer mit Echtzeitschnittstellen. Zunächst wird das Gesamtsystem erläutert. Im Anschluss werden zwei implementierte Aufbauten für das Messobjekt und das weiterentwickelte FPGA-Design gezeigt.

4.1.1 Aufbau

Der Gesamtaufbau der entwickelten Messumgebung ist schematisch in Abbildung 4.1 als Blockschaltbild dargestellt. Der A-D-Umsetzer bildet alleine, oder mit an den Ausgängen angeschlossenen Demultiplexern, das Messobjekt (engl.: Device under test, DUT). Die Daten werden mit einer im Vergleich zum Stand der Technik schnellen im Feld programmierbaren Logik-Gatter-Anordnung (engl.: Field Programmable Gate Array, FPGA) [25] abgetastet, gespeichert und weiterverarbeitet. Als Schnittstelle stellt der FPGA so genannte "Rocket-IO-Interfaces" (RIO) [42] zur Verfügung. Die Ansteuerung des FPGA erfolgt mithilfe eines Personal-Computers (PC) seriell über USB- oder RS232-Anschluss, wobei der PC auch die am Eingang des DUT befindlichen Signalgeneratoren bzw. ggf. erforderliche Spannungsquellen per lokaler Netzwerkanbindung (LAN) ansteuern kann.

Zur Anbindung der sehr fein strukturierten CMOS-Schaltungen an die Messumgebung müssen die Ein- und Ausgangssignalleitungen und die Spannungsversorgung aufgefächert und an die Messumgebung angebunden werden. Dazu

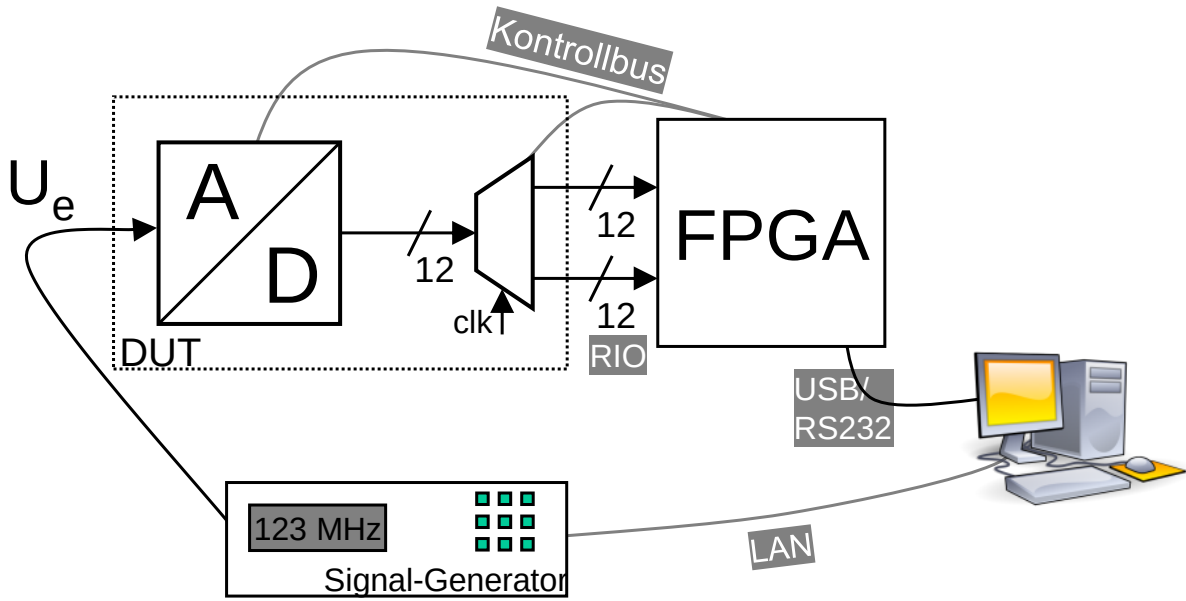


Abbildung 4.1: Blockschaltbild des Messsystems

werden Hochfrequenz-Trägersubstrate verwendet, auf welchen sich auf $50\ \Omega$ angepasste Leitungen sehr fein realisieren lassen. Mithilfe der gewünschten Strukturierungsgrößen und der gewünschten Leitungsimpedanz lassen sich geeignete Trägersubstrate auswählen. Die Leitungsimpedanz für einfache Mikrostreifenleitungen lässt sich je nach Strukturierungsgröße mit

$$Z_0 = \frac{60\ \Omega}{\sqrt{\varepsilon_{r,e}}} \ln \left(\frac{8d}{W} + \frac{W}{4d} \right) \quad \text{für } \frac{W}{d} \leq 1 \quad (4.1)$$

und

$$Z_0 = \frac{120\ \Omega \cdot \pi}{\sqrt{\varepsilon_{r,e}} \left(\frac{W}{d} + 1,393 + 0,667 \cdot \ln \left(\frac{W}{d} + 1,444 \right) \right)} \quad \text{für } \frac{W}{d} > 1 \quad (4.2)$$

näherungsweise abschätzen [43]. W bezeichnet dabei die Breite der Leitung, d die Dicke des Substrats, und $\varepsilon_{r,e}$ die effektive relative elektrische Permittivität. Für sehr dünne Leitungen wird der Term in der Klammer von Gleichung 4.1 sehr groß, weshalb dann hohe Werte für $\varepsilon_{r,e}$ von Vorteil sind, um niedrige Leitungsimpedanzen mit kleinen Strukturierungen einstellen zu können. Ähnliche Schlüsse lassen sich aus Gleichung 4.2 ziehen. Um möglichst kleine Leitungsimpedanzen zusammen mit einer Minimierung der Weite W zu realisieren, muss der Faktor $\frac{\sqrt{\varepsilon_{r,e}}}{d}$ möglichst große Werte annehmen.

In Tabelle 4.1 sind die beiden in dieser Arbeit genutzten und im Wesentlichen

auf Basis der Kosten-Nutzen-Relation ausgewählten Trägersubstrate mit ihren Charakteristika dargestellt.

Tabelle 4.1: Eigenschaften des genutzten Taconic RF60A-Laminats [44] und des genutzten Dünnschicht-Substrats von RHe [45]

Bezeichnung	Taconic RF60A-CH/CH	Al_2O_3 Keramikssubstrat
ε_r	$6,15 \pm 0,25$	$9,9 \pm 0,25$
Substratdicke	$0,01'' 0,25 \text{ mm}$	$0,381 \text{ mm} \pm 10\%$
Material und Dicke Ober- und Unterseite	$Cu(0,0007'' 18 \mu m)$	$CrNi/Cu(3 \mu m)/$ $galv.Ni(3 \mu m)/Au(1,1 \mu m)$
Verlustfaktor $\tan \delta$	0,0038 (@ 10 GHz)	0,0001 (@ 1 MHz)
Minimale Strukturgröße INT	$\geq 200 \mu m$ Leitungs- breite & Abstand	
Minimale Strukturgröße externe Hersteller	$> 75 \mu m$	$> 40 - 50 \mu m$

4.1.1.1 Kleiner Messaufbau

Der kleine Messaufbau ist eine kostengünstige Aufbauvariante, die vor allem der Verifikation der Funktionalität dienen soll, jedoch nicht die Messbarkeit der vollen Datenrate des Wandlers gewährleistet. Dies liegt vor allem an der verwendeten Prozessierung am INT (vgl. Parameter in Tabelle 4.1), bei welcher es zu diversen Unregelmäßigkeiten kommt und deshalb relativ große Strukturierungen vorzusehen sind. Leitungsbreiten und Abstände zwischen den Leitungen müssen ein Mindestmaß von $200 \mu m$ aufweisen, wodurch ein minimaler Abstand von Kontaktstellen (engl.: Pitch) von $400 \mu m$ vorgegeben ist. Dies führt zu großen Strukturen mit langen Bonddrähten.

Gleichzeitig ist die Datenrate durch die Schnittstellen des FPGA begrenzt. Dieser kann nur maximal $6,5 \text{ Gbit/s}$ empfangen und reduziert, durch direkte Anbindung an die auf $12,5 \text{ Gbit/s}$ ausgelegten Ausgangsschnittstellen des ADU, die Datenrate auf ungefähr die Hälfte des Möglichen. Abbildung 4.2 zeigt den Aufbau von oben und als Querschnitt von der Seite. Die Taconic-Hauptplatine führt sternförmig die 24 Leitungen des ADU in der Mitte auf jeweils eine SMP-Buchse [46] nach außen. Für den ADU wird eine Aussparung (engl.: Cavity) in der Mitte der

Hauptplatine vorgesehen, wodurch der ADU direkt auf das Peltierelement geklebt werden kann. Dies ermöglicht eine bessere Wärmeabführung. Darunter wird mit einer Aluminium-Grundplatte die Hitze weiter verteilt und kann optional durch an der Platte angebrachte Lüfter abgeführt werden.

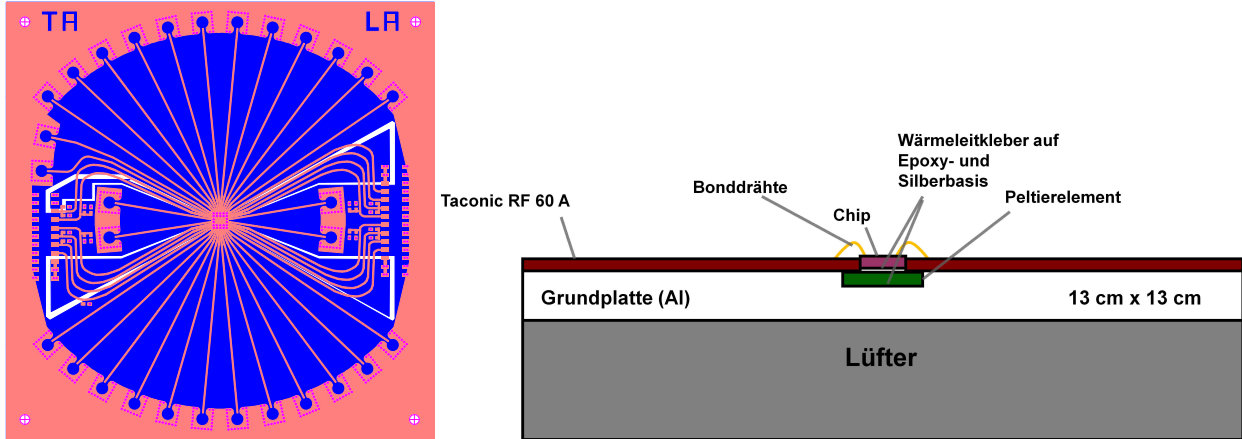


Abbildung 4.2: Darstellung des kleinen Messaufbaus - links: Draufsicht von oben, rechts: Vertikaler Aufbau

Die Mikrostreifenleitungen können grob mit Gleichung 4.1 bzw. Gleichung 4.2 angenähert werden. Abbildung 4.3 zeigt dazu den Verlauf der Leitungsimpedanz über dem Strukturierungsverhältnis $\frac{W}{d}$ für das Taconic-Substrat gemäß Tabelle 4.1.

Vereinfacht wird in diesem Fall zunächst $\varepsilon_{r,e} = \varepsilon_r$ angenommen, da $\varepsilon_{r,e}$ einerseits frequenzabhängig ist und andererseits wiederum von $\frac{W}{d}$ abhängt. Allgemein lässt sich zeigen, dass für die relative effektive Permittivität Gleichung 4.3 immer gültig ist [43].

$$1 \leq \varepsilon_{r,e} \leq \varepsilon_r \quad (4.3)$$

Mit den Werten aus Tabelle 4.1 des Taconic-Substrates ergibt sich eine Leitungstreifenbreite von ca. $250 \mu\text{m}$ ($\frac{W}{d} = 1$) für eine Anpassung auf 50Ω . Mithilfe von Feldsimulationen mit der Software Momentum der Firma Advanced Design System (ADS) kann die Streifenbreite genauer angepasst werden, da dann auch der Skineffekt und die effektive elektrische Permittivität für höhere Frequenzen korrekt berücksichtigt werden können. Damit ergibt sich ein Optimum bei $W \approx 300 \mu\text{m}$.

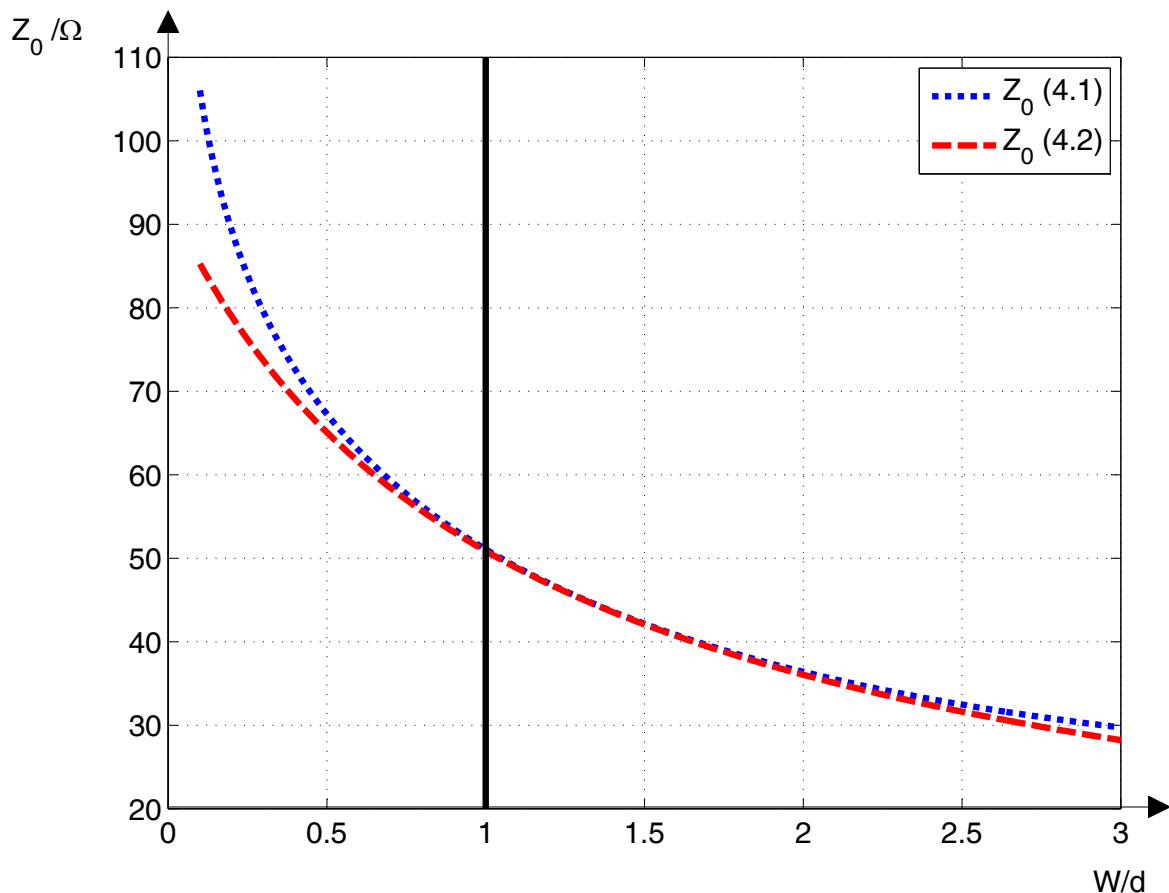


Abbildung 4.3: Verlauf der Leitungsimpedanz Z_0 nach Gleichung 4.1 und Gleichung 4.2 für das Taconic Substrat nach Tabelle 4.1 und $\varepsilon_{r,e} = \varepsilon_r$

4.1.1.2 Großer Messaufbau

Der große Messaufbau unterstützt im Gegensatz zum kleinen Aufbau die volle Datenrate der im Projekt entwickelten Wandler. Dazu werden an die Echtzeitschnittstellen der Wandler Demultiplexer-Chips angeschlossen, welche ein Signal auf zwei Ausgangssignale mit halber Datenrate verteilen. Die Ausgangsdatenrate von 12,5 Gbit/s des oberen und unteren Teilwandlers wird dadurch auf 6,25 Gbit/s heruntergebrochen, was mithilfe des genutzten FPGA, mit maximaler Eingangsdatenrate von 6,5 Gbit/s, empfangen werden kann. Weiterhin sollen die kritischen Einflussfaktoren wie beispielsweise die Länge der Bonddrähte, welche vor allem durch ihre Induktivität direkten Einfluss auf die analogen Eingangssignale haben, an den Wandlern verkleinert werden. Dazu ist der Wandler bei diesem Aufbau auf einem Dünnschichtsubstrat aufgebaut, welches wesentlich feiner strukturiert werden kann (vgl. Tabelle 4.1). Die Bonddrahtlänge kann so im Vergleich zum kleinen Aufbau von ca. 1,5-2 mm auf 0,5 mm massiv verkürzt wer-

den. Weiterhin können so mehrere Chips auf kleiner Fläche direkt miteinander verbunden werden. So werden um den ADU vier 3x 1:2 Demultiplexer platziert und direkt mit gekoppelten Mikrostreifenleitungen (engl.: Microstrip Coupled Lines, MCLIN) [47][48] mit dem Wandler verbunden. Ausgangsseitig werden die digitalen und von der Datenrate her halbierten Ausgangssignale über Bonddrähte auf eine große Taconic-Trägerplatine geführt und wiederum sternförmig auf SMP-Buchsen verteilt. Die Anzahl der digitalen Ausgänge hat sich dabei im Vergleich zum kleinen Aufbau verdoppelt, was daher der Hauptgrund für die wesentlich größere Platine ist. Die große Trägerplatine und der Querschnitt des Gesamtaufbaus sind in Abbildung 4.4 dargestellt. Im Folgenden werden die weiteren wichtigen Komponenten des Aufbaus kurz beschrieben.

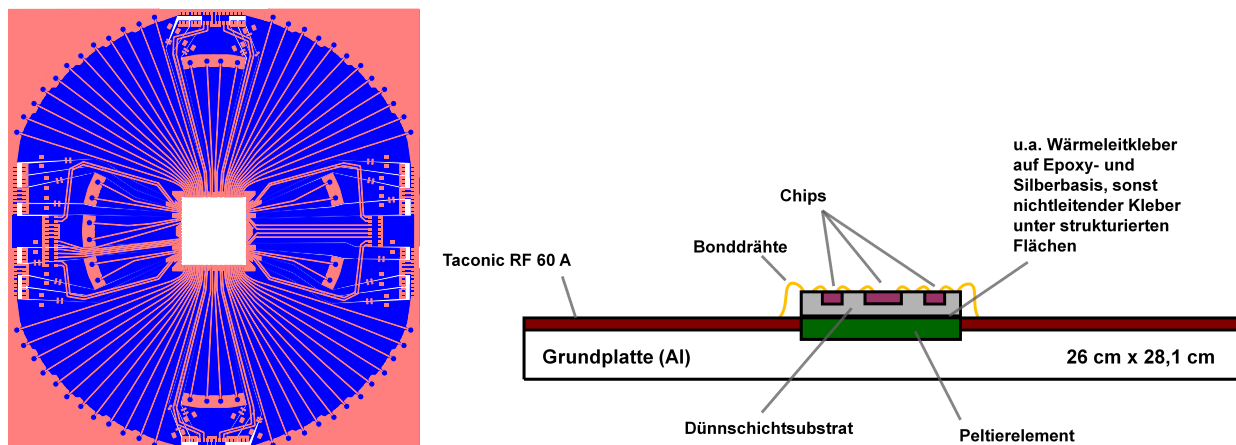


Abbildung 4.4: Darstellung des großen Messaufbaus - links: Draufsicht von oben auf das Taconic-Board, rechts: Vertikaler Aufbau

Demultiplexer-Chips

Um die Wandler bei voller Datenrate mit dem am Institut verfügbaren Messequipment vermessen zu können, muss die Datenrate an den Ausgängen der Wandler mindestens halbiert werden. Dazu werden Demultiplexer, welche in begleitenden Diplomarbeiten [49][50] entwickelt wurden, verwendet. Die Demultiplexer-Chips basieren auf der gleichen 90 nm CMOS-Technologie wie die A-D-Umsetzer. Abbildung 4.5 zeigt das Blockschaltbild eines Demultiplexers. Drei einzelne 1:2-Demultiplexer schalten die Eingangssignale dabei abwechselnd auf einen ihrer zwei Ausgänge. Die Phase des Umschalttaktes lässt sich von außen über eine Dreidrahtschnittstelle programmieren. Weiterhin kann die Ausgangsphasenverschiebung eingestellt werden. Ausgangsseitig werden die Spannungspe-

gel anschließend passend auf die definierten Eingangspegel der FPGA-RIO-Schnittstellen verschoben.

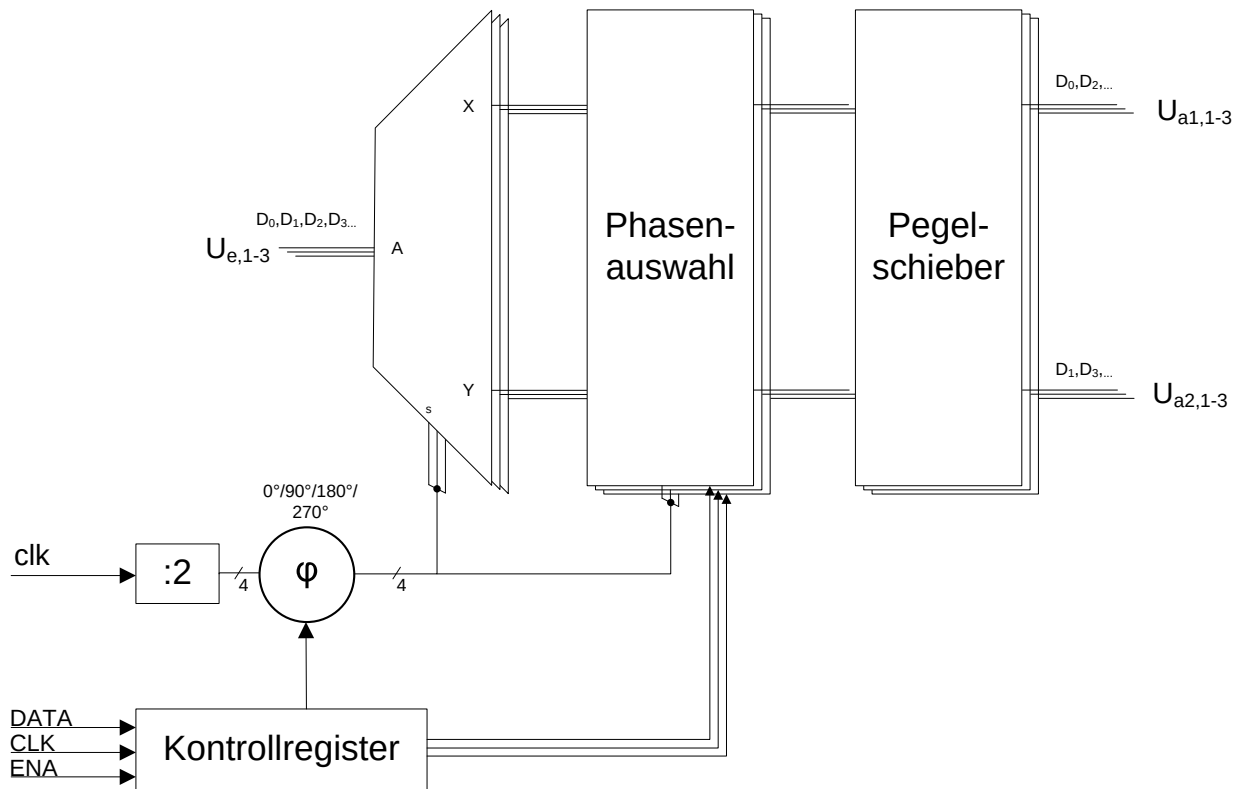


Abbildung 4.5: Blockschaltbild des 3x 1:2 Demultiplexer-Chips

Die Demultiplexer bieten eine fehlerfreie Verteilung der Eingangssignale für mehr als die erforderliche Ausgangsdatenrate der Wandler von maximal 12,5 Gbit/s [51].

Dünnschichtplatine

Im Gegensatz zu dem kleinen Aufbau und dem Taconic-Substrat des großen Aufbaus werden auf dem Dünnschicht-Substrat neben normalen Mikrostreifenleitungen auch Koplanarleitungen und gekoppelte Mikrostreifenleitungen (MCLIN) genutzt. Dies wird durch die wesentlich genauere und kleinere Strukturierung möglich. Abbildung 4.6 zeigt eine dreidimensionale Darstellung der entwickelten Dünnschichtplatine.

Das analoge Eingangssignal und der Takt werden direkt auf dem Dünnschichtsubstrat über SMP-Buchsen eingekoppelt und über Koplanarleitungen zu dem

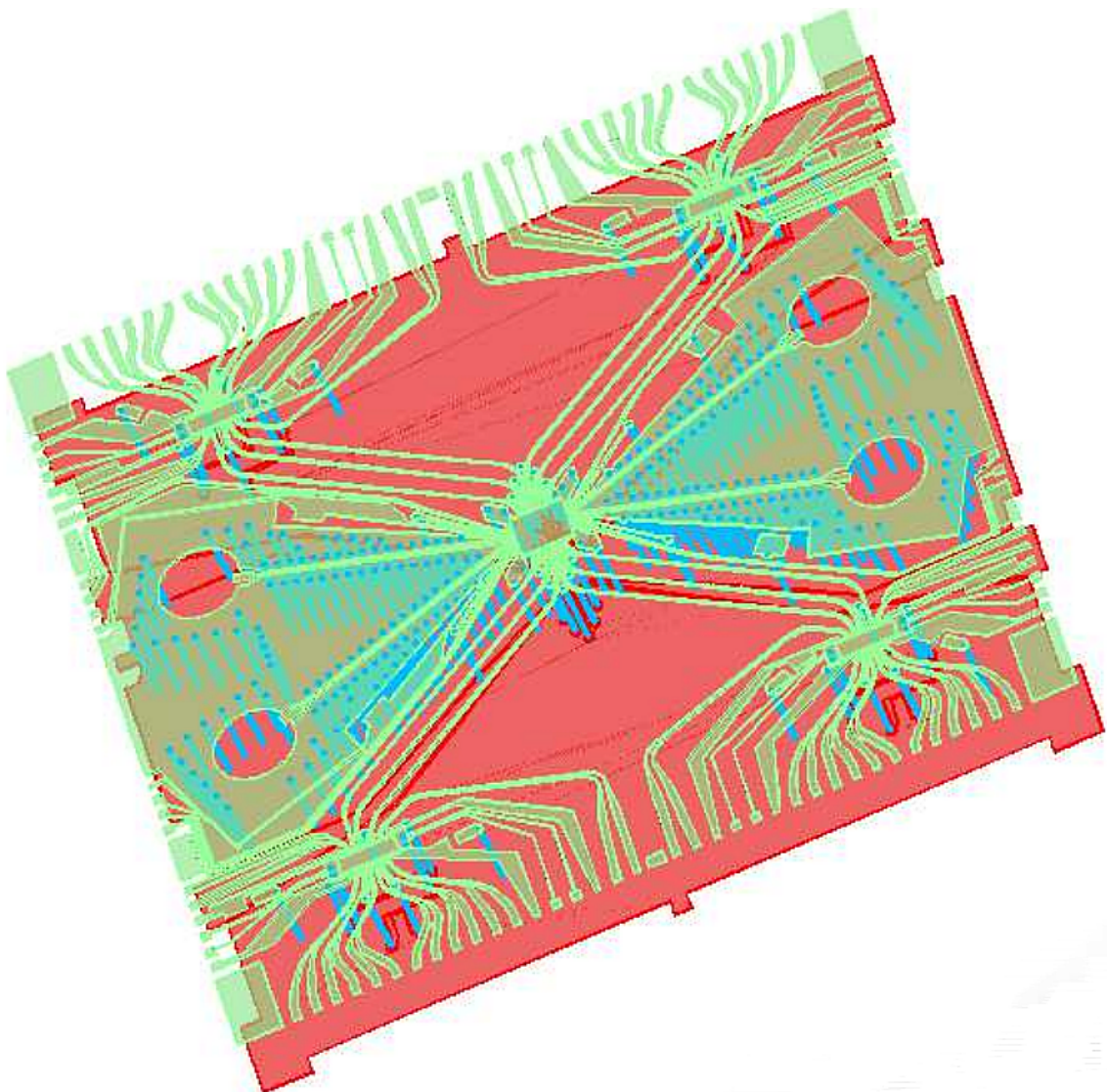


Abbildung 4.6: 3D-Darstellung des Dünnschichtsubstrat-Maskenentwurfs (hier: Skalierung der Dicken 9x)

A-D-Umsetzer geführt. Die feine Strukturierung mit minimalen Leitungstreifenbreiten und Abständen von $40\text{ }\mu\text{m}$ ermöglicht ein nahes Heranführen der Signalleitungen. Ausgangsseitig werden die digitalen Ausgangssignale über gekoppelte Mikrostreifenleitungen [47] geführt. Dabei bildet sich im Gegensatz zur einfachen Mikrostreifenleitung das elektrische Feld nicht zwischen der Signalleitung und einer Massefläche darunter aus, sondern zwischen zwei eng aneinander liegenden Mikrostreifenleitungen. Dies hat den wesentlichen Vorteil, dass die Ausgangsleitungen nicht erst aufgefächert werden müssen um Mikrostreifenleitungen mit guten Eigenschaften zu erzielen, sondern direkt nebeneinander von einem Chip zum anderen geführt werden können. Daraus folgen ein erheblich geringerer Platzbedarf und eine geringere Länge der Verbindungsleitungen.

Abbildung 4.7 zeigt eine der vier auf dem Dünnschichtsubstrat vorhandenen gekoppelten Mikrostreifenstrukturen, welche aus drei differentiellen Leitungspaaren besteht. Weiterhin sind für die Struktur die simulierten differentiellen Transmissionsdämpfungen und das differentielle Übersprechen für die Leitungen untereinander dargestellt.

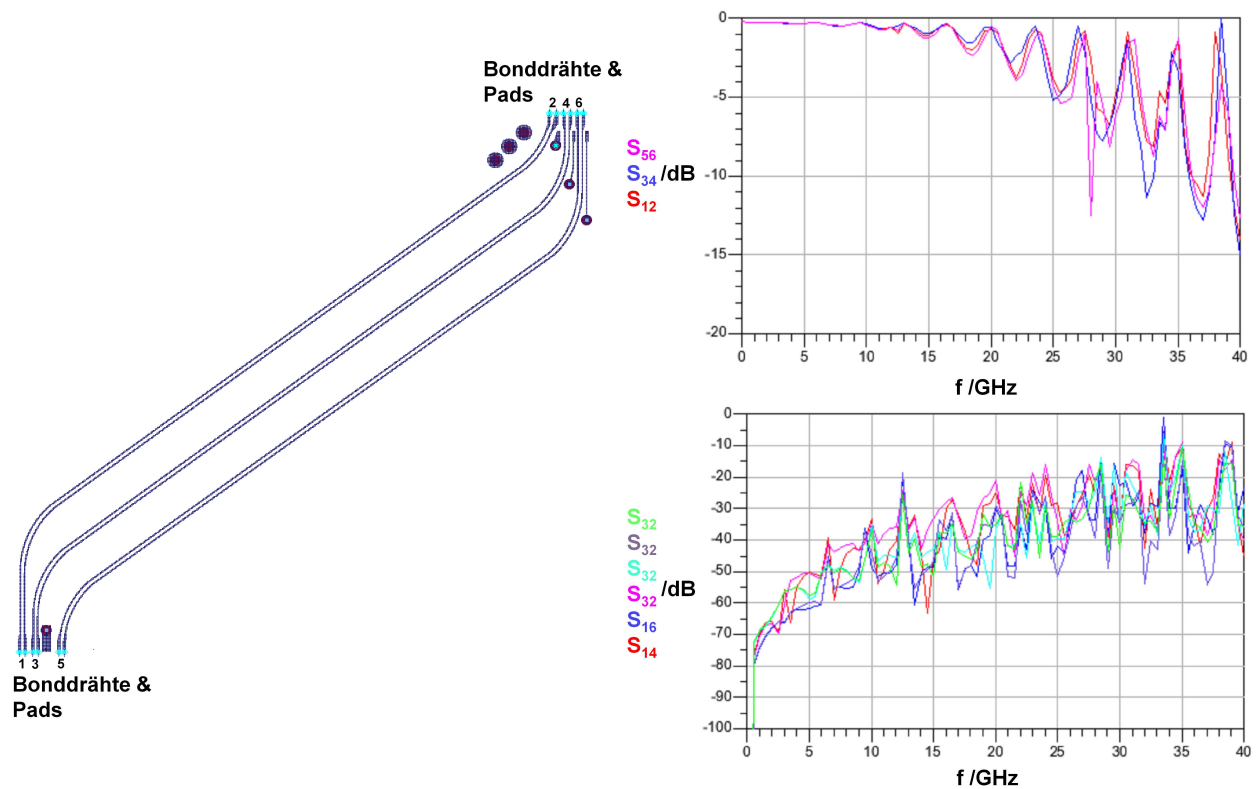


Abbildung 4.7: Gekoppelte differentielle Mikrostreifenleitungen (engl.: Microstrip Coupled Lines, MCLIN) [47], links: Ausschnitt dreier differentieller Leitungen aus Abbildung 4.6, rechts oben: Simulierte differentielle Transmissionsdämpfung, rechts unten: Simuliertes differentielles Übersprechen

Gesamtstruktur

Ein Foto der Gesamtstruktur des großen Aufbaus zeigt Abbildung 4.8. Die fünf Chips, ein ADU V2 und vier Demultiplexer, sind mit den Leitungen auf dem Dünnschichtsubstrat mit Gold-Bondeddrähten verbunden. Dieses ist wiederum ebenfalls mit doppelten Bondeddrähten mit der Taconic-Platine verbunden.

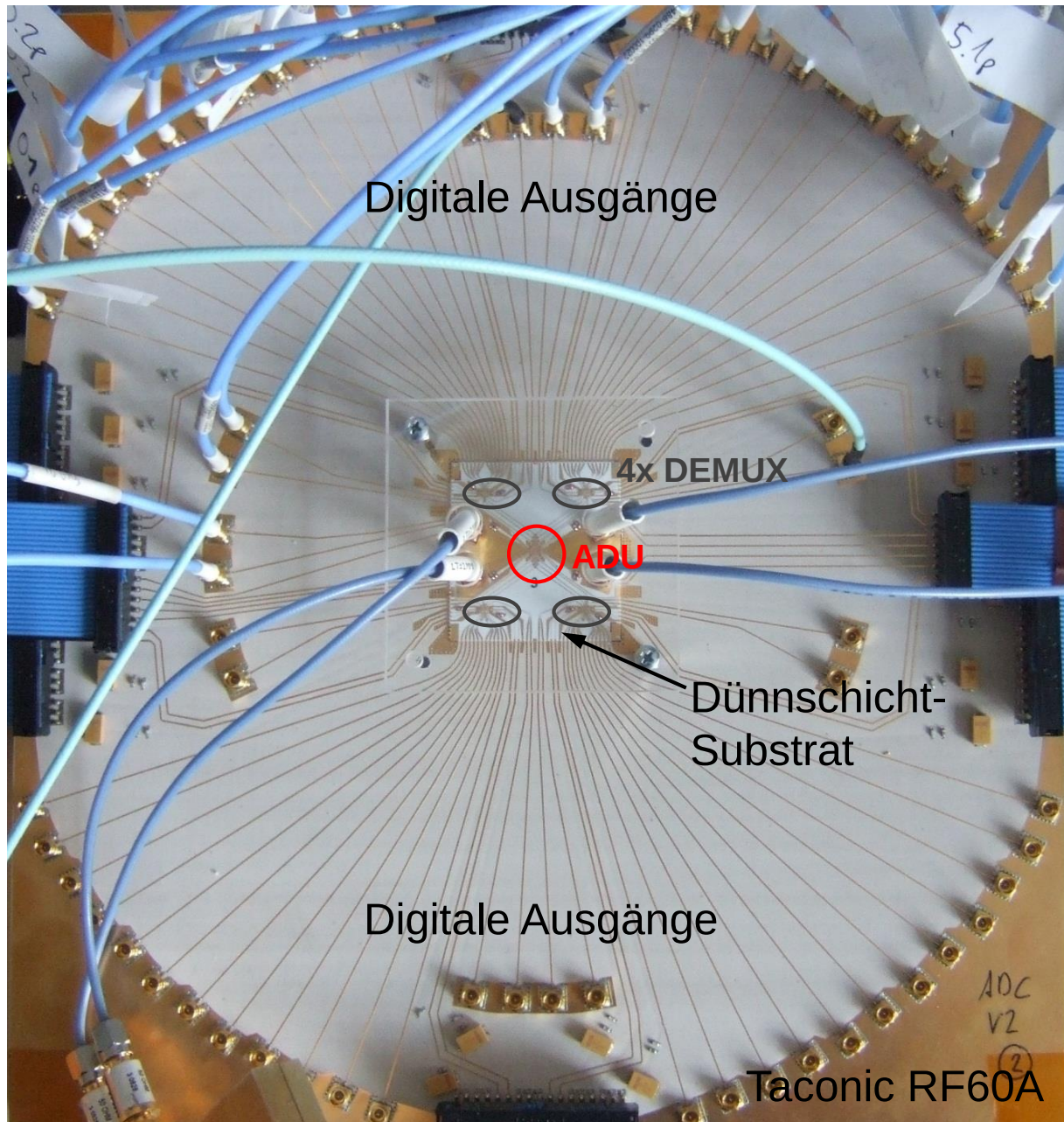


Abbildung 4.8: Foto des großen Messaufbaus

4.1.2 Synchronisierung

Aufgrund unterschiedlicher Kabellängen, welche selbst bei phasenangepassten Kabeln minimal vorhanden sind, und asynchron startenden Schnittstellenbausteinen auf der FPGA-Platine ist eine Synchronisierung der empfangenen Daten im FPGA erforderlich. Dazu wird ein PRBS, in seiner Funktionsweise in Kapitel 3 beschrieben, verwendet.

4.1.2.1 Prinzip der Synchronisierung mit einem Pseudozufallszahlengenerator PRBS

Die Synchronisierung der Empfangsdaten der vielen parallelen digitalen Ausgangsschnittstellen des A-D-Umsetzers wird mithilfe von einem auf alle Ausgänge schaltbaren PRBS auf dem A-D-Umsetzer sichergestellt. Die Signale werden durch asynchrones Starten der verfügbaren Eingangsschnittstellen des FPGA mit zeitlichen Differenzen zueinander in den Speicher geschrieben. Zunächst muss überprüft werden, ob die empfangenen PRBS-Daten fehlerfrei sind. Eine Optimierung der Schnittstellen, durch einen entscheidungsrückgekoppelten Equalizer (engl.: Decision Feedback Equalizer, DFE) oder diverse weitere Schnittstellenparameter, kann gegebenenfalls falsche Datenwerte korrigieren und somit zu fehlerfreien Datenströmen führen.

Durch einen Vergleich der empfangenen Folgen mit einer Referenzfolge kann dann die Einzelverschiebung eines Kanals berechnet werden. Abbildung 4.9 zeigt die Synchronisierung für einen Kanal mit einem Referenzkanal. Hier wird zunächst die erfolgreiche Synchronisation (Fall 1) betrachtet. Eine Folge mit der Länge $2^7 - 1 = 127$ wird als Sequenz (Seq.) bezeichnet.

Die zu synchronisierende Sequenz wird dann bitweise 63 bit nach links bzw. rechts verschoben und mit der Folge des Referenzkanals verglichen. Entspricht die verschobene Folge der Referenzfolge, beispielsweise feststellbar durch eine bitweise Exklusiv-Oder-Verknüpfung (XOR), wird der Kanal an dieser Position fixiert. Anschließend wird mit dem nächsten Kanal und der Referenzfolge fortgefahren.

Da sich die Sequenz jedoch immer wiederholt, kann es bei größeren Abweichungen zu Problemen kommen. Ist die Verschiebung größer als die Hälfte der

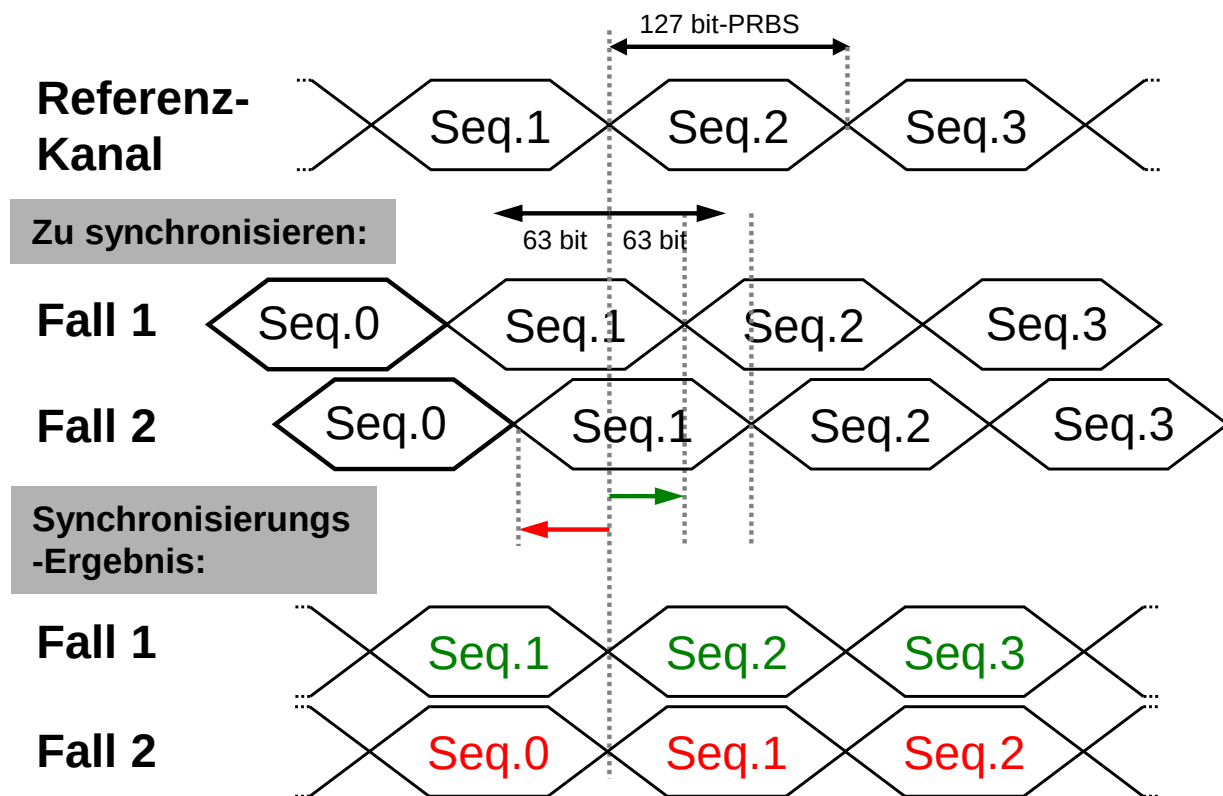


Abbildung 4.9: Synchronisierungsablauf

Sequenzlänge, wird durch das erläuterte Verfahren eine fehlerhafte Synchronisation durchgeführt. Das bitweise Verschieben um 63 bit nach links und rechts führt im Fall 2 zu einer Sequenzübereinstimmung mit der Vorgängersequenz Seq.0. Dadurch wird die Synchronisation zwar durchgeführt, jedoch ist das Ergebnis eine Verschiebung des Kanals um 127 bit in Bezug auf die Referenzfolge.

Daher ist die Länge der PRBS Sequenz im Vorfeld abzuschätzen und ggf. anzupassen. Durch einen höheren Grad des PRBS-Polynoms wird die Fehlertoleranz der Kanäle, welche ca. der halben Länge des Polynoms entspricht, erhöht. Für den vorliegenden Anwendungsfall scheint aufgrund von vorangegangenen Messergebnissen und Erfahrungswerten mit dem FPGA-Board eine Sequenz der Länge 127 bit ausreichend und ist deshalb auf den Wandlern fest implementiert. Alternativ dazu kann ein Parallelwandler durch einen Kurzschluss der Referenzspannungsleiter zu einem simplen Komparator umfunktioniert werden. Eine möglicherweise nötige längere PRBS-Sequenz kann auf den analogen Eingang gegeben werden und wird dann auf allen digitalen Ausgängen ausgegeben.

Eine in der Messtechnik wichtige weitere Eigenschaft einer Pseudozufallszahlen-

folge zeigt Abbildung 4.10. Wird eine PRBS mit dem Faktor 2 unterabgetastet, so ergibt sich die gleiche Sequenz bei halber Datenrate [52]. Ein Demultiplexer, wie er in dieser Arbeit zur Reduzierung der Ausgangsdatenrate genutzt wird, entspricht auf einen Ausgang bezogen genau dieser Unterabtastung. Am zweiten Ausgang wird ebenfalls die gleiche Folge unterabgetastet, es ergeben sich also zwei PRBS vom selben Polynom mit einer relativen Verschiebung. Bei den ungeraden PRBS-Sequenzlängen (z.B. 127 bit) werden zwei Eingangs-Sequenzen zur Erzeugung von je einer Ausgangssequenz an den beiden Ausgängen benötigt. Die Verschiebung zwischen den beiden Folgen ergibt sich aus der Anzahl der ungeraden Zahlen vom ersten Abtasten des ersten Ausgangs bis zum Abtasten des gleichen Datums aus der zweiten Sequenz durch den zweiten Ausgang.

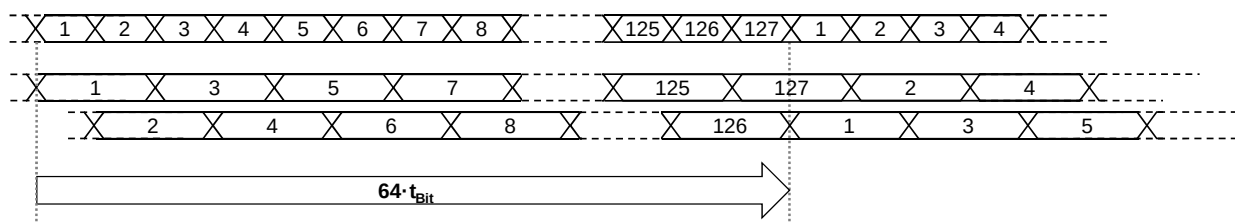


Abbildung 4.10: Eigenschaften einer PRBS bei Unterabtastung - oben: Eingang, unten Ausgang 1 und 2 für doppelte Unterabtastung mit Demultiplexer

Dies ist leicht grafisch nachzuvollziehen:

- Datum 1 wird zuerst von Ausgang 1 ausgegeben.
- Eine volle Sequenz muss durchlaufen werden bis Ausgang 2 durch die Unterabtastung der Sequenz mit ungerader Länge das Datum 1 ausgibt.
- Die Anzahl der ungeraden Zahlen in der ungeraden Sequenz mit der Länge $2^n - 1$ ist 2^{n-1} . Das entspricht der Anzahl der Daten die Ausgang 1 ausgegeben hat, bis Ausgang 2 ebenfalls Datum 1 ausgibt.

Abbildung 4.11 zeigt den Demultiplexer mit den PRBS-Polynomen an Ein- und Ausgängen und der Verschiebung. Eine Synchronisierung der Daten kann dann durch Berücksichtigung der Verschiebung des jeweils zweiten Ausganges über eine feste Vorverschiebung gewährleistet werden.

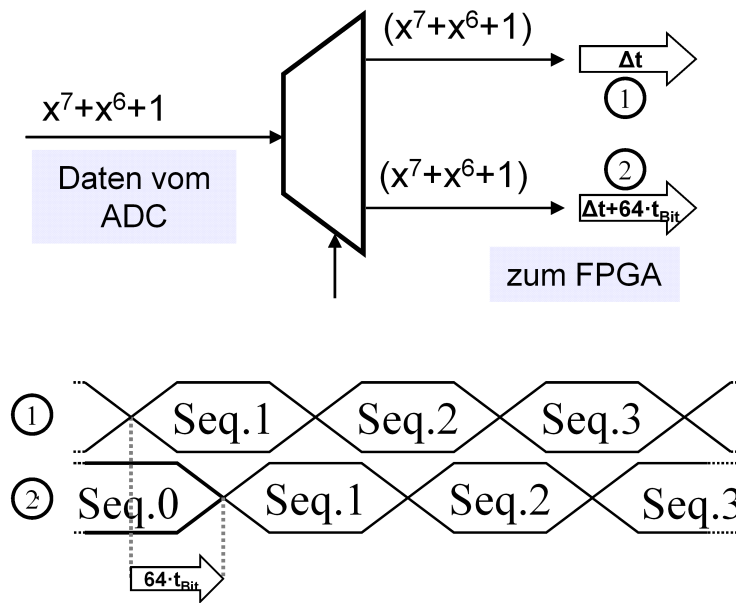


Abbildung 4.11: PRBS an einem Demultiplexer

4.1.2.2 Umsetzung Messumgebung und FPGA-Design

Die in dieser Arbeit verwendete Messumgebung basiert auf dem Evaluationsboard ML423 [25] mit einem Virtex4-FPGA von Xilinx. Dieses bietet 20 RocketIO-Schnittstellen, welche geeignet sind Daten mit jeweils bis zu 6,5 Gbit/s zu senden bzw., wie in dieser Arbeit genutzt, zu empfangen. Durch diverse Vorarbeiten [24][53][54] ist darauf das Messsystem GIMP (Gigabit INT Measurement Platform) entstanden.

Abbildung 4.12 zeigt schematisch das ursprüngliche VHDL-Design nach [24]. Die schnellen Daten werden von bis zu 20 parallelen Gigabit-Transceivern empfangen bzw. gesendet. Abhängig von der Konfiguration werden die Daten in den Sendepfaden am Übergang von langsamerer auf hochfrequente Taktdomäne serialisiert und umgekehrt im Empfangspfad parallelisiert. Die Sendeeinheit und die Empfangseinheit bestehen im Wesentlichen aus einem großen Speicher und diversen Synchronisierungs-, Rücksetz- bzw. Startelementen. Die jeweilige Messung wird durch die Messkontrolleinheit ausgelöst und gesteuert. Auf der anderen Seite werden die Daten auf einem parallelen 32 bit breiten Bus geführt, die Kommunikation mit einem externen PC findet Sende- und Empfangsseitig über einen Protokolldeko- der und die serielle Schnittstelle statt. Nachteilig an dieser eher einfachen Umsetzung ist, dass eine Synchronisation, wie in dem vorherigen Kapitel beschrieben, nicht im System implementiert ist. Die Daten liegen folglich für jeden Kanal vor, es kommt jedoch durch unterschiedliche Phasenlagen

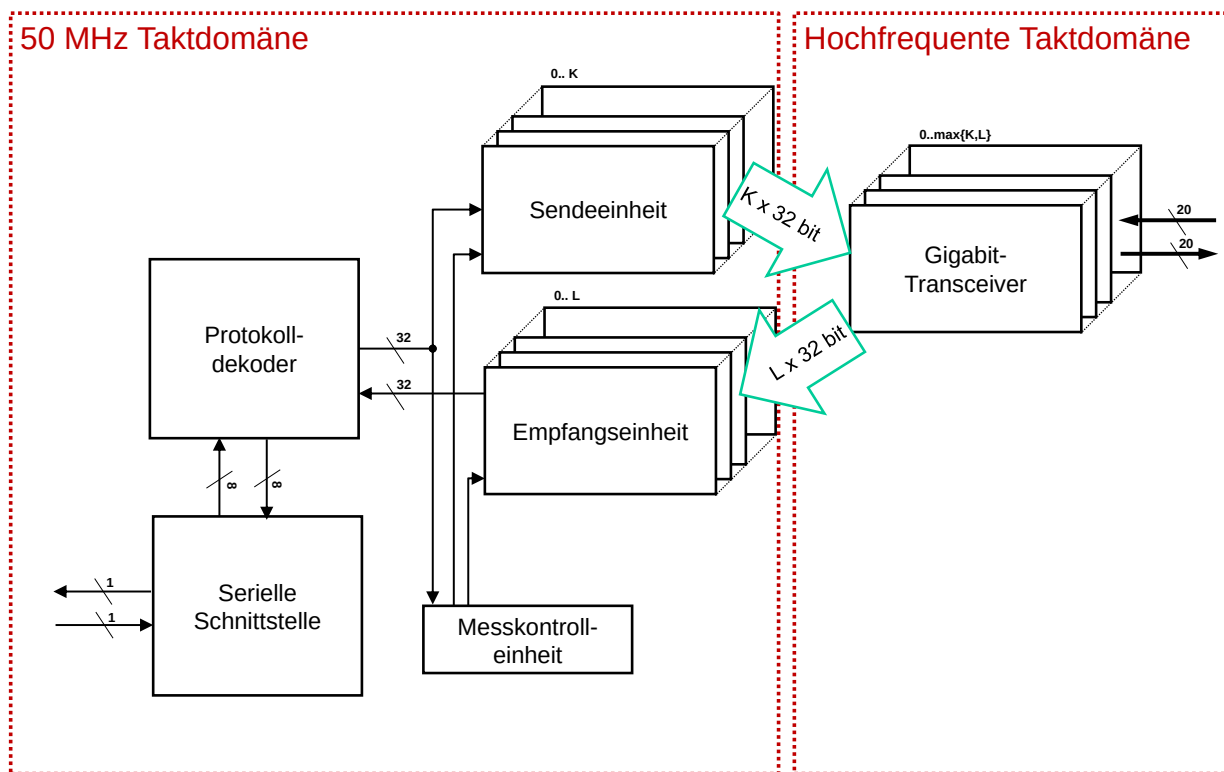


Abbildung 4.12: Blockschaltbild der ursprünglichen Messumgebung GIMP

der Taktsignale der Rocket-IO-Schnittstellen und unterschiedliche Kabellängen zu Verschiebungen der Kanäle relativ zueinander. Eine korrekte Interpretation von parallelen Empfangsdaten, beispielsweise der parallelen Kanäle eines A-D-Umsetzers, ist so nicht möglich. Daher wird, basierend auf dem bestehenden Design, eine Möglichkeit zur Synchronisation der entgegengenommenen Daten in der Empfangseinheit mit PRBS-Folge an jedem Kanaleingang implementiert [23].

Die Sendedaten sind im Falle der Vermessung eines A-D-Umsetzers nicht relevant, eine Synchronisierung ist jedoch für den im Projekt ebenfalls entwickelten D-A-Umsetzer ebenfalls in GIMP implementiert [54]. Die im vorherigen Kapitel beschriebene Synchronisation wird, wie in Abbildung 4.13 dargestellt, zwischen den Gigabit-Transceivern und dem Speicher eingebaut. Die Empfangsdaten werden im Rocket-IO-Transceiver (RIO) empfangen und in einen von zwei Taktdomänen les- und beschreibbaren Speicher (engl.: Dual Port Random-Access Memory, DP-RAM) geschrieben.

Eine Synchronisationskontrollereinheit steuert dann auf externen Befehl hin die Synchronisation eines Kanals in Bezug auf einen Referenzkanal. Durch Verschiebung um jeweils 1 bit, 63 bit weit nach links bzw. rechts, und jeweiligen

XOR-Vergleich lässt sich die Verschiebung detektieren und als *adu_sync_vek* an die für den Kanal vorgesehenen Bitverschiebeeinheit übergeben. Diese schiebt den Kanal entsprechend dem Fehlervektor.

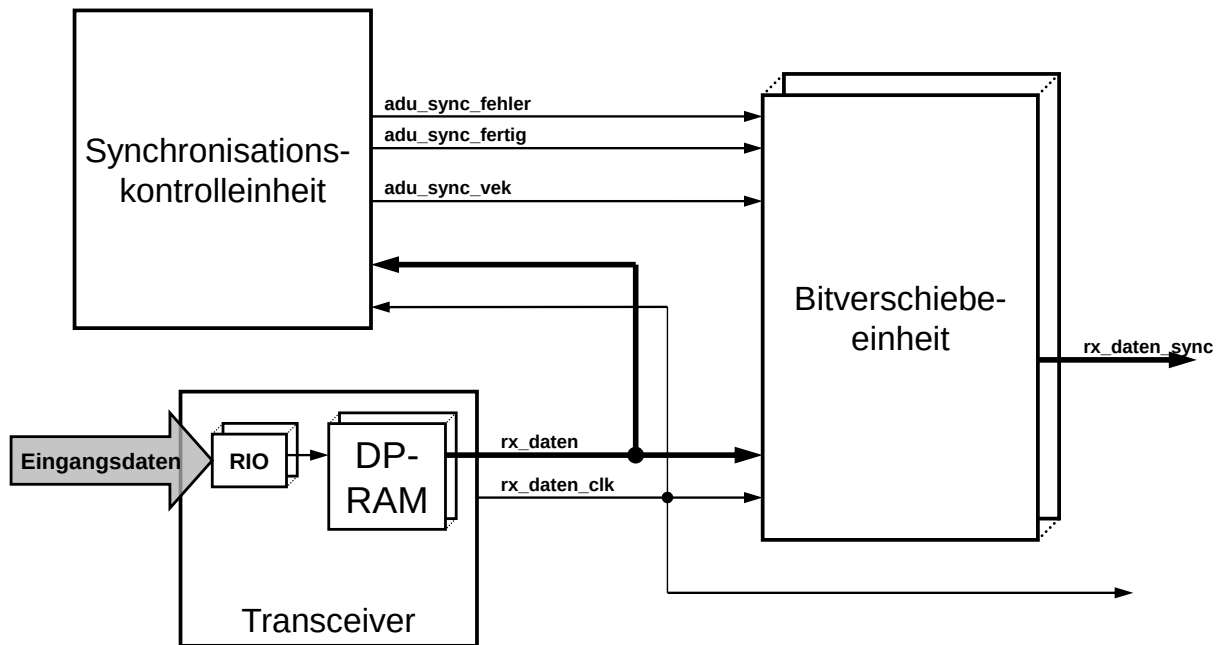


Abbildung 4.13: Empfangsteil der Messumgebung GIMP

Die Bitverschiebeeinheit in Abbildung 4.14 ist als 128 bit Schieberegister umgesetzt. Die Eingangsdaten *rx_daten* werden in Abhängigkeit der übergebenen Signale *Schiebe_num[0:4]* und *Schiebe_ganz[1-3]* zwischen 0 und 128 bit verzögert, was somit zur Anpassung der Kanäle zueinander im Echtzeitbetrieb führt. Sind die Schiebevektoren von allen Kanälen berechnet, kann der Synchronisationsmodus ausgeschaltet werden und die dann vom A-D-Umsetzer empfangenen Echtzeitmessdaten können korrekt interpretiert werden.

Die Steuerung der Verschiebung wird vom Automat Schiebekontrolleinheit übernommen, der standardmäßig eine Verschiebung von 64 bit für jeden Kanal durchführt, um durch Dekrementieren dieses Werts auch eine negative Verschiebung bezogen auf den Referenzkanal durchführen zu können.

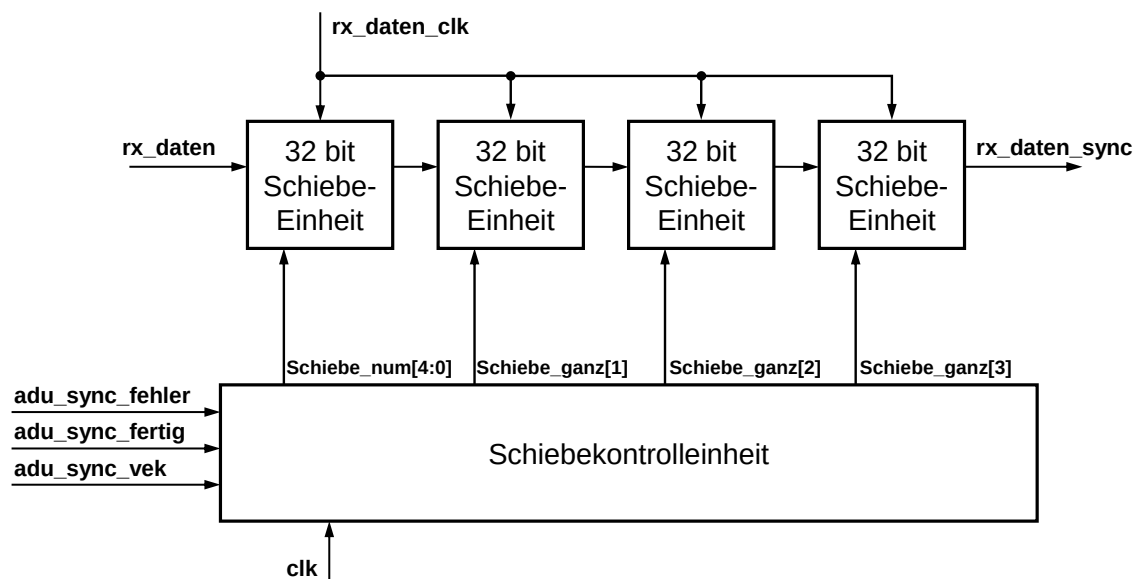


Abbildung 4.14: Bitverschiebeeinheit der Messumgebung GIMP

4.1.2.3 Ansteuerung der Messumgebung mit der Kontrollsoftware chIMP

Die Ansteuerung der FPGA-Messumgebung erfolgt mit dem ebenfalls im Rahmen dieser Arbeit entwickelten Visual-Basic-Programm chIMP (engl.: control helper for INT Measurement Platform). Es ermöglicht das Einschreiben und Auslesen von Daten auf dem FPGA vom PC aus. Weiterhin ermöglicht es unter anderem eine einfache Kalibrierung der Wandler, die Ansteuerung aller relevanten Synchronisationsblöcke des VHDL-Designs und eine einfache grafische Ausgabe der Daten, sowohl bei statischen als auch bei dynamischen Messungen. Abbildung 4.15 zeigt schematisch die Kommunikation mit der Messumgebung GIMP.

Die Funktionen von chIMP lassen sich vereinfacht zusammenfassen [23]:

- a) Optimierung der RIO-Schnittstellen und Optimierung der Empfangsdatenströme mit dem DFE
- b) Synchronisierung der Eingangsdatenfolgen
- c) Berechnung der Bitfehlerraten (engl.: Bit Error Rate, BER)
- d) Programmierung der Dreidrahtbusse sowohl des ADUs als auch der vier Demultiplexer

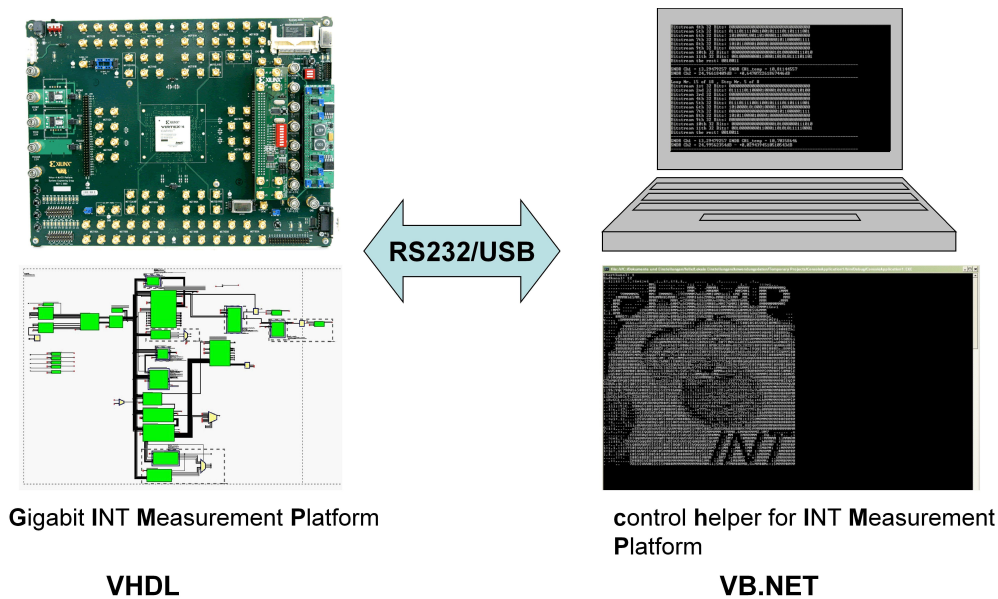


Abbildung 4.15: Kommunikation der Kontrollsoftware chIMP mit dem FPGA-Design GIMP

- e) Programmierung einer Signalquelle zur stufenweisen Vermessung einer ADU-Übertragungskennlinie
- f) Darstellung der synchronisierten Datenfolgen
- g) Berechnung der DFT und daraus folgend Berechnung der Kennzahlen SNDR, SFDR und ENOB für ein Sinussignal am Eingang des Wandlers
- h) Durchlauf eines systematischen Durchkämmungs- bzw. Exhaustionsmethoden-Kalibrierungsalgorithmus (engl.: Brute-force) [55] mit verschiedenen Zielvorgaben (z.B. Optimierung der INL oder Optimierung des ENOB-Wertes)

Eine weiterführende Beschreibung des Programms findet sich in Anhang A.3.

4.2 Messungen und Messergebnisse

4.2.1 A-D-Umsetzer-Testchip

Zur Charakterisierung einzelner zuvor nicht erprobter Strukturen wird im Rahmen von A-D-Umsetzer Entwurf 1 ein Testchip entwickelt. Dieser beinhaltet die

in Abbildung 4.16 dargestellten Teststrukturen für den A-D-Umsetzer. Die weiteren Strukturen auf den nicht gekennzeichneten Flächen sind für den im parallelen Teilprojekt von 100GET entwickelten D-A-Umsetzer vorgesehen. Die Ergebnisse für den entwickelten Pseudozufallszahlengenerator (engl.: Pseudo-Random-Bit-Sequencer, PRBS) und die 50 Ω -Leitung werden in den beiden folgenden Unterkapiteln präsentiert.

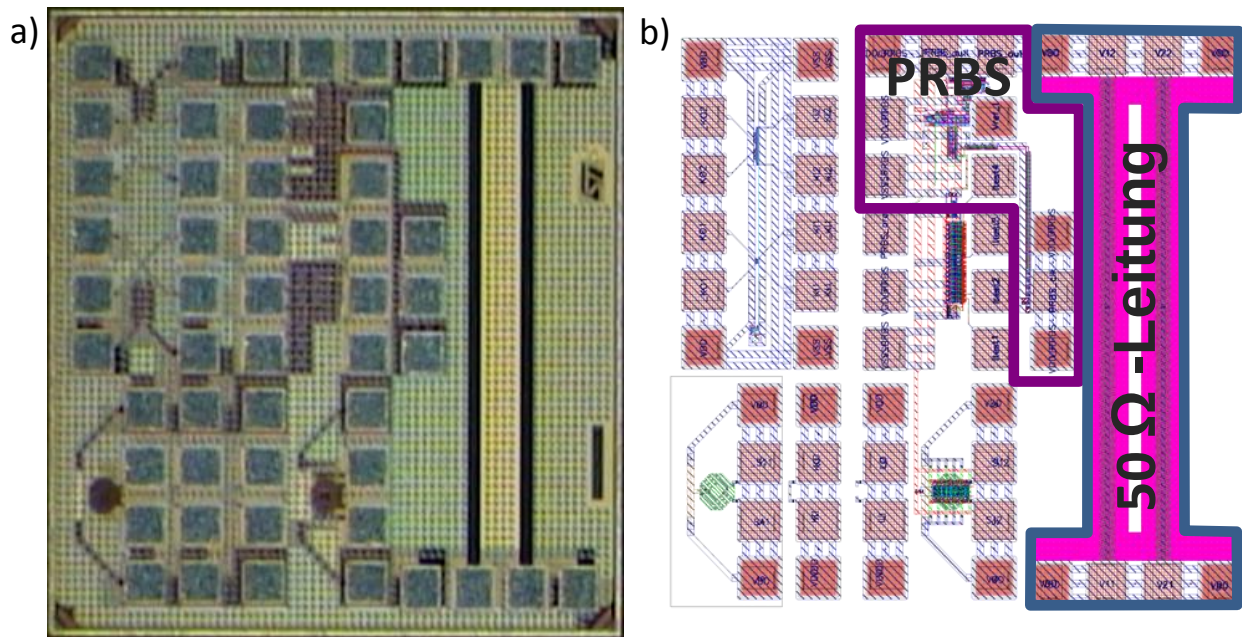


Abbildung 4.16: a) Chipfoto und b) Maskenentwurf mit Verteilung der Teststrukturen auf dem 90 nm CMOS Testchip

4.2.1.1 Charakterisierung 50 Ohm-Leitung

Zur Verteilung von hochfrequenten analogen Eingangs- und Taktsignalen auf einem CMOS-Chip eignen sich Mikrostreifenleitungen besonders gut, da sie einfach mit den technologischen Gegebenheiten zu realisieren sind. Unter Kenntnis des vertikalen Lageraufbaus der gegebenen CMOS-Technologie lässt sich die Mikrostreifenleitung mithilfe eines Feldsimulators, z.B. mit Momentum und Advanced Design System (ADS) von Agilent, dimensionieren und optimieren [56][57]. Abbildung 4.17 zeigt die Simulations- und Messergebnisse für die 50 Ω -Leitung aus Abbildung 4.16. Diese 7 μm breite Leitung wird auf der obersten Metallebene 7 (M7) des verwendeten CMOS-Prozesses über einer Massefläche auf Metallebene 3 (M3) geführt. Diese Konfiguration hat den Vorteil, dass auf den

unter M3 liegenden Metallebenen weiterhin Signalleitungen verlegt werden können. Die Abbildung zeigt die Transmissions- und Reflexionsparameter für einen

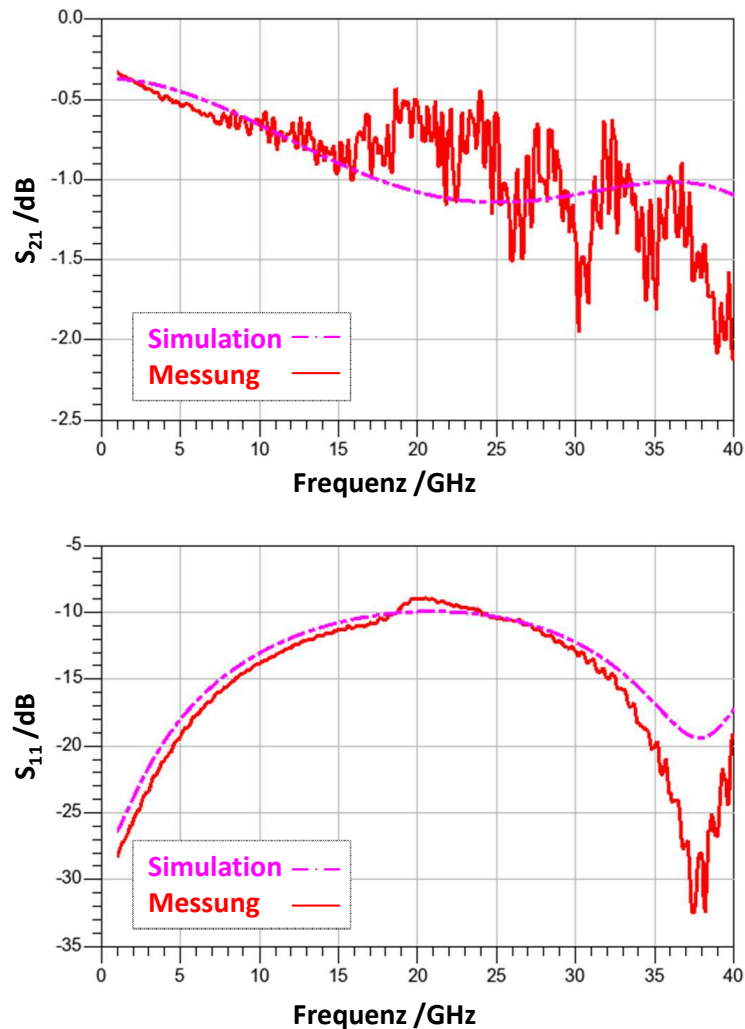


Abbildung 4.17: Transmissions- und Reflexionsparameter der $50\,\Omega$ -Testleitung auf dem Testchip in 90 nm CMOS-Technologie

Kurzschluss auf einer der beiden Seiten der differentiellen Struktur. Somit ist die Gesamtlänge der vermessenen Struktur $2 \cdot 840\,\mu\text{m} = 1680\,\mu\text{m}$. Die Simulation ist zum Vergleich ebenfalls so angepasst, dass durch einen Kurzschluss eine einfache U-Struktur in ADS mit Momentum [58] simuliert wird. Um die beiden Verbindungs-Kontaktstellen (Pads) in der Simulation zu berücksichtigen, beinhaltet das Simulationsergebnis ebenfalls zwei die Pads abstrahierende einfache Kapazitäten von je 100 fF am Ein- und Ausgang. Die maximale Länge einer Mikrostreifenleitung auf den hergestellten Chips beträgt ca. 1 mm. Daher ist die hier gezeigte $50\,\Omega$ -Leitung gut geeignet, um die maximalen Effekte abzuschätzen. Sowohl in der Messung als auch in der Simulation bleibt der Verlust über

die 1680 μm bis 40 GHz bei unter 2 dB. Gegenüber den zu erwartenden Verlusten durch lange Bonddrähte oder ein Gehäuse (engl.: Packaging) [56] ist dieser Wert fast vernachlässigbar klein.

4.2.1.2 Messung Pseudozufallszahlengenerator

Abbildung 4.18 zeigt den Messaufbau für den bereits zuvor vorgestellten PRBS-Generator. Die Masse- (engl.: Ground, G), Signal- (engl.: Signal, S) und Versorgungsspannungspads (engl.: Power, P) werden mithilfe eines Wafer-Kontaktierungstestgeräts und entsprechenden Tastköpfen an die Geräte angeschlossen. Der PRBS-Generator wird gestartet und die Fehlerrate am Bitfehlermessgerät (engl.: Error-Detector) [59] ausgewertet. Dieser unterstützt diverse Pseudozufallszahlenfolgen, wobei die auf dem Chip realisierte Folge entsprechend den verfügbaren gewählt wurde. Tabelle 4.2 zeigt die erzielten Ergebnisse

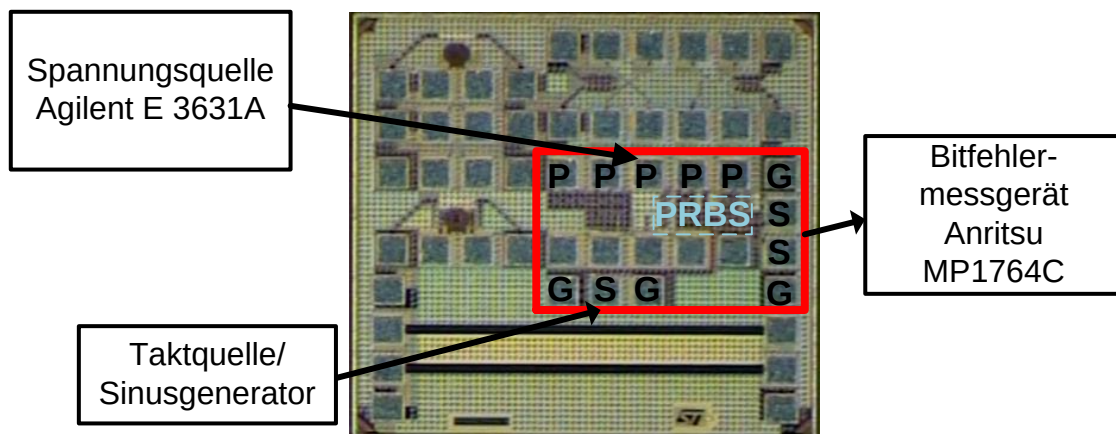


Abbildung 4.18: Testaufbau Pseudozufallszahlengenerator PRBS

sowohl für die Simulation als auch für die Messung. Vor allem die Spannungsversorgung ist auf dem Testchip ungünstig, da sich die diversen Strukturen zum Teil Kontaktstellen teilen oder ineinander verschachtelt sind. Zuleitungen fallen so schlechter aus als auf den symmetrisch entworfenen A-D-Umsetzer-Chips. Die mangelhafte Spannungsversorgung zeigt sich vor allem im geringeren Stromverbrauch bei der vorgesehenen Betriebsspannung. Dies führt zu schlechteren Ergebnissen hinsichtlich der maximal erzielbaren Taktfrequenz. Dennoch treten bis 10,6 GHz keine mit der Genauigkeit des Bitfehlermessgerätes darstellbaren Fehlerraten ($< 10^{-10}$) in der Bitfolge auf.

Tabelle 4.2: Vergleich Simulations- und Messergebnisse PRBS-Generator

	Simulation	Messung
Stromverbrauch	130 mA	70-90 mA
Versorgungsspannung	1,25 V	1,25-1,35 V
Max. Taktfrequenz	14 GHz	$\leq 10,6$ GHz
BER		$\leq 10^{-10}$

4.2.2 A-D-Umsetzer Entwurf 1

Die Messergebnisse der ersten Wandlergeneration werden im Folgenden dargestellt. Aufgrund von Problemen bei der Programmierung des Konfigurationsregisters, welche auf chipinternen Spannungseinbrüchen und eine daraus folgende fehlerhafte Weitergabe zwischen Teilregistern beruhen, konnte keiner der Wandler korrekt programmiert und somit auch kalibriert werden. Die Messergebnisse lassen daher hauptsächlich Rückschlüsse auf die erzielbaren Abtastraten und die Linearität ohne Kalibrierung zu. Weiterhin ist die zweite Wandlergeneration bei Verfügbarkeit des kompletten Messsystems schon fertig prozessiert, weshalb der Fokus anschließend weitestgehend auf der Vermessung der zweiten Wandlergeneration mit funktionierender Programmierung bzw. Kalibrierung liegt.

4.2.2.1 Statische Eigenschaften

Die Vermessung des Wandlers ist aufgrund der bereits genannten Gründe schwierig und nur begrenzt aussagekräftig. Abbildung 4.19 zeigt das Verhalten des Wandlers bei Anlegen von Gleichspannungswerten an dem analogen Eingang bei Vermessung auf dem Wafer-Kontaktierungstestgerät (engl.: Waferprober).

Hierbei können aufgrund von Begrenzungen der Kontaktierung und Wärmeabführung keine optimalen Betriebsbedingungen hergestellt werden. Die Eingangssignale werden bei dieser Messung von einem Signalgenerator konstant angelegt und am Ausgang mit einem Logikanalysator [60] erfasst. Die Steuerung und Auswertung der Daten erfolgt in dieser Messung durch Matlab, welches eine einfache Ansteuerung von Messgeräten ermöglicht. Die nicht-synchron empfangenen Ausgangsdaten werden über dem Zeitraum des Anliegens eines Spannungswertes gemittelt und bei Über- oder Unterschreiten des digitalen Mittelwertes von 0,5 ($= \frac{1+0}{2}$) zu 0 bzw. 1 entschieden.

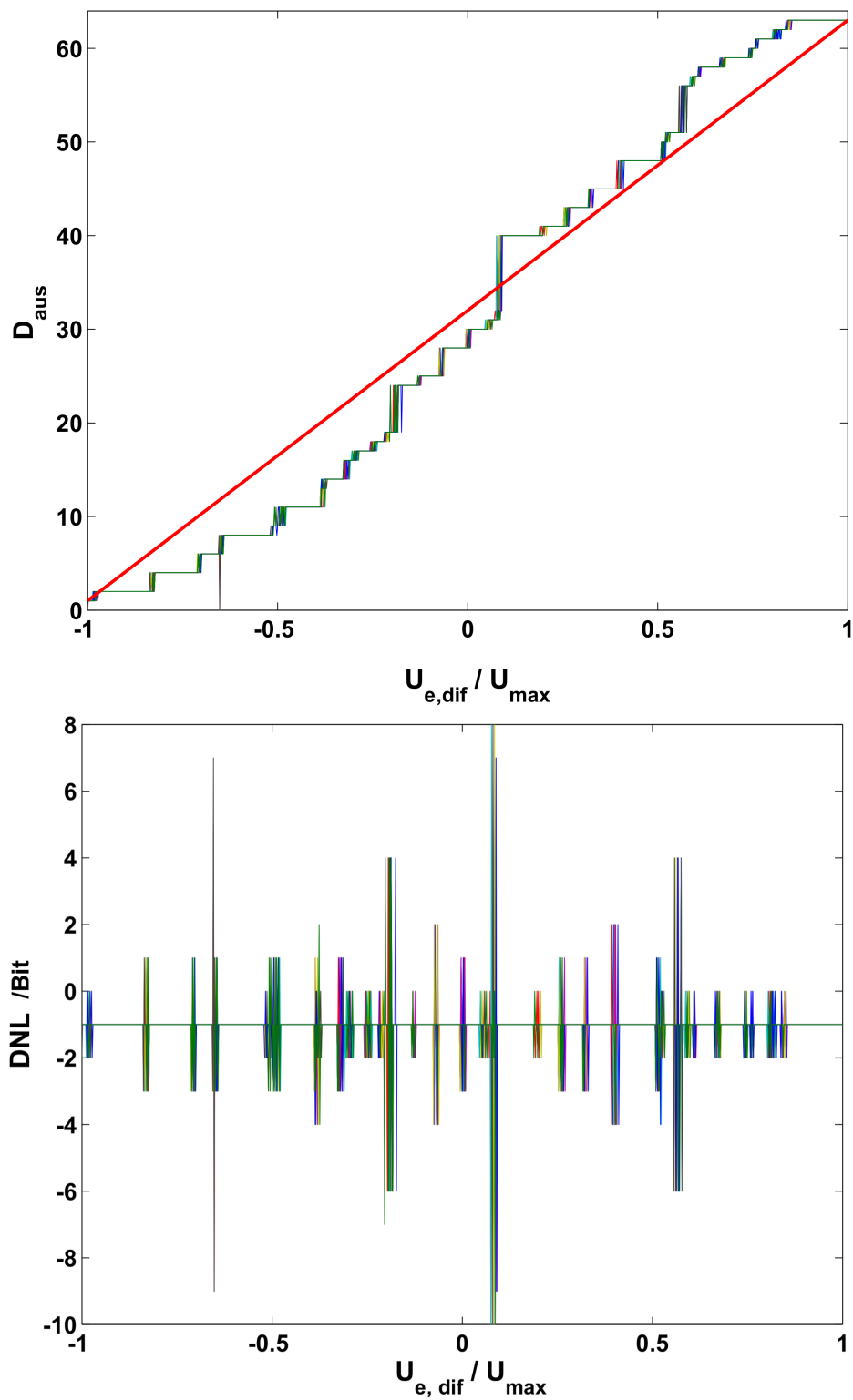


Abbildung 4.19: Kennlinie und DNL A-D-Umsetzer Version 1 mit neun Messdurchläufen

Die Kennlinie weist, aufgrund der schlechten elektrischen Anbindung und aufgrund der nicht verfügbaren Kalibrierung, eine Übersteuerung auf. Die Kompara-

toren der Grobquantisierungsstufe erzeugen einen nichtlinearen Verstärkungsfehler. Größere Fehlpassungen der Komparatoren führen weiterhin durch die Interpolation und so entstehende große Blasenfehler am T2B zu größeren Sprüngen bzw. Missing-Codes des digitalen Ausgangssignals D_{aus} . Die DNL weist daher Fehler bis zu 8 LSB auf. Unabhängig davon zeigt die Kurve die Funktionalität des Wandlers ohne Kalibrierung. Ein Großteil der möglichen Codes wird ausgegeben. Mithilfe einer funktionalen Kalibrierung, besserer Spannungsversorgung und besserer Wärmeabführung ließen sich hier sicherlich bessere Ergebnisse erzielen.

4.2.2.2 Dynamische Eigenschaften

Die für diese Wandlergeneration erzielbaren dynamischen Messergebnisse zeigt Abbildung 4.20. Ohne Synchronisation der Ausgangsschnittstellen ist zunächst nur die Vermessung einzelner Schnittstellen im Komparatorbetrieb möglich. Mehrere Schnittstellen können auf dem Wafer-Kontaktierungstestgerät nicht zuverlässig gleichzeitig angeschlossen werden.

Daher wird bei dieser Messung die Referenzspannungsleiter kurzgeschlossen, wodurch alle Komparatoren als einfache Verstärker arbeiten. Ein am analogen Eingang anliegendes PRBS-Signal wird dann auf allen digitalen Ausgangsschnittstellen ausgegeben. Eine Messung einzelner Schnittstellen mit dem Bitfehlerraten-Messgerät (engl.: Bit Error Rate Tester) MP1764C von Anritsu [59], welcher eine maximale Eingangsdatenrate von 12,5 Gbit/s aufweist, ergibt eine fehlerfreie Ausgabe der Daten bis 24 GS/s. Dies ist möglich aufgrund der zweifach zeitverschachtelten Struktur, bei welcher sich bei 24 GS/s-Operation maximale Datenraten von 12 Gbit/s an den Ausgängen einstellen. Die zugehörigen Ausgangs-Augendiagramme werden mit einem Oszilloskop [61] ausgegeben und sind für verschiedene Datenraten in Abbildung 4.20 dargestellt.

Die Augenhöhe des einseitig vermessenen differentiellen Signals (engl.: Single-ended Measurement) beträgt ca. 180-200 mV. Die Augenweite ist mit ca. 60 ps bei maximal erreichbaren 83,3 ps bei 24 GS/s-Operation ebenfalls ausreichend, um eine fehlerfreie Operation in Bezug auf Abtastung und Taktverteilung des Wandlers bei diesen Datenraten vorauszusagen. Weiterhin ist für diese Werte eine fehlerfreie Erfassung und Synchronisierung der Daten mit dem parallel entwickelten FPGA-Messsystem möglich.

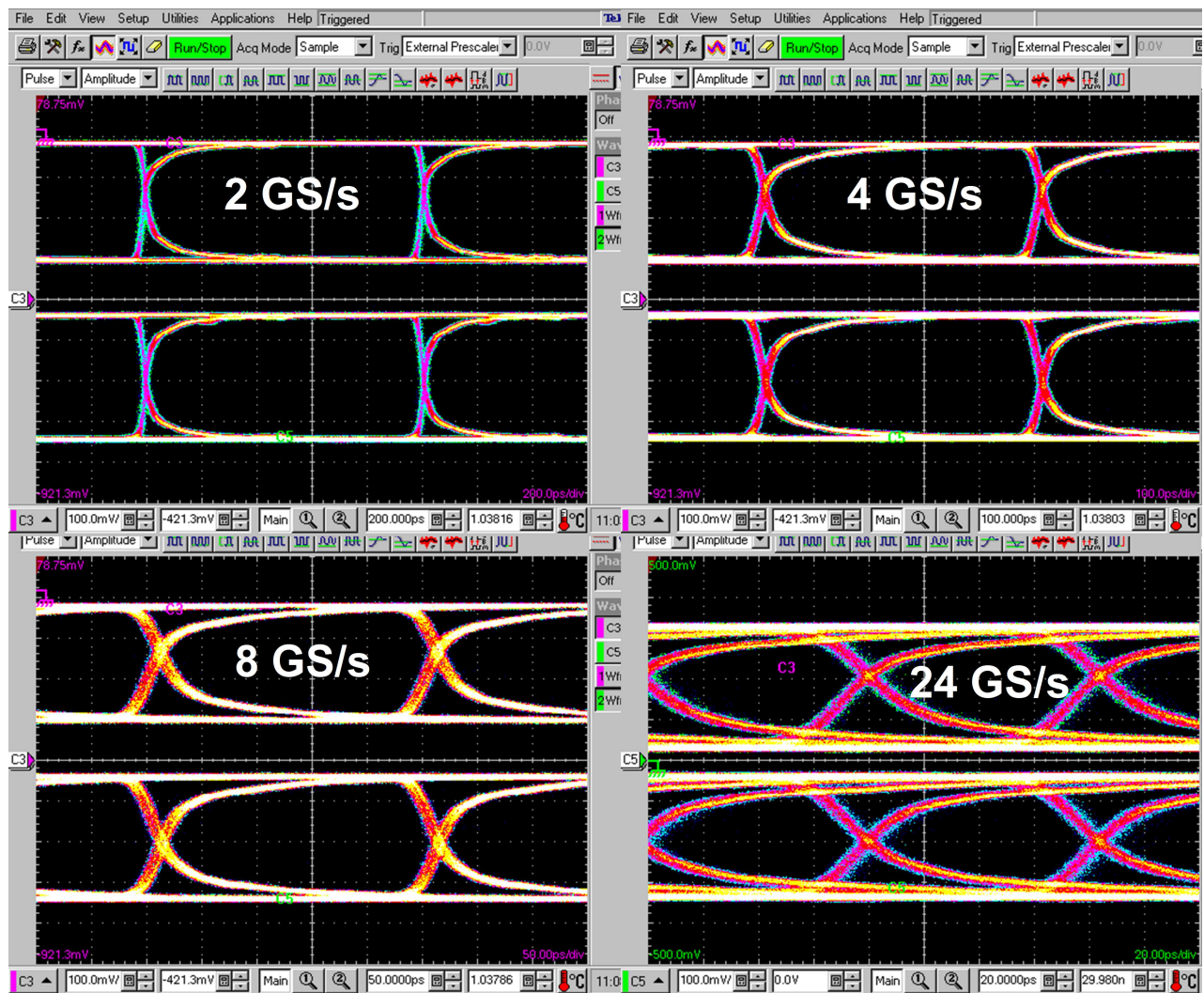


Abbildung 4.20: Messung der Augendiagramme der Ausgangssignale des ADU V1 auf dem Wafer-Kontaktierungstestgerät bei verschiedenen Abtastraten

4.2.3 A-D-Umsetzer Entwurf 2

Im Gegensatz zur ersten Wandlerversion ist der zweite Entwurf in allen Bereichen voll funktional. Die Programmierung der Register funktioniert fehlerfrei und sowohl die elektrische Anbindung als auch die thermische Wärmeabführung sind durch den kleinen bzw. großen Messaufbau wesentlich verbessert worden. Beim großen Messaufbau sind ebenfalls alle Pads in der zweiten Reihe kontaktiert. Sie dienen zu einem Großteil der Spannungsversorgung.

4.2.3.1 Statische Eigenschaften

Entsprechend den besseren Randbedingungen können bei der Vermessung dieser Wandlerversion wesentlich bessere Ergebnisse im Vergleich zu Version 1 erzielt werden. Abbildung 4.21 und Abbildung 4.22 zeigen die Vermessung zweier Einzelkanäle des vierfach zeitverschachtelten Wandlers, einmal für den unkalibrierten und einmal für den kalibrierten Fall. Die Kalibrierung wird in diesem Fall stufenweise vom Eingang zum Ausgang - beginnend mit den ersten Verstärkern des kalibrierbaren Verstärkerbaumes und endend mit der kalibrierbaren Referenzspannungsleiter - mithilfe einer einfachen systematischen Durchkämmungs- bzw. Exhaustionsmethode (engl.: Brute-force)[55] durchgeführt. Bei jedem Durchgang wird die Differenz des Ausgangsignals zum idealen Verlauf berechnet. Anschließend wird für jede kalibrierbare Stufe der Durchgang mit der kleinsten Differenz ausgewählt.

Vor allem der im kalibrierungsfreien Fall bei Kanal 1 (channel1) deutlich durch die S-Form zu erkennende Verstärkungsfehler kann stark vermindert werden. Weitere Unebenheiten der Kennlinie werden durch Verschieben der Referenzspannungsknoten geglättet. Der maximale DNL-Wert lässt sich aus den unten aufgeführten Differenzen zur idealen Kennlinie direkt ablesen, welche durch die Normierung auf LSB direkt die INL darstellen. Nach Gleichung 2.13 entspricht die DNL der Differenz zweier aufeinanderfolgender digitaler Ausgangswerte einer Rampe mit Abzug eines LSBs. Wird stattdessen die Differenz zu einer idealen Kennlinie für die beiden aufeinanderfolgenden Werte als Basis genommen, ergibt sich der maximale Wert aus dem maximal zu sehenden Sprung der INL. Die ideale Vergleichskennlinie ist in beiden Werten berücksichtigt und wird durch die Differenzbildung eliminiert. Ohne Kalibrierung ergibt sich so die maximale DNL zu 6 LSB beim Übergang von Kanal 2 (difchannel2) vom 7. auf den 8. Wert.

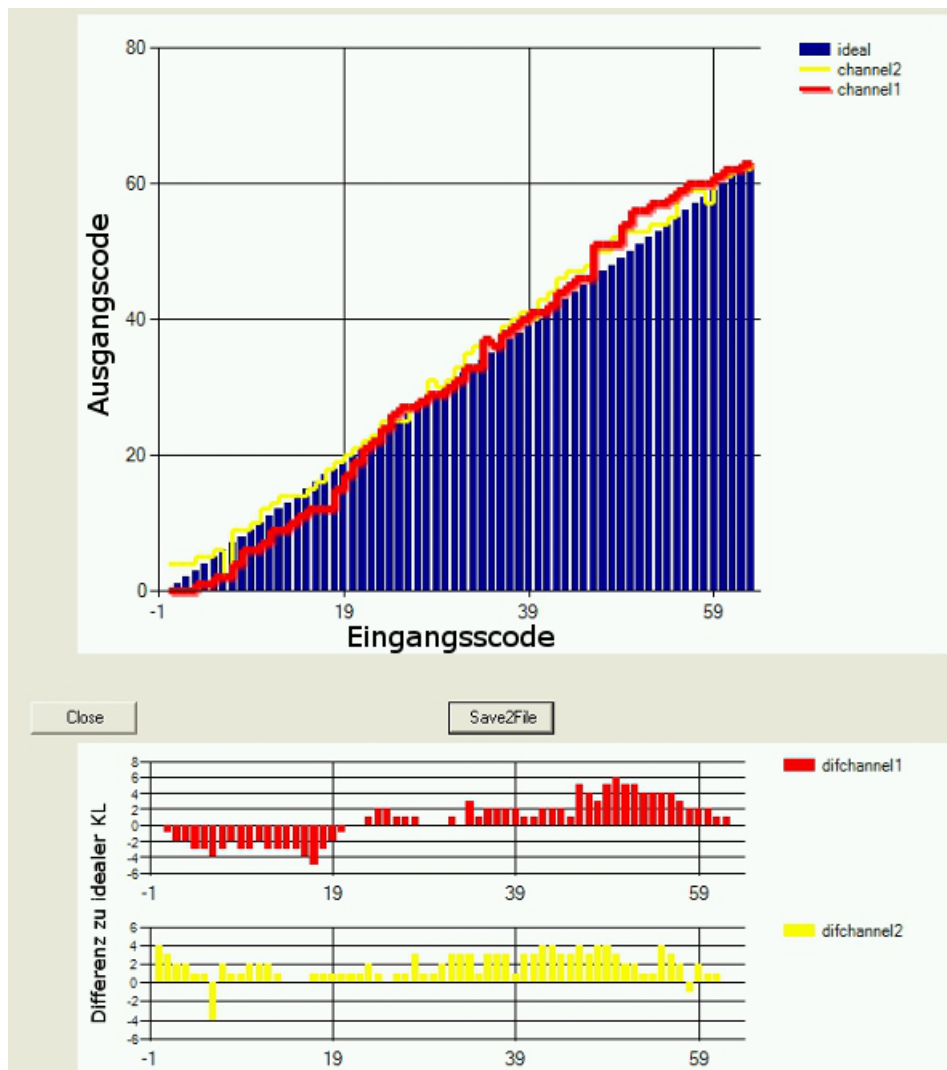


Abbildung 4.21: Ausgangsscode vs. Eingangscode für zwei Kanäle von ADU V2 ohne Kalibrierung - Ausgabe der Messsoftware chIMP

Hierbei muss nicht wie in Gleichung 2.13 1 LSB abgezogen werden, da die Differenz des zweiten Wertes auf den idealen zweiten Wert bezogen ist. Die maximale DNL ist somit ohne Kalibrierung 6 LSB. Mit Kalibrierung wird die DNL, wie in Abbildung 4.23 dargestellt, auf maximal 3 LSB reduziert.

Viel wichtiger als die DNL-Werte ist bei der gewählten zeitverschachtelten Struktur jedoch die Angleichung der Einzelkanäle auf eine gleiche Verstärkung und gleiche Versatzwerte (engl.: Offsets), da so die Auflösung des Gesamtwandlers verbessert wird [62][63]. Dies ist sowohl für den Verstärkungsfehler von Kanal 1 (channel1) als auch für den Versatz von Kanal 2 (channel2) der Fall. Die Gesamt-INL wird so optimiert, da alle Kanäle auf die gleiche Durchschnittsgerade gemäß Gleichung 2.15 ausgeregelt werden.

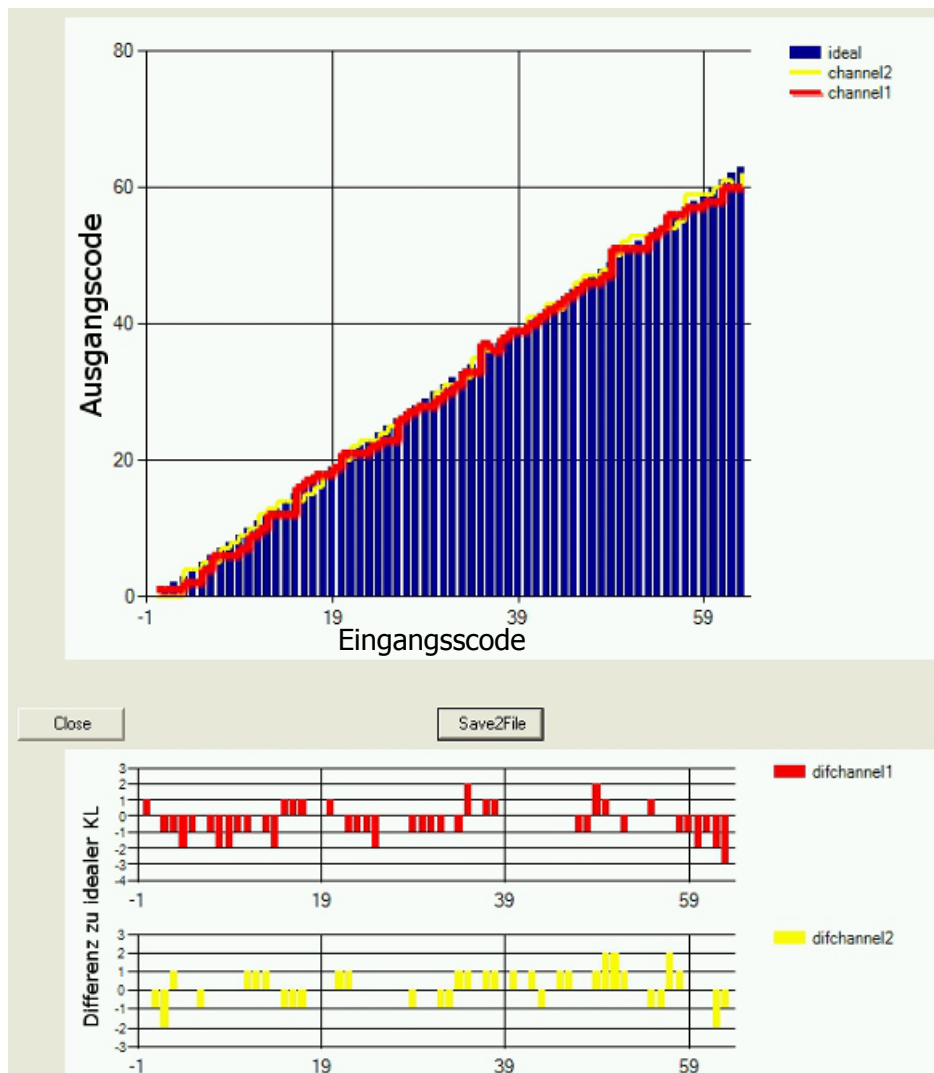


Abbildung 4.22: Ausgangscode vs. Eingangscode für zwei Kanäle von ADU V2 mit Kalibrierung - Ausgabe der Messsoftware chIMP

Mit zu den statischen Eigenschaften lässt sich, neben bekannten Parametern wie Eingangsspannungshub oder mittlerer Leistungsaufnahme, die sich im Betrieb einstellende mittlere Temperaturverteilung auf dem Chip zählen. Diese ist vor allem durch die Leistungsverbrauchsichte pro Fläche definiert. Durch die in dieser Arbeit verwendete CML-Schaltungstechnik tritt fast nur statische Verlustleistung auf, weshalb sich eine einfache Temperaturmessung zur Beurteilung der sich im Mittel einstellenden Temperaturen hinreichend eignet.

Abbildung 4.24 zeigt die Temperaturverteilung auf dem CMOS-Chip im Normalbetrieb, einmal ohne und einmal mit Kühlung im kleinen Aufbau. Die Messung erfolgt mit einer thermographischen Kamera mit einer Auflösung von 384 x 288 Pixeln [64]. Die Auflösung, bezogen auf die Chipfläche bei größtmöglicher Ver-

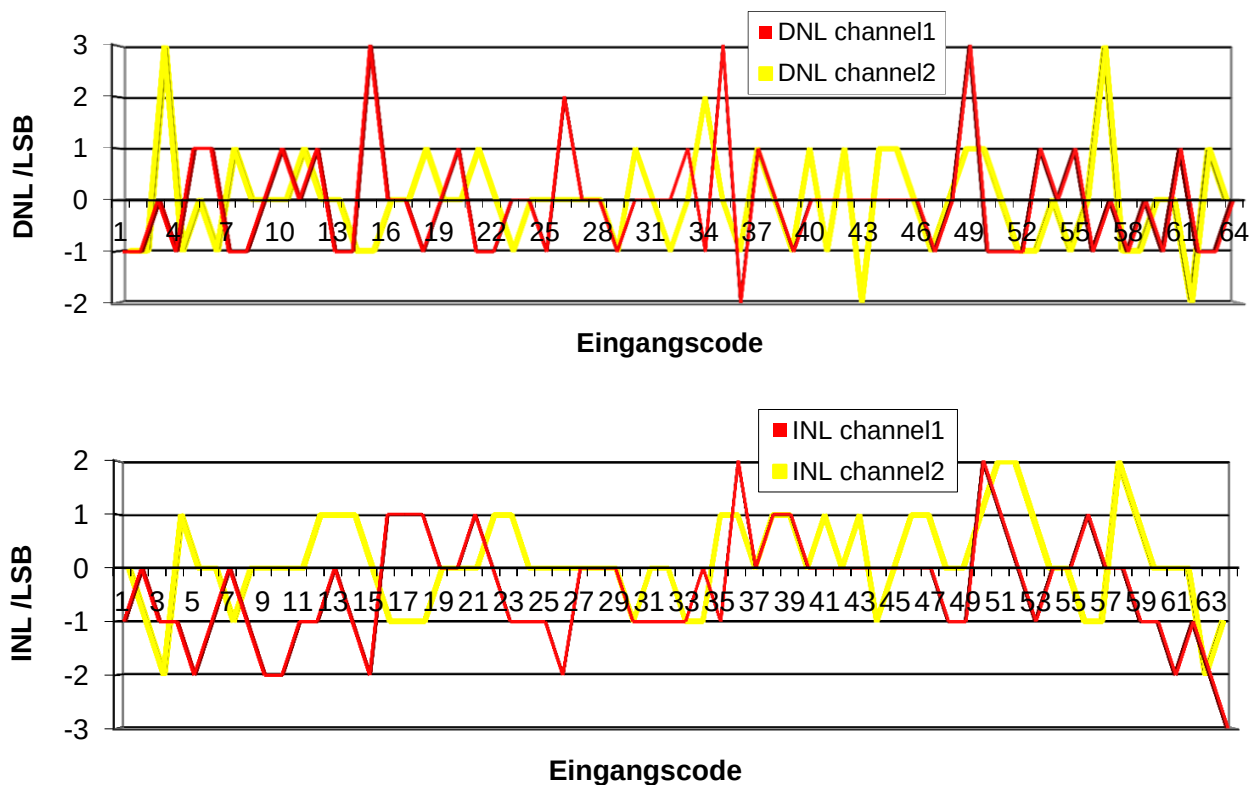


Abbildung 4.23: DNL und INL für die beiden Kanäle von ADU V2 mit Kalibrierung aus Abbildung 4.22

größerung im vorliegenden Anwendungsfall, entspricht ca. 10×10 Pixeln. Dies entspricht wiederum einem Raster von ca. $200 \mu\text{m}$ über der Chipfläche. Die Kühlung ist bereits für den kleinen Aufbau ausreichend. Im großen Aufbau wird ein größeres Peltierelement genutzt, welches bezogen auf einen Quadratcentimeter, mit $5,93 \text{ W/cm}^2$ [65] anstelle von $4,7 \text{ W/cm}^2$ [66], eine noch größere maximale Wärmepumpleistung besitzt. Die sonstige thermische Anbindung ist weitestgehend identisch. Daher kann diese Messung auf den großen Aufbau übertragen werden. Die Wärme konzentriert sich vor allem im Zentrum des Wandlerchips, in welchem sich auch der Wandlerkern mit der größten Verlustleistung befindet. In Abbildung 4.24 oben entsprechen die Abmessungen des Wandlers der Referenz R2, die des Kerns ca. R3. Die mit der vorhandenen Optik maximal auflösbaren Bereiche besitzen im ungekühlten Fall Temperaturen von zum Teil über 62 Grad, mit Kühlung kann hingegen mit fast 20 Grad weniger in sämtlichen aktiven Bereichen gerechnet werden.

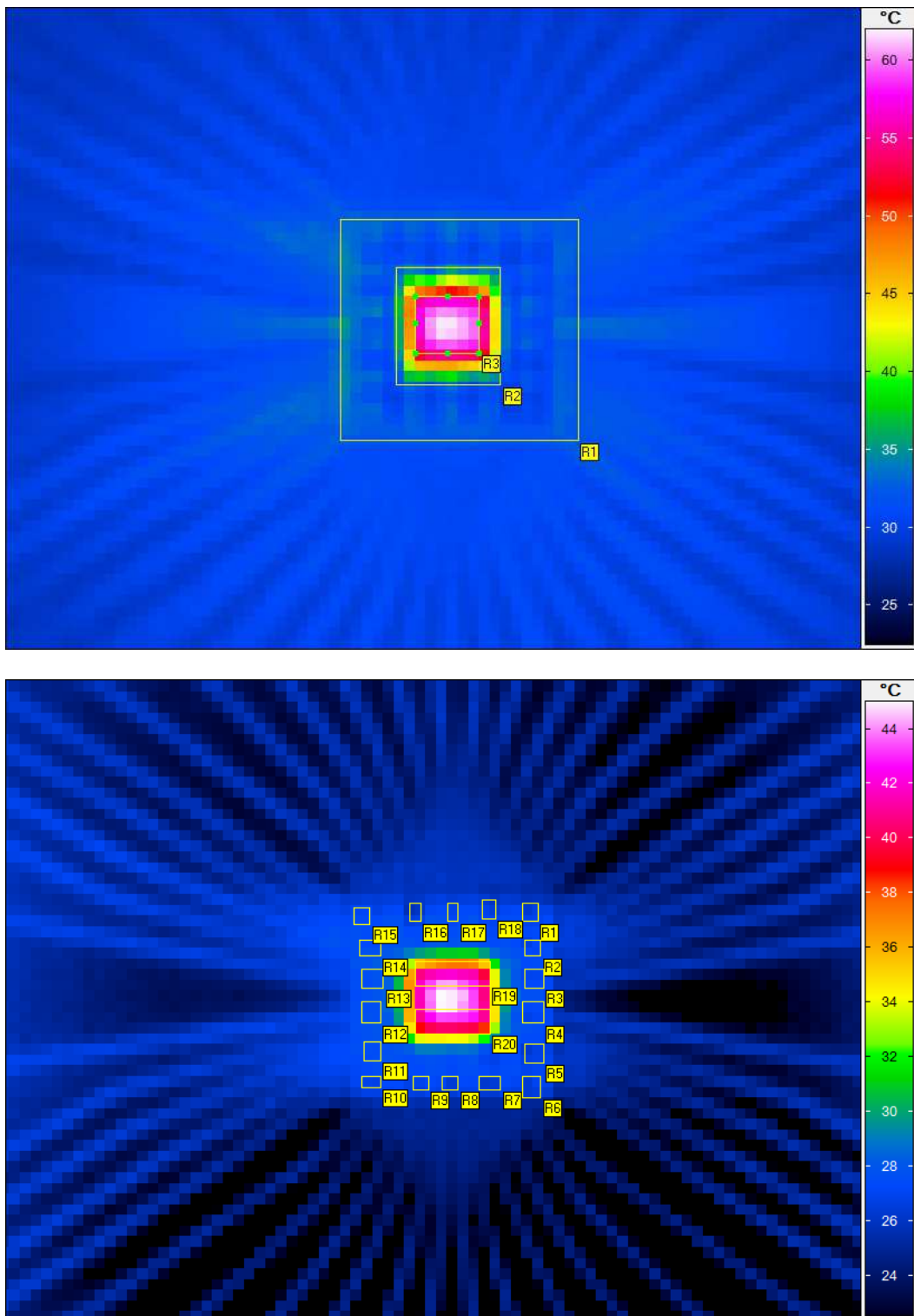


Abbildung 4.24: Temperaturverteilung im Zentrum des kleinen Aufbaus bei Betrieb des Wandlers der Version 2 mit ausgeschalteter Kühlung (oben) und eingeschalteter Kühlung (unten)

4.2.3.2 Dynamische Eigenschaften

Analog zum Vorgehen bei Wandler Version 1 wird hier zunächst die prinzipielle Funktionsweise des Wandlers gezeigt. Abbildung 4.25 zeigt das Augendiagramm eines Kanals des Wandlers bei 10 GS/s Gesamtwandlerrate ($2 \cdot 5 \text{ Gbit/s}$ durch oberen und unteren Teilwandler).

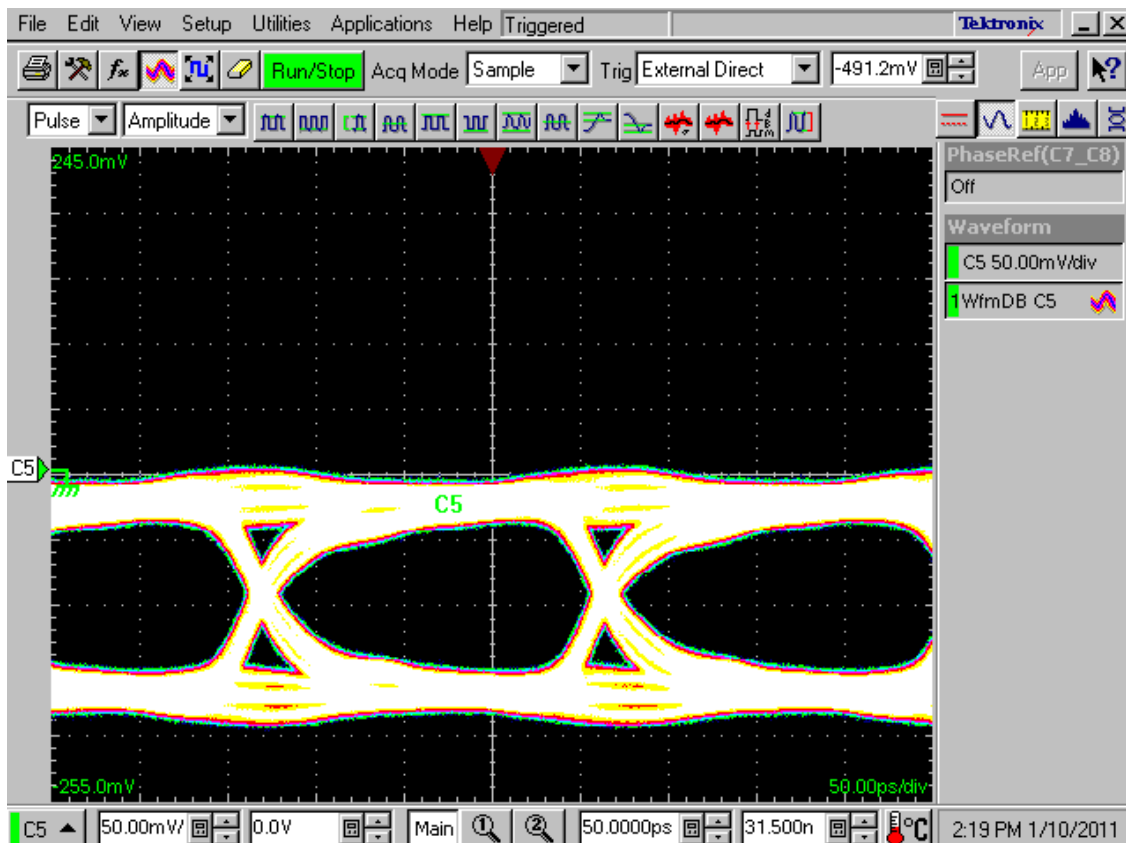


Abbildung 4.25: Messung eines Ausgangsaugendiagramms des ADUV2 auf dem Wafer-Kontaktierungstestgerät bei 10 GS/s (oberer und unterer Teilwandler je 5 Gbit/s) mit einer PRBS am analogen Eingang

Die Messung wird mit einem Oszilloskop [61] mit abgesetztem breitbandigem Abtastmodul [67] durchgeführt, welche laut Herstellerangaben eine typische Bandbreite von 70 GHz besitzen. Der Eingang des auf dem Wafer-Kontaktierungstestgerät kontaktierten Wandlers im Komparatorbetrieb wird wiederum mit einer PRBS-Sequenz angeregt. Ausgangsseitig wird so bis ca. 10 GS/s die Funktionalität gezeigt. Der Bitfehlerdetektor [59] zeigt erst bei höheren Abtastraten Fehler in der am Ausgang ausgegebenen Sequenz an. Ursache ist wie beim ersten Wandler die schlechte elektrische Anbindung auf dem Wafer-Kontaktierungstestgerät, welche bei dieser Wandlerversion bei Abtastra-

ten von 10 GS/s zum Aussetzen des auf dem Chip befindlichen Takteilers führt. Dies führt je nach Frequenz zu teilweise oder ganz fehlenden Taktsignalen an den Flipflops am Ausgang, weshalb die Daten schlicht nicht weitergegeben werden.

Abbildung 4.26 zeigt eine Messung mit dem großen Messaufbau bei 2,0 GS/s Gesamtwandlerrate für zwei Sub-Kanäle des ADU, die somit bei je 500 MS/s arbeiten.

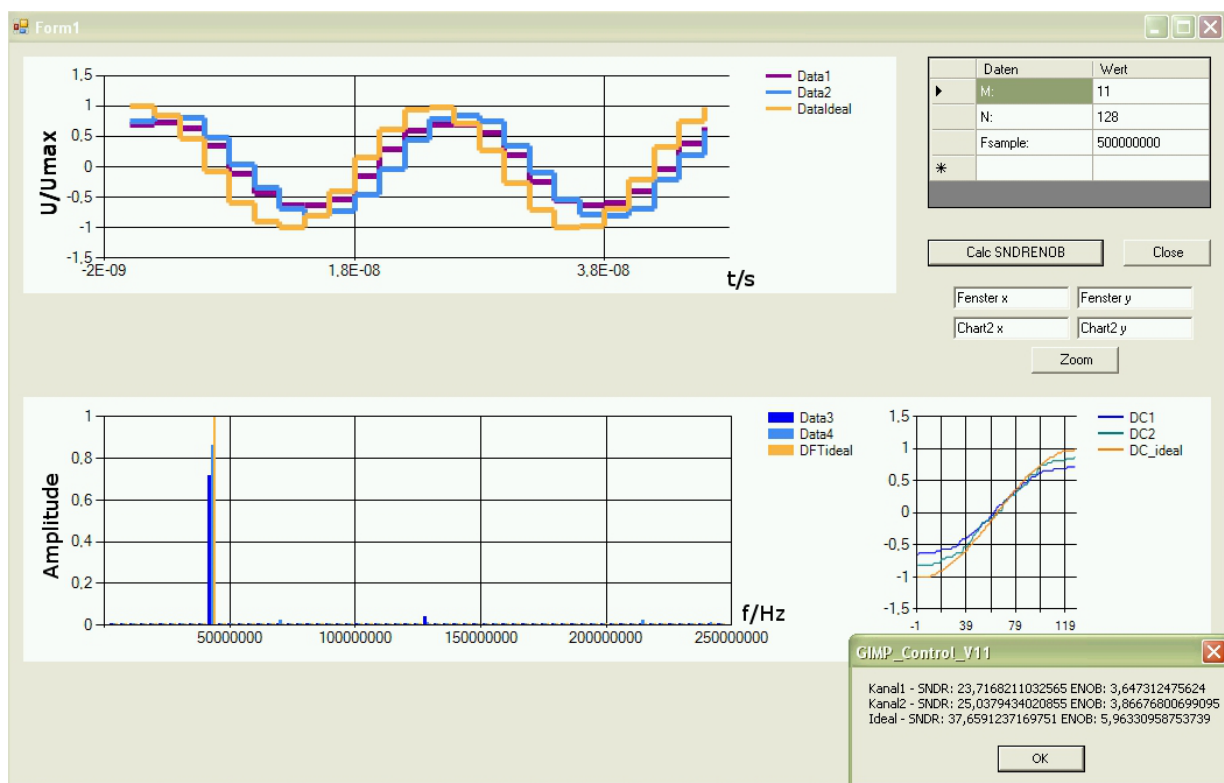


Abbildung 4.26: Signalverlauf, DFT und effektive Auflösung des Wandlers Version 2 bei 2,0 GS/s (0,5 GS/s pro Kanal) und bei niedriger Eingangssignalfrequenz ($k=11$) - ohne Kalibrierung, Ausgabe der Messsoftware chIMP

Nach Gleichung 2.24 wird die Eingangsfrequenz hier auf den Signalindex $k = 11$ des Einzelkanals gelegt. Gemäß der hier gewählten Genauigkeit der DFT von $N = 128$ Abtastwerten ergibt sich somit eine Eingangsfrequenz von 42,96875 MHz. Die Abbildung zeigt den Verlauf des digitalen Ausgangssignals für die sinusförmige Anregung ohne Kalibrierung. Die Messumgebung chIMP gibt dabei sowohl den Verlauf des Signals im Zeitbereich (Data1 für Kanal 1 und Data2 für Kanal 2) als auch automatisch den über die DFT ermittelten Frequenzgang (Data3 für Kanal 1 und Data4 für Kanal 2) aus. Weiterhin werden im unteren rechten Teil des Ausgabefensters die Werte der ermittelten Sinusfunktion

der Größe nach sortiert ausgegeben. Im Idealfall entspricht dies für die gewählte DFT einer sinusförmigen Funktion mit 128 Abtastwerten mit jeweils gleichem Abstand. Die Sinusform ergibt sich aus der Häufigkeit des Auftretens. Im unkali-brierten Fall ergibt sich eine effektive Auflösung ENOB von 3,65 und 3,87 bit.

Mithilfe diverser Kalibrierungsdurchläufe der Messumgebung kann die Auflösung gesteigert werden. In Abbildung 4.27 ist das Ergebnis für den gleichen Wandler nach dem Durchlauf von sieben Optimierungsdurchgängen zu sehen.

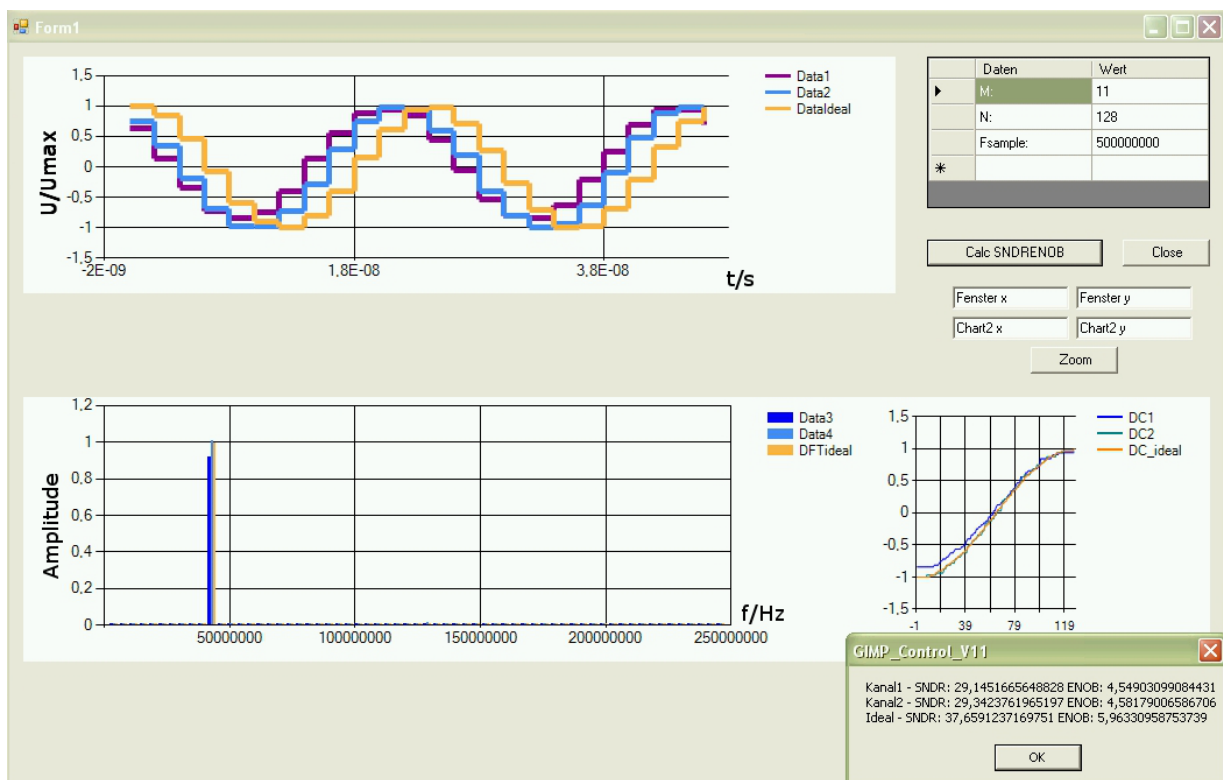


Abbildung 4.27: Signalverlauf, DFT und effektive Auflösung des Wandlers Version 2 bei 2,0 GS/s (0,5 GS/s pro Kanal) und bei niedriger Eingangssignalfrequenz ($k=11$) - mit Kalibrierung, Ausgabe der Messsoftware chIMP

Die Auflösung hat sich mit 4,55 und 4,58 bit um 0,9 bzw. 0,7 bit steigern lassen. Die Häufigkeitsverteilung gibt Aufschluss darüber, ob noch weitere Optimierungen möglich sind. Einerseits sind die Lücken kleiner geworden, andererseits nehmen die beiden Kurven noch nicht den idealen Verlauf ein. Bessere Ergebnisse sind hier ggf. mit neuen Startwerten oder einem anderen Optimierungsalgorithmus zu erzielen, da durch die stufenweise Exhaustionsmethoden-Taktik an den verschiedenen Eingriffspunkten im Wandler ggf. ein lokales dem globalem Auflösungsmaxima vorgezogen wird.

Abbildung 4.28 zeigt den gleichen Wandler mit denselben Kalibrierungsparametern.

tern im kalibrierten Fall bei 18 GS/s Gesamtwandlerrate. Pro Kanal bzw. Einzelwandler ergibt sich eine Abtastrate von 4,5 GS/s. Als Signalindex wird hier $k = 2$ gewählt, es ergeben sich ENOB-Werte von 4,27 bit für Kanal 1 und 4,29 bit für Kanal 2 bei einer Eingangsfrequenz von 70,3125 MHz.

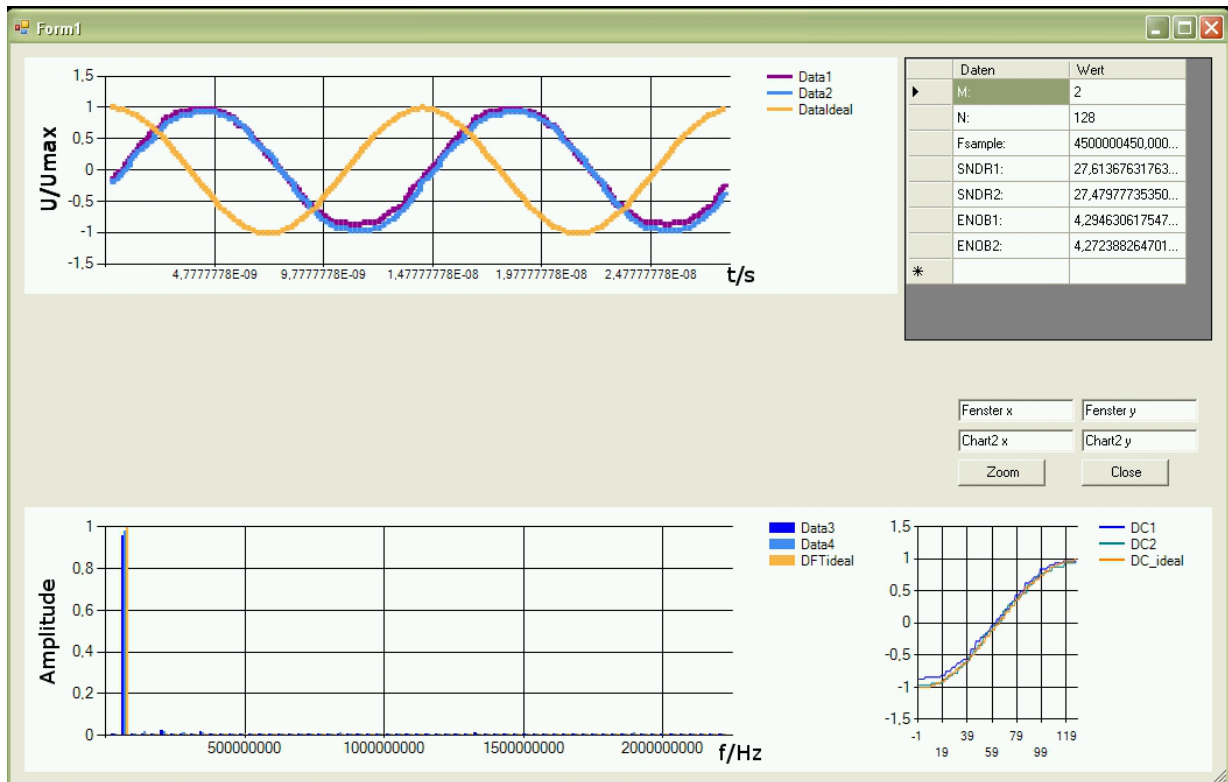


Abbildung 4.28: Signalverlauf, DFT und effektive Auflösung des Wandlers bei 18,0 GS/s (4,5 GS/s pro Kanal) und bei niedriger Eingangssignalfrequenz ($k=2$) - mit Kalibrierung, Ausgabe der Messsoftware chIMP

5 Vergleich und Bewertung der Ergebnisse

In diesem Kapitel werden zunächst die verschiedenen erzielten Ergebnisse zusammengefasst. Darauf aufbauend werden die erzielten Messergebnisse anschließend bewertet und es werden Optimierungsmöglichkeiten für die Wandler und das Messsystem beschrieben. Den Abschluss bildet ein Vergleich zum Stand der Technik (engl.: State of the Art).

5.1 Zusammenfassung und Bewertung der Simulations- und Messergebnisse

Einen Vergleich der dynamischen Schaltplansimulationsergebnisse mit extrahierten RC-Elementen und Kopplungskapazitäten der beiden Wandlerversionen zeigt Abbildung 5.1. Bereits ohne parasitäre Elemente durch den Maskenentwurf der Schaltung tritt bei Wandler Version 1 eine deutliche Reduktion der effektiven Auflösung für höhere Frequenzen auf. Diese Reduktion ist bedingt durch die begrenzte Einschwingzeit der schneller getakteten Subwandler der zweifach zeitverschachtelten Version. Die Subwandler haben durch den niedrigen Parallelisierungsgrad nur halb so viel Zeit zum Einschwingen auf einen geforderten Endwert im Vergleich zu Wandler Version 2. Mithilfe des höheren Parallelisierungsgrades und der Eingangsbaumstruktur, welche stufenweise die Last der Subwandler zum Eingang hin verringert, kann dieser Effekt bei Wandler V2 verringert werden. Dadurch bleibt der zweite Wandler auch im zweiten Nyquist-Band ($f_{Nq} < f_e < 2 \cdot f_{Nq}$) auf Schaltplanebene mit extrahierten RC-Elementen über der Spezifikation des 100GET-Projektes.

Die Bandbreitenbegrenzung des ersten Wandlers führt bei Eintonsimulationen mit steigender Frequenz zum Ansteigen der dritten Harmonischen im Frequenz-

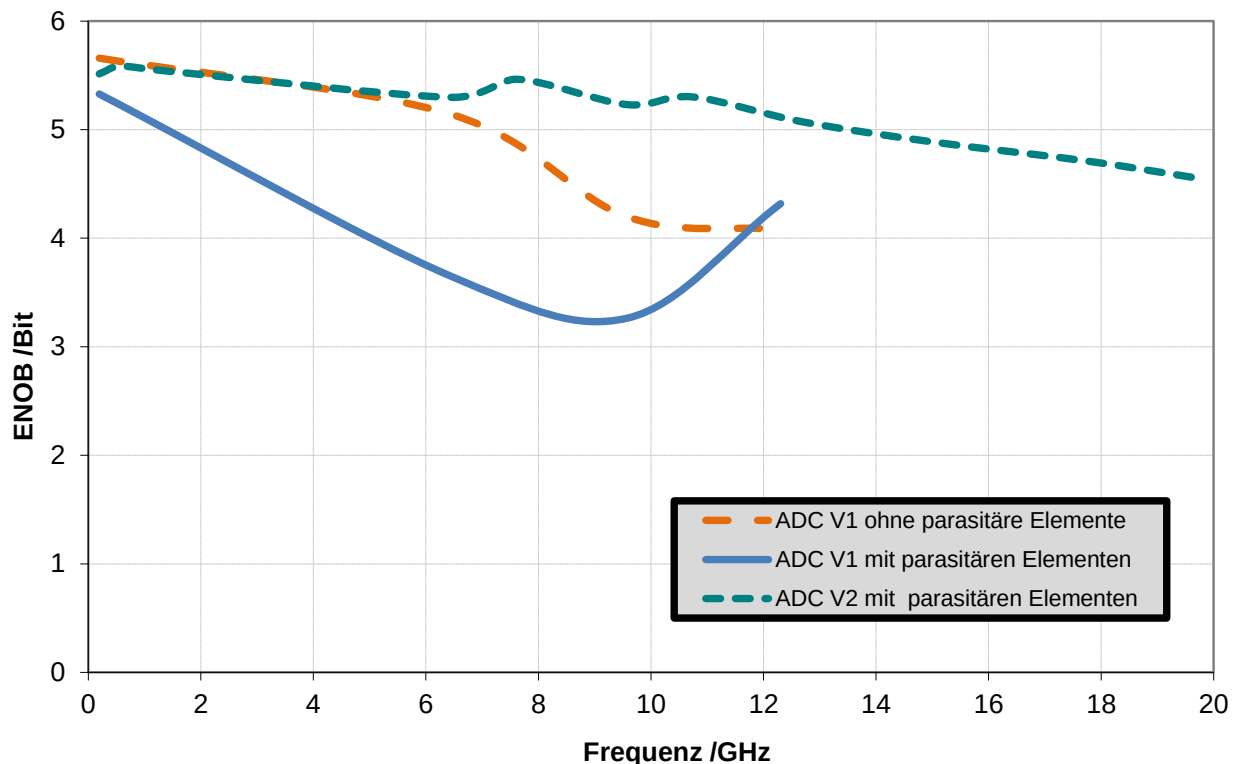


Abbildung 5.1: ENOB von ADU V1 & V2 im Vergleich - Simulationsergebnisse auf Schaltplanebene und mit extrahierten RC-Elementen und Kopplungskapazitäten

bereich. Als Harmonische werden die Vielfachen der Signalfrequenz bezeichnet, wobei die dritte Harmonische die statischen und dynamischen Nichtlinearitäten am meisten widerspiegelt [68]. Gleichzeitig führt die Begrenzung zur Reduktion der Signalamplitude, also der Energie im Signalindex selbst. Zusätzliche Kapazitäten in den Zwischenknoten durch den Maskenentwurf führen so in der Resimulation in Abbildung 3.17 zu dem starken Einbrechen der effektiven Auflösung im Bereich der halben Nyquist-Frequenz. Die halbe Nyquist-Frequenz des Gesamtwandlers entspricht der Nyquist-Frequenz der Subwandler der zweifach zeitverschachtelten Version. Hier muss im ungünstigsten Fall bei zwei aufeinanderfolgenden Abtastwerten der komplette Spannungsbereich durchlaufen werden.

Die Funktionalität beider gefertigter Wandlerprototypen ist grundsätzlich gegeben. Im Komparatorbetrieb, d.h. bei Kurzschluss der Referenzspannungsleiter, lässt sich bei ADU V1 eine PRBS-Folge auf dem Wafer-Kontaktierungstestgerät bei Abtastraten bis zu 24 GS/s am Ausgang fehlerfrei detektieren (vgl. Abbildung 4.20). Die zweite Wandlerversion ADU V2 liefert diese Ergebnisse nur bis ca. 10 GS/s, das zugehörige Augendiagramm zeigt Abbildung 4.25. Grund dafür ist die schlechte elektrische Anbindung der Wandler auf dem Wafer-

Kontaktierungstestgerät. Diese wird vor allem durch die Padverteilung (vgl. Abbildung 3.20 und Datenblätter in Anhang A.4 und A.5) verursacht. Auf dem Wafer-Kontaktierungstestgerät können lediglich die äußeren Padreihen kontaktiert werden, die zusätzlichen Pads in der zweiten Reihe bleiben offen. Weiterhin ist die sichere Kontaktierung mit sehr breiten Tastköpfen [69] aufwendig und für höhere Leistungsaufnahmen durch thermische Effekte oft nicht von langer Dauer. Daher wird zur weiteren Vermessung auf einen festen Aufbau der Wandler auf einer Platine gesetzt.

Die statischen Charakteristika DNL und INL lassen sich mithilfe der Kalibrierung entscheidend verbessern. So verringert sich die DNL auf Werte unter 3 LSB und die INL auf Werte unter 2 LSB unter Aussparung der äußersten Randbereiche (vgl. Abbildung 4.23). Dies entspricht ziemlich genau den optimalen Werten, die durch den in Kapitel 3.1.5 vorgestellten T2B zugelassen werden. Eine weitere Verbesserung ist bei einer Optimierung des Kalibrierungsverfahrens, welches bis dato rein auf einer Exhaustionsmethode basiert, wahrscheinlich.

Analog dazu verbessern sich mithilfe der Kalibrierung auch die dynamischen Eigenschaften. Bei niedrigen Abtastraten von 500 MS/s je Sub-ADU können die SNDR-Werte von 23 bzw. 25 dB in Abbildung 4.26 auf Werte über 29 dB in Abbildung 4.27 optimiert werden. Ähnliche Verbesserungen lassen sich auch bei hohen Abtastraten, in Abbildung 4.28 für 18 GS/s Gesamtwandlerrate gezeigt, erzielen.

Problematisch zeigt sich der komplexe Aufbau des Systems. Der große Aufbau ist durch die vier zusätzlichen Demultiplexer, welche alle unterschiedlich getaktet werden, zum Teil nicht oder nur ungenau mit dem Messsystem synchronisierbar. Dies ist u.a. abhängig von der Kühlung und der Qualität der fünf Chiptakte. Durch Jitter und kleine Phasenverschiebungen der Taktsignale oder zu langsam ansteigende und abfallende Taktsignale kommt es immer wieder zu fehlenden Signalen. Weiterhin spielt ihre Phasenlage zu den Ausgangsdatenströmen des ADU eine wichtige Rolle. Zwar bietet jeder Demultiplexer die Möglichkeit, die Ausgangsdaten bei unterschiedlichen Phasenlagen abzutasten, allerdings gestaltet sich die Synchronisation bei vier Demultiplexern mit je eigenem Takt und eigener Phasenlage äußerst kompliziert. Durch Vertauschen der Demultiplexerdatenströme kann es u.a. zum Vermischen zweier Kanäle kommen, d.h. die oberen 3 bit von Subwandler 1 werden mit den unteren 3 bit von Subwandler 2 zu einem Ausgangssignal zusammenaddiert. Bei niedrigen Eingangsfrequenzen hat dies fast keinen Einfluss auf die effektive Auflösung, da die beiden Subwandler weitestgehend die gleichen Spannungswerte abtasten. Wird die Frequenz gesteigert,

kann der Effekt in Extrembereichen zum Auslöschen oder starken Verfälschen der Signale führen. Dies ist bedingt durch das dann entgegengesetzte Schalten der beiden Subwandler.

Die Simulationsergebnisse der beiden Wandler zeigen, dass die Realisierung von hochbitratigen Wandlern mit dem Parallel-A-D-Wandlerkonzept möglich ist. Durch die Baumstruktur in Version 2 kann die Bandbreite vergrößert werden. Die Funktionalität der beiden Wandler ist weitgehend gegeben. Leider kommt es bei der Vermessung zu Einschränkungen, vor allem bedingt durch Probleme mit elektrostatischer Entladung (engl.: Electrostatic Discharge, ESD) und beispielsweise ein nicht programmierbares Register in ADUV1. Die im 100GET-Projekt gewünschten Abtastraten können näherungsweise erreicht werden. Für Entwurf 1 werden Messungen mit Abtastraten bis 24 GS/s gezeigt, für Entwurf 2 Messungen bis 18 GS/s. Dabei kann durch die entwickelten und implementierten Kalibrierungseingriffe die effektive Auflösung gesteigert werden, allerdings werden noch nicht die Ergebnisse entsprechend den Simulationen erreicht. Bessere Werte lassen sich hier ggf. durch eine andere Kalibrierungsstrategie erreichen. Dennoch können die verwendeten indirekten Eingriffsmöglichkeiten in den analogen Pfad durch kleine Kalibrierungs-DAUs in der Referenzspannungsleiter und dem Verstärkerbaum Fehlpassungen kompensieren und somit die Auflösung signifikant erhöhen.

5.1.1 Optimierungsmöglichkeiten

Dieses Kapitel gibt einen kurzen Überblick über die Optimierungsmöglichkeiten, welche direkt aus den Simulations- und Messergebnissen folgen.

5.1.1.1 Optimierungsmöglichkeiten A-D-Umsetzer

Reduzierung der Leistungsaufnahme oder Erhöhung der Anzahl der Pads

Bereits bei einfachen Messungen auf dem Wafer-Kontaktierungstestgerät fallen auf den Versorgungsleitungen und den Kontaktierungsnadeln der Tastköpfe zum Teil über 200 mV Spannung ab. Gleichzeitig verursachen leichte Unebenheiten oder ein nichtplanes Aufliegen der Tastköpfe ein unsicheres und ungleiches Kontaktieren der vielen Kontaktstellen. Im festen Messaufbau zeigt sich ein ähnliches Verhalten, allerdings sind hier die Kontaktierungen durch Bonddrähte gesichert. Ähnliches zeigt sich für die Signalpads. Eine sichere Detektion und Speicherung der mit 12,5 Gbit/s ausgegebenen vielfach parallelen Daten ist äußerst aufwendig. Daher sind für die weitere Entwicklung von A-D-Wandlern mit Echtzeitschnittstellen ggf. mehr Pads, sowohl für die Spannungsversorgung als auch für die Signalabführung, vorzusehen. Dadurch kann der Spannungsabfall zum Chip reduziert, eine gleichmäßigere Spannungsversorgung des Chips erreicht und die Datenrate pro Schnittstelle reduziert werden.

Implementierung längerer PRBS-Sequenzen

In der zweiten Wandlerversion ist die Synchronisation mit zwei Halbraten-PRBS-Generatoren umgesetzt. Diese werden durch Setzen eines Startbits im Register aktiviert. Dabei ist nicht sichergestellt, dass die beiden Generatoren gleichzeitig loslaufen. Es kann gezeigt werden, dass die Generatoren, bedingt durch die langen Leitungen vom Register zu den beiden PRBS, mehrere Bit weit auseinanderlaufen. Dies führt zu einer weiteren Verschiebung der Ausgangsdaten zusätzlich zu den Leitungsdifferenzen und den internen Verschiebungen in den RIO-Schnittstellen. Ähnliches gilt für eine weitere Erhöhung der Ausgangsdatenraten,

da dabei vor allem die Längendifferenzen einen größeren Einfluss einnehmen. Daher ist bei weiteren Wandlern ggf. eine längere PRBS-Sequenz vorzusehen.

Erweiterung der Kalibrierungseingriffsstellen

Die vorgesehenen Kalibrierungseingriffe sind zur Erzielung der Anforderungen ausreichend. Allerdings lassen sich durch weitere Eingriffe, vor allem in der ersten Interpolationsstufe, ggf. fehlende Codewechsel vermeiden und die Werte von DNL und INL weiter optimieren.

Erhöhung der Bandbreite

Durch eine weitere Reduzierung der Eingangskapazität des Gesamtwandlers und der Teilwandler kann die Bandbreite weiter erhöht werden. Dies kann einhergehen mit der Erweiterung der Kalibrierungseingriffsstellen, da eine Reduktion der Gattergrößen zu einer Vergrößerung der Fehlpassungen führt. Dadurch kann gleichzeitig auch die Leistungsaufnahme reduziert werden.

Integration eines Messspeichers

Zur Reduktion der Komplexität des Messsystems kann ein einfacher Speicher an den Ausgängen integriert werden. Das Auslesen kann dann, ähnlich zum Kalibrierungsregister, über einen einfachen Bus erfolgen. Durch das Wegfallen der vielen parallelen Ausgangsschnittstellen wird die Verlustleistung auf dem Chip stark reduziert, weiterhin benötigt der Wandler wesentlich weniger Chipfläche.

5.1.1.2 Optimierungsmöglichkeiten Messsystem

Nutzung neueres FPGA-Board

Für die Vermessung der Wandler auf dem Testaufbau wird ein Virtex4 [25] FPGA-Board der Firma Xilinx genutzt. Hierbei besteht durch die RIO-Schnittstellen eine Begrenzung der Datenrate auf 6,5 Gbit/s. In der Zwischenzeit sind FPGAs mit Schnittstellen für höhere Datenraten verfügbar. So verfügt ein aktuelles Virtex6-FPGA-Board [70], ebenfalls von Xilinx, über 24 so genannte GTH-Tranceiver. Diese Schnittstellen sind für Datenraten von 11,18 Gbit/s ausgelegt. Durch Nutzung eines solchen Boards kann ein Großteil des Messsystems entfallen. Demultiplexer sind für die Vermessung von Datenraten unter 22,36 GS/s nicht mehr nötig, wodurch dann ebenfalls die Dünnschichtplatine des großen Aufbaus entfallen kann.

Implementierung von ESD-Schutzmaßnahmen

Auf den beiden A-D-Wandler-Testchips wird weitgehend auf Schutzmaßnahmen gegen ESD verzichtet. Dies führt bei der Vermessung häufig zu Problemen durch teilweise oder ganze Zerstörung von Eingangsstrukturen auf den Chips. Daher ist eine externe Absicherung, zum Beispiel durch Schutz- oder Supressordioden, nötig.

5.2 Vergleich zum Stand der Technik

Tabelle 5.1 zeigt einen Vergleich der beiden Wandlerversionen mit verschiedenen hochbitratigen Parallel-A-D-Umsetzern. Der Fokus liegt hier im Vergleich mit Wandlern der gleichen oder weitestgehend ähnlichen Architektur. Populäre Vergleiche der aktuell schnellsten Wandler verschiedener Wandlerarchitekturen finden sich in [71][72].

Auffallend ist die nominelle Auflösung aller in der Tabelle gezeigten Parallelwandler. Sie ist unabhängig vom Anwendungsfall bei den meisten Wandlern dieses Typs auf 6 bit beschränkt. Ursache ist der stark ansteigende Bauteilaufwand und der ebenfalls sehr stark ansteigende Kalibrierungsaufwand bei höheren Auflösungen. Weiterhin besitzen alle Wandler mit Abtastraten über

Tabelle 5.1: Stand der Technik von Parallel-A-D-Umsetzern

Referenz	[73]	[74]	[75]	[76]	[77]	[78]	[79]	[80]	[81]	[82]	[35] ADUV1 Si- mulation	[38] ADUV2 Si- mulation	ADUV2 Messung
Nominelle Auflösung n /bit	2012	2009	2008	2010	2010	2009	2008	2008	2008	2011	2009	2011	6
	6	6	?	5	6	4,5	6	5	6	3	6	6	6
f_S /GS/s	25	10,3	0,4	12	16	7,5	0,8	1,75	5	36	25	25	0-18
$f_{S,Kanal}$ /GS/s	3,125	2,575	0,4	1,5	2	7,5	0,8	1,75	5	9	12,5	6,25	0-6
ENOB @DC /bit	5,5	5,22	5,56	4,28	4,82	3,94	5,52	4,84	5,19	2,2	5,3	5,5	bis zu 4,5 je Kanal
ENOB @f_{Nq} /bit	?	4,96	5,56	3,88	?	3,80	5,30	4,61	5,02	1,87	3,7	5,0	??
Chipgröße lmm^2	75	-	2	-	-	-	-	-	-	5	3,99	3,99	3,99
Kerngröße lmm^2	-	3	-	0,44	1,47	0,01	0,13	0,0308	0,3	0,166	0,3	0,75	0,75
Verlustleistung P_W	0,5	0,39	1,6 μ	0,081	0,435	0,052	0,012	0,0076	0,32	2,6	2,7	2,3	2,5
Betriebsspannung U_{DD} /V	-	1	0,2-0,9	1,1	1,5	1,1	1,2	1	1,2	1,5	1,25+1,75	1,25+1,75	1,25+1,75
Eingangsspannungsbereich $U_{e,FS}$ /V	-	-	0,1?	0,59	-	0,8	-	-	-	0,8	0,5	0,2	0,2-0,3
Parallele Teilwandler	8	4	1	8	8	1	1	1	1	4	2	4	4
Prozess	40 nm CMOS	65 nm CMOS	180 nm CMOS	65 nm CMOS	65 nm CMOS	65 nm CMOS	65 nm CMOS	90 nm CMOS	65 nm CMOS	65 nm LP-CMOS	90 nm CMOS	90 nm CMOS	90 nm CMOS
Beschreibung und Besonderheiten	Parallelumsetzer (ohne Interpolation etc.) + Kalibrierung	Parallelumsetzer (ohne Interpolation etc.) + Kalibrierung + 5-bit Modus möglich	Reiner Parallelumsetzer (ohne Interpolation etc.) mit Niederfrequenzverbrauch-Modus	Parallelumsetzer mit Hintergrundkalibrierung der festen zeitlichen Abweichungen	Parallelumsetzer, großer Einfluss der Kalibrierung	Parallelumsetzer, großer Einfluss der Kalibrierung und Abstimmung des Abtastverhältnisses	Parallelumsetzer mit Gleichtaktpegel-Referenzspannungs-Kalibrierung	Parallelumsetzer mit implementiertem Ungleichgewichts- und Versatz-Kalibrierung	Parallelumsetzer mit induktiv überhöhtem analogen Eingang	Reiner Parallelumsetzer ohne Kalibrierung	Parallelumsetzer mit Interpolation, Offline Vorgegründ-Kalibrierung der Referenzspannungsteiler	Parallelumsetzer mit Interpolation, Offline Vorgegründ-Kalibrierung der Referenzspannungsteiler und der analogen Eingangsbaumstruktur	

10 GS/s [73][74][76][77] vier oder mehr Subwandler und eine Möglichkeit zur Kalibrierung. Der erste Wandler [73] entspricht, von seiner Spezifikation bzw. den äußeren Kenndaten nach, am ehesten den in dieser Arbeit gezeigten Wandlern. In Abbildung 5.2 sind die sich ergebenden FOM-Werte nach Gleichung 2.38 über der Abtastrate aufgetragen. Der Wandler ADU V2 ist in drei Punkten dargestellt. Zunächst ist die Messung der Einzelkanäle gemäß Abbildung 4.28 dargestellt. Weiterhin ist eine einfache Projektion der Messergebnisse von einem Kanal auf vier Kanäle aufgeführt. Diese hat nur Gültigkeit, wenn die vier Kanäle des Wandlers gut aufeinander abgestimmt sind, also die Differenz der Kanäle zueinander nicht größer ist als die Fehlpassungen. Der FOM-Wert bleibt bei dieser Projektion gleich, wandert nur auf der y-Achse, welche die Abtastrate beschreibt, auf den vierfachen Wert. Grund ist, dass sich sowohl die Abtastrate als auch die Verlustleistung linear auf den vierfachen Wert erhöhen. Bei der Berechnung der FOM wird jeweils einer der beiden Faktoren in Zähler und Nenner berücksichtigt.

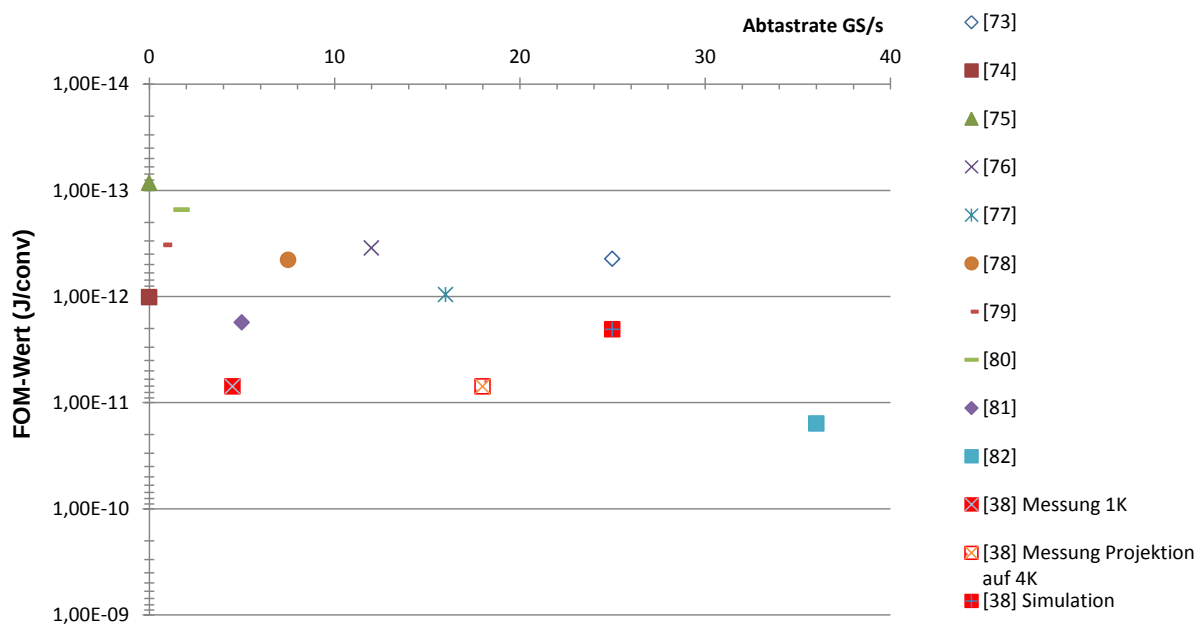


Abbildung 5.2: FOM-Werte vs. Abtastrate für Tabelle 5.1

Als dritter Punkt sind die Simulationsergebnisse nach Tabelle 5.1 aufgeführt. Bei der Simulation werden keine Fehlpassungen berücksichtigt, weshalb sie hier den maximal erzielbaren Wert mit diesem Wandler darstellen.

Hauptgrund für die große Differenz zu Wandler [73] ist die Verlustleistung. Sie beträgt bei diesem Wandler nur 0,5 W pro Kanal, wodurch sich ein um den Faktor 4 besserer Wert im Vergleich zum Simulationswert von ADU V2 einstellt. Die Differenz ist dabei auch zum Teil abhängig von der Berücksichtigung bzw. Nicht-

berücksichtigung diverser Schaltungsteile. So wird bei [73] nur der ADU-Kern mit der Leistungsaufnahme berücksichtigt. Es ist unklar, ob die Taktgenerierung und die Kalibrierung wie bei ADU V2 mit berücksichtigt sind. Ausgangstreiber benötigt der Wandler durch seine Einbettung in einen digitalen Gesamtchip erst gar nicht. Nachteilig wirkt sich bei diesem Wandler die hohe Eingangskapazität durch die vielen parallelen Wandler ohne Interpolation aus. Bereits bei Eingangsfrequenzen von ca. 8-9 GHz fällt die Auflösung stark ab. Ähnlich verhält es sich mit dem A-D-Wandler in [77]. Die Ein- und Ausgangsschnittstellen werden für die Angabe der Gesamtleistungsaufnahme herausgerechnet. Weiterhin fällt die Auflösung bei ca. 3 GHz Eingangssignalfrequenz stark ab.

Der schnellste aufgeführte Parallelwandler [82], ebenfalls im INT entwickelt, bietet Abtastraten bis 36 GS/s. Das Anwendungsgebiet ist jedoch, durch die geringe Auflösung von etwas mehr als effektiv 2 bit, auf OOK-Systeme ohne höhere Modulationsarten beschränkt. Zur Vermeidung einer Kalibrierungsstufe wird hier auf große Strukturen gesetzt, die wiederum viel Leistung verbrauchen. Dies führt zu einem relativ schlechten FOM-Wert trotz sehr hoher Abtastraten.

Die weiteren vorgestellten Parallel-A-D-Umsetzer weisen alle niedrige oder mittlere Abtastraten bis 12 GS/s auf. Mit ihren zum Großteil sehr guten FOM-Werten können diese Wandler in diversen Anwendungen, durch ihren niedrigen Leistungsverbrauch und auch die zum Teil geringe Größe, gegebenenfalls mit den Niedrigenergie-A-D-Strukturen SAR und Mehrschritt-Wandler konkurrieren. Auch eine Parallelisierung wie in dieser Arbeit ist für diese Wandler denkbar.

Die Simulationsergebnisse von ADU V2 zeigen die maximal erreichbaren Kennzahlen für diesen Wandler, da Fehlpassungen nicht berücksichtigt sind. ADU V1 kann hier nicht ausgewertet werden, da eine Kalibrierung und somit eine sinnvolle dynamische Vermessung nicht möglich sind. Die Messergebnisse von ADU V2 gehen in Richtung der Simulationsergebnisse, lassen sich jedoch durch ein besseres Kalibrierungsverfahren unter Umständen noch verbessern.

6 Zusammenfassung

Diese Arbeit befasst sich mit der Theorie, der Entwicklung und der Vermessung von hochbitratigen CMOS-Analog-Digital-Wandlern. Dabei liegt durch die Entwicklung von zwei Parallel-A-D-Wandlern ein besonderer Fokus auf dieser Wandlerstruktur und auf Schaltungskomponenten zur Erweiterung dieser Architektur. Basierend auf dem Projekt 100GET werden zwei Parallelwandler mit nominaler Auflösung von 6 bit und einer Zielwandlerrate von 25 GS/s konzipiert und aufgebaut. Die A-D-Wandler besitzen Echtzeitschnittstellen, welche nicht nur zum Test, sondern auch für Echtzeit-Übertragungsexperimente verwendet werden können. Aufgrund der daraus resultierenden hohen Ausgangsdatenraten wird ein eigenes Messsystem auf Basis eines FPGA realisiert. Die Wandler an sich lassen sich als Einzelblöcke direkt mit großen digitalen Rechenkernen auf einem Chip integrieren, wodurch sich sowohl die Kosten als auch die Komplexität im Vergleich zu Multichipmodulen stark reduzieren.

In Kapitel 1 werden die Anwendungsgebiete von schnellen A-D-Wandlern vorgestellt und es wird aufgezeigt, dass den Wandlern in aktuellen und wohl auch zukünftigen Übertragungs-, Mess- und Radarsystemen eine Schlüsselposition zufällt. Durch die Verlagerung immer mehr analoger Funktionen in den Bereich der digitalen Signalnachverarbeitung werden die Anforderungen an die Schnittstelle zwischen analoger und digitaler "Welt" immer größer. Weiterhin werden in diesem Kapitel die Ziele des zugrundeliegenden Projekts 100GET erläutert, woraus sich direkt die Anforderungen an die entworfenen Testwandler ADU V1 und ADU V2 ergeben. Grob lassen sich die Anforderungen direkt aus dem gewünschten Funktionsbaustein ablesen. Dies ist ein 25 GS/s 6 bit Parallelwandler mit einer Bandbreite über der Nyquistfrequenz, Echtzeitschnittstellen, einer niedrigen Leistungsaufnahme unter 3 W und einem niedrigen Flächenbedarf unter 1 mm² in einer 90 nm CMOS-Technologie.

Kapitel 2 befasst sich mit den theoretischen Grundlagen. Dazu werden zunächst verschiedene A-D-Wandlerstrukturen mit ihren jeweiligen Merkmalen vorgestellt, die geeignet sind, hohe Abtastraten zu erzielen. Dazu zählen neben Mehrschritt-,

Hybrid- bzw. Faltungs- und Parallel-A-D-Wandlern auch stark zeitverschachtelte langsamere Umsetzertypen, wie beispielsweise A-D-Wandler mit sukzessivem Approximationsregister. Anschließend werden die wichtigsten statischen und dynamischen Eigenschaften und Charakteristika von A-D-Wandlern - wie beispielsweise die integrale und differentielle Nichtlinearität (INL und DNL), das Signal-zu-Rausch-und-Störverhältnis (SNDR) oder die effektive Auflösung (ENOB) - erläutert. Abschließend werden verschiedene Störeinflüsse, wie beispielsweise Schwellenspannungsverschiebungen über der Temperatur, beschrieben. Dabei liegt hier der Fokus vor allem auf Einflüssen und Effekten, welche in CMOS-Schaltungen auftreten.

Im folgenden Kapitel 3 wird die Parallel-A-D-Wandler-Architektur genauer erläutert und vertieft. Verschiedene Konzepte zur Erweiterung der einfachen Parallel-Architektur, wie beispielsweise eine die Auflösung erhöhende Interpolation, werden eingeführt. Anschließend werden die erläuterten Konzepte auf zwei A-D-Wandler-Testchips umgesetzt. Der erste Wandler ADU V1 ist als zweifach zeitverschachtelter Umsetzer mit Interpolation von 3 auf 6 bit in einer 90 nm CMOS-Technologie ausgeführt. Zusätzlich sind die Pegel der Referenzspannungsleiter mithilfe von kleinen Digital-Analog-Umsetzern (DAU) kalibrierbar. Dies hat den großen Vorteil, dass kein direkter Eingriff in den analogen Pfad des Wandlers erfolgt und somit fast keine negativen Effekte, wie beispielsweise ein Bandbreiterverlust durch die Kalibrierungseingriffe, auftreten. Weiterhin wird ein gegenüber Blasenfehlern nicht empfindlicher Thermometer-zu-Binär-Kodierer eingebaut, welcher auf einer direkten Multiplexerstruktur basiert. Aufgrund der hohen Wandlungsraten in den Sub-ADUs in ADU V1 kommt es zu einer Bandbreitenbegrenzung durch die Sub-ADUs selbst.

Die zweite Wandlerversion ADU V2 beruht weitestgehend auf den bereits in ADU V1 vorgestellten und umgesetzten Konzepten und Komponenten. Allerdings wird anstatt einer zweifachen eine vierfache Zeitverschachtelung gewählt, da sich so die harten Geschwindigkeitsanforderungen von 12,5 GS/s pro Kanal auf 6,25 GS/s reduzieren lassen. Weiterhin wird vor den parallelen Komparatoren eine Baumstruktur implementiert, welche aus linearisierten Verstärkern aufgebaut ist. Die Linearisierung erfolgt durch eine Source-Degeneration des differentiellen nFET-Paares einer CML-Grundzelle. Durch die Degenerationswiderstände sind die Verstärker ebenfalls mithilfe von DAUs kalibrierbar. Durch einseitiges Einbringen von Kalibrierungsströmen am differentiellen NMOS-Paar der CML-Verstärker kann der Nulldurchgang verschoben werden. Beidseitiges Einbringen von Strömen führt zu einer Erhöhung der Verstärkung. Die Baumstruktur führt zu

einer Reduzierung der Eingangskapazität des Gesamtwandlers.

Auch rein digitale Schaltungsteile, wie die zur Synchronisierung mit dem Messsystem benötigten Pseudozufallszahlengeneratoren, werden vorgestellt. Für ADU V1 ist eine direkte PRBS-Struktur ausreichend, während für ADU V2 aus Taktungs- und Synchronisierungsgründen eine modifizierte Halbraten-PRBS-Struktur bevorzugt wird.

Nach Behandlung der Schaltungskonzepte und Blockschaltbilder folgen bei beiden Wandlern eine kurze Erläuterung zum Maskenentwurf, ein Foto der fertig prozessierten Wandler-Chips und die jeweiligen erzielten Simulationsergebnisse. Die Simulation der extrahierten Maskenentwurfsnetzlisten mit Rauscheffekten zeigt für beide Wandler eine Auflösung von 5 bit bei niedrigen Eingangssignalfrequenzen. Bei Wandler ADU V1 ergibt sich durch Bandbreitenbeschränkungen eine Reduktion auf zum Teil 3,4 bit bei höheren Frequenzen. ADU V2 zeigt bis zur Nyquistfrequenz und darüber hinaus ENOB-Werte über 5 bit.

Die Vermessung und die ihr zu Grunde liegende Implementierung einer geeigneten Echtzeit-Messumgebung zeigt Kapitel 4. Aufgrund von sehr hohen Kosten kommerzieller Systeme zur Vermessung von schnellen A-D-Wandlern wird für die Vermessung der in Kapitel 3 vorgestellten Wandler ein am INT entwickeltes Messsystem verwendet. Dieses basiert auf der Nutzung eines Virtex4 FPGA-Evaluationsboards ML423 von Xilinx. Das VHDL-Design GIMP und die auf Pseudozufallszahlenfolgen basierende Synchronisierungsroutine werden mit den zugrundeliegenden Mechanismen erläutert.

Weiterhin werden die entwickelten Messaufbauten dargestellt und erläutert. Für erste Funktionstests wird eine kleine Taconic-Platine mit Kühlmöglichkeit durch ein Peltierelement entworfen. Dieser Aufbau ermöglicht jedoch nicht die Vermessung der maximal möglichen Wandlerrate der ADUs, da die maximalen Ausgangsdatenraten der Wandler von 12,5 Gbit/s nicht von den Schnittstellen des FPGA-Boards detektiert werden können. Die ADU-Chips werden bei diesem Aufbau durch eine Aussparung in der Platine direkt auf das Peltierelement geklebt und durch Gold-Bonddrähte mit der Platine verbunden. Der zweite Messaufbau basiert auf einem Dünnschicht-Keramik-Substrat. Darauf wird ein A-D-Wandler zusammen mit vier zusätzlichen Demultiplexern zur Reduzierung der Ausgangsdatenraten untergebracht. Die Chips sind ebenfalls in Vertiefungen verklebt und über Gold-Bonddrähte mit der Platine verbunden. Die Verbindung der Chips untereinander und mit den analogen Eingangssignalen erfolgt durch gekoppelte Mikrostreifen- und Koplanarleitungen. Die Dünnschichtplatine ist auf einer großen Taconic-Platine befestigt, auf welcher die digitalen Ausgangssigna-

le sternförmig verteilt werden und über SMP-Stecker abgegriffen werden können. Die Kontrolle der Messungen mit dem VHDL-Design und den Messaufbauten erfolgt mit dem Visual-Basic.Net-Programm chIMP. Es bietet diverse Kontroll- und Steuerfunktionen - beispielsweise lässt sich die Synchronisierung der Messumgebung mit dem FPGA-Design starten oder ein systematischer Durchkämungsalgorithmus zur Kalibrierung durchführen.

Anschließend werden die mit dem Messsystem erzielten Messergebnisse für die beiden entwickelten A-D-Umsetzer-Testchips und einen weiteren Testchip, welcher diverse Einzelkomponenten umfasst, vorgestellt. Obwohl, vor allem beim ersten A-D-Wandler-Testchip, diverse Probleme durch den komplexen und aufwendigen Aufbau der Wandler und des Messsystems auftreten, lassen sich für Wandler ADU V1 Abtastraten von 24 GS/s und für Wandler ADU V2 18 GS/s nachweisen. Weiterhin kann für ADU V2 mithilfe von diversen einfachen Kalibrierungsdurchläufen eine Auflösung von 4,5 bit für die Einzelkanäle bei niedrigen Abtastraten gezeigt werden. Bei einer Abtastrate von 18 GS/s zeigen die Kanäle noch eine Auflösung von 4,3 bit mit einer Verlustleistung von 2,5 W. Dies führt zu einem Gütefaktor (engl.: Figure of Merit, FOM) von 7,05 pJ pro Wandlungsschritt. Diese Werte lassen sich durch Optimierungen des Messsystems oder der A-D-Wandler selbst weiter optimieren.

Kapitel 5 fasst die erzielten Simulations- und Messergebnisse aus Kapitel 3 und 4 zusammen. Die erzielten Ergebnisse werden genauer bewertet und Optimierungsmöglichkeiten, sowohl für die A-D-Umsetzer als auch für die Vermessung bzw. für das Messsystem, werden erläutert. Die Arbeit abschließend erfolgt ein Vergleich der beiden Wandler zum Stand der Technik. Die beiden Wandler können zwar mit dem besten, vom Anwendungsfall her ähnlichen, Wandler in Bezug auf Leistungsverbrauch und ENOB-Werte nicht in jeder Beziehung mithalten, dennoch zeigen die Ergebnisse die Funktionalität und den Nutzen der entwickelten Konzepte. Ähnliche oder bessere Werte können mit den gleichen Strukturen durch einen kleineren Technologieknoten, kleinere Gattergrößen und durch mehr Kalibrierungseingriffe erzielt werden.

A Anhang

A.1 Zusammenfassung der wichtigsten Eigenschaften von MOSFETs

Abbildung A.1 zeigt die Schaltbilder eines n-Kanal- und eines p-Kanal-Anreicherungs-MOSFETs (engl.: Enhancement MOSFET) mit den vier Kontakten Gate (G), Bulk (B), Source (S) und Drain (D). Vereinfacht lässt sich ein MOSFET als spannungsgesteuerte Stromquelle betrachten. Bei einer großen Gate-Bulk-Spannung U_{GB} bildet sich eine Inversionsschicht unter dem Gatekontakt, wodurch sich ein leitender Kanal bildet (vgl. Abbildung A.2). In Abhängigkeit der quer anliegenden Spannungen U_{GS} und U_{DS} bewegen sich dann die Ladungsträger - Elektronen beim n-Kanal-MOSFET und Löcher beim p-Kanal-MOSFET - vom Drain- zum Source-Anschluss. Wird der Bulk- mit dem Source-

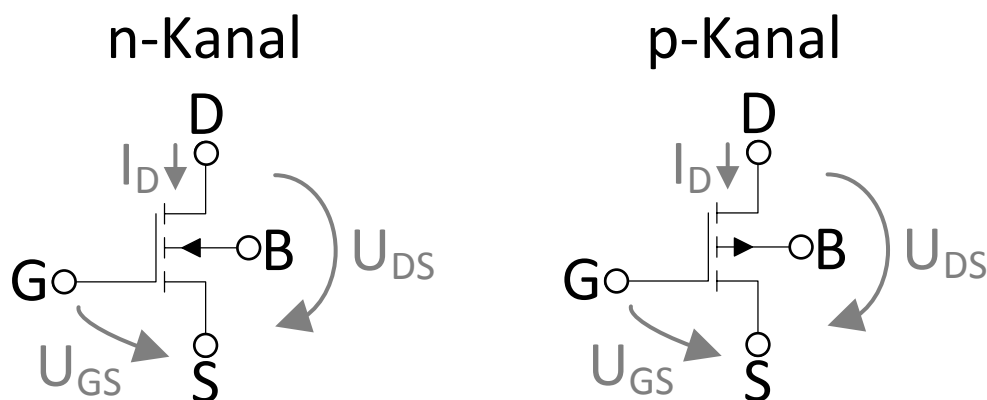


Abbildung A.1: Schaltbilder von n- bzw. p-Kanal-Anreicherungs-MOSFETs

Anschluss verbunden ($U_{BS} = 0\text{ V}$), ergeben sich drei einfach zu beschreibende Betriebszustände. Diese variieren in Abhängigkeit der Spannungsverhältnisse von Schwellenspannung U_{th} , Gate-Source-Spannung U_{GS} und Drain-Source-Spannung U_{DS} . Tabelle A.1 zeigt im oberen Teil die Stromgleichungen für die

Tabelle A.1: Oben: Stromgleichungen MOSFETs, Mitte: Parameter g_0 , g_m und g_{mb} des Kleinsignal-ESB, Unten: Wirksame Kapazitäten zwischen den verschiedenen Knoten

	n-Kanal-Typ	p-Kanal-Typ
Sperr- bzw. Subthresholdbereich $ U_{GS} \leq U_{th} $	$I_D = J_D \cdot A \approx 0\text{ A}$ für $U_{GS} \leq U_{tn}$	$I_D = -J_D \cdot A \approx 0\text{ A}$ für $U_{GS} \geq U_{tp}$
Linearer Bereich oder Widerstandsbereich $0\text{ V} \leq U_{DS} \leq U_{GS} - U_{th} $	$I_D = \beta_n \left[(U_{GS} - U_{tn}) U_{DS} - \frac{U_{DS}^2}{2} \right] (1 + \lambda_n U_{DS})$ für $0\text{ V} \leq U_{DS} \leq U_{GS} - U_{tn}$	$I_D = -\beta_p \left[(U_{GS} - U_{tp}) U_{DS} - \frac{U_{DS}^2}{2} \right] (1 - \lambda_p U_{DS})$ für $0\text{ V} \geq U_{DS} \geq U_{GS} - U_{tp}$
Sättigungsbereich $0\text{ V} \leq U_{GS} - U_{th} \leq U_{DS} $	$I_D = \frac{\beta_n}{2} (U_{GS} - U_{tn})^2 \cdot (1 + \lambda_n U_{DS})$ für $0\text{ V} \leq U_{GS} - U_{tn} \leq U_{DS}$	$I_D = -\frac{\beta_p}{2} (U_{GS} - U_{tp})^2 \cdot (1 - \lambda_p U_{DS})$ für $0\text{ V} \geq U_{GS} - U_{tp} \geq U_{DS}$

	Sättigungsbereich	Widerstandsbereich
$g_m = \frac{\delta I_D}{\delta U_{GS}}$	$g_m = \beta (U_{GS} - U_{th}) (1 + \lambda U_{DS})$	$g_m = \beta U_{DS} (1 + \lambda U_{DS})$
$g_{mb} = \frac{\delta I_D}{\delta U_{BS}}$	$g_{mb} = \left(\frac{\gamma}{2\sqrt{2 \Phi_F - U_{BS}}} \right) g_m$	$g_{mb} = \left(\frac{\gamma}{2\sqrt{2 \Phi_F - U_{BS}}} \right) g_m$
$g_0 = \frac{\delta I_D}{\delta U_{DS}} = \frac{1}{r_0}$	$g_0 = \frac{\lambda \beta}{2} (U_{GS} - U_{th})^2 \approx \lambda I_D$	$g_0 = \beta (U_{GS} - U_{th} - U_{DS}) + \beta \lambda \left((U_{GS} - U_{th}) U_{DS} - \frac{U_{DS}^2}{2} \right)$

	Sperrbereich	Sättigungsbereich	Widerstandsbereich
C_{total}	$C_{GB,0} = \frac{C_{GC} \cdot C_{CB}}{C_{GC} + C_{CB}}$	0 F	0 F
$C_{GB} =$	C_{OV}	C_{OV}	$\frac{C_{GC}}{2} + C_{OV}$
$C_{GD} =$	C_{OV}	$\frac{2C_{GC}}{3} + C_{OV}$	$\frac{C_{GC}}{2} + C_{OV}$
$C_{GS} =$	C_{jSB}	$\frac{2C_{CB}}{3} + C_{jSB}$	$\frac{C_{CB}}{2} + C_{jSB}$
$C_{SB} =$	C_{jDB}	C_{jDB}	$\frac{C_{CB}}{2} + C_{jDB}$
$C_{DB} =$			

in den bereits eingeführten Elementen beinhaltet betrachtet werden können. In Abhängigkeit vom Betriebsbereich muss die Kapazität C_{GB} in zwei serielle Teilkapazitäten, C_{GC} von Gate zum Kanal (engl.: Channel) und C_{CB} vom Kanal zum Bulk, aufgeteilt werden. Grund dafür ist das sich in der Mitte der beiden Knoten ein Zwischenknoten im Kanal bildet, der Einfluss auf die Größe und Verteilung der beiden Kapazitäten hat.

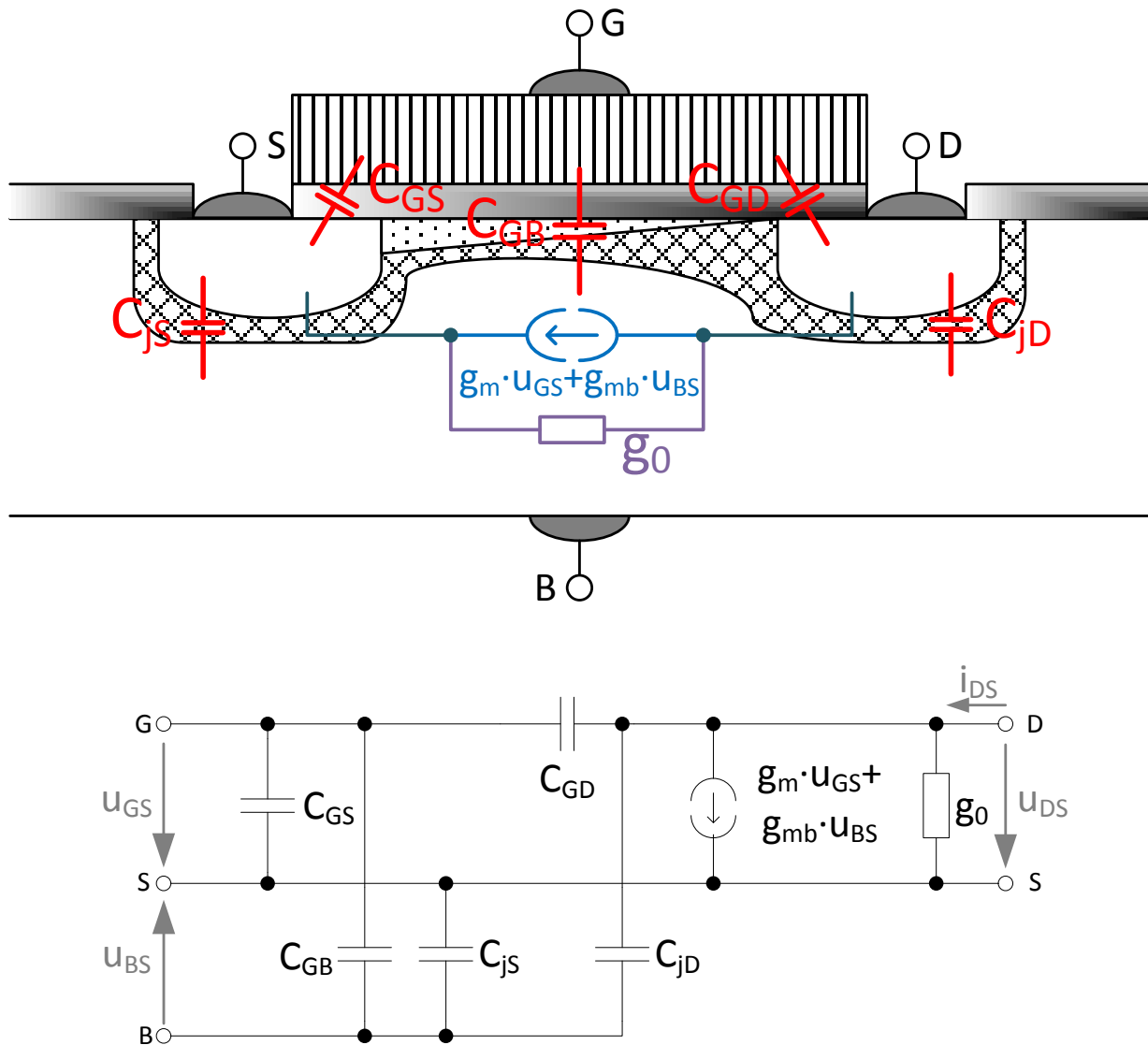


Abbildung A.3: Herleitung des Kleinsignalersatzschaltbildes anhand des Querschnitts eines n-Kanal-MOSFET

Der Ausgangsleitwert und die Transkonduktanzen des Ersatzschaltbildes lassen sich, unter Vernachlässigung von Effekten zweiter Ordnung wie beispielsweise der Beweglichkeitssättigung, für die verschiedenen Betriebsbereiche aus den Gleichungen in Tabelle A.1 in der Mitte berechnen. Dabei ist hier die Kanallän-

genmodulation durch den Faktor λ berücksichtigt. Die Parameter γ und $2\Phi_F$ beschreiben den Body- oder Back-Gate-Effekt [17] und das Oberflächenpotential für den Fall, dass Bulk und Source nicht kurzgeschlossen sind.

Die effektiv wirksamen Kapazitäten zwischen den Knoten verändern sich ebenfalls in Abhängigkeit vom Betriebsbereich. Eine Näherung für alle Knoten für die einzelnen Bereiche zeigt Tabelle A.1 unten.

Diese einfache Beschreibung reicht in der Regel für das Verständnis der Schaltungsfunktionalität und das Auftreten einfacher Probleme oder Effekte aus. Weitere Effekte sind oft analytisch nicht mehr auflösbar und werden für aktuelle Technologien meist durch die Nutzung von BSIM4-Modellen [83] mit Simulationen abgedeckt. Die Bezeichnung BSIM4 steht dabei für die Version vier des weit verbreiteten Berkeley Short-channel IGFET Model (BSIM). Eine Beschreibung weiterer Effekte, vor allem für Sub-100 nm-CMOS-Technologieknöten, findet sich beispielsweise in [17][13].

A.2 Stromschalterlogik und Linearisierung

Die Stromschalterlogik (engl.: Current Mode Logic, CML) eignet sich vor allem für schnelle differentielle Schaltungen. Abbildung A.4 zeigt einen CML-Pufferverstärker, welcher gleichzeitig die Grundzelle dieser Technik darstellt.

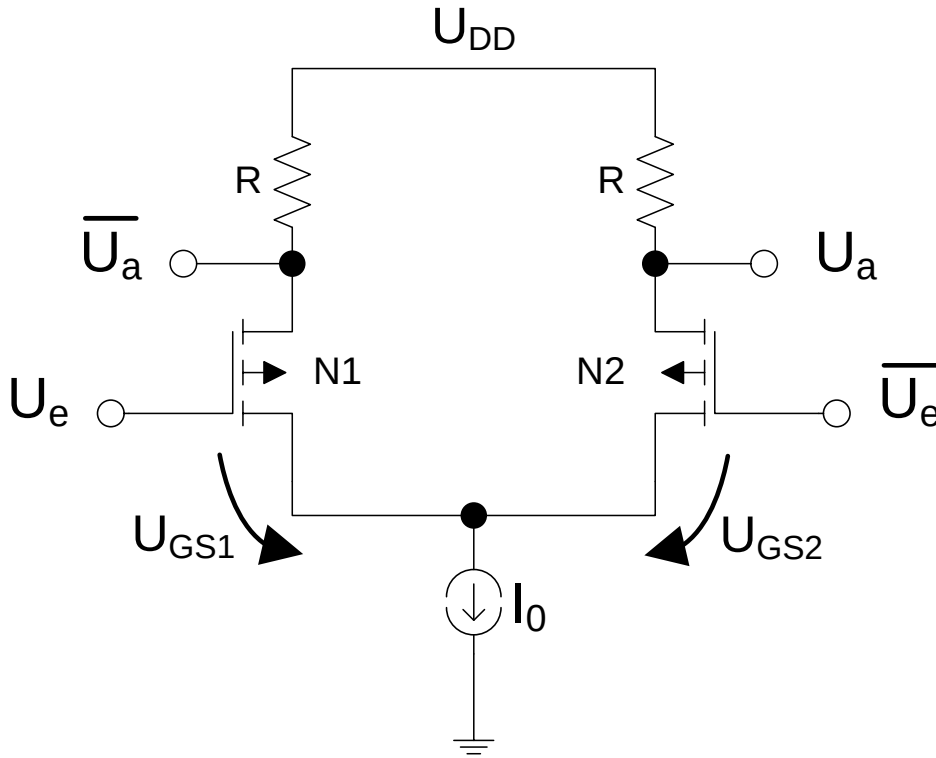


Abbildung A.4: Stromschalterlogik/CML-Pufferverstärker

Der Strom I_0 wird, in Abhängigkeit des differentiellen Eingangssignals $\Delta U_e = U_e - \overline{U_e}$, entweder mehr durch den linken oder mehr durch den rechten Zweig geleitet. Das Ausgangssignal $\Delta U_a = U_a - \overline{U_a}$ wird durch die Stromdifferenz $\Delta I_D = I_{D,N1} - I_{D,N2}$ über den beiden Widerständen R erzeugt. Die folgende Herleitung basiert auf den Herleitungen und Formeln in [28][13][84][15].

Für die differentielle Ausgangsspannung ΔU_a folgt:

$$\Delta U_a = R \cdot \Delta I_D = R(I_{D,N1} - I_{D,N2}) \quad (\text{A.1})$$

Da der Strom I_0 konstant fließen muss, gilt weiterhin:

$$I_0 = I_{D,N1} + I_{D,N2} \quad (\text{A.2})$$

Aus dem gemeinsamen Source-Knoten der beiden Transistoren folgt über die Maschenregel die Differenz der Eingangsspannungen:

$$\Delta U_e = U_e - \overline{U_e} = U_{GS1} - \overline{U_{GS2}} \quad (\text{A.3})$$

Mithilfe der Stromgleichungen aus Anhang A.1 und diesen drei einfachen Gleichungen lässt sich die Übertragungsfunktion des Pufferverstärkers im für analoge Schaltungen relevanten Betriebsbereich beschreiben. Zur Beschreibung der Ausgangsspannung über der Eingangsspannung muss nach Gleichung A.1 die Stromdifferenz in Abhängigkeit der Eingangsspannungen ermittelt werden. Für $\lambda = 0$, also unter Vernachlässigung der KLM, und unter der Annahme, dass sich beide Transistoren im Sättigungsbereich befinden, gilt für den Drainstrom $I_D = \frac{\beta}{2}(U_{GS} - U_{th})^2$. Auflösen nach U_{GS} und Einsetzen in Gleichung A.3 führt zu:

$$\Delta U_e = \sqrt{\frac{2I_{D,N1}}{\beta_n}} - \sqrt{\frac{2I_{D,N2}}{\beta_n}} \quad (\text{A.4})$$

Quadrieren von Gleichung A.4 führt zu:

$$\Delta U_e^2 = \frac{2I_{D,N1}}{\beta_n} + \frac{2I_{D,N2}}{\beta_n} - 2 \cdot \sqrt{\frac{2I_{D,N1}}{\beta_n}} \sqrt{\frac{2I_{D,N2}}{\beta_n}} \quad (\text{A.5})$$

Dies lässt sich, unter anderem mithilfe von Gleichung A.2, umformen zu:

$$\frac{\beta_n}{2} \Delta U_e^2 - I_0 = -2\sqrt{I_{D,N1} \cdot I_{D,N2}} \quad (\text{A.6})$$

Erneutes Quadrieren der beiden Seiten und Einsetzen von $(I_{D,N1} + I_{D,N2})^2 - (I_{D,N1} - I_{D,N2})^2 = 4I_{D,N1}I_{D,N2}$ führt zu:

$$\left(\frac{\beta_n}{2}\right)^2 \Delta U_e^4 + I_0^2 - \beta_n \Delta U_e^2 \cdot I_0 = I_0^2 - (I_{D,N1} - I_{D,N2})^2 \quad (\text{A.7})$$

Für die Stromdifferenz folgt der Zusammenhang:

$$-\left(\frac{\beta_n}{2}\right)^2 \Delta U_e^4 - I_0^2 + \beta_n \Delta U_e^2 \cdot I_0 + I_0^2 = (I_{D,N1} - I_{D,N2})^2 \quad (\text{A.8})$$

Auflösen und Wurzelziehen führt zur gewünschten Stromdifferenz:

$$\Delta I_D = I_{D,N1} - I_{D,N2} = \frac{\beta_n \Delta U_e}{2} \sqrt{\frac{4I_0}{\beta_n} - \Delta U_e^2} \quad (\text{A.9})$$

Einsetzen in Gleichung A.1 ergibt:

$$\Delta U_a(\Delta U_e) = R(I_{D,N1} - I_{D,N2}) = \frac{R \cdot \beta_n \Delta U_e}{2} \sqrt{\frac{4I_0}{\beta_n} - \Delta U_e^2} \quad (\text{A.10})$$

Für kleine Eingangsspannungsdifferenzen ist die Kennlinie weitgehend linear, da dann näherungsweise $\Delta U_e^2 \approx 0 \text{ V}$ gilt. Für größere Eingangsspannungsdifferenzen gewinnt der zweite Faktor in der Wurzel an Einfluss, das Verhalten wird immer nichtlinearer.

Dies liegt an der nichtlinearen Gesamttranskonduktanz $g_{m,DV}$ des differentiellen Verstärkers, welche sich aus Gleichung A.9 ableiten lässt.

Es gilt:

$$g_{m,DV} = \frac{\delta \Delta I_D}{\delta \Delta U_e} = \frac{\beta_n}{2} \frac{\frac{4I_0}{\beta_n} - 2\Delta U_e^2}{\sqrt{\frac{4I_0}{\beta_n} - \Delta U_e^2}} \quad (\text{A.11})$$

Der für eine Anwendung nutzbare Bereich der Verstärkerkennlinie lässt sich aus den Genauigkeitsanforderungen und beispielsweise einer Reihenentwicklung von Gleichung A.10 oder Gleichung A.11 ableiten.

Für kleine Abweichung von $\Delta U_e \approx 0 \text{ V}$ gilt näherungsweise

$$g_{m,DV} = \sqrt{\beta_n \cdot I_0} \quad (\text{A.12})$$

Der Verlauf der ÜKL ist also nur für äußerst kleine Eingangsspannungsdifferenzen linear. Entsprechend Gleichung A.11 lässt sich dieser Bereich durch Vergrößern des ersten Teils im Zähler variieren. Eine größere Stromquelle I_0 oder ein kleinerer Stromverstärkungsfaktor β_n führen zu einer größeren Transkonduktanz und einem breiteren linearen Bereich. Nachteile bei diesen Optionen sind ein größerer Stromverbrauch und langsamere Schaltungen. Die Geschwindigkeitsreduktion ist bedingt durch das dann kleinere nFET-Paar. Für einen schnellen

linearen CML-Verstärker wird daher in dieser Arbeit die in Abbildung A.5 gezeigte Widerstandsdegeneration genutzt.

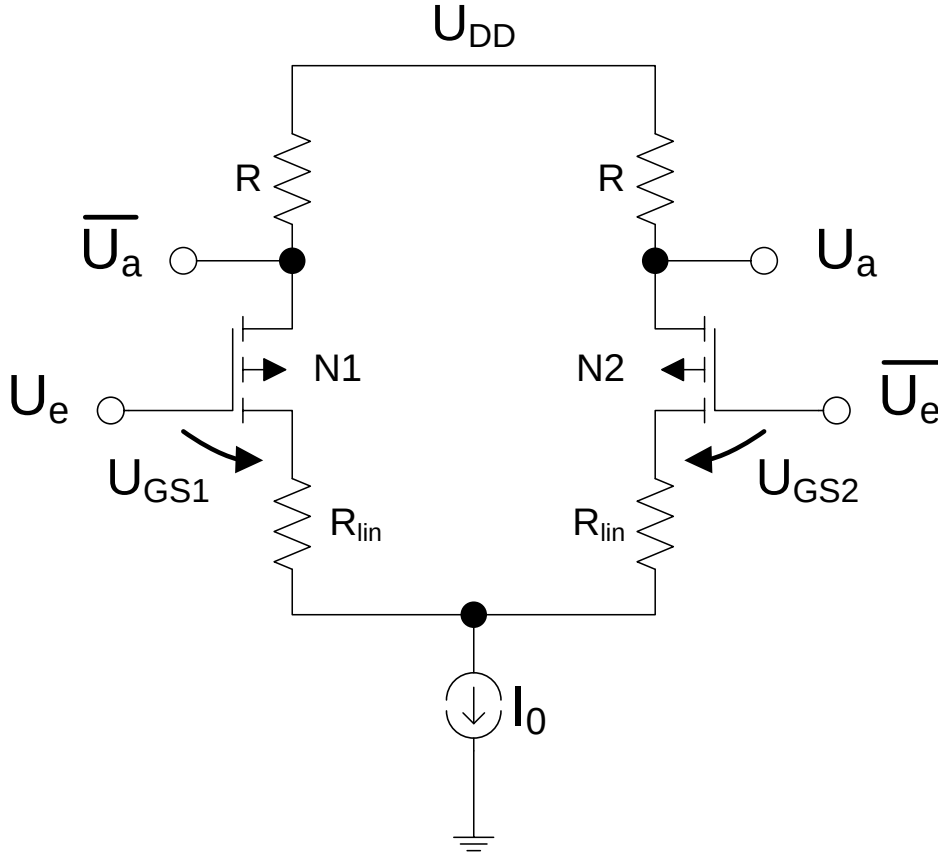


Abbildung A.5: CML-Pufferverstärker mit Linearisierung durch Widerstandsdegeneration

Der Widerstand reduziert bei steigendem Strom durch einen der Zweige die verfügbare Drain-Source- und Gate-Source-Spannungen. Im entgegengesetzten Zweig werden diese erhöht. Der Effekt lässt sich leicht anhand der vereinfachten Darstellung in Abbildung A.6 nachvollziehen.

Für die Serienschaltung aus dem Transistor und dem Widerstand R_{lin} gilt vereinfacht:

$$R_s = R_{lin} + \frac{1}{g_{m,N1/N2}} \quad (\text{A.13})$$

Dies führt zum Leitwert der Serienschaltung gemäß Gleichung A.14.

$$G_{s,N1/N2} = \frac{g_{m,N1/N2}}{1 + g_{m,N1/N2} R_{lin}} \quad (\text{A.14})$$

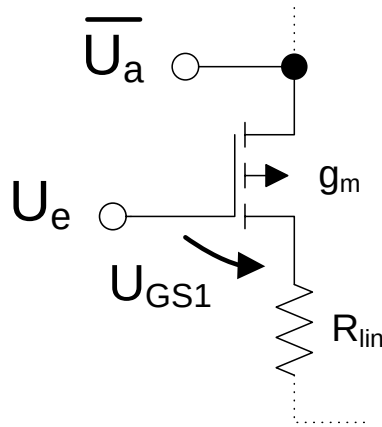


Abbildung A.6: Prinzip der Widerstandsdegeneration

Je nach Größe der Parameter wird dadurch die Transkonduktanz linearisiert. Nachvollziehbar wird dieser Effekt vor allem mithilfe der Extremwerte.

Für $R_{lin} = 0\Omega$ findet keine Linearisierung statt. Das Verhalten entspricht der Schaltung in Abbildung A.4 ohne Linearisierung. Der Leitwert der Serienschaltung ist $G_{s,N1/N2} = g_{m,N1/N2}$.

Im Gegensatz dazu gilt für eine große Transkonduktanz und einen großen Widerstand ($g_{m,N1/N2} \cdot R_{lin} \gg 1$) näherungsweise:

$$G_{s,N1/N2} = \frac{1}{R_{lin}} \quad (\text{A.15})$$

Dies entspräche einer vollkommenen Eliminierung aller Nichtlinearitäten.

Die beschriebene einseitige Linearisierung führt, im Falle der beidseitigen Umsetzung gemäß Abbildung A.5, auch zu einer Linearisierung der differentiellen ÜKL. Dies lässt sich leicht durch Auflösen von Gleichung A.11 zeigen.

Es gilt mit $\delta U_{GS1} = -\delta U_{GS2} = \delta U_{GS,se} = \frac{\Delta U_{GS}}{2}$:

$$g_{m,DV} = \frac{\delta \Delta I_D}{\delta \Delta U_{GS}} = \frac{\delta (I_{D,N1} - I_{D,N2})}{2 \cdot \delta U_{GS,se}} = \frac{1}{2} \cdot \frac{\delta I_{D,N1}}{\delta U_{GS,se}} + \frac{1}{2} \cdot \frac{\delta I_{D,N2}}{\delta U_{GS,se}} \quad (\text{A.16})$$

$$= \frac{1}{2} (G_{s,N1} + G_{s,N2}) \quad (\text{A.17})$$

Für die differentielle Struktur ist diese Linearisierung also ebenfalls wirksam, da der linke und rechte Zweig beide einen Linearisierungswiderstand besitzen.

Zu beachten ist, dass die Verstärkung $g_{m,DV,0} \cdot R = g_{m,DV}(\Delta U_e = 0 V) \cdot R$ immer größer bzw. gleich 1 sein muss. Ist die hier gezeigte Verstärkung kleiner, kann sie zum einen nicht mehr wirklich als Verstärkung bezeichnet werden, zum anderen verlieren sich kleine Signale dann im Rauschen der Schaltung. Die Berechnung der Transkonduktanz findet hier unter Vernachlässigung der KLM statt. Diese macht die Berechnung und somit auch die ÜKL-Gleichung wesentlich komplizierter. Durch die Linearisierung mit Widerstandsdegeneration wird zudem auch diesen Effekten entgegengewirkt. Weiterhin darf der Widerstand R_{lin} nicht zu groß sein, da sonst die beiden nFETs nicht mehr im Sättigungsbereich betrieben werden.

A.3 Kontrollprogramm chIMP

Das Kontrollprogramm chIMP basiert auf der Programmiersprache *Visual Basic.NET*. Es gliedert sich in mehrere Module, wobei alle sekundären Module vom zentralen Modul *Module1_test.vb* angesteuert und geöffnet werden. Weiterhin kann das zentrale Modul diverse Ausgabefenster, welche zum Teil ihrerseits neue Funktionen in ihrem Quellcode implementiert haben, öffnen. Tabelle A.2 zeigt die Befehle des Konsolenprogramms mit der entsprechenden Bedeutung der Befehle und einer kurzen Beschreibung.

Tabelle A.2: Beschreibung der Befehle im Hauptmodul von chIMP

Befehl	Bedeutung	Beschreibung
1	Kanäle normal optimieren	Kanäle mithilfe diverser Parameter optimieren (Implementierung in GIMP führt eine Exhaustionsmethoden-Optimierung aller Parameter mit Auswahl des Optimums durch).
2	Fehlerspeicher lesen	Fehlerspeicher der letzten Optimierung auslesen.
3	DFE aktivieren & optimieren	Optimierung durch DFE starten.
4	DFE aus	Optimierung durch DFE beenden.
5	Fehlerraten erfassen	Erfassung und Darstellung der Fehlerraten auf dem Bildschirm für jeden Kanal individuell, vergleichbar mit der Ausgabe eines BERT [59].
6	Synchronisation	Aktivierung der Synchronisationsblöcke auf dem FPGA.
7	Kanalvorverschiebungen einstellen	Einstellung der Kanalvorverschiebungen für jeden Kanal individuell, nur für Betrieb des DUT mit Demultiplexern.
8	Speicher einlesen und Adresse -A- anzeigen	Zeigt den Speicherinhalt (32 bit) der ausgewählten Adresse dezimal in vier Blöcken an.
9	Speicher in Datei schreiben	Abspeichern des empfangenen und auf dem FPGA abgespeicherten Datenströme auf dem PC.

10	Speicher vergleichen	Vergleicht den Speicherinhalt der Speicherstellen von drei Empfangskanälen.
11	ADU V1 programmieren	Bitweise An- und Abwahl der Register mit anschließender Programmierung.
1101	ADU: EINS schieben	Schiebt eine einzelne Eins in das Register des A-D-Wandlers, vor allem nützlich zur Fehlersuche bei der Programmierung.
1102	ADU: NULL schieben	Schiebt eine einzelne Null in das Register des A-D-Wandlers, vor allem nützlich zur Fehlersuche bei der Programmierung.
111	ADU V2 programmieren	Bitweise An- und Abwahl der Register mit anschließender Programmierung.
12	Demultiplexer programmieren	Bitweise An- und Abwahl der Register mit anschließender Programmierung.
13	Demultiplexer: EINS schieben	Schiebt eine einzelne Eins in das Register der Demultiplexer, vor allem nützlich zur Fehlersuche bei der Programmierung.
14	Demultiplexer: NULL schieben	Schiebt eine einzelne Null in das Register der Demultiplexer, vor allem nützlich zur Fehlersuche bei der Programmierung.
15	ADU_SYNC: Schieberegistersatz in Datei schreiben	Schreibt den Verschiebungsvektor <i>ADU_SYNC_VEK</i> in eine Datei.
16	ADU_SYNC_VEK auslesen	Gibt den Verschiebungsvektor <i>ADU_SYNC_VEK</i> für jeden Kanal als Zahlenwert aus.
17	DC-Kennlinie	Durch Ansteuerung einer externen Spannungsquelle über die GPIB-Schnittstelle und anschließendes Auslesen der synchronen Daten auf dem FPGA wird eine DC-Transfercharakteristik ausgegeben.

18	DC-Kennlinie/SNDR optimieren	Systematische Durchkämmungs/Exhaustionsprozeduren Anschließende Auswahl: 1) Optimierung der DC-Kennlinie mit Minimierung der Differenz zu einer idealen Kennlinie. 2) Optimierung mit dynamischer Messung und Optimierung der SNDR-Werte.
19	My little Oszi	Öffnet separates Fenster zur Ausgabe der ADU-Signale im Zeitbereich → zusätzliche Unterfenster zur Darstellung der DFT und SNDR, ENOB etc..
191	My little Oszi ohne DEMUX	Wie 19, nur mit eigener Demultiplex-Operation für Betrieb des DUT ohne Demultiplexer.
20	Ändere COM-port	Wird der COM-Port zur Kommunikation von PC und FPGA geändert bzw. anders zugeordnet, so kann er in der Software richtig zugeordnet werden (Standard = "COM3")
99	Ende	Schließt das Programm

Bei Eingabe des Befehls "19" öffnet sich beispielsweise ein Fenster gemäß Abbildung 4.26, für Befehl "17" ein Fenster nach Abbildung 4.22. Die einzelnen Parameter in den Fenstern werden durch eigene Funktionen berechnet. Abbildung A.7 zeigt dazu als Beispiel die Berechnung der Koeffizienten der DFT aus einem Signal im Zeitbereich als VB.NET-Quellcode.

```
'Transformiert ein Signal ueber der Zeit in den Frequenzbereich
Public Function DFT(ByVal timeSignal() As Double) As T_Complex()
    Dim omega As Double
    Dim capitalN As Integer = timeSignal.Length
    Dim freq(capitalN / 2 - 1) As T_Complex
    For n As Integer = 0 To capitalN / 2 - 1
        For k As Integer = 0 To capitalN - 1
            omega = PI2 * n * k / capitalN
            freq(n).Real = freq(n).Real + timeSignal(k) * Math.Cos(omega) / (capitalN / 2)
            freq(n).Imag = freq(n).Imag - timeSignal(k) * Math.Sin(omega) / (capitalN / 2)
        Next
    Next
    Return freq
End Function
```

Abbildung A.7: Beispielfunktion aus chIMP zur Berechnung der DFT-Koeffizienten

A.4 Datenblatt A-D-Umsetzer Entwurf 1



CMOS, 25GS/s
Twofold Time-Interleaved 6-Bit High Speed ADC

ADCv1

FEATURES

- **Sampling Rate: 25GS/s**
- **Nominal resolution: 6 Bit**
- **Effective Resolution**
@25GS/s >5 (DC);
@16.6GS/s >5.5 (DC);
- **Calibration possibility for each of the two time-interleaved converters**
- **Complementary Inputs and Outputs terminated with 50 Ω @VDD**
- **Minimum Input Voltage range: 0..-500mV**
- **Output Voltage Range: 0..-650mV**
- **Supply Voltages:**
1) VDD 0V; VSS -1.25 V
2) VDD_overdrive 0.5 V; VSS -1.25 V
- **Total Power Dissipation: 2.75 W**
- **Core Power Dissipation: 2 W**
- **Synchronisation with external test-FPGA by onchip PRBS**

Applications

- **100 Gigabit Ethernet**
- **Optical Data Communications Systems**

General Description

The ADCv1 is a twofold time-interleaved, analog-to-digital converter on a single 90 nm CMOS-chip. It consists of two 6-bit A/D converters with complementary in- and outputs, static CMOS control logic and CML evaluation and calibration logic.

At the input the ADC requires a single-ended voltage swing of 500mV,

resulting in a 1V differential voltage swing and reference voltages of 0V and -500mV. There are two separate 6-bit-wide differential output ports. The data at the two output ports is shifted by $1/(2 \cdot f_s)$ due to time-interleaving. Furthermore there is a 87 Bit control register, programmable by data_Control_in, clk_Control and ena_Control. The first three Bits programmed into the logic control the onchip-PRBS and the signal-outputs. Beyond this there are two 42 Bit strings for the control of the calibration circuits of the Master-ADC and the Slave-ADC respectively. The Control logic can be switched to safe condition by connecting ena_Control and clk_Control to Logic High, here GND. This means ADC operation without any calibration or PRBS signals.

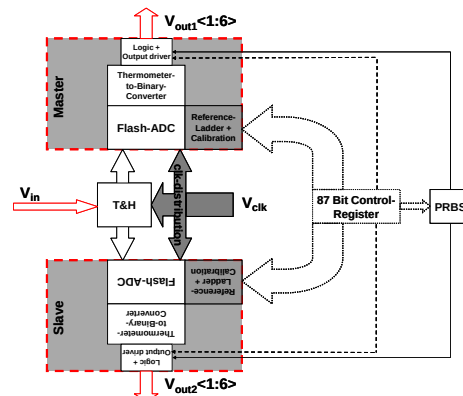


Figure 1: Functional Block Diagram

ADCv1

[illegible]

ADCV1
TOP VIEW

PIN 1 IDENTIFIER
(INT LOGO/ TA LOGO)

The diagram shows a square package with pins numbered 1 through 36. Pin 1 is at the top-left corner. Pins 2 through 17 are along the left edge, and pins 18 through 36 are along the bottom edge. Pins 72 through 79 are along the top edge, and pins 80 through 83 are along the right edge. Pin 14 is also shown on the left edge. The text 'ADCV1 TOP VIEW' is centered in the package area. An arrow points to pin 1 with the label 'PIN 1 IDENTIFIER (INT LOGO/ TA LOGO)'.

2



CMOS, 25GS/s Twofold Time-Interleaved 6-Bit High Speed ADC

ADCv1

Pin-Assignment:

Pin Mnemonic	Pin-Name	Description	Voltage Range
1,4,7,9,11,14,17, 18,21,24,27,30, 33,36,37,40,43, 45,47,50,53,54, 57,60,63,66,69, 72	VDD	Positive supply voltage/ GND	0V
5,13,41,42,48,49, 74,75,76,77,78, 79,80,81,82,83	VSS	Negative supply voltage, extra bondpads in second row on top and bottom	-1.25V
6,12	VDD_overdrive	Overdrive Voltage for calibration and peaking buffers	0.5..0.6 V
2	Vref_plus	Positive reference voltage for reference ladder	0V/GND
3	Vref_minus	Negative reference voltage for reference ladder	-0.5V
8/10	CLK/_CLK	Differential clock signal	-1V..0V @50Ω (-500 mV +/- 500 mV)
12	Vref_overdrive	Bias-Voltage for Peaking Buffers in CLK-tree	-600 mV (+-) predefined: VSS+0.38(VDD_overdrive- VSS)
13	Vref_logic	Bias-Voltage for ADC-Core and output drivers	-600 mV (+-) predefined: VSS+0.52(VDD -VSS)
73	Vref_calib	Bias-Voltage for Calibration sources, extra Bondpad on the left side in second row	-500 mV (+-) predefined: VSS+0.6(VDD -VSS)
71/70,68/67,65/64, 62/61,59/58	D0../_D0..7 @top	Differential digital output signal master ADC, starting with LSB	-600m..0V @50Ω

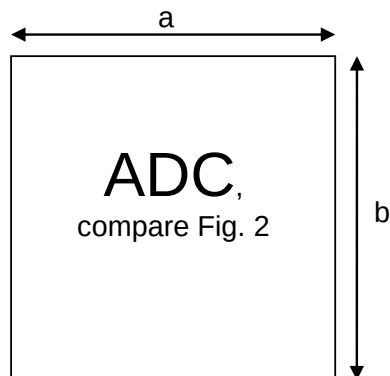
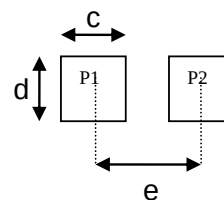


CMOS, 25GS/s Twofold Time-Interleaved 6-Bit High Speed ADC

ADCv1

19/20,22/23,25/26, 28/29,31/32	D0..7/_D0..7 @bottom	Differential digital output signal slave ADC, starting with LSB	-600m..0V @50Ω
46/44	vin/_vin	Differential analog input signal	-500m..0V @50Ω (or higher with higher Vref+/-)
51	data_Control_in	Data signal for digital logic, single ended	-2.5..0V (max. ratings, works with -1.25..0V, up to 500 MHz CLK)
52	clk_Control	Clock signal for digital logic, single ended	-2.5..0V (max. ratings, works with -1.25..0V, up to 500 MHz)
39	ena_Control	Enable signal for digital logic, single ended	-2.5..0V (max. ratings, works with -1.25..0V, up to 500 MHz CLK)
38	data_Control_out	Output data signal from digital logic	-1.25..0V (up to 250 MBit/s)

Physical Dimensions:

ADC:

Pads:


a	2080
b	1880
c	80
d	80
e	100

(in microns)



Programming the Control register

The control-register is programmed by three different input signals, data_Control_in, clk_Control and ena_Control. Data is shifted serially through the register on every negative clock edge. The maximum programming frequency is about 500 MHz, while slower operation may be more secure and easy to control. After programming the signals into the register, the Clk has to be switched off and the signal may be transferred to the control logic by a short enable-signal pulse.

Since programming is not that important in the first testing phases there is also an easy to activate safe-mode. Connecting clk_Control and ena_Control to gnd/VDD simultaneously will switch off any extra-logic in the circuit.

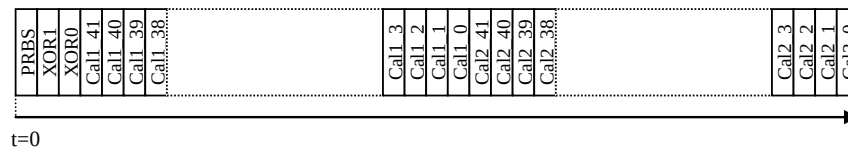


Figure 4: Programming sequence

The PRBS may be started by programming a logic “High” (gnd/VDD) to the related register. It then starts with a x^7+x^6-1 pseudo random bit series starting from `1111111`.

The two XOR-Bits define which signal is switched to the digital outputs of the chip. Figure 5 shows the output signal for different combinations of XOR1 and XOR0.

XOR1	XOR0	Output
0	0	ADC
0	1	ADC
1	0	PRBS
1	1	XOR(PRBS;ADC)

Figure 5: XOR-Programming

The Calibration is simply programmed by direct wired connections, a High-Signal activates the connected sources to shift the reference voltage. There is always a triple of Bits connected to three sources, e.g. Cal1_0, Cal1_1 and Cal1_2 (up to Cal1_41), which shift the connected reference node up. These three sources are binary weighted, that means that the activation of Cal1_2 shifts the voltage by a factor of four compared to Cal1_0 and a factor of two compared to Cal1_1. The node connected to Cal1_0-2 is the reference node closest to Vref_minus, going up to Cal1_18-20 for the node closest to Vref_plus – Cal1_21-41 are for the inverted reference ladder respectively. Since there are two reference ladders, the first 42 Bit calibration stream has to be followed by a second one for the second or Slave ADC.

A.5 Datenblatt A-D-Umsetzer Entwurf 2



CMOS, 25GS/s
Fourfold Time-Interleaved 6-Bit High Speed ADC

ADCv2

FEATURES

- **Sampling Rate:** >25GS/s
- **Nominal resolution:** 6 Bit
- **Effective Resolution**
@25GS/s >5 (DC-Nyquist)
- **Calibration possibility for each of the four time-interleaved converters**
- **Complementary Inputs and Outputs terminated with 50 Ω @VDD**
- **Minimum Input Voltage range:** 0..-200mV
- **Output Voltage Range:** 0..-600mV
- **Supply Voltages:**
 - 1) VDD 0V; VSS -1.25 V
 - 2) VDD_overdrive 0.5-0.6 V; VSS -1.25 V
- **Total Power Dissipation:** 2.3 W
- **Synchronisation with external test-FPGA by onchip muxed half-rate PRBSs**

Applications

- 100 Gigabit Ethernet
- Optical Data Communications Systems

General Description

The ADCv2 is a fourfold time-interleaved, analog-to-digital converter on a single 90 nm CMOS-chip. It consists of four 6-bit A/D converters with complementary in- and outputs, static CMOS control logic and CML evaluation and calibration logic.

At the input the ADC requires a single-ended voltage swing of 200 mV, resulting in a 400 mV differential

voltage swing and reference voltages of 0V and -200mV.

There are two separate 6-bit-wide differential output ports. The data at the two output ports is shifted by $1/(2 \cdot f_s)$ due to time-interleaving. Furthermore there is a 359 Bit control register, programmable by data_Control_in, clk_Control and ena_Control. The first three Bits programmed into the logic control the onchip-PRBS and the signal-outputs. Beyond this there are four 89 Bit strings for the control of the calibration circuits of the two ADCs in the Master and the two ADCs in the Slave. The Control logic can be switched to safe condition by connecting ena_Control and clk_Control to Logic High, here GND/VDD. This means ADC operation without any calibration or PRBS signals.

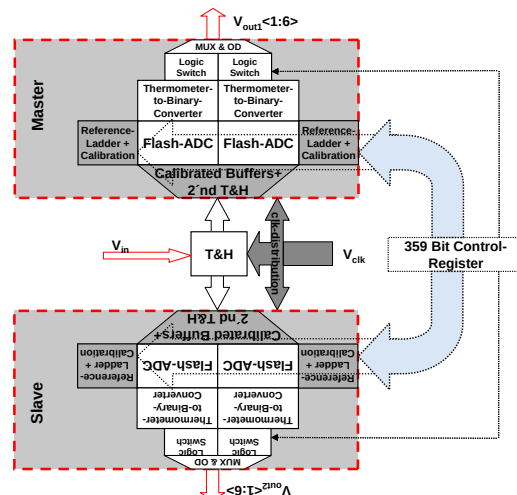


Figure 1: Functional Block Diagramm

ADCv2 TOP VIEW

IDENTIFIER (INT LOGO/ LA LOGO)

2



CMOS, 25GS/s Fourfold Time-Interleaved 6-Bit High Speed ADC

ADCv2

Pin-Assignment:

Pin Mnemonic	Pin-Name	Description	Voltage Range
1,4,7,9,11,14,17, 18,21,24,27,30, 33,36,37,40,43, 45,47,50,53,54, 57,60,63,66,69, 72	VDD	Positive supply voltage/ GND	0V
5,13,41,42,48,49, 74,75,76,77,78, 79,80,81,82,83	VSS	Negative supply voltage, extra bondpads in second row on top and bottom	-1.25V
6,12	VDD_overdrive	Overdrive Voltage for calibration and peaking buffers	0.5..0.6 V
2	Vref_plus	Positive reference voltage for reference ladder	0V/GND
3	Vref_minus	Negative reference voltage for reference ladder	-0.2V
8/10	CLK/_CLK	Differential clock signal	-1V..0V @50Ω (-500 mV +/- 500 mV)
12	Vref_overdrive	Bias-Voltage for Peaking Buffers in CLK-tree	-600 mV (+-) predefined: VSS+0.38(VDD_overdrive-VSS)
13	Vref_logic	Bias-Voltage for ADC-Core and output drivers	-600 mV (+-) predefined: VSS+0.52(VDD -VSS)
73	Vref_calib	Bias-Voltage for Calibration sources in Ladder, extra Bondpad on the left side in second row	-500 mV (+-) predefined: VSS+0.6(VDD -VSS)
84	Vref_calibBUF	Bias-Voltage for Calibration sources in linear Amps, extra Bondpad on the left top in second row	-500 mV (+-) predefined: VSS+0.6(VDD -VSS)



CMOS, 25GS/s Fourfold Time-Interleaved 6-Bit High Speed ADC

ADCv2

85	Vref_underdrive	Bias-Voltage for linear Amps, extra Bondpad on the right bottom in second row	-500 mV (+-) predefined: VSS+0.6(VDD -VSS)
71/70,68/67,65/64,62/61,59/58	D0..7/_D0..7 @top	Differential digital output signal master ADC, starting with LSB	-600m..0V @50Ω
19/20,22/23,25/26,28/29,31/32	D0..7/_D0..7 @bottom	Differential digital output signal slave ADC, starting with LSB	-600m..0V @50Ω
46/44	vin/_vin	Differential analog input signal	-200m..0V @50Ω (or higher with higher Vref+/-)
51	data_Control_in	Data signal for digital logic, single ended	-2.5..0V (max. ratings, works with -1.25..0V, up to 500 MHz CLK)
52	clk_Control	Clock signal for digital logic, single ended	-2.5..0V (max. ratings, works with -1.25..0V, up to 500 MHz)
39	ena_Control	Enable signal for digital logic, single ended	-2.5..0V (max. ratings, works with -1.25..0V, up to 500 MHz CLK)
38	data_Control_out	Output data signal from digital logic	-1.25..0V (up to 250 MBit/s)

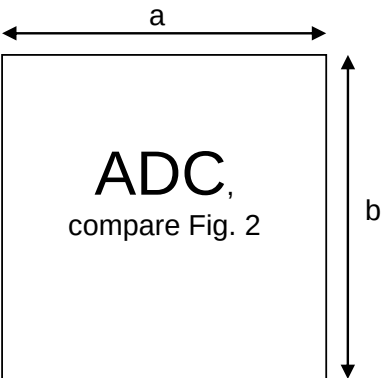


CMOS, 25GS/s
Fourfold Time-Interleaved 6-Bit High Speed ADC

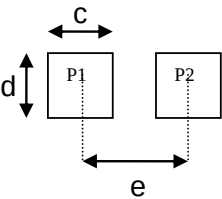
ADCv2

Physical Dimensions:

ADC:



Pads:



a	2080
b	1880
c	80
d	80
e	100

(in microns)



Programming the Control register

The control-register is programmed by three different input signals, data_Control_in, clk_Control and ena_Control. Data is shifted serially through the register on every negative clock edge. The maximum programming frequency is about 500 MHz, while slower operation may be more secure and easy to control. After programming the signals into the register, the Clk has to be switched off and the signal may be transferred to the control logic by a short enable-signal pulse.

Since programming is not that important in the first testing phase there is also an easy to activate safe-mode. Connecting clk_Control and ena_Control to GND/VDD simultaneously will switch off any extra-logic in the circuit.

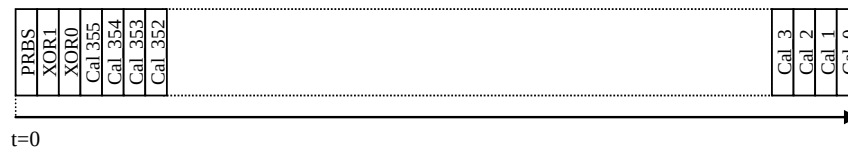


Figure 4: Programming sequence

The PRBSs may be started by programming a logic “High” (gnd/VDD) to the related register. It then starts with a x^7+x^6-1 pseudo random bit series starting from `1111111`.

The two XOR-Bits define which signal is switched to the digital outputs of the chip. Figure 5 shows the output signal for different combinations of XOR1 and XOR0.

XOR1	XOR0	Output
0	0	ADC
0	1	ADC
1	0	PRBS
1	1	XOR(PRBS;ADC)

Figure 5: XOR-Programming

The Calibration of the reference ladders is programmed by direct wired connections, a logic High-Signal (=VDD/GND) activates the connected sources to shift the reference voltage. For the reference ladder there is always a triple of Bits connected to three sources, e.g. Cal1_0, Cal1_1 and Cal1_2 (up to Cal1_41), which shift the connected reference node up. These three sources are binary weighted, that means that the activation of Cal1_2 shifts the voltage by a factor of four compared to Cal1_0 and a factor of two compared to Cal1_1. The node connected to Cal1_0-2 is the reference node closest to Vref_minus, going up to Cal1_18-20 for the node closest to Vref_plus – Cal1_21-41 are for the inverted reference ladder respectively. Since there are four reference ladders, there is a 42 Bit calibration stream for each ladder plus four times 3 Bit each to shift the reference Voltages Vref_plus and Vref_minus individually.

Additionally in the second ADC version the amplifiers at the analog inputs of the single ADCs can be calibrated. They are built up in a differential CML style. Each of the both sides of those amplifiers can be calibrated individually like for the reference ladder except with a resolution of 5 Bit. The first amplifier-stage is united for two



CMOS, 25GS/s Fourfold Time-Interleaved 6-Bit High Speed ADC

ADCv2

ADCs in the master (ADC 1&2) and slave (ADC 3&4). Stage 2, 3 and 4 can be calibrated separately for each ADC as can be seen in the following table.

Cal-Bit	chipProg	Description
358-356	0-2	PRBS+XOR
355-351	3-7	4 th Amp-Stage ADC3 negative side - MSB-LSB
350-346	8-12	3 rd Amp-Stage ADC3 negative side - MSB-LSB
345-341	13-17	2 nd Amp-Stage ADC3 negative side - MSB-LSB
340-336	18-22	4 th Amp-Stage ADC3 positive side - MSB-LSB
335-331	23-27	3 rd Amp-Stage ADC3 positive side - MSB-LSB
330-326	28-32	2 nd Amp-Stage ADC3 positive side - MSB-LSB
325-321	33-37	4 th Amp-Stage ADC1 negative side - MSB-LSB
320-316	38-42	3 rd Amp-Stage ADC1 negative side - MSB-LSB
315-311	43-47	2 nd Amp-Stage ADC1 negative side - MSB-LSB
310-306	48-52	4 th Amp-Stage ADC1 positive side - MSB-LSB
305-301	53-57	3 rd Amp-Stage ADC1 positive side - MSB-LSB
300-296	58-62	2 nd Amp-Stage ADC1 positive side - MSB-LSB
295-291	63-67	1 st Amp-Stage ADC3&4/Slave negative side - MSB-LSB
290-286	68-72	1 st Amp-Stage ADC3&4/Slave positive side - MSB-LSB
285-283	73-75	Ref-Ladder 3 Top-Up - MSB-LSB
282-280	76-78	Ref-Ladder 3 Bot-Up - MSB-LSB
279-277	79-81	Ref-Ladder 3 Top-Down - MSB-LSB
276-274	82-84	Ref-Ladder 3 Bot-Down - MSB-LSB
273-253	85-105	Ref_Ladder 3 negative Side 3 Bit per Source 6-0 – MSB-LSB
252-232	106-126	Ref_Ladder 3 positive Side 3 Bit per Source 6-0 – MSB-LSB
231-229	127-129	Ref-Ladder 1 Top-Up - MSB-LSB
228-226	130-132	Ref-Ladder 1 Bot-Up - MSB-LSB
225-223	133-135	Ref-Ladder 1 Top-Down - MSB-LSB
222-220	136-138	Ref-Ladder 1 Bot-Down - MSB-LSB
219-199	139-159	Ref_Ladder 1 negative Side 3 Bit per Source 6-0 – MSB-LSB
198-178	160-180	Ref_Ladder 1 positive Side 3 Bit per Source 6-0 – MSB-LSB
177-173	181-185	4 th Amp-Stage ADC4 negative side - MSB-LSB
172-168	186-190	3 rd Amp-Stage ADC4 negative side - MSB-LSB
167-163	191-195	2 nd Amp-Stage ADC4 negative side - MSB-LSB
162-158	196-200	4 th Amp-Stage ADC4 positive side - MSB-LSB



CMOS, 25GS/s Fourfold Time-Interleaved 6-Bit High Speed ADC

ADCv2

157-153	201-205	3 rd Amp-Stage ADC4 positive side - MSB-LSB
152-148	206-210	2 nd Amp-Stage ADC4 positive side - MSB-LSB
147-143	210-215	4 th Amp-Stage ADC2 negative side - MSB-LSB
142-138	216-220	3 rd Amp-Stage ADC2 negative side - MSB-LSB
137-133	221-225	2 nd Amp-Stage ADC2 negative side - MSB-LSB
132-128	226-230	4 th Amp-Stage ADC2 positive side - MSB-LSB
127-123	231-235	3 rd Amp-Stage ADC2 positive side - MSB-LSB
122-118	236-240	2 nd Amp-Stage ADC2 positive side - MSB-LSB
117-113	241-245	1 st Amp-Stage ADC1&2/Slave negative side - MSB-LSB
112-108	246-250	1 st Amp-Stage ADC1&2/Slave positive side - MSB-LSB
107-105	251-253	Ref-Ladder 4 Top-Up - MSB-LSB
104-102	254-256	Ref-Ladder 4 Bot-Up - MSB-LSB
101-99	257-259	Ref-Ladder 4 Top-Down - MSB-LSB
98-96	260-262	Ref-Ladder 4 Bot-Down - MSB-LSB
95-75	263-283	Ref_Ladder 4 negative Side 3 Bit per Source 6-0 – MSB-LSB
74-54	284-304	Ref_Ladder 4 positive Side 3 Bit per Source 6-0 – MSB-LSB
53-51	305-307	Ref-Ladder 2 Top-Up - MSB-LSB
50-48	308-310	Ref-Ladder 2 Bot-Up - MSB-LSB
47-45	311-313	Ref-Ladder 2 Top-Down - MSB-LSB
44-42	314-316	Ref-Ladder 2 Bot-Down - MSB-LSB
41-21	317-337	Ref_Ladder 2 negative Side 3 Bit per Source 6-0 – MSB-LSB
20-0	338-358	Ref_Ladder 2 positive Side 3 Bit per Source 6-0 – MSB-LSB

A.6 Datenblatt Demultiplexer



CMOS, 14Gbit/s
Configurable 3-times parallel 1-to-2 High Speed DEMUX

DEMUX

FEATURES

- differential Inputs and Outputs, inputs terminated with $50\ \Omega @ VDD$
- Input Voltage range: 0..-800mV
- Output Voltage Range: 0..-400mV
- Supply Voltages: VDD 1.5V; GND 0V; VSS -1.5 V
- Tot. Power Dissipation: 1.4 W
Current @ VSS: 730 mA
@ VDD: 173 mA
- Synchronisation with external test-FPGA and ADC by onchip control register

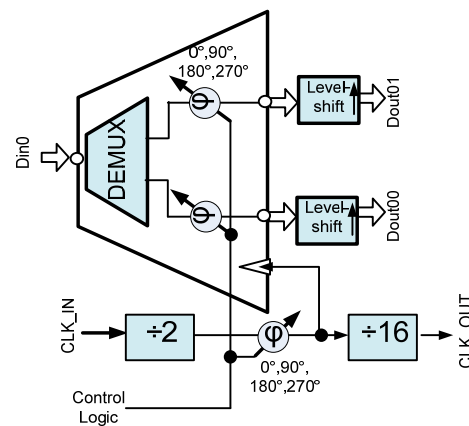


Figure 1: Functional Block Diagramm

Applications

- 100 Gigabit Ethernet
- Optical Data Communications Systems

General Description

The DEMUX-Chip is a configurable 3 times parallel 1-to-2-DEMUXs on a single 130 nm CMOS-chip. It consists of three 1-to-2-DEMUXs with differential in- and outputs and static CMOS control logic.

The input data can be sampled at 2 phases (0° and 180°) via control registers. The output data can be shifted at 4 phases (0° , 90° , 180° and 270°) via control register.

The DEMUX is fabricated in a 130 nm CMOS technology.



CMOS, 14Gbit/s Configurable 3-times parallel 1-to-2 High Speed DEMUX

DEMUX

PIN CONFIGURATION

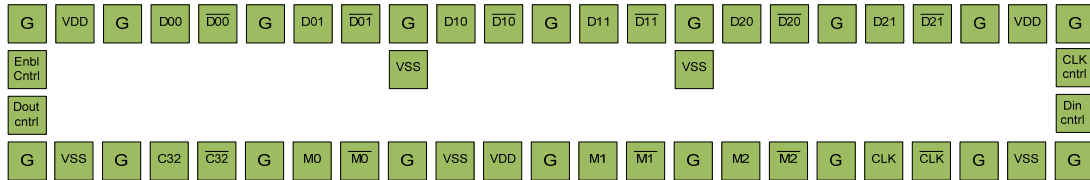


Figure 2: Padding of the DEMUX with physical Pin-Assignment

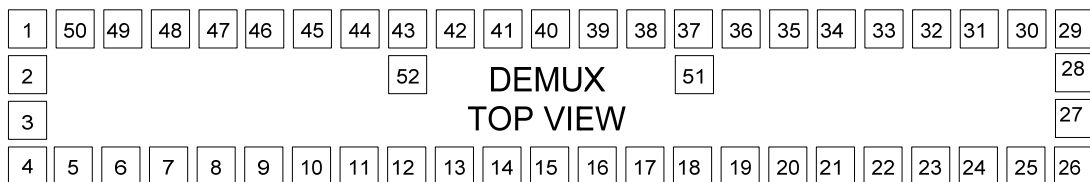


Figure 3: Padding of the DEMUX with logical Pin-Assignment

Pin-Assignment:

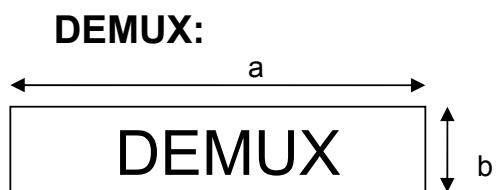
Pin Mnemonic	Pin-Name	Description	Voltage Range
1,4,6,9,12,15,18,21,24,26,29,31,34,37,40,43,46,49	GND	supply voltage/ GND	0V
14,30,50	VDD	Positive supply voltage	1.5V
5,13,25,51,52	VSS	Negative supply voltage,	-1.5V
22/23	CLK/_CLK	Differential clock input signal	-800mV..0V @50Ω
7/8	C32/_C32	Differential clock output signal	-800mV..0V
48/47,45/44,42/41,39/38,36/35,33/32	D00/_D00.. D21/_D21	Differential digital input signal	-800m..0V @50Ω
10/11,16/17,19/20	M0/_M0.. M2/_M2	Differential digital output signal	-400m..0V
27	Din_cntrl	Data signal for digital logic, single ended	0..1.5V
28	CLK_Cntrl	Clock signal for digital logic, single ended	0..1.5V
2	Enbl_Cntrl	Enable signal for digital logic, single ended	0..1.5V



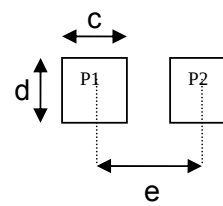
CMOS, 14Gbit/s Configurable 3-times parallel 1-to-2 High Speed DEMUX

DEMUX			
1	Dout_cntrl	Data output signal for digital logic, single ended	0..1.5V

Physical Dimensions:



Pads:



a	2300
b	400
c	65
d	70
e	100

(in microns)



Programming the Control register

The control-register is programmed by three different input signals, Din_Cntrl, CLK_Cntrl and Enbl_Cntrl. Data is shifted serially through the register on every positive clock edge. The maximum programming frequency is about 10 MHz, while slower operation may be more secure and easy to control. After programming the signals into the register, the Clk has to be switched off and the signal may be transferred to the control logic by a short enable-signal pulse.

Since programming is not that important in the first testing phases there is also an easy to activate safe-mode. Unconnecting CLK_Cntrl, Enbl_Cntrl will switch all control register on logic "Low".

The 14 bit register can be used to select the sampling phase for each input channel and output.

A high pegel (1) is defined as 1.5 V and a low pegel (0) is defined as 0 V.

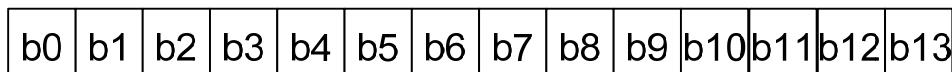


Figure 4: 14 bit control register

	D00	D01	D10	D11	D21	D22	Global CLK
Phase	b0,b1	b2,b3	b4,b5	b6,b7	b8,b9	b10,b11	b12,b13
0°	0,0	0,0	0,0	0,0	0,0	0,0	0,0
90°	0,1	0,1	0,1	0,1	0,1	0,1	0,1
180°	1,1	1,1	1,1	1,1	1,1	1,1	1,1
270°	1,0	1,0	1,0	1,0	1,0	1,0	1,0

Figure 5: phasen selection logic

Literaturverzeichnis

- [1] M. I. Skolnick, *Radar Handbook*, 3rd ed. McGraw-Hill Professional, Jan. 2008, ISBN: 978-0071485470.
- [2] T. Mariani, *Oscilloscope Fundamentals For Electrical Engineering and Physics Undergraduate Students*, Agilent Technologies, Jan. 2011, verfügbar unter <http://www.home.agilent.com>; besucht am 30.07.2012.
- [3] "Project Information 100GET," Celtic Plus, verfügbar unter <http://www.celtic-initiative.org/Projects/Celtic-projects/Call4/100GET/Project-default.asp>; besucht am 10.06.2013.
- [4] "100 Gbit/s Carrier-Grade Ethernet Transport Technologies (100GET), Vorhabensbeschreibung," Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2007.
- [5] "100 Gbit/s Carrier-Grade Ethernet Transport Technologies (100GET), Schlussbericht für das Bundesministerium für Bildung und Forschung," Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2012.
- [6] R. van de Plassche, *CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters*, 2nd ed. Springer, May 2003, ISBN: 978-1402075001.
- [7] *IEEE Std 90003™-2008 - IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters*, IEEE Instrumentation & Measurement Society, Jun. 2010.
- [8] S. D. Stearns, *Digitale Verarbeitung analoger Signale*, 6th ed. R. Oldenbourg Verlag GmbH, 1994, ISBN: 3486220276.
- [9] Bronstein - Semendjajew, *Taschenbuch der Mathematik*. Verlag Harri Deutsch, 1960, ISBN: 3871440167.
- [10] R. Walden, "Analog-to-digital converter survey and analysis," *IEEE Journal on Selected Areas in Communications*, vol. 17, no. 4, pp. 539–550, Apr. 1999.
- [11] B. E. Jonsson, "On CMOS scaling and A/D-converter performance," NORCHIP 2010, pp. 1 – 4, Tampere, Finnland, Nov. 2010.
- [12] M. J. Pelgrom, H. P. Tuinhout und M. Vertregt, "Transistor matching in analog CMOS applications," *Technical Digest, International Electron Devices Meeting - IEDM '98*, pp. 915–918, Dec. 1998.
- [13] M. Berroth, *Grundlagen Integrierter Schaltungen*. Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2011, Skript zur Vorlesung.

- [14] G. Cijan, T. Tuma und A. Bürmen, "Modeling and Simulation of MOS Transistor Mismatch," 6th EUROSIM Congress on Modelling and Simulation, Ljubljana, Slovenia, Sep. 2007.
- [15] M. Berroth, *Integrierte Mischsignalschaltungen*. Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2011, Skript zur Vorlesung.
- [16] H. Kimura, A. Matsuzawa, T. Nakamura und S. Sawada, "A 10b 300MHz Interpolated-Parallel A/D Converter," 1992 Symposium on VLSI Circuits - Digest of Technical Papers, pp. 94–95, Seattle, USA, Jun. 1992.
- [17] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed. Cambridge University Press, Dec. 2003, ISBN: 978-0521835398.
- [18] N. Christoffers, R. Lerch, B. J. Hosticka, S. Kolnsberg und R. Kokozinski, "Performance estimate for high-speed CMOS-current-mode-logic circuits based on output voltage swing considerations," German Microwave Conference (GeMiC) 2005, pp. 160 – 163, Ulm, Germany, Apr. 2005.
- [19] T. Baumann, "Variationen und ihre Kompensation in CMOS Digitalschaltungen," Dissertation, Technische Universität München, Lehrstuhl für Technische Elektronik, 2010.
- [20] M. Choudhury, V. Chandra, K. Mohanram und R. Aitken, "Analytical model for TDDDB-based performance degradation in combinational logic," Design, Automation & Test in Europe Conference & Exhibition (DATE), Dresden, Germany, Mar. 2010.
- [21] W. Wang, V. Reddy, A. T. Krishnan, R. Vattikonda, S. Krishnan und Y. Cao, "Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology," *IEEE Transactions on Device and Materials Reliability*, vol. 7, no. 4, pp. 509–517, Dec. 2007.
- [22] B. Razavi, K. F. Lee und R. H. Yan, "Design of high-speed, low-power frequency dividers and phase-locked loops in deep submicron CMOS," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 2, pp. 101 – 109, Feb. 1995.
- [23] F. Lang, D. Ferenci, T. Alpert, T. Kathmann, A. Faul, M. Grözing und M. Berroth, "A Real-Time Test Environment for High Speed Data Converters," 8th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), pp. 99–102, Aachen, Germany, Jun. 2012.
- [24] D. Ferenci, M. Grözing, F. Lang und M. Berroth, "A 3 bit 20 GS/s Flash ADC in 65 nm Low Power CMOS Technology," Proceedings of the 5th European Microwave Integrated Circuits Conference (EuMIC), pp. 214–217, Paris, France, Sep. 2010.
- [25] "Product Information Virtex-4 RocketIO ML423 Characterization Platform," Xilinx, verfügbar unter <http://www.xilinx.com/products/boards-and-kits/HW-V4-ML423-UNI-G.htm>; besucht am 03.09.2013.
- [26] P. M. Figueiredo und J. C. Vital, *Offset Reduction Techniques in High-Speed Analog-to-Digital Converters: Analysis, Design and Tradeoffs*. Springer, Mar. 2009, ISBN: 978-1402097157.

- [27] H. P. Tuinhout, "Impact of parametric mismatch and fluctuations on performance and yield of deep-submicron CMOS technologies," Proceedings of the 32nd European Solid-State Device Research Conference (ESSDERC), pp. 95–102, Firenze, Italy, Sep. 2002.
- [28] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Publ.Comp., Sep. 2000, ISBN: 978-0072380323.
- [29] J. Bozler, "Design eines Thermometer/Binär-Umsetzers für einen High Speed A/D-Umsetzer in 90 nm CMOS Technologie," Diplomarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2009.
- [30] J. Bozler, F. Lang, D. Ferenci und M. Berroth, "Thermometer/Binär-Umsetzer für einen schnellen Flash Analog/Digital-Umsetzer in CMOS Technologie," Kleinheubacher Tagung 2009, Miltenberg, Germany, Sep. 2009.
- [31] D. Ferenci, "Electronic Components for Optical Data Communication up to 50 Gbit/s," Dissertation, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2013.
- [32] M. Grözing und M. Berroth, "Elektronische Entzerrer und A/D-Wandler-Komponenten in CMOS-Technologie für die schnelle serielle Datenübertragung," Kleinheubacher Tagung 2006, Miltenberg, Germany, Sep. 2006.
- [33] M. Grözing, M. Berroth, E. Gerhardt, B. Franz und W. T. Fouth, "High-Speed ADC Building Blocks in 90 nm CMOS," Joint Symposium on Opto- and Microelectronic Devices and Circuits (SODC 2006), Duisburg, Germany, Sep. 2006.
- [34] F. Lang, "Konzeption eines 50 GHz A/D-Wandlers in 65 nm CMOS-Technologie," Diplomarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2008.
- [35] F. Lang, T. Alpert, D. Ferenci, M. Grözing und M. Berroth, "Design of a 25 GS/s 6-bit Flash-ADC in 90 nm CMOS technology," ESSCIRC 2009 Fringe (European Solid-State Circuits Conference Fringe), Athens, Greece, Sep. 2009.
- [36] W. J. Dally und J. W. Poulton, *Digital Systems Engineering*. Cambridge University Press, 1998, ISBN: 0521592925.
- [37] P. Starič und E. Margan, *Wideband Amplifiers*, 1st ed. Springer, May 2006, ISBN: 978-0387283401.
- [38] F. Lang, T. Alpert, D. Ferenci, M. Grözing und M. Berroth, "A 6 bit 25 GS/s Flash Interpolating ADC in 90 nm CMOS Technology," 7th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), pp. 117–120, Madonna di Campiglio, Trento, Italy, Jun. 2011.
- [39] F. Weiss, H.-D. Wohlmuth, D. Kehrer und A. L. Scholtz, "A 24-Gb/s $2^7 - 1$ Pseudo Random Bit Sequence Generator IC in 0.13 μm Bulk CMOS," Proceedings of the 32nd European Solid-State Circuits Conference, 2006 (ESSCIRC), pp. 468 – 471, Montreux, Switzerland, Sep. 2006.

- [40] M. G. Chen und J. K. Notthoff, "A 3.3-V 21-Gb/s PRBS generator in AlGaAs/GaAs HBT technology," *IEEE Journal on Solid-State Circuits*, vol. 35, no. 9, pp. 1266 – 1270, Sep. 2000.
- [41] F. Sinnesbichler, A. Ebberg, A. Felder und R. Weigel, "Generation of high-speed pseudo-random sequences using multiplex-techniques," *IEEE Transactions on Microwave Theory and Techniques*, vol. 44, no. 12, pp. 2738 – 2742, Dec. 1996.
- [42] "Virtex-4 RocketIO Multi-Gigabit Transceiver User Guide," Xilinx, verfügbar unter http://www.xilinx.com/support/documentation/user_guides/ug076.pdf; besucht am 03.09.2013.
- [43] I. J. Bahl und D. K. Trivedi, "A Designer's Guide to Microstrip Line," *Microwaves*, pp. 174 – 182, May 1977.
- [44] "Datasheet ORCER RF-60A," Taconic, 2010.
- [45] "Design Manual (Thinfilmm)," RHe Microsystems, 2009.
- [46] G. Knoblauch, *Steckverbinder*, 2nd ed. expert verlag, 2002, ISBN:3816921213.
- [47] "Advanced Design System (ADS) - MCLIN (Microstrip Coupled Lines)," Agilent Technologies, verfügbar unter <http://edocs.soco.agilent.com/display/ads2009/MCLIN+%28Microstrip+Coupled+Lines%29>; besucht am 07.08.2013.
- [48] L. G. Maloratsky, *Passive RF & Microwave Integrated Circuits*. Newnes, Apr. 2004, ISBN: 978-0750676991.
- [49] H. Wang, "Redesign eines konfigurierbaren 3-fachparallelen MUX-Chips und eines DEMUX-Chips für Datenraten bis zu 18 Gbit/s in 90 nm CMOS Technologie," Diplomarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2011.
- [50] H. Huang, "Entwurf eines konfigurierbaren 3-fach parallelen MUX-Chips und eines DEMUX-Chips für Datenraten bis zu 14Gbit/s in 130nm CMOS Technologie," Diplomarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2010.
- [51] H. Huang, M. Grözing, T. Alpert und M. Berroth, "12.5 Gbit/s Configurable Threefold 2:1 MUX and 1:2 DEMUX Chips in 130 nm CMOS Technology," ESSCIRC 2009 Fringe (European Solid-State Circuits Conference Fringe), Seville, Spain, Sep. 2010.
- [52] *Error Detection Up to 28.4 Gb/s During Receiver Test with the Agilent J-BERT N4903B Using Under-Sampling Techniques*, Agilent Technologies, 2010, verfügbar unter <http://cp.literature.agilent.com/litweb/pdf/5990-6239EN.pdf>; besucht am 26.09.2013.
- [53] S. Jakobs, "Entwicklung einer FPGA Messumgebung mit Multi-Gigabit Datenraten," Studienarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2008.
- [54] S. Heinrich, "Redesign eines FPGA-basierten Messsystems für einen 6 bit 25 GS/s Digital-Analog Wandler," Studienarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2009.
- [55] D. W. Hoffmann, *Theoretische Informatik*. Carl Hanser Verlag GmbH & Co. KG, Jan. 2009, ISBN: 978-3446415119.

- [56] J. Freund, "Modellierung von HF-Verbindungsstrukturen," Studienarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2010.
- [57] S. Strasser, "Entwicklung von HF-Simulationsmodellen für CMOS-Schaltungen," Bachelorarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2009.
- [58] "Advanced Design System (ADS)," Agilent Technologies, verfügbar unter <http://www.home.agilent.com/en/pc-1297113/advanced-design-system-ads>; besucht am 30.04.2013.
- [59] "MP1763C/MP1764C/MP1764D Pulse Pattern Generator/Error Detector - Datasheet," Anritsu, 2004.
- [60] "Tragbare Logikanalysatoren der Serie HP 1650 - Datenblatt," Hewlett-Packard.
- [61] "CSA8200 Communications SignalAnalyzer - TDS8200 Digital Sampling Oscilloscope - Quick Start User Manual," Tektronix, 2006.
- [62] D. Ferenci, S. Mauch, J. Digel und M. Berroth, "Real-Time Error Correction of High Speed Time-Interleaved Analog-to-Digital Converters with State of the Art FPGA Technology," 8th Conference on Ph.D. Research in Microelectronics & Electronics, Aachen, Germany, Jun. 2012.
- [63] S. Mauch, "Digitale Nachbearbeitung und Fehlerkorrektur von zeitverschachtelten Analog-Digital-Wandlern," Diplomarbeit, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2011.
- [64] "The Ultimate in Thermographic Evolution - Variocam Datenblatt," Jenoptik.
- [65] "UEPT-140-127-100C200 - Datasheet," uwe electronic.
- [66] "MULTICOMP - MCPE1-03108NC-S - PELTIERKUEHLER,18.8W - Datasheet," multicom, 2012.
- [67] "80E01, 80E02, 80E03, 80E04 & 80E06 Electrical Sampling Modules - Datasheet," Tektronix, 2006.
- [68] N. Gray, "ABCs of ADCs Rev.3 - Analog-to-Digital Converter Basics," National Semiconductor, Jun. 2006.
- [69] "Technical Specification Multi |Z|Probe Type ZK00/ZK06/ZK20," Cascade Microtech.
- [70] "Virtex-6 FPGA ML628 Characterization Kit," Xilinx, verfügbar unter <http://www.xilinx.com/products/boards-and-kits/CK-V6-ML628-G.htm>; besucht am 05.12.2013.
- [71] B. Murmann, "ADC Performance Survey 1997-2013," verfügbar unter <http://www.stanford.edu/~murmman/adcsurvey.html>; besucht am 05.12.2013.
- [72] B. E. Jonsson, "A/D-converter performance evolution," Converter Passion, Aug. 2012, verfügbar unter <http://converterpassion.wordpress.com/articles/a-d-converter-performance-evolution>; besucht am 06.03.2014.

- [73] D. Crivelli, M. Hueda, H. M. Carrer, J. Zachan, V. Gutnik, M. D. Barco, R. Lopez, G. Hatcher, J. Finochietto, M. Yeo, A. Chartrand, N. Swenson, P. Voois und O. Agazzi, "A 40nm CMOS single-chip 50Gb/s DP-QPSK/BPSK transceiver with electronic dispersion compensation for coherent optical channels," 2012 IEEE International Solid-State Circuits Conference - Digest of Technical Papers (ISSCC), pp. 328 – 330, San Francisco, CA, USA, Feb. 2012.
- [74] J. Cao, B. Zhang, U. Singh, D. Cui, A. Vasani, A. Garg, W. Zhang, N. Kocaman, D. Pi, B. Raghavan, H. Pan, I. Fujimori und A. Momtaz, "A 500mW digitally calibrated AFE in 65nm CMOS for 10Gb/s Serial links over backplane and multimode fiber," 2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers (ISSCC), pp. 370 – 371, 371a, San Francisco, CA, USA, Feb. 2009.
- [75] D. Daly und A. Chandrakasan, "A 6b 0.2-to-0.9V Highly Digital Flash ADC with Comparator Redundancy," 2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers (ISSCC), pp. 554 – 635, San Francisco, CA, USA, Feb. 2008.
- [76] M. El-Chammas und B. Murmann, "A 12-GS/s 81-mW 5-bit time-interleaved flash ADC with background timing skew calibration," 2010 IEEE Symposium on VLSI Circuits (VLSIC), pp. 157 – 158, Honolulu, HI, USA, Jun. 2010.
- [77] C.-C. Huang, C.-Y. Wang und J.-T. Wu, "A CMOS 6-Bit 16-GS/s time-interleaved ADC with digital background calibration," 2010 IEEE Symposium on VLSI Circuits (VLSIC), pp. 159 – 160, Honolulu, HI, USA, Jun. 2010.
- [78] H. Chung, A. Rylyakov, Z. T. Deniz, J. Bulzacchelli, G.-Y. Wei und D. Friedman, "A 7.5-GS/s 3.8-ENOB 52-mW flash ADC with clock duty cycle control in 65nm CMOS," 2009 Symposium on VLSI Circuits (VLSIC), pp. 268 – 269, Kyoto, Japan, Jun. 2009.
- [79] C.-Y. Chen, M. Le und K. Y. Kim, "A low power 6-bit flash ADC with reference voltage and common-mode calibration," 2008 Symposium on VLSI Circuits (VLSIC), pp. 12 – 13, Honolulu, HI, USA, Jun. 2008.
- [80] B. Verbruggen, P. Wambacq, M. Kuijk und G. V. der Plas, "A 7.6 mW 1.75 GS/s 5 bit flash A/D converter in 90 nm digital CMOS," 2008 Symposium on VLSI Circuits (VLSIC), pp. 14 – 15, Honolulu, HI, USA, Jun. 2008.
- [81] M. Choi, J. Lee, J. Lee und H. Son, "A 6-bit 5-GSample/s Nyquist A/D converter in 65nm CMOS," 2008 Symposium on VLSI Circuits (VLSIC), pp. 16 – 17, Honolulu, HI, USA, Jun. 2008.
- [82] D. Ferenci, S. Mauch, M. Grözing, F. Lang und M. Berroth, "A 3 bit 36 GS/s Flash ADC in 65 nm Low Power CMOS Technology," International Symposium on Integrated Circuits (ISIC) 2011, pp. 344–347, Singapore, Dec. 2011.
- [83] N. Paydavosi, T. H. Morshed, D. D. Lu, W. M. Yang, M. V. Dunga, X. J. Xi, J. He, W. Liu, Kanyu, M. Cao, X. Jin, J. J. Ou, M. Chan, A. M. Niknejad und C. Hu, *BSIM4v4.8.0 MOSFET Model - User's Manual*, Department of Electrical Engineering and Computer Sciences University of California, Berkeley, 2013, verfügbar unter http://www-device.eecs.berkeley.edu/bsim/Files/BSIM4/BSIM480/BSIM480_Manual.pdf; besucht am 01.12.2013.

-
- [84] M. Grözing, *Seminar IC-Entwurf Nr. 1 - CML-Schaltungen in CMOS*, Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart, 2008.

Eigene Veröffentlichungen

- [E1] F. Lang, T. Alpert, D. Ferenci, M. Grözing und M. Berroth, "Design of a 25 GS/s 6-bit Flash-ADC in 90 nm CMOS technology," ESSCIRC 2009 Fringe (European Solid-State Circuits Conference Fringe), Athens, Greece, Sep. 2009.
- [E2] F. Lang, T. Alpert, D. Ferenci, M. Grözing und M. Berroth, "A 6 bit 25 GS/s Flash Interpolating ADC in 90 nm CMOS Technology," 7th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), pp. 117–120, Madonna di Campiglio, Trento, Italy, Jun. 2011.
- [E3] F. Lang, D. Ferenci, T. Alpert, T. Kathmann, A. Faul, M. Grözing und M. Berroth, "A Real-Time Test Environment for High Speed Data Converters," 8th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), pp. 99–102, Aachen, Germany, Jun. 2012.
- [E4] F. Lang, J. Gerigk, D. Ferenci, M. Grözing und M. Berroth, "An Analog 1:16 Demultiplexer for Time-Interleaved A/D-Converters with a Sampling Rate of up to 64 GS/s," 9th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), pp. 193–196, Villach, Austria, Jun. 2013.
- [E5] T. Veigel, F. Buchali, A. Bindel, F. Lang, T. Alpert, P. Mata, A. Botey, M. Grözing, S. Seemann und M. Berroth, "Entwurf eines elektronischen Entzerrers mit Maximum-Likelihood-Sequence-Estimation für Kanäle mit 43 GBit/s serieller Eingangsdatenrate," Kleinheubacher Tagung, Miltenberg, Germany, Sep. 2007.
- [E6] J. Bozler, F. Lang, D. Ferenci und M. Berroth, "Thermometer/Binär-Umsetzer für einen schnellen Flash Analog/Digital-Umsetzer in CMOS Technologie," Kleinheubacher Tagung 2009, Miltenberg, Germany, Sep. 2009.
- [E7] T. Alpert, F. Lang, M. Grözing und M. Berroth, "25 GS/s 6-bit Pseudo Segmented Current Steering DAC in 90 nm CMOS," ESSCIRC 2009 Fringe (European Solid-State Circuits Conference Fringe), Athens, Greece, Sep. 2009.
- [E8] D. Ferenci, M. Grözing, F. Lang und M. Berroth, "A 3 bit 20 GS/s Flash ADC in 65 nm Low Power CMOS Technology," Proceedings of the 5th European Microwave Integrated Circuits Conference (EuMIC), pp. 214–217, Paris, France, Sep. 2010.
- [E9] M. Masini, T. Alpert, F. Lang, M. Grözing und M. Berroth, "Wireless field bus communication with software defined IR-UWB in a manufacturing environment," Proceedings of IEEE International Conference on Ultra Wideband and Ultrashort Impulse Signals, pp. 168–170, Sevastopol, Ukraine, Sep. 2010.

- [E10] T. Alpert, F. Lang, D. Ferenci, M. Grözing und M. Berroth, "A 28 GS/s 6 bit CMOS DAC with Real-Time Interface," IEEE International Microwave Symposium (IMS), Baltimore, USA, 2011.
- [E11] T. Alpert, F. Lang, M. Grözing und M. Berroth, "A 28 GS/s 6 bit CMOS DAC with Real-Time Interface," ESSCIRC 2011 Fringe (European Solid-State Circuits Conference Fringe), Helsinki, Finland, Sep. 2011.
- [E12] D. Ferenci, S. Mauch, M. Grözing, F. Lang und M. Berroth, "A 3 bit 36 GS/s Flash ADC in 65 nm Low Power CMOS Technology," International Symposium on Integrated Circuits (ISIC) 2011, pp. 344–347, Singapore, Dec. 2011.
- [E13] M. Grözing, F. Lang, T. Alpert, H. Huang, D. Ferenci und M. Berroth, "25 GS/s 6 bit CMOS DACs and ADCs for 100Gbit/s Photonic networks," 12. ITG-Fachtagung Photonische Netze, pp. 37–44, Leipzig, Germany, May 2011, ISBN: 978-3800733460.
- [E14] M. Grözing, T. Alpert, F. Lang, H. Huang, D. Ferenci, M. Masini und M. Berroth, "25 GS/s 6 bit DACs and ADCs for 100 Gbit/s Photonic Networks," 1 st Chinese-German Young Scientists Forum on Microelectronics and Microwave Systems, Shanghai, China, Sep. 2011.
- [E15] T. Alpert, M. Werz, F. Lang, D. Ferenci, M. Masini, M. Grözing und M. Berroth, "Arbitrary Waveform Generator Based on FPGA and High-Speed DAC with Real-Time Interface," 8th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), Aachen, Germany, Jun. 2012.
- [E16] M. Grözing, D. Ferenci, F. Lang, T. Alpert, H. Huang, J. Briem, T. Veigel und M. Berroth, "High-speed CMOS DACs and ADCs for Broadband Communication," International Microwave Symposium (IMS), Seattle, USA, Jun. 2013.
- [E17] M. Grözing, D. Ferenci, F. Lang, T. Alpert, H. Huang, J. Briem, T. Veigel und M. Berroth, "Schnelle D/A- und A/D-Wandler-Prototypen in CMOS-Technologie für den flexiblen Echtzeittest von breitbandigen Übertragungstrecken," ITG-Workshop 5.3.1, Stuttgart, Germany, Feb. 2013.
- [E18] T. Veigel, T. Alpert, F. Lang, M. Grözing und M. Berroth, "A Viterbi Equalizer Chip for 40 Gb/s Optical Communication Links," Proceedings of the 8th European Microwave Integrated Circuits Conference (EuMIC), Nürnberg, Germany, Oct. 2013.
- [E19] H. Huang, M. Grözing, J. Digel, D. Ferenci, F. Lang und M. Berroth, "A 6-GS/s 6-Bit Time Interleaved SAR-ADC," Proceedings of the 8th European Microwave Integrated Circuits Conference (EuMIC), Nürnberg, Germany, Oct. 2013.

Danksagung

An dieser Stelle möchte ich mich bei allen bedanken die zum Gelingen dieser Arbeit beigetragen haben und mich all die Zeit unterstützt haben.

In erster Linie ist das mein Doktorvater Prof. Dr. Manfred Berroth - vielen Dank für das Vertrauen, die Unterstützung und nicht zuletzt für die Betreuung dieser Arbeit.

Herrn Prof. Dr. Speidel danke ich für die Übernahme des Mitberichts.

Ein besonderer Dank gilt meiner Familie. Susanne du hast mir oft den Rücken gestärkt und mich während dem gesamten Studium begleitet und unterstützt - Danke. Und ohne meine Tochter Hannah wäre ich die letzten drei Jahre vermutlich auch nie so früh wach und am Institut gewesen ☺.

Weiterhin danke ich meinen Eltern, ohne euch und eure Förderung wäre ich nicht soweit gekommen.

Nicht zu vergessen sind natürlich all die Kollegen und Studenten die mich die letzten Jahre im Institut begleitet haben. Vielen Dank für die guten Gespräche und die schöne Zeit. Hervorzuheben ist hier das 11:30 Lunch&Kicker-Team, ohne eure ausgleichenden Gespräche und Kekse wäre so mancher Messlabor-Tag wesentlich trister gewesen. Weiterhin möchte ich noch meinen IC-Gruppenleiter Markus besonders erwähnen - danke für die schöne und produktive Zusammenarbeit.

Schlussendlich möchte ich noch besonders Damir Ferenci für das Korrekturlesen dieser Arbeit und die gute Freundschaft danken.